

301 - Le langage C

Le langage C est en quelque sorte le langage machine de la machine Unix, né en même temps que ce système d'exploitation du cerveau d'un ingénieur des Bell Labs, souhaitant un accès personnalisé à son ordinateur DEC PDP 11/45.

On trouvera en boîte 148 le document de référence en provenance des Bell Labs, ainsi qu'un commentaire :

KERNIGAN (B. W.), RITCHIE (D. M.) - The C Programming Language, Prentice Hall 1978, 228 pages
PLUM (Th.) - C Programming Guidelines, Prentice Hall 1984, 145 pages

Comme on peut s'y attendre, le langage C a été l'objet d'innombrables commentaires, particulièrement dans SIGPLAN Notices, tribune naturelle des spécialistes des langages. Voir articles dans les microfilms de CACM 12/76 p 658 et de SIGPLAN 11/78 p 63 - 3/80 p 21 - 10/80 p 35 - 12/81 p 14 - 1/82 p 42 - 5/82 p 16 - 7/82 p 32 - 8/82 pp 84, 89 - 3/85 p 9 - 9/85 p 21 - 5/86 p 50 - 6/86 pp 55, 59.

Il existe un compilateur C dans chacun des environnements Unix, ou inspirés par ce système, comme Xenix ou AIX d'IBM. Il en existe aussi hors Unix, et en particulier sur PC.

On liste ci-dessous quelques-unes des réalisations particulières de compilateur C, pour lesquelles nous disposons d'un peu de documentation.

Harris C (1983) sous VOS : boîte 37
UCS Compiling System C d'Unisys : document UP 10972 en boîte 132

En 1989, dans le cadre de la vague d'enthousiasme pour la programmation objet, le groupe ATT a provoqué la définition d'une extension du langage C prenant en compte cette conception. Dans la foulée d'Unix, ce langage C++, qui reprend le concept de classe de SIMULA 67 et les capacités définies en Angleterre, a été largement adopté, au point d'être en quelques années le seul langage de programmation objet, puisque la mode est passée de créer un langage nouveau par problème.

Une version 2.0 du langage a été rendue publique en 1990, ainsi qu'un compilateur commercial de Microdata Software, prééquipé de classes correspondant à des applications industrielles.

Nous disposons d'une version en français de ce langage :

LEON (L.), TRAN MINH (F.) - Introduction au C++ et à la programmation orientée objet, support de cours à l'Ecole Nationale Supérieure de Techniques Avancées, en boîte 149.

302 - Le langage ADA

Aux Etats-Unis, c'est le Ministère de la Défense qui a été, de façon délibérée, le moteur du développement de l'Informatique. Après avoir, de la guerre à 1952, participé de près ou de loin à la plupart des projets techniques de calculateurs, puis suscité la définition et la normalisation de COBOL, puis la création de la CODASYL, sans parler de la mise au point de langages moins universels comme JOVIAL, le Ministère de la Défense s'est trouvé en difficulté, dans les dernières années 70, pour la programmation des grands systèmes en temps réel dont il était le promoteur.

Approfondissant la question avec les spécialistes du logiciel, industriels et universitaires, le DOD acquit la conviction qu'il n'en viendrait à bout que par une procédure beaucoup plus lourde et contraignante que pour COBOL en son temps. Il fallait en effet :

- définir un langage de programmation qui prenne en compte tous les aspects de la programmation de systèmes fonctionnant en temps réel.
- définir une procédure réaliste, c'est-à-dire applicable, de validation d'un compilateur pour ce langage, et d'un environnement dans lequel il pourrait être utilisé (atelier logiciel).
- définir des critères internes au Ministère permettant de décider, ou non, du recours à un tel atelier dans la vie d'un système particulier.

La décision prise, la première phase consista, en 1977, dans un appel d'offre autour d'une spécification, baptisée IRONMAN, pour un langage temps réel qui devait être structuré et efficacement implantable. La nature du demandeur et le souvenir de COBOL firent prendre le projet au sérieux et quatre consortiums industriels, formés autour de constructeurs et de sociétés de service, entreprirent de répondre en proposant des langages provisoirement baptisés VERT, ROUGE, BLEU et JAUNE.

Après un an de travail, le premier rapport amenait le DOD à retoucher sa spécification qui devenait STEELMAN, et deux concurrents restaient en course, VERT et ROUGE. En 1979, le langage VERT, créé par une équipe internationale dirigée à la CII/ HB (France) par l'ingénieur ISCHBIAH, gagnait le concours, et le DOD normalisait le langage (MIL-STD-1815 du 10/12/80) et le déposait sous le nom de ADA, en souvenir de Ada Byron, comtesse de Lovelace, qui fut en 1860 la première programmeuse de l'histoire sur la machine

de Babbage. Quant à Ischbiah, il fondait sa propre société, ALSYS, pour écrire un compilateur et se consacrer à la formation des programmeurs ADA du monde entier.

On trouvera en boîte 142 la totalité des documents dont nous disposons sur ADA, à savoir :

- le Preliminary ADA Reference Manual, publié par ACM SIGPLAN Notices, Vol 14 N° 6, 6 / 79 part A, en vue de préparer les discussions du document suivant.

- les Proceedings (preprints de 11 / 80) du symposium organisé conjointement par l'ACM et son groupe spécialisé SIGPLAN et tenu à Boston, Mass, les 9 à 11 décembre 1980. Le volume de ce document (240 pages) montre l'intérêt suscité par cet évènement.

- la norme définitive, ANSI / MIL. STD. 1815A de janvier 1983, désormais valable pour les civils comme pour les militaires.

- un article paru en 1984 dans une revue indéterminée, probablement Datamation, exposant de façon plutôt optimiste l'implantation progressive du langage dans la communauté informatique.

La phase suivante, indispensable pour assurer la crédibilité du projet en soulignant la volonté des initiateurs, consistait dans la création de l'instance de validation. Il semble que le colonel du DOD chargé de l'opération ait réussi, sans trop nuire à sa carrière, à rester en poste assez longtemps pour mettre en place ce groupe technique de sorte que dès 1981, des compilateurs ADA et des ateliers logiciels atteignaient le statut commercial.

La détermination de ce service a contraint les candidats à l'écriture de compilateurs à de grandes manœuvres, car ce travail est coûteux en spécialistes hautement qualifiés, donc en dollars. On voit par exemple Systems Designers coopérer avec DEC pour créer sur VAX des crosscompilateurs XD-ADA à l'usage des microprocesseurs 68000, iAPX86, MIL. STD. 1750A, désormais constituants de nombreux sous-systèmes militaires. Ces sociétés estiment à 900 M\$ par an les besoins en outils logiciels ADA.

Il n'est pas certain que ce chiffre ait été atteint, car le nombre des projets programmés en ADA n'a pas été considérable, certainement pas autant que l'espéraient les promoteurs. La volonté d'imposer ce langage n'a pas toujours été au rendez-vous chez les responsables techniques de projets militaires. Néanmoins, ADA existe, fonctionne, et le DOD s'en sert, ainsi qu'un petit nombre d'autres administrations. Le scandale serait plutôt en France, pays du créateur, où le premier soin de la Défense a été de créer un contre-ADA, le langage LTR 3, il est vrai encore moins utilisé que ne l'est ADA.

ADA a fait l'objet d'une révision en 1990, qui ajoute quelques notions nouvelles mais garde une exacte compatibilité avec la version 1983 d'origine. Une normalisation ISO intervient le 15 / 2 / 95, dont le trait essentiel est l'intégration du concept d'objet, implicite déjà dans le langage original. A cette époque, il existe deux sociétés capables de faire des compilateurs ADA :

- ALSYS a fusionné avec Must Software et devient Thomson Software Product. Son compilateur ADA 95 sur Sun date de 10 / 94. Il en est prévu une version temps réel pour le HP 9000/700 en fin 95.

- Rational a absorbé Verdix et le compilateur que cette société avait en cours de production, et travaille avec DEC et Sun en donnant la priorité au temps réel.

On trouvera ci-dessous une liste incomplète de compilateurs et / ou d'ateliers logiciels ADA:

HAPSE, Harris ADA Programming Support Environnement : boîte 37, une fiche

DIANA, de Tartan Laboratory à Pittsburgh, est un premier travail entrepris dès 1982, comme ossature d'un futur compilateur ADA, constituée par un graphe de dépendances dont les noeuds sont chargés d'attributs. Publié par SIGPLAN Notices, 2/83 p 37, ce graphe contient 98 attributs et 168 noeuds.

ADA 9X, du même Tartan, est un atelier logiciel (1994) fonctionnant sur DEC VAX / VMS et sur Sun Sparc, en vue d'utiliser les nouveautés de ADA 90 : l'interpréteur de commande permet d'expérimenter sur les nouveautés tout en ignorant les parties du texte conformes à ADA 83. L'analyseur syntaxique vérifie d'ailleurs auparavant l'exacte conformité du nouveau texte avec les spécifications 1983.

La cible de ce produit commercial est constituée par les Texas TMS320C3X et C40, Intel 960, Motorola 68xxx, et toutes machines militaires selon MIL. STD. 1750.

303 - Le Neurocomputer de Hecht - Nielsen

Cette société a créé un modèle de neurocomputer et obtenu un contrat de l'US Army qui doit en démontrer les potentialités. La machine se présente comme un coprocesseur pour une console Sun, fonctionnant avec un logiciel de backpropagation, ce qui signifie que les poids à attribuer aux neurones électroniques sont calculés en partant, en marche arrière, du résultat désiré.

Ce programme travaille au rythme de 100 millions de connexions par seconde en apprentissage, et 500 millions en « pattern recognition » qui est sa finalité.

Le matériel, présenté aux essais en avril 91, est un anneau systolique de 8 puces NAP, monté sur deux cartes avec 4 ou 16 MB de SRAM, auxquelles s'ajoute une carte standard de neurocoprocesseurs du même fournisseur.

Chaque puce NAP comprend quatre processeurs flottants 32 bits travaillant à 20 MHz, qui ont accès à une mémoire extérieure contenant des poids. Le NAP fournit 160 MFlops, et les 8 NAP équivalent à 1 GFlops. Leur fonctionnement simultané est du type SIMD (Single instruction, Multiple data).

Force est de reconnaître que ces informations, tirées d'une revue spécialisée, laissent un peu trop de place à l'imagination et supposent chez le lecteur des connaissances qui peuvent manquer.

304 - Les terminaux de Hetra

Cette société apparaît en 1970 en proposant une série 200 de petites machines de gestion qui n'eurent, comme telles, aucun écho sur un marché saturé. Moyennant quoi la société recala son message, six mois plus tard, en faisant de ses machines des terminaux lourds, pour lesquels il y avait, semble-t-il, une forte demande. Ces machines ont certainement trouvé une clientèle, puisque Hetra figurera dans la presse informatique pendant les dix années suivantes, précisément à ce titre.

Le Mark VII de 1974 est un terminal de saisie multiposte (jusqu'à 8 consoles) construit autour d'un calculateur Hetra S 310 dont on ne sait rien que le nom, lequel suggère une famille ayant succédé à la série 200. Ce terminal est un ordinateur complet, pouvant supporter, en plus des écrans, LC 400 à 1000, PC 35 à 200, IP 300 à 1250, jusqu'à 8 dérouleurs de bandes, jusqu'à 8 disques totalisant 2400 MB, et bien sûr la ligne synchrone de 56 Kbauds, adaptable à tous codes et protocoles.

Le Mark XI de 6 / 77 est la même machine, dont le logiciel de RJE a été complété par deux compilateurs Cobol et RPG II permettant le travail en local. Ce terminal peut, à la place de la ligne synchrone, se connecter directement à un canal IBM.

Le Mark V de 1 / 78 est un terminal plus économique, limité au RJE vers IBM, construit autour d'un microprocesseur Z80. Il utilise le protocole 2780 / 3780 et transmet des blocs de 400 ou 512 caractères.

Périphériques : LC 300 / 425 / 600, PC 35 / 100, IP 300 / 450 / 600, deux floppies de 250 KB.

Prix : \$ 25000 ou \$ 600 / mois.

305 - Hewlett - Packard

L'association fructueuse de MM Hewlett et Packard à commencé dans les années 60, dans un garage privé de Palo Alto, Cal, que l'entreprise, 40 ans plus tard, conserve pieusement comme un monument de son histoire. L'objectif était la réalisation d'un instrument de mesure et cette catégorie d'objets est restée longuement la véritable vocation de HP : en particulier, HP n'a jamais accepté de la Défense d'autre contrat que ceux de fourniture, portant sur des oscilloscopes et autres générateurs de signaux. Cependant, les inventeurs devenus industriels ne pouvaient ignorer l'évolution du marché qui souhaite automatiser les mesures et en faciliter l'exploitation : ils proposent, en 1967, un minicalculateur 2100 qui va faciliter l'acquisition méthodique de données et, en 1968, un calculateur de table qui permettra aux ingénieurs d'exploiter celles-ci. Ces deux voies vont inaugurer une longue période de succès et de croissance, schématisée par le tableau (incomplet) ci-dessous.

Année	CA M\$	Bénéfice M\$	Investissement M\$	Effectif
1974	670			
1975	981			
1976	1112	91	103	31000
1977	1360	122		35100
1978	1728	153		42400
1979	2480	212		52000
1980	3160	269		56000
1981	3695	312	318	
1982	4335	390		68400
1983	4858	432	494	72000
1985	6505	487		
1987	8090	644		82000
1988	9831	616		
1989	11899	829		
1990	13233	739		
1991	14494	755		
1992	16410	549		94000
1993	20317	1177		
1994	24991	1599		

La constance de ce succès, qui s'est prolongé jusqu'à la fin de la période étudiée, tient certes à une gestion prudente et à la qualité des produits, mais aussi à une diversification importante qui nous amènera à étudier les produits par familles, et à un investissement soutenu, absorbant plus de la moitié des bénéfices. La part de l'informatique, faible au départ, en est à 22 % au début du tableau, mais croît rapidement pour atteindre 50% dès 1980 et ne pas diminuer ensuite. L'exportation a toujours été supérieure à 40% et se fait pour les 2/3 vers l'Europe, où d'ailleurs s'effectue une part de la production. On peut citer la France, où HP possède en 1987 quelque 3500 employés, avec un CA de 4230 MF et un bénéfice de 185 MF; cette même filiale en pleine expansion atteindra 11,3 MdFF en 1993 (+ 27%), dont la moitié en exportations, avec 219 MFF de bénéfice (+ 44 %).

Les minis et le temps réel

L'histoire du minicalculateur 2100 et de ses nombreuses variantes techniques et commerciales est particulièrement bien documentée, de sorte qu'il est inutile d'y ajouter quoi que ce soit, sauf pour mettre de l'ordre dans cette importante documentation:

- 1967 : calculateur microprogrammé 2116 A ; fiche ; un volume sur la microprogrammation
variante commerciale 2115 A : document
- 1968 : variante commerciale 2114 A : document
Variante technique 2116 B : document
- 1969 : Applications : exposé des possibilités dans le Hewlett-Packard Journal 8 / 69
document commercial sur l'acquisition de données 10 / 69
temps partagé 2000 A avec BASIC 3 / 68
Calculateur de FFT : 5450 A sur 2116 A, prix \$ 49000

Calculatrices de poche

Hewlett - Packard est l'introducteur aux Etats-Unis des calculatrices de poche, inventées au Japon avec des composants américains (Busicom, composants Autonetics), et qui menaçaient à cette époque d'envahir le pays. Conscient de cette menace, et estimant que son expérience des machines de table l'avait amenée au point où il devenait techniquement possible de réaliser une machine de poche, HP contre-attaqua avec une machine beaucoup plus puissante que les produits japonais, utilisant à cette occasion une technique mathématique inventée ailleurs, la notation polonaise de Lukasiewicz . On pourra observer en effet que le clavier des calculettes HP ne contient pas de parenthèse : c'est l'utilisateur qui effectue, en principe de tête, la conversion de la formule mathématique usuelle en notation polonaise, et l'expérience a montré que cela ne gênait personne. Néanmoins, quelques années plus tard, c'est la difficulté de cette conversion qui sera l'argument du concurrent de HP, Texas Instrument.

N'ayant pas d'expérience en matière de composants, HP mit cette partie de la tâche entre les mains de deux fabricants qualifiés, Mostek et AMI, qui tous deux parvinrent à satisfaire, chacun à sa manière, la spécification. Moyennant quoi, HP dut établir deux chaînes de production, car les deux jeux de composants étaient incompatibles : mais le succès fut très grand, et justifia l'effort.

Deux ans plus tard, la deuxième génération se devait de relancer l'enthousiasme par des idées originales, et n'y manqua pas. Autour d'un processeur Mostek en sept chips , d'un clavier et d'une visualisation communs, des ROM de microprogrammes différentes permettent d'établir quatre machines:

- la 55 est une calculatrice programmable à 49 pas de programme, richement dotée en mémoires, et intégrant un chronomètre au centième de secondes.

- la 65 est le chef d'oeuvre de la collection, avec 100 pas de programmes et moins de mémoires, mais surtout avec un lecteur de cartes magnétiques qui permet de transporter aisément sa bibliothèque personnelle, ou d'acheter tout ou partie de l'imposante bibliothèque HP. HP invente à cette occasion les touches bleue et jaunes qui permettent de définir quatre claviers, et donc de réaliser 51 fonctions préprogrammées avec seulement 35 touches.

- plus ordinaires, les financières 70 et 80 offrent, avec un ou deux claviers respectivement, un choix d'opérations mathématiques adaptées aux travaux de banque et d'assurance et, pour la seconde, un calendrier valable sur 200 ans.

A partir de là HP n'a plus rien à prouver et doit seulement adapter étroitement ses modèles à la demande d'une clientèle conquise. Le lecteur de cartes magnétiques, trop fragile, ne sera pas repris, mais les idées ne manquent pas et feront l'objet d'essais divers, en particulier :

- le recours à des CMOS à faible consommation permettant de sauvegarder les programmes et les données pendant les coupures de la visualisation.

- divers types de visualisation autres que le dispositif à plasma (rouge) d'origine.

Le vrai problème est qu'il y a désormais un concurrent dynamique, Texas Instrument, et qu'il faut impérativement limiter les prix de vente, donc de préférence les prix de revient.

Dès 1975, l'amélioration des circuits intégrés permet de diminuer la taille du boîtier. Le processeur MOS tient désormais sur un seul chip, avec lequel on produit à nouveau 4 machines:

- la 21 est une machine minimale à deux claviers et une mémoire

- la 22 est la même machine, étendue à 10 mémoires et quelques fonctions financières en plus

- la 25 est une programmable à 49 pas, 8 mémoires, trois claviers, comparable à la 55 (sans les labels), mais beaucoup moins chère. La 25C annoncée l'année suivante offre en plus la mémoire CMOS imperdable que la touche OFF ne coupe pas.

- la 27 regroupe les fonctions de la 21 et de la 22 avec 5 registres pour les calculs financiers et 10 mémoires .

En 1976, HP décide de s'attaquer au problème de l'impression, la solution choisie étant thermique sur papier spécial.. La HP91 est une portative de 1,13 kg, travaillant en principe sur table mais avec exactement la méthode de travail des machines précédentes et un répertoire à deux claviers comparable à celui de la 21. Le processeur est d'ailleurs celui des 21 / 2 / 5 / 7, et la principale différence est dans le boîtier. On dispose d'un document commercial suffisant pour comprendre la programmation, et d'un article du HP Journal qui décrit l'imprimante.

La HP 92 annoncée en même temps offre, toujours dans le même boîtier, les possibilités de la 22 avec plus de registres et, bien sûr, l'imprimante. Même processeur, ROM différente.

La HP 97 offre, toujours dans le même boîtier, la même imprimante au service d'une scientifique programmable beaucoup plus raffinée qui est d'ailleurs dotée d'un clavier plus riche de 56 touches et 93 fonctions. Outre une extension du programme à 224 étapes, cette machine dispose de 26 mémoires et du lecteur de cartes magnétiques disposant désormais de deux pistes pour loger des programmes complets. Son

répertoire enrichi de dispositifs savants comme l'adressage indirect et les flags testables permet d'édifier des programmes complexes et puissants. Une riche bibliothèque et un club sont organisés.

Un article du HP Journal joint explique et illustre l'organisation du processeur.

La 67 est la même machine débarrassée de l'imprimante pour tenir dans la main : pour réussir à mettre la même richesse fonctionnelle sur cette petite surface, il a fallu réduire le clavier à 35 touches dont deux de redéfinition. Cette 67 est bien plus puissante que la 65 qu'elle remplace, et elle est moins chère, concurrence oblige : Texas offre à peu près en même temps une TI59 tout à fait comparable, et on voit venir le moment où HP devra abandonner la compétition.

La HP 19C imprimante et la HP 29C simplement programmable représentent par rapport à ces monuments, le même effort d'économie que la 27 par rapport à la 65 : 98 lignes de programme au lieu de 224, pas de labels, pas de flags, pas de lecteur de cartes, visualisation 8 chiffres au lieu de 10, mais la mémoire est imperdable.

La série 3X de 1978 pousse encore les choses un peu plus loin en ne visualisant que 7 chiffres de la mantisse, sans rien apporter de plus que les 2X antérieures. On notera que les autres chiffres ont été calculés dans des mémoires qui contiennent en général 56 bits, mais on ne les visualise normalement pas : le système de visualisation est une des parties coûteuses de la calculette.

Puisque la visualisation est la partie chère, HP fait en 1979 un essai avec la 41C de passer de l'écran plasma à l'écran LCD (cristaux liquides). Cette machine qui dispose d'un nouveau processeur CMOS en 11 chips (mémoires incluses), et qui peut utiliser son importante mémoire RAM soit pour loger des étapes de programme, soit comme mémoire de travail, est un véritable ordinateur avec ses 24 KB de ROM. Encore n'est-il pas limité par ses capacités internes : d'autres modules de 448 pas sont enfichables et jouent le rôle d'une bibliothèque directement accessible, et de plus compatible avec les 65, 67 et 97 ; la même prise externe peut aussi servir pour une imprimante thermique qui peut aussi bâtir des graphiques point par point, pour un lecteur de cartes magnétiques compatible avec celui des 67/97, ou encore pour un lecteur de code barre. Il est ainsi possible au possesseur de HP 41 de se sentir membre de la communauté des anciens, et même des ingénieurs de son entreprise, car les calculateurs HP 85 utilisent les mêmes cartes magnétiques que les calculettes.

A partir de cette date, HP abandonne la compétition avec Texas, et se borne à une mise à jour technologique de ses machines, ajustée pour qu'elles soient vendables, mais sans plus s'efforcer d'être le moins disant. C'est ainsi qu'on verra :

- en 1982, les HP 1XC, extraplates qui sont réellement "de poche" désormais mais n'en restent pas moins comparables aux machines antérieures. La plus simple, la 10C, est déjà une programmable à 79 pas ou 10 registres ; la plus puissante, la 15C, dispose de 448 pas ou 67 registres et de 20 labels. Et il y a une nouveauté avec la 16C destinée aux informaticiens, qui sait calculer dans toutes les bases et tous les modes de positionnement du signe, et pratiquer toutes les conversions entre ces styles.

- en 1990, trois financières de niveaux différents, avec des repères ambigus en ce qu'ils contiennent un numéro déjà attribué précédemment, sans aucune relation de technique ou de finalité ; deux ont le même format bien qu'elles soient très différentes, la troisième s'ouvre comme un petit livre.

La 10B est une calculette minimale, sans menu ni mémoire, mais tout de même avec un bel arsenal de calculs grâce à deux définitions de clavier : elle ne coûte que 200 FF.

La 17B II, également à deux claviers, dispose d'un écran à cristaux liquides à deux lignes dont l'une pour affichage de menus à 6 voies, entre lesquelles on choisit par les touches situées en dessous.

La 19B II en forme de carnet a aussi deux claviers et sa page de gauche contient 35 touches d'alphabet, tandis que sa page de droite loge un clavier numérique, les commandes de mode et un écran LCD à 4 lignes, dont une de menus comme ci-dessus.

- en 1990 encore, trois scientifiques programmables également hiérarchisées, et sur le matériel (commun) desquelles on ne sait rien. La 20S est tout à fait classique avec 99 pas de programme et 10 mémoires, et son écran LCD visualise 12 chiffres : elle ne coûte que 300 FF.

La 32S II, encore un chiffre déjà utilisé, passe à 384 pas et 27 mémoires et sait, en plus de toutes les fonctions usuelles, faire des intégrations numériques, le calcul matriciel et le calcul en nombres complexes, tout cela pour 800 FF.

La 42S se veut une continuation de la 41C et en garde les habitudes, partageant sa riche RAM à la demande entre pas de programme et mémoires. Elle est vendue 1000 F.

Il y a aussi une 28S au même format carnet que la 19B II, baptisée Advanced Scientific Calculator et vendue 1700 F. Elle mesure (ouverte) 191 * 165 * 13 mm et pèse 230 g, sa pile suffit pour 7 mois. Son écran LCD de 4 lignes peut aussi montrer des graphiques (4384 points possibles), sa page de gauche contient

tout l'alphabet et grâce à une touche jaune, donne aussi accès à l'arsenal de fonctions de la 32S II. La disproportion entre ces possibilités et l'écran peut faire croire au simple gadget, mais elle dispose d'une option de connexion à une imprimante, qui donne plus de sens à tout cela.

- Sommet de cette gamme avec un boîtier de même largeur mais allongé en hauteur, la 48SX est un véritable ordinateur doté d'un écran LCD de 7 lignes utilisable en graphique point par point, et capable de présenter des formules complexes directement dans le formalisme bidimensionnel des mathématiciens, puis d'en calculer la valeur.

Outre ses possibilités intrinsèques qui incluent plus de 2000 fonctions, et qui constituent la 48S, le modèle 48SX peut recevoir des extensions de bibliothèque importantes sous forme de ROM enfichable, communiquer par infrarouge avec une imprimante ou une autre calculette 48SX ou 28S, et par liaison série avec un PC ou un Mac. Il est vrai que cette merveille coûte initialement 3300 FF, mais ce prix a rapidement baissé, 2100 FF à la FNAC lors de son introduction en France.

Après cette date, on n'a plus guère d'information, mais il semble bien que l'évolution des machines de table, objet du chapitre suivant, ait conduit à la fusion des deux familles en une collection d'ordinateurs légers de toutes tailles. En ce sens, on peut dire que la 48SX est à la fois la dernière des calculettes et la plus puissante, en même temps que le bas de gamme des ordinateurs scientifiques de l'ingénieur.

Calculateurs de table

Le HP 9100A de 1968 qui inaugure cette famille fonctionnelle n'est pas différent, tant par les services rendus que par la façon de le manipuler, d'une simple calculette et c'est sans doute la meilleure façon de le décrire. C'est une programmable, cependant, avec 196 pas de programme. Ce mode de travail pas à pas, avec séparation de la mémoire de programme et de la mémoire de données, qui sont en réalité en compétition pour l'usage d'une très petite mémoire physique commune, montre une méconnaissance des possibilités de l'ordinateur, curieusement en retard de 15 ans sur le génial rapport de Von Neuman.

Quoi qu'il en soit des principes, la formule aura du succès, incitant HP à étudier des améliorations. La première concrétisation de ces réflexions est le 9800, un processeur qui va être décliné en trois modèles à partir de 1971. Les modèles 10 et 20 reprennent la formule du 9100, à cela près qu'ils disposent d'une imprimante et d'un lecteur de carte magnétique, ce dernier permettant la transmission de programmes entre machines : les calculettes ne feront pas la même chose avant 1974.

Le modèle 30 est par contre un authentique ordinateur et suit un schéma différent, car il est programmé en BASIC, les touches de fonction permettant des raccourcis de frappe, et il peut disposer de périphériques.

Avec la troisième génération, qui commence en 1975, la version minimale se présente au programmeur comme une grosse calculette programmable disposant d'au moins 512 étapes de programme, mais cette apparence est émulée sur un Motorola 6800. C'est le 9815A, décrit par un article du HP Journal, et commenté par une note interne d'un usager, au STCAN de la Marine à Paris, qui semble n'être qu'une paraphrase d'un texte HP (qui nous manque).

Le 9825A est déjà un ordinateur, disposant d'un clavier alphanumérique pour taper le texte de programmes rédigés en HPL, une variante très allégée de PL/I, choisie pour tenir dans une mémoire assez modeste.

Le 9831A est la même machine, mais avec ce qu'il faut de mémoire pour utiliser un Basic compatible avec le 9830 de 1972. Moyennant quoi, HP n'a pas résisté à la tentation d'un élargissement en direction d'une petite gestion, idéale pour faire par exemple la comptabilité d'un laboratoire qui justifierait par ailleurs la machine par ses applications scientifiques : c'est le HP 9896, qui s'appuie sur un petit supplément de deux floppies et d'un logiciel IS30.

La quatrième génération naît en 1977 avec le 9845A, un calculateur plus important construit en RFA et qui frappe par la présence d'un écran au dessus de l'imprimante, 80 caractères de large ou des graphiques sur papier thermique, solution silencieuse mais coûteuse. Il y a aussi deux cassettes de bande magnétique, utilisables pour stocker les programmes.

Cette machine réussie et appréciée verra de succéder quatre générations : un 9845B en 1979 comportant beaucoup plus de mémoire ; un 9845C en 1980 avec écran couleur et répertoire graphique; un nouveau processeur, bâti autour d'un microprocesseur en tranches, en 1981.

Un 9835 de même philosophie, avec une seule cassette, imprimante thermique 16 caractères et écran optionnel, sortira en 1978. On est bien informé sur les périphériques de cette machine, mais on en ignore complètement la structure interne.

Ce n'est pas sans regret que HP abandonne à ce moment une formule qui lui avait amené une vaste et fidèle clientèle, et ces regrets s'expriment par l'apparition de deux ordinateurs extraplats, assez légers pour suivre l'utilisateur sur le terrain, quoique trop gros pour entrer dans une poche. Surtout, ces machines n'abandonnent rien de ce qui avait fait le succès des 98XX : elles sont programmées en Basic et peuvent

s'associer une foule de périphériques: lecteur de cartes magnétiques compatible HP 67, cassettes, imprimantes, lecteur de code barre, etc... Ce sont les HP 75C (1982) et 71B (1983). Leur succès sera modéré, indice qu'il est temps de changer de conception.

La cinquième génération marque donc un virage important, avec l'abandon du processeur hybride de construction HP qui avait servi pour les deux générations précédentes, au profit du microprocesseur Motorola 68000 qui est en 1980 le meilleur du marché. HP prend lentement conscience que sa production lui échappe et emmène ses clients fidèles vers un monde extérieur plus ouvert, avec un processeur 68000 et un langage BASIC qui ne sont pas nés en son sein.

Le 9826 avec son petit écran sera assez vite dépassé, mais avec les suivants, 9836 puis 9816, dont l'écran est plus important, tout est en place pour un virage marketing décisif: HP annonce la famille 9000 de stations de travail, dont les deux machines ci-dessus sont les premiers membres, modèles 236 et 216.

La réalité de l'ouverture devient manifeste avec la série 200, baptisée ainsi dès sa naissance en 1983 avec les modèles 217 et 237: le système d'exploitation, facultatif tant que l'équipement est strictement tourné vers les besoins d'un laboratoire local, mais indispensable dès qu'une communication est souhaitée, sera désormais UNIX, qui apporte à la famille, sous le nom de HPUX, le langage C et un compilateur Pascal, le traitement de texte MUSE de Marc Software International, le réseau Ethernet avec LAN 9000, un GRAPHIC 9000 pour images 2D et 3D, une base de données IMAGE 9000, et un RJE:

- le 217 utilise un 68000 à 8 MHz, avec 4 MB de mémoire, un écran 14" 512 * 390 pixels, et les BASIC et Fortran 77 usuels en plus du package HPUX.

- le 237 est doté d'un 68000 à 12,5 MHz avec 8 MB, accompagné d'un FPU, et son écran est un 17" 1024 * 768 avec régénération 60 Hz, plutôt avancé pour l'époque. Même logiciel.

Les deux machines disposent de deux floppies de 3,5", 1,2 MB, qui permettent les recopies, et peuvent s'adjoindre un disque Winchester de 15 MB.

Tout en concédant la série 200 au 68000, HP étudiait un composant capable de redonner l'indépendance à ses produits. Ayant acquis depuis les premières années des caulettes une réelle compétence en matière de création de composants, HP réussit ici un intéressant microprocesseur 32 bits, 18 MHz (nom de code Focus) dont on trouvera une photo détaillée et toutes les propriétés dans la fiche de la série 500: on pourra noter sur cette photo la place considérable prise par la ROM de microprogrammation, qui incorpore le répertoire de virgule flottante. C'est en constatant cet encombrement du chip que les ingénieurs de HP prendront la décision de réaliser sans microprogrammation l'IOP associé, dont la photo est jointe également: tour de force de dessinateurs qui ne sera pas renouvelé.

La série 500 donnera toute satisfaction, convaincant cependant les responsables des études que la maison n'était pas encore capable de lutter économiquement avec les spécialistes du VLSI pour la création de microprocesseurs. Elle donnera lieu à trois variantes de présentation illustrées simultanément dans la fiche:

- station de travail dans l'exacte tradition du 9845
- boîtier pour rack, à intégrer dans un matériel de laboratoire
- processeur de pied de table pour travail de bureau, qui s'étoffera en 1986 jusqu'à devenir un serveur avec 3 CPU, 8 MB, Ethernet, et 32 utilisateurs.

On notera d'autre part que HP se résigne mal à une ouverture logicielle dont il ne méconnaît pourtant pas la nécessité: un système "maison" construit autour de BASIC est toujours proposé aux inconditionnels de la marque et conservera une clientèle importante.

Le réalisme l'emportant sur le chauvinisme, la série 9000 / 3XX est proposée à partir de 1986 et construite autour des microprocesseurs de Motorola, en suivant les évolutions du fournisseur. Elle aura beaucoup de succès, y compris dans des versions durcies pour l'armée anglaise, et durera jusqu'à la sortie d'une puce HP maîtrisée et raisonnablement économique à l'emploi.

Côté logiciel, on constate que HP-UX évolue lentement, sous la pression des clients, vers plus de compatibilité avec les normes de fait du système Unix: pendant cette période 86 / 91, on verra HP adopter TCP / IP en matière de protocole réseau, et X Windows pour les terminaux. Ce n'est qu'un début.

En 3 / 86, après cinq ans de travail, HP a réussi à définir, dans le cadre de l'étude Spectrum, une architecture unificatrice, baptisée PA = Precision Architecture: il s'agissait de créer une architecture RISC qui se prête à trois émulations: celle des HP 1000, celle des 3000 16 bits, celle des 3000 32 bits. Elle fait l'objet d'une fiche.

La compatibilité est offerte aux anciens clients comme suit:

- pour les 3000, par émulation directe et complète
- pour les 9000, par recompilation des applications
- pour les 1000, à travers une aide logicielle, le port HP-UX. Le fonctionnement temps réel de cette famille génère en général quelque 5% d'incompatibilités, décelées par ce logiciel, qui doivent être réécrites. Par souci d'efficacité, HP-UX contient quelques extensions temps réel.

L'architecture définie, il faut la concrétiser dans un microprocesseur. Dans un premier temps, ce sera un circuit TTL : cette puce RISC TTL, qui travaille à 8 MHz, fournit 4,5 Mips. Elle va servir de base à la série 800, et plus particulièrement au modèle 840 (fiche).

Après cette première station 840, l'année 1986 voit sortir une nouvelle version de la puce ci-dessus, en technologie NMOS cette fois : elle peut fonctionner à 12,5 MHz, et sera utilisée dans deux stations :

- la 825 S est le bas de gamme, bridée par la limitation de son cache à 16 KB, dont les performances mesurées la montrent supérieure à la 840 dans le pur calcul scientifique, mais inférieure en simulation. L'essentiel de son intérêt vient de l'option SRX, une carte graphique remarquable en 3D.

- la 850 S cherche à tirer le meilleur parti de la nouvelle puce, poussée à 13 MHz, soit 6,25 Mips environ. Le cache est ici complet, la mémoire physique peut comprendre 16 à 128 MB, la mémoire virtuelle utilise théoriquement un adressage 48 bits qui correspond à 281 TB mais 29 bits seulement sont utilisés dans ce niveau logiciel de sorte que le système travaille sur 512 MB. Le TLB comprend 4096 entrées.

Le bus système est lui aussi un peu poussé, 21 à 27 MB / s, servant 4 canaux d'entrées / sorties qui supportent 18,3 GB de disques et 102 terminaux.

Les tests Whetstone appliqués à une machine 32 MB ont donné 4202 SP, 2907 DP, 25% meilleurs que la 840. En simulation, la 850 vaut 1,5 à 1,6 fois la 840.

La puce ne pouvant plus guère être améliorée, la 835 de 1988 évaluée 14 Mips et 2,02 MFlops doit être biprocesseur. Elle est proposée avec la carte SRX, qui permet de construire 240000 vecteurs 3D par seconde dans des images 1280 * 1024 points.

En décembre 1990, à la veille de l'annonce suivante, les chiffres sont encore plus impressionnants et concernent des serveurs. Il est question de :

- une 842 de 27 Mips, vendue 690 KFF
- une 852 de 52 Mips, vendue 1,2 MFF
- une 865 S à 600 terminaux, vendue 2,1 MFF en 4/91

Les logiciels suivants ont été ajoutés à un système HP-UX que HP déclare regrettamment dépendant de l'autorité Unix, malheureusement très floue :

Switchover, pour couplage de deux systèmes à des fins de sécurité

Omniback Turbo, pour des sauvegardes à 5 GB / heure

HP Glance, qui permet de visualiser les paramètres d'exploitation d'un serveur.

HP Forecast, qui permet de présenter des prévisions de charge.

et la possibilité de communiquer avec des machines IBM en SNA / APPN.

En 1991 enfin, HP a réussi à définir un processeur RISC approprié à ses ambitions, et trouvé un fondeur pour le lui réaliser, Hitachi. Ce microprocesseur 32 bits est réalisé en CMOS 0,75 μ avec trois couches métalliques et comprend 850000 transistors seulement, parce qu'il ne contient pas de cache : l'architecture prévoit bien un cache de 512 KB, mais il sera externe.

Pour terminer cette introduction, ajoutons que la puce est énorme, 1,96 cm², et qu'elle est emballée dans un boîtier PGA à 432 broches. Mais elle diminuera rapidement avec la réduction photographique des masques ; il semble que ce soit en 1993 que le nom de PA RISC 7100, attaché à une de ces versions réduites, soit devenu officiel ; mais nous ne savons pas laquelle.

La dernière version 7100 fonctionne à 99 MHz, et elle est capable de 80 Specint92 et 150,6 Specfp92, proportion qui suffit à la différencier de tous les concurrents : manifestement HP n'a pas renoncé à privilégier les travaux scientifiques.

Cette année-là, HP a vendu 60000 stations CISC et 20000 stations RISC ; muni de son nouvel atout, il abandonne les CISC et porte tout son effort sur les RISC, en cultivant deux familles simultanément:

1) la série 800, qui va se poursuivre en ne comprenant plus guère que des serveurs

1991 : 807 : 48 MHz, caches I 32 / D 64 KB, mémoire 64 MB, disques 400 MB à 11 GB : 30,7

Specint92, 16 usagers à 15 TPS, 104 KFF

817 / 27 / 37 : 48 MHz, C 64 / 64 KB, M 64 / 192 MB, D 400 MB / 29 GB : 51,3 Specint92

32 / 64 / 96 usagers à 30 TPS, 160 / 200 / 345 KFF

847 / 57 : 48 MHz, C 256 / 256 KB, M 64 / 192 MB, D 400 MB / 48 GB : 60,1 Specint92

96 usagers à 44 TPS, 520 KFF

867 / 77 : 64 MHz, C 256 / 256 KB, M 16 / 384 MB, D 400 NB / 236 GB : 74,9 Specint92

160 usagers à 44 TPS, 760 KFF

12 / 92 : 890 S : serveur multiprocesseur PA RISC 7100, 8 canaux d'entrées / sorties sur bus 1 GB / s, sous système UNIX. Mémoire 2 GB, disques 600 GB, jusqu'à 3000 terminaux.

1 CPU , 110 TPS, prix 2,60 MFF

2 CPU , 185 TPS, prix 3,41 MFF

3 CPU , 275 TPS, prix 4,23 MFF

4 CPU , 336 TPS, prix 5,04 MFF

3 / 93 : 800 G/H/I sont des variantes de châssis à 4, 8 ou 12 slots. Basés sur un PA 7100 à 96 MHz, il existe en trois modèles:

Mod 50 a deux caches de 256 KB

Mod 60 a deux caches de 1 MB et donne un bénéfice de 30 à 40%

Mod 70 est un biprocesseur du type précédent.

Ces serveurs disposent de nouveautés logicielles : moniteur transactionnel Encina de la société Transarc, englobant à partir de 9 / 93 une émulation de CICS et, à partir de 11 / 93, un convertisseur d'applications Cobol / Oracle AS400 pour exécution sous HP / UX.

11 / 93 : T500 serveur d'entreprise à 90 MHz sous HP / UX, tous modèles de 1 à 12 CPU, de 1,3 à 5 MFF, livrables en 3 / 94.

Nouveautés associées : contrôleur de disques SCSI2 pour ensemble Raid 3 / Raid 5, prix de 31700 FF pour 1 GB à 350 KFF pour 8 GB.

9 / 94 : Généralisation sur les HP 9000 d'une option de moniteur CICS, capable de servir d'entrée sur les machines IBM / MVS. Ce produit est compatible avec l'interface XA de X Open, et de ce fait avec les bases de données Allbase / SQL, DB2 pour HP-UX, Ingres, Informix, Oracle, Sybase. On voit que HP est devenu adepte de l'ouverture.

2) la nouvelle série 700, qui sera essentiellement constituée de stations de travail, avec un accent particulier sur l'aspect graphique, du à l'absorption, en 1989, de la société Apollo, spécialiste de la CAO.

1991 : une fiche couvre la gamme initiale de ces stations, 705, 710, 730, 750.

1 / 93 : la 735 est une armoire d'extension pour consoles se découvrant un besoin de puissance. Elle peut contenir jusqu'à 8 CPU PA 7100, accompagnés de mémoire RAM SECDED jusqu'à 400 MB, et de disques jusqu'à 125 GB, prix à partir de \$34795. On peut en tirer jusqu'à 1 Gips ou 1500 MFlops.

On peut intégrer quatre de ces armoires avec un calculateur Convex (société qui sera absorbée par HP en 1995) pour réaliser la Métasérie qui commence à K\$ 500.

9 / 93 : la 715 et la 725 se construisent en remplaçant la carte mère Hitachi d'une 7XX antérieure par la nouvelle carte 7100. A 75 MHz, cette nouvelle version délivre 61 Specint92 et 113 Specfp92. La mémoire varie de 32 à 256 MB, les disques peuvent monter à 2 GB.

Prix 115 KF pour une 715 minimale, 138 KF pour une 725.

Petite pause au 17 / 1 / 94, au moment où HP remplace le 7100 par le 7100 LC. Ce processeur CMOS peut fonctionner à 80 MHz en association avec un cache, toujours externe, de 8 KB à 2 MB. Il utilise une instruction longue qui peut alimenter deux unités simultanées de calculs entiers, et il incorpore des opérations multimédia, formant le jeu Max1, qui aide au traitement de la vidéo comprimée par MPEG 1. Il contient aussi le FPU. Performance : 84 Specint92, 130 Specfp92.

Par la même occasion, HP annonce la suite :

- un 7150 à 125 MHz, optimisation du précédent, au cours de l'année 1994. Il sera destiné aux stations de 20 à 30 K\$. Il serait capable de 125 / 201 Specmark92.
- un 7200 organisé autour d'un nouveau bus de données pour pouvoir coopérer avec ses semblables dans la réalisation de multiprocesseurs, en 3 / 1995. C'est un CMOS 0,55 μ à 3 couches métal, 120 MHz, contenant 2 KB de cache interne ; petit détail, il accepte les deux structures de mot, big et little endian.
- le 7300 non annoncé se révélera nécessaire pendant la mise au point du suivant.
- un 8000 de 64 bits, capable de 500 Specfp92 à 200 MHz, est annoncé pour 1996 ou 97.
- HP ne l'annonce pas, mais nous le découvrirons en fin 1997 : il y aura ensuite un PA 8500 intégrant 1,5 MB de caches divers sur la puce, sans compter diverses améliorations de logique.

Deux consoles sont annoncées avec le nouveau 7100LC en 10 / 94 :

- la 712 / 60 est une entrée de gamme à 60 MHz, avec un prix de départ de \$ 3995 (ou 29900 FF) qui fait impression et qui entraîne des commentaires, plutôt flatteurs dans leur ensemble. Le boîtier très plat contient 16 MB de RAM, extensibles jusqu'à 128 MB, et un disque de 260, 525 MB ou 1 GB, ainsi qu'un floppy de 3,5" ; un écran de 15" le surmonte. Le logiciel HP-UX version 9.03, qui tient dans ces limites et se laisse appeler Desktop / UX, est un Unix intégré multifonctions, avec un peu de multimédia pour faire mode. L'interface utilisateur, baptisé HP VUE, (voir documentation), est très agréable.

On peut bien sûr en augmenter l'agrément avec le prix sans en modifier les performances : il faut compter \$ 7680 pour une mémoire de 64 MB et un écran de 20", toutes choses égales d'ailleurs.

L'audace de son prix l'a fait soumettre à de nombreux essais : 125 K Dhrystone 1.1, 115 K Dhrystone 2.0, 76 K Whetstone SP, 45 DP, 32 MFlops en Linpack SP et 25 en DP, tout cela pour dire que ce nouveau produit est bien meilleur que ses concurrents, et plus d'un commentateur l'a franchement écrit, car on ne l'attendait pas nécessairement de Hewlett Packard.

- la 712 / 80 parue en même temps travaille à 80 MHz, avec un écran 17". Les chiffres relevés dans la presse, 84 Specint et 79 Specfp, sont forcément une erreur puisqu'ils ne maintiennent pas les proportions alors qu'il s'agit du même processeur.

- par la même occasion, HP renouvelle ses serveurs bas de gamme avec les 800 E25 / 35 / 45 de 48 à 80 MHz, de 5000 à 10000 \$.

L'accélération de la course à la vitesse des microprocesseurs, dans la deuxième moitié des années 90, brouille l'image des produits HP comme celle de tous les concurrents, d'autant que s'y superpose une crise UNIX où HP se trouve mêlé un peu malgré lui. En tous cas, ni l'une ni l'autre ne compromettent la marche en avant de la compagnie, pas plus que les mutations internes : départ à la retraite du fondateur David Packard, en 9 / 93, et son remplacement par Lew Platt.

HP est désormais le 3ème des constructeurs américains sur la base du chiffre d'affaires.

Environ 10% de ce CA, soit 2100 M\$ (+ 24%), correspondent en 1993 à la vente de stations, au nombre de 121000 (+ 25,6%) dont la quasi totalité contiennent des PA RISC (113375, + 64,3%). Il y en aura 157600 en 1994 (+ 30,2%), puis 161388 en 1995 (+ 2,4%). La croissance médiocre de cette dernière année semble liée à des difficultés de mise au point du PA 8000 : ce sont d'ailleurs plutôt des incompatibilités avec le compilateur, qu'il faut partiellement réécrire.

L'imbroglia Unix commence en 9 / 93 quand Novell achète USL à ATT, y compris le système d'exploitation SVR4. A ce moment Novell possède Unixware, une variante de SVR4 dotée des protocoles de communication de Netware, qui s'efforce de fédérer de nombreux éditeurs de logiciels d'application, comme Progress, Applix, Corel Draw, dans l'espoir de l'introduire dans les PC pour y contrer Windows.

Pour comprendre les enjeux, il faut savoir qu'il y a à l'époque 422600 systèmes Unix multiutilisateurs recensés en fonction : 37,3% SCO, 1,9% Motorola, 2,5% Unixware, 5% Solaris 1 et 2 chez Sun, 5,4% SVR4 chez ATT (l'objet de la négociation ci-dessus), 5,7% de HP-UX, 9,3% de AIX chez IBM, 10,2% Interactive, et 22,7% de divers. La version de SCO est adoptée pour les rares PC qui se veulent Unix.

L'opération échoue, comme on pouvait s'y attendre au vu des chiffres, et Novell en 9 / 95 revend Unixware à SCO, qui s'allie avec HP pour construire un Unix 64 bits, indispensable au tournant du siècle. Il s'agit donc de fusionner Unixware, Openserver et HP-UX dans une architecture 3DA, compatible avec toutes les spécifications de l'Opengroup, qui de son côté a fusionné X / Open et l'OSF ; elle devra pouvoir englober, sous forme de modules, le clustering, le multithreading, l'administration de réseau, Internet, les services objet sous CORBA ou OLE / COM, etc... tout en serrant de près l'architecture de processeurs en vue de l'optimisation du code objet. NEC soutient l'initiative avec l'objectif de favoriser MIPS, qui est soutenu aussi par une association comprenant Siemens / Nixdorf, Tandem et Silicon Graphic. Bref, un projet dangereux et embrouillé.

HP tend depuis des années à rapprocher son HP-UX d'un standard, mais ce qui précède fait douter de son existence. Aussi HP doit-il travailler à deux niveaux.

Dans l'immédiat, la version 10 de HP-UX, annoncée en 2 / 95, est une réécriture assez large, tendant à se rapprocher de SVR4, et de la spécification 1170 de Posit, autant que possible sans perdre les acquis de HP-UX : un outil de mise à jour automatique est offert à la mi 95 aux utilisateurs de la version 9, en même temps que le Release 10. Cette version améliore les entrées / sorties, reprend tous les compilateurs, gère la continuité du service en redistribuant la charge dans les clusters, tient un journal adapté à la reconstitution des fichiers, offre un outil de diagnostic, un gestionnaire de volumes logiques pour les sauvegardes, et de nouvelles extensions réseau (TCP/IP, NFS, SNA, Netware for Unix, Internet).

Cette version 10 est proposée avec le premier biprocesseur de la série 700, contenant deux PA 7200 à 125 MHz. Aucun client ne doit croire, et HP le dit avec vigueur contre des insinuations malveillantes de Sun, qu'il envisage d'abandonner Unix.

Pour le plus long terme, HP travaille avec Intel sur une spécification matérielle de la future architecture 64 bits, baptisée EPIC, qui vise 1999. Ce sont ces processeurs, dont l'efficacité dépendra grandement de leur compilateur, qui auront besoin d'un Unix 64 bits.

Dernière remarque essentielle : DEC, qui possède déjà un processeur 64 bits avec Alpha, est aussi en recherche d'alliances pour élaborer un Unix 64 bits. On peut voir dans la rubrique 216 comment DEC s'en est finalement tiré tout seul. En pratique, HP devra faire la même chose, car les propriétaires des divers Unix sont incapables de s'unir.

En attendant le PA 8000, HP poursuit la course à la puissance avec ses serveurs HP 9000 équipés de PA 7150 et 7200, en conjuguant deux nouveautés :

- le logiciel MC / Service Guard est une organisation purement logicielle de haute fiabilité
- les clusters EPS (Enterprise Parallel Servers) qui relie par des Fibrechannels à 2 * 266 Mbit/s des serveurs multiprocesseurs, EPS 21 à 4 processeurs par noeud, ou EPS 30 à 14 processeurs par noeud.

Le logiciel de ces systèmes est MC / SE, MultiComputer / Single Environment, basé sur Openview, qui donne une vision unique sur l'ensemble du système. On a mesuré par exemple 17826 transactions par minute sur une configuration à 4 noeuds T520 à base de PA 7150, en consultant le serveur parallèle d' Oracle.

Les projets, immédiatement annoncés pour se concrétiser avec l'arrivée des PA 8000 en 1997, sont de relier jusqu'à 128 noeuds (1536 processeurs) par un Fibrechannel à 1 Gbit/s, dont la portée, limitée initialement à 2 Km, passera à 10 Km en 1998.

Le PA 8000 apparaît en 6 / 96 dans des stations baptisées Visualize, triplant les performances par comparaison avec les stations précédentes basées sur le PA 7200 : c'est la série K qui emploie des 8000 entre 140 et 180 MHz, y compris de puissants multiprocesseurs pour travaux lourds. Voir fiche.

Toutes ces stations, qui utilisent HP-UX 10, peuvent désormais se connecter à Internet grâce à MPower Web, fourni séparément au prix de 350 FFHT.

En fin d'année, le PA 8000 apparaît aussi dans de nouveaux serveurs, auxquels il apporte une performance estimée de 700 TPS. Cette série V, d'origine Convex, peut dès le départ recevoir jusqu'à 16 processeurs, et le maximum passe à 32 en 1998. Elle comprend des V2200 à 2600. Voir fiche et photo.

Le logiciel de la série V est HP-UX version 11.0, capable des applications 64 bits, vendu 7220 FF par serveur, ou encore 94240 FF pour un nombre illimité d'utilisateurs.

A la même époque, la série K définie ci-dessus s'enrichit de deux hexaprocesseurs, K570 et K370, bâtis autour du 8200 à 200 MHz et destinés au travail transactionnel.

Il est aussi question d'un EPS 23 à 16 processeurs clusterisé à 266 Mbits / s par Fibrechannel.

Une série pareille ne peut s'arrêter sur une conclusion, car pour elle l'année 2000 n'est en aucune manière une coupure. La lutte continue, très active, pour le marché Unix, dont le classement IDC en fin 99 est le suivant : SCO Openserver 23,1% (- 10%), Sun Solaris sur Sparc 22,2% (+19,2%), SCO Unixware 14,1% (+ 4,1%), IBM AIX 13,5% (stable), HP/UX 12,5% (+ 11,7%), Sun Solaris sur Intel 3,1% (- 7,1%), Compaq Tru64 2,2% (-25%), SGI Irix 1,8% (- 11,8%), SNI Reliant 1% (- 25%), autres 6%.

En juin 2000, HP annonce HP/UX 11i, où le i signifie Internet : cette nouvelle version supporte Apache Server (avec une clé de cryptage 128 bits), les applications "Entreprise Server" de iPlanet, le "Weblogic" de BEA, le serveur WAP de Nokia, l'outil de répartition de charge de Resonate, ainsi que le moteur de recherche de UltraSeek. De nouveaux outils de stockage de Veritas, de caractère universel, remplacent l'outil Logical Volume Management de HP, qui ne fonctionnait qu'avec HP/UX. Enfin, le système est conçu pour fonctionner avec un maximum de 256 processeurs, indépendants ou en grappes jusqu'à 128 noeuds. Au total, un système vraiment très ouvert.

Les matériels antérieurs de la série V pourront adopter le nouvel HP/UX par une simple mise à jour du microcode. Mais HP ne se borne pas à revitaliser les modèles antérieurs et, en septembre 2000, il annonce Superdome, un système à 64 processeurs, à commercialiser en 2001, capable de 204000 TPM

En fait, HP se considère à ce moment comme le leader du marché des stations UNIX, en performance sinon en quantités., et la masse de ses serveurs, dont les processeurs sont conçus pour le calcul scientifique, font du transactionnel : une évolution au moins bizarre pour une entreprise née dans la mesure et développée à travers les laboratoires.

Le HP 3000 et la gestion

Lorsque en 1971 HP annonce le 3000, livrable à partir de 9 / 1972, les motivations ne sont pas claires. Il s'agit d'une architecture à pile, style B5000 de Burroughs, qui affiche et exalte immédiatement les propriétés de ce type de structure, à savoir l'aptitude naturelle à la multiprogrammation et au multiprocessing, ainsi que la mémoire virtuelle : s'agit-il d'attaquer par le bas le marché des gros ordinateurs polyvalents ? ou de s'ouvrir à la gestion, marché jusque là complètement ignoré ?

HP ne le dit pas, car dès les premiers pas du système, il s'avère que le logiciel n'est pas au point, et le silence tombe pour près de deux ans sur cette première version de la machine.

En 1974, HP qui a réglé ce problème fait une nouvelle tentative sur le thème du processeur polyvalent organisé en centre de calcul, avec les CX qui ne sont rien d'autre que les A sous un autre emboîtement. L'échec est clair : la clientèle doit penser que pour la polyvalence, on a déjà IBM !

Peu désireux d'abandonner un produit dont l'étude a été longue et coûteuse, HP prend alors la décision de l'orienter vers la gestion et lance, dans une présentation qui reprend exactement celle des CX, la série II. A la vérité rien n'a changé, et le système d'exploitation supporte batch et interactif, RPG II et Cobol mais aussi Fortran et Basic, et même APL / 3000 ; la base de données Image / 3000 s'adapte à Fortran comme à Cobol. Mais la vérité est ce qu'on a envie d'entendre, et les vendeurs ont été orientés gestion : le 3000 II est le point de départ d'une famille florissante appuyée sur un logiciel maison, qui cache complètement au public l'architecture interne dont on était si fier.

La preuve en est clairement fournie par les 3000 série 1 de 1977, qui sont simplement des CX restitués, repeints, un peu gonflés et vendus 30% moins cher comme gérants de transactions avec une base de données Image/3000 sur disque 7290, et 16 terminaux.

En 1978, le 3000 III reprend la micromachine de la série II mais l'associe à une mémoire extensible à 2 MB, réalisée en puces 16 Kbits, et vendue 32000 \$/MB. Cette machine est proposée au prix de K\$ 115 à 175, avec 1 à 8 disques DH 7925 de 120 MB, 8 bandes et 64 terminaux. Le logiciel est MFG/3000, complètement orienté gestion, vendu \$ 5000 + 150 \$/module.

En janvier 79, le prix de base tombe à K\$ 105 pour une nouvelle armoire contenant l'alimentation, 256 KB de mémoire, 50 MB de disque, un dérouleur 1600 bpi de sauvegarde, et 16 voies pour terminaux, ainsi que le logiciel. A partir de ce minimum, la configuration peut être développée jusqu'à 8 dérouleurs, 64 terminaux, 4 IP 1000, distribués sur 29 canaux dont 9 INP.

En 1980, HP manifeste un début d'ouverture en proposant des communications compatibles 3270. Cependant, les 3000 série III deviennent pratiquement le symbole de l'attachement aux normes internes de HP, par opposition à l'ouverture des 9000 ; et cette formule ne déplaît pas, puisque les ventes s'établissent à 150 par mois, soit quelque 3500 cumulées, belle revanche sur le rejet des 3000A mais maigre consolation pour les inventeurs du concept de plus ignoré et caché.

En 1979, le 3000/30 utilise encore la même micromachine, mais dans un boîtier réduit à 61 * 76 * 46 cm, pour cause de passage aux chips mémoire de 64 Kbits, et d'introduction dans les canaux du chip MC2, un IOP complet sur une puce maison. La mémoire peut varier de 256 KB à 1 MB, le bus principal peut débit 4 MB/s. Trois contrôleurs sont proposés :

- l'INP maintenant construit autour d'un MC2, avec 32 KB de mémoire et un débit de 56 KB/s.

- le GIC, contrôleur IEEE 488 auquel on peut attacher un câble HP-IB multipériphériques.

- l'ADCC, contrôleur pour 4 terminaux sur interfaces RS 432C

Prix typique : 294500 FFHT pour CPU, 256 KB de mémoire SECDED, 20 MB de disque, 8 voies d'entrée / sortie et un écran. Logiciel MPE III avec Cobol, RPG, Fortran, Basic et SPL, ainsi que Image/3000.

En 1979, HP devenu fondateur, quoique assez timidement, met au point un microprocesseur en virgule fixe en trois puces CMOS/SOS, avec lesquels il construit la génération suivante des machines de gestion : les 3000/33, qui tiennent dans un petit bureau avec leurs disques de base.

Leur vie sera courte, du fait d'un progrès technologique rapide. Néanmoins, il faut citer une amélioration logicielle symptomatique : IML/3000, Interactive Mainframe Link, permet désormais à un HP 3000 de se connecter à un ou plusieurs calculateurs IBM auxquels il apparaît comme un simple 3270.

Dès 1981, un processeur TTL sur une seule puce est en mesure de remplacer le 33 et HP annonce le 44, qui en reprend les caractéristiques avec une nouvelle baisse. Toutes sortes de variantes commerciales verront le jour dans les années suivantes, dont une importante consistant à tamponner les entrées / sorties, avec un notable progrès sur le débit global.

En 1984, il y aura une version 37 à usage bureautique, dont le prix commence à \$ 20000. Cet énoncé signifie qu'aucun compilateur n'est fourni, seulement des utilitaires tels que traitement de texte, package de gestion, graphique, DBMS, pour 2 à 28 terminaux parmi lesquels peuvent figurer des HP 150, des HP 110, et des compatibles PC.

En 1985, l'introduction d'un cache 32 KB redonne de la vigueur à une version 58 dotée d'une mémoire de 4 à 8 MB, et d'un maximum de 16 disques pris dans une gamme de 28/55/65/132 ou 404 MB. Le nouveau logiciel MPE V les sert à travers un tampon, ainsi que une cartouche de sauvegarde de 67 MB, des bandes de tous types (1600, 800 / 1600 ou 1600 / 6250 bpi) jusqu'à 8, et jusqu'à 7 lignes synchrones. Sans parler de 150 terminaux sur lignes asynchrones.

Cette version sera allégée et rebaptisée 52 en 1986, avec des limitations qui n'en sont guère (seulement 8 disques, 4 bandes, 3 lignes synchrones, 92 terminaux), et en contrepartie quelques nouveautés : disques de 81, 307 et 571 MB, possibilité de réseau local.

Simultanément en 1981, et à titre expérimental, HP couple deux CPU 16 bits ECL sur une mémoire 32 bits à travers un cache qui prend 19 clocks pour fournir aux CPU huit mots de 16 bits. La mémoire travaille avec 32 bits de données et 32 bits d'adresse : réalisée avec des puces 64 Kbits, elle est asynchrone et 1 MB tient sur une seule carte. Cette machine baptisée Gemini, est vendue 150 K\$ avec 8 contrôleurs de disques capables de 16 GB.

Quoique bizarre, l'expérience doit être une réussite puisque dès 1981 est officiellement annoncée une version 64 qui reprend cette conception en ECL 145 ns. Elle pourra, comme les versions 16 bits, profiter à partir de 1983 du système MPE V et du tampon de disques : ce sera la version 68.

En 1985, avec le minimum de bruit, le double processeur ECL 16 bits est remplacé par un processeur ECL 32 bits travaillant à 75 ns, et le prix diminue tandis que la mémoire peut monter à 8 MB.

En 1986, les retards sur le processeur Spectrum commencent à inquiéter le marketing de HP qui sent la nécessité d'un geste. Ce sera la version 70, où grâce à un important cache de 128 KB, on parvient à tirer 35% de service en plus d'une puce inchangée, tandis que la mémoire maximale est portée à 16 MB.

Finalement, l'architecture Spectrum est enfin prête, et HP annonce deux machines 32 bits, les 930 et 950, respectivement 4,5 et 6,7 Mips. Le chip 32 bits réalisé en NMOS 3 avec 144000 transistors est un FXU doté d'un répertoire de 140 opérations, complété par des ASIC : le contrôleur de TLB (TCU), deux contrôleurs du cache 128 KB (CCU), et un contrôleur de bus (SIU).

Le FXU ne contient pas d'opérations flottantes qui doivent être programmées dans le 930. Le 950 dispose d'un coprocesseur en trois ASIC : add / sub, mpy, div en flottant, ce qui justifie les différences de performances énoncées, dont on voit bien qu'elles dépendent beaucoup du problème.

A part cette différence, les deux machines ont les mêmes périphériques et le même logiciel : maximum de 24 disques pouvant représenter jusqu'à 9,7 GB, huit dérouleurs, 450 terminaux.

Le système est MPE.XL, supportant une mémoire réelle de 4 GB et une mémoire virtuelle à adressage 48 bits, segmentée et paginée par 2 KB.

Ces machines seront supplantées en 12 / 90 par les 948 et 958, utilisant un Spectrum de 2ème génération, soit 39 TPS, 400 utilisateurs pour le 948 et 50 TPS, 600 utilisateurs pour la 958. La conversion est possible par échange de cartes.

Au même moment, il existe semble-t-il une puce NMOS 3 à 16 bits avec laquelle HP édifie une machine intitulée Micro 3000, dotée d'une mémoire de 2 à 8 MB construite en puces de 1 Mbits, et fonctionnant sous MPE V. Le modèle de base comprend au maximum 2,2 GB de disques, à choisir parmi les modèles 81 / 130 / 307 / 571 MB, et 16 terminaux. Un streamer 67 MB est standard, ainsi qu'une ligne synchrone, et on peut ajouter des bandes en cartouches de 1600 ou 6250 bpi.

Un modèle 3000 XE est aussi proposé, qui se distingue du précédent par un cache de 128 KB. Les maxima sont alors poussés à 56 terminaux, 4,5 GB de disques, 4 bandes, 3 lignes synchrones et un LAN.

Prix typique : \$ 56000 pour 2 MB de mémoire, un disque 130 MB, 12 terminaux, un streamer, MPE V et la base de données TurboImage.

Ce matériel, qui remplace commercialement les 37, 39 et 42, disparaîtra du catalogue en 6 / 91.

A cette date, en effet, sont annoncés les PA RISC Hitachi en CMOS de 2ème génération, qui couvrent de haut en bas la gamme des besoins, mais sont en réalité tous des serveurs puisque la version 917, la plus économique à 148 KF, est déjà prévue pour huit utilisateurs. Le point important est que toute cette série fonctionne sous MPE.XL, et qu'il s'agit donc d'une série orientée vers les fidèles de la marque.

L'architecture 3000 subsiste probablement, pour pouvoir utiliser les mêmes logiciels, mais bien entendu par émulation, car le PA RISC a son architecture propre.

Ces serveurs prennent place dans un châssis 12 slots comportant un seul bus IO à 16 MB / s, une carte SCSI, une cartouche de sauvegarde de 2 GB, et une mémoire extensible à 768 MB.

Un premier renouvellement interviendra en 9 / 92 avec le 990, serveur monoprocesseur, et le 992, version multiprocesseur, tous deux produits pour l'Europe à l'usine de l'Isle d'Abeau, en France. Ces deux machines ne diffèrent que par la présence dans le 992 d'un bus mémoire 1 GB / s sur lequel on peut enficher de 1 à 4 cartes processeur. Elles peuvent recevoir jusqu'à 2 GB de mémoire, 690 GB de disques, et 2300 terminaux, et utilisent le système propriétaire MPE.XL :

990	1 processeur,	110 TPS,	prix de base 3,75 MFF	
992	1 processeur,	145 TPS,	prix de base 4,35 MFF	- extensible
	2 processeurs,	240 TPS,	prix de base 5,99 MFF	- extensible
	3 processeurs,	330 TPS,	prix de base 7,11 MFF	- extensible
	4 processeurs,	420 TPS,	prix de base 8,23 MFF	

Pour continuer cette histoire des calculateurs propriétaires, HP propose en 11 / 93, pour livraison en 5 / 94, la famille 995 extensible de 1 à 8 processeurs., qui sont maintenant des PA 7100 à 90 MHz. Pour un prix de K\$ 219 (mono) à K\$ 679 (octo), on obtient l'armoire principale et une armoire d'extensions I / O avec une licence pour 100 utilisateurs.

En offre simultanée, un contrôleur SCSI2 avec procédure Raid 3 / Raid 5 peut prendre en charge les disques pour un prix variant de 31700 FF (1 GB) à 350000 FF (8 GB). On pourra trouver cette même offre à la même date dans la série 9000, et cette convergence n'est pas étonnante puisque le support des deux architectures est le même, le PA 7100.

Le PA 7200 fait son entrée en 3 / 95, avec l'annonce de la famille 9X9KS qui comprend des châssis simple ou double hauteur, avec 4 à 8 slots. Le fond de panier contient un bus SCSI Fast / Wide capable de 1 à 352 GB de disques et d'une sauvegarde jusqu'à 8 GB. Il y a deux bus d'entrées / sorties à 64 MB / s, la mémoire de travail peut atteindre 2 GB, et un CDROM est standard.

Le 939 d'entrée de gamme, utilisant un CPU à 80 MHz, dispose de 64 MB de RAM, d'une licence pour 64 utilisateurs, des logiciels Image / SQL et MPE / ix 5. 0 . Prix 84580 à 295070 \$.

Le 959 monoprocesseur à 100 MHz, avec 128 MB de mémoire, et la même licence, coûte 116580 \$, et on peut y ajouter jusqu'à trois autres processeurs à 15000 \$. Ce sont donc les modèles 959 KS 100 à 400. Ils sont convertibles par échange de carte à l'annonce du PA 8000.

Il semble que la famille 3000 s'arrête ici, car les 9000 et les 3000 ne diffèrent plus que par leur système d'exploitation, entraînant il est vrai une grande quantité d'habitudes et d'applications. C'est par l'étude de ses statistiques de ventes que HP doit décider s'il est toujours avantageux, ou non, de soutenir deux architectures et deux systèmes d'exploitation, alors qu'il n'y a plus qu'un seul matériel.

Comme on l'a indiqué au début de ce chapitre, la famille 3000 n'avait pas initialement une vocation gestion, en ce sens qu'on n'imaginait pas l'extraordinaire engouement qui allait se développer pour la gestion transactionnelle.

La gestion classique a commencé chez HP en 9 / 78, avec le HP 250, une machine "design" en forme de bureau d'angle avec imprimante associée, destinée à accrocher les clients. Dès cette époque, la distinction que fait HP entre gestion et simple bureautique réside dans la consultation de base de données, qui entraîne rapidement un fonctionnement multiposte.

Ainsi le HP 250 , qui utilise le même processeur que le 9845, est plutôt une anticipation du futur rôle des 3000 qu'une machine de gestion traditionnelle, et sa base de données Image / 250 est tout simplement un sous-ensemble de Image / 3000. Le langage, cependant, est Business Basic.

Le mystère des intentions s'accroît avec le HP 300, annoncé presque simultanément, qui se présente plutôt comme une bureautique multiposte, dont l'architecture s'inspire de celle du 3000, et qui fait usage du même processeur que le 3000 / 33. Le langage, ici aussi, est Business Basic, mais il n'y a pas de base de données. En fait, le H300 a été ressenti comme une séduisante bizarrerie, et il est rapidement passé de mode.

Le 250 a duré nettement plus longtemps, et nous en retrouvons en 1983 une nouvelle version à \$ 17000 qui ne paraît plus viser le même objectif que l'original : il est vrai qu'entre temps les 3000 se sont beaucoup développés.

Ce 250 / 25 comporte une mémoire de 256 KB, un disque Winchester de 9,7 MB, et un floppy de 1,5 MB. Une carte d'extension mémoire de 512 KB coûte \$ 4000. Le logiciel peut soutenir jusqu'à 10 stations et ajoute à l'existant un système graphique Slide / 250 ainsi que, en option pour \$ 1500, une émulation de terminal asynchrone qui donne accès aux ordinateurs du voisinage.

Après ce 250, il n'y aura plus d'autre effort autonome de petite gestion . La raison en est que HP a pris conscience de l'existence des PC, que la société avait longuement ignorés. Il est clair désormais que le PC s'introduit dans les entreprises, et que c'est lui qui va jouer le rôle que HP souhaitait donner au 250.

Puisque la voie propriétaire a échoué, il faut d'urgence s'introduire dans la voie royale des PC : HP va développer les Vectra, mais ce ne sera pas simple.

Hewlett-Packard et les PC

Le calculateur personnel, tel que le conçoit HP dans les dernières années 70, ressemble beaucoup à la famille 9800 de machines de table : à part le fait qu'on ne recherche pas la performance, ce qui conduit à utiliser un simple microprocesseur MOS de 8 bits, tous les services jugés désirables sont ceux que donnent ces calculateurs : imprimante, cassette magnétique, écran capable de graphiques, langage Basic. Le calculateur HP 85, annoncé en 1979, offre tout cela pour \$ 3250, dans la taille d'une machine à écrire (fiche). Mais il suffit de parcourir la liste des périphériques pour trouver le bus HP-IB d'instrumentation.

Bon succès dans la clientèle des habitués. En 1981, HP tentera un élargissement avec le 83, qui ne coûte plus que 13050 FFHT, sans imprimante ni cassette ; mais on peut retrouver tous les périphériques en options. Le logiciel est inchangé, mais on propose le tableur Visicalc en supplément pour 1200 FFHT.

On préférera en réalité offrir plus que moins : le HP 87 de 1982 ne coûte plus que \$ 2495 et il améliore le 85 de diverses manières :

- 4 emplacements d'extensions mémoire par modules enfichables de 32, 64 ou 128 KB (\$ 295 / 450 / 795)
- 3 options de mémoire à disque, floppies et / ou Winchester
- accès à l'assembleur pour \$ 295
- tampon d'écran de 16 KB pour 544 * 240 pixel monochrome, ou 24 * 80 caractères.
- incorporation, sous forme d'une carte enfichable à \$ 495, d'un Z80 avec 64 KB de mémoire et le système d'exploitation CP / M, qui a beaucoup de succès hors HP.

Une autre variante, le HP 86 à \$ 1795, supprime toute possibilité d'extension temps réel, mais conserve le tampon d'écran et propose d'ailleurs des écrans plus grands : 9" pour \$ 295, 12" pour \$ 325. Et il conserve CP/M, logiciel à succès.

Ces expériences lui ayant révélé que le public veut plutôt une toute petite gestion qu'un Basic, HP décide d'entrer dans cette compétition des calculateurs personnels 8 bits qui se crée autour de CP/M. Il s'agit, de l'aveu même du constructeur, d'une improvisation dans l'urgence.

Cette série 100, en fait le modèle 125 de 1981, comporte deux Z80, un pour le système et un pour l'agrément de l'exploitant : traitement de texte, graphique, tableur Visicalc, communications. Mais le prix choisi étant trop élevé, cette machine n'aura pas le succès espéré et mérité par les services rendus .

Cette fois, HP retient la leçon : le public veut le PC que IBM vient de lancer, il va l'avoir : le HP 150 de 1984 utilise le microprocesseur Intel 8088 comme IBM, ainsi que le MS / DOS 2.1 de Microsoft . Mais, pour marquer l'objet de la personnalité HP, il présente ses menus à l'aide d'un écran tactile et propose une base de données de Condor Computer, et tous ses compilateurs habituels.

Echec complet : le public des PC n'a que faire de l'originalité HP et n'a pas l'intention de programmer, il veut seulement le nouveau gadget, comme tout le monde.

Echec aussi pour le HP 110 portable de 1984, qui présente l'inconvénient d'un poids un peu élevé, et de l'absence de disque, qui interdit de créer des fichiers. Tout le logiciel utile est présent sur ROM, mais sa production ne peut être exportée.

HP enrage de constater ce que savent tous les services marketing du monde : on ne réussit pas parce que l'on est bon, on réussit parce qu'on a su convaincre le client qu'il veut ce qu'on lui présente. Les concepteurs de HP ne se résignent pas : ils ont de bons produits, le public ne pourra pas dire qu'on ne les lui a pas proposés.

L'Intégral PC de 1985 (fiche) est un gros portable construit autour du 68000, et qui malgré son nom ne doit rien au PC. Il inclut un écran électroluminescent capable de graphique 512 * 255 aussi bien que de texte 24 * 80 caractères, et une imprimante à jet d'encre, et un floppy, et un clavier complet avec souris, et un logiciel HP-UX avec C et un Basic technique. Remarquable peut-être, invendable à peu près certainement : pourquoi Unix si on ne communique pas ?

On finit par apprendre de ses échecs : HP annonce la famille Vectra, qui seront des PC compatibles, à commencer par le produit de lancement, un AT à base d'Intel 80286 avec système MS / DOS 3.1 . HP rentre dans le rang , s'arrangera pour être compétitif, et n'offrira au public que ce qu'il a envie de recevoir. Pas plus que pour les autres compatibles, nous n'essayerons d'être exhaustif dans cette compétition, et nous bornerons à citer quelques produits pris dans une liste forcément longue :

1) le HP 95 Lx de 1990 est un exercice de virtuosité, consistant à enfermer l'essentiel d'un PC dans un notebook extraplat (26 mm) de 160 * 87 mm, pesant 300 g. Le processeur est un équivalent NEC du 8088, l'écran est 16 * 40 caractères ou 240 * 128 pixels, le logiciel est essentiellement sur ROM. Connexion IR vers imprimante ou autre HP 95.

L'année suivante, il aurait été rebaptisé HP 200 LX, et contient, en plus de MS / DOS, le tableur Lotus 1-2-3 version 4. On ne peut chiffrer l'impact sur le public.

2) le Net Server LM de 6 / 93 est un serveur de disques destiné à un réseau de PC Vectra, se présentant comme une petite armoire de pied de table, double largeur, contenant un floppy de service, et 7 emplacements pouvant recevoir au choix : des CD ROM de 650 MB, des disques fixes, ou des disques enfichables interchangeables en marche.

Le CPU est soit un 486, soit un Pentium. Le logiciel HP Netserver Assistant sait assurer, sur demande de principe à l'installation, la relève automatique et transparente d'un disque en panne. Le serveur est fourni avec garantie 3 ans d'un dépannage dans les 24 heures.

Ce serveur s'intègre dans une gamme de trois niveaux de Vectra essentiellement conçus pour l'exploitation en réseau , dans le cadre de Windows 3.11 qui sort à cette époque :

- les N2 sont les simples membres du réseau : leur logiciel intègre DMI, Desktop Management Interface, qui permet de simplifier la tâche de supervision et d'administration du réseau.

- les M2 sont des PC bureautiques destinés au travail en réseau local

- les XM2 sont des machines de luxe dotées des 486 les plus performants et dont les bus PCI permettent de multiples extensions de haut niveau (par opposition aux modestes extensions ISA).

3) le Vectra XU donne une idée du niveau technique de la famille à la mi 94. C'est une station individuelle dont la carte mère offre deux socles pour Pentium P54C à 90 MHz, se partageant un cache de 256 KB. La station comporte un Ethernet intégré, relié par coaxial ou 10 BaseT. La carte vidéo est au choix une S3 Vision 864 intégrée à la carte mère, ou une Matrox MGA II enfichée sur un slot PCI. Le prix, avec un Pentium, 8 MB de mémoire et un disque de 540 MB, est de 30000 FFHT.

Les seuls commentaires que l'on puisse faire sur cette production est qu'elle n'est pas déshonorante, mais qu'elle reste très marginale par rapport à la production des grands comme Compaq, IBM ou Dell. Le chiffre de 20000 Vectra en service en 1987 est à comparer avec une production annuelle de plusieurs millions de PC chez Compaq, par exemple. HP considère, cependant, qu'il n'est pas possible de se retirer de ce métier, même si les marges y sont à peine intéressantes. C'est peut-être la raison de la décision prise, en mai 2002, par l'assemblée de HP et contre la volonté expresse de M. Hewlett, fondateur désormais minoritaire, de fusionner avec Compaq.

Toujours dans le domaine des calculateurs personnels, HP décide vers 1995 de proposer un assistant personnel (notebook). Ce HP 200 LX ne pèse que 300 grammes. Il peut utiliser les applications MS-DOS et intègre en mémoire morte le tableur Lotus 1-2-3 version 4.

Divers

Tout fabricant a ses divers, qui comptent peu dans son bilan, mais qu'il considère pour telle ou telle raison, comme indispensable à conserver.

Par exemple, HP construit et vend des terminaux, et parmi eux des terminaux X, c'est à dire compatibles avec Unix et le fenêtrage XWindows. Ces terminaux sont construits autour du microprocesseur Intel i960 et existent en deux classes:

- pour 22 à 37 KFFHT, 6 modèles disposent de 165000 Xstones, l'unité de mesure inventée pour l'évaluation des terminaux Unix.

- pour 14 à 26 KFFHT, 3 modèles disposent de 110000 Xstones.

Pour un supplément de 4500 FFHT seulement, on peut ajouter au terminal un système audio, un scanner, un floppy et 12 MB de mémoire pour les transformer en console multimédia.

Autre exemple : HP a racheté la société Metrix pour s'introduire dans le marché des matériels pour réseaux, qui n'est pas du tout le sien. Les Advanced Stacks sont des concentrateurs empilables, à base de microprocesseurs Intel i960, chacun comprenant 1 MB de RAM, 256 KB de flash EPROM, un slot pour un pont ou un routeur, et 12, 24 ou 48 ports Ethernet 10 BaseT. Les piles peuvent être dispersées jusqu'à 185 m les unes des autres, et gérées en bloc. Chaque pile contient un module SNMP qui assure cette gestion.

Le logiciel Stack Manager est une application Windows permettant cette gestion centralisée depuis un PC du réseau. Le logiciel Overview de HP gère chaque pile à travers son SNMP.

Les trois niveaux de concentrateurs coûtent respectivement 1079, 1699, et 2899 \$, auquel il faut ajouter \$ 695 par pile pour la carte SNMP.

Les applications Netmetrix 4.0 disponibles sont au nombre de six : Enterprise Utilities, Internetwork Manager, Protocol Analyzer, Load Monitor, NFS Monitor, Traffic Generator.

306 - Honeywell, Inc.

Honeywell, Inc. était avant guerre une firme d'automatismes industriels, et c'est resté après la guerre sa vocation principale ; son véritable nom, Minneapolis - Honeywell Regulator Company, en est d'ailleurs le témoignage. Elle s'est intéressée très tôt à l'informatique, par une sorte de curiosité technique, créant en accord avec Raytheon une filiale Datamatic pour la production (à 3 exemplaires !) d'une grosse machine à tubes de conception originale, la Datamatic 1000.

L'évolution de Raytheon vers le radar et le sonar devait assez rapidement conduire cette société à céder à Honeywell ses droits sur Datamatic, qui fut intégrée à la société mère. A cause de ses origines Raytheon, la Datamatic division était basée à Newton, Mass ; après intégration, l'ensemble des activités de la EDP Division se retrouve à Wellesley Hills, Mass.

A partir de 1959, l'activité informatique de Honeywell se concentre sur une ambitieuse machine scientifique, la MH 800, dotée d'une architecture à 3 adresses que tout le reste de l'industrie considérait, avec de bonnes raisons, comme périmée. Néanmoins, cette architecture permettait à Honeywell de disposer, longtemps avant la concurrence, d'une multiprogrammation câblée plutôt que programmée.

Honeywell a réalisé pour cette machine un compilateur de gestion, FACT, annoncé par CACM 6 / 60 p 345, puis repris dans TIRE, EC 11, 8/62 p 586. Il y a eu aussi un article dans le Computer Journal (UK), 7 / 62, pp 109 et 112. Ce compilateur a fourni quelques idées pour Cobol.

A une époque où l'informatique était encore un luxe, ce calculateur complexe s'est peu vendu. L'usager le plus original est probablement Medlars, Medical Literature Analysis & Retrieval System, un système de documentation travaillant à partir de bandes, et débitant 21000 mots / min sur imprimante. Que le Medlars II se soit construit sur IBM n'est pas un désaveu de Honeywell, car le nouveau programme n'avait rien à voir avec le premier et a exigé un appel d'offre.

A la limite inférieure de la rentabilité, Honeywell développe, à côté de son H800, un modèle plus modeste, le MH 400, puis une deuxième génération, les MH 1400 et 1800. Succès limité.

Lorsque en 1964 IBM annonce le System / 360, Honeywell saisit l'occasion et mise sur l'esprit conservateur de la clientèle, à qui elle offre, sous le nom de série 200, une gamme complète de machines dans l'esprit de la 1401, avec un logiciel de conversion IBM / Honeywell baptisé Liberator. Cette politique réussit, et Honeywell s'assure en quelques années un parc de 2000 machines, mais il n'est pas certain que ce fut un véritable succès, car les clients ainsi arrachés à IBM étaient sûrement les moins dynamiques ; d'autre part, Honeywell liait ainsi son destin à une série dont l'architecture était dépassée dès le départ. Cependant, vers 1966, on ne pouvait encore percevoir cette conséquence, et la montée rapide d'Honeywell en faisait un candidat à la seconde place parmi les constructeurs américains : la publicité de Honeywell, à cette époque, vantait "l'autre constructeur"

Dans l'euphorie de ce succès, Honeywell achetait une firme de minicalculateurs, 3C = Computer Control Co, dont le modèle 516 était en train de faire une percée. Honeywell parvenait ainsi à résoudre, après 10 ans de tâtonnements, le problème de ses activités d'automatisme : trouver un bon miniordinateur à intégrer à ses projets d'ingénierie.

Parmi les constructeurs américains donnant l'impression d'une solide position, il y avait à cette époque General Electric, 5^{ème} société sur la liste annuelle de la revue Fortune. Tôt venue à l'informatique, elle avait installé toute sa production dans une grande usine de Phoenix, Arizona, et couvrait tout l'éventail des applications : scientifiques avec les 6XX, gestion avec les 4XX pour grosses entreprises et les 1XX pour PME, et même automatisme.

Ne parvenant pas à gagner de l'argent avec cette production, qui ne représentait il est vrai que 5% de son activité, GE avait tenté un coup de poker en achetant coup sur coup deux firmes européennes bien implantées quoiqu'en difficultés financières, Bull en France et Olivetti en Italie. Mais elle ne réussissait toujours pas à gagner de l'argent.

En 1966 donc, GE décide d'abandonner et prend contact avec Honeywell pour lui proposer toutes ses activités et toutes ses participations, à savoir :

- l'usine de Phoenix avec les chaînes 4XX et 6XX
- les deux-tiers de Bull avec les familles Gamma 10 et GE 50, et plusieurs usines
- l'usine héritée d'Olivetti avec la famille GE 100
- et un parc de 7800 machines, pour la plus grande part installées hors des USA.

En échange, Honeywell cédait à GE 18,5% de son capital que GE s'engageait à n'aliéner que très lentement pour ne pas faire tomber le titre.

Honeywell devient donc effectivement le 2ème constructeur américain, regroupant toutes ses activités informatiques dans une filiale HIS, Honeywell Information Systems, qui représente, après consolidation avec les activités européennes, environ 40% du chiffre d'affaires du groupe devenu Honeywell Inc. à l'occasion de cette réorganisation. HIS comprend cinq divisions :

- North American Operations, pour les USA et le Canada, possédant un peu plus de la moitié du parc en valeur.
- HIS Limited, pour le Royaume Uni et l'Irlande. Cette petite filiale gère une usine héritée d'Honeywell et un parc très modeste.
- HIS Italie, qui s'occupe commercialement de l'Italie, de l'Iran, de la Turquie et de la Yougoslavie, et qui gère l'usine produisant les GE 1XX.
- Honeywell Bull, qui n'appartient à HIS que pour 66% de son capital, mais en constitue une part prépondérante, 40% environ. Honeywell Bull garde au plan commercial les marchés conquis par Bull, cad le reste de l'Europe, l'Afrique noire et le Maghreb, le Moyen Orient, l'Amérique latine, la Chine et la Corée, enfin les accords japonais avec Mitsubishi.
- HIS Pacific est chargée de gérer les autres accords japonais du groupe, à savoir la licence de la série 200 à NEC et la licence de la série 600 à Toshiba. Elle s'occupe aussi de l'Australie, de l'Inde, de l'Afrique du Sud, de l'Asie du Sud-Est et du Pacifique Sud.

Incontestablement, un découpage qui doit plus au poids du passé qu'à la géographie ou à la logique.

Le premier travail de HIS était de définir une politique, et d'élaguer. En effet, l'héritage de GE frappait l'esprit par son caractère disparate : 5 familles de gestion et une famille scientifique, dont aucune ne pouvait faire état d'une réussite éclatante ni d'ailleurs d'une architecture géniale susceptible de servir d'ossature à la reconversion.

Pour perdre le minimum de clients, on décida dans un premier temps de ne garder que trois familles :

- en bas de gamme, la série Bull GE 50, qui réussissait très bien en Europe, était introduite sur le marché américain, où quelque 300 machines parvenaient à s'implanter.
- pour toutes les applications de gestion, HIS rajeunissait au plan technique sa série 200 en une série 2000 compatible, comprenant commercialement six modèles, 2020 à 2070, combinés à partir de deux unités centrales seulement.
- pour les applications scientifiques et grands systèmes étatiques, HIS s'appuyait sur le potentiel de Phoenix et annonçait la série 6000, également en six modèles. Mais c'était la 600, reconduite à peu près sans changement, et ne comportant en fait qu'une seule unité centrale, avec un réglage de vitesse accessible au seul service inspection.
- en réalité, on gardait aussi la série 1XX italienne, mais sans gros effort marketing pour le moment.

Une telle organisation, en place en 1970, permettait de souffler, mais il fallait inventer autre chose pour reconquérir une clientèle traumatisée par trop de changements et devenue consciente des lacunes du concept H200. Cette politique est plutôt une réussite, si l'on veut bien noter que le parc HIS contenait encore, en 1977, 1681 machines de la série 2000 et 508 série 6000, placées en quelque quatre ans.

Parmi ces derniers, il faut citer les 35 machines du programme militaire WWMCCS, un réseau mondial de machines communiquant entre elles sur un réseau de commutation de paquets à base de PDP 11/70 : une bonne affaire a priori, un pénible échec en réalité, en ce sens que le logiciel, qui faisait partie de la fourniture, n'a jamais vraiment été mis au point, ce qui a sapé la confiance de la Défense en HIS. Voir rubrique 693.

Comme presque toujours en pareil cas, l'échec n'est qu'en partie imputable à HIS, dont la faute est principalement d'avoir signé un contrat trop vague et accepté en cours de route beaucoup trop de modifications de spécifications : IBM ne commettait jamais ce genre d'erreur.

Le nouveau programme a finalement été annoncé en juin 74, et présenté comme une nouveauté. Il comprend quatre familles artificiellement liées par un nom, la Série 60, et par un système d'exploitation prétendu commun, le GECOS, du nom du système d'exploitation assez remarquable de la série 600 :

- en bas de gamme, le niveau 61 vise les PME et commence par la 61/58, qui n'est autre que l'ancienne GE 58 de Bull. Les modèles plus importants incorporent la même machine de base, mais leurs possibilités d'entrées/sorties sont accrues par l'addition d'un processeur microprogrammé spécialement affecté.
- le niveau 62 est conçu et réalisé en Italie et continue l'ancienne série GE 1XX d'Olivetti, mais c'est une machine nouvelle.
- le niveau 64 est une machine originale, conçue chez Bull avec une architecture à la pointe du progrès, permettant une grande souplesse.

- le niveau 66 n'est autre que l'ancienne série 6000, rajeunie par l'emploi de mémoires à semi-conducteurs. Seule machine construite aux USA, et seule production de l'usine de Phoenix, elle constitue le point fort de la gamme, et fait l'objet du principal effort commercial, aux USA notamment.
- un niveau 68 sera créé un peu plus tard, quand HIS réalisera qu'il y a une clientèle pour la machine expérimentale 645.

HIS a retenu la leçon d'IBM et a doté toutes ses machines de la microprogrammation, à l'aide de laquelle ils assurent une certaine compatibilité entre les niveaux : c'est le décor. On aime bien, chez HIS et Bull, baptiser de vieilles formules avec un nom nouveau pour laisser croire qu'on a réellement inventé quelque chose, mais il s'agit d'émulation.

Malheureusement, le souci de continuité obligeait à commencer par les décors les moins prometteurs, ceux qui émulent les séries précédentes ou assurent l'homogénéité de la gamme : les décors 61 et GE 100 de la 62, 62 et GE 100 de la 64. Le décor natif, qui devait permettre de tirer tout le parti possible des nouvelles architectures, a mis parfois deux ans à sortir, ce qui a nuit à la crédibilité des machines. Cependant, les plus grosses difficultés sont venues de GECOS. Système d'exploitation "tridimensionnel" (batch, temps partagé, temps réel) du niveau 66, GECOS est un monument, et il n'est pas question, quoi que laisse croire la publicité, d'offrir les mêmes services à tous les niveaux. Même lorsque l'architecture de la machine permet d'espérer y parvenir à terme, et c'est le cas du niveau 64, c'est un gros travail, compliqué par la variété des décors et les priorités d'une politique commerciale qui ne souhaite pas voir les niveaux 64 et 66 entrer en concurrence. En fait, ce n'est qu'en 1977 qu'un GECOS efficace a pu être donné au niveau 64, récompense sans doute d'un honnête succès commercial.

Le public n'a pas fait un mauvais accueil à la nouvelle série, mais ce n'est pas non plus un triomphe, comme le montre le tableau suivant, d'après EDP Industry report, 1 / 1 / 83 :

Modèle	Prix moyen K\$	1ère Livraison	USA	Nombre étranger	Total	Commandes
G 50	82	8 / 70	65	900	965	
61 / 40	97	6 / 76		1900	1900	
61 / 58	108	6 / 74	40	613	653	
61 / 60	155	6 / 74	20	2300	2320	
Total 61		125	5713	5838		0
G 1XX	215	4 / 66	41	550	591	
Level 62	237	10 / 74	780	2360	3140	10
DPS 4	82	7 / 80		2305	2305	700
Total 62		821	5215	6036		710
Level 64	568	10 / 74	214	980	1194	
64 / 300	387	4 / 79	117	1057	1174	
DPS 7	480	/ 81	50	271	321	300
Total 64		381	2308	2689		300
G 600	3400	4 / 65	12	10	22	
G 6023 / 25	1490	11 / 73	11	15	26	
G 6030 / 40	1900	6 / 71	14	72	86	
G 6050 / 60	3250	7 / 71	37	47	84	
G 6070 / 80	4890	7 / 71	18	28	46	
G 6180	4826	2 / 74	3		3	
H 66 / 05, 07	863	10 / 76	55	125	180	
H 66 / 10, 17	1411	6 / 75	30	81	111	
H 66 / 20, 27	1900	11 / 74	70	138	208	
H 66 / 40, 60	3678	10 / 74	85	156	241	
H 66 / 440, 520	874	12 / 79	90	44	134	
H 66 / DPS	3527	7 / 78	125	197	322	5
H 66 / 80	5746	10 / 74	19	54	73	
DPS 8 / 20	528	4 / 80	86	30	116	5
DPS 8 / 44	827	1 / 80	93	68	161	5
DPS 8 / 52	1910	11 / 80	35	32	67	20
DPS 8 / 62	2253	12 / 81	8	1	9	5
Total 66		791	1098	1889		45
H 68 / 80	4918	10 / 74	20	2	22	
H 68 / DPS	5843	9 / 78	26	12	38	
DPS 8 / 70	3580	5 / 80	86	70	156	50
DPS 88 / 81	5940	9 / 83				25
DPS 88 / 82	8440	9 / 83				5
Total 68		132	84	216		80

Ce tableau est un état du parc, les G désignant les matériels survivants du parc antérieur à l'annonce de la série 60. Il montre une famille assez réussie mais épuisée, avec une tendance du marketing à l'éparpillement qui, à la longue, écoeure un peu le client accablé d'offres, pas réellement différentes les unes des autres. On y reviendra dans l'étude détaillée des familles.

Les objectifs techniques de HIS, déjà peu clairs, ont été encore obscurcis par l'annonce, en janvier 1976, du niveau 6, une nouvelle famille de miniordinateurs qui sont distribués par les circuits commerciaux normaux et non, comme on aurait pu l'attendre, par le groupe d'automatisme. Le niveau 6 se présente ainsi comme un concurrent des machines bas de gamme pour l'édification de petits systèmes de gestion "clé en main", ou comme un frontal de communication, et il réussit fort bien : 950 machines sont livrées la première année, 22700 machines sont en service et 4700 en commande fin 81, un an avant le tableau précédent. La famille fait l'objet au début 81 d'une restructuration complète avec 10 modèles DPS 6 dont 4 nouveaux de 32 bits. On peut y voir une réponse à l'épuisement mentionné ci-dessus.

HIS a très vite cessé d'être le second américain, lorsqu'il a renoncé à sa majorité chez Bull en 1975, à la suite d'accords avec le gouvernement français, laborieux mais finalement très avantageux : il a vu sa participation réduite à 27 %, mais ne la regrette pas puisqu'elle n'apportait que des pertes. En outre, l'accord comportait l'engagement par la France, sous contrainte sévère, d'acheter toute la production sur 5 ans des level 66 de l'usine écossaise toute neuve, soit quelque 260 ordinateurs dont la France n'avait pas besoin. Au

total, l'opération Bull, avec le détour par GE, est pour la France un échec économique de grande ampleur et de lourdes conséquences, alors que pour HIS c'est au minimum une bonne affaire, certains parlant de sauvetage.

Les comptes annuels de Honeywell montrent que cette compagnie, même rétrogradée au 7ème rang du classement des constructeurs d'informatique, continue à vivre honorablement de ses autres professions.

Année	CA M\$	Bénéfice M\$	Effectif (informatique)	Part inform %	CA HIS M\$	
1974	2696			37		
1975	2778					
1976	2495	113	69400			
1977	2911	145	75840			
1978	3548	201	86300			hors CII / HB
1979	4210	240	94620		1453	"
1980	4925	280,9		33	1634	"
1981	5351	256	(29000)		1774	"
1982	5490	279,9	(28795)	30	1684	"
1983	5753	231,2	(27183)	28,9	1666	"

La gestion peu brillante de ses affaires faisait désigner HIS, par la presse informatique, comme le prochain objet probable de regroupement. Au lieu de cela, on voit, à la fin de 1977, HIS racheter la clientèle de Xerox, ce qui n'est pourtant pas une bonne opération : un millier de calculateurs non compatibles qu'il faudra soutenir pendant des années ! et aussi acheter Incoterm, ce qui indique la ferme intention de tenir sa place dans l'informatique distribuée.

Et malgré cela, l'année 80 fut excellente ; cependant, comme tous les constructeurs, HIS eut à souffrir d'une médiocre année 81, et d'une année 82 franchement mauvaise, au point de devoir se procurer de la trésorerie en réduisant à moins de 20% sa part dans CII / HB et en supprimant 2700 postes.

Ayant changé de président, HIS reste optimiste, avec un contrat de l' US Navy de 603 M\$ sur dix ans qui lui assure une charge de travail stabilisée : 1800 unités centrales, 33000 terminaux, 26000 imprimantes, et quelques technologies provenant de CII / HB qui peuvent revitaliser les machines de Phoenix.

De 1983 à 2000, on n'entendra pratiquement pas parler de HIS, ni de Honeywell, Inc : les deux sociétés fonctionnent, sans génie ni problème grave. Autant qu'on puisse en juger, HIS a disparu dès que possible, tandis que des divisions de Honeywell, Inc. se partageaient d'importants travaux d'électronique pour la Défense, tels que :

sonar anti iceberg AN / SQS 28 pour brise-glace, 1959

sonar remorqué DIMUS AN / BQR 21, 1973

détecteur de mines sous-marines par hélicoptère, AN / SLQ 48, 1990

terminal de l'avant pour système d'information de l'Armée, 6000 AN / UGC 74 prévus, 1990.

Nous retrouverons l'essentiel des études militaires de Honeywell à la division aéronautique.

307 - Les produits de process control

Après la guerre, les activités de la Minneapolis Honeywell Regulator Co s'orientent vers le data logging (mesures et leur exploitation) et le process control (mesures dont le résultat intervient dans le processus). Il s'agit de petits contrats, dont on donne un court catalogue. L'apparition dans le groupe d'une activité proprement informatique se traduit par la création d'une division d'automatisme, qui culminera avec l'absorption de 3C, et qui traversera intacte la période d'ascension puis de stagnation de la division Data Processing, devenue HIS.

MH 290 (1961) : 10 machines aux USA et 4 à l'étranger, dont 4 pour l'usine Monsanto de Chocolate Bayou, qui fait du data logging pétrolier. Fiche.

H 19 (5/61) : véritable calculateur de process control, 19 bits : 3 produits.

H 24 (5/63) : précurseur 24 bits du H21, même mission : 82 pour USA, 3 pour l'étranger.

MH 610 (1963) : système construit à la demande autour d'un SDS 910 et d'un tambour magnétique pour une application de process control.

H 21 (10/65) : version à mémoire à tores, cycle 6 μ s, d'un calculateur de process control

H 22 (10/65) : le même avec cycle de 1,75 μ s : fiche

H 516 (1966) : Honeywell ayant acheté Computer Control Co (3C) en 1965, le minicalculateur 516 de cette société devient le cheval de bataille de Honeywell Regulator Co. Guidée par l'équipe 3C, HRC ne tarde pas à trouver d'autres applications à son mini : par exemple, le temps partagé (H 1648).

H 632 (1968) : dans l'élan de ce succès, l'équipe s'emballa peut-être un peu vite en imaginant une architecture 32 bits multiprocesseur (jusqu'à 4), qui se vendra peu, simplement parce que les usagers n'en sont pas encore à apprécier vraiment le supplément de puissance et de sécurité en termes d'argent : fiche

H 316 (1969) : monoprocesseur dérivé du 516 qu'il remplacera peu à peu. Le 316 devient le calculateur à tout faire de la compagnie. Honeywell s'efforce pour des raisons marketing de prédéfinir un système modulaire de process control, plutôt que de n'agir qu'au coup par coup comme c'était le cas pour toutes les machines précédentes.

Placé dans une armoire de 29 * 39 * 64 " (737 * 965 * 1626 mm), ce système H 1603 comprend, outre le calculateur, 8 à 4096 entrées de signaux binaires, 8 à 2048 entrées analogiques, des amplis analogiques et notamment des amplis pour les thermocouples, des réseaux convertisseurs de courant en tension, des scanners à choisir parmi deux modèles (125 ou 20000 points/s), etc... tout l'arsenal classique du data logging rendu plus économique par une fabrication modulaire.

H 112 (1969) : simple contrôleur 12 bits en trois unités de rack, dernière production de l'équipe précédente. Il trouvera des applications.

H 1642/4/6 (1970) : divers systèmes de temps partagé construits autour du 316.

H 1530 (1970) : version scientifique du 316, comportant un répertoire étendu à 82 opérations par une multiplication en 8,8 μ s et une division en 17,6 μ s. Autour d'une mémoire de 8 Kmots à cycle de 1,6 μ s, on ajoute LC 400/PC 100 à 400, IP 300, et deux tourne-disques doubles pour 4 disques de 720 Kmots avec accès en 116 ms. Le système d'exploitation OS 15 supporte RPG et Fortran IV.

Modeste succès car dans ce domaine l'offre est pléthorique et présentée par des spécialistes beaucoup plus qualifiés que Honeywell.

H 1540 (1970) : version communications du 316, avec 4 K* 16 bits de mémoire. La multiplication, la division, et l'addition en double précision sont optionnelles.

H 716 (1972) : version compatible mais modernisée au plan technique du 516, le remplaçant dans toutes ses applications.

308 - Produits de la Honeywell Aeronautical Division

La division aéronautique de Honeywell, installée à St Petersburg, Fla, s'est illustrée très tôt après la guerre par la réalisation d'une centrale à inertie baptisée SIGN qui a équipé de nombreux avions, missiles et satellites. Comme une telle centrale exige un calculateur en temps réel associé, cette division s'est trouvée introduite dans le milieu aéronautique et spatial, et sollicitée chaque fois qu'un besoin se faisait sentir, qu'il soit planifiable (appel d'offre) ou non (dépannage). Cela a donné lieu à une grande variété de réalisations, d'importances inégales.

- l'AN/AJB 5 de 1959 est un calculateur de lancement de bombes, probablement analogique, pour l'avion F100F. C'est un travail mineur.

- le PICO de 1962 semble être une réalisation non sollicitée par laquelle la division aéronautique, non encore soumise à appel d'offre, faisait connaître au public son savoir-faire. C'est la raison pour laquelle on en trouve des photographies dans la publicité, ce qui permet d'ailleurs de constater que plusieurs essais avaient été poussés jusqu'à une réalisation.

- le M 190 est une réalisation militaire pour l'Armée, sans application précise au départ. Il s'agit de démontrer qu'une machine, suffisante pour les besoins d'un Etat-Major, donc assez grosse à l'époque, peut être hélicoptérée d'un point à un autre et continuer à fonctionner.

- le programme Adept est une étude technologique pour le compte de la NASA, qui se posait à l'époque des questions sur la fiabilité à long terme des sondes planétaires. L'architecture Adept est conçue pour garantir le fonctionnement, dégradé en performance mais identique pour les fonctions, d'une collection de modules informatiques travaillant en parallèle et dont certains finissent par tomber en panne.

- le programme Alert est caractéristique des méthodes employées au cours des études de prototypes. L'avion X15 est un avion expérimental de la NASA, construit en trois exemplaires modifiables qui volaient l'un après l'autre dans des conditions aéronautiques nouvelles et difficiles, susceptibles d'avarier sinon de détruire l'avion. Pour le X15 A3, qui devait monter jusqu'à ce que son moteur s'éteigne faute d'air, puis plus haut à l'aide de fusées, et procéder ensuite à une rentrée, il fallait calculer les conditions aérodynamiques de cette rentrée, et on ne pouvait demander ce calcul au VERDAN de l'avion, déjà saturé. Honeywell, fabricant de la centrale à inertie, fut donc sollicité, et fournit rapidement un calculateur qui avait certainement fait l'objet d'études internes, le H 387 à mémoires BIA.

La réussite conduisit, pour les vols suivants, à élargir la mission du calculateur jusqu'à remplacer le VERDAN dans la version définitive, qui reçoit alors le sigle HDC 801 ou, en version militaire, AN / AYK 5. On est donc à peu près certain que le calculateur, après son succès sur le X15 A3, a été réutilisé sur un avion de combat.

- le HDC 501 est le calculateur de bord des satellites Lockheed Agena de deuxième génération (1965), qui ont fait l'objet de nombreux lancements, y compris des rendez-vous spatiaux avec des capsules du programme Gemini de vol habité. Il semble que ce soit à cette occasion que Honeywell a essayé pour la première fois d'appliquer l'informatique à un équipement inertiel : le SIGN 1, Static Inertial Gyro for Navigation, comprenait 3 gyros et 3 accéléromètres, sans plateforme, exploités par un DDA en circuits intégrés itérant 3840 fois par seconde.

Les exigences d'évolutions tridimensionnelles de ces satellites représentaient pour le calculateur une application difficile ; puisque "qui peut le plus peut le moins", Honeywell proposa ce matériel, dont l'étude était largement amortie par le programme spatial, pour diverses applications aéronautiques en cours d'appel d'offre, et fut choisi. La version H 429 de cette machine et de cette centrale a été effectivement utilisée par l'aviation civile. Le sigle publicitaire SIGN 3 est une évocation de la centrale Agena, à l'origine de ce succès commercial.

- le HDC 201 est utilisé dans deux applications de vol de l'avion civil DC 10 et une application du chasseur F4B. L'un des deux premiers est le DADS, calculateur d'aérodynamique composé d'un nouveau capteur de pression associé à un calculateur universel très modeste.

La mémoire en semi-conducteurs comprend 1018 mots pour les constantes et les instructions 12 bits, et 6 mots de données 18 bits. Elle est contenue dans des puces 40 broches spécialement étudiées.

Le CPU en complément à 2, construit en TTL, exécute l'addition en 9 μ s, la multiplication, la division et la racine carrée en 100 μ s. L'ensemble, qui tient dans un demi-ATR, comprend 15 cartes : à partir des deux pressions, il calcule 9 variables et les sort pour affichage soit en numérique, soit en analogique.

- le HDC 301 est, à très peu près, le même appareil, proposé avec succès l'année suivante (1971) pour l'acquisition optique du chasseur naval F14 et pour le contrôle de vol du chasseur suédois Viggen. Il devait satisfaire à la norme MIL E. 5400.

Le processeur, qui comprend 15 circuits MOS / LSI, tient sur une seule carte 159 * 161 * 13 mm et fonctionne sur une synchro diphasée à 1 MHz. Il comporte une interface pour une mémoire de 64 KB, et une autre aux normes TTL pour les entrées / sorties. Prix prévu : \$ 2000 à 2500 par lot de 1000, en fonction de la mise en boîte demandée. Peut-être était-ce un peu optimiste.

- le HDC 401 existe en deux exemplaires à bord de chacun des satellites NASA de communication ATS F et G. Cette machine de 10 Kg, consommant seulement 26,9 watts, comprend une mémoire 4 K * 16 bits à cycle de 1 μ s ; elle effectue l'addition en 10 μ s, la multiplication en 90 μ s, chiffres très prudents.

- le HDC 601 est une réalisation tardive (1969) de la militarisation stricte (norme MIL. E. 5400 K4), du DDP 516. C'est en fait une nouvelle machine dont on exige la compatibilité exacte, pour tout le logiciel comme pour les connexions d'entrées / sorties.

Mémoire : 4 à 32 Kmots de tores 2 μ s, accès 830 ns, plus 8 Kmots de NDRO à fils magnétiques, cycle 1 μ s, accès 500 ns - CPU 87 opérations, avec un index câblé : addition 2,4 μ s, multiplication 12 μ s, division 14,4 μ s - Accès : 20 interruptions, DMA 500 Kmots / s - Logiciel : Fortran IV

Ce calculateur semble avoir été utilisé avec la centrale à inertie AN / ASN 101 GEANS de 1970, qui utilise deux gyros 4 axes à suspension électrostatique (sphère métallique flottant dans le vide).

- le HDC 701 est le calculateur de guidage du missile balistique Minuteman 3 : Mémoire 4 à 16 Kmots de 32 bits à fils magnétiques - CPU microprogrammé 56 opérations avec addition 2,4 μ s, multiplication 10,8 μ s, division 21,4 μ s et trois index de 16 ou 32 bits en mémoire - 8 interruptions.

Volume 34 litres, poids 23 Kg, consommation 270 watts.

Simulation sur Univac 1108 et IBM 360.

- le HDC 402 P de 1975 est utilisé pour l'orbiteur et pour la sonde martienne Viking . Complètement doublé, c'est un calculateur 24 bits, dont la seule mémoire, portant tout le logiciel résident, comprend 16 Kmots de RAM et 2 Kmots de ROM en NDRO à fils magnétiques de 2,2 mil. Le CPU à 47 opérations autorise les adressages direct, indirect et indexé, avec les durées suivantes : rupture 4,34 μ s, addition 8,68 μ s, division 12,3 μ s - Services 6 niveaux d'interruptions, timer programmable, détection d'erreurs.

Entrées / sorties 6 registres . Parmi eux, le DAPU, système d'acquisition comprenant 8 K * 24 bits de mémoire tampon et un dérouleur de bande 4 pistes, qui peuvent se supplanter mutuellement.

- les MOD / LSI sont des calculateurs étudiés pour le SAMSO, organisation spatiale de l'USAF. Trois calculateurs sont définis :

LSI 2, bas de gamme, est un 16 bits de construction hybride, avec deux index.

LSI 5, version intermédiaire, est construit autour d'un unique accumulateur et voué principalement aux communications.

LSI 10 est une machine plus puissante conçue pour les véhicules spatiaux des années 80 / 90, donc pour les expériences spatiales de l'USAF à bord de la navette.

- ECAM de 1976 est un processeur associatif comprenant une chaîne d'éléments parallèles, dont chacun est formé de 16 registres série de 256 bits, et d'une logique de comparaison / filtrage. On le suppose destiné à des applications d'extraction de pistes radar ou de gestion de brouilleurs.

En dehors de ces ordinateurs et d'ailleurs utilisant ceux-ci dès qu'un calcul est nécessaire, cette division assure son pain quotidien en produisant pour l'USAF ou la Navy deux catégories de matériels :

- des altimètres radar : AN / APN 167 pour le F111A, 1964.

AN / APN 171 pour le Nimrod et les hélicoptères SeaKing, 1965.

AN / APN 194 pour le B1, pour l'avion cible AQM 34, et pour certains Harpoon.

AN / APN 198, pour le Viggen suédois, le Jaguar français, le Lynx anglais, 1970.

AN / APN 209, modèle polyvalent produit à 2000 exemplaires à partir de 1975.

AN / APN 224, pour B52H et B1B, 1984.

- des centrales à inertie, comme l'ASN 101 déjà citée : AN / ASN 131 et 136, plus de 700 copies pour le rééquipement des bombardiers B52 D, G et H.

Accessoirement, on peut aussi évoquer le récepteur ILS AN / APN 197 et le radar d'évitement AN / APQ 110, en deux exemplaires sur chaque F111A. On peut aussi citer, plus exotiques, la camera infrarouge AN / AAD 5 de l'avion RF4S (1972), ou le détecteur de missiles incidents AN / AAR 47 à base de laser.

309 - Produits de Honeywell Information System

Avant même que naisse HIS, la Honeywell EDP Division avait entrepris de créer une informatique de gestion. L'opportunité résidait dans l'abandon par IBM de l'immense clientèle des 1401 (plus de 40000 machines), à qui l'on proposait de changer d'habitudes et de mode de pensée, et plus généralement de s'ouvrir sur un avenir informatique que personne ne concevait pleinement tout en sachant qu'il serait révolutionnaire.

Il ne s'agissait pas vraiment d'abandon, car les nouvelles machines pouvaient émuler les plus importantes des anciennes, mais le point critique était le personnel. Les 1401 fonctionnaient avec des mécanographes, habitués aux cartes perforées et à une structure alphabétique des données ; les nouvelles machines n'étaient compréhensibles qu'à des ingénieurs, et les mécanographes pouvaient aussi bien y trouver des occasions de promotion que de chute définitive. Beaucoup avaient peur, et Honeywell joua là-dessus.

La série 200 est composée de machines alphanumériques, dont les mots de mémoire sont découpés en caractères de 8 bits, 6 définissant le caractère dans un alphabet un peu étriqué, les deux autres étant des flags, délimiteur de mot ou de phrase. C'est tout à fait l'architecture de l'IBM 1401 et ce n'est pas du tout par hasard : beaucoup d'utilisateurs de 1401 le perçurent et apprécièrent.

Un bas de gamme suppose une gamme, et Honeywell le savait parfaitement : les hauts de gamme de gestion posent un problème de compatibilité dans l'adressage, donc coûtent cher et justement n'ont pas beaucoup de clients. Quant aux hauts de gamme scientifiques, il y avait de nombreuses raisons de ne pas y penser. On trouvera dans le panorama ci-après les solutions apportées par Honeywell, au jour le jour, à ces problèmes.

- H 200 (6/64) : prototype de la série, mémoire limitée à 64 Kcar . Conçue avant l'annonce IBM du System/360 comme un concurrent de la 1401. Voir logiciels Liberator et Amnesia.
- H 300 (1964) : machine universelle de petite puissance, imaginée avant l'annonce IBM comme universelle et de puissance modérée : légèrement plus rapide en gestion que la 200 grâce à une mémoire 1,75 μ s, et capable en outre d'un travail en scientifique avec des mots de 24 bits. Structure d'entrées/sorties identique à celle de la H200.
Cette machine, prête à sortir, a été anéantie par l'annonce IBM, car son architecture manquait cruellement de la cohérence soigneusement pensée par IBM.
- H 2200 (livraison 1/66) : conçue comme la H 200 avant l'annonce IBM, mais en service après cette annonce, elle a du s'inscrire dans la nouvelle logique de pure gestion. Comparée à la 200, ses caractéristiques comportent une mémoire principale 24 bits pouvant atteindre 256 Kcar, cycle 1 μ s ; une mémoire de commande à cycle de 250 ns ; les options protection de mémoire, virgule flottante, recherche de tables ; 15 registres d'index ; et 32 canaux flottants dont au plus 8 simultanés.
- H 120 (1965) : bas de gamme à mémoire de 32768 car, cycle de 3 μ s. Quelques opérations manquent, notamment la multiplication et la division décimale, et bien entendu il y a peu d'options (edit, par exemple, ainsi que 6 index).
Trois contrôleurs intégrés permettent de faire simultanément une opération de cartes et une impression, les autres canaux jusqu'à 16 sont optionnels et permettent d'installer tous les périphériques imaginables, mais 3 transferts simultanés restent le maximum autorisé.
- H 1200 (12/65) : mémoire 1,5 μ s extensible jusqu'à 128 Kcar, mémoire de contrôle 500 ns, toutes options comme la 2200. Maximum 16 canaux flottants dont 4 au plus simultanés.
- H 1250 (mi 67) : extension à 8 canaux simultanés et nouveaux périphériques
- H 125 (mi 67) : mémoire 2,5 μ s, extension à 4 canaux simultanés, nouveaux périphériques
- H 8200 (annonce 6/65, livraisons 6/69) : cette machine était rien moins qu'urgente au plan général de l'informatique mondiale, mais Honeywell EDP tenait, en 1965, à se créer vis à vis de ses clients une image de constructeur sérieux et fidèle à ses engagements. Le nouveau 8200 devait donc être à la fois le haut de gamme compatible des 200 et le successeur compatible du MH 1800. Ce fut très difficile, à grand renfort de micro-programmation, et pour un modeste résultat de 26 machines vendues : ces machines peuvent effectivement émuler les 200 et le 1800, mais pas simultanément : il faut une intervention du pupitre.
- H 110 (8/68) : tentative pour abaisser encore le domaine de la série 200, avec une machine à mémoire 4 à 16 Kcar et cycle de 4 μ s, et 2 canaux.
- HAL (1969) est une application . C'est un système d'enseignement programmé construit autour d'un H 1200 à mémoire de 32 Kcar, avec un disque de 9,2 Mcar, 3 bandes, 6 terminaux VIP d'étudiant comportant écran 12" et clavier, et un langage pour créer les cours, permettant d'utiliser le système Coursewriter. Avec 49152 car de mémoire, on peut passer à 32 VIP.
- H 115 (6/70) : c'est simplement une modernisation en circuits intégrés du modèle 120, avec une mémoire de 2,75 μ s qui sera rapidement remplacée par une mémoire 2,25 μ s avec la 115.2 . Mais il s'agit toujours de tores.
- H 3200 (4/70) : c'est une machine compatible à mémoire 16 bits, cycle de 1 μ s, capable de 512 Kcar. Pas d'idée nouvelle, sinon d'augmenter un peu les maxima, qui avaient toujours été étriqués dans la famille 200. Les canaux deviennent multipériphériques, mais c'était déjà le cas pour bandes et disques. Le système d'exploitation comporte plus de partitions.

Cette liste couvre la période où Honeywell EDP Division assumait la promotion de la série 200. A partir de 1970, et bien que la production des machines de cette série n'ait pas changé de place, on entre dans la première période de HIS, qui effectue des coupes sombres dans la famille 200 et met en place la série 2000, destinée à effectuer la transition.

- H 1015 (4/71) : cette machine de la série 200 a été conservée transitoirement pendant la mise au point des 2000. Elle est caractérisée par une mémoire 64 à 128 Kcar, à mots de 8 bits + parité, cycle 1,6 μ s, et mémoire de contrôle 500 ns, donc un bas de gamme. Les registres sont en circuits intégrés, les entrées/sorties comprennent 12 canaux dont 8 peuvent fonctionner simultanément. Système d'exploitation OS 200.
Prix : \$ 8371 / mois pour 64 Kc, 3 bandes, disque 18 Mc, horloge, LC, PC, IP
- H 2015 (1971) : mémoire 96 à 256 Kcar, cycle 1,3 μ s sur 8 bits + parité ; mémoire de contrôle 125 ns, protection de mémoire, jeu décimal standard, VF en option ; 12 canaux simultanés ; système d'exploitation OS 200 avec multiprogrammation MOD4.
Prix : \$ 12791 / mois pour 96 Kc, 3 bandes, disque 175 Mc, horloge, LC, PC, IP.
- H 2020 (1973) : mémoire 24 à 64 Kc, cycle 2,75 ou 2,5 μ s, option d'un disque amovible Mle 275.
Prix \$ 2341 / mois, non diffusée en Europe.
- H 2030/40 : c'est la même machine que ci-dessus, déclinée en de multiples variantes pour s'adapter aux habitudes de chacun des pays clients, en jouant sur les modularités de mémoires et de canaux. Le processeur est en circuits intégrés, mais la mémoire est toujours à tores, et organisée en mots de 8 bits + parité. La seule vraie nouveauté est que les canaux sont tamponnés.
- H 2050/2060 : deuxième machine de la famille, caractérisée par une mémoire à mots de 2 caractères, et des canaux flottants répartis sur trois secteurs dont deux tamponnés. On notera aussi l'introduction des Datanets pour la gestion des terminaux multiples.
- H 2070/2080 : mono et biprocesseur de la machine haut de gamme de la famille 2000, caractérisée par une mémoire de 1024 Kc à cycle de 750 ns sur 32 bits + 4 P, et par cinq secteurs d'entrée/sortie dont quatre tamponnés.
La version biprocesseur à \$ 36000 / mois n'a pas été introduite en Europe.

Bien que d'origine Honeywell, cette série était condamnée dès le départ, car elle représentait un crime contre l'esprit : créer et vendre des machines conceptuellement obsolètes pour exploiter la lâcheté des clients craignant d'affronter une conception plus moderne. Certes les services de marketing étaient favorables à cette idée pour le court terme, mais les responsables à haut niveau pensaient que l'image de la compagnie finirait par en souffrir. La solution finalement adoptée, dite de la "série 60", rejetait les 2000.

Pendant cette même période succédant à la fusion des activités Honeywell EDP avec celles de GE Phoenix, la série 6000 était le transitoire de Phoenix. Pour nous qui connaissons la décision de 1970 la situation de cette usine peut paraître moins dramatique, mais eux l'ignoraient ; en outre la fusion de 1966 avait tout de même rejeté dans le passé toutes les machines de gestion de GE, 2XX et 4XX, les équipes correspondantes n'ayant brusquement plus rien d'autre à faire qu'à entretenir un parc condamné et à réorienter si possible leurs possesseurs vers une famille elle aussi condamnée. Malgré ce handicap, la société obtient quelques ventes dans cette période transitoire : on a cité plus haut le réseau privé de la société Weyerhauser.

Quoi qu'il en soit des états d'âme, particulièrement mal venus aux USA, il fallait concevoir une série 6000 compatible avec les 600, ouverte sur un avenir défini comme scientifique et grands systèmes :

- "scientifique", la machine l'était déjà. Il fallait seulement améliorer cette structure, en particulier avec une double précision, et réaliser en fonction de la demande des processeurs plus performants. Du côté logiciel, il fallait améliorer les compilateurs. L'une des décisions porteuse d'avenir concernait PL / I, langage d'origine IBM mais si polyvalent qu'il pouvait, si on l'adoptait sincèrement, ouvrir des portes.

Application immédiate : le temps partagé, en tant que mode d'emploi à temps partiel d'une installation dans le cadre du système d'exploitation GECOS.

- "grand système" était beaucoup plus ambitieux, avec des implications immédiates que le logiciel existant ne soutenait qu'imparfaitement : temps réel, multiprocessing, langage d'écriture de système, fiabilité élevée et ajustable en fonction de l'application, surveillance intégrée du matériel, possibilités de reconfiguration, etc...

- il n'était dit nulle part que la famille ferait de la gestion, mais on pouvait considérer que c'était implicite dans l'aspect grand système, et PL / I pouvait aussi être un vecteur efficace de cette reconversion.

Seul problème, mais de taille : tout cela était demandé à une seule unité centrale, représentant le petit capital de Phoenix, capital qui pouvait se transformer en lourd handicap si l'évolution marketing favorisait les bas de gamme, alors que tout ce qui précède poussait implicitement l'évolution vers le haut.

Estimant disposer de quelques années avant les décisions d'orientation, l'équipe de Phoenix mit d'abord l'accent sur la polyvalence, avec les quelques idées suivantes :

a) donner au système une structure modulaire : un contrôleur de système est introduit comme carrefour entre les processeurs (principaux, extension, entrées / sorties), toujours multiples en tous cas, et les mémoires, également multiples pour pouvoir grossir, évoluer techniquement (passage des tores aux semi-conducteurs), et servir simultanément plusieurs processeurs.

b) séparer la fonction existante de processeur scientifique de la fonction gestion et PL / I à créer, en la confiant à un processeur d'extension facultatif, et microprogrammé pour être souple.

c) reprendre sur une base nouvelle la question de la surveillance : plus question de faire converger vers un panneau de lampes et de clés une énorme quantité de fils. Il devait exister à terme un processeur de maintenance collectant sur liaisons série toutes les informations pertinentes de chaque sous-système, et les présentant à la demande sur un écran de synthèse.

A la limite, cette philosophie devait permettre de descendre bien davantage dans l'intimité des processeurs, et d'en révolutionner la maintenance. L'article suivant :

G. H. MAESTRI, de HIS Phoenix : the retryable processor, in FJCC 1972, pp 273 / 7

montre que ce concept, dont la principale réalisation a eu lieu chez IBM, n'était pas étranger à l'équipe 6000 de Phoenix.

d) récupérer le travail Multics, fait aux frais de l'Etat en d'autres temps, pour en exploiter les aspects commercialisables, mémoire virtuelle, temps partagé, PL / I. Pour cela, il fallait envisager de faire sortir l'ex 645 de son ghetto, et en faire un produit ; toutefois, ce n'était pas la démarche la plus urgente.

Malheureusement, et pour un moment encore, l'unité centrale est unique, avec une carte ajustant la base de temps en fonction du modèle. Problème évident : si la machine est conçue pour la performance des modèles supérieurs, elle coûte le même prix quand elle est employée pour les usages moindres, et donc les bas de gamme ne sont pas compétitifs, au minimum ils ne rapportent que des marges insuffisantes.

Une fiche et une notice résument ces propriétés générales, mais nous ne possédons aucun document particulier, de sorte que notre connaissance de la machine, basée sur les 6XX, devient de moins en moins bonne au fur et à mesure que nous avançons dans le temps.

La période intermédiaire verra d'abord apparaître les machines "impaires", 6030, 6050, 6070, qui sont des 6XX un peu alourdies par l'insertion du system controller entre le CPU et les modules de mémoire.

Un an plus tard, en 1973, l'annonce des machines "paires" correspondra à la mise au point des processeurs microprogrammés EIS qui donnent à ces machines l'aptitude à des manipulations de gestion, chaînes de chiffres décimaux, chaînes de caractères, chaînes de bits, édition, etc... Quand l'EIS aura fait ses preuves commerciales, les machines impaires seront retirées du catalogue.

A l'issue de la période intermédiaire, les 6000 sont devenues des machines compliquées, mais très complètes et très raisonnablement efficaces. Le public apprécie et en commande, mais il ignore les problèmes financiers qui résultent de ses choix : car, comme on pouvait le craindre, les clients veulent plus de petites machines que de grosses.

6030 (1971) : monoprocesseur GE 655 ajusté pour une mémoire à 3 blocs de $16 K * (72 + P)$ bits, cycle 1,2 μ s, sans entrelacement. IOM à 8 canaux = 1,3 Mcar / s.

6040 (1973) : la même plus EIS, qui sera proposé en mono ou biprocesseur.

6050 (1971) : mono ou biprocesseur GE 655 ajusté pour tirer parti d'une mémoire à 8 blocs ci-dessus entrelacés 2 ou 4 fois selon la taille de mémoire réelle, 8 à 24 canaux = 3,7 Mcar / s.

6060 (1973) : la même plus EIS, en configuration mono ou biprocesseur. Selon un benchmark construit par HIS, la 6060 serait sensiblement meilleure que l'IBM 155 en scientifique, et égale en gestion.

6070 (1971) : monoprocesseur GE 655 ajusté pour une mémoire à 8 blocs entrelacés de $16 K * (72 + P)$ bits, cycle 500 ns ; jusqu'à 4 IOM = 6,4 Mcar / s.

6080 (1973) : le même plus EIS, en mono ou biprocesseur. Selon le benchmark HIS, un biprocesseur 6080 n'atteint pas les deux tiers de la puissance d'une IBM 370 / 165, tant en scientifique qu'en gestion. Exécuté à Phoenix même, le benchmark CCSA a confirmé ce jugement pessimiste.

6025 (1973) : première machine construite spécialement selon les nouveaux principes, cette machine utilise un processeur ECL compatible avec les machines précédentes, et une mémoire MOS non entrelacée de 5 à 8 modules de $16 K * (72 + P)$ bits ; un seul IOM avec contrôleur de disques intégré.

Le positionnement marketing est en bas de gamme, pour donner l'impression que les autres sont réellement puissantes. Elle ne peut être biprocesseur.

6180 (1973) : premier pas vers une normalisation de Multics, cette machine comprend 11 cartes de plus que le 6080 biprocesseur pour porter les adresses à 24 bits dans les CPU et dans l'IOM, et atteindre non seulement la mémoire principale, mais aussi le contrôleur des blocs mémoire Lockheed de 1 Mmot, 2 μ s, constituant l'extension. Pour que le Datamet 355 puisse profiter de cet adressage, il est rejeté en position de périphérique sur l'IOM.

Ce qui reste imparfait c'est que Multics, entièrement rédigé en PL/I, ne peut communiquer avec GECOS, écrit en assembleur. La protection de mémoire fonctionne par segments et anneaux. La pagination, qui peut être ajustée par hardware de 64 à 4096 mots, est fixée à 1024 mots par raison de simplicité.

On arrive ainsi à la série 60 et à ses quatre familles, que nous examinerons par puissances croissantes. On rappelle que le concept unificateur de série 60 était sensé ramener toute la production dans un moule commun, ce qui est évidemment faux parce qu'impossible. Même IBM, concevant son System/360 à partir de zéro n'est pas parvenu à mieux qu'une compatibilité ascendante et trois systèmes d'exploitation simultanés ; HIS, cherchant à unifier quatre produits de puissances très différentes et conçus indépendamment l'un de l'autre ne pouvait réussir, si même elle l'avait voulu vraiment. Or ce n'était pas le cas, car il y avait concurrence à presque tous les niveaux, et l'arrivée du niveau 6 a encore aggravé les conflits.

Niveau 61

Le niveau 61 commence avec une 61 / 58 qui n'est rien d'autre que la 58 elle-même, adaptée tant bien que mal : mémoire MOS de 5 à 74 KB avec un cycle de 2,5 μ s, programmation par swapping, un seul programme étant résident à chaque instant : on peut toujours appeler cela GECOS !

Pour la description de la machine, voir le dossier France, fiche Gamma 58 de Bull. L'exportation vers les USA de ces machines conçues et construites en France n'a pas été très soutenue par HIS, pour cause de conflit d'intérêt avec le niveau 62 d'abord, puis avec le niveau 6.

Le niveau 61 / 60 est une machine d'esthétique analogue, mais dans laquelle on trouve deux processeurs, celui du calcul et celui des communications. Le principal problème du système d'exploitation est la limitation à 16 KB de l'adressage, qui dans le GECOS 61.3 est tourné par le swapping, qui intervient à chaque entrée / sortie en pratique.

Le niveau 61 / 40 est une machine différente, qui fonctionne uniquement en batch, avec 32 KB de mémoire principale et 8 KB de tampon d'entrées / sorties, sous GECOS 61.4 qui règle le problème d'adressage par allocation dynamique. Un document joint à la fiche explique le travail du système d'exploitation., qui dispose de disques jusqu'à 92 MB.

Prix typique : 6600 F / mois avec 4,6 MB de disques et une ME 40.

Une 61 / 40.2 est annoncée en 2 / 78 qui comporte en plus le processeur de communications avec 8 KB de mémoire, autorisant la concentration de 8 terminaux, mais au détriment des disques.

A la même date est aussi annoncé un 61 / 60.2 qui réorganise la mémoire physique en blocs adressables de 16 KB, spécialisés sur un périphérique : la mémoire de travail, une zone pour les bandes avec le système de gestion de fichiers, une ou deux zones pour les disques, etc...

Il faut rendre hommage au constructeur, Bull, pour avoir réussi à donner aux clients l'impression d'une vraie solution à leurs problèmes avec cet assemblage disparate de ressources individuellement insuffisantes. On le comprend d'avoir, en 1 / 79, annoncé quelque chose de vraiment nouveau, le 61 DPS.

Cette machine comprend deux processeurs simultanés communiquant à 50 Kbauds par DMA :

- le CRP, Common Resource Processor, comprend une mémoire de 64 ou 96 KB à base de puces MOS 16 Kbits, et deux mémoires de 24 KB sur ROM : l'une génère le répertoire de 114 opérations par une sorte de microprogrammation, l'autre est le résident du système d'exploitation. Cycle 700 ns.

Ce CRP gère les disques, jusqu'à 4 MSU 323 soit de 11,5 à 333 MB, et les imprimantes, ME 40 à 160 cps et / ou IP 100 à 800 lpm.

- le DRP, Distributed Resource Processor, comporte 24 à 56 KB de RAM, 8 KB de ROM pour les tests et le répertoire de 110 opérations, 8 KB de ROM pour le système, qui gère ici jusqu'à 16 terminaux, consoles 1920 caractères avec option disquette.

Logiciel : COBOL, Fortran, Basic, et un Autoform pour créer soi-même son dialogue transactionnel.

Prix : 5900 F / mois ou 150 KFFHT en monoposte, pouvant croître jusqu'à 450 KFFHT. Livraison 9 / 79.

Niveau 62

Pendant la période intérimaire, l'usine Olivetti de Caluso, oubliée dans le programme de fusion mais capable de 1000 machines par an, a vécu en vendant la machine G 118. Il s'agit de l'unité centrale des GE 120 et 130, délibérément ralentie à un Gibson mix de 85 μ s, et présentée dans une configuration commerciale sans bande.

Mémoire 16 à 32 KB à base de puces 4 Kbits, avec un temps d'accès de 4 μ s par byte. Processeur doté de 8 registres de 16 bits et d'un répertoire de 63 opérations. Deux présentations:

Version A : contrôleur intégré pour un maximum de 4 DSU 160/162, soit 46,6 Mcar.

Version B : contrôleur intégré pour disque ADU 157.

Logiciel : Fortran, Cobol, IDS, RPG, APS, SPC, AIMS, GEIMS tous produits connus par les fiches précédentes de Honeywell EDP ou par celles de GE.

Pendant que les responsables réfléchissaient, les ingénieurs de Caluso faisaient du neuf et définissaient une nouvelle machine qui n'avait pas à s'embarasser de compatibilité, car son GECOS 62 était pratiquement autonome. Il semble cependant qu'il y ait eu quelques problèmes pour trouver des périphériques, faute d'accords préalables convenables.

L'annonce s'est faite en deux fois, 62/60 et 62/40 d'abord en 1974, puis 62/20 et 62/10 en 2/78, ces dernières machines délibérément ralenties étant à l'évidence des concurrentes des 61. Mais HIS préférait faire travailler l'usine italienne, qui lui appartenait à 100%, plutôt que les usines françaises où elle ne détenait qu'une participation (importante). Un imprimé commercial fait la synthèse de toutes les combinaisons de périphériques, puisqu'il n'y a réellement qu'une unité centrale, avec une mémoire de microprogrammes de 12000 * (16 + 4P) : c'est donc une microprogrammation très verticale :

62/60 (1974) commence avec une mémoire de 64 à 128 KB, réalisée en puces 4 Kbits, et un Gibson mix commercial de 23 μ s. Elle passera en 1978 à 21 μ s, avec une mémoire 96 à 512 KB à base de puces 16 Kbits, ou même à 18 μ s si on accepte de consacrer 4 KB de la mémoire aux microroutines de la base de données.

Périphériques : 58 à 480 MB de disques produits par MPI, filiale commune de HIS et de CDC ; 6 dérouleurs de bandes ; 25 lignes ; sur 6 à 9 canaux.

62/40 (1974) s'établira en 1978 à 80 - 256 KB, avec 58 à 240 MB de disques, 2 bandes, 12 lignes.

62/50 (1978) est simplement un intermédiaire commercial, 96 à 384 KB, 58 à 320 MB disques, 4 bandes, 25 lignes, sur 6 à 9 canaux.

62/20 (2/78) a démarré avec un Gibson mix de 50 μ s, et une configuration étroitement plafonnée.

62/25 (1979) est poussée pour faire place à une 62/10. La mémoire à base de puces 16 Kbits peut comporter de 256 à 1024 KB, et le Gibson mix est réduit à 40 μ s.

62/10 (1979) ne peut apparaître qu'après la mise en place des mémoires à chips 16 Kbits, avec 128 à 256 KB, et 2 ou 3 disques de 40 ou 80 MB. Par exemple, prix en Angleterre pour 128 KB, 2 disques, IP 300, 2 lignes synchrones et 4 asynchrones : £ 46350.

62/15 (1979) est une décision marketing tout à fait sans intérêt, quelque part entre 10 et 20 qu'on a déjà du mal à distinguer. Cette tendance des services marketing à définir des modèles bien délimités et bien tarifés, plutôt qu'à laisser le client ajouter des périphériques à son gré, est bien connue chez Bull, qui est à l'origine de notre documentation.

DPS 4 (1980) est une machine nouvelle, dont l'architecture est inspirée par la conception allemande de la machine IBM 370/125 : définir un microprocesseur polyvalent, et en utiliser un exemplaire pour chaque fonction du système d'exploitation, tout le long d'un bus 32 bits, 5,1 MB/s, connecté à une forte mémoire modulaire au cycle de 611 ns, 512 (256) 2048 KB. On n'a pas d'indication quant à l'emploi de cette architecture pour la maintenance, ce qui constituait une des fortes motivations de la solution IBM.

DPS 4/100 (1985) est la même machine, avec seulement les adaptations nécessaires pour exploiter une mémoire quadruplée par l'adoption de puces 64 Kbits.

DPS 4000 (1986) est au contraire une machine nouvelle, qui applique la même architecture multiprocesseur à une nouvelle puce VLSI 32 bits, travaillant avec une mémoire capable de 16 MB, faite de puces 256 Kbits. La juxtaposition de trois processeurs d'application est normale et facile, de sorte que le marketing définit 7 modèles 4011/13/15/19/25/29/39, le chiffre des dizaines étant sans doute le nombre de processeurs d'application.

Logiciel : GCOS 4 avec IDBS pour les 4 modèles supérieurs.

Exemple : le 4039 peut supporter jusqu'à 8 GB de disques et 118 lignes. On a prévu la possibilité d'ajouter sur le bus une carte 68020 qui permettra d'insérer la machine dans un réseau Unix.

Niveau 64

Le niveau 64 est une création originale de Bull pour HIS, et la compagnie y a utilisé toutes les inventions récentes en matière d'architecture d'ordinateurs, ce que peut-être ne justifiait pas directement l'objectif économique de la série. Au moins Bull y acquit-elle une expérience intéressante pour l'avenir, un avenir plus proche que prévu puisque HIS eut tendance à ne plus s'intéresser à sa filiale quand elle n'en détint plus qu'une part inférieure à 20%.

La définition du niveau 64, telle qu'imaginée en termes généraux par les dirigeants de HIS, s'exprimait uniquement en termes de puissance, et conduisait automatiquement à un conflit avec les bas de gamme 66, peut-être insuffisamment rentables, mais certainement indispensables pour la viabilité de la série.

- du point de vue HIS, le niveau 64 n'était pas indispensable, mais il fallait bien donner du travail à Bull, qui ne voulait absolument pas se cantonner dans un rôle de sous-traitant ou d'assembleur.

- du point de vue de Bull, le niveau 64 était positionné un peu bas, et l'architecture avait le potentiel pour des développements considérables, qui ne furent pas autorisés. Bull ne devait en tirer parti que plus tard, une fois redevenu "indépendant", cad nationalisé.

En matière de documentation sur le niveau 64, on dispose d'abord d'une description générale, remarquable par le fait que dans l'incertitude où se trouvaient les auteurs quant à ce qui serait, ou non, permis, ils ont réussi à écrire 64 pages techniques sans aucune indication chiffrée.

On dispose ensuite d'un document très parcellaire, une description technique interne, non destinée à tomber dans le domaine public, du contrôleur baptisé URC. On sait que la solution fréquente des problèmes nés des changements d'environnement et/ou de conjoncture réside dans la microprogrammation. Les documents dont on dispose décrivent la microprogrammation de l'URC.

On trouvera la fiche détaillée d'une machine 64 dans le dossier France, puisque la machine fut créée en France et que sa clientèle fut largement française, et puisque son développement suscité par HIS à contre-cœur, fut plutôt gêné que soutenu ensuite. Ce qui suit n'est qu'un panorama de la période "série 60".

64/20 (1974) : processeur principal 130 Kops avec 64 à 192 KB de mémoire MOS 1 μ s, avec décor permettant d'émuler les GE 100 et les H 200/2000, et contrôleur intégré pour les disques systèmes. Des contrôleurs microprogrammés existent pour les disques de données, pour les bandes, pour les unit records (cartes et imprimantes), et pour les communications.

64/40 (1974) : même processeur réglé à 220 Kops, avec mémoire 96 à 448 KB, lecture en 860 ns, écriture en 980 ns. Un contrôleur pour 8 disques natifs et 4 étrangers (la disparition du contrôleur intégré libère de la puissance de calcul), un contrôleur de bandes à deux accès, 2 processeurs de service (URC et maintenance), un contrôleur de 28 lignes.

Ce n'est qu'en 3/77 que cette machine bénéficiera du GECOS pour décor natif.

64/30 (1976) : version marketing pour l'Europe uniquement, c'est un 20 poussé à 180 Kops par suppression du contrôleur intégré, avec 64 à 384 KB de mémoire 1 μ s et 8 disques natifs.

64/50 (1976) : la mémoire est celle du 40, et sa capacité d'abord limitée à 384 KB s'étend à 512 KB dès 1977. Les entrées/sorties cumulées atteignent 4 MB/s, les contrôleurs de disques gèrent 16 disques natifs et 8 pour le décor (29, 70, 100 ou 200 MB), les contrôleurs de bandes permettent 4 transferts simultanés.

Le logiciel qui travaille en mémoire réelle supporte 4 tâches simultanées.

64/60 (1977) : mémoire 192 à 768 KB, avec cycle 740 ns lecture, 940 ns écriture. Processeur estimé 400 Kops, ce qui paraît bizarre quand on lit que 5,25 MB/s peuvent être assumés par des entrées/sorties intégrées. Il peut exister trois contrôleurs de disques dont 24 natifs, jusqu'à 4,8 GB, 2 contrôleurs de bandes pour 4 accès simultanés, 2 processeurs de service et 42 lignes.

Logiciel toujours en mémoire réelle lors de l'annonce.

Tout cela donne l'impression d'un potentiel gaspillé, sans qu'on puisse départager les responsabilités de HIS et celles de Bull : trois ans après le lancement, le 64 travaille encore sur les programmes de décors périmés. Enfin, en 1979, on arrive à un GECOS tridimensionnel pour la deuxième génération des 64, en fait un réajustement des fréquences des processeurs pour s'adapter à cette situation.

64 DPS 2 (1979) : cycle du processeur ajusté à 430 ns, mémoire 512 à 1024 KB réalisée en puces 16 Kbits, entrées/sorties partiellement confiées à deux canaux intégrés, au total 4,1 MB/s. Il y a un contrôleur pour 8 disques, un autre pour 8 bandes, et un troisième pour 15 lignes, enfin un URC avec LC 500, PC 120, IP 600, et disquette. Bull propose la télémaintenance.

Le GCOS tridimensionnel comprend Basic, éditeur, débogueur, éditeur de lien, compilation et exécution, ce qui paraît encore timide, et quelques applications : Query (base de données), Worpro (traitement de texte), Preforms (interactif), Transit (outil de conversion pour programmes IBM), etc...

64 DPS 4 (1979) : cycle de processeur 380 ns, mémoire 512 à 2048 KB à base de puces 16 Kbits, cycle 630 ns en lecture, 770 en écriture. Les IO cumulent 5,2 MB/s en trois canaux intégrés et 6 autres optionnels, au plus 1,25 MB/s chacun. 2 contrôleurs de chaque type pour deux fois plus de chaque périphériques. Même modeste logiciel natif.

64 DPS 6 (1979) : cycle de processeur 315 ns, même mémoire ; I/O cumulés inchangés mais avec doublement des possibilités non intégrées à 24 disques, 16 bandes, 45 lignes, LC 1000, PC 120, IP 1000 et disquette de chargement et maintenance. Même logiciel.

Niveau 66

Phoenix avait bien travaillé pendant la période intermédiaire, de sorte qu'à l'annonce de la série 60 il fallait seulement changer de type de mémoire. HIS prenait en outre une seconde décision d'importance, celle de construire une seconde usine de 66 en Ecosse, pour les besoins supposés de l'Europe : grâce aux décisions irréflechies du ministre des finances Giscard d'Estaing, c'est la France qui s'est retrouvée acheteur obligé de toute la production de cette usine, besoins ou pas.

En fait de documentation, nous disposons seulement d'un médiocre support de cours, sans texte, supposant par conséquent la lecture des documents antérieurs (GE 6XX et HIS 60XX). Ce fragment de document, intitulé Présentation Générale, fournit les quelques chiffres de ce qui suit.

Les machines du Niveau 66 peuvent être livrées en deux variantes:

- la version ICU (Integrated Control Unit) minimise l'encombrement du système mais bloque les évolutions, en ce sens qu'après définition de la configuration choisie, le constructeur entasse dans le nombre minimum d'armoires les system controller avec les mémoires, les IOM avec leurs contrôleurs de périphériques, et les Datanets gérant les transmissions. La possibilité d'additions ultérieures est alors pure question de chance.

- la version Free standing est d'abord conçue pour permettre les évolutions : il y a une armoire par fonction, éventuellement très peu remplie, mais toute addition ultérieure trouvera aisément sa place. Inconvénient : plus de câbles, plus d'alimentations, plus de conditionnement, c'est forcément plus cher.

Le document laisse également deviner qu'il existe deux types de machines, toutes choses égales d'ailleurs (mémoire, périphériques) :

- les machines "normales" ont un numéro qui finit par 0 ou 5 et comprennent deux processeurs, le scientifique et l' EIS, ce dernier raffiné au point de savoir représenter, dans ses dernières microprogrammations, la virgule flottante de longueur variable en décimal, qui correspond aux définitions les plus exigeantes de PL/I.

- les machines TSS ont un numéro qui finit par 7 ; il est probable que TSS signifie Time Sharing System et ces configurations devraient contenir des dispositions spéciales de protection de mémoire entre jobs issus des terminaux ; cependant, il est improbable que les TSS soient des machines Multics, puisque ces dernières forment le niveau 68.

Cela dit, l'historique des annonces se présente comme suit :

66/20 (1974), mémoire MOS 48 à 128 Kmots de 72 bits, cycle 1,4 μ s, à base de chips 4 Kbits.

Les configurations peuvent comporter 1 ou 2 processeurs, 1 ou 2 contrôleurs de système, 1 ou 2 IOM avec 10 à 18 slots pour contrôleurs. Le débit de chaque IOM est plafonné à 4 MB/s. Puissance estimée 280 Kops.

66/40 (1974), mémoire MOS 64 à 256 Kmots de 72 bits, cycle 1,4 μ s. Le CPU est capable de recouvrement entre instructions successives, en ce qu'il commence à interpréter le double mot suivant dès que la seconde instruction d'une paire a été transférée à son processeur, de sorte que ce CPU est estimé 450 Kops. Pour le reste, mêmes possibilités, mais avec jusqu'à 27 slots par IOM.

66/60 (1974), mémoire MOS 96 à 512 Kmots de 72 bits, cycle 750 ns. Le CPU dispose en outre d'un cache de 1K doubles mots organisé en 128 colonnes de 4 blocs, chacun de 4 doubles mots, cycle 100 ns. Avec ce cache et le recouvrement, ce processeur est estimé 750 Kops. Les configurations peuvent comporter jusqu'à 4 exemplaires de chaque constituant, processeur, IOM ou contrôleur de système, et les IOM à 27 slots sont capables de 6 MB/s.

66/80 (1974), tous les chiffres sont les mêmes que ci-dessus, à part que la mémoire commence à 128 Kmots de 72 bits. Cela permet une organisation entrelacée de la mémoire, grâce à laquelle ce processeur est estimé 1050 Kops.

Datanet 66XX (7/74) : cette machine a été créée à Phoenix pour satisfaire les besoins de communications de la série 66, en se servant de ressources locales non identifiées. C'est un contrôleur câblé à 98 opérations, avec une mémoire 18 bits, 1,2 μ s, et un multiplexeur 16 * 16 pour les lignes. Dans sa version initiale, il existe en deux versions, le 6624 pour 32 lignes avec 64 KB de mémoire, et le 6632 à 96 lignes, avec 256 KB de mémoire.

Toutes les lignes peuvent être portées à 9600 bauds, en ce qui concerne la connexion. A l'époque, il y a encore beaucoup de lignes à 110 ou 300 bauds.

Logiciel : se compose de NPS, Network Processing Supervisor, dans le Datanet, et de GRTS dans le processeur hôte. Les Datanet sont prévus pour un seul hôte, servis par DMA. Les lignes peuvent fonctionner en polling, avec un maximum de 32 postes par ligne.

Prix : 6624 : K\$ 82 à 103 à l'achat, ou 1896 à 2418 \$/mois.

6632 : K\$ 125 à 888 à l'achat, ou 2893 à 24248 \$/mois.

Evolution : en 9/76, une version bas de gamme 6616 avec seulement 48 KB de mémoire et 8 lignes, mais développable sur place. En 10/78 au contraire on annonce un 6678 à mémoire de 512 KB, avec un cycle de 550 ns. Prix : K\$ 191 à 366, ou 4711 à 9500 \$/mois.

- 66/10 (1975), mémoire 48 à 64 K mots de 72 bits, cycle 1,4 µs, sans cache ni recouvrement.
 Cette machine est toujours présentée en ICU, avec un CPU, un SC et un IOM, sans extension.
 Sur cet IOM, on pouvait trouver jusqu'à 8 disques, 8 bandes et 4 UR, à choisir parmi LC 1050, PC 100, IP 1100 et 1200. Il peut aussi exister un Datanet 6600. Prix \$ 13500 à 28000.
 A partir de 2/77, ces restrictions sont levées, la mémoire peut monter à 512 K mots de 72 bits, et il devient possible en free standing de prévoir deux CPU, 4 SC et 2 IOM.
- 66/05 (1976), prend à son apparition la position figée définie ci-dessus, avec une mémoire limitée à 96 doubles mots. Cela ne dure pas, et dès 2/77, la mémoire peut monter à 256 K doubles mots et la configuration peut comporter deux CPU, deux SC, deux IOM, mais seulement en ICU.
- 66/85 (1977) est annoncée comme la première machine d'une nouvelle technologie CML refroidie par eau (sans immersion), avec un cache de 4 K doubles mots et un débit de mémoire accru à 16 MB/s. Le SC, complètement renouvelé et microprogrammé, joue désormais un rôle important dans les entrées/sorties et dans la maintenance.
 Après cette publicité prématurée, le marketing découvre que le prix de production ne serait pas compétitif, et le projet est abandonné. Comme le montre le document "présentation générale", la machine était déjà annoncée aussi en interne, et figurait donc dans les documents de cours : c'est une démonstration consternante de mauvaise organisation.
- 66 DPS (1978) : le recul précédent met fin aux espoirs de HIS de fabriquer une machine compétitive avec la 370/168, de sorte qu'une réorganisation devient indispensable : en refusant de quitter la technologie TTL, HIS doit désormais équilibrer sa gamme contre la moyenne gamme d'IBM, et se condamne à perdre les clients qui, dans leur évolution, atteignent cette frontière.
 La nouvelle série est construite autour de cet unique CPU et monte jusqu'à un quadripcesseur. Le recours à des puces 16 Kbits permet de faire tenir toutes les configurations dans deux armoires au plus. Le bas de gamme monoprocesseur vise les 4300 IBM, et il est probable que HIS perd de l'argent sur chaque machine vendue.
- DPS 8 (fin 79) : la précédente série n'était qu'un trompe-l'oeil, et HIS doit impérativement créer un nouveau processeur, avec des modularités. On n'a malheureusement aucune indication sur les moyens utilisés pour tirer de la logique TTL Schottky une puissance double de la précédente ; on sait seulement que cette machine est dirigée par un nouveau GCOS 8 à mémoire virtuelle, qui maîtrise le mode transactionnel et peut gérer jusqu'à 511 processus et 216 canaux. Cet OS est "unbundled", c'est-à-dire payant pour la plus grande partie : seul le noyau est gratuit, cad inclus dans le prix de base.
- Datanet 8 (1980) : la nouvelle génération des 66 est accompagnée d'une nouvelle génération de Datanet, basée sur le Mini 6. C'est un calculateur de 1 Mips, avec un débit interne de 6 MB/s. Conçu pour un maximum de 16 lignes cumulant 56 Kbauds, il vaut \$ 45000.
 La nouveauté est que le logiciel de ce contrôleur est conçu pour l'entrée en réseaux, des réseaux incluant des DPS 8 sous GCOS 8 et/ou des 64/DPS sous GCOS 64. Le logiciel comprend le DNS, Distributed Network Supervisor, qui supporte les interfaces X25 et X21.
- DPS 8/20 (fin 79) : mémoire synchrone en chips 16 Kbits, de 1 à 4 MB, prix K\$ 15/MB. CPU microprogrammé, puissance comparable à deux 4331 IBM.
 Prix de base : \$ 149048 pour CPU, IOP, et 1 MB de mémoire - \$ 496723 pour 20 usagers, un Datanet 8C avec 20 lignes, IP 1200, LC 500, une bande, deux disques.
 A partir de 6/81, cette machine accepte le logiciel CP6 de Xerox, que HIS a absorbé, de sorte que des propriétaires de machines Sigma pourront envisager de reconvertir leurs applications.
- DPS 8/44 (fin 79) : même organisation que la version /20, avec un cycle plus rapide : le prix de base est \$ 225500 pour CPU, IOP, 1 MB de mémoire, \$ 615744 pour 40 usagers et \$ 1003038 pour 80 usagers avec le Datanet et les lignes, IP 1600, LC 500, 3 bandes, 2 disques.
 La machine est produite en France à l'usine d'Angers, sous le nom de 8/46, livrable en 6/80.
 Le système est GCOS III, avec la base de données IDS II, le moniteur transactionnel TDS, COBOL 74, Fortran 77, PL/I, Basic et APL ; elle est offerte avec de nouveaux disques qui permettent d'atteindre 1,1 GB. Une version bipcesseur 44 D, 76% plus puissante, est annoncée fin 80, livrable 3/81.
 Production DPS 8 à Angers : 103 en 1980, 89 en 1981, 104 en 1982, 112 en 1983.
- DPS 8/52 (fin 79), processeur en logique câblée associé à mémoire asynchrone à base de puces 16 Kbits, 1 à 8 MB. Prix \$ 556791 pour CPU, IOP, 1 MB de mémoire. Nouveau disque MSU 501 avec contrôleurs microprogrammés, K\$ 39 à 62,5.
- DPS 8/62 (fin 80), 30% plus puissant, livraisons en 9/81. Prix \$ 759135 pour CPU, IOP, 1 MB.
- DPS 8/62C (6/81) : version du précédent supportant le logiciel CP6 de Xerox.
 Prix \$ 1681287 pour CPU, SCU, IOM à 35 canaux, Datanet 8 avec 120 lignes, IP 1200 + IP 1600, LC 1050, 4 bandes, 4 disques.

DPS 8 / 70 (1980) : même machine que ci-dessus, mais susceptible de se développer jusqu'à 4 processeurs et 16 MB de mémoire, avec un maximum de huit Datanets.

Le nouveau système d'exploitation GCOS 8 apparaît avec elle, incluant un module répartiteur DM IV / ITP qui coûte 3125 \$ / mois + 580 de maintenance. Ce module qui distribue la charge sur plusieurs CPU sait gérer jusqu'à 511 processus dont 488 clients, 216 canaux, 400 utilisateurs transactionnels : les transactions rédigées en COBOL sont exécutables sur n'importe quel CPU. Prix : \$ 1156399 pour CPU, IOP, 1 MB, passant à \$ 3833095 pour 4 CPU.

DPS 8 / 47 (1983) : nouvelle technologie TTLS d'origine Fairchild, ce 47 est 18% plus puissant que le 44, et le biprocesseur 49 vaut 1,7 fois le 44.

Niveau 68

En avril 74, HIS se décide à redonner vie au concept Multics, mis au point dix ans plus tôt dans le cadre du MIT et qui se concrétisent dans une mémoire virtuelle à adressage 36 bits, avec segmentation et pagination, supportant une protection par anneaux. L'annonce, cependant, est purement américaine.

68 / 80 (4 / 74) : la technologie est celle des 66 / 80, mais le processeur est différent pour incorporer les particularités ci-dessus. La mémoire MOS comprend 1 à 8 MB en mots de 72 bits + SECDED, cycle 750 ns. Jusqu'à 134 MB de sauvegardes sur disques sont prévues.

Le processeur dispose d'un cache 200 ns, organisé en une ligne et 512 colonnes de blocs de 2 doubles mots.

Autres composants : un à trois IOM à 31 canaux, 4,5 MB / s, dont une rechange
un à trois Datanets 6600 supportant ensemble jusqu'à 380 lignes
et jusqu'à 10 processeurs.

Logiciel : Multics, avec GCOS pour en gérer le batch.

Prix : \$ 75125 / mois sur 5 ans pour 1 CPU, 1 MB de MOS, 4 MB de pseudodisque sur tores, 160 MB de disques, un Datanet 6600, 3 dérouleurs et LC / PC / IP. Ajouter \$ 6128 / mois pour maintenance et logiciel Multics, unbundled.

68 / 60 (1975) : même machine, mais sans le cache, et avec limitation à 2 processeurs et 4 MB.

Prix : M\$ 2,4 pour un CPU, un IOM, 1 MB, un Datanet, 2 disques 80 MB et 3 bandes.

M\$ 4,8 pour deux CPU, 4 MB, Datanet, 8 disques, 8 bandes, 2 IP 1200, LC et PC

68 DPS (1977) : la présentation marketing ci-dessus, en deux modèles, est remplacée par quatre configurations baptisées niveaux, le processeur étant amélioré de 15%. Les prix de ces niveaux, qui sont tous biprocesseurs et paraissent ne différer que par la mémoire, s'étalent de M\$ 1.26 (25 % de mieux que la 3031) à M\$ 2.91. La dernière peut recevoir deux CPU supplémentaires à K\$ 494 pour devenir plus puissante que la 3033 d'IBM ; toutes peuvent s'augmenter de pseudodisques en tores jusqu'à 4 MB, au prix de K\$ 110 / MB. Livraison 6 / 78.

DPS 8 / 70 (1983) : selon des informations Bull concernant le DPS 8 / 70 du level 66, cette machine pourrait recevoir le logiciel Multics à partir de 1983. Cette information n'est pas nécessairement très significative, car elle ne précise pas s'il existe une version matérielle du / 70 capable de la mémoire virtuelle 36 bits de Multics, ou si Multics a été tronqué à 24 bits d'adressage dans une version au rabais pour les DPS 8.

DPS 88 Orion (10 / 82) : après l'échec économique du 66 / 85, HIS avait tout de même réalisé une technologie CML valide, bien que trop coûteuse. De nouveaux efforts de recherche ont permis de mettre au point une technologie hybride où de larges substrats céramiques reçoivent des réseaux de portes qui peuvent être interconnectés pour bâtir des structures, et refroidis à l'eau de façon fiable.

Toujours trop chère pour des produits grand public, cette technologie peut désormais être utilisée pour un gros ordinateur scientifique, et c'est ainsi que HIS construit Orion, avec toutes les ressources de l'informatique : mémoire 128 MB à base de puces 64 Kbits, accès 225 ns grâce à un entrelacement 4, deux caches I et D de 32 KB, structure pipeline du bloc de commande avec opérateurs multiples. De plus, une grande attention est accordée à la surveillance du matériel pendant son fonctionnement, de sorte que fiabilité et disponibilité soient élevées.

Il est tout de même grave pour l'entreprise que trois ans après cet effort conceptuel réussi, la conclusion économique soit une nouvelle fois l'abandon, cette fois pour cause de rentabilité "hors tout" incluant l'amortissement et tous les frais d'exploitation.

DPS 90 est le japonais NEC 1000 et ne s'astreint plus à entrer dans aucun modèle a priori, car sa finalité est purement scientifique, et l'honneur de HIS a trop encaissé pour être encore opposable à une décision.. Le 90 utilise une logique CML japonaise qui est moins fragile que le CML de HIS, recourt à des disques IBM 3380 pour sa mémoire de masse, et fonctionne sous GCOS 8 plutôt que sous Multics parce que le time sharing n'est plus primordial. Les calculs les plus importants sont confiés à un processeur vectoriel à 63 opérations, qui dispose d'un

Fortran vectoriseur rédigé au Japon, capable de manipuler des matrices de données jusqu'à 4 MB. Moyennant quoi le rôle du marketing se bornera à définir quatre modèles commerciaux à un (3,95 M\$), deux (6,25 M\$), trois (7,3 M\$) ou quatre (8,35 M\$) CPU.

Au delà de 1983, nous n'avons plus aucune information concernant HIS, qui paraît avoir, de facto, abandonné toute compétition depuis que la microinformatique a pris la relève de l'informatique magistrale des grands systèmes. HIS n'avait pas la moindre expérience en matière de stations de travail, et avait renoncé à prendre le virage des serveurs transactionnels avec ses 66 ; sa propre expérience avait convaincu ses dirigeants qu'il était inutile d'essayer de produire des mainframes contre IBM et les compatibles japonais, et d'ailleurs on pouvait raisonnablement croire à une disparition à terme de ces machines.

Bien que Bull soit de moins en moins dépendant de HIS, ces deux sociétés ont les mêmes alliances japonaises, et il est probable que leurs attitudes dans les années du virage se ressemblent : renoncer à la compétition, essayer quelque temps de satisfaire les demandes des clients avec des machines japonaises importées, puis renoncer purement et simplement en se reconvertissant. La reconversion de Honeywell nous est très mal connue, mais à coup sûr elle tourne autour de son métier de base, l'automatisme industriel ; elle sort, en tous cas, du domaine surveillé par la grande presse informatique.

Le niveau 6

Plus encore qu'avec les autres familles, le nom de niveau 6 dans la série 60 serait une tromperie s'il avait une seconde été crédible. Mais, très vite, la série 60 n'avait plus de sens pour personne en tant que série, et les quatre familles constituantes s'efforçaient à des vies propres qui avaient tendance à diverger. On peut donc étudier le niveau 6 en le considérant simplement comme une famille réussie.

Au départ, vers 1973, il s'agissait de trouver une réplique au System / 32 d'IBM, un petit système de gestion qui marche remarquablement. HIS étant aux prises avec ses reconversions, l'étude est prise en charge par NEC, un allié de longue date trouvé dans l'héritage GE. NEC accepte de baptiser GECOS le système d'exploitation, et c'est la seule concession à la notion de niveau. La machine est lancée en trois variantes en 4 / 75, sur le marché australien, avec une vocation claire de petite gestion :

- facturière avec 16 KB de mémoire, pour \$ 24000
- système DOS avec 24 KB de mémoire et une cartouche disque de 4,9 MB, pour 47600 \$.
- terminal lourd à \$ 69500 en ajoutant un modem et un logiciel au précédent.

Le software de base est inclus, et le software d'application est fabriqué à la demande pour un prix forfaitaire de 25000 FF

Le succès de cette machine simple, assez souple pour que son CPU puisse être considéré comme un mini polyvalent, convainquit HIS d'introduire le niveau 6 sur ses autres marchés, avec une coloration moins marquée en gestion pour ne pas nuire aux level 61 et 62.

Quand il atteint les Etats-Unis en fin 75, c'est simplement un mini, apte à l'OEM et à tous les usages qui en dérivent, en deux versions baptisées 30 et 40 : la machine est microprogrammée sur un microprocesseur en tranches de 4 bits, et rien n'est encore fixé.

En Europe en 1976, elle est proposée en trois modèles, toujours sans objectif précis, ni même clair :

- le 6 / 06 est une émulation du répertoire 716, tout à fait compétitive, dans une présentation de rack occupant à peu près 2 unités de haut. Il peut remplacer avantageusement le 716 dans tous ses usages.

- le 6 / 34 est pratiquement un démonstrateur. Une photo très évocatrice montre la composition modulaire d'un 34 avec de petites cartes enfichables en piggyback sur de grandes cartes au format de rack, avec édification d'une machine déjà puissante dans un volume minimal, égayé pour la publicité par un boîtier design.

- le 6 / 36 est également une machine en rack, mais avec beaucoup plus de slots, 5, 10 ou 23. Le dernier chiffre au moins est peu compatible avec les slots horizontaux du 34, mais en l'absence de photo on ne peut affirmer que le 36 utilise des slots verticaux, qui impliqueraient une autre présentation du CPU.

La mémoire, à base de chips 4 Kbits, occupe 2 cartes, et le prix d'un 36 sans périphérique mais avec mémoire est de 48 KF.

De cette époque, nous possédons un document "system description", qui ne décrit en fait qu'une déjà riche variété de périphériques, mais ne dit absolument rien des unités centrales; et un autre plus particulier, consacré à un contrôleur microprogrammé de disques, qui fait explicitement référence aux modèles ci-dessus.

Il existe aussi un document commercial sur un processeur scientifique (virgule flottante), qui restera valide dans les modèles suivants.

Dès 1977, HIS a pris la décision de faire du level 6 un produit à part entière, sans référence à la série 60 à laquelle il n'appartient que fictivement, et sans interférence avec ses membres. Cela devient possible parce que les chips mémoires de 16 Kbits sont arrivés, autorisant des adressages bien plus importants. La famille se structure alors en 6 modèles :

- un bas de gamme compatible, le /23 (1978), estimé 200 Kops. Il est non extensible parce que construit autour d'un bus synchrone plus léger que le bus normal, et limité en mémoire aux 64 KB de l'adressage direct. A première vue, il préserve dans l'évolution en cours le statut initial de mini ; on s'aperçoit que sa création correspond seulement à des objectifs marketing quand on constate qu'on lui offre le système d'exploitation GCOS Mod 200, essentiellement destiné à un emploi transactionnel.

- un bas de gamme universel, le /33 (1978), qui utilise le Megabus asynchrone et accepte donc toutes les extensions, y compris celles qui le transforment, chez le client, en 43 scientifique ou en 53 à mémoire étendue. Ce qui caractérise ce processeur, c'est un jeu de 18 registres longs de 16 bits, autorisant l'adressage de 64 Kmots ou 128 Kbytes.

Le logiciel DSS, fonctionnant sous GCOS Mod 400, autorise n'importe quel level 6 à entrer dans un réseau X25 ou Datanet 8 comme processeur d'application à une ligne, ou comme concentrateur. En 1979, HIS en fera d'ailleurs un Datanet 7100, connectable sur canaux des 64 et 66.

- un modèle plus puissant et d'ailleurs plus ancien, le /43 (1977), qui dispose de 28 registres, de la multiplication et de la division, d'une horloge, d'un chien de garde, et de 64 interruptions vectorisées. Les registres d'adressage portés à 20 bits permettent l'adressage direct de 1 MB de mémoire, et un véritable MMU est optionnel (\$ 500). Un 43 peut être transformé sur site en 53 ou en 47.

En outre, le 43 peut recevoir la carte de processeur scientifique, ajoutant au répertoire 30 opérations flottantes en 32 et 64 bits (\$ 4500). Le 43 utilise le système d'exploitation GCOS 6 Mod 400 dans la version multitâche MDT, \$ 800 + 200 pour le tri.

Prix typique : \$ 80000 avec 96 KB, 10 MB de disque, une bande, IP 300, 8 écrans, et GCOS.

- un modèle encore plus puissant, le /53 (1978), qui dispose non seulement des registres et dispositifs du 43, mais d'un MMU standard, et surtout d'un cache de 4 Kmots qui explique les progrès.

Prix typique : \$ 146000 pour 256 KB, un processeur scientifique, 2 disques de 67 MB, une bande, LC, IP, et 20 lignes.

- il y a ensuite un 47, qui se présente comme un 43, avec ou sans processeur scientifique, complété par un processeur commercial (CIP), 30 opérations d'arithmétique décimale et de manipulation de chaînes....

- et de même un 57, qui s'obtient pareillement à partir d'un 53. Ces deux versions commerciales utiliseront en général le système d'exploitation GCOS 6/Mod 600.

Prix typique : \$ 127000 pour 128 Kmots, un disque, une bande, un écran, et le GCOS Mod 600. Plus étoffé, il faut compter \$ 217000 pour un 57 à 192 KB, avec 512 MB de disques, une bande, LC, IP, un écran, 16 lignes asynchrones et une ligne synchrone, et GCOS Mod 600.

A partir de 1982, on propose chez Bull des versions spécialisées et préconfigurées à des prix intéressants, par exemple le DPS 6/31, avec un logiciel baptisé Administrative System 4 :

196884 FF pour 256 KB, le CIP, 2 terminaux, 16 MB de disques

489956 FF pour 768 KB, le CIP, 6 terminaux, 144 MB de disques

De la même manière, le logiciel Administrative System 16 fait du traitement de texte, de la poste électronique, des manipulations de documents :

DPS 6/38, 256 à 768 KB, 2 à 24 stations, 2 à 4 disques, 2 à 6 contrôleurs de terminaux, avec le répertoire du 6/47.

DPS 6/48, /54, /74, /76 sont des repères sur une gamme plus large de prédéfinis, 256 KB à 2 MB, 2 à 64 stations, 2 à 8 disques (SMD de 67 ou 256 MB, Cynthia de 8,4 ou 16 MB), 0 à 4 bandes, 2 à 6 contrôleurs de unit record et floppies, option SIP, standard CIP. A ce stade de souplesse, il s'agit simplement d'une autre façon de démarcher les clients avec des matériels désormais bien établis. Prix : \$ 72200 à 175000.

Autre création de décembre 1980, les DPS 6/92 et 96 sont de vraies machines 32 bits qui peuvent être construites chez le client à partir des 16 bits de haut de gamme, étendus par tranches comme le processeur de base. Le bus 32 bits est capable de 13 MB/s. Le logiciel n'est plus le GCOS 6 Mod 600, abandonné, mais une variante du Mod 400.

DPS 6/92, mémoire maxi 4 MB, 20 postes, prix typique \$ 223400

DPS 6/96, mémoire maximale 16 MB, 40 postes, prix typique \$ 461800

En France, on annonce aussi un DPS 6/94, 6 MB, 30 stations, qui aux USA ne peut s'obtenir que par conversion d'un 76. Bref, il s'agit exclusivement de combinaisons marketing, comportant peu d'invention.

En 1983, un 95 est annoncé, qui utilise une nouvelle microprogrammation du CIP pour améliorer les temps d'exécution du COBOL par rapport au 57 d'origine : il s'agit d'obtenir des benchmarks impressionnants, par comparaison avec la concurrence, VAX de DEC ou 4331 d'IBM.

Saturé de ces jeux marketing, le public commence à boudier un système dont il faut souligner la merveilleuse modularité, et qui est fabriqué à Angers avec succès : 1618 machines en 1980, 1740 en 1981, 1638 en 82, 2497 en 83. A cette date, 30000 mini 6 ont été installés dans le monde, dont 4000 en France, et le tiers de cette production vient d'Angers.

On va donc lui proposer des nouveautés:

DPS 6/10 est un bas de gamme construit autour du microprocesseur Intel 8086. En plus de la compatibilité Mod 400, on peut donc offrir au client les systèmes CP/M86 et MS/DOS, ainsi que l'émulation du terminal IBM 3278.

Prix en 6/84 avec 512 KB, écran et 2 floppies 5,25" : 75000 FFHT

DPS 6/210 est le même processeur avec 512 KB à 1 MB de mémoire, un bus 16 bits à 6,6 MB/s vers un contrôleur de disques et un processeur de communication.

Prix 140000 FFHT avec disque Lark 2 de 8" = 20 MB fixe + 20 MB amovibles, un floppy, 4 lignes et le logiciel Mod 400.

DPS 6/290 est une extension à 16 postes du 210, 167000 FFHT + terminaux.

En 1986, le processeur TTLS des débuts est supplanté par un CPU sur une carte à base d'ASIC, le DPS 6 PLUS, comprenant deux unités centrales et deux MMU qui se comparent pour fiabilité. Les processeurs 6/410 et 420 ont la mémoire virtuelle avec segmentation et pages à la demande, un contrôleur de réseau local, des communications multiprotocoles.

Logiciel : Le GCOS 6 Mod 400 / MFS et tous les services habituels sont complétés par ONE Plus (communications), ONE Exchange (échange de documents entre terminaux), l'architecture ONE = Office Network Exchange étant une nouveauté compatible entre Honeywell, Wang et IBM.

Le succès du Mini 6 ne s'arrête sans doute pas là, mais nous perdons sa trace à cause de la rupture des relations entre Bull et HIS. Il faut rendre hommage à cette machine qui est une brillante réussite dans le monde des 16 bits, et n'a finalement pas fait grand tort aux autres produits de HIS.

Intermède technologique

Pas plus que les autres constructeurs, HIS ne peut se passer d'études technologiques. De fait, dans les années 80, Honeywell possède à Colorado Springs, Colo, un centre d'étude de produits numériques qui a mis au point des technologies "réseaux de portes" (gate arrays), jugées indispensables pour tirer parti à un prix abordable de la logique ECL et en particulier de sa variante CML de moindre consommation. Ce centre a mis au point les circuits HE 2000 et a réussi à les vendre, de sorte qu'on s'interroge sur la raison des échecs répétés de HIS dans la production de machines commerciales à base de CML. Nous disposons d'un article de moyenne technicité sur le HE 2000, et on s'étonne seulement de constater que l'idéal de l'auteur paraît être de construire un VAX, alors que l'on verra, dans les années suivantes, IBM et les japonais utiliser ces techniques pour garder leur domination sur les "mainframes".

Un peu plus tard, une photo montre que Honeywell maîtrise la technique des réseaux de portes en logique CMOS avec les circuits HC 20000, et à nouveau on se demande ce qu'ils en font quand on constate l'emploi de cette même technologie dans certaines machines IBM de grande diffusion.

310 - Hugues Aircraft

A la fin de la guerre, le milliardaire Howard Hugues se trouvait propriétaire d'une entreprise de construction aéronautique sise à Culver City, au coeur de Los Angeles, qu'il s'employa immédiatement, avec une grande sûreté de jugement, à redéployer vers d'autres activités fructueuses telles que les armes et notamment les missiles. Cependant, avant d'abandonner les avions, il décida, maintenant qu'il pouvait faire ce qu'il voulait de sa fortune sans passer pour un gaspilleur de l'effort national, de réaliser un vieux rêve et de construire le plus grand hydravion du monde, en bois. Il y parvint, et exécuta lui-même les vols d'essai, mais ne trouva aucun acheteur pour son avion techniquement dépassé.

Son entourage, inquiet de l'énorme gaspillage qu'avait représenté cette réalisation inutile, s'efforça à partir de là de l'empêcher de recommencer et de dépenser tout autre argent que le sien propre. Devenu paranoïaque et à peu près fou, ne quittant plus jamais l'étage de gratte-ciel où il habitait, Hugues devait finalement mourir sans avoir pu réellement porter atteinte à la puissance industrielle de sa société, bien gérée et en plein développement : radars, missiles, satellites et, indispensables pour ces travaux, ordinateurs.

Après la mort de son fondateur, la société très active et raisonnablement prospère est achetée, en 1985, par la General Motors pour 5 B\$, gardant son nom et devenant la Hugues Electronic Corporation, sans changer d'activité. Son CA n'est cependant que peu de choses dans le gigantesque CA de la GM, 96,4 B\$, et ne se compare même pas à son bénéfice net, 4 B\$ cette année-là.

La société Hugues, qui se fragmentera dans les années 90 à l'occasion des grands remaniements de la Défense et deviendra une partie de General Dynamics, vit essentiellement d'études militaires et n'hésite pas à lancer des techniques nouvelles audacieuses et potentiellement performantes, mais chères, pour lesquelles on trouve toujours des financiers dans les Armées. On cite ci-dessous quelques contrats caractéristiques :

Emploi du laser comme illuminateur invisible : 7 pods de bombardement AN/AVB 1 (1969)

AN/AVD 3, 1970, camera laser pour photos de nuit.

130 désignateurs laser AN/TVQ 2 en tourelles pour véhicules M 113, 1979.

Emplois de l'infrarouge à bord des avions (FLIR) ou autres véhicules :

3 viseurs AN/AAS 25 8 - 13 μ pour hélicoptères CH56 Cheyenne (1971)

5 viseurs AN/AAS 29 même gamme pour hélicoptères UH1 (1972)

13 AN/AAR 37, FLIR même gamme pour patrouilleurs P3C (1973)

324 viseurs AN/AAQ 6 pour B52H (1973)

AN/AAS 33 TRAM, combinaison FLIR et télémètre laser pour A6E (1978)

AN/VAS 3, lunette renforcée IR thermique pour conducteurs de char (1987)

Guidage TV pour bombe GBU 15 : AN/AXQ 14 (1980) pour A7, B52, F4, F15, F16, F18, F111.

viseur de bombardement TV+laser pour A4B et AV8B, 103 AN/ASB 19 (1983).

Guidage simultané et indépendant de 2 missiles à longue portée Phoenix par radar pulse doppler

AN/AWG 9 assorti d'un calculateur CDC 5400 B ou MPP, pour F111B.

Pseudostabilisation d'aériens radar par modulation de la fréquence émise : c'est le Frescanar, prélude au balayage électronique, premier usage d'un calculateur intégré à un radar. AN/MPS 23 (1957) pour le Missile Monitor, AN/SPS 26-39-42-52 pour les navires (1967). Calculateur H 3118.

Radar à balayage électronique intégral, 3D : AN/SPS 32 puis 33 des Long Beach et Enterprise.

Système de brouillage contre les attaques simultanées de plusieurs missiles, à usage des porte-avions,

AN/SLQ 17 incorporant un calculateur AN/UYK 20, 1973.

Radar antimortiers AN/TPQ 36 et antiartillerie TPQ 37, 1974.

A quoi devraient s'ajouter de nombreux contrats moins créatifs mais plus rémunérateurs comme la fabrication de 700 pods de brouilleurs bande S/L/C (AN/ALQ 71), 300 pods de brouilleurs bande X (AN/ALQ 72), 2000 émetteurs/récepteurs HF subtilement modulés pour les forces spéciales (AN/PRC 74, 1970), ou 5000 autres pour le Marine Corps (AN/PRC 104, 1976), ou encore 260 radars de tir (AN/APG 63, 1972) pour le F15, et bien d'autres.

Il n'est guère surprenant que ce brillant aviateur, célèbre par ses succès sportifs d'avant guerre, ait fait aborder très tôt l'étude d'ordinateurs pour l'aéronautique, et plus précisément pour applications en temps réel à bord d'avions.

En l'occurrence, c'est le Wright Air Development Center qui proposa cette étude à Hugues Aircraft, en vue d'en déterminer d'une part la faisabilité technique, et d'autre part les poids et encombrement : piloter un avion en ligne droite sur une distance notable et arbitraire, à partir des informations disponibles à bord, et des signaux d'un LORAN, système de navigation hyperbolique.

Hugues accepta le contrat, réalisa de 1948 à 1953 un DIGITAC Mk 1 capable de faire le travail, obtenant ensuite le contrat d'étude de DIGITAC plus légers et moins volumineux, puis le contrat d'équipement des intercepteurs F106 de la DAT avec un calculateur DIGITAIR obéissant aux ordres radio du système SAGE : radar d'interception AN/ASQ 25, et data link AN/ARR 61 - AN/GKA 5 (1957).

Cette réussite industrielle donna à Hugues une crédibilité qui lui permit de soumissionner dans beaucoup de contrats ultérieurs, et par exemple en 1960 pour l'étude d'un DDA en film mince déposé sur plaques de verre de 75 * 50 * 1 mm, au total 7000 éléments consommant 10 watts dans un volume de 1/3 de litre, avec des résistances dont la valeur restait stable de - 195 à + 225°. La cause la plus probable de l'échec de cette expérience, cad du fait qu'elle n'a pas débouché sur un produit, est sa lenteur, incompatible avec la bande passante des équations à résoudre.

A partir de là, on retrouve Hugues Aircraft comme constructeur de nombreux calculateurs aéroportés, dont quelques uns ont certainement trouvé des débouchés :

AN / ASG 18 (1960) : était le calculateur de lancement du missile nucléaire GAR9, étudié pour le F108 puis pour le Lockheed A11. Abandonné avec le missile et les avions.

HCM 201 (1962) : calculateur aéroportable, 23 Kg, 150 watts. Il s'agit d'une machine parallèle 24 bits, avec au choix 4 Kmots de mémoire DRO à tores 6 µs, 16 Kmots NDRO, et un tambour magnétique de 1500 Kmots. Le répertoire comprenait 30 opérations, dont addition 6 µs, multiplication et division 120 µs. 3 canaux d'entrées / sorties, une interruption.

HCM 202 (1963) : reprise, en film mince et hybrides, du calculateur précédent, préservant organisation, performances, et poids. Les mémoires possibles sont au nombre de cinq :

- 512 à 4096 mots de tores 24 bits, 6 µs, au choix à coïncidence ou en 2 tores par bit
- 124 à 8192 mots de 12 bits en tores prétréssés NDRO
- 50 à 1500 Kmots de tambour magnétique, accès 5 à 25 ms
- film mince

HCM 211 (1964) : calculateur 12 bits réalisé en logique TTL et films minces.

Contrat de remplacement des Digitair sur F106, pour M\$ 5. Le nouveau calculateur, qui tient dans un demi-ATR, comprend 2048 mots de 18 bits sur tores magnétiques, plus une mémoire secondaire de 33000 mots sur tambour magnétique. Les circuits, qui fonctionnent à 2,2 MHz, comprennent quelque 6000 composants dont 1000 circuits intégrés DTL. Le MTBF atteint 600 heures.

HCM 205 (1966) : reprise technique du calculateur précédent dans une logique analogue. La mémoire est désormais uniquement à tores 2 à 8 Kmots de 18 bits en tores de 22 mil au lithium, cycle de 2 µs.

Le tambour est remplacé, s'il y a lieu, par une mémoire externe à tores de 16 Kmots.

La logique comprend 1000 microcircuits et 700 composants discrets, parmi ces derniers des hybrides pour la lecture et la sélection dans la mémoire. Les circuits sont montés sur des cartes de 89 * 15,25 * 3,2 mm, portant chacune 8 flatpacks, parmi lesquels 18 adders spécialement étudiés par Texas Instruments. Répertoire 42 opérations, 3 index, addition en 4 µs, multiplication 22 µs, division 25 µs, une interruption, un canal d'entrée / sortie.

Mise en boîte : châssis aluminium moulé de 137 * 213 * 186 mm, soit 6 litres, 6 Kg, 100 watts.

HCM 206 (1967) : multiprocesseur militaire dérivé du précédent, autorisant un MTBF de 6400 h. Mémoire 8 à 32 Kmots de 32 bits en tores 2 µs, logique DTL. Instructions de 16 ou 32 bits, répertoire de 64 opérations dont addition 2 µs, multiplication 15 µs, 32 interruptions, 2 canaux.

Présentation : 6 litres, 9 Kg, 250 watts.

HCM 231 (1970) : l'étude atteint maintenant à l'universalité, ce qui veut probablement dire que l'ordinateur n'a pas trouvé de client.

Le calculateur peut être fourni en longueurs de 12, 16, 24 ou 32 bits. La mémoire est à base de tores, 4 à 128 Kmots de 24 bits, cycle de 1 µs, accès de 500 ns ; elle peut être NDRO. L'unité centrale, dans sa version longue avec 3 index de 12 ou 24 bits, offre un répertoire de 81 opérations, dont addition 2 µs, multiplication 5,6 µs, division 15 µs.

Les entrées / sorties, enfin prises au sérieux, comprennent un canal multiplex 500 Kmots / s, un DMA 1 Mmots / s, et 24 interruptions.

Le logiciel peut être mis au point en simulation sur Sigma 5, Sigma 7 ou IBM 360.

Présentation : 21 litres, 20 Kg, 300 watts, MTBF 3000 heures.

HDP (1972) : retour au très petit calculateur d'aviation, 330 cm³ pour 8 Kmots de 16 bits, répertoire de 19 opérations, 600 Kops. Construit en LSI.

AN / UYK 30 (1975) : machine 16 bits construite pour l'USAF à partir du microprocesseur en tranches Intel 3000, en trois cartes 142 * 157,5 mm qui pourraient aisément être condensées. La logique comprend 4 accumulateurs, 2 index, un pointeur de pile et le CO, le tout en 9 circuits intégrés. Puissance : 371 Kops mesurés à la fréquence de 10 MHz. Supporte - 55 à + 125°.

HCMP 1802 (1978) : reprise en CMOS du microprocesseur RCA 1802, pour lequel Hugues ajoute, fin 78, divers périphériques:

- le 1835 est une ROM 2048 * 8 bits, consommant 2 mA sous 5 V. L'adresse 16 bits est reçue en deux parties, et le temps d'accès est 750 ns.
- une UART en deux modes, dont l'un compatible 1802
- le 1853 est un décodeur pour 14 entrées / sorties différentes.

Il y a peu de succès explicites dans cette liste, mais on se rappellera que beaucoup des matériels cités plus haut ont besoin d'un calculateur : si le contrat de Hugues n'est pas une sous-traitance, il sera souvent possible d'utiliser un produit "maison" à cet effet.

En dehors de ces travaux proprement aéronautiques et spatiaux, Hugues s'est aussi attaqué, avec une finalité système et temps réel, au domaine des ordinateurs plus puissants, en commençant dès 1961 :

AN/MSG 4 est un système mobile de commande centralisée pour 32 batteries de missiles Nike et/ou Hawk. Le principal problème technique paraît être posé par les communications, numériques pour la sécurité, mais interfacées avec des matériels encore largement analogique. Dans sa version maximale, le MSG 4 qui équipe un AAOC est en liaison avec le TACCS (le commandement central), avec deux autres AAOC, et avec quatre BOC (Battery Operation Center) dont chacun est relié à 4 batteries par 4 FUIF ; ces diverses liaisons constituent l'AN/TSQ 8, et il faut un camion par FUIF, une hutte transportable par BOC.

Un AAOC comprend un radar, une remorque d'alimentation, une remorque d'entretien, et une remorque opérationnelle contenant 2 consoles de veille radar, 4 consoles de tracking, 2 consoles d'altitude, et 2 consoles d'armes pour la désignation d'objectif.

AN/MSQ 18 (version camion) et AN/TSQ 38 (version hélicoptère) sont des ensembles multihuttes contenant des équipements de surveillance, et de codage et conversion A/D et D/A pour la connexion entre le système Missile Master de désignation d'objectif et les batteries de missiles Nike Hercules, Nike Ajax, Hawk, etc... Ce sont ces systèmes qui équipent les BOC. Voir photos.

AN/TSQ 39 reprend les problèmes précédents deux ans plus tard pour les missiles Hawk et Terrier du Marine Corps, et les progrès technologiques permettent d'importantes simplifications. 4 systèmes réalisés.

H 330, étudié pour la commande du satellite Syncom. C'est une machine temps réel qui puise son inspiration du côté d'Univac, et qui aurait fait l'objet de commandes suisses et japonaises.

H 3118, multiprocesseur militaire largement installé dans les navires de diverses marines. Son sigle Navy CP 784/U est caractéristique d'un matériel qui s'intègre dans un système plus important, en l'occurrence le radar AN/SPS 52 ; on sait que ce calculateur fait aussi partie des équipements composant les 57 centres Missile Mentor, AN/TSQ 51, qui servent à la désignation d'objectifs des batteries de missiles Nike Hercules en 1965.

NADGE : le 28/12/66, 9 nations de l'OTAN décident d'installer un réseau continu de radars de surveillance aérienne avec les calculateurs associés, à l'image du SAGE américain qui en a montré la faisabilité, les achats externes étant dans la mesure du possible compensés par des fournitures nationales. Trois consortiums entraient en compétition, conduits par Westinghouse, ITT et Hughes, mais comprenant des sociétés des pays européens participants. Après une compétition épique, c'est le consortium Hughes / AEG-Telefunken / Marconi / SignaalApparate / Selenia / Thomson qui a gagné le contrat de 330 M\$, pour un rideau qui s'est progressivement étendu à 84 sites radar ; Hughes qui dans cette affaire a remarquablement travaillé dans une ambiance saturée de politique, fournit les calculateurs 3118.

H 3324 (3/65), calculateur temps réel qui a trouvé des clients. C'est un 24 bits, mémoire 16 à 128 K mots à modules asynchrones indépendants, cycle 1,8 µs. Bloc de calcul 104 opérations avec anticipation, index dégressifs, adressage indirect, protection de mémoire, addition en 1,8 µs. Entrées/sorties 780 Kcar/s dans le style Univac avec 16 canaux entrants et 16 canaux sortants, 49 niveaux d'interruption.

Périphériques : LC 1200, LR 350, PR 110, IP 1000, ME, RM 30000 à 83000. Fortran IV.

H 3330 (1965), probablement la même machine que ci-dessus réalisée en mots de 30 bits pour le système NTDS de la Marine, mais les renseignements dont on dispose concernent d'autres aspects de l'architecture. Logique NOR à diodes, 2,2 MHz, 4 registres A, Q, B, J qui sont accu long, accès mémoire, flags. A, Q, B ont une copie qui sert aux décalages. Multiplication 13,5 µs, addition 1,8 µs.

H 4118, reprise technologique du 3118, utilisé dans le système tactique 407 L de l'USAF.

H 4400/32 (1970) est une nouvelle réalisation de multiprocesseur militaire de volume réduit par un recours aux MSI pour la logique et au LSI pour les ROM. Cette machine très étudiée et pourvue de toutes les caractéristiques appropriées aurait dû permettre à Hugues de s'introduire dans le domaine du C3, mais à l'époque et notamment dans la Marine, c'est Univac qui obtenait tous les marchés.

Voir en 252-69/79 la conception Hugues pour dix LSI modulaires représentant une sorte de Meccano, qui n'a probablement pas été adoptée telle quelle; à cette occasion, Hugues proposait cette même gamme de 10 LSI à la NASA pour son projet MCB.

H 4400 / 16 (1971) : ayant échoué à placer la machine précédente dans la marine américaine, Hugues essaie d'en construire une version réduite pour la proposer à des marines moins riches. On ignore le résultat de cette démarche.

ALAP, Associative Linear Array Processor, est une expérience de processeur associatif datant de 1975, réalisée à titre de démonstration avec 13 processeurs en série disposés sur une puce avec leurs circuits associés qui comprennent l'interpréteur d'un programme commun venant de l'hôte, et une interface d'entrée / sortie. Le circuit de commande peut fournir en parallèle aux processeurs des constantes ou des données, et leurs sorties qui contiennent en principe des bits indépendants sont fusionnées pour former le résultat.

H 5118 E, reprise technologique du 4118, est le processeur principal pour le JSS, Joint Surveillance System AN / FYQ 93, troisième génération du SAGE, installée en 1982. Ce système est composé de sept ROCC, Region Operation Control Center, installés à Mc Chord AFB, Wash - March AFB, Cal - Tyndall AFB, Fla - Griffiss AFB, NY - Elmendorf AFB, Alaska - Wheelley AFB, Hawai - et un canadien à North Bay, Ontario.

Chaque ROCC comprend 2 machines dotées de mémoires de 512 Kmots, une active et une en réserve, commutables en 15 à 20 secondes, et qui se satisfont d'une puissance de 1 Mips environ. Exploitation par 18 consoles opérationnelles interchangeables, spécialisées par logiciel (écran radar circulaire 22" synthétique, un ou deux écrans alpha, vaste clavier de fonctions). Alimentation stabilisée permanente, avec batteries de secours pour 15 à 20 minutes, et deux diesels de 750 Kw à démarrage automatique.

Ce calculateur sera aussi installé, à cause de sa compatibilité avec le 3118, dans tous les nouveaux centres du NADGE à travers l' Europe, où il aura à travailler avec d'autres produits Hughes, notamment le JTIDS.

Après ces machines, on perd un peu la trace de Hugues, qui se manifeste moins dans les ordinateurs et davantage dans les domaines des radars et des satellites, où il prend progressivement la première place mondiale avec son modèle 601 pour télécommunications et télévision depuis l'orbite synchrone.

Le calculateur HMP 3220, identifié en 1985, n'occupe qu'une carte de 152 * 229 mm, à intégrer dans les terminaux du JTIDS. La carte contient deux unités centrales, réalisées dans un mélange de réseaux de portes CMOS et de TTLS, chacun avec 96 Kmots de PROM UV, et 32 Kmots de static RAM CMOS, le bus d'entrées / sorties étant partagé. Alimentation 120 watts. Logiciel CMS 2.

Hugues est à cette époque chargé de l'AN / TSQ 129, un système de localisation des unités terrestres qui est une fraction du programme JTIDS. Le contrat de M\$ 260 porte sur 23 centraux et 3500 postes d'interrogation, livrables en 1986.

Le système, qui fonctionne en UHF 420 / 450 MHz, est basé sur la division d'une tranche de 64 secondes en slots de 2 ms identifiant le poste émetteur. Tous les postes émettent une fois par tranche, dans leur slot, une impulsion UHF qui est reçue par tous les autres : quatre de ces signaux, dont le décalage temporel est caractéristique de la distance entre l'émetteur et le récepteur, sont groupés dans un message de 94 bits envoyé au central. Celui-ci fait alors le calcul de position et envoie la localisation. En somme, ce système présente une certaine parenté avec le GPS, qui résoudra ce problème 15 années plus tard.

Le terminal AN / PSQ 4, qui pèse 10 Kg, contient un émetteur / récepteur, un poussoir pour la demande, une fenêtre pour la réponse, un ordinateur pour le formattage et la procédure, et deux piles au lithium. Le fonctionnement est automatique.

Le central, logé dans une hutte S280, comprend un ordinateur AN / UYK 7 pour les calculs de localisation, un AN / UYK 20 pour la gestion de réseau, un autre AN / UYK 20 pour la gestion de consoles, une horloge au rubidium pour la référence temporelle, et un émetteur / récepteur UHF.

Autre contrat de direction de programme, passé en 1985 par l'US Navy : Hughes est chargé de superviser la production, l'installation et le fonctionnement du système SURTASS, un sonar remorqué de très grande portée dont la marine veut peupler les deux océans pour qu'aucun sous-marin soviétique ne puisse impunément s'approcher près des côtes américaines. Voir fiche.

De nouveau on perd la trace des activités informatiques de Hugues, essentiellement parce qu'elles ne sont pas réalisées pour elles-mêmes, mais au profit de systèmes plus complexes dont le contenu ne nous généralement pas connu.

Une nouvelle trace est aperçue en 1992 avec le contrat TAC3 de la Marine, octroyé à HBC, Hugues / BTG Company, et d'un montant estimé de M\$ 175. Il s'agit d'un contrat de service assez ouvert, et on ne doit pas considérer que Hugues en soit réduit à des expédients ; il s'agirait plutôt d'un service rendu à l' Administration pour en réduire les temps de réponse.

Au titre de ce contrat, HBC approvisionne des matériels informatiques de caractéristiques civiles, pour services à bord ou à terre sans exigence de normes, et débarrasse la Marine qui manque de spécialistes des problèmes d'entretien périodique. Trois niveaux de fournitures sont prévus :

Niveau A : stations HP 9000 / 750 à base de PA RISC 66 MHz, 76,7 Mips, 23,7 MFlops, livrés avec 32 à 192 MB de mémoire, 3 armoires de disques et 4 slots EISA.

Niveau B : stations HP 9000 / 730, 32 ou 64 MB de mémoire, un seul slot EISA, une carte graphique.

Niveau C : serveur 9000 / 750 avec 64 MB, 4 slots EISA, 2 slots graphiques, un adaptateur EISA / VME, un châssis VME à 7 slots, et des baies à disques de 5,25".

En somme, la Navy a déjà fait ses choix, et demande seulement qu'on lui assure un étalement sur 4 ans des acquisitions, suivi de quatre ans d'entretien. En plus de ces produits de base, le contrat prévoit beaucoup de souplesse dans la fourniture (et l'entretien ultérieur) de disques magnétiques, de disques optiques, de cartes graphiques 2D et 3D, et d'extensions en forme de processeurs parallèles, de processeurs vectoriels à base de i860, et de processeurs associatifs du genre DAP 510.

A côté de cette débauche de matériel, on pourra considérer comme négligeables des connexions Ethernet, FDDI et / ou Safenet, et l'installation de matériel de cryptographie sur 50 postes de consultation de la base de données Oracle.

311 - AN / UJQ2 de HRB Singer, Inc.

Messieurs Haller, Raymond et Brown, travaillant pour le compte de l' USAF, disposaient d'assez de fonds ou d'entrent pour créer une société "incorporated", c'est-à-dire pourvue d'un statut juridique officiel et public, et lui faire construire cette machine de calcul algébrique à base de tambour magnétique et de tubes à vide sur laquelle nous n'avons aucun détail sérieux. Voir fiche.

312 - HW Electronics

Cette société à l'existence fugace propose en 1962 un modeste calculateur de bureau à tambour magnétique. On peut comprendre qu'à cette époque où l'informatique faisait encore figure de mystère pour beaucoup d'usagers même compétents, quelques clients se soient laissés séduire par cette machine minimale, de performances très faibles.

Même les auteurs trouvaient forcément cela insuffisant. C'est pourquoi ils offrent, deux ans plus tard, une machine à peu près compatible, mais dotée d'une mémoire à tores de 4 à 32 Kmots de 24 bits, avec cycle de 40 μ s qui indique un faible niveau de compétence. La logique comprend 3 index, l'addition dure normalement 80 μ s car il n'y a aucune simultanéité. Prix estimé \$ 40 à 100 K\$.

Les périphériques sont LC 200, PC 100, LR 300, PR 110, LR 20, RM 15000 compatible IBM. Pas d'autre intérêt que de situer le niveau de créativité des amateurs, qui correspond au mieux aux toutes premières réalisations de dix ans plus tôt. Seule l'absence d'information peut justifier qu'une telle machine ait trouvé un client.

313 - Hyperstone Electronics

Il s'agit d'une architecture due au Dr Otto Müller, réalisée aux USA par IMP et Zilog. L'architecture paraît remarquable, mais le succès ne dépendait plus, en 1991, de la qualité conceptuelle ou technique, mais uniquement de l'aptitude de Zilog à imposer un de ses produits face à Intel et Motorola. Zilog a échoué, évidemment.

Sur cette puce de 80000 transistors seulement, on trouve un cache de 128 KB, un décodage d'instructions longues de 16, 32 ou 48 bits, la manipulation des entiers de 8, 16, 32 et 64 bits, de chaînes de caractères et de nombres en virgule flottante, à travers un modeste pipeline à deux niveaux, ce qui veut probablement dire que bloc de calcul et bloc de commande étaient simultanés.

La présence de 83 registres dont 19 globaux signifie sans doute une architecture RISC. Les premiers essais ont montré l'aptitude de la logique à decoder et exécuter une instruction par cycle à 25 MHz, l'objectif était fixé à 40 MHz pour l'éventuelle série, dont on n'a jamais entendu parler.

314 - Icon Systems & Software, Inc.

En 1985, le petit bureau d'étude Icon, fort de 25 personnes et installé à Orem, Utah, décide de bâtir un produit multiprocesseur, utilisable comme serveur transactionnel, à partir du microprocesseur Motorola 68020. L'idée est que la technologie n'est plus la partie chère de l'ordinateur, et qu'il est fondé d'en faire un large usage pour obtenir des performances qui, elles, font vendre.

Leur premier produit, le MPS 020, comprend deux 68020 qui communiquent par un tampon de messages de 16 KB et se partagent une mémoire cache à trois niveaux :

- une mémoire statique très rapide (35 ns), 64 KB, premier niveau.
- une DRAM de 256 KB, accès 120 ns, qui est le niveau de partage des deux 68020, deuxième niveau.
- une DRAM de 2 à 4 MB, troisième niveau.

L'une des deux 68020, qui ne descend pas plus bas que le deuxième niveau, gère les contrôleurs de disque et de bandes. La mémoire virtuelle adresse en réalité les disques, et attribue 1 GB à chaque processus.

L'autre 68020, associée à un coprocesseur 68881, assure les calculs et tire profit de la performance du troisième niveau de cache pour calculer à pleine vitesse : 900000 Whetstones..

Des cartes d'extension existent pour émuler un AT (microprocesseur 80286 avec 512 KB), pour gérer des entrées / sorties (à base de 68010), et pour s'adapter à la norme Multibus.

Au point de vue logiciel, ce système supporte simultanément l'architecture IBM 370, Unix 4.2 BSD, Unix V et MS /DOS. Commercialement , il est offert à 27 K\$ pour le produit de base à 12,5 MHz, ou 35 K\$ avec les circuits nécessaires à la gestion de 32 usagers (Modèle 2).

Il existe aussi un modèle 3 à 16,7 MHz, toutes choses égales d'ailleurs.

Ces propriétés impressionnantes provoquèrent un certain succès, et convainquirent notamment le japonais Sanyo qui prit 40 % du capital et assumait la fabrication.

Moyennant quoi, l'année suivante, Icon fut en mesure de proposer le MPS 2000, qui est un cluster de 3 à 32 cartes de chacune deux 68020 à 16,7 MHz, permettant de hisser le produit jusqu'à 64 Mips.

Diverses extensions étaient proposées :

- un terminal graphique contenant un 68020, pour images monochrome 1024 * 1024 pixels, pour \$ 2500.
- un processeur graphique Texas 32020, avec en option une puce 32010 pour transformer les images, au rythme de 1,7 Mpixels /s.

Il ne semble pas que le succès initial se soit maintenu longtemps, ni que Sanyo, pas très bien implanté aux USA, ait jugé nécessaire de prolonger son investissement. En tous cas, la notoriété de Icon est très vite retombée et le MPS 2000, qui s'est mal vendu, n'a pas eu de suite.

315 - Integrated Device Technology

Cette société de Santa Clara, Cal, a été fondée vers 1985 par Mick, un transfuge de AMD, avec l'idée de réaliser en CMOS un processeur en tranches aussi réussi que celui d'AMD. Le microprocesseur IDT 39C300 semble être une de ces versions à faible consommation soit du 290X à 4 bits, soit du 290XX à 16 bits. La fiche 49 C 404 décrit un autre produit original de cette équipe, dont on ignore les applications.

Vers 1991, IDT est un fondeur qui vit en fabriquant des mémoires dont on indique ci-après quelques exemples pour situer la technologie :

B 4048 est 512 K * 8 bits, accès 30 ns, \$ 578

P 4031 est 16 K * 32 bits, accès 15 ns, \$ 98,80, compatible avec le socket des EPROM 256 Kbits

P 4036 est 64 K * 32 bits, accès 20 ns, \$ 309,5 même compatibilité

P 4045 est 256 K * 32 bits, accès 25 ns, \$ 1142 même compatibilité

Pour élargir son champ d'action, IDT a pris la licence des calculateurs du bureau d'études MIPS, créateur de puissants microprocesseurs. Cette licence n'oblige pas IDT à recopier servilement les quelques modèles définis par MIPS, au contraire : elle permet à IDT de modifier ces schémas , notamment pour adapter le nombre et la nature des périphériques.

- R 3051 (1990) : il s'agit d'un contrôleur RISC inspiré par l'architecture du R 3000, et existant en variantes 20 à 40 MHz. Il contient un cache d'instructions de 4 KB et un cache de données de 2 KB, 32 registres, un contrôleur de caches, un générateur d'horloge, un arbitre de bus, et il exige quelques périphériques constituant le "chipset", à savoir :

- R 3052 , cache complémentaire comprenant un cache I de 8 KB et un cache D de 2 KB. Le bus multiplexé permet de limiter le brochage à 84 bornes. Il comprend encore 2 tampons de 4 mots en entrée et en sortie, ainsi qu'un MMU et un TLB.

- R 3721, contrôleur de DRAM, boîtier PLCC 84 broches

- R 3720, commutateur de bus, boîtier PLCC 68 broches

- R 3722, contrôleur d'entrées / sorties, boîtier QFP 132 broches

L'ensemble du CPU et du chipset coûte \$ 100 en 20 MHz. Il peut être utilisé avec les systèmes d'exploitation VRTX ou CExec.

R 3081 (1990) : le produit de base est ici le microprocesseur R 4000 de MIPS, et IDT en tire un contrôleur, comme précédemment. On trouve sur cette puce un cache de données 4 KB, un cache d'instructions 16 KB reconfigurable en 2 lignes de 8 KB, un MMU (dans la version 3081E), un FXU, un FPU, un bus multiplexé 32 bits, et deux tampons de mémoire de 4 mots dans chaque sens de transfert. Le répertoire comporte une instruction WAIT.

Cette puce consomme 650 mA à 20 MHz, et 900 mA à la fréquence maximale de 40 MHz. Elle comporte un mode programmable d'économie d'énergie qui divise la fréquence par 16, la consommation tombe alors à 250 mA.

R 4600 ORION (1993) : trois ans plus tard, IDT cherche ici à exploiter la licence du MIPS R 4400 SC, qui est un microprocesseur 64 bits. mais il le fait selon sa méthode habituelle qui consiste à distordre le produit de base pour faire baisser le prix de production, en visant les applications de masse bas de gamme, là où le bureau d'étude visait plutôt la frange supérieure des besoins.

L'Orion est réalisé en CMOS 0.64 μ , avec une fréquence de 100 / 50 MHz, respectivement calculs et accès. Les performances mesurées sont 64 Specint92, 60 Specfp92, avec une consommation de 5,5 watts. La puce de 77 mm² tient dans un boîtier PGA 179 broches. Toshiba est seconde source.

Pour la structure interne, voir R 4400. Les choix de IDT comprennent deux caches I et D de 16 KB chacun, suivis d'un pipeline à 5 étages. Voir photo (très médiocre).

Logiciel d'exploitation : Windows NT, UNIX V4. - Prix 240 \$ en 100 MHz, 370 en 133 MHz.

On voit donc que IDT a nettement choisi de ne pas entrer en compétition avec les grands du marché PC, c'est-à-dire Intel et ses clones, Cyrix, AMD, etc.... L'une des raisons de cette prudence est que IDT ne produit pas plus de 250000 microprocesseurs par mois, qu'elle vend en moyenne pondérée 30 \$ pièce, de sorte qu'elle ne réussit pas à rassembler assez de fonds pour entrer dans la vraie compétition, la plus fructueuse.

Or IDT ne se résigne pas à cette situation subalterne et a fait des plans pour un clone de Pentium, le Winchip, mais il lui faut trouver du financement. On constate qu'il l'a trouvé, car en 6 / 98 la filiale Centaur de IDT, dirigée par Glenn Henry, produit le C6, une puce 200 MHz compatible avec le Pentium MMX et vendue 150 \$; il en existe des versions moins chères à 150 et 180 MHz.

Le C6, qui vise comme toujours le bas de gamme, ne comprend qu'une seule unité de calcul, avec un pipeline à 6 étages dont le premier décompose l'instruction x86 en microinstructions stockées dans une file, comme beaucoup de concurrents ; il n'existe aucun des raffinements qui apparaissent à cette époque dans les autres puces, pas de prédiction de branchement, pas de renomination des registres, et l'exécution respecte l'ordre du programme. Cette simplicité lui permet de rester petit donc économique, de consommer peu, et d'être au moins aussi efficace que le Pentium en arithmétique entière ; il est beaucoup moins bon en MMX et en flottant, cependant.

Résumons le C6 : process CMOS 0,28 μ avec 4 couches métalliques, surface 88 mm², 5,4 millions de transistors, consommation 14 watts en 3,3 V. Implantation Socket 7 compatible Pentium MMX. Incorpore deux caches 32 KB.

En 1998, Centaur annonce le Winchip2 en deux versions : le 3D pour machines de bureau en 10 / 98, et le 2 + NB pour les portables, en décembre. Tous deux sont commercialisés en trois ou quatre fréquences de 225 à 300 MHz, à partir de la mi 99. L'alimentation est 3,3 V à 266 MHz, 2,5 V à 300 MHz.

Le C6.2 double les deux caches à 64 KB chacun, et garde en outre un cache secondaire externe. Il intègre le contrôleur de DRAM et utilise un bus à 100 MHz pour la liaison avec la mémoire. Il dispose de deux unités de calcul, dont l'une s'occupe des nouveautés : les 57 opérations MMX, les 53 opérations 3D.

Produit initialement par le même procédé que les précédents, ces microprocesseurs seront essentiellement réalisés en CMOS 0,25 μ , avec un cache L2 de 256 KB.

En 2000, Centaur ne fait plus partie de IDT et se retrouve chez Via Technologies, un fondeur taiwanais. On ne sait si IDT a vendu, ou s'il a disparu.

Bien entendu, IDT a conservé son activité de production de contrôleurs RISC sous licence MIPS. A la mi 98, cette activité porte sur trois produits:

RC 36100 travaille à 33 MHz et fournit 55 Mips Dhrystone à cette fréquence. Très limité dans ses objectifs, il dispose de 4 KB de ROM et 1 KB de RAM. Autres particularités : 20 interruptions externes en 5 niveaux de priorité, 3 timers, 2 ports série + un port parallèle et un PCMCIA.

Consommation 1,5 W à 33 MHz, Jtag, boîtier MQUAD 208 broches.

RC 32364 travaille à 133 MHz et fournit 175 Mips Dhrystone à cette fréquence. Il dispose de 8 KB de ROM et 2 KB de RAM, 5 interruptions, un timer. Il ne consomme que 1 watt à 100 MHz, contient les bornes Jtag et se présente en boîtier QFP, 144 broches.

RC 64474 travaille à 250 MHz et délivre 330 Mips et 125 MFlops à cette fréquence. La mémoire comprend 16 KB de ROM pour le programme, 16 KB de RAM pour les données. Pour le reste, il est aussi pauvre que le précédent, 5 interruptions, un timer, et consomme 3 watts. Jtag, boîtier QFP 128 broches.

Parmi ces produits, le second nous est un peu mieux connu que les autres et se présente comme un produit grand public, très bon marché (16,5 \$), visant par exemple les décodeurs de télévision numérique. Son bas prix de revient résulte de sa relative simplicité (1 M transistors) qui permet une faible surface (29 mm²) malgré un processus de fabrication très traditionnel, CMOS 0,35 μ avec 3 couches métalliques.

Plus récent (12/99), le RC 64600 est un contrôleur 64 bits, beaucoup plus sophistiqué : 2 unités de traitement, exécution dans le désordre, prédiction de branchement dynamique, deux gros caches 64 KB, et une fréquence de travail de 400 à 500 MHz, tout cela grâce à un procédé CMOS 0,18 μ. On en attend plus de 800 Mips Dhrystone.

316 - IMS Associates, Inc.

Il semble que cette société se soit d'abord constituée avec un groupe d'amis (dont on peut supposer que les initiales étaient I, M, S) pour dresser les plans d'un multiprocesseur, très improbable pour l'époque, reliant entre eux, selon le schéma de l'hypercube, des microprocesseurs Intel 8080A. Le schéma est simple et sera beaucoup repris, consistant à relier chaque noeud à 3 autres noeuds (cube ordinaire), ou à 4 (HC II, 16 noeuds), ou à 5 (HC III, 64 noeuds), ou à 6 (HC IV, 256 noeuds).

Chaque noeud comprend deux microprocesseurs, un pour le calcul, et un pour liaisons et commande. Le noeud, qui tient sur une Eurocard 9 * 11 " (229 * 279 mm), est capable de 1 Mops, 16 à 64 KB de mémoire propre, et comporte un DMA capable de 2 MB / s. Les noeuds sont indépendants, le système d'exploitation qui y est câblé se chargeant des liaisons.

H II devait coûter \$ 80000, occuper une armoire de 1829 mm de haut et consommer 1280 watts, il a peut-être été réalisé ; H III était évalué \$ 400000, et H IV n'était qu'une possibilité.

La description à notre disposition mentionne, dans le H II, une Eurocard contenant 512 KB de mémoire double accès liée à deux bus : le bus processeur est lié à 64 KB de PROM, un CPU, un coprocesseur, et une interface LBX2, et le IO Bus, lié à 8 canaux pour les 8 connexions, 4 dans chaque sens. IO Control et interruptions sont liés aux deux bus. On ne voit pas clairement comment cette description se raccorde avec ce qui a été dit tout haut sur la structure du noeud.

A l'époque, ce projet lancé par des inconnus, même réalisé sous la forme H II, ce qui n'est pas certain, ne pouvait réussir. Les auteurs revinrent à la réalité, créant une structure de production, IMSAI Mfg Corporation, et, dans la foulée du succès industriel du 8080, choisirent de lancer le VDP 80, qui se compare à l'Apple II dans ses objectifs de calculateur personnel.

Ils obtinrent tout de suite un très honorable succès, 10000 machines en un an, mais leur idée n'était pas d'aller très loin dans cette direction. On sait qu'ils ont aussi réalisé des contrôleurs et des kits, mais probablement voulaient-ils surtout pouvoir relancer leur Hypercube.

En effet, en 1985, on retrouve un projet analogue, à base de 80286 + 80287 dans chaque noeud, et avec un 80286/310 sous Xenix comme hôte pour l'Hypercube. Ce qui est frappant, c'est que l'étude est alors d'origine Caltech, financée par la DARPA et réalisée par Intel.

Interprétation probable : les associés d'IMSAI ont du apprécier inégalement la tournure prise par leur succès et, pendant que deux d'entre eux se transformaient en industriels, le troisième retournait à ses chères études, à Caltech. Un peu plus tard, Intel rachète IMSAI pour étendre aux ordinateurs son activité de composants, et c'est à ce moment que la vieille idée revient sur le tapis, dans de bien meilleures conditions pour être soutenue par la Recherche, à la fois militaire (DARPA) et civile (DOE).

Dans ce nouveau cadre, la machine s'est vendue. On peut citer :

MIT (Massachusetts Institute of Technology) : un iPSCd5 de 32 noeuds, 16 MB de mémoire

Oak Ridge, Laboratoire du DOE : un iPSCd6 de 64 noeuds, 32 MB de mémoire

Yale University : un iPSCd7 de 128 noeuds, 64 MB de mémoire.

Voir dossier Intel et fiche iPSC, pour Personal Super Computer.

317 - Inforex

Cette société de service semble s'être avisée, vers 1975, qu'il existait une demande dans le domaine de la saisie, probablement parce que ses clients essayaient de lui confier ce type de corvées.

Elle a donc fait choix d'un mini 16 bits du commerce, non précisé, avec jusqu'à 128 KB de mémoire, avec un cycle de 750 ns, et a construit autour de cela un système de saisie doté d'une mémoire virtuelle et d'un sous-ensemble de Cobol 74, et comprenant toutes les émulations d'IBM : 2780, puis 3270, SDLC, SNA.

Matériel : 1 à 8 terminaux, jusqu'à 4 disques de 10 MB, 2 bandes 45 ips, LC 300, IP 600, ME 45, une ligne BSC. Prix minimum avec 1 terminal : \$ 13350 ou \$ 320 / mois.

318 - Information Control Company

Il s'agit d'un matériel d'acquisition de données, fonctionnant sous la direction d'un programme mémorisé qui est chargé en décimal à partir d'un clavier. Ce programme, qui se répète cycliquement, comporte un maximum de 100 étapes, prises dans une collection de 9 ordres, tels que transfert inconditionnel, stocker, delete, recycle, retarder de N cycles, etc....

Le matériel, qui n'est pas un ordinateur, comprend une mémoire de 4096 mots de 8 bits, un multiplexeur à 16 canaux, et un codeur. Il existe en trois versions :

- le ICC 300 est conçu pour se connecter à un ordinateur universel qui exploite les données acquises.
- le ICC 200 n'a pas cet interface, à priori parce qu'il attaque uniquement une imprimante.
- le ICC 100 est plus économique parce qu'il est prévu pour des programmes plus simples et plus courts.

319 - Infotecs, Inc.

Petit système de gestion construit autour du PDP 8, 106 livrés après un an. On renvoie pour la description à l'étude de cette machine, qui est payée \$ 6995 avec 16 Kmots * 12 bits.

Périphériques : floppy 3, 8 MB, IP 125, clavier alphanumérique, écran 24 * 80 car, et une ligne asynchrone 2400 bauds.

Logiciel : langage HIBOL qui est une variante de DIBOL, et un package de petite gestion.

320 - Integrated Digital Products

Le premier produit de cette firme, le Minimate, est un compatible Nova spécialement performant parce que construit en ECL, cycle de 100 ns, avec une mémoire CMOS HM 6147.3 de Hitachi, à base de puces 4 Kbits statiques, cycle 55 ns. C'est complété par un canal d'entrées / sorties de 2,5 MB / s avec une interface TTL et un DMA à cycle de 800 ns, associé à des conversions TTL / ECL en 1 ns, ECL / TTL en 10 ns.

Alimentation : 8 A sous 5 V pour une mémoire de 64 K, batterie de sauvegarde.

Options : châssis 483 * 483 * 267 mm - Cache de disque de 512 KB baptisé MiniMeg = 8 K\$

Logiciel : IRIS, RDOS, VMOS, Bliss / Cobol

Prix : \$ 5025 pour une mémoire de 64 KB, 2 cartes - \$ 7125 pour 128 KB, 3 cartes

En 1985, la firme récidive avec un processeur 16 bits ECL de puissance 13 Mips, le Whetstone.

En fin 85, le Whetstone II est une puce RISC VLSI de 20 Mips, période 50 ns : cet ordinateur est livrable avec un délai de 30 jours pour \$ 21000.

321 - Intel et les microprocesseurs

Cette société est créée en 1968 par trois transfuges de Fairchild, avec comme objectif la production de mémoires DRAM, cad de mémoires à condensateurs, intégrées sur une puce et consultables en parallèle. Si la capacité de la mémoire est 2^n bits, la consultation se décompose en l'envoi d'une adresse de n bits, suivie de la lecture ou de l'écriture du bit ainsi pointé. De nombreuses variantes peuvent être imaginées autour de ce thème majeur, et toutes l'ont effectivement été. La propriété la plus critique d'une telle mémoire est que, du fait des imperfections des circuits, les condensateurs se déchargent, et même assez vite : il est donc nécessaire de prévoir dans des circuits associés, séparés ou inclus selon les cas, un rafraîchissement périodique de la mémoire. Celle-ci n'est viable que si l'ensemble du travail de rafraîchissement ne nécessite pas plus de 2 à 3 % du temps pendant lequel la mémoire est active. Une seconde propriété, corrélative, est que toute coupure de courant efface la totalité de la mémoire.

Enfin, troisième propriété beaucoup plus subtile, la charge d'un condensateur peut être faussée accidentellement par le passage d'un rayon cosmique. Complètement aléatoire, et modérément fréquente (une fois par jour, par exemple), cette distorsion exige que le contenu d'une telle mémoire soit garanti par une redondance convenable, permettant autocorrection des erreurs.

On pourrait penser que de tels inconvénients condamnaient sans appel la mémoire DRAM, D pour Dynamic et, dans les débuts de cette technique, beaucoup d'utilisateurs ont préféré garder la mémoire à tores, permanente et insensible à l'environnement, mais beaucoup plus coûteuse. C'est IBM qui a su voir au delà de ces impressions initiales et imposer la mémoire à semi-conducteurs dans les années 75, estimant avec raison que la fabrication en grande série par des procédés automatiques annulerait l'avantage des tores, obligatoirement câblés à la main. Mais c'est Intel qui a réellement popularisé la DRAM MOS qui matérialise cet avantage, en inventant en 1970 la puce 1103 de 1024 bits (photo).

Malgré l'importance de ce rôle, et la part considérable des revenus de Intel qui provient des mémoires, nous choisissons de ne traiter cet aspect de ses productions que de façon occasionnelle et incomplète, pour mettre l'accent sur ce qui constitue notre sujet, la définition de microprocesseurs.

En 1982, Intel était donc un fabricant de circuits intégrés parmi beaucoup d'autres, et venait d'obtenir un beau succès avec le microprocesseur 8080 travaillant sur 8 bits, dont nous étudierons d'ailleurs le cas. Pour prolonger son succès, Intel venait de définir le successeur de ce circuit, le 8086 travaillant sur 16 bits et, accessoirement, une variante 8088 compatible mais n'utilisant que 8 bits pour communiquer avec l'extérieur. Le choix de ce 8088 comme processeur du PC, Personal Computer, le nouveau calculateur d'IBM, devait être pour Intel le signal de la fortune.

IBM avait certes le monopole du PC qu'elle venait d'inventer, mais elle s'attendait à être copiée et estimait indispensable de s'assurer de sa source d'approvisionnement. A cet effet, IBM achetait pour M\$ 250 une part de 20% dans le capital d'Intel.

Le PC fut un immense succès, bien plus grand que ne l'avait prévu IBM, qui fut progressivement rejointe, puis distancée, par des concurrents qui s'astreignaient seulement à respecter rigoureusement l'architecture d'origine, elle-même fortement influencée par l'architecture interne, assez complexe, du 8088.

Ce succès énorme mit rapidement Intel, plutôt que IBM, en état d'imposer l'évolution du PC : en 1987, Intel rachetait son indépendance en payant M\$ 326 à IBM, et lançait successivement le 80286 et son coprocesseur 80287, le contrôleur 80186, le 80386 et son coprocesseur 80387, le 80486 intégrant les deux fonctions FXU et FPU, puis le Pentium dans plus de 50 versions. Sans mentionner, dans ce bref panorama, un très grand nombre d'autres idées souvent bonnes mais dont aucune ne jouira d'une notoriété comparable à celle des x 86.

C'est au début de cette période que Gordon Moore, un des membres fondateurs d'Intel, se hasarderait à énoncer, largement à titre de boutade, ce qu'on a appelé la "loi de Moore" : la puissance demandée aux microprocesseurs double tous les 18 mois, ce qui oblige l'industrie à construire tous les trois ans une nouvelle usine pour en assurer la production.

Au tournant du siècle, Intel est une puissance dans le domaine de l'informatique, en position d'imposer l'orientation que prendra, dans les mois et les années qui viennent, la production des PC : or cette production représente désormais plus de 50 millions de machines par an. Il n'est pas question de monopole, et la prépondérance de Intel est fortement combattue par cinq ou six fabricants de composants, mais c'est bien Intel qui donne le ton, les autres étant condamnés à respecter le répertoire et le schéma architectural qu'il impose, verrouillés pour l'essentiel par un immense logiciel d'applications.

La période initiale (avant 1982)

Notre historique va commencer en 1971, date de l'apparition du premier microprocesseur Intel, le 4004. Cependant, on trouvera dans la documentation le volume Intel Data Catalog 1975, très complet au point de constituer un outil de travail pour ingénieurs, dont la première moitié décrit encore les plus anciennes créations de la maison, à savoir la mémoire 1101 de 256 * 1 bit, et surtout la très célèbre 1103 de 1024 * 1 bit. Cette importante collection de fiches se suffit à elle-même.

Dans la seconde moitié de ce volume, les microprocesseurs de l'époque, 4004, 4040, 8008, 3000, sont décrits avec tous les périphériques que Intel a préparés pour eux.

Cette référence sera évoquée ci-après sous le sigle IDC 75.

Nous disposons également du System Data Catalog 1980 (référence SDC 80), qui décrit tous les produits préparés par Intel à partir des microprocesseurs 8080, 8085 et 8086 (avant le PC) pour constituer les systèmes de calcul les plus variés, ouverts sur le monde des applications à travers le Multibus.

En outre, nous disposons de nombreux documents Intel plus spécifiques, décrivant tel ou tel périphérique plus récent avec tous les détails utiles à un ingénieur. De tels documents seront référencés IF XXXX.

Le 4004 de 1971 est un microprocesseur qui traite des mots de 4 bits, réalisé en PMOS. A cette époque, on ne pouvait pas encore mettre sur une seule puce le bloc de commande et le bloc de calcul, de sorte que le microprocesseur complet comprend quatre puces : bloc de calcul, RAM de registres, ROM de microprogrammes, et un tampon de sortie en forme de registre à décalage. On peut bâtir avec cela une calculette, par exemple, ou un terminal de guichet très simple. L'important est que désormais ces possibilités sont bon marché, et peuvent justifier leur présence dans des produits de grande diffusion.

Intel n'a pas manqué d'exploiter de toutes les manières possibles le potentiel de ce jeu de puces, et le sigle MCS 4 s'applique à l'ensemble des produits et documents qui permettent cette mise en oeuvre, à l'exclusion des applications elles-mêmes. Nous disposons donc :

- d'une fiche standard, à laquelle sont jointes deux photos importantes : une photo détaillée de la puce "bloc de calcul", et une photo en couleurs de la puce 1103, susceptible d'être utilisée dans une mémoire associée à une application MCS 4.

- de 4 pages consacrées dans IDC 75 à la puce 4004 = bloc de calcul

- de plusieurs exemples d'applications, illustrés de photos
- de la description assez brève d'un ordinateur construit par Intel autour du MCS 4, l'Intel 4 de 1973. Dans un châssis de 7 * 12 * 17 " (178 * 305 * 432 mm), cette machine réunit 5 KB d'instructions et 2560 données de 4 bits, avec un poids de 12 Kg. Les entrées / sorties, fournies par des cartes d'interfaces, peuvent comprendre de 12 à 64 bits indépendants aux caractéristiques TTL. Un système d'exploitation sur ROM est inclus, un assembleur et un simulateur sont fournis, sans qu'on sache sur quoi ils fonctionnent.

Le 4040 de 10 / 74 est une reconstruction du 4004, toujours en PMOS, et ne comprenant plus que deux puces, car on n'a pas procédé à l'amélioration des entrées / sorties qui aurait permis de supprimer la puce 4003; il est entouré de composants et services formant le MCS 40. Voir fiche, IDC 75 pp 6.9 à 24. Cette puce est produite en seconde source par National Semiconductors.

De même que le 4004 est né parce qu'Intel avait un client pour lui (la firme japonaise de matériel de bureau Busicom), le 8008 a été étudié au départ à la demande de Computer Terminal Corporation, sur le point de se transformer en Datapoint. Mais plutôt que de suivre à la lettre une spécification trop strictement liée à un besoin particulier, Intel a modifié le projet pour lui donner un caractère plus universel, et ce premier microprocesseur 8 bits a obtenu un considérable succès, avec des licences de production chez Microsystems (Northern Electric) et chez Texas Instruments, et des applications à de nombreux microordinateurs, dont le Datapoint 2200 précité, et le premier Micral de R2E, en France .

Comme plus haut, on pourra distinguer entre la puce 8008 proprement dite, qui d'ailleurs n'atteint pas une qualité acceptable avant sa version 8008.1 fonctionnant à 800 KHz, et le jeu de composants et accessoires qui permettent de l'utiliser, formant le MCS 8. Une importante différence est que, dès cette date de 1972, le 8008 contient l'ensemble du processeur, c'est-à-dire bloc de commande, bloc de calcul, interface de bus 8 bits. Cependant, la mémoire est extérieure à la puce, si le multiplexage (adresse FP, adresse fp, données), y est bien inclus, de sorte que la mémoire peut être établie à toutes tailles entre 256 et 65536 bytes ; et, d'autre part, les entrées / sorties ne sont pas définies, ce qui autorisera de nombreuses variantes où les périphériques seront, ou non, adressables dans l'espace mémoire.

La documentation comprend comme ci-dessus :

- une fiche illustrée
- les pages 6.25 à 28 et 33 à 42 de IDS 75
- une série d'exemples illustrés d'applications du 8008 à des problèmes précis, de banque ou d'industrie.
- quelques indications sur le ordinateur Intel 8 défini par Intel comme aide au développement, et d'ailleurs illustré par les pages 6.43 à 47 de IDS 75. Prix \$ 2000 dans son boîtier, tout à fait semblable à celui du MCS 4.

A partir du 8008 dont on s'astreint à garder le répertoire pour ne pas périmiser les logiciels existants, Intel va ensuite développer d'autres microprocesseurs 8 bits, de plus en plus universels. On trouvera au dossier un article de la revue Computer, écrit bien après coup par les auteurs de ces évolutions, et dont l'intérêt est de décrire la démarche intellectuelle et de justifier les compromis acceptés.

Avec le premier d'entre eux, le 8080, Intel reprend l'architecture en pensant à l'avenir. Observant que la machine contient de toutes façons un registre de 16 bits, le compteur ordinal, Intel juge astucieux de grouper les registres de 8 bits par deux dans une mémoire scratchpad de 16 bits : le multiplexage qui en résulte est a priori une sérieuse complication, mais du moment qu'on parvient à réaliser les accès multiplexés sans pénaliser les durées d'exécution des instructions, c'est sans importance.

Du côté technique, il y a aussi un progrès notable : le passage de PMOS à NMOS permet de porter la fréquence des circuits à 2 MHz, ce qui décuple la vitesse globale.

Le succès du 8080 et de ses successeurs un peu plus rapides et un peu plus fiables, produits de plus en plus soigneusement pour améliorer les rendements et faire baisser les prix, a été impressionnant et durable : c'est lui qui a lancé la mode du ordinateur 8 bits de petite gestion, soutenue par l'invention du système d'exploitation CP/M de Digital Research, et d'un important logiciel, langages et applications.

La documentation est donc très étoffée :

- fiche illustrée avec nombreux détails
- les pages 6.29 à 6.42 de IDS 75, incluant le système de développement Intel 8
- la brochure commerciale illustrant des applications bancaires, industrielles et commerciales du 8080.
- et un grand nombre de microordinateurs, aisément identifiables à la présence, en colonne chaînée de la base de données, de l'indication U / Intel 8080 ou U / MCS 80.

L'ensemble MCS 80 de composants et de documents est également important. Outre les composants déjà évoqués à travers IDS 75, nous possédons les manuels Intel des circuits suivants :

- 8259 A, programmable Interrupt controller
- 8251 A, USART, programmable communication Interface - voir aussi IDS 75 p.6.39
- 8271, programmable floppy disk controller.

La floraison de calculateurs nés du 8080 devait vite inciter Intel à fabriquer pour l'OEM des "ordinateurs sur une carte", comme on disait alors, puis des ordinateurs complets :

- i SBC 80 / 10 A (1975), comprenant CPU, bus avec 1K * 8 RAM et socles pour 8K * 8 PROM, interface Multibus, 48 bits d'entrées / sorties parallèles, et un USART pour RS 232 C ou TTY. Voir SDC 80 p. 4.14 à 18 et fiche largement illustrée.

- i SBC 80 / 20.4 Single Board Computer (1977), bus avec 4K * 8 RAM et socles pour 4K * 8 PROM, interface de bus externe avec arbitre, 48 bits d'entrées / sorties parallèles, un USART à vitesse réglable pour interface série RS 232 C, 10 interruptions, 2 timers. Voir SDC 80 pp. 4.19 à 25.

- puis les ordinateurs Intellec II de deuxième génération, utilisables comme systèmes de développement mais aussi comme ordinateur complet, avec boîtier pour une carte du type précédent, cartes mémoire et cartes Multibus pour périphériques divers : voir brochure Intellec II.

Le microprocesseur 8085 et son MCS 85 annoncés en 12 / 76 constituent simplement une opération de reprise en main de la clientèle. Le microprocesseur est compatible, mais plus rapide et moins cher, il a pu être poussé à 3 MHz en standard, plus tard à 5 MHz. Intel a fait en sorte qu'il apparaisse à tout le monde que le 8085 remplace le 8080, mais la compatibilité garantie permet de ne pas remplacer les 8080 existants.

Le 8085 sera immédiatement commercialisé sous la forme de cartes OEM, SBC 80 / 04, / 05 et / 30, et introduit dans les systèmes de développement Intellec II. Un nouveau système de développement plus économique, le SDK 85, sera également proposé. Voir fiche et SDC 80 pp 4.3 à 13 et 26 à 33.

La décision d'Intel de se lancer dans la commercialisation de microcalculateurs complets donnera lieu, en outre, à une multitude de cartes contrôleurs pour périphériques complexes, également décrits dans SDC 80.

A côté de ces grands succès, Intel faisait à cette époque de nombreuses expériences, à la recherche de solutions d'avenir. On peut en citer trois :

a) le microprocesseur bipolaire 3000 : à cette époque (1974), les logiques bipolaires, et particulièrement le TTL, étaient encore beaucoup plus rapides que les logiques MOS, meilleur marché et capables de densités plus grandes. En conséquence, il semblait y avoir une place à prendre entre les microprocesseurs MOS comme le 8080 et la logique ECL non intégrable, lorsque la vitesse était importante. La solution consistait dans l'exploitation du caractère répétitif de l'unité centrale et de son jeu de registres : la famille 3000 découpait donc cette ALU en tranches de 2 bits, susceptibles d'être juxtaposées en nombre quelconque, de 16 à 32 bits par exemple. On complétait ensuite cette séquence de fragments 3002 avec un microcontrôleur 3001 et un générateur de retenue à anticipation 3303, plus toute une série de circuits moins intégrés.

La démonstration fut faite de l'efficacité du concept sur diverses émulations, et Signetics, filiale de Philips, prit la licence du 3000 et réalisa aussi quelques émulations convaincantes. Cependant, avant que le 3000 ait fait l'objet de commandes substantielles, AMD réussissait à appliquer la même idée à des tranches de 4 bits, rendant le concept beaucoup plus attrayant : le circuit AMD 2901 récupéra toutes les applications et la famille 3000 dut être abandonnée.

b) le microprocesseur hybride 2920 (1979) : le traitement du signal est une application essentielle, notamment dans tous les domaines électroacoustiques, consistant à soumettre des signaux analogiques issus de processus physiques à des transformations mathématiques complexes, fonctions du temps. La procédure consiste à échantillonner le signal, coder et mémoriser les échantillons successifs, appliquer alors la transformation aux nombres de cette liste pour créer une nouvelle liste de valeurs qui sera retransformée en un signal analogique. Connue de longue date, la méthode se heurte en général au problème de la bande passante : la méthode élimine dans le signal de sortie toutes les fréquences d'entrée supérieures à la moitié de la fréquence d'échantillonnage. De ce fait, elle est soumise à deux contraintes techniques :

- soit F la plus grande fréquence qu'on désire conserver, parce qu'on considère qu'elle est significative pour le phénomène étudié ; la fréquence d'échantillonnage ne peut être inférieure à 2F.

- dans l'intervalle de temps qui sépare deux échantillons, soit 1 / 2F seconde, l'ordinateur numérique doit exécuter un cycle complet du calcul de la transformation désirée. Plus F est grand, plus l'ordinateur doit être rapide, ce qui a souvent conduit à des architectures parallèles.

Abordant ce problème avec les techniques de 1979, Intel a sévèrement circonscrit le problème : il s'agit du problème de la synthèse vocale, qui n'est pas très exigeant en fréquence, et le filtre qu'il s'agit de créer est également assez simple, puisque le programme associé est plafonné à 192 instructions ; d'autre part, la précision de l'échantillonnage peut être limitée à 9 bits, ce qui est facile et garantit que les calculs, menés avec des nombres de 25 bits, n'introduisent pas de distorsion.

Même si le 2920 a été un succès, ce que nous ignorons, Intel a forcément conclu à l'impossibilité, au moins momentanée, d'utiliser des microprocesseurs dans la majeure partie des applications de traitement du signal. Par la suite, complètement pris par ses activités de fondateur de microprocesseurs x86, Intel ne touchera plus au traitement du signal, même lorsque ce sera devenu une industrie en soi.

c) la microprogrammation de langages de haut niveau, avec l' iAPX 432 : dès qu'une théorie des langages de programmation a émergé des tâtonnements initiaux, c'est-à-dire dès la création du langage ALGOL, des chercheurs universitaires se sont penchés sur la définition de processeurs capables de traiter directement les phrases de tels langages. La question a reçu des solutions concrètes avec les machines de Burroughs, B6500 pour Algol, B1800 pour Fortran et Cobol, mais seule l'approche du B6500 avait la bénédiction des théoriciens, parce que Algol est un langage structuré.

Par la suite, les débuts de l'intégration des circuits avaient relancé l'intérêt en suggérant d'abord l'idée d'intégrer des opérateurs de haut niveau, puis celle de construire un microprocesseur complet capable de traiter les phrases d'un langage structuré de haut niveau. En 1981 l'idée peut se transformer en actes parce que la technique d'intégration a atteint un niveau suffisant de densité, et l'opération est entreprise simultanément, et indépendamment, chez deux constructeurs : Intel et Western Digital.

L'approche d' Intel est résolument réaliste : le Département de la Défense vient de faire définir à grands frais un langage structuré d'écriture de systèmes, ADA, et a annoncé son intention d'en imposer l'emploi pour l'écriture du logiciel de ses applications majeures. Un microprocesseur comprenant le langage ADA serait donc assuré d'une clientèle de qualité ; Western Digital a d'ailleurs fait le même raisonnement et produit un ADA Microengine.

Le système iAPX 432 d' Intel se compose donc de cinq puces spécialisées qui, associées à des puces de mémoire, permettent de construire des multiprocesseurs robustes interprétant des macroinstructions produites par un compilateur associé, qui est plutôt une sorte d'assembleur d'ADA. Nous disposons d'une fiche, d'un document Intel System Summary, et d'un article dans SIGPLAN Notice 4 / 82 p 117 décrivant les relations avec ADA.

L'échec commercial qui a mis fin, dès 1985, à l'expérience 432, est probablement dû à deux causes :

- la volonté du DOD d'imposer ADA est réelle mais nullement universelle, de sorte que la pression espérée sur le marché et les clients n'a pas eu lieu.

- l'efficacité du 432 dans le domaine que lui avait défini son auteur n'est pas aussi bonne qu'il l'espérait. Plus précisément, des essais effectués à Berkeley en 1982 ont montré qu'un programme ADA donné était exécuté deux fois moins vite par un 432 que par un 68000 ou un 8086, les plus puissants microprocesseurs du marché à cette date. Même si cette remarque est plutôt un hommage à la qualité des compilateurs ADA qui alimentent les deux microprocesseurs cités, elle prouve une nouvelle fois que l'approche intellectuelle des problèmes n'est pas toujours la meilleure.

Intel peut se consoler en observant que l'ADA Microengine et le Pascal Microengine de Western Digital n'ont pas eu meilleur accueil.

Les microcontrôleurs

En dehors de cette activité créatrice, avec son inévitable part de déchet, Intel poursuivait des inventions de caractère plus alimentaire, en ce sens qu'elles étaient par nature justiciables d'une production de masse, et peu susceptibles d'échouer à trouver des clients. Ces travaux comportent :

- la réalisation de mémoires dans toutes les configurations imaginables dans l'état courant de la technologie (voir IDC 75 pour ces composants) et leur assemblage en cartes permettant à tout un chacun d'agrandir la mémoire de son ordinateur, une préoccupation constante de tous les usagers : on observera dans le document Intel Memory Systems, 1977 catalog, que Intel mord ainsi sur tous les gros marchés du moment : DEC LSI 11, DEC PDP 11/34 à 70, GE 400, CDC 6000 et, bien entendu, tous les calculateurs Intel. Le plus bizarre est l'absence d'IBM dans cette liste.

- le lancement de contrôleurs, compatibles ou non avec les 8080. C'est de cette seconde activité, appelée aussi à un immense succès, qu'on va parler ici, dans l'ordre chronologique des créations, mais sans s'astreindre à synchroniser la présentation sur l'histoire parallèle des processeurs x 86.

La première de ces créations est le MCS 48, un contrôleur compatible avec le 8080 parce qu'il est 8 bits, mais organisé différemment. Cette compatibilité a pour but de permettre au 8048 toute action extérieure possible au 8080, mais il est beaucoup mieux équipé que le 8080 pour ces actions, grâce à une structure plus riche en voies externes, et à des possibilités d'actions nouvelles sur ces voies ; en contrepartie, puisqu'il faut tenir dans les limites physiques d'une puce, le 8048 est beaucoup plus pauvre en possibilités d'adressage, notamment extérieures, c'est-à-dire que sa mémoire de programme et sa mémoire de données sont simplement des outils locaux.

La considérable variété des réalisations incluses dans le MCS 48 tient au compromis entre ces diverses possibilités, toutes astreintes à tenir à l'intérieur d'une limite de prix : le 8048 doit être bon marché. On ne doit pas se représenter ces variantes comme des étapes dans une recherche d'optimum ; ce sont simplement des adaptations ponctuelles et instantanées au marché, avec une tendance globale à la baisse du prix de vente facilitée par la baisse du prix de revient. Listing ci-après par numéro croissant :

8020 (3 / 82) Bas de gamme avec 1K * 11 bits de ROM, jeu d'instructions réduit. Prix \$ 2 par lot de 10000 pièces

- 8021 (1977) Version minimale du 8048, avec 1K ROM, 64 B RAM, 21 bornes I/O, réalisé en NMOS 5 μ . Répertoire 65 opérations, 100 KHz. Boîtier 28 broches.
- 8021 H (1981) Reprise du précédent en HMOS 1 μ , boîtier 20 broches, ce qui a conduit à réduire les I/O à 13. Existe en version 11 MHz.
- 8022 (1978) Version 40 broches du 8021, autorisant le répertoire complet du 8048 et plus proche des applications grâce à une adaptation des I/O aux besoins de l'électroménager. Prix < \$ 10. Voir fiche.
- 8022 H (1981) Reprise du modèle précédent en HMOS 1 μ .
- 8035 (1977) Version dépourvue de ROM du 8048, pour usagers ne désirant pas faire préparer leur ROM par le fournisseur. Elle est donc accompagnée d'une puce 8355 de liaison à la mémoire, dans laquelle on a introduit en prime 16 lignes d'entrées/sorties. Contient 64 B RAM, 27 bornes I/O, 96 opérations. Boîtier 40 broches. Il a existé un 8035 L pourvu d'une coupure d'alimentation automatique au delà d'un délai ajustable de non fonctionnement, un 8035.8 ralenti à 5 MHz, et un M8035L aux normes MIL.
- 8039 (1977) Le même avec 128 KB RAM.
- 8040 (1983) Version du 8048 comportant 4 K de ROM et toute la RAM en externe. Existe aussi en CMOS sous le nom de 80C40.
- 8041 (1977) Version du 8048 au répertoire allégé, 6 MHz. Il existe un 8741 avec EPROM, un 8041A amélioration légère devenue rapidement standard, et un 8041A8 détimbré à 3,6 MHz. Utilisé par Intel dans ses propres contrôleurs complexes. Fiche.
- 8042 (1980) Contrôleur pur à répertoire allégé, 2 K ROM, 128 B RAM, 18 I/O, 12 MHz. Il existe une version EPROM nommée 8742.
- 8048 (1976) Version de référence contenant 1K * 11 bits de ROM, avec adressage possible jusqu'à 4KB en externe, et 64 B RAM (adressage possible de 256 B internes et 256 B externes). Boîtier 40 broches autorisant 27 bornes I/O. Il existe un 8748 à mémoire EPROM.
- 8049 (1977) Le même avec 2K ROM (ou EPROM dans le 8749) et 128 B de RAM. Initialement à 6 MHz comme le 8048, il passera à 11 MHz en 1978.
- 8050 (1983) Version du 8048 comportant 4 K ROM et 256 B RAM. Il en existe une version CMOS nommée 80C50.

La plupart de ces circuits ont été découverts au hasard des pages de la presse informatique. La documentation Intel ne concerne que le MCS 48 en bloc et se trouve dans SDC 80, pp 12. 30 et 12. 78. A cause de ses applications industrielles, le 8041 a droit, lui aussi, à une documentation spéciale pp 12. 26 / 9. On trouvera aussi dans la documentation un article tiré de la revue Computer, étude critique de l'architecture par un praticien.

Le succès du MCS 48, dont tous les grands fondeurs mondiaux ont pris la licence, convainc Intel de la validité de la formule et en 1980, la société annonce le 8051 ou MCS 51, qui va en quelques années supplanter complètement le MCS 48 et s'imposer pour 20 ans. La différence principale réside dans la séparation complète des filières : alors que le MCS 48 était né comme un avatar du 8080, et avait servi d'ailleurs à étoffer sa gamme de périphériques, le MCS 51 est un contrôleur 8 bits à une époque où les processeurs de calcul sont en train de passer à 16 bits, et n'ont plus besoin de ce soutien.

Le nouveau 8051 se veut compatible avec le 8048, pour conserver les logiciels existants, mais il est plus riche en mémoire, adressant 64 KB en externe aussi bien pour le programme que pour les données, et son répertoire est enrichi de multiplication et division, et aussi du côté des périphériques standards, UART, timers.

Née en NMOS comme le MCS 48, la famille ne tardera pas à passer au CMOS (1983), et la variété des versions, délibérément acceptée pour répondre à la variété des applications, devra chercher une meilleure nomenclature que des variations arbitraires sur les deux derniers chiffres. On la trouvera dans la fiche.

Les numérotages qui ne commencent pas par 51 correspondent à des études spécifiques.

On peut en citer trois :

a) Le 8044 est le CPU du Bitbus, un produit industriel économique pour lequel on a construit un triplet de versions selon nomenclature connue : 8044 à base de ROM, 8744 à base d'EPROM, 8344 à mémoire de programme externe. Puisque le 8044 va servir de véritable processeur à l'application Bitbus, on y trouve 4K mots de mémoire programme, 192 B de RAM, des compteurs, un contrôleur d'interruptions, un bus d'extension mémoire et une interface SDLC. Le programme est normalement préenregistré et se compose du système d'exploitation iRMX 51 avec la tâche réseau ; le tout tourne à 12 MHz.

Présentation DIL 40 broches, débit 2,4 Mbits / s.

Le contrôleur iSBX 344 comprend, en plus du 8044, une mémoire externe de travail, une interface série, une interface parallèle, et un logiciel de diagnostic en mémoire morte.

Le contrôleur RCB 44 / 10 utilise le précédent pour la connexion de 24 voies numériques.

Le contrôleur RCB 44 / 20 utilise le SBX 344 pour la connexion de plusieurs voies analogiques, avec résolution 12 bits.

b) Le 8052 AH est la combinaison d'un 8051 et d'un logiciel Basic élémentaire de calculette (VF sur 8 chiffres) inscrit sur 8 KB dans une ROM intégrée (1985).

c) Le 8061 est spécialement construit pour le système EEC IV des voitures Ford installé à la demande à partir de 1984. C'est un HMOS 16 bits fonctionnant sous 5 volts, associé à un circuit 8361 contenant 8 K ROM et 128 B RAM. Le CPU fonctionne à 15 MHz, avec une boucle de programme de 2 ms, et peut délivrer des impulsions de commande pour des moteurs à impulsions avec une précision de +/- 2,5 µs.

Très vite apprécié dans le monde entier, le MCS 51 deviendra une norme pour les contrôleurs 8 bits, et captera 20 % de ce marché, avec des licences 80C51 chez Matra MHS, Philips, Oki, et bien entendu Intel aux USA. Le gros de cette fourniture est en 1992 en CMOS 0,8 µ. Pour donner un exemple français, la production de Matra MHS est en 91 de 80000 tranches, 110000 en 92, 120000 en 93. La production de l'année 1993 est de 126 millions d'exemplaires, dont 47 millions chez Intel (y compris un reliquat de 8048).

Observant que Philips annonce un 80C51XA qui se présente comme une extrapolation 16 bits compatible du 80C51, beaucoup plus rapide (30 MHz, 3 clock / instruction au lieu de 12, multiplication 16*16 en 400 ns), Intel décide de rajeunir le concept.

Le MCS 251 est un 8 / 16 bits compatible, avec un pipeline à trois niveaux et un adressage 24 bits. Voir fiche. La licence est vendue à Matra MHS.

Pour compléter ce tableau, on peut noter que Intel a lancé, dès 1982 mais avec prudence, un MCS 96 à mots de 16 bits, relativement cher (40 à 100 \$), qui a progressivement trouvé une clientèle. Il donnait déjà lieu à de multiples versions avec la 2ème génération NMOS de 1984, mais le passage au CMOS a provoqué un choc et la 4ème génération à 16 MHz se vend très bien.

Intel et le PC

Quand Intel décide de créer un microprocesseur 16 bits, il n'a pas d'autre projet que de prolonger le succès du 8080. Les seuls calculateurs 16 bits existant à l'époque sont des minicalculateurs destinés au temps réel ou à des applications industrielles, et nul n'envisage que le public puisse s'intéresser à cette classe de machines, a priori beaucoup trop coûteuses.

Le nouveau 8086 doit donc être compatible 8080 et cette exigence pèsera longuement sur les machines qui en seront issues. Intel a constaté que l'essor du 8080 s'est fait sans son intervention, mais n'ose espérer qu'il en sera ainsi une seconde fois, et décide d'aider la chance : non seulement il proposera la puce 8086 et les périphériques indispensables (chipset) dans un MCS 86 appuyé sur un système de développement Intel II, mais il produira lui-même des cartes OEM, puis des microordinateurs temps réel.

Intel constate rapidement que ses clients éprouvent une certaine réticence à s'engager dans la voie du 16 bits : il y a certes une part d'inquiétude face au changement, mais le principal argument est le bus 16 bits, pour lequel il n'existe à cette époque que très peu de périphériques, et qui constitue a priori une source importante de dépenses. C'est pour combattre cette inquiétude que Intel crée, très rapidement, le 8088 qui communique avec le monde extérieur par un bus 8 bits traditionnel.

Et là, surprise et inquiétude : IBM choisit le 8088 comme processeur de son nouveau microcalculateur, le PC, et Intel constate immédiatement que sa clientèle se coupe en deux catégories :

- les fidèles, intéressés par les applications industrielles de plus en plus puissantes. Pour eux, Intel va développer les cartes OEM, s'appuyer fortement sur un grand nombre de petits industriels qui produisent des cartes Multibus, et finalement se résoudre à devenir lui-même fabricant de minicalculateurs, les S86 / 3XX, avec toutes les difficultés résultant d'un métier nouveau, car il faut doter ces minis de systèmes d'exploitation et de logiciels.

- les nouveaux, qui arrivent dans le sillage d'IBM et veulent un calculateur universel. Inconvénient grave : en plus de pousser Intel dans un métier nouveau et peu familier, ces clients n'envisagent pas d'utiliser les services Intel pour le logiciel.

Intel va donc, et pendant plusieurs années, se trouver pris entre son métier de base qui se développe régulièrement mais lentement, et un métier nouveau qui explose mais le rejette dans une position subalterne, d'autant plus que la rébellion est rendue impossible par les 20% du capital que possède IBM. Dans cette position inconfortable, tout l'effort de Intel portera d'abord sur la sauvegarde de son activité classique.

De cette époque, nous possédons une importante documentation :

Document Intel 8086 / 8086.4, 16-bit HMOS Microprocessor, 13 pages. Voir aussi l'article de Computer, déjà cité, où les concepteurs du 8086 justifient leurs choix.

Document Intel 8087.3 Numeric Data Processor, 19 pages. Le coprocesseur est à cette époque proposé solidement avec le microprocesseur 8086 ou 8088, sous le sigle iAPX 86 / 20 ou 88 / 20.

Document Intel 8089 8 & 16-bit HMOS I/O Processor, 14 pages. On trouvera aussi au dossier un article de Computer où le créateur de ce composant examine diverses manières de l'utiliser.

Document Intel 80130.2 Operating System Processor, 20 pages, est un système d'exploitation sur ROM vendu solidement avec le microprocesseur sous les sigles iAPX 86 / 30 ou iAPX 88 / 30.

- Carte OEM iSBC 86 / 12 A pour châssis Multibus, contenant 32 ou 64 KB de mémoire, des socles pour 16 ou 32 KB d'EPROM, contrôleur d'interruptions, USART, et 24 bits d'entrées / sorties. Document IDC 80 pp 4. 34 à 41 avec photo.
- Système de développement : voir IDC 80 pp 12 / 5 à 25, 45 à 51, 80 à 90, et 13 / 10, 11.
- Brochure Intel Preview, reprenant en une synthèse commode (en anglais) la plupart des informations ci-dessus, et contenant notamment une photo de la puce 8086.
- Brochure "Les concepts Systèmes", en français, est une collection d'articles bien illustrés publiés par A. Sabatier, ingénieur chez Intel, dans diverses revues françaises en 1979.
- System 86 / 330A (1982) : brochure Intel de 8 pages proposant un système complet sous RMX 86.
- System 86 / 380 (1982) : brochure Intel de 8 pages proposant un système complet sous RMX 86.
- System 86 / 380 X (1982) : brochure Intel de 8 pages proposant un système complet sous Xenix. Ces 3 brochures extrêmement semblables décrivent des produits OEM très proches, comprenant 8086 avec coprocesseur, 35 MB de disque Winchester, un floppy disk de 1 MB, un système d'exploitation et des langages. Tous sont présentés en châssis comportant des réserves de place pour des extensions Multibus.
- Guide de configuration des systèmes microordinateurs, document en français sur l'organisation des châssis Multibus et sur la collection des cartes disponibles., 36 pages très illustrées.
- Multibus OEM Products, 1983 Configuration guide. Ce document en anglais contient la même chose que le précédent, plus tous les produits encore commercialisés correspondant aux MCS 80 et 85. On y trouve notamment les coprocesseurs 8 bits 8231 (DP en fixe, VF, trigo) et 8232 (VF IEEE) créés tardivement pour les besoins des microcalculateurs 8080 et 8085.
- Brochure Intel en français, Le microordinateur 310 (1983) : ce microordinateur ne diffère des précédents que par une forme différente, en largeur, et par l'apparition de la carte iSBC 286 / 10 qui peut, le cas échéant, prendre la place de la carte normale iSBC 86 / 30 .

Cet effort considérable n'aboutit pas au résultat espéré par Intel, car la vague du PC emporta tout. Pendant cinq ans, Intel s'efforça de maintenir ses activités traditionnelles, tout en répondant à la pression de ses clients principaux, les fabricants de PC, qui voulaient toujours plus de puissance de calcul. A ces derniers on offre le 286, tout en essayant d'intégrer ce microprocesseur dans les minicalculateurs pour Multibus, et en même temps on crée aussi le 186 et le 188 pour soutenir la demande de contrôleurs de haut niveau.

Puis vient l'heure des choix : le succès de Intel est si grand que la société s'enrichit rapidement, au point de pouvoir racheter sa liberté. Mais une part importante de cet argent doit être réinvestie immédiatement dans les usines de composants dont les coûts sont vertigineux. Finalement la situation est claire et la décision ne peut plus être différée : la fortune d'Intel vient de son métier de fondeur, et les activités commerciales portant sur des cartes Multibus sont marginales. Intel consacrera donc l'essentiel de son effort à la création de composants, dans trois directions:

a) les mémoires, dont la demande croit de façon vertigineuse, et qui exigent autant d'efforts de pointe que les microprocesseurs ; la loi de Moore ne laisse dans ce domaine aucun repos aux fondeurs majeurs et exige d'eux la construction d'une nouvelle usine tous les deux ou trois ans, trois ou quatre fois plus chère que la précédente. Dans ce domaine, il faudra se résoudre à des alliances, le prix des usines ne pouvant plus être supporté par une seule firme.

b) les microprocesseurs x 86, c'est-à-dire pour PC, où Intel est leader reconnu et ne peut accepter de céder du terrain, alors que deux ou trois concurrents s'efforcent de lui ravir la primauté. Intel parviendra à tenir son rang jusqu'à l'échéance arbitraire que nous nous sommes fixés, mais sans pouvoir empêcher l'essor de plusieurs concurrents dans des directions divergentes : marchés très substantiels du Power PC, des Sparcs, des MIPS, des DSP de toutes natures ; ni même la prospérité d'autres concurrents dans son propre domaine, celui du PC, que grignotent les AMD, Cyrix et autres IDT. Mais les besoins sont si grands que chacun de ces concurrents survit plutôt bien et que Intel continue à s'enrichir ; et surtout, c'est toujours Intel qui définit le sens de l'évolution du PC.

c) les contrôleurs, en deux catégories : les bas de gamme qui sont pratiquement une formidable rente de situation, en ce sens qu'ils n'ont pas besoin des usines les plus modernes pour sortir en masse des produits pour automobiles et appareils électroménagers. Et les hauts de gamme, qui utilisent les mêmes usines que les x 86 mais n'absorbent qu'une petite fraction de la capacité de production.

Dans le domaine a, l'activité d'Intel reste importante, et on lui doit en particulier l'introduction très réussie des mémoires mortes du type flash, qui ont progressivement remplacé toutes les formes de PROM et d'EPROM. D'autre part, Intel tient son rang dans les productions toujours plus massives de SRAM et de DRAM, dans toutes les variantes qu'exigent les débits vertigineux des derniers processeurs, frôlant le Gigahertz au tournant du siècle ; une usine de mémoires au dessin de 0,5 µ, qui correspond aux puces de 16 Mbits, vaut un milliard de dollars.

Un autre domaine où Intel a fait figure de pionnier est la mémoire à bulles, complètement mise au point, effectivement commercialisée (voir configuration guide 1983, iSBC 254S), intégrée dans RMX 80 et 86, et abandonnée seulement devant l'indifférence des clients.

Dans les domaines b et c, nous allons suivre l'évolution dans tous ses détails .

De 1979 à 1982, la technique a fait de tels progrès qu'il est désormais possible de rassembler dans un centimètre carré, la surface qui correspond à un rendement de fabrication optimum, un microprocesseur à peu près complet. Cet "à peu près" laisse tout de même une option à Intel qui essaye les deux branches de l'alternative :

- utiliser les marges pour améliorer les performances et ce sera le 80286.

- regrouper autour du noyau 8086 tous les périphériques indispensables à l'architecture PC, le chipset, et ce sera le 80186, ou sa variante à bus 8 bits, le 80188. En pratique, on n'est pas encore en mesure de réaliser un chipset sur une seule puce, il y aura donc des choix à faire.

Intel aurait souhaité que le 80188 succédât au 8088 dans les PC, et avait tout préparé à cet effet, espérant valoriser pendant ce temps sa gamme de minicalculateurs temps réel avec le 286. Mais les fabricants de PC préféraient passer directement du 8088 au 80286 comme processeur principal, pour offrir un substantiel saut de puissance à leurs clients ; Intel devra donc trouver au 186 d'autres applications, et en fera un contrôleur de périphériques (fiche, document Intel) qui aura une longue carrière, 1982 / 95 .

Avec le 286 apparaissent des problèmes d'adressage qui sont une des plaies des PC : une première frontière à 640 KB sépare la mémoire "interne" de la mémoire "externe", et cette frontière est complètement artificielle mais stricte, obligeant le système d'exploitation à des distinctions byzantines. Sur le long terme, on ne réglera ce problème qu'en rejetant toute l'activité des usagers au delà de 640 KB, réservant la mémoire interne au seul système d'exploitation.

La deuxième frontière, imposée par la compatibilité logicielle, crée deux modes de travail pour le 286 : un mode compatible à adressage 20 bits, et un mode protégé où des adresses virtuelles de 30 bits sont appliquées sur un espace réel de 16 MB (adresses 24 bits). Cette distinction et les solutions apportées par Intel sont expliquées en détails, en français, dans la fiche 286, et en anglais dans le document Intel.

Ces divers problèmes se posent à l'utilisateur à l'occasion du "set up", au début du chargement du système d'exploitation MS / DOS. Heureusement pour lui, le système propose une solution s'il ne sait pas quoi faire ; après quoi, l'utilisateur ne perçoit plus ces barrières qu'indirectement, quand l'une d'elles empêche l'implantation d'une application par ailleurs parfaitement saine.

La deuxième particularité du 286 est que son bus d'entrées / sorties est 16 bits : il n'y a pas de 80288 à bus 8 bits. Avec cette machine on passe donc du PC / XT, nom donné après coup à la version initiale, au PC / AT, beaucoup plus puissant dès lors que son interface 16 bits est prise en compte par le système d'exploitation. Le 80286 n'est d'ailleurs pas obligatoire sur ce point, et certains fabricants de PC proposeront des machines à base de 8086.

Dans les PC, le 286 est souvent accompagné du coprocesseur arithmétique 80287, spécialement conçu pour lui, légèrement plus lent que le 8087 pour la simple raison que le bus est plus complexe ; le 80287 est soumis à toutes les contraintes d'adressage du 80286. A cela près, la structure interne reprend celle du 8087.

La compétition n'a pas tardé à s'appliquer au 80287 comme au 80286, et s'est manifestée dans les prix : le prix public du i287XL est passé en 6 / 91 de 1920 à 583 FHT, car il existait un AMD 287XL à 990 F et un Cyrix 82587 à 880 F. Ces chiffres donnent une idée des marges pratiquées dans le commerce des composants.

Dans son domaine OEM, Intel a très tôt introduit le 80286 et son coprocesseur, version 8 MHz, dans le minicalcateur 286 / 310 proposé avec le système d'exploitation Xenix, ou avec RMX 286 pour les applications temps réel .

Fin 85, sous la pression de la clientèle, de la concurrence et de la loi de Moore, qui ne sont bien sûr que des aspects divers de la même chose, Intel annonce le 80386 et son coprocesseur, le 80387. Le changement majeur est que Intel est maintenant entièrement tourné vers le PC, séparant définitivement ses créations pour le PC de ses créations pour le temps réel, désormais concrétisées par deux microprocesseurs RISC, le i960 et le i860 dont nous parlerons ailleurs.

Le 386 est un ambitieux pas en avant, pour trois raisons :

- d'abord c'est un vrai 32 bits, cette largeur s'appliquant au bus comme à tout le bloc de calcul.

- ensuite il est largement "concurrent", comme on dit en français, c'est-à-dire que plusieurs de ses parties fonctionnent simultanément : bus, préchargement, bloc de commande, bloc de calcul . Résultat, il est rapide : un test comparatif, portant sur 10000 mpy / div, a donné 156 ms pour le 386 à 16 MHz contre 244 ms pour un Motorola 68020 à 16 MHz.

- enfin il généralise le mode protégé au point de pouvoir modifier, essentiellement par hardware, tout l'environnement à chaque changement de tâche. Le 386 n'est plus dépendant du seul MS / DOS et de son extension Windows, il peut passer à Unix ou Xenix à tout moment.

Accessoirement, en mode réel, il exécute les programmes 8086 bien plus vite que le 8086 lui-même.

A côté de lui, le 387 est beaucoup plus ordinaire, reprenant l'architecture du 80287 très fortement microprogrammée, et présenté en boîtier 68 broches, consommant 150 mA. Les performances qui suivent, exprimées en nombre de clock pulses (CP), sont significatives parce que la concurrence, notamment Cyrix, a pleinement réussi à mieux faire. Les deux chiffres correspondent au cas particulier d'un opérande nul suivi du cas général d'un opérande non nul:

F2xm1	167 / 410	Fcos	122 / 680	Fatan	250 / 420
Ftan	162 / 430	Fsin	121 / 680	Fsincos	150 / 650
Fy12x (log ₂)	99 / 436	Fy12xp1	210 / 447	Fsqrt	97 / 111
Fabs	14 / 21	Fld	7 / 12	Fstp	7 / 11
Fadd	12 / 26	Fmul	17 / 50	Fdiv	77 / 80

Les prix pratiqués initialement étaient exorbitants : 3353 FF à 16 MHz, 3808 FF à 20 MHz, 4792 FF à 25 MHz, 5855 FF à 33 MHz. Après l'annonce Cyrix, en 6/91, tous ces prix ont été ramenés à 1761 FF.

Ce qui est consternant - au seul plan des principes - est que personne, et certainement pas les usagers, ne réclamait ce saut de 16 à 32 bits, et que les fabricants de PC n'étaient pas prêts à prendre un tel virage : système d'exploitation et applications restaient résolument 16 bits, et les magnifiques progrès du 386 demeuraient inutilisés.

Aussi Intel ne tarda-t'il pas à diversifier son offre :

- le 386 DX (1987) est le système complet, destiné aux serveurs et machines exceptionnelles utilisant réellement l'architecture 32 bits. Il travaille avec un 387 DX. Il consomme 550 mA en 33 MHz ; construit en logique dynamique, il ne peut être utilisé en dessous de 8 MHz, et y consomme encore 130 mA.

Comparaison : le 386 d'AMD utilise une logique statique, ce qui coûte quelque 5000 transistors de plus et 10% de surface supplémentaire : à 33 MHz, il ne consomme que 400 mA. Réalisé en CMOS 0,8 μ, il est proposé en deux versions : DX pour compatibilité, et DXL qui est spécialement testé pour s'assurer qu'il garde la mémoire quand on coupe la synchro. Il est proposé en PGA 132 broches ou en quadflat soudable, 40% plus petit.

- le 386 SX (1987) est une version simplifiée qui se borne à assurer la compatibilité, améliorant les performances par le simple accroissement de fréquence de travail à 16, 20, 25 et finalement 33 MHz. Ce produit sera sévèrement concurrencé par un produit AMD de même nom quoique différent, fabriqué sans licence et vendu sans royalties : cela provoquera un procès que Intel perdra, l'argument étant qu'on ne peut breveter un numéro.

Le coprocesseur 387 SX adapté est le même que le 387 de base, mais ralenti par les simplifications du bus. Les relevés de performances exprimés en CP permettent la comparaison :

F2xm1	211 / 476	Fcos	123 / 772	Fatan	314 / 487
Ftan	191 / 497	Fsin	122 / 771	Fsincos	194 / 809
Fy12x (log ₂)	120 / 538	Fy12xp1	257 / 547	Fsqrt	122 / 129
Fabs	22 / 22	Fld	14 / 14	Fstp	12 / 12
Fadd	23 / 31	Fmul	29 / 57	Fdiv	/ 88

Les prix initiaux étaient 2979 FF pour 16 MHz, 3238 FF pour 20 MHz ; après l'annonce Cyrix de 6/91, ils tombent à 877 et 995 FFHT, respectivement.

- le 386 SL (1990) destiné aux portables englobe dans la puce des services comme un contrôleur de cache L2 (2ème niveau), une interface de coprocesseur, une interface de bus ISA, un MMU, et surtout une logique d'économie d'énergie. Son prix de \$ 176 par lot de 1000 est très compétitif.

- c'est à cette même époque que Intel sort la puce 82360, un chipset performant à \$ 45, adapté au bus ISA des PC / AT. Désormais la compétition pour les PC englobe le chipset, et chaque nouveau microprocesseur sera accompagné de un ou plusieurs chipsets selon les mémoires utilisées.

A cette époque, IBM essaie encore de forcer le marché à la suivre en proposant ses propres PC, les PS2, avec un bus particulier nommé MCA (Multichannel) ; Intel flatte cette ambition en offrant un chipset 82310 à trois puces pour ce bus.

Le combat pour le marché des PC tourne à l'aigre lorsque IBM, client naturel de Intel, annonce ostensiblement, en 1992, qu'elle ne produira plus de PC à base de 386, pour se consacrer au 486 de Intel : elle juge ce microprocesseur dépassé et indûment tiré vers le bas par AMD, désormais fournisseur majoritaire. Mais un bon nombre de clients, dont les modestes ambitions sont satisfaites par le produit trafiqué qu'on leur offre sous le numéro 386, continuent à le réclamer .

Moyennant quoi, toute honte bue, Intel va continuer à produire et à vendre des 386 SX33, des 386 CX pour portables et même un nouveau 386 EX qui ne dépasse pas 25 MHz, mais qui porte presque tout son chipset sur la puce pour le prix imbattable de \$ 39/pièce en lots de 5000.

Le 386 est le dernier processeur de PC pour lequel Intel, qui ne veut absolument pas entrer dans la compétition des PC, a essayé de la contourner par le biais de l'OEM et du Multibus.

1988 : version 301 Z à 16 MHz du minicalculetur OEM déjà connu en 8086 et 80286. Photo dans la fiche 386.

Version 302/25 représentant dans cette gamme une nouveauté, notable par sa puissance.

1989 : mise en forme de cette proposition OEM avec un 300 SX à 16 MHz, un 302/20 à 20 MHz, et un 303 à 33 MHz.

Annnonce de systèmes complets, c'est-à-dire où Intel se risque à proposer aussi logiciel et périphériques : le 120 qui est un vrai PC/AT, le 320 centré sur un Multibus I, et le 520 qui peut grossir jusqu'à un quadriprocesseur Multibus II.

La carte OEM iSBC 86/133 est une carte Multibus II contenant 386/33, 387/33, deux socles EPROM 32 broches autorisant jusqu'à 2 Mbits, 16 MB de mémoire DRAM, un cache 64 KB, un socle LBX II, un DMA 82258, et la possibilité d'enficher un CSM002, gérant de bus.

1990 : Annonce d'un contrôleur 80376, 32 bits, qui se présente comme un 386 dans un flatpack portant 4*25 broches à souder. Cette puce délibérément modifiée dans son emboîtement pour ne pas évoquer le PC peut pourtant travailler avec un 387 SX et le chipset 82370 groupant DMA, contrôleur de DRAM, contrôleur d'interruptions, wait state control, et contrôleur de bus ; mais elle ne supporte pas le mode AT.

Ce 376 travaillera couramment avec l'EPROM 27C203, 16K*16 bits synchrone, capable de rafales à 20 MHz avec un préavis d'adresse de 45 ns, livrable en DIP 40 broches ou PLCC 44. Logiciel RMX 386, émulateur in circuit ICE 386.

1992 : Bizarre incursion de Intel dans un domaine extérieur à sa compétence, sous la forme d'un jeu de composants destiné à des stations de CAO bas de gamme, en fait des PC avec vidéo spéciale. Ce jeu comprend un boîtier 132 broches regroupant un 386 DX et un 387, et un boîtier 68 broches qui prend place sur le socle coprocesseur pour gérer les exceptions. L'économie serait de 25 à 65% par rapport aux versions standard de ces composants, mais au profit de qui se fait cette opération, baptisée Rapid CAD, que Intel n'est pas en mesure de diriger ?

1994 : un coup d'oeil sur le marché OEM, à travers un catalogue de tarifs, indique que Intel se désintéresse désormais du Multibus II qui essaye vainement de s'introduire dans le domaine PC, et se borne à proposer une grande variété de cartes iSBC 386/12/21/22/24/28/31/32/34/38 qui visent le marché toujours vivace du Multibus I.

A l'issue de cette période, comme le souligne l'observation de 1994, Intel doit se résigner à constater qu'il a changé de métier, et qu'il est impossible de travailler avec les mêmes matériels pour le PC et en dehors de sa filière, car les exigences des clients sont incompatibles. Intel choisit de se diversifier.

Le microprocesseur 486

Pure conséquence du progrès technologique, le 486 rassemble sur une puce un 386 DX, un coprocesseur à peine moins complet que le 387DX, et un cache 8 KB. Il n'y avait aucune urgence à le mettre en service sur les PC, mais Intel l'introduisit, sitôt prêt, sous la forme d'une carte OEM SBC 486/12 à 25 MHz, dans sa collection Multibus I.

Seulement l'offensive d'AMD sur le 386, et la prise de position d'IBM, contraignirent Intel à annoncer dès 1989 un 486 pour PC, dans une version 25 MHz rapidement suivie d'une version 33 MHz, et même d'une version 50 MHz qui dut être retirée rapidement pour cause de surchauffe.

Le prix de la version 33, de loin la plus répandue, ne décroîtra que très lentement : de 700 \$ au départ, il descendra à \$ 283 au 4ème trimestre 93, \$ 272 au début 94, \$ 261 au 2ème trimestre 94. Elle équipe tous les modèles de premier rang de tous les fabricants de PC, qui en exaltent les performances par un important cache de deuxième niveau.

Pour profiter de l'auréole 486, le plan de Intel prévoyait ensuite un P23, nom de code annoncé d'un 486 débarrassé de son coprocesseur, doté d'un cache de 2 KB seulement, et vendu 350 \$ en version 33 MHz, soit la moitié du 486 DX. Le coprocesseur était livré séparément, sous le sigle 487.

L'arrivée d'AMD, vendant des puces 386 en les baptisant 486 (puisqu'on ne peut breveter un numéro !), obligea Intel à changer de politique. Le P23 fut abandonné, et en 1991, Intel annonça le 486 SX : c'est un 486 normal dont le coprocesseur a été inhibé, et qui est vendu à vil prix, la fréquence initiale de 20 MHz étant telle que les plus médiocres puces passaient les tests. Les fabricants de PC lui associaient un 487 sur le socle de coprocesseur d'une carte mère passe-partout, la même que pour un 386 : le prix du SX de Intel justifiait cette aberration. Ce prix tombera à \$ 121 au 4ème trimestre 93, à \$ 113 au 2ème trimestre 94.

D'autres, et notamment IBM, n'ayant qu'un seul socle, y placeront le 487SX, qui est en réalité un 486DX complet utilisé à 20 MHz, au prix de 799 \$ ou 4700 FFHT.

La politique de Intel consistera à augmenter lentement la fréquence jusqu'à 33 MHz en 93, tout en abaissant la tension d'alimentation à 3,3 volts et en intégrant un circuit d'économie d'énergie. D'autre part, une large publicité sera donnée à des tests, que reprendront les bancs d'essai de la presse informatique, pour discréditer les faux 486 d'AMD et maintenir une impression de qualité Intel : ce sont d'abord les mesures iComp de Intel, vite relayées par les Spec92 d'une méthode normalisée.

Intel étudiait aussi, et annonçait un P24 qui devait se composer d'un FXU avec un cache 128 KB, mais sans le coprocesseur rejeté à l'extérieur ; prix prévu \$ 550. Cette formule aussi fut finalement abandonnée et, en 3 / 92, Intel annonçait le 486 DX2 à doubleur de fréquence : laissant le bus et toute la partie services et I/O à la fréquence de base fournie par l'extérieur, bloc de calcul et bloc de commande utilisaient une fréquence double, grâce à un bus interne révisé capable de 105 MB / s. Ainsi le DX2 / 50 recevait de l'extérieur du 25 MHz et délivrait 22 Mips, vendu \$ 550. Le DX2 / 66 , attaqué en 33 MHz, délivrait 297 iComp, ou mieux 39,6 Specint92, 18,8 Specfp92.

Le DX2, qui contient FPU et FXU comme le DX original, sera normalement utilisé comme CPU dans un PC récent ; il peut aussi être acheté séparément et prendre dans une "vieille" machine 486 SX la place du coprocesseur, fonctionnant alors comme "overdrive" à la place du CPU original qu'il inhibe.

Enrichi dès 93 de dispositifs d'économie d'énergie, le DX2 / 66 sera vendu \$ 463 au 4ème trimestre 93, 440 \$ au début 94, \$ 360 au 2ème trimestre 94.

Fin 92, le 486 SL est une version 3,3 volts pour portables, incorporant une procédure d'économie d'énergie par passage en veille pendant les périodes de non travail ; il travaille en association avec le chipset 82360 SL, qui dispose d'une mémoire propre, inaccessible au système d'exploitation : il y note l'état de tous les périphériques et celui du système, et si un périphérique reste inutilisé, signale la chose au CPU qui se place en mode SMM de veille. Il peut aussi agir sur la fréquence d'horloge.

Cette version n'aura qu'une vie assez courte, puisque ce même système sera introduit, à partir de 1993, dans les DX33, SX33 et tous DX2 qui pourront donc accéder aux portables.

En 3 / 94, Intel annonce le 486 DX4, qui n'est malgré son sigle qu'un tripleur de fréquence. Réalisé en CMOS 0,6 μ , ce microprocesseur qui intègre un FPU et un cache 16 KB, ainsi que le dispositif d'économies d'énergie du SL, travaille à 75 MHz s'il reçoit du 25 MHz, et à 100 MHz s'il reçoit du 33 MHz. Prix respectifs 475 et 580 \$. Performance du DX4 / 100 : 435 iComp = 54,6 Specint et 26,9 Specfp92. Peu après, un SX2 doté d'un cache 8 KB commun et fonctionnant sous 5 V remplaçait les SX 25 et DX33.

En résumé, le 486 a eu une histoire très mouvementée et pas du tout conforme aux prévisions de ses auteurs, bien qu'il s'agisse au départ d'une simple extrapolation, techniquement réussie, d'un 386 lui-même très efficace. Mais c'est l'histoire d'un succès, si l'on songe que plus de 20 millions de puces 486 ont été vendues par le seul Intel en 1993, par exemple.

Le Pentium

Puisqu'on ne peut breveter un numéro, Intel renonce à nommer 586 son compatible suivant, et annonce un Pentium, penta signifiant 5 en grec. Ce nouveau microprocesseur, dans sa première version connue sous le nom de code P5T, est dessiné en 0,8 μ et comprend 3,1 M transistors dans une énorme puce de 2,95 cm², fort peu propice à un bon rendement de fabrication.

La structure comprend deux pipelines d'exécution des instructions en virgule fixe, 5 étages chacun, dont l'un sait tout faire, tandis que l'autre ignore les décalages : le cache d'instructions alimente par un large bus de 256 bits les tampons de prédécodage qui distribuent les instructions vers les deux pipelines en tenant compte de cette contrainte.

Un FPU largement simultané, câblé pour les opérations de types add et mpy, microprogrammé pour les autres, est juxtaposé à ces deux FXU mais partage le jeu de registres.

Un opérateur de prédiction de branchement réduit le temps de branchement à une CP si la prédiction est exacte, à trois ou quatre dans le cas contraire. Les opérations de bus, initiées par les deux caches indépendants de 8 KB (4 lignes, 256 colonnes pour I, 2 lignes et 512 colonnes pour D, blocs de 64 bits), sont complètement simultanées et travaillent par blocs.

Peu pressé de remplacer le 486 qui se vendait bien, Intel retarda l'annonce du Pentium jusqu'à ce que ses concurrents commencent à le gêner, de sorte que l'avance des modèles 60 et 66 MHz du P5T était notablement grignotée dès leur sortie en 1993. Cependant, le délai avait été utilisé pour mettre au point le processus 0,6 μ et un dessin légèrement amélioré, le P54C, qui pourra être annoncé dès 1994 en versions 90 et 100 MHz, lançant véritablement le produit. Les performances sont les suivantes :

Modèle 60 MHz à bus mémoire 30 MHz : iCOMP = 510, et 60,6 / 55,1 Spec92 - \$ 818 en fin 93, 793 au 1er trimestre 94, \$ 675 au 2ème trimestre, éliminé ensuite.

Modèle 66 MHz à bus mémoire 33 MHz : iCOMP = 567, et 64,5 / 56,9 Spec92 - \$ 898 / 871 / 750 dans les mêmes conditions.

Modèle 75 MHz pour portables (10 / 94) : bus mémoire 50 MHz, alimentation 3,3 volts.

Modèle 90 MHz à bus mémoire 50 MHz : iCOMP = 735, et 90,1 / 72,7 Spec92 - débute à 849 \$

Modèle 100 MHz à bus mémoire 66 MHz : iCOMP = 815 - débute à 995 \$ en lots de 1000.

Les versions 60 et 66 MHz disparurent rapidement après cela, et le Pentium commença une carrière très réussie, même si la concurrence ne mit pas longtemps à offrir des compatibles: 7 millions de pièces ont été produites en 1994, dont 3 millions vendus avec leur carte mère. Ce chiffre doit être relativisé en examinant les ventes des divers processeurs, au plan mondial, en 1994 : 34% de 486SX, 29% de 486DX2, 14% de 486DX, 9% de Pentium, 7% de 68XXX, 3% de 386, 2% de 486DX4. Plus des deux tiers de ces processeurs ont été fabriqués par Intel.

La supériorité reconnue du Pentium sur ses concurrents provient en partie de l'existence d'un chipset Intel, le 82430FX Triton, en quatre composants :

- le principal 82437FX est le contrôleur de mémoire qui introduit un nouveau bus, le PCI, normalisé à 32 bits et 33 MHz, capable d'un débit soutenu de 80 MB/s et d'un débit de pointe proche de 200 MB/s pour toutes les entrées / sorties : grâce à lui, Intel s'adjugea 80% de la production de chipsets avant que la concurrence ne décide d'adopter le bus PCI et de produire ses propres versions, astreintes en outre à une compatibilité avec trois ou quatre microprocesseurs différents. La mémoire peut varier de 4 à 128 MB, et sa technologie peut comporter des solutions innovantes comme les EDO DRAM ou les DRAM en mode page.

Ce contrôleur accepte par ailleurs de gérer un cache secondaire de 0, 256 ou 512 KB, avec une grande liberté de choix : SRAM ou DRAM, avec ou sans rafale.

- deux circuits 82438FX assurent les transferts effectifs entre bus CPU et bus PCI, probablement un pour chaque sens de transfert ; ils contiennent les tampons appropriés.

- le circuit 82371FB est le convertisseur PCI/ISA, qui englobe un DMA à 7 canaux, deux contrôleurs d'interruptions, un compteur / temporisateur, et une gestion de consommation. Fonctionnant en contrôleur IDE, il supporte aussi jusqu'à 4 disques, CD Rom ou sauvegardes.

A partir de là, Intel disposera de deux ans pour préparer le processeur suivant, période pendant laquelle il soutiendra l'intérêt du marché avec des variantes de plus en plus rapides (voir fiche), puis avec une invention importante, le jeu d'instructions MMX pour le multimédia (57 opérations, version P55C).

Le jeu MMX est destiné à accélérer les opérations simples et répétitives qu'exigent certaines techniques de traitement du signal utilisées dans le multimédia (image, son) : il comprend 8 registres de 64 bits associés à deux opérateurs identiques qui savent exécuter en SIMD sur 8 * 8, 4 * 16, 2 * 32, ou 1 * 64 bits des opérations de type logique ou addition / soustraction. La plupart de ces opérations durent un CP, à l'exception de l'opération MAC, chaînage câblé de trois opérations MMX : multiplication 16 * 16 donnant un résultat 32 bits, addition de ce résultat au 3ème opérande.

Les 8 registres ne sont pas une addition, mais un nouvel usage de la fraction mantisse des registres du FPU, et des indicateurs associés, excluant donc toute simultanéité des instructions VF et MMX : cela cantonne le MMX dans les applications de filtrage et de compression, mais lui interdit en pratique de participer aux calculs en 3D.

Annoncé en fin 95, le MMX entrera en service en 1996 et obtiendra un grand succès, toutes les versions courantes du Pentium étant rapidement remplacées par des versions MMX, à la fois plus complètes et plus rapides. Voir fiche Pentium. La nouvelle puce contient 4,5 M transistors et mesure 128 mm² dans le dessin 0,34 μ qui s'applique à presque tous les MMX.

Nous disposons d'une importante documentation pour les diverses versions du Pentium, à savoir :

- la notice préliminaire Intel, en trois documents groupés : 8 pages pour situer le Pentium par rapport aux 486 qui l'ont précédé, la fiche de 1993 sur les P5T, et un document de 1954 sur les premiers P54C : les informations de ces documents concernent essentiellement les problèmes de bornage et d'interfaces.

- un important extrait du Manuel du Programmeur, qui traite de la relation du Pentium avec son environnement : séquences de bus, variantes d'adressage, problèmes de caches et de pagination, interruptions, procédures de tests et de contrôle, et même une longue liste de minibogues auxquels il a été progressivement remédié. Par contre, ce document ne contient pas la liste des opérations du répertoire.

- un article extrait du Dr Dobbs Journal, 5/96, pp 105 / 17, décrivant la gestion de mémoire par pages de 4 MB, qu'un praticien patient a reconstituée à partir de notes éparées dans divers documents Intel que nous ne possédons pas. Il semble qu'Intel n'était pas intéressé à ce qu'on utilisât ce dispositif pourtant incorporé dans le dessin dès l'origine.

- un gros document de 1997, Developer's Manual, qui reprend les données techniques et architecturales pour les versions encore en service à cette date, c'est-à-dire les P 75 / 90 / 100 / 120 / 133 / 150 / 166 / 200 MHz avec ou sans MMX.

Le Pentium II

Le produit suivant de Intel fait l'objet d'une préannonce en 2 / 95 à l'occasion d'un congrès. Il s'agit d'une puce 133 MHz, réalisée en BiCMOS 0,6 μ . La puce de 306 mm² contient 5,5 M transistors et se présente avec son cache dans un boîtier 387 broches. La puissance est au moins 200 Specint92. La date envisagée pour la sortie est 9 / 95, et une version 200 MHz, délivrant au moins 300 Specint92, est prévue pour 3 / 96. La réalité, nettement différente, apparaît en 10 / 95.

Le P6, baptisé Pentium Pro, est en principe destiné aux serveurs, et sa version 0,6 μ fonctionne à 150 MHz ; des versions plus rapides, 166 / 180 / 200 MHz, sont réalisées en dessin 0,35 μ .

Le lien à la mémoire est un bus synchrone 64 bits, alimentant un cache L2 interne de 256 ou 512 KB (accès 6 ns), relié par bus 64 bits asynchrone (520 MB / s crête) au cache d'instructions de 8 KB ; deux générateurs d'adresse 36 bits (MAU) dirigent les consultations. Une autocorrection est prévue sur le bus.

Suit une station de décodage décomposant les instructions x86 en microinstructions qui s'entassent, en vrac, dans une station de réservation RS. Une unité de branchement surveille le flot entrant et fournit des prévisions à l'aide d'un tampon BTB de 512 entrées, nettement agrandi par rapport aux P5, et d'un historique de 4 bits par entrée : il y a en effet jusqu'à 12 étages de pipelines à traverser, et donc à recharger en cas d'erreur de prédiction.

La RS alimente les pipelines d'exécution, au nombre de 4 : deux IEU d'arithmétique entière et deux FEU d'arithmétique flottante, qui fonctionnent simultanément au débit normal de 1 instruction par CP et par unité, y compris pour les multiplications entières ; les opérations flottantes sont un peu plus lentes mais les pipelines maintiennent le même débit pour les additions et les multiplications. Au total, il y a en moyenne trois microinstructions décodées et exécutées par CP, sans contrainte d'ordre grâce à un pool RAT de 40 registres de renomination (en plus des 8 du programmeur) et à un tampon ROB (14 registres) de remise en ordre des résultats. Un cache de données de 8 KB, acceptant plusieurs entrées simultanées, assure le retour en mémoire par un bus capable de pointes 400 MB / s et d'un débit soutenu de 120 MB / s.

Le P6 contient comme le P5 des compteurs pour une grande variété de situations : une interruption NMI est possible lorsqu'un des compteurs atteint une valeur préfixée.

Ce produit remarquable a tout de même un inconvénient : optimisé pour 32 bits, il est médiocre avec les données 16 bits et ne donne ses pleines performances qu'avec des logiciels rédigés pour 32 bits, encore peu nombreux à l'époque. Intel a fait ce choix délibérément, estimant pouvoir tenir les besoins des PC avec les Pentium I (qui ont été produits jusqu'en 1998) et désirant forcer les éditeurs à évoluer vers les 32 bits.

Le Pentium Pro contient 5,5 M transistors, et jusqu'à 21 MT avec son cache réalisé en SRAM. Ce boîtier "fakir" s'insère par un ZIF 487 broches dans un "socket 8" qui nécessite une nouvelle carte mère. Le tableau ci-dessous résume les annonces de fin 95 :

fréqCPU	dessin	sortie	fréqbus	cache KB	Specint92	Specfp92	Prix \$ / lot 1000
150	0,6	12 / 95	60	256	276	220	974
180	0,35	12 / 95	60	256	327	254	1075
200	0,35	12 / 95	66	256	366	283	1325
166	0,35	3 / 96	66	512	327	261	1682
200	0,35	6 / 96	66	512	366	283	1989

L'annonce comprend aussi les chipsets associés, le 82450KX pour stations et le 82450GX pour les serveurs : ce dernier est capable de 4 CPU et de 4 GB de mémoire vive. Tous deux peuvent gérer plusieurs bus PCI.

Les ventes du Pentium Pro pour serveurs, et même pour un petit nombre de PC individuels, commencent tout juste quand Intel annonce, en 4 / 96, le Pentium II, qui n'est autre qu'un Pentium Pro avec MMX. Il ne semble pas que les insuffisances annoncées avec le logiciel 16 bits aient arrêté les constructeurs de PC, qui ont très vite adopté le P II : soit qu'elles aient été oubliées entre temps, soit que les logiciels 32 bits se soient effectivement généralisés.

On peut observer que le K6 d'AMD, un peu plus performant que le P II initial, a été annoncé avant lui, mais cet avantage n'était que publicité : d'une part les P II à fréquence plus élevée battaient le K6 233 haut de gamme, d'autre part tous les K6 à l'exception du 200 MHz exigeaient une nouvelle carte mère. Aussi les constructeurs se gardèrent-ils d'utiliser le K6 avant de connaître le P II et l'avantage provisoire d'AMD resta journalistique.

Le P II de fréquence F diffère du Pentium Pro par des caches 16 KB, par un cache L2 de 512 KB relié au CPU par un bus F / 2, et par l'existence d'un "burst buffer" de 32 bytes pouvant fonctionner comme émetteur vers l'extérieur : au total, 7,5 M transistors et 203 mm² dans la version initiale Klamath réalisée en BiCMOS 0,35 μ . Consommation 27 watts en 2,8 volts.

La cartouche du P II et de son cache mesure 139,7 * 63,5 * 16,5 mm et s'enfiche ZIF dans un slot 1.

La première annonce porte sur trois fréquences 233, 266 et 300 MHz, avec bus mémoire encore à 66 MHz, mais le prix de la version 300, mesurée 11,6 / 7,2 Spec95, est dissuasif, de sorte que les constructeurs se limitent aux deux premières, avec des prix de 19 à 21 KFFHT pour un PC 233 de base, 24 à 26,5 KFFHT en 266 MHz. Ces matériels entrent en service en 5 / 97, avec un chipset 82440 LX.

Ce chipset comporte une importante nouveauté, destinée à l'amélioration des relations entre le CPU et l'écran : le bus AGP, Accelerated Graphics Port., beaucoup plus rapide que le PCI avec 264 MB/s ou 528 MB/s au choix de la carte vidéo, fournissant une liaison directe de cette carte avec la mémoire. Puisque la carte vidéo contient déjà une VRAM, on pourrait se demander quelle est l'utilité de cette liaison privilégiée : il s'agit du traitement des textures, gros consommateur de mémoire, que ce bus permet de faire venir d'un catalogue mémorisé plutôt que de les construire à la demande dans la VRAM à partir du CPU.

Trois protocoles sont proposés, selon les besoins de la carte, pour la mise en oeuvre du bus AGP, mais ni Windows 95 ni Windows NT ne supportent ce dispositif. Intel y remédie provisoirement par un "patch" dans Windows 95, mais il n'y a rien pour Windows NT.

Du fait de ce nouveau bus et du nouveau socle "Slot 1", Intel propose des cartes mères en même temps que le microprocesseur, mais à partir de 6 / 97 on trouve des cartes taiwanaises, par exemple Tehoe 2ATX de Tyan Computer, chez Tekelec. Image ci-contre du bornage.

Intel propose aussi un chip vidéo 82740 (code Auburn, \$ 34,75 en lots de 10000) conçu pour exploiter le bus AGP 2x (feuille). Très rapidement de nombreuses autres cartes graphiques, exploitant le bus AGP de façon souvent plus efficace qu'Intel, sont annoncées : Riva 128 TNT de NVidia (\$ 45 en lots de 10000), Rage Pro de ATI, Savage de S3.

Le premier grand progrès des P II est le passage au BiCMOS 0,25 μ en 2 / 98, avec les modèles Deschutes à 333, 350 et 400 MHz. Le nouveau chip incorpore le bus mémoire à 100 MHz. Prix 722 \$ en lots de 1000 pour la version 333, à un moment où le P II 233 coûte \$ 268, et le P 233 MMX 193 \$.

Un nouveau chipset, le 82440BX, est proposé avec ce microprocesseur. Un circuit assure les liaisons avec la mémoire, comprenant le BIU à 100 MHz et le contrôleur AGP, qui s'enrichit d'une vitesse 4x = 1 GB / s ; l'autre est le contrôleur PCI, toujours à 33 MHz, 132 MB/s.

Par la même occasion, Intel récupère le schéma initial en définissant, sous le nom de Celeron, une version du P II qui ne diffère du précédent que par le bus mémoire à 66 MHz et probablement par l'absence des instructions MMX et de certains tampons. Le premier des Celerons sera Covington, 266 MHz, sans cache L2 externe. Mais on passera rapidement, dès 10 / 98, à Mendocino, 300 et 333 MHz, qui comporte un cache L2 de 128 KB directement sur la puce, et en 12 / 98 à Dixon, avec 256 KB de cache L2 en boîtier Fakir. Le chipset associé est le 82440EX.

L'évolution suivante annoncée consiste dans l'introduction, étudiée depuis 1997 mais longuement retardée, du jeu d'instructions Katmai qui exige la séparation de MMX et du FPU pour permettre l'introduction de 70 nouvelles opérations VF SIMD. S'agissant d'une modification importante, Intel pouvait en faire, ou non, une étape marketing : les Pentium MMX, complètement nouveaux, ont continué à s'appeler Pentium. Intel a hésité, annonçant pour le 9 / 98 un Pentium II Xeon à 400 MHz avec cache externe de 512 KB ou 1 MB, puis en 12 / 98 à 450 MHz avec 2 ou 2 MB de cache externe, pour finalement décider au vu des progrès d'AMD, qu'il vaut mieux parler de Pentium III.

La dernière annonce du Pentium II est la version "mobile" de 10 / 98, destinée aux applications embarquées et aux portables, ces derniers inaccessibles jusqu'ici à cause de l'encombrement du slot 1. Il s'agit d'un bloc enfichable de 4 * 2,5 " comprenant Pentium II 266 MHz, chipset 440 BX et cache 512 KB, qui prend place parallèlement à la carte mère et n'occupe que 1 cm de hauteur. Consommation 12 W. Il a été rapidement adopté pour les cartes VME et CompactPCI de Motorola, Force, Teknor, Ziatech, Radisys, Concurrent Technology.

En janvier 2000, Intel prépare Timna, qui devrait permettre la réalisation de machines encore plus condensées que toutes les précédentes. Réalisée en 0,18 μ , elle rassemble sur une puce un Pentium II, un contrôleur vidéo performant et un contrôleur mémoire, ce qui devrait éliminer le chipset et le bus AGP pour les performances moyennes ; elle se présente, au moins provisoirement, dans un boîtier 19 * 19 broches en disposition cartésienne sur 5 bornes de large.

Aux dernières nouvelles de fin 2000, il semble que Timna ait été abandonnée, peut-être parce que ses capacités graphiques n'étaient pas suffisantes, ou parce qu'elle entrait en concurrence avec le projet Pentium 4.

Le Pentium III

Pour des raisons purement marketing donc, Intel passe, début 99, au Pentium III avant même d'adopter le dessin en 0,18 μ qui va permettre de nouveaux bonds en fréquence. Le Pentium II disparaît en tant que sigle, mais il subsiste en réalité sous le nom de Celeron et, grâce au nouveau dessin, on va voir se multiplier des PC économiques équipés de Celerons à 450 et 500 MHz en 2000, et même 650 MHz avant la fin de cette année qui est notre limite arbitraire.

Soumis aux tests des critiques, ce premier P III réalisé comme son prédécesseur en CMOS 0,25 μ offre exactement les mêmes performances que lui, sauf dans les tests exploitant sa nouveauté : le jeu d'instructions SSE, qui remplacent les MMX en permettant cette fois le travail en SIMD sur quatre nombres flottants 32 bits. Il y a aussi un cache L2, mais séparé du processeur. Voir fiche et photo.

Fin 99, apparition de Coppermine, le P III réalisé en 0,18 μ . Désormais, le cache L2 de 256 KB est directement situé sur la puce, qui se satisfait du slot 1. Les fréquences commercialisées sont 533, 600, 667, 733 et 800 MHz, et les principaux constructeurs vendent des PC de ce type, qui concurrencent les stations de travail dès qu'on y installe des cartes vidéo AGP.

Un nouveau chipset, i82820 Camino, est offert par Intel pour travailler avec Coppermine, et on s'attend à une évolution vers un bus mémoire 133 MHz.

Intel introduit le P III dans l'embarqué dès mars 2000, sous la même forme LPM (Low Power Modules) que les P II mobiles antérieurs: par exemple, le P III 733 ne dissipe que 24 watts, et la version 500 MHz seulement 11,2 W, contre 15 W pour le P II mobile. Mieux encore, la disparition du cache externe dans les Coppermine va permettre rapidement des dispositions encore plus condensées, comme les boîtiers soudables BGA ou Flip-chip.

Exemples : Carte CompactPCI CPN5360 de Motorola utilisant un P III 500 MHz.

Contrôleur système EPC 3306 (photo) et processeur périphérique EPC 3305 de Radisys, idem.

Contrôleur système CPCI 730 et processeur périphérique CPCI 731 de Force, idem.

Biprocésseur CompactPCI 6U CPCI 780 de Force (fiche), inaugurant les boîtiers flip-chip à 600 MHz, les DRAM rapides Direct RAMBUS et le chipset i840 d'Intel.

Lors de la conférence annuelle ISSCC 2000 sur les composants, Intel a présenté un Coppermine à 1 GHz, et annoncé Willamette, prévu pour 1,5 GHz.

Contemporains de ces derniers développements, Intel annonce en septembre 2000 les chipsets 82815 et 82815E, le premier pour l'entrée de gamme (Celeron), l'autre pour les P III : ce chipset comprend essentiellement un "northbridge" 82815 ou 815E, qui offre six connexions:

- un bus 64 bits vers le CPU, existant en 66, 100 ou 133 MHz.
- un bus 64 bits vers une SDram à 100 ou 133 MHz, à base de puces 4 Mbits ; cette dernière vitesse est à l'origine des retards du produit.
- un bus AGP4x capable d'une seconde connexion semblable, ou d'une carte graphique.
- deux sorties vers des affichages, moniteurs couleur, TV ou écrans plats.
- et un bus 8 bits, 266 MHz, vers le "southbridge".

Ce dernier, 82801BA, n'est pas un circuit nouveau, ou plus exactement il reprend en les améliorant les fonctions d'un circuit antérieur de même sigle : bus AC 97 pour le son, bus ATA 100 pour les disques, 4 ports USB pour tous les nouveaux périphériques, LAN, SMBus, LPC, bus PCI pour tous périphériques classiques et pour les cartes d'extension, et enfin bus 4 bits à 33 MHz pour le BIOS 82802.

L'avenir en 64 bits

L'avenir du PC ne se dessine pas clairement au delà du Pentium, car aucun PC n'a besoin d'un processeur 64 bits. Néanmoins, aucun constructeur ne peut ignorer ce nouveau produit, encore à créer, car les applications 64 bits ne manquent pas et l'apparition d'un microprocesseur convaincant sur cette longueur de mot changerait les débouchés.

Pour Intel, le problème est plus crucial, car il existe déjà, en fait, plusieurs microprocesseurs 64 bits, à commencer par l'Alpha de DEC, et ils ont commencé à occuper le créneau des serveurs. Si Intel veut survivre, alors que le prix des micros 32 bits ne cesse de diminuer et que le nombre des compétiteurs augmente, il doit créer un micro 64 bits pour serveurs et porter tout son effort sur la compatibilité entre ces serveurs et le PC pour lequel ils travaillent.

La réflexion sur ce thème a donc commencé de longue date, en même temps que la recherche d'une coopération, car c'est une grosse étude et elle ne peut réussir que si le produit entraîne beaucoup d'adhésions. Intel a donc, vers 1995, convaincu Hewlett Packard qu'un tel produit était indispensable à terme.

Bien avant de s'occuper d'une réalisation matérielle, il fallait d'abord définir une architecture satisfaisante, et on pourrait ensuite réaliser quelques prototypes d'évaluation, sans urgence.

Il aurait été possible de faire comme DEC, coupant tout contact avec le passé pour faire du neuf optimal, mais Intel jugea que le poids des x86 était trop grand pour négliger l'appui qui en résulterait, et HP accepta cette position. L'équipe de réflexion choisit donc de bien formaliser d'abord le répertoire courant ISA 32, encore flottant avec l'apparition de MMX, puis de définir un ISA 64 compatible qui l'engloberait : on se donnait donc un objectif de compatibilité logicielle, comme on l'avait fait depuis le 8080, mais tout de même on se refusait à remonter aussi loin, et il n'y aurait pas de compatibilité 16 bits.

L'architecture objectif, deuxième étape, fut baptisée EPIC, Explicitly Parallel Instruction Computing, qui souligne le recours délibéré au concept VLIW. Les instructions seraient toutes plus courtes que 64 bits, mais l'architecture serait fortement parallèle pour obtenir la performance par la simultanéité ; le compilateur, élément essentiel du projet, serait chargé de convertir un langage de haut niveau en une collection d'instructions disposées de façon à alimenter de multiples opérateurs concurrents.

On se donne alors un objectif calendaire, 1999, en sachant qu'il ne serait pas tenu et que ce ne serait pas très grave : il ne faut pas laisser l'équipe sombrer dans le rêve et le perfectionnisme. Le produit Intel jusque là baptisé du nom de code Merced devient alors un vrai produit, nommé Itanium, qui se donne des contraintes :

- démonstration fin 99 à 500 MHz au moins
- production initiale en 0,18 μ à 733 et 800 MHz quelque part en 2000
- sortie indispensable d'une version 1 GHz en 2001.

Les traits principaux d' Itanium sont une extrapolation du Pentium III et peuvent être résumés comme suit :

- Cache à 3 niveaux, L3 de 4 Mbits étant externe et relié au CPU par un bus 128 bits, tandis que le cache L2 et les deux caches L1 sont situés sur la puce.

- Tampon d'instructions avec différenciation des instructions du jeu ISA32, traitées à part pour maintenir une efficacité sur les anciens programmes, et les autres. Très probablement, prédécodage en microinstructions et exécution dans le désordre.

- Lancement simultané de 6 instructions, en direction de 9 unités d'exécution : 3 unités de branchement BU, deux unités d'accès à la mémoire ULS, deux opérateurs virgule fixe FXU, deux opérateurs virgule flottante FPU. Les trois BU puisent dans un même buffer de prédiction et provoquent l'approvisionnement d'un maximum de 4 séquences d'instructions spéculatives.

- Les quatre unités entières travaillent avec 128 registres de 64 bits disposant de deux accès simultanés au cache D writeback, et les deux ULS sont aussi reliées à ce cache. Il y a sans aucun doute renomination.

- Les deux unités flottantes travaillent avec 128 registres flottants de 82 bits, qui communiquent directement avec le bus interne L2 / L1. Ce chiffre élevé suggère qu'il pourrait ici aussi exister une renomination, mais aucune information n'a filtré sur ce sujet ; la longueur de 82 bits, mentionnée sur le plus récent document disponible, est convenable pour la VF IEEE, mais elle compromet, ou limite à 64 bits, la possibilité d'appliquer dans ces opérateurs le jeu d'instructions SSE, alors qu'une information antérieure fixait à 128 bits la longueur de ces registres. La différence, 128 * 46 bits, n'est pas négligeable et il se peut qu'en fin de compte Intel ne soit pas parvenu à loger ces registres dans sa puce ; d'autre part, le jeu SSE n'est probablement pas nécessaire pour des serveurs essentiellement transactionnels.

Pentium IV

Fin 2000, tandis que la préparation d' Itanium - qui intéresse HP plus que Intel, semble -t'il - avancer lentement vers une commercialisation en 2001, Intel se décide à annoncer un produit nouveau pour défendre son domaine principal, le PC 32 bits, sérieusement menacé par les Athlon à 1 GHz de AMD et par les C5x de IDT / Via. Ce sera le Pentium IV à 1,4 GHz, dont l'annonce du 20 novembre s'accompagne de baisses sensibles sur ses prédécesseurs : le Celeron 700 tombe à 88 \$ (- 36%), le Pentium III 1 GHz à 465 \$ (- 31%), et le Xeon 1 GHz à 515 \$ (-28%).

Le Pentium IV utilise une nouvelle architecture, baptisée Netburst, qui comporte diverses accélérations, un pipeline très allongé avec diverses compensations pour réduire la pénalisation en cas d'erreur de prévision, mais au total il ne donne pas une impression de grand changement. Voir fiche.

Les premiers essais n'ont pas été particulièrement brillants, mais il faut probablement attribuer cela à une annonce prématurée : les modèles initiaux, 1,4 et 1,5 GHz, construits en $0,18 \mu$, n'étaient sans doute pas destinés à être annoncés. Intel déclare d'ailleurs qu'une version $0,13 \mu$, code Northwood, avec un nouveau socket agrandi à 470 broches, paraîtra vers 9/2001.

Divers

Malgré son implication très forte dans la course aux microprocesseurs pour PC, Intel ne s'est jamais désintéressé des autres types de microprocesseurs, et a mis au point successivement deux processeurs RISC, le i960 puis le i860.

Le i960 est un simple contrôleur 32 bits, né en 3/87 en deux versions KA (virgule fixe) et KB (VF incluse). Offert en versions 10/16/20/25 MHz, ce RISC comprend un opérateur sur entiers de 8 à 128 bits, un opérateur sur bits, et divers services : cache d'instructions 768 bytes, cache de données, contrôleur d'interruptions, dispositif BITE et mode debug. Il comprend 16 registres globaux et 4 jeux de 16 registres locaux 32 bits qui se remplacent selon les interruptions. Prix \$ 82 en 16 MHz.

Un périphérique 86960 fournit en outre un contrôle de rafales à 50 MB/s jusqu'à 4 mots, un générateur de ready, et une programmation de chip select ; deux d'entre eux peuvent être couplés par un décodeur 85C508 pour des systèmes plus importants.

Le 960KB contient en plus un processeur flottant capable de 5 MWhetstone et un circuit d'accès à la mémoire par rafale équivalent au 86960. Prix pour 16 MHz : 155 \$.

Le 80960MC est la version militaire du KB (1988), selon norme 883B : 16 ou 20 MHz, cache d'instructions de 512 bytes, 4 interruptions, il se présente en boîtier CPGA 132 ou CQFP 164. Un circuit associé facultatif, le 82965 Bus exchange Unit, permet d'ajouter un MMU, la redondance pour 2 machines (FRC) ou pour quatre (QMR), et l'adaptation au langage ADA.

En 4/88, Intel annonce le 960CA, qui ne sortira effectivement qu'en 9/89. Nettement plus performant que le KB, il est capable de 66 Mips à 33 MHz, ayant en pratique FPAdd et FPMpy indépendants et simultanés avec le FXU. Le cache est porté à 2 KB, 4 DMA accompagnent le contrôleur de bus, et un coprocesseur 82960 est prévu pour les réseaux.

Ce processeur vendu \$ 200 dans sa version à 16 MHz est une erreur dans la mesure où il entre en conflit avec le 860 qui vient de sortir. Il ne sera finalement pas soutenu. Voir fiche.

En 1991, Intel présente le 960MM, qui est essentiellement une démonstration de compétence à l'intention des militaires et de la NASA. Voir fiche. Il n'aura sans doute pas de suite.

Le produit de l'année est le 960SA, qui reprend l'architecture 32 bits du KA avec une technique améliorée et un bus 16 bits, lequel transfère un résultat de 32 bits en deux CP. Le manque d'ambition de ce processeur correspond à un changement de statut : comparable au KA en performances (16 Mips VAX en rafale, 5 Mips en continu), il ne coûte plus que \$ 10. Il se présente en PLCC 84 broches ou LQFP 80 broches dans ses deux versions 10 et 16 MHz.

Les bornes du 960SA sont définies ci-après, les explications pouvant être trouvées dans le document 860 :

Bus : bidirectionnel D0 : 15, bidirectionnel A4 : 15, sortie seulement A1: 3 et A16: 31.

Entrées : Ready, CLK2, Hold, Reset, 4 interruptions, Vcc, GND

Sorties : HLDA, AS, ALE, W/R, BLAST, BT/R, BE0 : 1, DEN, LOCK.

Le bornage direct convient pour une mémoire SRAM. Pour utiliser des DRAM, il faut intercaler un circuit 85C060 qui sera commandé par les bornes AS, BLAST, W/R, READY.

En même temps sort un 960SB, reprise économique du KB. Le FPU de ce SB fonctionne sur 80 bits, délivrant 0,5 MFlops. A l'arithmétique usuelle il ajoute la trigonométrie, le logarithme et l'exponentielle, avec choix entre trois précisions : 32 bits sur tous les registres, 64 bits sur toute paire de registres, et 80 bits sur registres dédiés. Il est destiné au traitement d'images.

Nous arrivons ainsi au début 1994, où le 960 est proposé dans une technologie COBRA deux fois plus performante que celle des KA/KB : il s'agit d'une transposition en $0,8 \mu$, boîtier compatible broche à broche. Le progrès permet des caches plus importants chargés sur 128 bits de large, des liaisons internes 64 bits, un bus adaptable 8/16/32 bits gérant l'alignement :

80L960JA est 33 MHz, cache I 2 KB et cache D 1KB. Economique. Alimentation 3,3 V.

80L960JF est le même, avec caches I 4 KB et cache D 2 KB.

80960JF est le même, mais alimenté en 5 V pour passage à 40 MHz.

80960JD est un compromis sur le même thème, avec bus 25 MHz et doubleur de fréquence pour le bloc de calcul à 50 MHz. Mêmes caches, même alimentation.

A la fin de cette même année 94, une version 80960Hx travaille à 75 MHz avec un bus 25 MHz, et peut délivrer 150 Mips. Elle est construite en dessin $0,6 \mu$ avec 4 couches métalliques et une alimentation 3,3 volts. L'architecture est à peu près inchangée, mais les caches ont encore augmenté : I de 16 KB et D de 8 KB sont tous deux à 4 lignes associatives ; le cache I contient un bit de verrouillage permettant d'éviter le recouvrement à une section de programme fréquemment invoquée.

Les registres forment une RAM de 2 KB accessible à raison de 128 bits / CP. Le répertoire contient une instruction Halt qui stoppe assez de fonctions pour obtenir 90% d'économies d'énergie.

La fonction de contrôle se manifeste par l'existence de 248 interruptions externes vectorisées.

Pour la première fois probablement chez Intel, le 960 a été mis sous forme de coeur transmissible et, dès 1995, on voit apparaître des versions groupant un choix de périphériques autour d'un coeur 960JF. Le plus connu est le 960RP, conçu pour la gestion d'interfaces réseaux comme Ethernet, ATM ou FibreChannel, ou d'ensembles de stockage comme des armoires Raid.

Autour du bus local on trouve d'abord le coeur 960JF avec deux caches I 4KB et D 2KB et un BIU, puis un contrôleur mémoire capable de 256 MB de mémoires DRAM, SRAM ou Flash ; les liaisons de service sont assurées par un bus série I2C à 2 bits et un APIC pour 3 interruptions.

La fonction principale de gestion est assurée par deux bus PCI, dits primaire et secondaire, en réalité symétriques par rapport à un pont bidirectionnel contenant un tampon de 64 bytes. Le bus primaire est lié au bus local par un gestionnaire d'adresses, deux DMA contenant des FIFO 64 bytes, et un tampon de messages; le bus secondaire comporte un gestionnaire d'adresses et un DMA ; un arbitre de bus, avec 6 bits dans chaque sens, peut être utilisé avec l'un ou l'autre des bus PCI.

Le 960 RP occupe 149 mm^2 en CMOS $0,8 \mu$, fonctionne sous 5 volts et dissipe 3 watts à 33 MHz.

Vers 1988, probablement sur un financement Darpa, Intel reprend la recherche Warp de Carnegie Mellon, et réalise le monochip VLSI iWarp, 20 MHz, 20 Mips, 20 MFlops, 320 MB/s, avec une interface de communications bidirectionnelles réagissant en 200 ns.

Cette puce comprend une file de registres, deux queues d'entrées / sorties avec FIFO de 8 mots, un cache d'instructions, trois opérateurs simultanés IU, FAD, FMP, et une instruction VLIW de 96 bits pouvant recevoir deux formats d'instructions exécutables à 32 bits : 3 adresses de registres pour les calculs, ou 1,5 adresse pour load / store. Durée d'exécution 1 CP, sauf 2 CP pour Load / Store et VFSP, et 4 CP pour VFDP. Il y aurait aussi 8 DMA à 40 MB/s.

Cette description permet de penser que cette étude est à l'origine du microprocesseur suivant, où l'on retrouve toutes ces dispositions, à part le VLIW qui n'a pas convaincu, à cause de l'inégalité des durées d'exécution que l'on vient de signaler.

Le i80860XR de 1989 est beaucoup plus puissant que le 960, et destiné aux applications de calcul intensif en 64 bits de large, par exemple des stations de travail, car il contient un opérateur graphique 3D pour ombres et textures. Nous disposons d'un court article présenté à l'ISSC 1989 et d'une notice préliminaire de Intel, contemporaine : il s'agit d'une puce de 150 mm^2 , réalisée en CHMOS 1μ , 2 couches métal, contenant 1 million de transistors, et d'une architecture audacieuse pour l'époque avec pipelines et jusqu'à trois opérations en parallèle. On a pu en tirer, en pointe, 150 MOPS et 100 MFlops à 50 MHz, plus raisonnablement 21 Mflops au test Linpack double précision ; à une fréquence plus banale de 25 MHz, on a mesuré 22,54 / 27,4 Spec92.

Le i860 a d'abord été le processeur des calculateurs parallèles de Alliant, une firme ambitieuse à la courte vie. La norme PAX Parallel Architecture Extended mise au point à cette occasion a été commercialisée avec l'autorisation de Alliant dans une version de la puce ralentie à 25 MHz.

Le i860 a été utilisé, dans les premières années 90, pour la réalisation de processeurs parallèles, quand on croyait encore à ce rêve de chercheurs. Intel Scientific n'a pas mal réussi dans ce domaine en vendant 73 machines en 1991, 45 en 1992, 67 en 1993, mais la clientèle est très limitée à des laboratoires.

Le produit de 1990, baptisé iPSC860 Paragon, commence à 8 noeuds pour K\$ 860. L'ONERA, en France, a acheté un modèle à 128 processeurs pour faire une "soufflerie" informatique.

Intel reprend ce microprocesseur en 1991 avec une version CHMOS $0,8 \mu$ à 2,5 M transistors, tournant à 40 ou 50 MHz. et vendue de 500 à 700 \$. Les améliorations comportent un cache de 32 KB et un bus capable de 400 MB/s en rafale. La performance du XP est à peu près doublée par rapport au XR, atteignant 40,1 / 51,1 Spec92 ou 20 MFlops; Intel parle de 72 MFlops 64 bits, sans doute en pointe.

Ce modèle reste compatible avec la norme PAX.

Pour réaliser ce progrès, qui représente dans son ensemble 27,5 M\$, Intel a obtenu de la Darpa un crédit de 7,6 M\$ visant à la réalisation d'un processeur MPP, baptisé Touchstone Delta : le 31 / 5 / 91, le prototype a délivré 8,6 GFlops sur le benchmark Linpack, contre 5,2 GFlops obtenus deux mois plus tôt par la Thinking Machine CM2.

Dans cette réalisation, chaque processeur dispose d'une mémoire de 16 MB. Elle délivre en pointe 17000 Mips, 31,7 GFlops 64 bits, 42,6 GFlops 32 bits. Les entrées / sorties gérées par 82 microprocesseurs 386 comportent 90 GB de disques (64 unités), 10 bandes, 2 réseaux Ethernet, 6 postes de service. L'unité centrale prend la forme d'un bloc de 16 * 5 * 2 ft (4,88 * 1,52 * 0,61 m) dont le panneau avant montre au moyen de LED les connexions actives et le mode de fonctionnement en cours.

Un exemplaire de ce prototype, composé de 528 microprocesseurs capables de 32 GFlops, avec 42 * 386 et 45 GB de disques, a été vendu à Caltech.

Intel a transformé l'essai en commercialisant en 1992 la Paragon XP / S, architecture Hypercube capable au mieux de 1024 noeuds 860, chacun 42 Mips, 75 MFlops 64 bits à 50 MHz, associés à une mémoire qui peut grossir jusqu'à 128 GB.

Les entrées/sorties sont assurées par de multiples canaux Hippi à 100 MB/s.

Le logiciel est UNIX, avec un noyau Mach et la version OSF/1, comprenant X Window et de la Distributed Graphic Library. Les langages supportés sont C, C++, Fortran et un Fortran parallèle.

Au moment où cette offre atteint le marché, il y a déjà en service plus de 300 PSC des versions antérieures. Il y aura 30 commandes de Paragon en janvier 93, parmi lesquels Boeing (aviation), Presidential Securities (chiffre ?), Oak Ridge (nucléaire). Dans l'enthousiasme de ce succès, on parle chez Intel, dès 3 / 93, de systèmes possibles de 4096 CPU capables de 350 GFlops : ils n'ont pas été réalisés, parce que le cablage d'unités de puissance trop faible devient trop coûteux quand la taille du réseau augmente.

De ce fait, il faut accroître la puissance du processeur noyau : un de ces clients est Sandia, une société spécialisée dans les travaux nucléaires avancés, qui a commandé à Intel Scientific, vers 1994, un MPP de 9624 Pentium Pro associés à 500 GB de mémoire, et censé permettre 1,8 TFlops pour M\$ 50. L'idée était de tripler cette puissance tous les 18 mois, si les objectifs de simulation visés étaient réalisés. Malgré l'étroitesse de la cible, ils ne l'ont sans doute pas été, car ces extensions n'ont pas eu lieu.

De façon plus générale, il semble que l'engouement pour les calculateurs parallèles soit retombé, après de nombreuses réussites ponctuelles largement financées par l'Etat et un nombre honorable de livraisons commerciales par les principaux protagonistes survivants, dont Intel Scientific : on constate que la performance effective est très loin de la performance de pointe, dès l'instant qu'on renonce, pour raison économique ou urgence, à la préparation logicielle extrêmement soignée des démonstrations.

Vers la fin du siècle, façon pompeuse d'indiquer les années 1998 / 2000, on ne parle plus beaucoup de ce genre de machines. La fin de la guerre froide a diminué l'urgence des simulations géantes d'explosions nucléaires, de sorte qu'on préférera réduire les investissements spécialisés et mieux utiliser les très puissantes machines dont on dispose.

Le nouveau thème porteur est plus pacifique : c'est le téléphone portable, dans les versions encore à venir qui échangent toutes les sortes d'images en utilisant des réseaux de satellites comme distributeurs. Le "challenge" réside dans la miniaturisation extrême de puissances de calcul considérables affectées au décodage en temps réel de messages chiffrés transmettant textes confidentiels, monnaie ou images privées. Une des techniques très utilisées à cet effet utilise des Coeurs de DSP transportables, intégrables à la demande: ils ne sont plus décrits par une photo, mais par un simple programme rédigé dans un langage de description de circuits tel que VHDL, lequel permet non seulement de recréer le dessin à volonté dans un masque en cours de construction, mais aussi de jouer sur l'échelle de ce dessin dans une certaine mesure (du simple à la moitié par exemple), et de le modifier par des insertions de modules de sous-programmes.

L'un des spécialistes de cette technique est la société anglaise ARM, dont Intel a obtenu la licence en achetant, vers 1996, l'usine de composants de DEC, dont Compaq ne voulait pas. Cette licence est assez lâche, et lui permet de modifier à son gré un modèle licencié, s'il maîtrise la technique. Intel dispose ainsi, depuis plusieurs années en 1997, du coeur ARM7TDMI.

En 1998, Intel accède au nouveau produit de ARM, le coeur ARM9TDMI, capable de 165 Mips à 150 MHz pour une consommation de 1,5 mW / MHz sous 2,5 volts. Il en tirera par miniaturisation une version SA 110, 233 MHz, 268 Mips grâce à des caches 16 KB, qui est la plus puissante sinon la plus économique du moment (9 / 98). SA signifie Strong ARM.

En 12 / 99, le produit de Intel est le SA2 réalisé en 0,18 μ : 600 MHz, plus de 700 Mips, 32 bits, avec deux caches de 32 KB et une prévision de branchement dynamique.

On découvre l'objectif d' Intel avec l'annonce, en septembre 2000, des puces IXP, qui sont des processeurs de réseaux, capables d'assurer une gestion en parallèle de multiples paquets. Les IXP de la première annonce, 220 et 225, sont construits autour d'un ARM 7, mais les suivants utilisent le SA2.

La première incarnation du modèle haut de gamme, le 1200, réalisée en 0,28 μ , travaille à 166 MHz et assure le routage de la couche 3 ISO pour 2,5 millions de paquets de 64 bytes / s. Elle comprend une interface SRAM 32 bits, une interface SDRAM 64 bits, une interface PCI 32 bits, un coeur SA2 avec cache instructions de 16KB, et un cache de données à deux niveaux de 8 et 1 KB, enfin et surtout 6 processeurs RISC simultanés de gestion de paquets et une interface bus 64 bits vers le réseau, norme OC48.

Intel a déjà indiqué que la version suivante, réalisée en 0,18 μ , travaillera à 400 MHz et contiendra 16 processeurs de réseaux, pour satisfaire les besoins de la norme OC 192.

322 - Le système d'exploitation XENIX

Unix est un système d'exploitation puissamment implanté dans les milieux universitaires, mais son adoption par un constructeur comme système d'exploitation d'une de ses machines est payante, et même assez chère, car elle représente potentiellement un grand nombre de machines, mais ce nombre est inconnu à l'avance. Un prestataire de systèmes d'exploitation comme Microsoft ne peut rester insensible devant cette concurrence majeure et n'a eu de cesse d'écrire un système d'exploitation compatible mais ne payant pas ces droits, système qui pourrait ensuite être vendu à un moindre prix à des constructeurs.

XENIX est un de ces produits, et dans la longue période d'incertitude concernant les droits sur Unix, il a obtenu un certain succès, cad qu'il a été choisi comme système par tel ou tel constructeur pour telle ou telle de ses machines.

Il serait trop technique de faire la chasse aux points communs et aux différences entre XENIX et UNIX, si tant est qu'il existe un Unix de référence. On se bornera à indiquer ci-dessous une liste de références à Xenix trouvées dans les documentations à notre disposition :

Système Intel 86 / 380 X, fonctionnant sous Xenix	: boîte 47, brochure 8 pages
Système Vienna de Northern Telecom, voir rubrique 448	
Xenix pour le PC Sperry, rubrique 582	: boîte 136, dossier de presse
Xenix pour le PC / AT d'IBM, rubrique 335	: boîte 81, un article d'IBM System Journal

323 - Interdata, Inc.

Cette société de Oceanport, New Jersey, apparaît sur le marché vers 1966 pour proposer un ordinateur 8 bits à usage général, qui n'a guère qu'un succès d'estime. Son trait essentiel est d'être microprogrammé. Il finira tout de même par être produit à quelque 300 exemplaires.

Le succès est suffisant pour lancer le produit qui fera le succès de la compagnie, un ordinateur 16 bits microprogrammé qui donne lieu à trois versions : modèle 2 contrôleur minimum, modèle 3 ordinateur universel en virgule fixe susceptible de jouer un rôle de contrôleur sur n'importe quelle application, modèle 4 incluant la virgule flottante. Tous sont microprogrammés et présentent, déjà à cette époque, une parenté évidente avec la famille IBM 360, sans toutefois attirer une attention malsaine par une tentative de copie servile: pas d'essai de clonage, mais une facilité naturelle à rendre des services à des utilisateurs d'IBM.

C'est ainsi qu'en 1969, Interdata propose un modèle 15 qui combine un modèle 2 avec un modèle 3 pour composer un processeur de communication au service d'IBM 360, d'Univac 1108 ou de Burroughs 5500. Le processeur de 1er plan gère les données et les lignes, un processeur de fond s'occupe des procédures et des messages, les deux machines se partageant la mémoire. 40 modèles 15 seront vendus aux USA et 24 à l'étranger.

En fin 70, le Modèle 5 est une reprise du Modèle 4 avec quelques instructions supplémentaires. Il est commercialisé comme un mini à orientation scientifique.

Un modèle 16 en est tiré pour la gestion de communications, avec un répertoire de 114 instructions adapté à cette mission. Il est vendu \$ 14700 et n'aura qu'une courte carrière : il sera abandonné en 7/72 après vente de 14 exemplaires, au profit du modèle 55 ci-après, qui reprend la formule biprocesseur du 15.

En 1971, cette série de succès oblige Interdata à s'organiser. Il y a donc une seule architecture, adaptable à diverses configurations commerciales par la modularité du matériel (carte CPU, cartes mémoire, entrées / sorties diverses) et des microprogrammes : les modèles 50, 70 et 80 de mi 72 sont presque contemporains et ne diffèrent que par les configurations de plus en plus étoffées, le 74 est une version OEM du 70, le 85 permet à l'utilisateur de définir ses propres microprogrammes, le 55 est une machine de communication combinant un 50 avec un 70, le 60 est une version communication du 80, 83000 car/s.

Tout cela apparaît clairement dans la documentation, qui comprend :

- un manuel du programmeur indifférencié, décrivant le répertoire commun
- un catalogue de modules matériels
- un tarif

En 1973, Interdata franchit une étape en quittant le monde du commerce OEM pour celui des constructeurs. Le 7/16 et le 7/32 sont deux ordinateurs de 16 et 32 bits, avec compatibilité ascendante, et un lourd et nouveau catalogue d'obligations : fournir un système d'exploitation, un choix de périphériques et leur soutien logiciel, des langages et des applications. Par exemple DETOL, un langage pour description de tests à appliquer à des instruments connectés à un 7/16 (SIGPLAN Notices 11/78 p 67).

Nous disposons d'une documentation complète sur le 7/32, faisant apparaître le 7/16 comme un simple sous-ensemble. En particulier, nous disposons d'une description des micromachines de ces deux ordinateurs.

Cette visibilité nouvelle attire l'attention de la société d'optique Perkin Elmer, qui cherchait une diversification. Vers 1975, Interdata devient une division de Perkin Elmer, sans changer de nom au moins au début : dans ce nouveau cadre, Interdata va développer :

- un vrai 32 bits, le 8 / 32 Megamini : c'est toujours une machine d'automatisme, mais avec un répertoire très riche incluant virgule flottante, manipulations de listes et de bits. Avril 1975.

- un nouveau 16 bits, le 6 / 16, apparemment basé sur la solution universelle du moment, le microprocesseur en tranches AMD 2901. Remplaçant du 7 / 16, nous en connaissons la microprogrammation.

En service 9 / 76.

- une version OEM du précédent, monocarte 5 / 16 annoncé en 9 / 76.

- une extension 8 / 16 du 6 / 16, simple amélioration de janvier 78 qui évoluera avec le MMU du 8 / 16 E pour permettre des extensions de mémoire.

On trouvera au dossier une collection de fiches périphériques communes à tous les calculateurs de la période Interdata division de Perkin Elmer, et deux documents concernant l'OS / 32, système d'exploitation du 8 / 32.

Muni d'un bon matériel 16 bits et capable désormais de rassembler des périphériques, Interdata estime possible de se lancer en 1978 dans la petite gestion, proposant à cet effet son processeur 8 / 16 sur une carte LSI TTL, accompagnée de cartes mémoire à base de puces 4 ou 16Kbits. Les caractéristiques de la famille sont 16 registres généraux, 161 opérations dont mpy / div et traitement de liste, 255 interruptions dont panne de courant et reprise, horloge secteur, système d'entrées/sorties série. Le logiciel proposé comprend un OS 16 organisé pour prendre en charge jusqu'à 16 terminaux, un BASIC et un Fortran.

La commercialisation proposera les modèles suivants:

SIXTEEN Model 10, mémoire 16 à 64 KB, \$ 4800

SIXTEEN Model 20, mémoire 32 à 256 KB avec cycle 900 ns et contrôle de parité. Prix K\$ 9 à 15.

SIXTEEN Model 30 à mémoire 256 KB avec ECC, \$ 11500 à 17500.

En France l'approche commerciale sera différente :

Le model 15 est un monoposte à base de 10 ci-dessus, 32 / 64 KB en 900 ns, floppy disk, OS 16, pour 70560 FFHT.

Le model 24 est un monoposte à base de 20, 64 / 256 KB, vendu 115100 FFHT avec une ME 120.

Le model 25 est un multiposte, 153720 FFHT avec un disque de 10 MB.

Le model 35 est le processeur défini ci-dessus comme le 30.

Il ne semble pas que Perkin Elmer ait beaucoup apprécié ce virage marketing. En 1980, la division Interdata est supprimée, et restructurée en une société Perkin Elmer Data System, qui va se consacrer exclusivement aux applications temps réel. Voir à cette société.

324 - Intergraph

Intergraph apparaît en 1984 comme un constructeur de stations de travail graphique, pour lesquelles il avait alors choisi le nouveau processeur NS 32032 de National SemiConductors, associé à un processeur flottant 64 bits de sa conception. La mémoire pouvait s'étendre de 1,75 à 4 MB et on la complétait par un disque de 26 MB et un floppy de 1,6 MB ; les accès utilisaient un clavier classique à 85 touches alphanumériques et 57 touches programmables.

La console pouvait être reliée à un maximum de 4 stations MicroII TM à base de MicroVAX. Le logiciel comportait assembleur, C, Fortran et Pascal en options, et le package graphique GKS.

Applications envisagées : PAO, CAO.

On retrouve Intergraph en 1990, avec une console de table Interpro 2020 composée d'un écran 19" et d'un boîtier tour contenant un processeur RISC de 12,5 Mips capable de 160000 vecteurs 2D ou 100000 triangles 3D par seconde. La philosophie est inchangée dans un cadre technique bien amélioré avec 16 à 64 MB de mémoire vive, 200 MB de disques, un floppy 3,5", un port de communication, un port série et un port parallèle pour autres périphériques. Un second écran est possible.

Le logiciel est Unix SV3.1 avec les extensions Berkeley, l'interface graphique Looking glass, les interfaces de communications XNS et TCP/IP. Prix à partir de \$ 15000.

Interact 2020, proposé en même temps, est un meuble intégré comprenant le même matériel informatique et soit un seul tube 19" avec tablette, soit deux tubes et une table digitiseur.

Interact 6000 (voir photo) peut utiliser en outre un immense écran de 27", 1664 * 1248 pixels et un processeur video EDGE, Extensible Display Geometry Engine, capable de gérer 16 millions de couleurs avec des pixels de 24 bits. Le logiciel est Tigris Imager. Un accord avec VITec permet aussi d'utiliser Image Computer, leur logiciel d'exploitation de photos de satellites.

Cette possibilité fait la transition avec la version militaire contemporaine, bâtie avec la même architecture Interpro mais autour du processeur RISC Fairchild Clipper de 5 Mips, un disque de 80 MB, une imprimante matricielle, un clavier mobile et une souris.

Une variante optionnelle dispose de 14 Mips et d'un disque de 112 MB.

Ce matériel se présente dans une armoire parallélépipédique de 60 * 32 * 28 " (1520 * 810 * 710 mm) avec panneau rabattable formant pupitre, transportable en caisse amortisseuse. Ce matériel protégé mais pas réellement apte au combat est fourni avec le PCPAS, Patriot Command Post Automation System (fiche).

325 - projet Intermetrics

Ce projet, présenté par Miller et Vandever au Workshop on Computer Architecture, et mentionné dans Sigplan Notices de 11 / 73 p 52, était un multiprocesseur pour laboratoire orbital. Il n'a sans doute pas été sélectionné, puisque ses auteurs ont été autorisés à en discuter dans un workshop international.

Ce qui est significatif est le travail sur mot de 64 bits, avec une architecture à pile appuyée naturellement sur un compilateur qui pouvait, à l'époque, traiter ALGOL ou PL / I. Le seul laboratoire orbital concevable à l'époque est le MOL, Manned Orbital Laboratory, déjà fort ancien quant à sa conception et de toutes façons abandonné. Cela ôte beaucoup de son intérêt à la communication.

IBM a été pendant 35 à 40 ans le leader de l'informatique mondiale et le plus efficace moteur de son progrès. Ses inventions, presque toutes des succès, se transformaient en normes internationales et toute société ambitionnant une place sur le marché devait définir ses objectifs en fonction des produits d'IBM, ce qui faisait dire au président de Control Data :

IBM n'est pas notre concurrent, c'est notre environnement.

Ce n'était pas une fatalité. Si l'on peut clairement attribuer aux militaires américains les initiatives qui sont à l'origine de l'industrie informatique, ils n'ont soutenu aucun industriel en particulier, et par la suite l'effort du gouvernement tendra constamment à éviter tout monopole, et fera tomber à quelques pourcents la part d'IBM dans le parc gouvernemental. Aussi la place prise progressivement par IBM sur le marché mondial résulte-elle essentiellement de la justesse des choix de sa direction.

Dans ces conditions, le calendrier des décisions conceptuelles et industrielles d'IBM et leurs justifications sont essentiels pour comprendre le développement d'une technique qui débouche, en 2000, sur le bouleversement radical qu'est la mondialisation. C'est pourquoi ce chapitre sera assez long.

1) En 1911 intervient à New York la fusion de trois compagnies, Hollerith, Computing Scale Company of America, et International Time Recording, pour former la Computer - Tabulating - Recording Co, plus communément nommée CTR, avec usines à Endicott et Binghamton, NY ; Detroit, Michigan ; Washington DC ; et Toronto, Canada ; CTR appartenait à un certain Colin Flint.

Ne parvenant pas à rentabiliser ses acquisitions un peu trop incohérentes, Flint fit appel à Thomas Watson, précédemment VP de National Cash Register, qu'il venait de quitter à la suite d'un désaccord avec le président. Directeur général de CTR en 1914, Watson en est président dès l'année suivante ; en quatre ans, il amène le CA à M\$ 2, ouvrant des filiales en Europe, en Amérique du Sud, en Asie et en Australie. En 1924, CTR est rebaptisée, devenant IBM Corporation.

Pendant la grande dépression, alors que chaque société se repliait dans sa coquille, IBM continua à croître. Watson avait choisi de continuer la production malgré la mévente, constituant un stock qu'il réussit à placer en bloc lors du vote en 1935 du Social Security Act, qui induisait la création d'un fichier de 26 millions de personnes. Ce coup d'audace lui permit de se poser en patron social, créant un système interne d'assurances-vie en 1934, des rentes pour les conjoints de personnels décédés en 1935, et les congés payés en 1936.

Juste avant la guerre, IBM n'était encore qu'un spécialiste de matériel mécanographique à cartes perforées, matériel d'ailleurs coûteux et réservé aux organismes ayant de très gros besoins en statistiques, comme le Bureau of Census, équivalent de notre INSEE. La compétition mondiale, libérée par un procès antitrust gagné en 1936 par le Ministère de la Justice, restait modeste, et de caractère régional :

- aux Etats-Unis, elle venait de la société Remington Rand. La carte IBM, perforée de trous rectangulaires disposés sur 12 lignes et 80 colonnes, résultant du brevet initial de Hollerith, était nettement mieux connue que la carte RR à 90 colonnes, mais de toutes façons le brevet était tombé dans le domaine public.

- en Angleterre, la concurrence était constituée par Power / Samas, qui utilisaient des cartes à trous ronds.

- dans le reste de l'Europe, et principalement en France, le concurrent était Bull, utilisant des cartes Hollerith et disposant d'une gamme complète de machines électromécaniques, comme IBM.

La curiosité technique de Thomas Watson l'avait conduit à accepter la participation de sa compagnie à des expériences d'informatique avant la lettre, notamment la construction de la machine Mark I de Harvard, à base d'éléments mécaniques de tabulatrices ; puis, immédiatement après la guerre, celle du Selective Sequence Electronic Calculator, une très grosse machine à usage interne. Cependant, il ne considérait pas que ces expériences aient un intérêt pour l'avenir.

2) C'est le fils aîné de Watson, et bientôt son héritier, qui conçut le premier l'intérêt pratique des ordinateurs et obtint de son père en 1949 l'autorisation de participer au programme militaire du Lincoln Laboratory, visant à construire un système intégré de gestion de la défense aérienne du territoire par radars et ordinateurs. Whirlwind (1950), puis le projet SAGE (1956) devaient naître de ces travaux et donner à l'IBM, en plus de contrats intéressants, une expérience inégalable qui allait servir au démarrage de l'action commerciale : la 701, née en 1953, est nettement héritière de Whirlwind et assure en un an, avec 19 machines produites au profit des grandes industries scientifiques (aéronautique, atome), le démarrage de la compagnie dans ce nouveau domaine.

A partir de ce succès initial, l'histoire de l'IBM sous la présidence de Thomas Watson II, puis de son premier successeur Vincent Learson, est une suite de réussites exceptionnelles sans pratiquement aucune erreur tactique ni stratégique :

- la 704 scientifique (1954), 150 machines offrant pour la première fois un éventail complet de périphériques et une puissance de calcul alors impressionnante de l'ordre de 50000 Ops (opérations par seconde) en virgule flottante 36 bits. Elle devait être à l'origine de toute une famille de réussites : 709 (1959), 7090 transistorisée (1960), 7094 I (1961) puis II (1962), 7040 et 7044 plus économiques (1961).

- la 705 de gestion (1955), pratiquement à l'origine de la gestion automatisée dans les banques et les assurances, et ses successeurs 705 III (1959) et 7080 (1960).

- la 650 (1955), premier ordinateur polyvalent dont le prix abordable permet de toucher une nouvelle couche de clients, construit à 1600 exemplaires. C'est une percée complètement inattendue qui pose à IBM ses premiers problèmes de construction en série, et qui sera suivie de versions transistorisées, également bien réussies, les 7070, 7072, 7074.

C'est dans cette période qu'IBM invente la mémoire RAMAC à disques fixes, qui deviendra la principale forme de stockage de l'information au service de l'ordinateur.

- la 1401 (1960) est la deuxième révolution. Le transistor permet la construction d'une machine de gestion qui s'adresse à toutes les sociétés moyennes, avec une architecture plus souple que celle de la 705, un encombrement et une consommation bien plus modestes, et bientôt le bénéfice d'un nouveau périphérique, le disque amovible à têtes mobiles (1962) ou dispack.

Le succès va bien au delà des prévisions d'IBM qui se trouve aux prises avec un grave problème d'investissement, mais qui le résout avec l'appui des banques et parvient à capter une très large part de la clientèle potentielle. Plus de 20000 machines des divers types 1401, 1410, 1440, 1460, 7010, couvrant tous les besoins de gestion à partir de \$ 1500 / mois, seront produites.

En 1964, IBM est déjà le leader reconnu de l'informatique américaine. Dès 1956, le gouvernement américain, inquiet de voir se développer un quasi monopole de l'équipement de bureau, avait fait à IBM un procès antitrust qui s'était terminé par un "consent decree", un accord bénévole par lequel IBM s'engageait à ne pas travailler dans certains domaines, mais qui lui laissait les mains libres en informatique.

Si l'on cherche à analyser les causes de la réussite d'IBM pendant cette période initiale, il faut citer :

- au plan technique, l'expérience acquise sur les projets militaires, et l'avantage considérable de disposer dès le départ d'une production en série de matériels mécanographiques, assez aisément transformables en périphériques d'ordinateurs.

- au plan commercial, une tactique sans défaut dans la sélection des matériels à offrir, et surtout l'accent mis sur la notion de service.

Jusqu'au procès antitrust Sperry / IBM de 1958, IBM refusait de vendre ses matériels, arguant qu'elle offrait un service. Par la suite, la société fut légalement contrainte de vendre, à prix de catalogue, à tout client exprimant le désir, y compris ses concurrents. Mais dans la plupart des cas le client, peu familier avec les principes de la nouvelle technique, était fort heureux de recevoir un service complet, et acceptait la location dont on lui faisait miroiter la souplesse (trois mois de préavis pour restituer le matériel).

- au plan financier, une politique de prix élevés qui rapportait de gros bénéfices permettant de financer le développement, et qui en même temps prouvait au gouvernement le désir du leader de ne pas écraser ses concurrents. C'est l'"ombrelle IBM", qui a effectivement permis la création d'une industrie concurrente viable. Les clients, malgré ces prix, restaient fidèles à cause de la qualité du service et de la commodité de n'avoir qu'un interlocuteur unique.

Au 8 avril 1964, le parc IBM était de 16000 machines environ, pour la plupart transistorisées, lorsqu'éclata la bombe du nouveau System / 360, c'est-à-dire un système polyvalent capable de traiter tout l'horizon des applications, en nature et en taille.

3) IBM prenait à cette occasion un risque calculé. Du côté négatif, il paraissait risqué de bouleverser les habitudes d'une clientèle établie, d'autant plus que les utilisateurs de cette époque étaient encore pour beaucoup des mécanographes reconvertis, un peu dépassés par leur nouvel outil, et définitivement incapables de s'adapter à la complexité du System / 360. Cependant IBM, pressentant que l'évolution ultérieure de l'informatique ferait paraître bien modestes les investissements d'avant 1964, estimait qu'un changement d'esprit était indispensable, et qu'il valait mieux le faire pendant qu'il était encore temps.

Du côté positif en effet, le System / 360 apportait de substantielles améliorations : la possibilité de faire croître son informatique sans changer de logiciel, l'automatisation complète de l'exploitation, la programmation en langage de haut niveau.

Plus exactement, il apportait l'espoir de ces progrès, car l'ampleur des problèmes n'avait pas été estimée à sa juste valeur, ni par les premiers enthousiastes, ni par IBM. On peut dire qu'il a fallu toute la vie du System / 360, de 1964 à 1970, pour que cet espoir se concrétise dans la vie de tous les jours des informaticiens.

Cependant, la révolution ne pouvait être arrêtée, et les divers constructeurs concurrents furent obligés de se redéfinir en termes de 360, la nouvelle norme "de facto" de l'informatique. Car, en dehors de l'attrait que les nouveaux services pouvaient exercer sur la clientèle, il y avait dans le System / 360 des innovations architecturales, notamment la microprogrammation, qui apparaissaient aux ingénieurs concepteurs comme

l'unique voie pour tirer un bon parti des nouvelles technologies tout en continuant à adapter les prix aux besoins.

Autre invention, introduite par petits progrès prudents : l'exploitation à distance par terminaux lourds, puis le temps partagé sur terminaux légers (time sharing). IBM n'est pas seule sur ce créneau qui permet aux états-majors des entreprises une complète centralisation de leurs calculs scientifiques et de leur gestion, source d'économies mais aussi de quelques inquiétudes sociales.

4) Ainsi, malgré les prophètes de malheur intéressés, le succès de la famille 360 fut immédiat et total, et marque le début du professionnalisme en informatique. A partir de ces machines, non seulement la conception des calculateurs, mais leur programmation et leur exploitation, deviennent des travaux d'ingénieurs.

En 1970, IBM a plus de 30000 S/360 en service dans le monde, et la question se pose de leur succession. Le problème du logiciel a pris une telle importance que la perspective de nouveaux changements inquiète tous les clients. IBM, de son côté, a mesuré le coût, de l'ordre du milliard de dollars, du système d'exploitation qu'elle a du créer instruction par instruction, et ne désire pas en changer.

Aussi le successeur, le System/370, apparaît-il comme la simple continuation du 360, offrant un meilleur rapport performances/prix sans révolution. Les applications continuaient à tourner, les reconversions étaient aisées, tout allait pour le mieux.

Ce n'était qu'une apparence. Deux ans après le lancement des 370, quand le public commençait à être familier avec la nouvelle série et que les achats atteignaient le point de non retour, IBM annonçait la généralisation de la mémoire virtuelle, jusque là simple concept universitaire. Si les petites machines de la gamme 370, 135 et 145, s'avéraient immédiatement adaptables au nouveau logiciel, ce n'était pas le cas des grosses, et les 155 et 165 étaient du jour au lendemain périmées avant d'être amorties : dure leçon pour ceux qui préféraient l'achat à la location.

IBM annonçait leurs successeurs 158 et 168, et confirmait par la même occasion une révolution technologique déjà entamée, mais non perçue du public : la généralisation de la mémoire à semi-conducteurs. Moins chère dès son apparition que la mémoire à tores qui l'avait précédée, elle n'a cessé de voir son prix décroître depuis lors, permettant l'incorporation aux ordinateurs de mémoires de travail d'énorme capacité, sans commune mesure avec les habitudes antérieures.

Ici encore, IBM ouvrait la voie, créant presque de toutes pièces l'industrie des composants à semi-conducteurs. Sept ans plus tard, la mémoire virtuelle et la mémoire à semi-conducteurs étaient devenues règles générales, même sur les miniordinateurs.

Vers 1975/76, la question de la succession se pose à nouveau. Entre temps, le logiciel des ordinateurs s'est alourdi énormément, à cause de la généralisation des banques de données, et leur système d'exploitation également, du fait de la mémoire virtuelle, de l'exploitation transactionnelle et du travail en temps réel. Le prix des conversions apparaît désormais insupportable.

Pendant environ un an, des bruits ont couru concernant une "future série" (FS) dans laquelle le matériel s'effacerait complètement, le client n'ayant plus accès qu'au service constitué par le langage de commande du système d'exploitation, et par des langages de programmation. En fait, les machines correspondantes ont certainement été étudiées, mais rien n'a été annoncé, et les exécutés pensent que l'abandon de la FS est imputable au moins autant à la crainte de terroriser le client qu'à la difficulté du problème.

Sans qu'on puisse séparer la cause et l'effet, il faut noter que cette époque correspond aux pires combats des procès antitrust évoqués plus loin, et que le constructeur pouvait hésiter à resserrer sa main-mise sur sa clientèle, et même craindre pour son avenir. Comme parade, on le voit se diversifier en deux groupes de production quasiment autonomes :

- un General System Group produisant une nouvelle famille de machines de gestion pour les PME, non compatibles avec les 370 : c'est le System/3, rajeuni vers 1975 par le System/32, puis en 1977 par le System/34. Le GSG a aussi en charge le domaine des minis où IBM s'introduit avec les Series/1.

- un Data Processing Group qui continue pour quelque temps à construire des 370, rajeunies en 1978 par l'annonce de trois nouvelles unités centrales, 3031, 3032, 3033, qui améliorent sensiblement le rapport performances/prix et obtiennent immédiatement un important succès.

Il ne s'agit que de productions d'attente, bien que de nature à prolonger l'écrasante fortune du groupe. La longévité de la formule 360/370 a permis au monde informatique de s'installer dans un régime d'habitudes, et une multitude d'entreprises grignotent le gâteau IBM à l'abri de l'ombrelle du constructeur, qui perd effectivement des marchés et qui n'aime pas cette situation : mais chacun a l'impression que, tenue par l'exigence de compatibilité, IBM ne peut prendre d'initiative révolutionnaire, et que d'ailleurs, à cause de son procès qui se prolonge, IBM est sur la défensive.

On attend deux annonces : une série E, bas de gamme, et une série H, haut de gamme, mais absolument rien ne filtre sur ce qu'elles apporteront.

5) C'est en 1978 qu'interviennent ces annonces, et elles font choc.

- tout d'abord, intéressante mais non bouleversante, la famille 8100 marque l'entrée d'IBM dans le domaine jusque là négligé de l'informatique distribuée. Chacun considère que cette bénédiction officielle d'un concept qui se prête à réalisation par de petites entreprises est très avantageuse pour l'industrie.

- fin 78, le DPG dévoile la série E, composée pour commencer de deux machines plutôt modestes, 4331 et 4341. Leur technologie est révolutionnaire, et autorise des rapports performance / prix très améliorés. Bien que ces machines soient des 370, ce qui est publié de leur architecture permet de pressentir qu'elles s'en écarteront quand IBM le voudra, ce qui constitue une menace grave pour tous les constructeurs compatibles. Pratiquement tous les constructeurs du monde sont obligés de restructurer leur gamme de produit en baissant leurs prix à la suite de cette annonce, et plusieurs fabricants de compatibles doivent abandonner des modèles ou perdent énormément d'argent, cessant d'être compétitifs.

- fin 78 également, le GSG annonce le 38, construit dans la même technologie que les précédents ; mais on découvre progressivement qu'il relève d'une architecture nouvelle, non compatible avec les 3, 32 et 34 de ce groupe. En fait, le S / 38 se présente dans le domaine de la gestion comme une sorte de FS, mais avec beaucoup plus de chances de succès parce qu'il s'adresse à des compagnies non encore équipées.

Après ces trois annonces, l'année 1979 sera une année d'attente. Le 8100 cherche sa voie et, bien que vendu par le DPG, s'adresse à une clientèle que ce groupe connaît mal et semble manquer quelque peu son entrée. Il sera tout de même produit à 12500 exemplaires.

Le S / 38 est si radicalement nouveau que le constructeur, assailli de 20000 commandes et peu désireux de faire 20000 mécontents, annonce un délai de livraison d'un an. La mise au point du logiciel ne sera terminée qu'en juillet 1980, date des premières livraisons réelles de série. Le démarrage confirme que le matériel et son logiciel sont au point, et appréciés : 4800 machines sont livrées dès la fin de l'année, 7800 en 1981.

Les nouveaux 4000 de la série E, renforcés un an plus tard de deux modèles intermédiaires, 4361 et 4381 de technologie un peu améliorée, font un malheur avec 7500 machines placées en un an et autant en 1981. Le marché des compatibles est forcé de se restructurer, et la plus audacieuse de ces compagnies, ITEL, disparaît totalement dans un désastre financier après avoir vendu son parc à son fournisseur National Semiconductors.

Même IBM ressent le contrecoup de ce succès et doit battre trois années de suite des records d'investissement, 6 B\$ par an, pour faire face aux demandes, tout en procédant à des rafles sur le marché des semi-conducteurs pour remédier aux difficultés de démarrage de ses chaînes propres.

La série H enfin fait son apparition en avril 81, et il s'avère que elle aussi utilise une nouvelle technologie. Cependant, la nouvelle 3081 n'impressionne pas la concurrence autant que celle-ci le redoutait, à moins que comme en 1970 une nouvelle invention ne se cache derrière cette première machine. C'est un peu le cas, d'ailleurs, car IBM a presque complètement automatisé la maintenance, ce qui permet de réduire le personnel d'inspection et d'abaisser les prix des contrats d'entretien, tout en améliorant la disponibilité.

Chacun, Amdahl et Hitachi essentiellement, pense néanmoins qu'il peut faire aussi bien ou mieux pour moins cher et annonce de nouveaux modèles.

6) En 1964, IBM était puissante. Après le succès de la série 360, elle était toute puissante et ses concurrents étaient contraints de s'organiser pour s'adapter à ses décisions. En effet, toute décision technique d'IBM devient une norme de fait avec laquelle il faut au minimum être compatible ; toute annonce IBM influence le choix des clients, et l'annonce d'une annonce, généralement faite par la presse informatique sans qu'IBM soit responsable, suffit à paralyser le marché jusqu'à ce qu'elle se réalise. Les constructeurs sont donc tenus d'attendre les annonces IBM, et de réagir dans les jours qui suivent en décrivant leurs nouveaux modèles et leurs nouvelles politiques de prix .

On peut comprendre qu'une telle situation ait causé quelque mauvaise humeur. Depuis 1965, IBM est en permanence l'objet de plaintes, au nom de la loi antitrust, au sujet d'abus de pouvoir et de pratiques commerciales déloyales. Appuyée par des juristes de premier plan, la compagnie évite au maximum les remous et s'efforce de traiter à l'amiable, parfois à grands frais. Les procès engagés par Telex et par Control Data, évoqués dans les rubriques de ces constructeurs, ont fait date dans cette longue liste en ce qu'ils ont effectivement influencé l'évolution de l'informatique américaine.

Cependant, après la conclusion du procès Telex, en 1975, l'attention s'est focalisée sur le procès antitrust du siècle, gouvernement contre IBM, engagé au motif qu'IBM disposerait d'un monopole abusif sur la vente de ses propres périphériques. L'enjeu est de taille, s'agissant de découper autoritairement IBM en plusieurs sociétés indépendantes et, de préférence, concurrentes.

L'accusation est absurde sur le fond, bien qu'exacte sur la forme : il est vrai qu'IBM, dont tout le monde veut copier les périphériques sans payer de licence, vend plus de 50% de la production totale de chacun de ses modèles. Il est douteux que cela soit scandaleux, mais la menace de sanction n'en est pas moins réelle. IBM a donc infléchi sa politique commerciale pour parer aux conséquences:

- en 1970, IBM a annoncé l'unbundling (traduit littéralement par débottelage). Au titre de cette politique, IBM cesse de délivrer gratuitement à ses clients le logiciel de la machine, et de former gratuitement leur personnel. Ces services deviennent facultatifs et payants, le prix du matériel baissant corrélativement. Très satisfaisante pour les sociétés de service qui peuvent désormais proposer aux clients d'IBM des logiciels et des enseignements, cette politique n'a pas été appréciée des usagers qui ont eu l'impression de perdre plus qu'ils ne gagnaient. La pratique de l'unbundling, d'abord rejetée par les concurrents qui préféraient souffler sur le feu de ce mécontentement, a néanmoins fini par s'imposer à tous les constructeurs.

- à partir de 1972, IBM se diversifie en créant, comme on l'a vu, un GSG et de petits calculateurs de gestion, en pratique un marché nouveau. Avec plus de 70000 machines en service, ce GSG est donc devenu une puissante entreprise capable, dans une large mesure, de mener une vie indépendante si le procès antitrust conduisait au démantèlement d'IBM.

Les adversaires d'IBM, très virulents au début du procès, ont baissé le ton en se rendant compte que le démantèlement ne résoudre sans doute pas leur problème, chacun des fragments potentiels étant devenu plus puissant qu'eux. Et puisque l'industrie informatique était à l'époque une industrie dynamique et saine, il s'est finalement trouvé des voix pour défendre les aspects positifs d'IBM, une société "qui doit son succès à la qualité de son management et qui continue à fournir le meilleur service du marché".

Au demeurant, il était de plus en plus évident que, les années passant, la situation avait beaucoup changé. Le "monopole" d'IBM, grignoté de tous côtés, était globalement réduit à 40%, ce qui ne tombe pas sous le coup de la loi. Les pratiques reprochées à la compagnie étaient considérées comme normales partout ailleurs, et par exemple quand exercées par certains des plaignants.

En 1980, à l'occasion d'un changement de majorité (élection de Reagan), les représentants du Ministère de la Justice ont pris conscience qu'ils ne font pas le poids, face à un industriel qui peut dépenser un milliard de \$ par an pour sa défense. En 1982, le juge en charge prononce l'abandon du procès en déclarant, ce qui est tout à fait exceptionnel, que "la cause est dépourvue de mérite" : 13 années et des milliards de dollars dépensés pour un résultat nul.

IBM n'avait pas attendu une issue qui se dessinait dans les commentaires de la presse technique, pour se restructurer de la manière la plus efficace commercialement. A partir du début 82, il n'y a plus deux gammes de produits concurrents et deux équipes de vente en conflit d'intérêt. La commercialisation est confiée à une division unique, qui dispose de l'ensemble des produits et se subdivise en fonction de la nature de la clientèle : PME ignorant l'informatique et incapables de soutenir un service spécialisé, gros clients privés compétents cherchant le meilleur service au meilleur prix, administrations, grand public.

L'aboutissement, à peu près au même moment, d'un autre grand procès, gouvernement contre ATT, qui se termine par le découpage de l'ATT en partie industrielle et partie exploitation, permet de présager un nouveau conflit de géants : IBM contre ATT, pour la maîtrise du marché désormais unifié de l'informatique distribuée.

7) L'organisation d'IBM est fondamentalement multinationale, quoique centralisée. En fait, depuis la mort de Thomas Watson, la firme s'est coupée en deux parties : les "domestic opérations" qui servent les Etats-Unis et le Canada, et la WTC (World Trade Corporation) qui vend au reste du monde. Et les deux frères Watson ont pris les présidences respectives de ces deux branches.

La création de la WTC signifiait que la compagnie décidait de produire dans le pays même de ses clients, et de fait les 360 vendues hors USA ont pratiquement été toutes produites hors USA (en Europe, en fait). Mais, pour éviter les nationalisations, et surtout pour augmenter les rendements, IBM a préféré spécialiser ses usines et ses laboratoires, de sorte qu'aucun système complet ne puisse être produit sans le concours de tous.

C'est ainsi que, vers 1982, la France fournit les composants (à Corbeil/Essonnes) et construit les 3081 et les dérouleurs de bandes magnétiques (à Montpellier), l'Allemagne produit les 43XX et les imprimantes (à Böblingen), l'Italie les S/3 et S/34 (à Vimercate), l'Ecosse les disques et la Series/1, etc...

Ces usines de production se communiquent leurs produits grâce à de vastes entrepôts sous douane situés sur les aéroports, et s'envoient leurs documents, techniques ou administratifs, à travers le réseau téléinformatique privé de la firme (CCDN, 15000 terminaux SNA, 4 ordinateurs télégérés depuis New York) qui n'hésite pas à utiliser les satellites pour traverser les océans.

La force d'IBM réside d'abord dans sa politique commerciale définie à l'échelle mondiale. Le catalogue IBM est valable dans le monde entier, et les tarifs hors taxes sont exprimés en points : le point est à peu près aligné sur le dollar mais sa valeur est définie par les Services financiers et non par la Direction commerciale.

Aucune réduction n'est permise aux vendeurs, de peur de tomber sous le coup de la loi antitrust ; la direction se réserve une politique de cadeaux de caractère promotionnel, comme l'offre d'ordinateurs à des écoles ou laboratoires de recherche, le plus souvent à l'occasion de contrats de recherche.

En matière d'études, il n'existe aucun nationalisme mal placé. Quand un programme doit être lancé, les laboratoires et bureaux d'études du monde entier peuvent envoyer des propositions et si elles apparaissent suffisamment intéressantes, les auteurs des projets vont les défendre aux USA.

Mais le fait qu'un projet soit adopté ne signifie aucunement qu'il sera produit dans le pays de son auteur, bien qu'en pratique cela arrive souvent. Ainsi c'est l'équipe de Böblingen qui a conçu la 370 / 125, effectivement produite en Allemagne (et aux USA), et ce sont les anglais d' Hemel Hampstead qui ont étudié et réalisé la 370 / 168 ; ces deux machines étaient construites en Europe avec des circuits produits à Corbeil.

Au niveau des études de base, IBM a réparti les responsabilités au niveau mondial, sans cependant garantir aucun monopole. La France possède à la Gaude un de ces laboratoires, et il y en a généralement un dans chaque grand pays; le plus célèbre est celui de Yorktown Heights, aux USA, d'où sont sortis la plupart des concepts fondamentaux et des progrès technologiques de l'informatique moderne.

Il y a deux laboratoires de recherches purement théoriques : Zurich (Suisse) pour les matériaux, et Vienne (Autriche) pour le logiciel.

Par cette organisation, l'IBM est restée attentive aux besoins diversifiés de ses clientèles et a évité de créer des produits trop étroitement liés aux caractéristiques du marché américain. La World Trade a vu son importance croître régulièrement sous le président français, J. Maisonrouge, qui a remplacé vers 1965 le second fils Watson à la suite d'une révolution de palais : en 1974, pour la première fois, le chiffre d'affaires de la WTC a dépassé celui des "domestic operations".

C'est pourquoi, fin 73, il a été décidé de couper en deux la WTC :

- la plus grande moitié, 87000 personnes, traite des problèmes de l' Europe, du Moyen Orient et de l' Afrique, avec un chiffre d'affaires qui se montait à B\$ 3,5 lors de la coupure. J. Maisonrouge continue à présider cette société qui a son siège à Paris. Fin 81, J. Maisonrouge est retourné aux USA comme membre du Conseil d'Administration, et l'effectif atteint 103000 personnes.

- l'Amérique du Sud et l'Extrême-Orient sont pris en charge par une société de droit américain, dont le siège est à Mount Pleasant, NY. Le chiffre d'affaires initial est B\$ 1,59, et l'effectif à cette époque atteignait déjà 35000 personnes. Il est de 45000 personnes en fin 81.

La mission de cette société est d'assurer l'implantation d'IBM au Japon, en train de s'éveiller à l'informatique. De là, la compagnie peut espérer rayonner dans les pays qu'on nommera un peu plus tard les dragons : Corée, Taiwan, Singapour, Hong Kong, puis s'implanter chez les dragons de seconde génération, Malaisie, Indonésie, Thaïlande ; et bien entendu, dès que cela sera possible, en Chine.

Le tableau ci-dessous présente la synthèse des données économiques concernant IBM pendant le dernier quart de siècle. Ce tableau incomplet commence au moment où IBM, de loin la première société informatique du monde, leader incontesté du marché des ordinateurs gros et moyens, s'attaque au marché des PME avec le System/3 tout en faisant face à divers procès.

Année	CA M\$	Bénéfice M\$	Effectif	Parc M\$	Production M\$
1974	12675				
1975	14437				
1976	16304	2398	290000	44000	7200
1977	18133	2719	310155	48400	8275
1978	21076	3111	325517	59704	9525
1979	22863	3011	337119	70014	
1980	26213	3562	339268	73448	10650
1981	29070	3300	334153	77051	10920
1982	34364	4409			
1983	40180	5485	327416	87090	35603
1984	45937	6582			
1985	50056	6555			
1986	55000 E	6200 E			
1987					
1988					
1990					
1991			344000		
1992	64600	- 5000	301600		
1993	62683	- 8100	256000		31398
1994	64000	3000	220000		32340
1995	71900	6300	210000		35590
1996					
1997					

Pour éclairer ce tableau, on notera que l'activité d' IBM est informatique à plus de 80% dans les années 70 à 80, montant à 90% ensuite quand la compagnie met moins nettement l'accent sur les locations. Les activités non informatiques comprennent notamment la banque, car c'est IBM, et non une tierce partie, qui prête à ses clients l'argent des locations. On parle plus loin des autres activités.

La valeur du parc est à chaque année la somme des valeurs d'achat hors taxes des ordinateurs en service actif, c'est-à-dire pour lesquels il y a un contrat de maintenance. Le nombre des ordinateurs du parc n'a pas été indiqué, étant de moins en moins significatif au fur et à mesure que l'éventail des prix s'étend vers le bas, avec l'invention du calculateur personnel à partir de 1983.

La valeur de la production est proche du chiffre d'affaires dans les premières années du tableau ; elle s'en écarte par la suite, au fur et à mesure que le logiciel et les services, biens immatériels, prennent de l'importance à côté du matériel.

Il faut enfin noter que la croissance rapide des CA ne doit pas être imputée entièrement à la bonne gestion de la direction d'IBM, mais comporte une part d'inflation importante, malheureusement inconnue et variable d'une année sur l'autre.

Le tableau montre que l'année 1981 n'a pas été bonne, pour cause de procès et de mutation dans la production. Par contre l'année 1982 est excellente (+ 28% de CA, + 22% de bénéfice) car les nouveaux matériels sortent des chaînes et sont un succès. C'est aux deux extrémités de la gamme que cette réussite se manifeste le plus clairement, avec + 21% sur les unités centrales, principalement les 3081, et sur les nouveaux disques 3380 à têtes en film mince; mais il y a aussi la vente de 200000 PC, le calculateur personnel que produit depuis fin 81 l'usine de Boca Raton, Fla.

IBM n'a pas inventé le concept, car depuis plusieurs années Apple propose avec succès des calculateurs individuels au grand public. Mais sa décision transforme un amusement privé en un produit industriel qui va rapidement s'introduire dans les entreprises, bouleversant l'échelle des valeurs informatiques au point de menacer l'existence même de la compagnie : en 1982 cependant, IBM est encore comme tous les constructeurs inconsciente des mutations prochaines, et s'avance avec confiance vers un objectif avoué de 100 B\$ pour le tournant du siècle.

8) IBM possède une division fédérale de 11000 personnes et 3 usines (Owego, NY - Manassas, Va - Burlington, Mass) qui se consacre à des études secrètes sur des contrats militaires : calculateurs pour avions de combat et satellites, processeurs de signaux pour balises acoustiques, sonars passifs des sous-marins de chasse. IBM s'astreint délibérément, cependant, à ne pas dépendre pour plus de 20% des contrats gouvernementaux, et reste en fait bien en dessous de cette barre : 612 M\$, soit 2,6% seulement du chiffre d'affaires en 1979.

Les secrets d'Owego ne filtrent pas du tout à travers la World Trade : l'IBM France, qui a monopolisé de 1960 à 1967 les calculateurs militaires français, n'a jamais reçu aucune aide de la division fédérale.

9) IBM ne limite pas ses ambitions à l'informatique, et tout ce que ne mentionnait pas le "consent decree", parce que cela n'existait pas en 1956, lui est bon par la suite. C'est ainsi que dans le domaine du matériel de bureau, IBM a créé le marché du "word processing", c'est-à-dire du traitement de texte avant la lettre : une machine à écrire à mémoire permettant mise en page et corrections avant impression. Elle a d'autre part conquis sur Xerox, dès la fin de son brevet, une part importante du marché des photocopieurs, soit en tant que tels, soit pour en faire des imprimantes : au total 3849 M\$ en 1979.

De façon beaucoup plus audacieuse, IBM est depuis 1979 partie prenante dans une entreprise de liaisons informatiques par satellites, qu'elle partage avec la Comsat et une compagnie d'assurances : SBS, la Satellite Business System Co. La commission fédérale des communications (FCC), après de longues hésitations à la suite de l'expression des inquiétudes des compagnies d'informatique comme de celles de communications, a donné le feu vert à cette nouvelle action.

Les divers barrages franchis en 1980, SBS, qui avait déjà procédé à d'importants investissements en satellites Hugues et en stations terrestres, a fait en 1981 son entrée sur un marché déjà encombré, auquel elle apporte des solutions originales. Au premier semestre 83, son chiffre d'affaires en croissance rapide atteint 54 M\$ et son capital vient d'être porté à 711 M\$. Elle lancera six satellites de communication de 1980 à 1990 avant qu'IBM ne vende ses parts.

10) Il nous reste à comprendre comment la croissance harmonieuse et maîtrisée d'IBM s'est trouvée bouleversée par l'évolution technologique et par celle des moeurs : au 1 / 1 / 2001, notre limite, IBM est toujours le premier chiffre d'affaires de l'informatique, mais ce n'est plus elle, ni d'ailleurs aucun de ses concurrents de 1982, qui tient le flambeau et fixe la voie.

En 1985, mauvaise année aux USA, le chiffre d'affaires d'IBM s'est accru de 9%, atteignant 50056 M\$, qui se décomposent en 34404 M\$ de ventes (+ 16%), 4116 M\$ de locations, et 11536 M\$ de services. John Akers, issu du sérail, succède à Vincent Learson, atteint par la limite d'âge.

Le logiciel est déjà important à l'époque, mais il est encore étroitement lié au matériel et on n'en fait pas un poste à part. La ventilation du poste ventes donne 24,2% d'unités centrales, 25,3% de périphériques, 21% de matériels autonomes (bureautique et stations), 8,3% de progiciels, 12,2% de maintenance, 4,1% de la division fédérale, 4,7% de divers dont consommables.

Sur ce total, 28510 M\$ concernent les domestic opérations, et 21546 la WTC. Mais la répartition des bénéfices n'est pas proportionnelle : 3450 M\$ viennent des USA (- 13,3%), et 3880 de la WTC (+ 18,9%). 4700 M\$ ont été consacrés à la recherche et aux études (+ 12,7%), soit 9,4% du CA, ce qui est plutôt faible dans la profession, et d'ailleurs plus faible que les années précédentes, comme on l'a indiqué plus haut.

La compagnie IBM de cette époque est une organisation verticale intégrée, produisant elle-même une large fraction de ses composants et de ses périphériques, la totalité de ses unités centrales et des contrôleurs associés, la majeure partie de leurs logiciels et de leurs communications, et presque toute la maintenance ; le client n'a normalement pas d'autre interlocuteur qu'IBM, puisqu'il trouve tout ce dont il a besoin chez son fournisseur. Les clubs d'utilisateurs, SHARE pour les scientifiques et GUIDE pour les gestionnaires, sont puissants, très bien organisés, et choyés par le constructeur ; ils permettent l'échange d'expériences et la mise en commun volontaire de logiciels issus de leurs membres.

Cette présentation idéale des faits est presque entièrement exacte, et toute la politique commerciale d'IBM tend à ce qu'elle le reste. Rien n'interdit de copier les architectures IBM, avec ou sans licence, mais les spécifications d'interfaces des matériels (qu'IBM est tenu de fournir à ses concurrents) sont si complexes et si fréquemment changeantes que les copieurs ont toujours plusieurs mois de retard, pendant lesquels IBM est seul fournisseur ; les systèmes d'exploitation et les principaux logiciels sont soigneusement ajustés aux caractéristiques du matériel, très performants, et largement spécifiques, de sorte que beaucoup de concurrents choisissent d'acheter la licence correspondante ; les langages de programmation importants sont tous normalisés de sorte qu'IBM est tenu à une stricte compatibilité, et se borne à maintenir ses compilateurs au meilleur niveau, au point que les concurrents auront fréquemment intérêt, là aussi, à un accord de licence.

Le PC va changer tout cela. Depuis des années IBM réalisait, en petites quantités, des calculateurs de table destinés au grand public plutôt qu'aux entreprises, mais elle le faisait sans enthousiasme parce qu'elle ne savait pas vendre à ce type de clients. Cependant, vers 1980, la réussite d'Apple et de Commodore confirmait l'existence d'une clientèle, cantonnée d'ailleurs dans le domaine 8 bits.

Au moment où il devenait techniquement possible de réaliser des microprocesseurs 16 bits, IBM estima que l'heure était venue de se placer vraiment sur ce marché encore potentiel, parce que :

- d'une part, l'analyse de marché indiquait la possibilité de construire une machine 16 bits et de la vendre à un prix qui intéresserait une clientèle familiale.

- d'autre part, la puissance d'une machine 16 bits permettait d'envisager des applications dans le domaine de la bureautique et donc de l'entreprise, c'est-à-dire des débouchés d'une toute autre ampleur.

La machine réalisée à Boca Raton ne coûtait pas cher à fabriquer en série, et pouvait être vendue avec des marges importantes. Pour la clientèle familiale, il fallait bien entendu offrir un logiciel complet, et IBM avait demandé celui-ci à une petite société de création récente, Microsoft, avec laquelle elle avait passé un contrat de 5 ans pour l'écriture et le développement continu d'un système d'exploitation, MS / DOS ; les autres composants d'un service minimum étaient obtenus de divers éditeurs, à savoir un traitement de texte, une gestion de fichiers formant petite base de données, et un tableur pour l'arithmétique. Une interface normalisée pour les périphériques essentiels était garantie par un petit logiciel spécialisé inscrit sur ROM et vendu avec le matériel, le BIOS (Basic Input / Output System).

Pour la commercialisation, IBM créait des boutiques PC, où pour la première fois de son histoire les vendeurs s'adressaient directement au public, qui pouvait voir et essayer les machines.

Le succès fut extraordinaire, bien au delà des prévisions les plus optimistes d'IBM, qui avaient été rendues publiques. De sorte que plusieurs petits constructeurs, sachant qu'IBM n'était pas en mesure de satisfaire la demande, purent sans risque se lancer dans la fabrication de compatibles qu'il n'était même pas nécessaire de vendre moins cher que les machines du leader. En 2 ans, le marché était solidement installé, et plusieurs sociétés y participaient avec des chiffres de production comparables à ceux d'IBM.

De plus, le grand nombre des clients suscitait la naissance de multiples éditeurs qui offraient des programmes compatibles avec le BIOS, et dont certains s'avéraient meilleurs que les originaux, comme Lotus 1-2-3 ou Excel. Pour compléter ce tableau d'un marché en expansion explosive, Microsoft inventait, en dehors de son accord avec IBM, une couche logicielle de fenêtrage qui se superposait à MS / DOS et en rendait l'usage beaucoup plus attractif, Windows. Si attractif d'ailleurs que très vite tous les éditeurs adaptaient leurs produits à la couche Windows plutôt qu'à la couche MS / DOS, de sorte qu'il n'était plus possible de vendre un PC sans Windows ; Microsoft assurait son avantage en offrant avec Windows un service intégré, Works, comprenant traitement de texte / base de données / tableur, tout en proposant comme les autres éditeurs des produits plus raffinés, l'éditeur Word et le tableur Excel.

D'autre part, la multiplication des produits logiciels dépendant du BIOS rendait de plus en plus difficile toute tentative de modifier celui-ci, de sorte que le modèle du PC tendait à se figer.

C'est là qu'IBM commit sa première grave erreur d'appréciation, imputable à la méconnaissance des réactions psychologiques du grand public. Elle entreprit de rédiger son propre système d'exploitation, OS / 2, meilleur en tous points que Windows, offrant bien entendu un intégré mais aussi, lorgnant sur l'entreprise, des facilités de liaison avec les ordinateurs IBM ; moyennant quoi certaines entreprises devinrent effectivement des clients d'OS / 2, tandis que le public dans son ensemble restait fidèle à Windows devenu habitude.

De plus, au moment du passage à la deuxième génération du PC, qui correspondait à l'ouverture sur l'entreprise, IBM crut bon de remplacer le bus ISA, 8 MB/s, sur lequel se connectaient tous les périphériques du PC, par un bus propriétaire, le MCA, 20 ou 40 MB/s, plus performant : cet avantage devait, espéraient les auteurs de cette idée, emporter l'adhésion des fabricants de PC et de périphériques.

En fait, les fabricants de PC se partagèrent entre ceux qui rejetaient le MCA et ceux qui donnaient le choix à leurs clients, ce qui était déjà mauvais signe ; à moyen terme, le conservatisme du public l'emporta sur la stricte rationalité des acheteurs d'entreprises, et IBM, pour continuer à vendre des PC, dut comme les autres offrir un choix de bus. C'est finalement Intel, le fabricant du micro, qui lui sauva la face en proposant un bus PCI encore plus performant, que IBM se dépêcha d'adopter.

Ajoutons à cela que la politique commerciale d'IBM en matière de PC n'a pas cessé de chercher sa voie, abandonnant les boutiques pour la vente en grands magasins (FNAC, supermarchés), proposant des PC bistructures capable d'exécuter des programmes 360, essayant mollement d'autres processeurs que les x86, acceptant des alliances pour les oublier ensuite. Avec l'orgueilleuse conviction, pourtant complètement périmée sur ce marché, que son logo justifiait aux yeux des clients un important écart de prix .

Résultat : en 1995, IBM ne détient plus que 8 % du marché des PC, avec 4,78 M de machines livrées, derrière Compaq 10,2%, à quasi égalité avec Apple 7,8% qui produit des machines non compatibles, et devant plus d'une dizaine d'autres. Le logiciel est Windows pour la plupart des nouvelles ventes, même si OS/2 lui est toujours supérieur et fonctionne à la satisfaction de quelque 12 millions d'installations. Et tous les usagers ont oublié que c'est IBM qui a créé le PC : pour un nouvel acheteur, le choix est d'abord entre Windows et Mac/OS, puis c'est une question de prix ; le nom du constructeur est pratiquement indifférent, et OS/2 n'est connu que des anciens clients.

Le PC est clairement un ratage de la gestion d'IBM à partir des années 82, mais ce n'est pas le seul ennui que la compagnie ait eu à subir, ni même le plus grave. L'apparition en force des micros, dont la puissance individuelle rejoint progressivement celle des plus puissantes machines antérieures, se traduit par des bouleversements que la presse technique orchestre avec délectation, sur les thèmes suivants qui flattent agréablement le goût du public :

- les particularismes techniques imposées par un constructeur sont des atteintes à la liberté du client, qui doit pouvoir construire le système adapté à ses besoins en achetant le moins cher des composants disponibles dans chaque catégorie : unités centrales, périphériques, logiciels.

C'est sous-entendre un peu vite que tous les matériels se valent, et ignorer que beaucoup de firmes moyennes et toutes les petites manquent d'informaticiens capables de faire de telles synthèses. La presse technique n'en a cure, admettant que de tels intégrateurs existent dans les sociétés de service.

- l'entreprise doit s'ouvrir sur le monde et communiquer, l'heure est aux réseaux. La vraie convivialité consiste à donner à chaque membre de l'entreprise l'ordinateur qui correspond à son travail ; s'il a besoin de connaître le travail du voisin, un réseau local y pourvoira. Les gros ordinateurs n'ont plus aucune justification. Les architectures en étoile sont une survivance de l'ère où IBM prétendait gouverner les entreprises à travers SNA, et où les directions générales s'abritaient derrière les contraintes techniques pour créer des organisations pyramidales dignes de Big Brother.

C'est oublier la loi de Grosch selon laquelle le prix des machines croît seulement comme la racine carrée de leur puissance, et négliger le prix des liaisons téléphoniques.

Avec de tels principes les journalistes ne cessaient d'exalter les vertus du mode de communication "client / serveur" et de prédire la fin prochaine des grosses machines (les "mainframes") grâce au "downsizing", c'est-à-dire à l'atomisation des tâches informatiques réparties en petites unités. Dans les années 90 à 95, l'ubiquité de tels thèmes a certainement influencé fortement les entreprises ayant à renouveler leur matériel informatique ; les constructeurs ont d'ailleurs contribué à cette désaffection, dans la mesure où ils ne se sentaient plus capables de continuer la course à la puissance unitaire opposant IBM aux japonais NEC, Hitachi et Fujitsu, et se reconvertissaient dans la vente de serveurs.

Pour IBM, ce fut une période difficile où le prix du Mips (le Million d'instructions par seconde, une évaluation très grossière de la puissance des machines) décroissait bien plus vite que la demande n'augmentait, grâce au remplacement de la technologie coûteuse des "réseaux de portes ECL" par le CMOS facile à fabriquer en séries immenses. Mais contrairement aux incantations des journaux, les détenteurs de grandes bases de données sont restés fidèles à la centralisation et ont continué à accroître, dans de fortes proportions, leurs demandes de Mips ; l'année 95 a vu IBM installer 250000 Mips supplémentaires et, à partir de 1996, la corporation a réussi à stabiliser ses revenus "grands systèmes".

Par ailleurs, avec la série AS/400 qui s'inscrit dans la droite ligne des System/38 et a réussi, après pas mal de tâtonnements, à convaincre les PME équipées en S/36, IBM s'approche en 1996 des 360000 systèmes installés et continue de satisfaire, après plus de huit ans de service, les besoins des entreprises en serveurs départementaux. La transition du mode étoile au mode client / serveur s'est faite en douceur et la famille représente dès 1996 quelque 7% des revenus d'IBM, avec près de 25% de clients nouveaux chaque année, en plus des renouvellements.

IBM a également tenu sa place dans la conversion des moeurs scientifiques qui donne naissance à la "station de travail", en inventant le RS/6000 en 1990 et en le dotant d'un processeur RISC baptisé Power. Celui-ci évoluera, un peu plus tard, vers un puissant microprocesseur, le PowerPC, dont IBM fera profiter Motorola et Apple.

Le RS/6000, à cause de sa clientèle, fonctionne sous Unix ; pas très désireux de payer des droits à l'ATT, IBM a créé sa propre version d'Unix, baptisée AIX, et bien entendu la presse informatique ironise quelque peu sur cette manie de propriétaire. A la décharge d'IBM, il faut dire que les péripéties de l'histoire d'Unix sont parfaitement déraisonnables, et que ce logiciel d'intérêt général manque cruellement d'un gérant ; au moins IBM s'efforce-t-elle de faire converger son AIX avec ce qui existe de normes chez Unix.

Des statistiques difficiles à interpréter semblent indiquer qu'en 1993 IBM détient environ 10 % du marché des stations, avec une production de 49770 RS/6000 (+ 20,4%) valant 1043 M\$ (+ 12%) ; mais que sont alors les quelque 19000 stations IBM qui ne sont pas RISC ? Le chiffre de 1995 est de 64647 stations RISC, soit 9% en nombre, loin derrière Sun et Hewlett Packard, et un peu derrière DEC.

IBM utilise son processeur Power pour réaliser une machine massivement parallèle fonctionnant sous AIX, le SP1, modernisé rapidement en un SP2, qui obtiendra un succès honorable : environ 1000 SP1 et SP2 ont été placés dans la période qui nous concerne. Bien que certains, très importants, soient installés à Livermore pour les calculs nucléaires, il semble que la clientèle principale se situe en gestion.

Un autre domaine où IBM a fait l'objet d'attaques constantes dans la presse est celui des communications : le réseau SNA d'IBM, résolument de type étoile au point de faire remonter toutes les communications jusqu'au contrôleur de l'ordinateur central, est considéré, à cause de son énorme extension, comme un obstacle à l'évolution souhaitée vers un réseau maillé sans maître.

Dans ce domaine, IBM a choisi de faire évoluer SNA vers un système APPN plus symétrique, mais sans forcer aucun client à des reconversions non désirées. La compagnie se tient au courant de toutes les technologies mais ne semble pas s'impliquer par des produits maison.

Dans le domaine des réseaux locaux, né dans les années 80, IBM avait choisi de se démarquer en adoptant le Token Ring, système a priori meilleur parce que sans perte et plus rapide, là où les autres constructeurs utilisaient plutôt Ethernet qui accepte les collisions et plafonne à 1 Mbit/s. La pression de la clientèle a progressivement contraint IBM à soutenir aussi Ethernet, qui entre temps a développé une variante à débit beaucoup plus élevé.

Résumons nous. Vers 1990, l'accumulation des effets négatifs des erreurs psychologiques et des flottements du management devant les changements très rapides nés de la miniaturisation (échecs répétés dans le marché des PC, attaques de la presse contre les "mainframes" et l'architecture verticale, rigidité excessive dans les attitudes commerciales) ont conduit IBM à une stagnation du chiffre d'affaire, puis à des pertes importantes qui culminent en 1993, obligeant la compagnie à suspendre ses largesses sociales, puis à vendre des actifs et à licencier massivement. C'est ainsi que vers 1992, la division fédérale est cédée à Loral, un consortium qui se spécialise dans les activités militaires, et que l'activité "imprimantes" est vendue à Clayton & Dubillier pour 1,5 B\$, devenant Lexmark où IBM ne garde que 10% du capital. John Akers démissionne; il est remplacé par Lou Gerstner, qui pour la première fois n'a pas fait carrière dans la maison. Puis la situation se stabilise vers 1995 et même se renverse, IBM obtenant des résultats exceptionnels de ses productions les plus classiques qu'elle a techniquement renouvelées. On constate un véritable retournement de l'opinion face aux mainframes, obligeant la presse technique à des mea culpa pour prévisions erronées et tendancieuses.

Au moment (2000) où nous interrompons cet examen, la période d'euphorie est terminée, pour la Bourse comme pour le personnel de l'entreprise, qui a été réduit de plus de moitié. Le mythe IBM est mort, et l'industrie des compatibles avec lui pour l'essentiel, car l'ombrelle IBM est un luxe dépassé. S'il subsiste des normes IBM, c'est parce que les usagers préfèrent n'en pas changer.

IBM reste cependant la première société mondiale d'informatique et, sous la direction de Lou Gerstner qui a réussi la reprise en main, elle se restructure pour garder son rang. En 1995, 49,5 % du chiffre d'affaires proviennent des ventes de matériel : cette fraction diminuera lentement, pour cause d'automatisation et de rationalisation de la production. La maintenance contribue 12,2% et ira, elle aussi, en diminuant, du fait d'un accroissement de la fiabilité et de l'automatisation des procédures. Le logiciel, 17,5 %, qui se décompose en 60% système, 27% outils de développement, 13% application d'intérêt général, se développera sur cette dernière partie, au besoin par acquisition des compétences manquantes. Les services, qui représentent déjà 17,5% en 1995, vont se développer, IBM mettant en avant ses aptitudes d'intégrateur et son implantation mondiale. Le reste, 5% en 1995 pour les locations et crédits, peut constituer une marge d'adaptation.

327 - Mécanographie

Il est raisonnable de jeter un coup d'oeil sur les créations mécanographiques d'IBM, parce que toute l'informatique des 20 premières années a été marquée par la conversion de ces machines en périphériques, et parce que la programmation d'une partie des premiers calculateurs a emprunté lourdement à leur technique. En fait, on peut dire que c'est en abandonnant tout souvenir de la programmation par tableaux que les calculateurs sont devenus ordinateurs, au moment même où les derniers mécanographes achevaient leur reconversion ou renonçaient à essayer de suivre l'évolution de leurs matériels.

Dans la mécanographie, le concept de fichier (classement ordonné d'informations structurées ayant une définition commune) est matérialisé par des paquets de cartes perforées, conformes au dernier brevet Hollerith chez IBM. La carte matérialise une fiche et contient un maximum de 80 caractères, numériques ou alphabétiques, codés par une (chiffre) ou plusieurs (autres caractères) perforations rectangulaires parmi les 12 possibles dans une même colonne ; les caractères forment des champs consécutifs de taille arbitraire mais, par principe, toutes les cartes d'un même fichier contiennent les mêmes champs.

Le fichier est une sorte de mémoire. La mécanographie consiste à extraire un ou plusieurs champs successivement dans toutes les cartes d'un fichier, à effectuer sur eux des manipulations ou des calculs, et à créer un ou plusieurs fichiers de sortie qui contiennent les résultats, plus éventuellement certains champs du ou des fichiers sources. Il n'y a pas de limite de principe à la quantité de manipulations exécutables sur un fichier, sauf par la complexité et donc le prix des machines manipulatrices ; pour cette raison, il existait jusqu'à la guerre des limites matérielles :

- aucune machine ne contenait plus de deux "chemins de cartes": on ne pouvait travailler sur plus de deux fichiers à la fois.

- il n'existait pas de mémoires dans les machines : les données venaient des postes de lecture et les résultats ne pouvaient aller qu'à des postes de perforation ou d'impression. Tout au plus, une ou deux constantes affichables pouvaient être impliquées dans les calculs .

- les opérations exécutables sur les données d'un champ comportaient toutes manipulations de position (extraction, filtrage, suppression de sous-champs, insertions), des opérations arithmétiques limitées au groupe de l'addition (addition, soustraction, comparaison), et des tests simples. Mais ni multiplication ni division.

L'organisation des machines est donc caractérisée par la présence de plusieurs parmi les dispositifs suivants:

- chemin de carte comprenant un ou deux postes de lecture à 80 balais, chacun détectant une impulsion électrique par trou rencontré lors de la progression de la carte, grand côté en avant ; éventuellement un poste de perforation ; un ou plusieurs clapets pour diriger la carte vers plusieurs casiers de sortie.

- totalisateur décimal sur un chiffre, avec borne de retenue permettant des couplages.

- sélecteur sur un caractère, avec de nombreux critères possibles : valeur particulière, valeur numérique supérieure ou inférieure à une borne.

- afficheur d'un caractère

- marteau d'impression d'un caractère dans les tabulatrices

Les 80 ou 160 balais de lecture, les sorties des totalisateurs (total et retenue), les sorties des sélecteurs (décision oui / non), les afficheurs sont reliées au tableau en tant que sources ; les 80 commandes de perforation, les commandes d'impression éventuelles, les trois entrées de chaque totalisateur (deux chiffres et s'il y a lieu une retenue), les entrées des sélecteurs, les commandes des clapets, lui sont reliées en tant que destinations. Des câbles placés manuellement, chacun reliant une source alphabétique à une destination alphabétique, une source numérique à une destination numérique, une source binaire à une commande binaire, forment le programme qui permet une remarquable souplesse.

Un moteur électrique commande un arbre qui entraîne tous les dispositifs mécaniques, à raison d'un tour pour chaque étape du chemin de carte: il est donc possible d'effectuer plusieurs manipulations successives si l'on sait distinguer, sur le tableau, les plots activés au premier, au deuxième ou au troisième tour du transfert d'une carte.

Sur ce thème général ont été construites au fil des années trois catégories de machines:

- des machines manuelles de préparation de cartes, perforatrices et vérificatrices

- des machines de manipulation de fichiers : trieuses (sorter), interclasseuses (collator), reproductrices (punch), interpréteuses.

- des machines de calcul et d'exploitation : reproductrices (summary punch), tabulatrices (accounting machine, printer).

Peu avant la guerre, l'absence de multiplication commence à devenir gênante, et IBM introduit prudemment une nouvelle machine, la calculatrice, qui sait faire cette opération. L'après-guerre verra cette machine devenir électronique, puis communiquer directement avec une ou deux machines d'exploitation, constituant un calculateur à cartes perforées, le CPC.

On trouvera dans la documentation un document rédigé par H. Boucher qui reprend avec beaucoup plus de détails les définitions précédentes et constitue un historique de la mécanographie. Ce document abondamment illustré comprend également, plus ou moins en dehors de ce thème principal :

- des considérations sur les machines bureautiques : machines à écrire, lecteurs et perforatrices de bandes

- l'étude de l'IBM 305 RAMAC, première machine à offrir une possibilité de fichiers permanents, la mémoire à disques. C'était toujours une machine mécanographique, car la programmation de tous les transferts se faisait par tableaux.

On trouve aussi dans la documentation une sélection de documents IBM. Dans ces conditions, la présente rubrique se résume à un catalogue, avec pour chaque machine mentionnée soit un bref commentaire, soit un renvoi à une des références ci-dessus définies.

Perforatrices

- 011 (1946) perforatrice électrique carte par carte
- 015 (1926) perforatrice numérique
- 016 (1926) perforatrice numérique, capable de duplication
- 024 (1949) perforatrice à carte maîtresse et alimentation automatique : hopper (magasin source) de 500 cartes, stacker (magasin destination) de 500 cartes, débit 20 col/s en duplication, 80 col/s pour les colonnes vides. Poids 92 Kg, dimensions 788 * 712 * 990 mm.
- 026 (1949) perforatrice interpréteuse déduite de la précédente, photo dans Boucher 13. Tête d'impression à 35 aiguilles disposées 7 * 5 commandée par came.
- 027 combinaison d'une 024 numérique avec une additionneuse
- 028 version interpréteuse de la 027, 18 col/s
- 031 (1933) perforatrice alphanumérique avec clavier numérique séparé.
- 036 (1946) perforatrice alphanumérique avec clavier comportant des touches 11 et 12
- 043 (1949) machine de conversion de bandes perforées 5 trous en cartes
- 044 (1949) machine de conversion de bandes perforées 8 trous en cartes
- 046 (1957) machine de conversion de bandes perforées 8 trous en cartes, dérivée de la 026. Voir explications et photo dans Boucher 20.
- 047 (1957) version interpréteuse de la 046.
- 116 (1970) perforatrice manuelle numérique, capable de duplication. Photo dans Boucher 12.
- 129 (1971) perforatrice manuelle alphanumérique incorporant une mémoire pour le contenu de la carte en cours de composition, capable de six modèles de cartes et de plusieurs compteurs de champs sélectionnés.
- 131 (1970) version alphanumérique de la 116, photo dans Boucher 12.
- 143 modernisation économique de la 43.

Vérificatrices

- 052 (1946) vérificatrice associée à la perforatrice 015
- 055 (1946) vérificatrice associée à la perforatrice 031
- 056 (1950) vérificatrice alphanumérique
- 155 (1970) vérificatrice manuelle numérique, dérivée de la 116. Voir photo dans Boucher 13.
- 156 (1970) vérificatrice manuelle alphanumérique, dérivée de la 131. Voir photo dans Boucher 13.

Trieuses

- 075 (1949) trieuse 225 cartes par minutes (cpm) (mod 2) ou 400 cpm (mod 1) à 13 casiers et 15 compteurs. Photo dans notice IBM 52.3177-1.
- 080 (1949) trieuse 450 cpm (mod 1) ou 250 (mod 2). Voir Boucher 22 et notice IBM.
- 082 (1949) version 650 cpm de la machine précédente. Voir Boucher 23 et notice IBM.
- 083 (1954) trieuse électronique 1000 cpm. Voir Boucher 23 et notice IBM.
- 084 trieuse électronique 2000 cpm, transistorisée, lecteur photoélectrique, entraînement par aspiration. Hopper 3600, 13 stacker 1650.
- 101 (1955) machine à statistiques, c'est-à-dire trieuse totalisatrice et imprimante. Voir Boucher 26 et notice IBM.
- 108 (1959) combinaison d'une trieuse 1000 cpm totalisatrice avec une reproductrice 534, capable de rechercher des séquences spécifiques de cartes. Hopper 1200, 13 stackers 900. Poids 634 Kg, dimensions 1778 * 788 * 1270 mm.

Interclasseuses

- 077 (1950) interclasseuse 240 cpm/voie, deux hopper 800, 4 stacker 1000. Poids 324 Kg, dimensions 1270 * 495 * 1308 mm. Voir Boucher 24 et deux notices IBM.
- 085 (1960) modernisation de la précédente, mêmes performances dans une carrosserie plus moderne. Poids 365 Kg, dimensions 1100 * 750 * 1300 mm. Contrôle sur 16 colonnes, 7 sélecteurs.
- 087 (1960) version alphanumérique de la précédente, contrôle sur 16 ou 19 positions.
- 088 (1958) interclasseuse numérique, ancêtre direct du lecteur/perforateur 1402, en trois versions contrôlant les cheminements sur 22, 16 ou 10 positions. 2 voies 650 cpm, deux hoppers 3600 et 1200, cinq stackers 1000. Poids 549 Kg, dimensions 1460 * 712 * 1473 mm.
- 089 (1949) version alphanumérique de la 077.

Tabulatrices

- 402 (1948) tabulatrice à barres, 100 cpm, contenant jusqu'à 80 compteurs. Moteur de 1 CV. Hopper 900, stacker 1000, dimensions 1727 * 1092 * 1193 mm.
- 403 (1948) même machine que la précédente, mais capable de découper l'image d'une carte en trois lignes, et de s'associer une reproductrice récapitulative;
- 405 (1951) tabulatrice 80 lignes par minute (lpm), contenant 80 compteurs. Texte dans Boucher 33.
- 407 (1949) tabulatrice 150 lpm, contenant 120 roues de 48 caractères, et jusqu'à 168 compteurs sachant ajouter ou soustraire. Hopper 1000, stacker 1200, bande pilote à 12 canaux pour l'avance du papier, sait associer jusqu'à 3 lignes à une carte. Contient encore jusqu'à 20 sélecteurs, 20 cosélecteurs, 4 digit selectors, 20 filtres, et une liaison optionnelle vers une reproductrice.
Poids 1490 Kg, dimensions 1854 * 788 * 1295 mm.
Voir Boucher 36, mais surtout étude détaillée dans le volume Boucher sur la 650.
- 408 (1957) variante de la 407 permettant d'imprimer au choix, sur commande par la bande pilote, sur du papier continu et sur les cartes, ou encore sur les deux à la fois.
- 409 (1957) variante de la 407 permettant de sélectionner, par la bande pilote, la perforation de 24 chiffres, ou 8 lettres et 7 chiffres, dans la partie gauche de la carte. Moteur 3/4 CV, poids 1356 Kg.
- 419 version purement numérique de la 402, plus rapide. Moteur 3/4 HP, 1160 Kg.
- 420 version de construction européenne de la 405, 80 lpm. Voir Boucher 34.
- 421 (1955) version de construction européenne de la 402, 100 lpm, 120 compteurs. Voir Boucher 34 et notice IBM très complète. Il en existe une version 421E renforcée d'une unité de calcul électronique, voir Boucher 35.
- 441 tabulatrice à 100 positions d'impression, alimentée par deux chemins de carte 150 cpm et disposant de 120 compteurs. Complètement programmable. Voir photo en Boucher 34.

Reproductrices

- 513 (1938) reproductrice 100 cpm, voir Boucher 27.
- 514 (1949) reproductrice alphanumérique 100 cpm.
- 519 (1946) reproductrice imprimante 100 cpm, comprend un moteur de 1 HP, deux hoppers 800, deux stackers 1000, jusqu'à 80 colonnes de comparaison, et une imprimante capable de placer 8 chiffres en bordure de la carte. Poids 595 Kg, dimensions 1346 * 635 * 1257 mm.
Voir photo en Boucher 28.
- 521 perforatrice construite avec une mécanique de reproductrice pour les besoins d'un groupe calculeur. Pour description et photos, voir Boucher 44 et notice IBM du groupe.
- 523 perforatrice 100 cpm comme ci-dessus, dans une variante destinée à servir de complément à une tabulatrice: un seul chemin de carte avec hopper 800, stacker 1000, totalisateur, connexion pour perforation récapitulative. Poids 339 Kg.
- 524 perforatrice récapitulative pour la machine à statistiques 101, construite autour d'une mécanique de 116, et non de reproductrice. Voir notice IBM 101, page 37.
- 528 (1949) reproductrice alphanumérique 200 cpm en lecture, 100 cpm en perforation, deux hoppers 800, deux stackers 1000, moteur de 1 / CV. Peut recevoir jusqu'à 48 positions de compteurs, 45 ou 80 positions de comparaison, 4 cosélecteurs, 6 pilot selectors, 12 column split, etc... Connectable à toutes tabulatrices, c'est la plus élaborée des machines de perforation de l'après-guerre.
Poids 658 Kg, dimensions 1346 * 635 * 1257 mm. Voir photo en Boucher 28.
- 529 (1953) variante de la 521 adaptée au rôle de lecteur / perforateur 100 cpm pour l'ensemble 607.
- 535 (1956) variante de la 521 adaptée au rôle de lecteur / perforateur 155 cpm pour l'ensemble 608.
- 565 (1958) variante de la 521 adaptée au rôle de lecteur / perforateur 100 cpm pour l'ensemble 628.

Interprêteuses, encore appelées Traductrices

Pour toutes les cartes composées à la main, l'interprétation est désormais faite à la source, avec les perforatrices déjà citées telles que les 026 ou 047. Les interprêteuses sont utilisées avec des fichiers issus de reproductrices, encore qu'on puisse utiliser aussi une 519.

- 550 (1955) interprêteuse numérique 75 cpm, 5 réglages de position en hauteur
- 552 (1955) interprêteuse alpha 60 cpm, à barres, maximum 60 caractères. Voir Boucher 33.
- 557 interprêteuse alphanumérique 100 cpm, maximum 60 caractères, 25 réglages verticaux, 4 sélecteurs, zero print control, column split, etc... Moteur de 1 CV, hopper 800, stacker 900. Poids 515 Kg, dimensions 1346 * 648 * 1321 mm.

Quand, peu avant la guerre, la demande des clients suscite l'étude d'un multiplieur mécanique, le réflexe des concepteurs est de concevoir une nouvelle machine pour faire cette opération, en l'équipant d'un seul chemin de carte de sorte que les deux opérands doivent impérativement provenir d'une même carte qui recevra aussi le résultat.

Le besoin existe toujours après la guerre, mais on maîtrise désormais les connexions électriques entre machines, et il apparaîtra plus commode de faire une calculatrice électromécanique, ou même électronique, et de la relier à des machines existantes, à peine transformées, à savoir une reproductrice pour l'entrée et/ou la sortie, ou encore une tabulatrice pour une sortie imprimée. Le cas de la 421 E est une exception, acceptable seulement pour des calculs très simples.

Ainsi naît la notion de groupe de calcul, qui va se développer rapidement et aboutira, après des machines complexes comme la 305 et la 650, à la prise de conscience qu'il est anormal de confier l'édition à des tableaux ajustés manuellement par des mécanographes, alors que les calculs sont décrits par des programmes confiés à des ingénieurs, qui ont toutes les raisons de préférer définir eux-mêmes leurs dessins de cartes ou leur mise en page de résultat.

Suit donc un bref aperçu de cette évolution:

601 (1938 ?) multiplicatrice électromécanique 8 * 8 chiffres, avec riches possibilités de limiter le nombre de chiffres des opérands pour accélérer le calcul, et de positionner les virgules des données et des résultats. Voir Boucher 41.

602 (1945) calculatrice électronique 200 cycles par minute, capable des quatre opérations sur des opérands lus dans un unique chemin de cartes, où les résultats sont aussi perforés. La machine travaille donc seule, comme le faisait la 601. Elle comporte 102 à 134 chiffres de mémoire, des introducteurs 12 chiffres splittables en 2 * 6, un MQ Register de 8 chiffres. Les nombres négatifs sont représentés en complément à 10, l'addition s'exécute en un seul cycle, la multiplication prend 1 à 2 cycles par chiffre du multiplieur, la division 5 à 11 cycles par chiffre du reste partiel. Le tableau porte encore jusqu'à 30 positions de compteurs pour recevoir le résultat, 8 cosélecteurs, 7 pilot selectors, 2 digit selectors, etc...

Description physique : hopper 800, stacker 1000, poids 491 Kg, surface au sol 1422 * 711 mm, consommation 700 watts. Voir Notice IBM 22.5489.7 de 1948 révisée 1949.

603 (1946) multiplicatrice électronique en forme de valise, connectée à une reproductrice.

Voir photo dans Boucher 42, sans aucun détail.

604 (1947) Premier véritable groupe et grand succès commercial, cette machine comprend seulement au départ une reproductrice 521 et une calculatrice électronique 604 à programmation par tableau. De la description donnée dans la fiche, dans Boucher 44 et dans deux notices IBM, on retiendra essentiellement que le programme exécuté à l'occasion de chaque carte de données comprend un maximum de 60 lignes de programme exécutées séquentiellement, sans autre possibilité de rupture de séquence qu'un saut au dessus de certaines lignes de programme (suppression) en fonction de quelques conditions élémentaires. On est loin d'un calculateur programmable, mais la machine était assez fiable.

605 (1950) La 604 n'a pas cessé d'évoluer, sans changer de technologie : accroissement (léger) du nombre de lignes, augmentation du nombre de sélecteurs, multiples connexions et d'abord celle d'une tabulatrice 421, puis, en option, celle d'un supplément de mémoire (unité 941).

Pour remédier au reproche formulé plus haut, on a procédé à une simulation : programmation par tableaux de séquences spécialisées qui ressemblent à des opérations du système, invocation de ces opérations par des cartes programme permettant de choisir entre deux branches. Cette approche encore bien imparfaite d'une vraie programmation s'est imposée d'abord en France, pour lutter contre le succès du PPC, le programme par cartes des Gamma 3 de Bull, bien supérieur à la méthode initiale ; la machine ainsi utilisée est commercialisée sous le nom de CPC, Card Programmed Calculator. L'Amérique l'a ensuite adoptée. Voir fiche et document IBM France de 1956.

Cette machine ne pouvait plus faire illusion, en tant que calculateur scientifique, dès lors que la 650 arrivait en Europe. Pour prolonger le succès de la 604 en matière commerciale, IBM France propose à partir de 1955 le GCDA qui groupe une tabulatrice 441 à double alimentation, une perforatrice 521, et une 604 très complète, avec une programmation mécanographique standard par tableaux. Voir photo en Boucher 59.

607 (12 / 53) Développement américain de la 604 destiné à remédier aux insuffisances relevées précédemment, cette machine n'a pas été produite en Europe où la 695 offrait déjà un service comparable. Voir fiche et Boucher 49.

- 695 (1954) C'est le nom donné à la version européenne du 605, produite en France et nettement plus perfectionnée que la machine dont les plans ont été reçus d'Amérique, cependant sans changement de technologie. Voir Boucher 55.
- 626 (1955) Calculatrice autonome 4 opérations, incorporant son chemin de cartes. Ses performances restent modestes, 25 à 75 cpm, parce que la technologie est toujours à tubes, a priori la même que pour la 604, et parce qu'il n'y a toujours pas de mémoires. Voir photo dans Boucher 43.
- 608 (1956) Calculatrice transistorisée pour mécanographie. Avant toute commercialisation d'une machine transistorisée, IBM désirait maîtriser la nouvelle technologie. Il fut décidé de construire un prototype qui reproduisait exactement les caractéristiques de la 604, avec une meilleure fiabilité. La réussite de cette expérience décida de la mutation de la mécanographie, et la nouvelle technologie fut utilisée pour offrir deux machines : la 305 examinée plus loin, et une 608 qui n'est pas du tout compatible avec la 604. Voir description technologique dans Boucher 49, et architecture dans la fiche.
- 628 (1958) Cette machine se présente comme une modernisation de la 604 et doit s'employer de la même manière, associée à une tabulatrice et à une perforatrice. Son originalité est l'existence de 40 mémoires à tores magnétiques et d'un accumulateur de même technologie, mais toujours servis par une logique à tubes qui explique son encombrement. Sa carrière a été courte. Voir notice préliminaire IBM.
- 609 (1960) Calculatrice autonome associée dans un seul meuble à un chemin de données comprenant hopper 1200, lecteur de cartes 200 cpm, perforatrice de cartes 200 cpm, et trois stacker 1000. La programmation se fait toujours par tableau mais elle ne comporte plus les restrictions signalées pour le CPC, grâce à la souplesse permise par des mémoires à tores magnétiques.
Les circuits sont réalisés en SMS, c'est-à-dire que leur production s'inscrit dans le même cadre que celle des circuits pour 1401 : une simplification majeure indispensable à un moment où la production explose chez IBM. Voir fiche et Boucher 99 / 107.

Comme indiqué dès le début de cette rubrique, le principal inconvénient de la mécanographie est que le support mémoriel du fichier est un paquet de cartes. S'il y a beaucoup de fiches, la recherche manuelle d'une carte peut devenir difficile ; et s'il faut modifier un petit nombre de fiches, il faut non seulement retrouver ces cartes, mais les reperforer, tâche manuelle peu pratique à insérer dans le plan de travail du personnel et des perforatrices.

La réflexion sur ce problème constant conduit IBM, en 1956, à inventer la mémoire à disques IBM 355, qui bien entendu trouvera rapidement d'autres débouchés. La réussite de ce travail technique difficile (deux mouvements de bras pour positionner une tête magnétique avec précision par rapport à une vaste pile de disques) autorise la construction d'un calculateur spécialisé, l'IBM 305 RAMAC (Random Access Memory Automatic Computer), dont le programme itératif de taille limitée (200 instructions) est situé sur quelques pistes d'un tambour magnétique qui contient aussi tous les registres. Une instruction définit un transfert d'information entre une fiche sur disque et un des registres, et elle peut en outre exciter un plot parmi une trentaine sur un tableau mécanographique : toutes les actions physiques sur le monde extérieur peuvent en découler, par les méthodes usuelles de la programmation mécanographique.

Les modes d'emploi comprennent:

- création et mises à jour des fichiers (50000 fiches de 100 caractères par pile de disques) à partir de cartes perforées.
- impression d'états à partir d'extractions sur un fichier.
- consultation conversationnelle du fichier à partir d'une machine à écrire (IBM 838).

La 305 a été un gros succès commercial, qui s'est prolongé bien au delà de la généralisation des ordinateurs universels. Voir fiche, Boucher 65 / 97 et notice IBM de programmation.

Vers 1960, la mécanographie est pratiquement morte, mais l'existence universelle de lecteurs de cartes et l'abondance des perforatrices de cartes assure la transition qui va encore durer quinze ans au moins. IBM, qui souhaite ne pas perdre une activité aussi lucrative et quasi monopolistique, décide de tenter une relance, sous la forme d'une nouvelle carte, moins encombrante grâce à l'emploi de trous ronds et plus petits. Trois machines mécanographiques constituent la famille, qui s'adresse à des entreprises ayant des besoins modérés:

- la perforatrice manuelle IBM 3020, de la taille d'une machine à écrire de table.
- la trieuse 3080, pourvue d'un hopper 550 et de 11 stackers 550. Commandes par touches sous capot.
- la tabulatrice / calculatrice 4 opérations / perforatrice 90 cpm, 70 positions d'impression, 57 compteurs prégroupés en 9 * 4 et 3 * 7, deux chemins de cartes, 3 mémoires de 10 chiffres.

Ce produit est lancé par le moyen d'une distribution assez large de brochures préliminaires (dont un exemplaire est joint) et il échoue complètement : personne n'est plus intéressé par la mécanographie à l'heure de l'ordinateur. La série 3000 ne sera pas commercialisée.

Une nouvelle carte perforée, différente de la précédente et encore plus petite malgré 96 colonnes, sera introduite avec le Système 3. Il ne s'agit pas, cette fois, de relancer la mécanographie, mais simplement de proposer avec les S/3, machines pour PME, une solution moins lourde que la carte classique pour les entrées/sorties, grâce à une machine unique, le LPFM 5424 ; cette unité polyvalente est capable de 500 cpm en lecture, 120 cpm en perforation, 120 cpm en interprétation marginale sur 3 lignes, 96 cpm en interprétation marginale sur 4 lignes dans sa version A2, tous chiffres divisés par 2 dans la version A1 plus économique.

Comme il n'existe que deux stacker par chemin sur le LPFM, il est nécessaire de prévoir une trieuse. Par souci d'économie, cette machine travaille sur 6 cases seulement, 5 chiffres et une case de rebut, faisant donc ses tris en deux passes : la vitesse, 1000 à 1500 cpm selon modèle, compense cela. Cette trieuse 5486 (voir fiche S 3/10) dispose d'un hopper 2000, 6 stackers 700, dans un volume de 870 * 410 * 690 mm, 63 Kg.

Il faut aussi pouvoir préparer les cartes, et il existe à cet effet une perforatrice / reproductrice / vérificatrice 5496, capable de 60 caractères/s, contenant une mémoire de 7 images de cartes pour tous services usuels. Elle mesure 1000 / 600 / 680 mm et pèse 113 Kg, mais l'essentiel de ces dimensions provient de la table sur laquelle l'opératrice pose ses documents. Voir aussi fiche S 3/10.

Le LPFM est proposé avec les machines IBM de petite gestion, S/3 et S/370-125 et 115, mais ce ne sera jamais un grand succès : la carte est passée de mode.

328 - Les activités de la Federal Division

Bien avant de créer officiellement une division fédérale, vouée aux activités secrètes et comme telle très isolée puisque ne pouvant communiquer ses travaux ni à la compagnie ni à la communauté scientifique, IBM s'était engagée dans des activités informatiques pour le compte du gouvernement, en acceptant pendant la guerre de construire un calculateur à relais, le PSCC, Pluggable Sequence Relay Computer. Programmée par tableau, dotée d'entrées/sorties à cartes perforées, cette machine se situe dans le droit fil des productions normales de la société et ne représente qu'un faible effort de créativité. Elle a été réalisée en deux exemplaires : un installé en décembre 44 à Aberdeen Proving Ground, l'autre au laboratoire Eckert de l'Université de Columbia, qui est une création d'IBM. Ces deux machines ne figurent pas dans l'inventaire fait en 2/53 par l'ONR, ce qui signifie qu'elles avaient déjà été retirées.

L'autorisation donnée par Th. Watson à son fils se manifeste dès 1948 par une implication de la compagnie dans les travaux du Lincoln Laboratory, le prestigieux laboratoire d'électronique par lequel le Massachusetts Institute of Technology a contribué à l'effort de guerre, et qui se reconvertit avec la paix dans les études à moyen terme : en l'occurrence, l'étude d'un système semi-automatique de défense aérienne stratégique, visant à protéger les USA d'attaques provenant d'URSS par le Nord et, moins probablement, par l'Atlantique.

La participation d'IBM à l'étude de Whirlwind, le calculateur à tubes du projet, restera marginale ; mais elle donnera aux ingénieurs de la compagnie une bonne connaissance de la problématique, des idées précises sur la construction d'un ordinateur à tubes à vide, et les relations nécessaires pour qu'au moment où le projet passera de la phase études à la réalisation d'un système opérationnel, le choix d'IBM pour construire les calculateurs centraux apparaisse évident. La Federal Division est alors créée.

Le SAGE, Semi Automatic Ground Environment, géré par le Lincoln Labo, est le premier grand système C3 (Command, Control & Communications) réalisé aux Etats-Unis, et le fait d'en être le principal partenaire informatique a certainement constitué pour IBM un avantage décisif.

Il s'agissait de fournir 5 calculateurs AN/FSQ8 de régions et 15 calculateurs AN/FSQ7 de secteur, soit 35 unités centrales, mais les remaniements de zones ont finalement limité la production à 32 CPU, en plus du prototype. Les machines installées ont fonctionné pratiquement sans interruption pendant 15 années et apporté à IBM une formidable expérience en matière de fiabilité, de disponibilité, et de logiciel "temps réel" qui lui a permis d'enchaîner sur les systèmes SACCS, BMEWS, MERCURY, GEMINI, APOLLO et SHUTTLE, pour ne citer que ceux directement gérés pour une agence gouvernementale.

A peine l'étude terminée, l'installation étant encore en cours, l'USAF lançait une phase 2 visant à réaliser, pour un trafic aérien double, un nouveau système de calcul capable de faire le travail avec seulement 10 machines duplex : l'AN/FSQ7A transistorisée, vite rebaptisée AN/FSQ31 (version mono CPU, pour le projet SACCS) et AN/FSQ32 (version duplex, pour le SAGE). Un calculateur expérimental, le RTA, Reliability Test Assembly, fut construit pour valider les nouveaux circuits.

En même temps, la MITRE Corporation, société "non profit" très liée à l'USAF, entreprenait l'étude du programme SATIN, SAGE & Traffic INTégration, qui devait en principe permettre de traiter simultanément, avec les mêmes radars et les mêmes calculateurs, mais dans des centres distincts, la surveillance, l'alerte et le combat dans le ciel militaire, et le contrôle du trafic dans le ciel civil.

Malheureusement, en 1961, un réexamen stratégique, lié à l'apparition des missiles balistiques, convainquit l'USAF d'abandonner, en phase 2, les trop volumineux centres de secteur du SAGE au profit de calculateurs plus modestes et situés près des radars, formant le réseau BUIC confié à Burroughs. Les 4 unités centrales construites furent affectées au projet SACCS, le prototype FSQ32V étant confié à la System Development Corporation, autre société "non profit" travaillant pour l'USAF ; le projet SATIN fut abandonné et la FAA priée de se débrouiller seule, ce qu'elle fit sans brio sous la pression des syndicats.

Voir fiches et documentation sur SAGE, AN/FSQ7, AN/FSQ8, AN/FSQ32, RTA. L'analyse détaillée rassemblée par l'auteur en deux volumes pour le compte du Service Technique des Constructions Navales a pris en compte toutes les références disponibles, dont certains originaux sont cependant joints au dossier pour les photos, les figures, ou les amateurs du vocabulaire technique américain.

A peu près contemporain du SAGE, mais commencé plus tard et terminé plus tôt parce que beaucoup plus simple est le programme SACCS, Strategic Air Command Control System (Projet 465 L), que IBM partage avec ITT chargé des communications. Il s'agit essentiellement de collecter des renseignements quantitatifs sur 16 bases du SAC, 20 commandements de wing, 26 commandements de bases de missiles, 128 centres de lancement, d'en dresser des statistiques à jour, et de les diffuser dans les postes de commandement d'une part sous forme de cartes et tableaux de synthèses, d'autre part à la demande. Voir fiche AN/FSQ 31 et chemise USAF en boîte 149.

La participation d'IBM consistait essentiellement dans la fourniture et la programmation de calculateurs AN/FSQ 31, très proches des FSQ 32 étudiés pour le SAGE, ce qui nous dispense d'autres détails.

Parallèlement à son implication dans la défense aérienne à partir du sol, la division fédérale entreprenait des études de calculateurs aéroportés, un produit difficile à cause des problèmes de poids et de consommation électrique, mais a priori très rémunérateur à cause du nombre des avions et des rechanges à prévoir. On trouve dès 1956 une étude DINABOC, certainement abandonnée puisque elle fait l'objet, en juin 1957, d'une communication à la 1st National Conference on Military Electronics.

Cependant, l'abandon ne signifiait pas perte d'intérêt, et IBM s'implique, de 1954 à 1959, dans l'équipement intégré des premiers bombardiers B52, AN/ASQ 38, comprenant un ordinateur central associé à un radar AN/ASB 4 puis 9, un astrotracker Kollsman MD1, un radar doppler AN/APN 89, un compas Kearfott AN/AJA 1 et une camera General Electric O 32. Cette version initiale évoluera rapidement à l'occasion des commandes successives des B52A à H, mais ce n'est pas IBM qui sera chargé des refontes.

Ces informations étaient à l'époque tout à fait secrètes, mais la philosophie sous-jacente a été connue assez vite, car en 1961 l'abandon du projet de bombardier aile volante Northrop B 70 permet de commenter dans la presse son système intégré AN/ASQ 28, également confié à IBM et tout à fait voisin : centrale à inertie, sextant stellaire Autonetics N2J, deux radars, ordinateur IBM.

IBM s'est aussi intéressée à l'Armée de terre, qui lui posait un difficile problème de fiabilité avec la spécification d'un transport sur camion. IBM fera en 1960 le choix naturel d'une mémoire à tores magnétiques, et celui beaucoup moins évident d'une logique magnétique à base de tores et d'amplificateurs à transistors. Ce sera le ordinateur Impac, développé à trois niveaux :

- le ordinateur proprement dit, AN/TYK 6 Impac

- le système sur camion, AN/TYK 7 Informer .

- le gros système pour les services de renseignement, le Data Coordinator AN/TYK 8 regroupant plusieurs Informer autour d'une mémoire à disques.

Il semble qu'après expérimentation tactique de ce matériel qui fonctionnait correctement, l'Armée ait conclu qu'il n'y avait pas urgence.

En dehors de ces contrats où IBM et sa division fédérale prennent la responsabilité d'un système militaire, la compagnie est encore intervenue dans beaucoup d'autres, mais seulement comme prestataire de service ou même simple fournisseur de matériel dans un contrat géré par une autre société. Citons :

- BMEWS (1960) est un programme de radars antimissiles dont le maître d'oeuvre est RCA. IBM fournit comme sous-traitant trois IBM 7090 placés au pied des radars pour en exploiter la vidéo et construire les messages expédiés ensuite au NORAD.

- DODCom n'est qu'une des incarnations du réseau de communications du Département de la Défense, en constante évolution et large croissance. Dans cette version de 1961, quatre IBM 1410 installées en Europe, en Alaska, au Colorado et à Hawaï servaient, en "store & forward" (commutation de messages) quelque 6300 circuits téléphoniques et télégraphiques dispersés dans 73 pays.

- le SPASUR de 1960 utilise une IBM 7090 pour collecter et distribuer, avec un retard ne dépassant pas 1 seconde, les informations spatiales encore embryonnaires à cette époque. Ce système modeste sera remplacé par le NASCOM quand le programme spatial américain démarrera vraiment.

- le TABLON est le système d'archives informatisées du Département de la Défense, installé dès son invention avec deux mémoires photographiques IBM 1360, et l'arsenal approprié de disques, de bandes, et de calculateurs (deux DEC PDP 10 pour la gestion des mémoires tampons, et un PDP 8 pour assurer les communications de service avec les calculateurs clients) nécessaire à son exploitation. Voir, pour une description de ce système, la rubrique 468 Pentagone.

A la vérité, le seul titre de ces exemples à figurer ici est le caractère militaire du système. Le rôle d'IBM n'est pas différent, dans ces cas, de celui qu'elle joue auprès de nombreuses entreprises privées, et que nous commenterons plus loin : SABRE de American Airlines, Equitable Life, Groupe Drouot, Wall Street, pour ne citer que quelques unes de ces réalisations.

Nous en arrivons, vers 1962, au démarrage du programme spatial américain. IBM y jouera un rôle important dans deux directions disjointes :

- d'une part, par la Division fédérale, dans les véhicules spatiaux eux-mêmes, lanceurs et satellites.
- d'autre part, comme fournisseur des machines, programmeur et exploitant des centres de calcul de la NASA, Goddard et Johnson Space Center principalement, mais aussi Jet Propulsion Laboratory.

Dans la première catégorie, on citera d'abord l'AN/ASC 15 de 1962, calculateur de guidage embarqué du missile Titan II, lanceur de divers satellites et des capsules Gemini : c'est encore un calculateur à tambour magnétique, cylindre de 4,5" de diamètre (103 mm) tournant à 6000 t/min, avec 81 têtes de lecture / écriture et 47 circuits enfichables.

La version de ce calculateur utilisée pour le lanceur Saturn 1A du programme Apollo comportait 12000 composants dans un volume de 110 litres, pesant 95 Kg et consommant 540 watts : des chiffres considérables indices d'une technologie dépassée, comme le sont la capacité de mémoire, 100000 bits seulement, et la performance de 3200 op/s. Le MTBF de 750 heures était par contre honorable.

IBM sait fort bien que ces caractéristiques ne conviennent pas pour les vols Apollo et prépare, dès cette époque, des machines plus modernes. Nous avons des traces de deux études de 1962:

- un calculateur transistorisé en logique NOR, fonctionnant à 500 KHz, qui pourrait être une étude préliminaire au contrat Gemini. Cette machine se présente comme un bloc de 235 * 229 * 76 mm, contenant des cartes imprimées de 47 * 63,5 mm. L'arithmétique 26 bits tient en 68 circuits enfichables ; la mémoire se limite à 1000 mots de 13 bits dont un tiers modifiable en film mince, le reste NDRO. Les entrées / sorties comprennent les entrées d'un clavier, des sorties en forme de visualisation, et un codeur / multiplexeur à 11 voies, réalisé en 10 circuits enfichables.

- une machine à diodes tunnel et logique majoritaire, précurseur possible du calculateur Saturn 5, beaucoup plus moderne techniquement que les précédentes : 57 litres, 45 Kg, 150 watts, mémoire 12000 mots, 70000 op/s. Cette machine subira de sévères essais d'ambiance, notamment vis à vis des radiations.

Moyennant quoi IBM obtiendra de Mc Donnell, chargé de l'étude des capsules Gemini, le contrat pour l'étude du calculateur et la fourniture de 13 machines. Livraison en 7/63, voir fiche.

Beaucoup plus importante est la commande, fin 63, par le Marshall Space Center de Huntsville, de l'anneau d'électronique des Saturn 1B et 5 : spécifié avec l'idée que tous les Saturn 5 porteront des capsules habitées, cet anneau est un élément de la structure du lanceur, séparant le 3ème étage du command module : il mesure environ 1 m de haut et 6,7 m de diamètre, et son électronique assure successivement le pilotage des trois étages jusqu'à la mise sur trajectoire de transfert vers la lune.

Cette électronique comporte un calculateur série, donc pas très rapide, dont les parties les plus critiques sont triplées pour organisation d'un vote majoritaire : c'est que la spécification, peu exigeante en performances, est au contraire très stricte quant à la fiabilité, fixée à 0,99 pour 250 heures de vol, alors que ce vol ne dure pas même 7 heures. Rétrospectivement, IBM a bien tenu son contrat puisque aucun des 22 vols de Saturn 1B et 5 n'a eu d'incident.

Pour pouvoir vérifier, dans des conditions réalistes, le fonctionnement du calculateur Saturn, IBM a construit un testeur programmable, l'ASTEC, comprenant une logique en circuits SMS, une mémoire magnétique de 8000 mots, un lecteur de bande perforée, une machine à écrire Selectric, un plotteur, et une imprimante IBM 1443. Le testeur peut solliciter ou mesurer tous les points de connexion du calculateur et du data adapter, tout en soumettant ceux-ci à chauffage ou refroidissement conforme aux conditions de stockage ou de vol dans l'espace. L'ASTEC a été réalisé en trois exemplaires, installés au centre spatial IBM, à Huntsville et à Cape Canaveral. Photo dans la fiche.

A côté de la responsabilité du matériel, IBM avait aussi celle du logiciel de ce calculateur, c'est-à-dire en pratique celle de tout le véhicule Saturn V, puisque l'anneau commandait tout le vol jusqu'à la mise en orbite. En fait, IBM n'a peut-être pas écrit ce logiciel, mais elle devait le vérifier dans des conditions réalistes. A cet effet, il existait à Huntsville une 360/44 avec disques et interface temps réel, capable de dérouler toute la séquence des 20 minutes de vol et d'en contrôler toutes les étapes. Voir 252 - 789/800 .

Dans la seconde catégorie, la Division fédérale n'est pas impliquée, et IBM négocie des contrats de fourniture ou de services avec des établissements de la NASA, à savoir :

Programme Vanguard : une 704 à Washington DC, dès 1957 (contrat US Navy, bien avant la NASA)

Programme Mercury : un RTCC de trois 7090 à Goddard, vers 1960.

Programme Gemini : un RTCC de cinq 7094 à Houston, en 10/62, en service début 65.

Programme Apollo : un RTCC de cinq 360/75 à Houston, à partir de 1967.

divers 360 : une 95, une 91, une 75, quatre 65 à Goddard, pour l'exploitation des bandes de télémétrie vers 1968.

Programme Shuttle : un RTCC de trois 370/168 à partir de 1976.

Space Flight Operation Facility, au Jet Propulsion Laboratory, pour la gestion des vols de satellites non habités : deux 7094 et deux 7040 en 1964.

MOL Advance Satellite Test Center, à Vandenberg AFB, Cal : trois 360/67 avec un CDC 3600 et des disques Philco, de 1968 à 1970, pour la gestion d'un programme de l'USAF qui a été abandonné avant tout lancement.

Cette liste très orientée n'est certainement pas complète, et de toutes façons donne une image figée d'une participation éminemment dynamique. On retiendra son importance quantitative.

La rédaction des programmes temps réel des RTCC, intense obligation d'IBM pendant cette période, et tâche très difficile à la fois dans son essence et à cause du manque de programmeurs compétents, a donné lieu à une réflexion méthodologique qui a débouché, quelques années plus tard, sur le concept du "chief programmer": une organisation du travail qui réduisait fortement la probabilité d'échec, et qui a sous des noms divers été adoptée par tous les vendeurs de services. Voir à ce sujet l'article 213-13.

Un document IBM exposant l'approche de la compagnie sur le logiciel des RTCC figure au dossier. Voir 213-3 et 203 pp 417/28.

Autre contrat intéressant : en 1980, après 17 mois de discussion, IBM Federal gagne, contre Martin Marietta Denver et General Dynamics San Diego, un contrat de M\$ 150 sur la modernisation de l'infrastructure au sol destinée à commander le réseau de satellites Navstar / GPS, et particulièrement la base californienne de Vandenberg qui en sera le poste central.

Revenons à la division fédérale, qui pendant la période des vols ne restait pas inactive. On citera quelques réalisations ponctuelles, mais une part de ces travaux vise en réalité à développer un catalogue de matériels standard, permettant de répondre aux appels d'offre par des produits (adaptables) pris "sur étagère".

Le processeur de l' OAO, Observatoire Astronomique Orbital, ne pouvait appartenir à cette catégorie, bien que plusieurs satellites soient prévus et que quatre aient été construits et lancés de 1966 à 1972. On en attendait plus de souplesse et de fiabilité que de performance, s'agissant de transmettre quotidiennement une très grande variété d'ordres de déploiement, de positionnement, d'activation ou de mise au repos, pour divers appareils variant d'un satellite à l'autre. Aussi le calculateur est-il lent, 50 KHz seulement, mais avec une logique très redondante; il fonctionnera parfaitement et n'aura aucune responsabilité dans l'échec de deux de ces observatoires.

Le SMAC, Space, Missile & Aircraft Computer, énonce par son sigle l'objectif très large de l'étude, qui consiste dans la réalisation par IBM d'un prototype, puis d'un modèle de vol, d'un calculateur entièrement magnétique, mémoire à tores et logique à film mince. La machine réalisée a effectivement volé, mais nous ne disposons pas des conclusions. La plus plausible, au vu d'autres essais, est que le calculateur est effectivement peu sensible aux perturbations de toutes natures, mais que la fabrication des films minces est difficile donc coûteuse, et surtout peu reproductible. En tous cas, il n'y a pas eu de suite.

Le TDPS, Tactical Data Processing System, nous rapproche de l'objectif. Le calculateur est universel, raisonnablement petit, résistant à toutes les ambiances et agressions selon toutes normes militaires : il ne lui manque que de trouver une clientèle.

On peut cependant penser que les présentations du TDPS, qui ont certainement eu lieu après réussite des tests, ont contribué à en trouver une, car l'année suivante introduit enfin IBM dans plusieurs programmes militaires. Le nom de 4PI, donné à la famille, souligne sa polyvalence dans tout l'espace des applications, mais il s'agit plus de publicité que de réalité ; les diverses machines ont assez peu de choses en commun, la microprogrammation et le recours à des circuits intégrés TTL essentiellement. Trois réalisations marquent cette première version des 4PI :

a) le TC1 (T pour tactique) est installé en 1967 sur la première génération de missile mer/mer Harpoon (plus de 2000 exemplaires) et son principal objectif est d'être léger et économe en énergie. Il sera suivi d'un TC2 deux fois plus rapide installé sur les chasseurs / bombardiers A7D et A7E (plus de 1400 exemplaires). Il fonctionne en série / parallèle sur 8 bits, avec une mémoire 32 bits.

b) le CP1 (C pour custom) est le calculateur du chasseur / bombardier F111 A, série Mk 2, dont il assure la navigation. Il fonctionne en parallèle et il est donc un peu plus rapide que le TC1, mais il est surtout plus modulaire, essentiellement adaptable au besoin du client (c'est le sens du mot "custom") grâce à une mémoire de microprogramme.

Il en existe une version CP2 à qui l'USAF a donné en 1969 le sigle AN /AYK 6, différente surtout parce qu'elle n'est pas microprogrammée : sa mémoire est câblée et non microprogrammée, ce qui veut dire que la macromachine se confond avec la micromachine. Ce sera le calculateur du chasseur lourd F111C et du bombardier FB111. Deux unités centrales AN /AYK 6 communicantes et un convertisseur A/D et D/A construit par Kearfott desservent la centrale à inertie Autonetics NI6H, le radar d'attaque Autonetics AN /APS 130, le radar de navigation Canadian Marconi AN /APN 189, les visualisations créées par Norden, un système de carte projetée sur un plan horizontal, le TACAN et le Loran C, le data link avec la terre, et les commandes des armes, notamment les missiles Raytheon AIM 7G à tête radar.

De la même manière, en 1969, IBM doit intégrer l'électronique du chasseur A7E. Son calculateur est encore un 4PI /CP2, avec A/D - D/A Kearfott ; sous le sigle USAF CP 952 /ASN 91 il coordonne la centrale à inertie ASN 90, le radar doppler APN 190, le radar principal APQ 126, le collimateur AVQ 7 du pilote, la visualisation ASN 99, le calculateur aérodynamique Garrett CP 953A /AJQ et les commandes des armes, missiles Shrike antiradar, canon Gatling et bombes.

En 1971, IBM devra de même intégrer dans un ASQ 133 l'électronique du A6E, radar APQ 148, visualisations et armes. Le calculateur sera cette fois un 4PI /CP3, et c'est Fairchild qui fabriquera le bloc des conversions A/D - D/A. Ce travail sera repris très rapidement avec la version TRAM du même A6E, dont l'équipement IBM ASQ 155 devra regrouper l'optronique FLIR et le télémètre laser de Hugues, un radar APQ 156, et la centrale à inertie CAINS.

C'est le dernier grand travail d'intégration d'IBM, qui s'intéresse alors aux problèmes de contremesures, très gourmands en informatique. Ce virage intervient en 1971 à l'occasion du programme Wild Weasel, qui comporte des équipements d'autodéfense pour le chasseur F4D et un vaste matériel de brouillage pour l'avion d'accompagnement EA6B. Dans ce programme, IBM fournit un récepteur d'analyse AN /APR 38, dont les signaux sont interprétés par un calculateur Texas pour commander les missiles ARM et les brouilleurs.

En 1973, IBM se verra confier un programme plus complexe, l'analyseur de signaux radars de l'avion patrouilleur embarqué S3A, AN /ALR 47 : deux préamplificateurs superhétérodynes de bout d'ailes alimentent le calculateur 4PI /SP0 qui délivre fréquence, azimut, largeur et fréquence d'impulsion des radars environnants à un calculateur plus général, AN /UYK10 (Univac 1832), qui fait la synthèse des informations du bord.

Cette même année, IBM interviendra indirectement dans le programme AN /AMQ 32 de Kaman Aerospace, qui doit installer sur avion WC 130 une station météo complète. L'USAF prélèvera sur ses stocks trois calculateurs 4PI /CP2 : un AN /AYK 12 s'occupe de la navigation avec la centrale à inertie Northrop et le récepteur Omega, et un biprocesseur AN /AYK 11 gère le service proprement météorologique, imprimante, enregistreur, data link et les deux consoles de visualisation. IBM fera les adaptations et le logiciel.

c) le EP (E pour Extended) est destiné aux applications de Command et Control, et probablement au programme MOL, dont on sait qu'il a été abandonné avant réalisation. Il était microprogrammé, complètement modulaire, et capable de fonctionnement biprocesseur.

Bien que le succès de la série précédente soit dû aux versions légères, IBM persiste à penser que son vrai domaine porte sur des machines plus importantes, et qu'il existe des besoins militaires dans cette catégorie. La souplesse est garantie par la microgrammation. IBM étudie donc une version modernisée du EP, baptisée A pour Advance.

La mémoire est à tores magnétiques, cycle 1 μ s, accès 400 ns, modulaire 8 à 32 Kmots en 32 bits.

La logique mise au point chez IBM est à base de TTL 11 ns /porte, groupés en MSI. L'unité centrale supporte 73 opérations en virgule fixe, durée 2 μ s pour l'addition, 7,5 μ s pour la multiplication, 15 μ s pour la division. Le CPU comporte 7 index câblés et peut travailler sur 16 ou 32 bits.

Les entrées / sorties sont actionnées par 16 interruptions et peuvent mettre en oeuvre un DMA capable de 1000 Kmots / s.

Une réalisation 16 Kmots de ce calculateur occupe 23 litres, pèse 23 Kg, consomme 250 watts et jouit d'un MTBF estimé à plus de 1500 heures.

Cette étude débouche en 1971 sur un AP1 qui sera le calculateur de l'intercepteur F15, moins différent du programme /A qu'il ne semble à première vue du fait de la microgrammation.

La mémoire comprend 8 à 24 K mots de 18 bits, cycle 1 μ s : cela parce que l'application se contente en général de la précision 16 bits et que les instructions tiennent pour la plupart dans 16 bits.

Le CPU, réalisé dans la technologie du /A, est capable de 360 Kop/s en 18 bits avec un répertoire de 76 opérations englobant la double précision. Addition 2,25 μ s, Multiplication 7 μ s, Division 11 μ s.

Les entrées / sorties disposent de 9 interruptions et surtout de 4 canaux.

La réalisation présente exactement les caractéristiques de volume, poids et consommation du /A.

Une variante de cette machine sera installée par IBM dans le sonar AN /BQS 13 dont on parlera plus loin, sous le nom de 4PI /SP1.

En 1972, IBM trouve enfin une vraie application pour son multiprocesseur, avec le programme AWACS. En effet, cet avion radar peut repérer tout avion dans une zone de 500 Km autour de sa position, et doit assurer sur les pistes correspondantes le même travail que, 15 ans plus tôt, le calculateur du SAGE. Le 4PI / CC1 est un biprocesseur 32 bits avec contrôle de parité sur tous les bytes, mais sa microprogrammation est complètement différente de celle des AP, avec des instructions à 3 adresses et un répertoire poussé à 176 opérations ; il dispose de mémoires auxiliaires à tambours magnétiques, de 4 jeux de 16 registres pour changer de contexte sans avoir de rangement à exécuter, etc... La technologie est maintenant TTLS, et IBM a pu descendre le délai de ses circuits jusqu'à 6 ns / porte. Voir fiche AWACS.

Autre contrat exaltant : IBM fait accepter une configuration de cinq 4PI / AP101 comme processeur principal de la navette. Il s'agit cette fois d'une simple amélioration de l'architecture AP, mais avec de multiples redondances pour garantir que la navette en vol ne se retrouvera pas sans calculateur, quoi qu'il arrive : deux machines suffisent pour la mission complète, une seule pour permettre la navigation et le retour. Il y a donc deux groupes de deux machines, un actif, un en réserve ; la 5ème machine reçoit une autre alimentation et sa programmation a été faite par une équipe différente de celle du programme principal, de peur de bogues indécélables sur de rares cas particuliers. Le programmeur principal est en 1974 la société Intermetrics, utilisant son langage HAL / S .

La technologie est celle des AP, cependant le TTLS s'introduit dans les adders. Il s'agit donc d'une solution techniquement un peu moins avancée que celle du CC1, probablement parce que le travail a commencé en 1970 sur cette application.

Ces grands programmes lancés, IBM aborde la technologie LSI avec un calculateur d'aviation, le 4PI / ML1, utilisant des circuits IBM Dutchess à 100 transistors par puce. On propose aussi une mémoire à semi-conducteurs à la place des tores, en option. La machine est 16 bits, très compacte (1/2 ATR) et très souple grâce à une microprogrammation très riche multioptions : virgule flottante, trigonométrie Cordic, communications, etc... Pas de client.

En 1977, IBM réalise le 4PI / ML0, une variante compatible du précédent utilisant des produits du commerce : mémoire DRAM en modules 16K * (32 + 4P), cycle 850 ns, circuits Texas 74S et 74LS . La performance monte à 550 Kop/s. Pas de client.

Après cela, il semble que la famille 4PI n'ait plus fait l'objet de grosses commandes : celles qu'on observe sont des reconductions de contrats antérieurs, même si à cette occasion IBM procède à des mises à jour technologiques :

- des 4PI / AP101C sont commandés en 1978, pour une modernisation des équipements des B52H. La logique utilise les dernières versions commerciales de circuits TTLS, la microprogrammation est supportée par des PROM 2K * 8 bits à cycle de 90 ns, la mémoire est à tores magnétiques, 32 K * 18 bits à cycle de 800 ns. Résultat : 600 Kop/s en moyenne.

- des 4PI / CC2 seront installés sur les AWACS commandés par l'OTAN et la France en 1980. La mémoire est la même que ci-dessus, mais avec une capacité accrue, la microprogrammation est placée sur des RAM 1 K * 1 bits autorisant un accès en 40 ns, les circuits TTLS n'ont plus que 3 ns de délai par porte. Résultat : 1, 25 à 2 Mop/s selon la source.

- huit 4PI / 101 F équipent chaque avion B1B en 1983 : 4 pour l'avionique offensive (suivi de terrain, comparaison de l'image radar avec les cartes de mission, commande des armes), 1 pour l'avionique défensive (contremesures, évaluation de la menace), 2 pour le radar AN / APQ 164, 1 pour le contrôle d'intégration. Cette version offre une puissance de 1 Mops, et deux modes : un mode compatible avec les AP 101 C des B52, l'autre conforme à la norme MIL. STD. 1750A et au bus 1553A. La microprogrammation rend cette modification peu coûteuse : il est prévu de la gérer par deux cassettes Sundstrand, une pour l'IPL et l'autre pour les enregistrements de contrôle (logs).

- un 4PI / 101S est créé en 1990 pour renouveler l'équipement des navettes. La compatibilité est conservée, mais la taille est réduite de moitié alors que la mémoire double et que la performance triple. La consommation tombe à 550 watts, et le MTBF monte à 6000 heures.

Citons encore, hors famille 4PI mais dans le même laps de temps (1974), le SUMC / HTC, Space Ultrareliable Modular Computer / Hybrid Test Computer, une commande de la NASA assez mal nommée. L'originalité de la réponse IBM, probablement inscrite dans le contrat, est que le calculateur à réaliser est compatible 360, pour résoudre simplement le problème du logiciel. La fiabilité est alors obtenue par la seule technologie, qui est celle de l'époque : des hybrides porteurs de LSI bipolaires, encore de faible densité.

Une autre activité de la Division Fédérale, qui commence vers 1969, consiste à reprendre par des moyens numériques le traitement du signal initialement analogique des sonars de sous-marins. Le premier travail consiste à ajouter un processeur à l'AN/BQR 2 de 1954 (Raytheon), pour en exploiter les faisceaux. IBM entreprend ensuite d'améliorer le sonar AN/BQS 6 des sous-marins classe Sturgeon.

Nous avons signalé une des toutes premières étapes de ce travail, consistant dans l'emploi d'une variante du 4PI/API. Réalisée en TTL à 11 ns/porte, ce SP0 était capable de 230 Kop/s. Le SP1 de 1971, qui pèse 8 Kg seulement, utilise des mémoires à tores de 4K * 18 bits, cycle 1,33 µs, et une arithmétique capable de l'addition en 2,7 µs, la multiplication en 5,7 µs, la division en 8 µs, soit en moyenne 330 Kop/s. Comme il s'agit probablement de placer un tel calculateur dans chacune des voies de réception, il était important de limiter la taille, le poids et la consommation (80 watts).

On s'aperçut vite que la solution ne pouvait résider dans des calculateurs universels. Pour une bande passante suffisante, le traitement du signal exige des rapidités bien supérieures, et IBM expérimente en 1972 des architectures plus compliquées que l'on baptisera DSP lorsque, vers 1990, elles seront devenues banales en téléphonie. L'Analyzer Unit décrit en 1973 est en quelque sorte un DSP microprogrammé pour expérimentation dont une fiche et un article très détaillés permettent de comprendre les structures.

Mais l'affaire prend toute son importance avec les sonars Raytheon AN/BQS 13 et 14 des sous-marins d'attaque de type Los Angeles, une grande famille de 62 navires dont la construction au titre des FY 73 à 93 s'étale sur 20 ans, avec entrées en service de 1976 à 1996.

IBM est ainsi appelée à travailler en étroite relation avec Raytheon dont le matériel reste en place, au titre d'un contrat de 55,8 M\$ pour 8 ensembles AN/BQQ 5, signé en FY 75, et prévoyant d'étendre le travail aux 34 sous-marins prévus de la série. Le second Q de ce sigle souligne que la fourniture d'IBM est un dispositif ajouté à l'existant, mais sa finalité intégratrice conduira à considérer le sigle comme couvrant l'ensemble de l'installation : AN/BQR 21 DIMUS (DIGital MULTibus Steering), sonar passif ;

AN/BQR 13, successeur du BQS 6, sonar actif/passif à basse fréquence ;

AN/BQR 15, flûte linéaire remorquée.

L'intervention d'IBM consiste à introduire et programmer (224 000 instructions) un, puis deux, puis trois AN/UYK 7 à mémoire 48 Kmots, renforcés de 3 tambours militarisés (15 Mbits chacun, accès 12,5 ms, débit 10 Mbit/s), puis un disque RD 281 (550 Mbits) ainsi que quatre consoles, pour exploiter des circuits câblés de préformage de voies, réalisés avec près de 16000 modules SEM dont un tiers non standard (c'est la technologie normalisée par la Navy). On trouve trace de contrats complémentaires de M\$ 131,9 en 2/77, 27,5 M\$ en 3/77, M\$ 119,3 en 9/78.

En réalité l'activité de recherche et d'amélioration ne cessera jamais, entraînant des refontes des existants, d'autant plus que la série s'allonge : 64 systèmes auront été livrés en 1980, et subiront deux modernisations :

5A pour ajouter le disque AN/UYH 2 et un processeur et porter le programme à 334000 instructions.

5B pour améliorer les consoles, ajouter encore un processeur et 70000 nouvelles instructions. L'ensemble du système représente alors 56 armoires et coffrets divers. Refonte terminée en 1986 seulement.

A partir du SSN 751, en service en 1989, le sonar est intégré avec la conduite de tir Librascope Mk 117 dans un seul système d'armes, baptisé AN/BSY 1.

Lorsque la décision est prise d'entreprendre la construction d'une nouvelle famille de sous-marins nucléaires stratégiques géants (17000 tonnes, 24 missiles Trident), c'est tout naturellement IBM qui sera le titulaire du contrat sonar AN/BQQ6, bien que les matériels acoustiques soient toujours confiés à des spécialistes, et que Hughes reçoive le contrat du processeur de signaux pour la nouvelle flûte BQR 25. En réalité, plus de 75% du nouveau système sont communs avec son prédécesseur. La première commande portera sur 12 systèmes, et par la suite il y en aura au moins 18.

L'expérience acquise permettra ensuite à IBM de s'intéresser à l'autre extrémité de la chaîne acoustique, avec des processeurs pour le système AN/UYYS 1 Proteus : ce système protéiforme, comme son nom l'indique, est l'analyseur de signaux acoustiques des installations des avions patrouilleurs P3 et S3, des hélicoptères LAMPS, des frégates FFG et des navires T.AGOS. Après un contrat de 500 exemplaires pour M\$ 300 en 1981, il a fait l'objet de 80 nouvelles commandes en 1990, pour M\$ 32,3.

L'ASP, mis au point vers 1975, est un fragment de Proteus. C'est un analyseur de signaux construit avec la technologie IBM TTLS à 11 ns/porte, capable de jusqu'à 60 Mop/s. Il est microprogrammé par RAM 1K * 1 bit, accès 70 ns, avec une mémoire de travail de 4K * (32 + 4P) à cycle de 800 ns. Il paraît logique de l'imaginer comme une version industrielle de l'Analyzer Unit.

L'ARP de 1976 est un autre processeur évalué à plus de 20 Mop/s, et réalisé en MSI TTLS, avec une mémoire de microprogrammes à base de PROM 512 * 4, accès 60 ns, et une mémoire de travail à mots de 36 bits, réalisée en RAM 1K * 1 bits. Il pourrait, lui aussi, être utilisé dans Proteus.

IBM Federal est officiellement l'intégrateur du programme LAMPS Mk III AN/SQQ 28. Voir fiche.

Après la très grosse affaire des sonars pour les SSN 688, nous n'avons plus beaucoup d'indications sur les activités de la division militaire, sans doute moins chargée :

- le MCS de 1981 est une étude d'émulateur universel, peut-être réalisée après le succès de Control Data pour le contrat AN/AYK 14. Cette machine microprogrammée par une mémoire 4K * 64 bits, avec un cycle assez modeste de 250 ns, est construite autour de la puce arithmétique Texas S481.

- l'AN / UYK 43 de 1983 ressemble plutôt à une commande alimentaire. L' US Navy, désireuse de moderniser son calculateur Univac AN / UYK 7 utilisé sur tous les navires de combat, semble avoir commandé à plusieurs sources, dont Sperry et IBM, son successeur compatible et beaucoup moins encombrant, spécifié en termes de poids, d'encombrement, et de normes. Il n'est pas interdit d'imaginer qu'IBM ait utilisé à cet effet son émulateur MCS. Il est sorti commercialement en 1984, en deux versions air et navire, mais l'essentiel des contrats n'est pas allé à IBM.

A peu près au même moment, IBM a été sollicitée comme d'autres pour le programme MCF (Military Computer Family) de l' US Army, mais semble s'être assez rapidement récusée et n'a pas, en tous cas, fourni de prototypes.

En 1986, IBM Federal se retrouve comme sous-traitant dans un vaste contrat de l' USAF, où Computer Sciences Corporation s'engage, pour M\$ 110, à rééquiper en matériel IBM le QG du Logistic Command, dans l' Ohio, et cinq autres centres, et à en faire moderniser le logiciel par Applied Data Research Corp. Le recours à Federal pour une telle fourniture est probablement dû à des exigences de sécurité de la part de l' USAF (cryptographie, cages de Faraday).

329 - Les premiers ordinateurs commerciaux

La guerre, en mettant au travail tous les ingénieurs disponibles sur d'innombrables projets tous urgents, a reculé le seuil économique des investissements de calcul, et l'invention personnelle de Stibitz chez Bell apparaît comme une solution possible à l'amélioration indispensable de la productivité : les militaires s'en saisissent et payent ces investissements considérables qui apportent effectivement, à l'expérience, des possibilités nouvelles insoupçonnées.

On a vu qu' IBM, pour ne pas être en reste, a comme Bell réalisé une machine à relais, avec des entrées / sorties par cartes perforées, et une programmation par panneaux enfichables, pour utiliser ses propres technologies, mais cette expérience n'a manifestement pas été très significative, et les deux PSRC (Aberdeen 12 / 44, et University of Columbia) furent rapidement oubliés.

Thomas Watson II ayant convaincu son père que les ordinateurs avaient un avenir, la compagnie ne lésine pas et embauche le Dr Eckert comme chef d'un Département pour la Science Pure, rattaché à l' Université de Columbia ; on lui donne comme outil un PSRC, puis le SSCC, Selective Sequence Controlled Calculator, un monstre de 12500 tubes et 21400 relais que, dès 1945, la compagnie a commencé à construire. Voir fiche.

Le SSCC, étudié à Endicott, n'est pas une machine de Von Neuman, les plans étant antérieurs au célèbre rapport. Mis en service en janvier 48, il sera vite périmé, et démantelé dès 8 / 52, alors que la compagnie n'a pas encore de calculatrice commerciale.

En 1949, IBM entreprend à Poughkeepsie la construction d'une machine expérimentale, le Test Assembly, pour démontrer la faisabilité d'une machine Von Neuman en technologie maison. Cette machine comprenait une 604 servant de bloc de calcul, une seconde armoire de même technologie servant de bloc de commande, une mémoire électrostatique de 250 mots servant de prototype pour les machines suivantes, une mémoire à tambour magnétique permettant de porter programmes et données à une dimension pratiquement utilisable, et une reproductrice servant d'entrée et de sortie.

En résolvant une équation différentielle en 1950, cet assemblage hétéroclite démontrait que la conception architecturale sous-jacente était viable, et emporta la décision de construire une machine commercialisable.

La 701 est cette machine, et elle doit plus à Whirlwind qu'à la machine de Princeton, auxquelles se réfère l'auteur de l'article anniversaire de 9 / 1981. Elle est simple pour minimiser les risques, mais je doute que ce soit le résultat d'un plan détaillé, car son architecture est incompatible avec celle de la machine suivante. La probable vérité est que les auteurs du projet y ont mis le minimum qu'ils ressentaient comme indispensable sur la base de leurs très faibles connaissances informatiques ; ils n'étaient pas encore des inventeurs d'architectures, ils se préoccupaient d'abord de technique.

La machine n'a aucune expérience de terrain, ses performances ne dépassent pas 15000 op/s, mais c'est l'Etat qui paye en fait les achats, effectués par des sociétés qui travaillent sur de grands programmes nationaux, en particulier aéronautiques : 19 IBM 701 seront vendues dans la seule année 1953. Et si la rentabilité directe de tels monstres, qui coûtent près d'un M\$ pièce, est encore douteuse, ces machines donneront lieu chez les clients à un formidable travail sur le logiciel, et à une explosion de compétence.

On trouvera quelques exemples de tels travaux dans l'étude Boucher sur la 701 (archives 55), et notamment les routines de service (B. 67), les assembleurs (B. 98), le Speedcoding d'IBM (B. 99), le GCA3 de la General Electric (B. 101), le programme administratif du NOTS China Lake (B. 110), le compilateur PACTIA des usagers californiens (B. 113).

Tous comptes faits, on peut ajouter que la machine et ses périphériques étaient fiables, le seul point faible étant la mémoire électrostatique. Plusieurs 701 prolongeront leur existence bien au delà du strict nécessaire, en remplaçant cette mémoire par une mémoire à tores de 704.

Le coup d'éclat d'IBM ne s'arrêtait pas là, car les travaux de Poughkeepsie comportaient à partir de 12 / 59 un second volet : la TPM, Tape Processing Machine, qui visait à faire de la bande magnétique le principal support de fichiers, à la place des cartes. S'appuyant sur le succès du Test Assembly, la TPM avait pour but de définir une architecture d'unité centrale compatible avec cet objectif : un brevet déposé en 1954, et accepté seulement en 1966, revendiquait ces idées fondamentales, tout à fait différentes de celles que Sperry mettait au point au même moment avec l'Univac. La guerre de Corée, en donnant la priorité à la machine scientifique - ce qui établit clairement un lien entre la 701 et les travaux du Lincoln Lab - retarda quelque peu les travaux sur la TPM, et ce n'est qu'en 1952 qu'elle fut achevée, testée, et modifiée pour devenir le prototype de l'IBM 702, annoncée en 1953.

L'architecture finalement retenue, basée sur l'adressage du caractère en chaînes de longueur variable, est radicalement différente de celle de la 701. La technique par contre reste proche, avec une logique mixte diodes / tubes, et la même mémoire électrostatique. Gros succès également, puisque 14 exemplaires furent livrés avant que la 705 ne la remplace à la fin de la même année 1955. Toutes les 702 survivantes reçurent des mémoires de remplacement à tores magnétiques et devinrent de ce fait suffisamment fiables. Aussi existait-il encore quatre IBM 702 en service en 1963.

Voir description détaillée de la 702 dans l'étude Boucher sur les machines de gestion (archives 55). La 702 n'a pas donné lieu aux mêmes efforts logiciels que la 701, tout simplement parce qu'elle a eu une vie très courte. Voir Boucher 46.

IBM a donc pris le risque de lancer deux familles de machines à la fois, suffisamment différentes pour qu'elles ne se fassent pas concurrence, mais exigeant donc deux équipes commerciales en plus de deux équipes techniques. En fait, dans cette période de création foisonnante, IBM ne veut se fermer aucune piste, et compte sur la curiosité des clients, jointe à la conviction désormais acquise de l'efficacité du calcul électronique, pour soutenir par des achats sa créativité.

On va donc voir se développer simultanément deux filières, et bientôt trois avec la 650. L'apparition du transistor, à partir de 1958, n'introduira aucune césure, car déjà le véritable lien au sein d'une filière est le logiciel, qui change plus lentement que les modèles de machines, auxquelles d'ailleurs IBM assure une compatibilité ascendante. La création d'associations d'utilisateurs, largement soutenues par le constructeur, complète ce dispositif de fidélisation.

Filière scientifique

Annoncée en mai 54 pour entrer en service en 56, le successeur de la 701 est la 704 qui préserve la taille du mot et change pratiquement tout le reste :

- instructions de 36 bits autorisant des adresses de 15 bits au lieu de 12.
- introduction de l'indexation, inventée tout récemment en Angleterre (EDSAC) avec choix de 3 index soustractifs pouvant se combiner par union.
- répertoire très enrichi (99 opérations au lieu de 33) permettant tout ce que faisait la 701, et y ajoutant de nombreuses nouveautés dont la plus importante est la virgule flottante.
- mémoire modulaire à tores magnétiques à cycle très raccourci.
- amélioration technique des périphériques magnétiques et addition d'une sortie optionnelle sur écran cathodique ; le mode de connexion reste la liaison directe, qui suspend les calculs pendant la durée des transferts d'information.

En fait, il s'agit d'une nouvelle machine, non compatible ; ce n'est pas une catastrophe, tant le logiciel est encore pauvre à l'époque, mais on ne pourra pas faire ce coup-là deux fois. S'il y a une suite à la 704, elle devra lui ressembler beaucoup plus que la 704 à la 701.

La 704 va être un très grand succès, près de 200 unités centrales seront produites. Elle sera aussi, à cause de sa durée de vie, l'occasion de progrès logiciels notables, dont le plus connu est l'invention du langage et du compilateur Fortran. Pour la documentation, voir :

- fiche standard illustrée
- premier document Boucher, p 131.

- second document Boucher contenant quatre études de logiciels : Fortran, DDA, Usinage sur machine à commande numérique, Simulation de centrales thermiques.

- une chemise avec quelques documents illustrant des problèmes d'exploitation de l'époque : gestion d'un vaste centre (United Aircraft) comportant 5 unités centrales, longtemps avant que soient inventés les systèmes d'exploitation ; menus problèmes posés en France à un utilisateur de 704, comme la création d'une bibliothèque de sous-programmes sur bande.

La 709 succède à la 704 dans une ambiance très différente de sa création, car IBM a désormais fait ses preuves, et réalisé toute une série d'autres machines, scientifiques et autres. Les clients achètent la 709 les yeux fermés.

L'unité centrale 709 diffère peu de celle de la 704, à part l'invention de l' adressage indirect, et un répertoire bien enrichi, notamment avec des opérations de conversion. Le gros changement se situe dans les entrées / sorties. A la place de la liaison directe de tous les périphériques au registre MQ, qui pratiquement interdisait toute simultanéité, la 709 dispose de "synchroniseurs" que l'on appellera plus tard des canaux, simultanés avec le calcul parce qu'ils échangent directement avec la mémoire ; jusqu'à 6 canaux sont possibles, autorisant un débit maximum de 83000 mots/s.

Documentation : document Boucher p 137, et quatre articles du JACM décrivant l'activité de l'association SHARE, créée dès 1955, au profit de la 709 encore à venir.

La 7090 annoncée le 30 / 12 / 58 est simplement une version transistorisée de la 709, sans changement de logique, mais avec une nouvelle mémoire à cycle de 2,4 μ s. Ce progrès technologique change tout : plus fiable, moins coûteuse à entretenir, la 7090 est tellement supérieure à la 701 qu'elle modifie le point de vue des usagers sur l'informatique, désormais un outil de travail et non plus un jouet de luxe pour ingénieurs.

Documentation : pour la fiche comme pour les autres papiers, il faut la rechercher à son emplacement numérique dans les classements ; elle comprend un manuel de référence, un configurateur, et une étude sur la connexion de disques 1301. L'assembleur est baptisé FAP, Fortran Assembly Program, parce que le compilateur génère du FAP, non du langage machine.

Dans la 7094 de 1962, la mémoire a encore été accélérée, mais l'essentiel réside dans une reconstruction de l'opérateur de multiplication, nettement plus performant. Il y a aussi 7 index au lieu de trois. Le répertoire passe de 196 à 274 opérations, avec notamment un jeu complet d'opérations en double précision. Voir bulletin 1962.

La réalisation technique se normalise par l'adoption de cartes SMS, fabriquées par des machines automatiques, pour toute la circuiterie. Voir à ce sujet 266.3 - 4 / 20 et 203-617.

Le choix de périphériques s'élargit avec un nouveau tambour magnétique 7320, de nouveaux dérouleurs de bandes (7340 Hypertape), des possibilités graphiques (traceur 7404), et l'introduction systématique du télétraitement (contrôleur 1414) et du téléphone (commutateur 7750).

Le logiciel commence à être perçu comme un tout, et en tous cas il a un nom, IBSYS : dans cette collection de routines qui ne forme pas encore un système d'exploitation, il y a déjà un dispatcher IBNUC et un scheduler, le moniteur IBJOB, en plus d'un chargeur unifié IBLDR, d'un macroassembleur IBCMAP, et de deux compilateurs, IBFTC pour le Fortran II, et IBCBC pour le Cobol.

Tout cela s'applique rétrospectivement à la 7090.

La croissance de la famille culmine en 1963 avec la 7094 II, qui dispose d'une nouvelle mémoire avec cycle de 1,4 μ s et organisation modulaire à adressage entrelacé, et d'un algorithme amélioré pour la multiplication et la division.

Documentation : fiche contenant un configurateur, des descriptions détaillées du nouveau canal 7090 et des nouveaux périphériques 7320 et 7340 ; 4 documents IBSYS ; bulletin IBM sur la 7094.

Avec la transistorisation qui rendait possible une fabrication automatique des circuits, IBM estime possible de réaliser une machine utilisant l'architecture des 709X à un prix accessible à des entreprises plus modestes que les géants qui avaient, jusque là, acheté les machines de la famille.

Construites avec des cartes SMS autour d'une mémoire à tores à cycle de 8 μ s (7040) ou de 2,5 μ s (7044), ces deux machines disposent d'une même unité centrale avec 49 à 120 opérations en 7 lots hiérarchisés. Selon les crédits disponibles, les clients peuvent se contenter pour les entrées / sorties d'un canal A économique reprenant la philosophie de la 704, ou profiter de canaux B à E à l'image de la 7090.

L'idée était intéressante, mais oubliait que l'exploitation des 70XX exige une compétence d'ingénieur, de sorte que le succès se fit un peu attendre. Pour l'aider, IBM proposa le DCS, Direct-Coupled System, connexion d'une 709X faisant les calculs avec une 704X gérant les entrées / sorties, et cette solution obtint beaucoup de succès.

Par la suite, IBM développa aussi des couplages moins serrés, où les deux machines communiquent à travers un disque partagé tel que le 1301, et cela aussi plut à la clientèle.

Filière de gestion

A l'expérience, l'architecture de la 702 s'avéra bien adaptée, mais la mémoire était trop lente et peu sûre, et les entrées/sorties, essentielles en gestion, paralysantes pour les calculs. Perçues dès la vente des premières 702, ces observations décidèrent IBM à étudier très vite un successeur, pour lequel on essaya deux voies simultanément :

- celle d'un processeur spécialisé de tri multibande, pour décharger la 702 d'une opération à la fois très lourde et très fréquente. Cette machine, qui ne sera pas commercialisée finalement, était provisoirement baptisée 703, ce qui explique l'absence de ce numéro dans le catalogue.

- celle d'une nouvelle machine, qui fut la 705. La performance constatée de la nouvelle mémoire à tores magnétiques, disponible par modules de 20000 caractères, et diverses améliorations de répertoire, permirent d'abandonner l'idée de la 703 mais au prix d'une incompatibilité de programmation entre 702 et 705 : ici encore, c'était peut-être inévitable, mais certainement impossible à recommencer.

La 705 III de 1958 double cette capacité de mémoire, ajoute diverses opérations pour accélérer des tâches annexes comme le nettoyage de zones de mémoire, améliore l'adressage en introduisant notamment l'adresse indirecte, et surtout introduit les "synchroniseurs" pour que les transferts de bandes ne suspendent plus les calculs. Cette machine était compatible avec les 705 I et II précédentes.

La 705 III aurait logiquement pu recevoir le nom de 708 ; c'est le marketing qui a préféré, pour ne pas effrayer les clients, atténuer les différences en les limitant à un simple rang.

La 7080 de 1960 est la version transistorisée de la 705 III, avec une mémoire de 160000 caractères 4 fois plus rapide que celle des 705, et une logique qui double cet avantage. Elle dispose de 5 véritables canaux sélecteurs programmables pour ses bandes, et d'un système d'interruptions qui remplace beaucoup plus efficacement l'instruction spécialisée des 705 ; néanmoins, elle reste compatible avec celles-ci, à travers un "mode compatibilité".

Filière polyvalente économique

Après avoir terminé le SSCC, les ingénieurs d'Endicott avaient entrepris l'étude d'une machine que l'on voulait économique et fiable, ce qui suggérait de recourir à une mémoire à tambour magnétique. Ce travail aboutit à l'annonce, en juillet 53, d'une machine IBM 650 qui devait obtenir un succès bien supérieur aux prévisions. Elle se présentait comme suit :

- un mot de 10 chiffres décimaux plus signe pouvait recevoir soit la donnée numérique de base, soit une instruction à 1 + 1 adresses.

- la mémoire principale à tambour magnétique offrait une capacité de 2000 de ces mots, organisés en bandes de 50 mots, disposés en série-parallèle par chiffre dans une représentation redondante, donc susceptible de signaler toute erreur de stockage.

- les calculs s'effectuaient sur une représentation des chiffres en biquinaire, un code décimal permettant de détecter toute erreur, et donc d'y remédier par programme.

- un supercode groupait deux chiffres consécutifs pour représenter un caractère, autorisant cette machine à manipuler des textes alphanumériques quelconques, avec un risque d'erreurs négligeable.

- la machine de base, d'un prix raisonnable, disposait de cartes perforées et d'une imprimante, et convenait pour de petits travaux scientifiques ; des périphériques supplémentaires variés, disques, bandes magnétiques, multiples consoles d'interrogation, autorisaient tous travaux de gestion.

La machine de base eut immédiatement un très grand succès dans les milieux scientifiques, et la plus grande part des quelque 1500 machines construites - un chiffre étonnant pour une calculatrice à tubes - trouvèrent leur clientèle dans ce secteur. Ce fut l'occasion d'une grande quantité de travaux logiciels, chaque petite communauté universitaire - et beaucoup d'industriels, aux USA - ayant à coeur de produire un assembleur, un interpréteur, ou même un compilateur, sans compter une foule d'applications : citons l'assembleur standard SOAP (PASO en français) et ses améliorations ultérieures comme le CASE-SOAP III qui exploite le codage alphabétique, l'assembleur TASS, l'interpréteur DRUCO, les interpréteurs scientifiques FLAIR, FLEX, DPVF, les compilateurs IT, GIF, Fortransit, Fortran, GAT, GATE et ses dérivés, Runcible et ses dérivés, forcément limités.

La taille de la mémoire constituait évidemment une restriction gênante, mais d'une part IBM produisit après quelque temps une mémoire portée à 4000 mots, et d'autre part l'addition d'un disque (une version à peine modifiée du meuble 355 de la machine de gestion 305, déjà citée) permettait de s'en débarrasser complètement. Les machines à bandes, proposées plus tard et proportionnellement assez coûteuses, furent moins demandées, et seulement pour la gestion.

Un tel succès ne pouvait se terminer sur un abandon, mais aucune des technologies de la 650 ne pouvait être conservée dans la version suivante, de sorte qu'on renonça à toute compatibilité pour construire seulement une machine de même inspiration, et d'un prix comparable à celui de la 650.

Il était d'abord prévu de construire un successeur à tubes et tores magnétiques, la 785, mais les ventes soutenues de la 650 permirent de faire porter tout l'effort sur la version transistorisée, qui fut seule commercialisée sous le sigle 7070.

La nouvelle machine utilise toujours des mots de 10 chiffres plus signe, avec un code 01236 détecteur d'erreurs, mais les instructions placées dans ce mot ont changé de forme, car la deuxième adresse est inutile avec une mémoire RAM : il y a maintenant 99 registres d'index (en mémoire) et une possibilité de comptage de caractères. Le répertoire s'est étendu, car la virgule flottante est quasi-standard.

Les périphériques sont nombreux et variés, et le disque est presque toujours présent, ainsi que les bandes. Les moeurs changeant, ces bandes sont maintenant utilisées, ici comme sur les grosses machines, comme mémoire intermédiaire pour une édition off line sur une 1401.

La 7070 bien adoptée par le marché, IBM annonce l'année suivante la 7074, qui dispose d'une nouvelle technologie 4 fois plus rapide, d'une mémoire un peu agrandie, et d'un opérateur parallèle câblé beaucoup plus performant, tout en restant parfaitement compatible. Disposant du même choix de périphériques que la 7070, c'est une possibilité de croissance pour une société en développement rapide qui ne peut encore aborder la lourde charge des 709X.

La 7072, proposée à peu près en même temps, est une version restreinte mais totalement compatible de la précédente, avec une unité centrale peu différente, et pas d'autre périphérique que les bandes, avec un petit lecteur de cartes pour le service. IBM fournit cette machine, accompagnée d'une 1401 complète pour accès off line, pour K\$ 20 / mois seulement, ce qui est avantageux pour une équipe scientifique.

Filière de petite gestion

L'architecture de la 650 était bien au départ tournée vers la gestion, mais le marché en avait rapidement décidé autrement, laissant un vide en bas de gamme dans les propositions aux entreprises. Avec l'arrivée du transistor, il devenait possible de construire une machine jouant un rôle de chef d'orchestre entre les périphériques traditionnels de la gestion chez les clients d'IBM : cartes et imprimante. Ce fut la 1401, un fulgurant succès qui ne tarda pas, bien évidemment, à déborder l'objectif initial pour devenir la machine à tout faire de la gestion, avant de se spécialiser en fractionnant son espace vital.

La 1401 reprend l'idée de base de la 702, consistant à adresser la mémoire par caractères, mais avec deux changements importants, visant à supprimer toute logique superflue :

- puisque le concept de mot n'a pas de sens dans cette mémoire, sa signification logique est rétablie par un bit de la représentation : la marque de mot, un bit qui désigne son caractère comme début de chaîne .

- pas d'accumulateur, tout mouvement d'information se fait de mémoire à mémoire s'il ne s'agit pas d'une entrée / sortie. Ces informations sont, comme dans la 702, délimitées par un caractère spécial.

Cela est vrai même pour les instructions, qui sont donc de longueur variable : code opération contenant la marque de mot, deux adresses, un code complémentaire facultatif qui permet des variantes du code de base . Mais les adresses A et B, que l'instruction place dans deux registres compteurs, peuvent manquer si une instruction commence là où l'instruction précédente finissait : c'est l'enchaînement.

Les adresses occupent trois caractères ce qui, en interprétant en binaire leurs bits de zone, permet d'étendre l'adressage (modèles A à F de capacités respectives 1400, 2000, 4000, 8000, 12000, 16000 caractères)

Chaque caractère en mémoire comprend 8 bits : code numérique à 4 bits, deux bits de zone, la marque de mot, et un bit de parité : ce système de détection d'erreur est plus simple, plus économique, et un peu moins efficace que ce qui avait été utilisé dans la 650 et ses dérivés, mais tout à fait suffisant pour une mémoire à tores magnétique.

Les périphériques, toujours par souci d'économie, sont attachés à la mémoire par liaison directe. Le client peut cependant accélérer substantiellement les transactions en intercalant dans certaines de ces connexions un tampon de taille appropriée, une carte ou une ligne par exemple.

Le périphérique phare de cette nouvelle machine est l'imprimante 1403 à chaîne , invention remarquable qui allie la simplicité et l'économie à la souplesse : on change de jeu de caractères en changeant de chaîne, on peut accélérer l'impression avec une chaîne purement numérique par exemple.

L'adaptation du système à toutes sortes de périphériques plus ou moins nouveaux, bande perforée, bande magnétique, trieuse de chèques, lecteur de marques magnétiques ou non, disques magnétiques, lignes téléphoniques de transmission de données, connexion de machine à machine (autre 1401, 1620, 7040) se fera assez vite à la demande des clients, effaçant progressivement l'image de simplicité attachée à la machine de base. IBM cédera d'abord de bonne grâce puis finira par réagir , de deux manières :

- en 1963, une **1401 G** sera proposée à prix très bas, uniquement dotée des cartes et de l'imprimante, sans possibilité d'extension. La mémoire est plafonnée à 4 Kcar, et le prix peut encore baisser en utilisant l'imprimante 1403 Mod 6 limitée à 340 lpm sur 120 positions de large.

- en 1963 également, à l'opposé, IBM accepte de construire pour la banque fédérale une machine spécialement conçue pour actionner les lecteurs / trieuses de chèques et en distribuer le texte sur une imprimante multibande. Cette **1240** est d'ailleurs simplement une adaptation de la 1440, intégrée physiquement dans un lecteur / trieuse de chèques 1412. Ce geste s'inscrit dans une coopération régulière d'IBM avec les banques, jalonnée par les étapes suivantes:

- IBM 1210** (1959) : réalisation d'une trieuse électromécanique de chèques E13B à 13 clapets, autonome.
- IBM 1412** (1960) : version connectable de la trieuse 1210, 950 documents / minute sur 1401.
- IBM 1418** (1960) : lecteur optique de documents marqués, 2 modèles avec trieuse à 3 ou 13 clapets.
- IBM 1219** (1961) : amélioration de la 1210, capable de 1600 chèques / min.
- IBM 1419** (1961) : version connectable de la 1219, maxi deux par 1401.
- IBM 1428** (1962) : amélioration du 1418, acceptant tout l'alphabet.
- IBM 1240** (1963) : réalisation d'une calculatrice spécialisée, ci-dessus.
- IBM 1206** (1963) : réalisation d'une machine à marquer les chèques, pour en faciliter la manipulation
- IBM 1232** (1964) : réalisation d'un lecteur optique photoélectrique de marques au crayon sur papier 21 * 27 (jusqu'à 1000 / page), générant des signaux destinés à une perforatrice de cartes connectée. Débit 2000 pages à l'heure.
- IBM 1231** (1964) : même machine, en connexion directe sur 1401 ou 1460.
- IBM 1260** (1965) : machine à marquer les chèques MICR, incluant une additionneuse, une trieuse 6 clapets et un système de 3 cartes maitresses au choix. Prix \$ 11500 ou \$ 230 / mois.
- IBM 1282** (1965) : lecteur optique de cartes de crédit, exploitant des impressions interprétatives de cartes 51 ou 80 colonnes sur un chemin de cartes, pour reconnaître les chiffres et trois symboles, en typographie 1428 ou Farrington. Débit 200 cpm.
Prix : \$ 72000 ou \$ 1550 / mois.

Un an après la 1401 en plein succès, observant que la multiplication des périphériques peut saturer la modeste mémoire maximale de 16000 caractères, IBM propose pour les clients de cette catégorie une machine nouvelle, architecturalement tout à fait semblable, mais non compatible parce que les adresses ont été portées à 5 caractères, la **1410**. Le cycle mémoire est réduit à 4,5 μ s, et le module de mémoire contient 10000 caractères, avec une capacité maximale de 80000 caractères.

La logique est améliorée par l'introduction de 15 registres d'index, et par la suite par l'adressage indirect. Le répertoire s'étoffe, englobant en particulier une recherche de tables. Cependant, il existe un mode de compatibilité qui autorise la 1410 à exécuter des programmes 1401.

La liaison des périphériques se perfectionne et s'accélère par l'emploi de synchroniseur, conception qui est en retard sur celle des 70XX pour des raisons d'économie. Il y aura même une option d'interruption, comme dans les 707X.

Le logiciel est au départ très semblable à celui de la 1401, et donc plutôt limité. Vers 1963, il se sera cependant notablement étoffé, avec un moniteur et un bibliothécaire, un compilateur Fortran et un Cobol.

La 1410 a eu un succès qu'on peut qualifier d'important avec quelque 700 machines construites. Elle a été couramment utilisée en téléprocessing, notamment dans plusieurs systèmes militaires (HSCTT du réseau AUTODIN) et civils (par exemple Wall Street).

Devant ce succès, IBM a réalisé, et annoncé en octobre 62 une version encore plus rapide de la même architecture, la **7010**. La mémoire donne accès à deux caractères à la fois, et son cycle est réduit à 2,4 μ s, tandis que sa capacité peut atteindre 100 000 caractères. Le bloc de calcul fait non seulement toutes les opérations de la 1410, mais aussi, à partir de 1964, des calculs en virgule flottante avec une mantisse de 18 chiffres. Les entrées / sorties disposent, à partir de 1964, de véritables canaux pour des périphériques qui ne diffèrent pas de ceux de la 1410.

Cette machine aura un certain succès aux USA, où on la verra souvent faire à la fois du calcul scientifique et du téléprocessing. Elle sera cependant proposée aux européens comme machine de gestion, ce qui semble plus logique. Son logiciel est commun avec la 1410, comme l'explique un article de vulgarisation écrit par des responsables d'IBM aux USA.

En octobre 62 est annoncée la **1440**, une machine plus modeste encore que la 1401, avec la même mémoire à cycle de 11,1 μ s mais avec une nouvelle logique à transistors. L'objectif était essentiellement de baisser les prix, et en même temps d'introduire un nouveau périphérique, le tourne-disque 1311 à pack amovible, destiné à une belle carrière, ainsi qu'une nouvelle imprimante plus économique que la 1403 mais en conservant l'avantage, la **1443** à barres : ces barres porte-caractères sont, comme la chaîne de la 1403, amovibles pour modifier le code.

Nous disposons d'un manuel de référence en 5 fascicules, et d'un manuel de l'autocodeur en français.

En février 63 est annoncée la **1460**, qui est au contraire à peu près deux fois plus performante que la 1401, avec un processeur très proche de celui de la 1440 mais avec une mémoire à cycle de 6 μ s. Cette machine supporte tous les périphériques de la famille.

Nous disposons de deux documents décrivant des applications quelque peu marginales, exécutables sur toutes les machines de la famille, 1401 / 1440 / 1460 : dans l'une plusieurs terminaux se partagent la calculatrice pour des activités bureautiques, comme du traitement de texte ou de la gestion de fichiers ; dans l'autre ces mêmes terminaux participent à un enseignement assisté.

En 1964 on peut encore évoquer la **1420**, une machine destinée à la Federal Reserve Bank et construite autour d'une mémoire de 1460, de cycle 6 μ s en 4 / 8 / 12 / 16 Kcar, et d'une unité centrale de 1401. Les périphériques sont :

- un pupitre 1421 associé à une trieuse de chèques magnétiques, 1600 doc / min.
- une imprimante 1403 à 1285 lpm, adaptée pour 8 bandes listeuses, ou 1 bande principale + 6 listeuses.
- un lecteur / perforateur de cartes 1402.
- et deux bandes magnétiques 7335, 20 Kb/s en 556 bpi.

En 1968 il y aura aussi, toujours pour la même banque, une **1450** : c'est en réalité une unité centrale de 1440 associée à une mémoire de 8 / 12 / 16 Kcar, deux disques 1311 de 4 MB, et un lecteur de chèques 1259. Cette machine est vendue 160200 \$ ou 3350 \$ / mois.

Petites machines scientifiques

IBM a pu, à cause de sa très bonne introduction dans les grandes entreprises et auprès du gouvernement, aborder par le haut les problèmes d'architecture et donc construire et vendre de grosses machines, puis de moins grosses. Cependant, la corporation n'a pas souhaité ignorer le domaine de la petite machine à orientation plutôt scientifique, pour petites équipes de chercheurs ou pour les écoles.

Premier essai dès 1959, avec la **610**, une machine à virgule flottante avec une mini mémoire à tambour magnétique, avec une vitesse de l'ordre d'une opération par seconde, ce qui est vraiment peu, surtout pour l'encombrement du système. Succès très modeste.

Seconde tentative, beaucoup plus originale, la **1620** de 1960 est une machine série/parallèle par chiffres BCD, devenant alphanumérique par groupe de deux chiffres consécutifs, dont la première réalisation ne comporte pas d'autre logique que les liaisons : toute l'arithmétique est basée sur l'exploitation de tables.

Cette solution choisie par souci d'économie, et qui se paye par une grande lenteur, n'a pas empêché la 1620 d'être un grand succès, 1700 machines produites. Il y aura donc en 1963 une version **.2** à logique câblée, quatre fois plus rapide mais totalement compatible, et aussi nettement plus chère.

En France, le succès de la 1620 parmi les scientifiques provient de son aptitude à la manipulation de chaînes de caractères de longueur réellement quelconque (jusqu'à englober toute la mémoire), ce qui a permis de programmer des calculs en précision illimitée. Nous disposons donc d'une large documentation.

Aux USA, le succès de la 1620 vient plutôt de sa polyvalence, et on pourra voir IBM l'exploiter comme moteur d'un système de contrôle de machine à papier (**IBM 1710**) où elle commande effectivement des processus physiques.

Le succès de la 1620 s'arrêtera par cessation de production, lorsqu'en 1965 IBM introduira la 1130, le prochain grand succès que nous évoquerons dans une autre partie de cette étude.

Calculateurs hors norme

En dehors de ces travaux qui visaient un débouché commercial, IBM s'est lancé à plusieurs reprises, pendant cette période, dans des opérations ambitieuses qu'elle s'est d'ailleurs arrangé pour financer avec l'argent de l'Etat, et dont certaines au moins ont eu un important impact sur la suite des événements. On évoquera les trois principales.

La calculatrice **NORC** a été mise en chantier en 1953 avec la seule condition de réaliser la machine la plus perfectionnée du moment, une définition qui ne pouvait que plaire aux responsables de l'étude. Elle a été étudiée et construite pour la Marine par le Watson Scientific Computing Laboratory de l' University de Columbia, un organisme intégralement financé par IBM dans le but de drainer les meilleurs éléments de cette université ; quand ce fut nécessaire, les laboratoires existants d'IBM, Endicott et Poughkeepsie, apportèrent leur concours.

Mise en service en 1955, NORC est restée jusqu'en 1957 la plus puissante machine du monde. Mais, dès 1958, elle était rattrapée par la 709 commercialisée, et en 1959, la compétition entre Stretch et LARC la rejetait au rang des machines moyennes.

Ce triste destin est aisé à comprendre dans une période de rapide évolution, avec notamment le choix, seul possible à l'époque mais ressenti comme médiocre dès l'origine, d'une mémoire électrostatique : elle sera remplacée dès que possible par une mémoire à tores.

Plus intéressante est l'analyse des choix architecturaux, qui constituent des expériences fort utiles pour la suite, en ce qu'elles font comprendre pourquoi ce sont de mauvais choix : bloc de calcul purement numérique, utilisant une représentation décimale 8421 des chiffres, insuffisante pour détecter les erreurs ; arithmétique à trois adresses ; algorithmes de multiplication et de division médiocres pour raisons économiques ; répertoire mélangeant les fonctions mathématiques et les fonctions techniques ; entrées / sorties primitives imposant le recours à un convertisseur externe.

Par contre, on y trouve des dispositions nettement en avance sur leur époque, comme le positionnement programmé de la virgule et la virgule flottante, le contrôle de validité des calculs, l'indexation, l'arrondi : il est clair que les concepteurs sont plus mathématiciens qu'ingénieurs, et ne se prémunissent pas toujours contre les vrais dangers.

La machine NORC ne passera pas à l'histoire, mais l'expérience acquise ne sera pas oubliée. Lorsqu'il s'agira de définir l'architecture d'un produit décisif comme le S/360, on évitera les erreurs de cette période expérimentale.

A la fin de 1954, le laboratoire de Poughkeepsie entreprit une étude de fond concernant l'avenir des calculateurs. Il s'agissait de définir, puis de développer, les techniques nécessaires pour construire les machines de la génération suivante, en utilisant par ailleurs au mieux l'expérience acquise avec les trois familles civiles du moment, à savoir 704, 705 et 650, ainsi que les machines militaires du SAGE. L'objectif général était défini ainsi : technologie entièrement solid state, cad tores et transistors ; performance égale à 100 fois celle de la 704.

Le besoin d'une telle performance était clair, mais il était non moins certain que la technologie disponible était inadaptée. Il allait donc falloir déployer des efforts considérables dans les domaines des transistors, des circuits, des tores magnétiques, et des méthodes de fabrication, d'où le nom choisi de Projet **Stretch**. De fait une foule d'inventions sont issues de ce projet :

- circuits à drift-transistors avec 20 ns de temps de traversée
- mémoire magnétique de 128 KB avec cycle de 2,1 μ s
- nouveaux tourne-disques à haute vitesse grâce à un accès parallèle à tous les disques.
- adressage à base binaire autorisant l'accès au bit, au byte et à tous ses multiples binaires jusqu'à un mot exceptionnellement long de 64 bits. Les adresses comportent 24 bits et donnent accès à 262 144 mots et à chacun des bits qui les constituent.
- protection de mémoire par deux registres délimiteurs de zone.
- arithmétique binaire là où la performance est souhaitée (adresses et nombres), décimale dans les manipulations de données.
- toutes opérations de manipulation de données se font sur des champs de longueur variable entre 1 et 64 bits, subdivisés en bytes (un mot nouveau) de longueur définissable entre 1 et 8 bits. Définition d'un alphabet à 8 bits, comprenant majuscules et minuscules.
- arithmétique en virgule flottante binaire disposant d'un répertoire complet, et conçue pour réduire les pertes par arrondi, et pour faciliter la construction de sous-programmes de précision multiple.
- système de 15 index avec structure de contrôle de boucles à 4 champs, semblable à celle des mots de contrôle des entrées / sorties, et utilisable dans les deux rôles.
- système perfectionné d'interruptions et de trappings.
- compteur d'intervalle et horloge pour le temps réel.
- canal byte multiplex à 32 sous-canaux pour les entrées/sorties, complètement banalisés.

Sur ce programme, plusieurs organisations à gros besoins furent approchées, et un contrat établi en 1956 avec la Commission de l'Energie Atomique, pour la fourniture d'un ordinateur destiné au laboratoire scientifique de Los Alamos ; un autre, un peu plus tard, fut passé avec la National Security Administration pour une machine spéciale, ajoutant de nouveaux objectifs de manipulation de données non arithmétiques aux objectifs de base conservés de la Stretch.

L'architecture cible était pensée avec le souci de l'avenir. On envisageait en particulier de séparer les deux arithmétiques, de façon que la partie décimale puisse servir de prototype à une famille de gestion économique, tandis que l'architecture d'ensemble, plus ou moins complète, serait le modèle d'une famille unifiée et compatible, provisoirement nommée Série 7000. En attendant, dans l'enthousiasme des contrats qui finançaient le projet, on décidait de commercialiser la Stretch elle-même, sous le sigle **IBM 7030**, et on acceptait des commandes, avec un prix fixe calculé d'après le rapport 100 prévu pour sa puissance de calcul.

Le déroulement de l'étude perturba gravement ce beau programme. On peut dire, en simplifiant, que la performance du nouveau système de disques **7303**, une des clés de la performance globale attendue du Stretch, s'est trouvée après mise au point inférieure de 40% aux objectifs, et cela trop tard pour qu'une nouvelle étude soit entreprise. Constatant cela, IBM prit les décisions suivantes :

- la commercialisation du 7030 est arrêtée, les commandes dont la fabrication n'est pas commencée sont annulées, seules 7 machines civiles commencées seront livrées.
- les sept machines en question seront facturées 40% de moins que le contrat initial, puisque les performances contractuelles n'ont pas été tenues. Le CEA français était l'un de ces clients.

On peut donc dire en un sens que le 7030 est un échec, mais ce serait une vue à trop court terme. En réalité, cet effort considérable n'a pas été perdu : la technologie à drift-transistors a été utilisée dans les 707X, les méthodes d'étude de circuits ont été développées au point de pouvoir généraliser l'emploi des semiconducteurs, la fabrication automatique des cartes SMS portant de tels circuits a été mise au point ; en matière de mémoires, une mémoire voisine de celle du Stretch est devenue la norme dans les 709X ; dans le

domaine logique, beaucoup d'idées architecturales ont été introduites qu'on retrouvera dans les 70XX ou dans les 360; et si la méthode d'anticipation utilisée pour la 7030 s'est avérée génératrice de complications et de pertes de temps, elle a permis d'évaluer exactement le bénéfice à attendre de cette solution et de découvrir, a contrario, une voie plus efficace; les interruptions et les entrées/sorties ont trouvé leur structure définitive, qui deviendra la règle dans les S/360.

Cette importance du Stretch s'est manifestée par l'écriture d'un livre: Planning a computer system, de Werner Buchholz, publié en 1962 par Mac Graw Hill avec la bénédiction d'IBM. Cette synthèse donne de nombreux détails sur l'organisation du système et sur les raisons des choix qui y ont conduit. Elle est complétée par deux autres textes:

- le manuel de référence 7030, publié par IBM
- un texte de compléments, rédigé par Boucher à partir d'une dizaine d'articles publiés dans des articles de revue et des congrès. Cette liste est donnée ci-dessous, à l'intention de ceux qui préfèrent les textes originaux.
 - Eastern Joint Computer Conference, 12/57, pp 128/32 : système d'interruptions
 - Western Joint Computer Conference, 5/58
 - EJCC 12/58, p 75 : mots de contrôle pour entrées/sorties
 - Transactions de l'IRE, EC8, 6/59, p 118 : représentation en longueur variable
 - Communications de l'ACM, 11/59 p 13/7 : multiprogrammation sur Stretch
 - CACM 12/59 p 3/11 : choix entre représentations décimale et binaire des nombres
 - EJCC 12/59, pp 48/58 : article de synthèse illustré sur la logique et la technologie de Stretch
 - EJCC 12/59, pp 82/93 : le concept de mémoire virtuelle dans le Stretch
 - CACM 3/60 pp 168/70 : l'opération d'exécution
 - WJCC 5/60 pp 23/32 : description générale de Harvest, fait double emploi avec Buchholz
 - EJCC 12/60 p 299/324 : bloc de commande du Stretch

Les fiches standard sur IBM 7030 et **IBM 7950** ne sont que des résumés de tous ces documents.

Pour terminer cette rubrique, indiquons l'existence en 1962 d'un projet **IBM 7034**, réaction impulsive à la commercialisation par Control Data du 6600 de Seymour Cray. Cette machine devait utiliser un mot de 64 bits, disposer d'une mémoire de 32 à 128 Kmots avec cycle de 1 μ s, et n'être pas compatible avec la Stretch dont elle ne se rapprochait que par le sigle, choisi pour des raisons de marketing. Le prix envisagé se plaçait entre 150 et 225 K\$/mois.

Il est heureux qu'IBM, qui terminait à cette époque les plans, beaucoup plus grandioses et beaucoup plus porteurs d'avenir, de la famille 360, ait refusé de céder à une réaction épidermique: il n'y eut pas de 7034.

Applications

Dans cette rubrique, nous plaçons les réalisations de systèmes effectuées avec les matériels précédents, en principe seulement si IBM y a expressément participé en introduisant, par le jeu des RPQ, des dispositions spécifiques sans lesquelles le système n'aurait pu exister. Nous balaierons cette liste par ordre chronologique.

SABRE: en 1954, IBM établit un projet de recherche conjoint avec American Airlines sur le thème de la réservation de places d'avions. Etant admis que la compagnie utiliserait des calculateurs IBM, le problème technique essentiel, nouveau pour l'époque, concernait les communications de données. Les discussions aboutirent à une proposition formelle, concrétisée en 11/59 par un contrat sur le système SABRE, Semi-Automatic Business-Related Environment, un sigle qu'il faut à l'évidence rapprocher du SAGE qui terminait alors sa mise en place opérationnelle. IBM reconnaît d'ailleurs, à travers un des articles du numéro spécial du 25ème anniversaire de IBMR&D, ce que SABRE doit à SAGE.

Le système **9090 SABRE** se compose, dans sa version initiale, d'une paire de 7090 reliées chacune à un multiplexeur, circuit de commutation reliant mémoire, CPU, console et 8 canaux. Les canaux sont:

- deux canaux de tambours, un par CPU, donnant tous deux accès à deux contrôleurs dont chacun peut recevoir jusqu'à 4 tambours magnétiques.
- deux canaux de disques, un par CPU, donnant tous deux accès à une collection de disques (maxi 16).
- deux canaux de services, un par CPU, pour cartes et bandes magnétiques (maxi 10)
- deux canaux doubles **7286**, dits "temps réel", spécialement conçus pour le système, qui gèrent l'ensemble des 32 lignes téléphoniques. à travers une console de commutation.

Cette description ne comprend que 5 canaux, alors que 8 sont possibles sur une 7090. Les extensions sont possibles, sauf pour les tambours. Une seule 7090 est opérationnelle à chaque instant, l'autre pouvant faire de la maintenance ou du travail logiciel.

Les transmissions du système sont des lignes louées synchrones multipoint. La technique mise au point à cet effet ne demande au CPU que le polling du terminal le plus éloigné sur la ligne; celui-ci, son message transmis, signale à son prédécesseur physique qu'il peut prendre la relève, et ainsi de suite jusqu'au terminal le plus proche du CPU, qui met fin à l'instruction de polling, jusqu'à la suivante.

Les lignes n'ont cessé de s'améliorer au cours du temps, grâce à un meilleur traitement du signal dans les amplificateurs des relais : 1200 bauds à l'origine, 2000 puis 2400 bauds ensuite, et jusqu'à 9600 bauds vers 1980. Il y avait en 1964 quelque 1100 terminaux d'agents répartis sur les 32 lignes nationales, éventuellement relayées par des multiplexeurs régionaux pour que les liaisons principales avec le système se fassent à grande vitesse. Ce nombre augmentera régulièrement par la suite, en commençant par des extensions vers l'Europe et le Japon ; mais la croissance constante du système entraînera ensuite des évolutions beaucoup plus spectaculaires (ci-après, in fine).

Les premiers terminaux, créés par IBM, étaient complètement spécifiques, regroupant un panneau de sélection des vols composé de boutons poussoirs et de cartes à bord encoché, avec une machine à écrire Selectric à tête amovible. L'évolution s'est rapidement faite vers des terminaux et des dispositifs de communication plus standard, choisis parmi les propositions IBM de "téléprocessing". Plus tard encore, les terminaux deviendront purement électroniques et complètement banalisés.

Le système SABRE d'origine était déjà saturé en 1966. Pour y remédier, on envisagea d'abord de rééquiper le centre avec des 360 / 65, fonctionnant en émulation pour n'avoir pas à reprogrammer. On choisit finalement d'ajouter aux 7090 une 360 / 65 pourvue d'une boîte noire pour communiquer avec les mémoires des 7090, et de remplacer les disques par des 2314. On décida également que le système pouvait vivre de ses propres revenus, et on érigea SABRE en société commerciale, vendant ses services de réservation à n'importe quel client, dont AAL.

Cette décision ne fit qu'accroître la charge du système, qui crut jusqu'à **cinq 3083**, remplacées en 1986 par **cinq 3090**, pour supporter 50000 terminaux et 46 M de transactions par jour. Le record de 1986 s'élève à 1415 messages par seconde, débit soutenu pendant plus d'une heure.

En 1991, le système SABRE comprend **dix ordinateurs 3090. 200 E**, connectés à 90000 terminaux à travers le monde. Le débit dépasse en permanence 2000 messages par seconde. Il n'y a aucune raison que cette croissance s'arrête.

Panamac : Le contrat de 1959 n'autorisait pas IBM à commercialiser SABRE, mais le logiciel n'était pas brevetable et le teleprocessing, sinon les terminaux, était propriété d'IBM. Pour satisfaire la prochaine demande, en provenance de Pan American Airways, il suffit donc à IBM de changer d'ordinateur, choisissant le 7080 parce que le travail de réservation comporte plus de manipulation de données que de calculs. Ce sera le 9080 Panamac.

Les deux 7080 sont, comme dans SABRE, une active et une en réserve. A chacune d'elles est associée une 1401 pour le service, tandis que 8 disques sont partagés et que les lignes sont gérées par trois 7750. A la mi 63, le système est prêt à fonctionner avec 600 terminaux répartis dans 114 villes des USA et 44 agences de voyages aux USA et en Europe.

Le logiciel est RTCPS, Real Time Control Program System, composé de quelque 600 routines. Il travaille 21 heures par jour du lundi au vendredi, les trois dernières heures servant à la maintenance globale et aux mises au point de programmes.

Le système s'est accru en 1967 de deux nouvelles unités centrales (non 7080) et de 26 terminaux pour la gestion du fret à Kennedy Airport, puis par une commande de 57 nouveaux postes d'agents SD 1110.

Le Panamac sera remplacé en 1974 par un nouvel ensemble composé de deux 370 / 158 précédées de deux Collins C 8500 pour la connexion des postes d'agents IBM 1034, conservés au moins initialement. Un essai était en cours sur 100 terminaux Raytheon PTS 100, avec option d'en commander 1000 en cas de succès. Ce **Panamac 2** était d'autre part connecté à Panacheck, un système de sélection de sièges et d'équilibrage des bagages.

Deltamatic : il y a encore moins à dire sur un troisième système, mis en service en 12 / 63 à Atlanta pour la compagnie Delta Airlines, qui se proposait d'ajouter de nombreux travaux à la réservation de places, prévue de façon publicitaire mais un peu imprudente un an à l'avance.

Ce système comporte deux processeurs 7074 avec 200000 mots en mémoire de travail, et 400 millions de caractères sur disques, avec 375 postes d'agents. Il sera baptisé **IBM 9074** et coûtera M\$ 18. L'extension du réseau de communications, qui couvre tout le territoire US et le golfe, conduira à partir de 1971 à installer un réseau de 4 calculateurs Marshall pour une gestion à commutation de messages.

General Motors : le projet **DAC-I** de la GMC vise le Design Augmented by Computer. La GM, qui travaille à ce projet depuis 1959, se propose d'introduire à la fois le dessin industriel automatisé et l'archivage des plans sur microfilms ; elle sait très bien ce qu'elle désire, et utilise IBM comme un simple sous-traitant, en particulier pour fabriquer, d'après ses plans, un périphérique **IBM 7960** qui est une sorte de COM; le projet comprend aussi des aspects logiciels, avec un compilateur algébrique **NOMAD** et un compilateur pour la gestion de canaux, **MAYBE**. Voir 240-343/62 sur l'ensemble du projet.

Equitable Life : le matériel proposé à cette compagnie d'assurances pour son système de consultations en ligne qui a fonctionné à partir de 1964 s'apparente tout à fait à celui de Panamac : trois IBM 7080 avec chacune 160000 caractères de mémoire, 16 unités 1301 de disques, et un contrôleur 7750 pour 114 terminaux de téléprocessing 1050, dispersés à l'échelle nationale des USA.

Wall Street : pour l'automatisation initiale de la bourse de New York, le premier système de 1965, entièrement doublé à l'exception des périphériques de service et des transmissions, se compose de deux 7010 (une active, une en secours), chacune avec console et bandes magnétiques, partageant deux jeux de tambours 7320. Elles sont associées, à travers un système de commutation, à deux 7750 qui gèrent les communications, initialement limitées en nombre par un système d'abonnement. Le tableau d'affichage (ticker) est limité à 900 car/s. Les réponses aux interrogations sont construites par une machine de synthèse vocale spécialement construite, le VAB Voice Answer Back Unit, capable de 400000 appels par jour, à l'origine du produit commercial IBM 7770. L'introduction des données dans le système reste primitive, avec 19 lecteurs optiques collectant l'information composée au parquet. Voir description en trois articles de 266 part 1, pp 14/40.

Quicktran : est une application de nature assez différente, en ce qu'elle a été édifée d'abord par IBM dans ses propres locaux de Yorktown Heights, et pour son propre personnel ; la réussite de cette expérience a conduit ensuite la corporation à en décider la commercialisation.

Le point de départ est la recherche d'une solution matérielle au problème du temps partagé, le **M44**, qui est une 7044 modifiée par allongement de ses adresses à 21 bits, dont 14 pour trouver une page de 128 mots dans une mémoire qui comportait 32 Kmots à cycle 2 μ s et 196 Kmots à cycle 8 μ s : la relocation utilisait une mémoire de mapping de 16K mots, 2 μ s.

Les entrées/sorties comprenaient le canal A (liaison directe) pour le service et le temps réel, le canal B pour 7 dérouleurs de bandes et un disque 1301 de 9 M mots, le canal C pour 7 autres bandes et une 7750 avec de nombreux terminaux 1050 de téléprocessing.

Cet appareil nettement surabondant a été utilisé pour de nombreuses expériences, dont le temps partagé, mais aussi par exemple une application temps réel à la gestion de circulation urbaine. On a largement profité de l'existence de la mémoire virtuelle (avant la lettre) pour analyser le comportement des programmes dans ce contexte, et il n'y a pas de doute que cela ait pu aider aux décisions qui se préparaient pour 1973. Voir à ce sujet 250-1019/32.

En ce qui concerne le temps partagé, les essais sur M44 ayant confirmé qu'une telle puissance était inutile, on a finalement réalisé le logiciel Quicktran, qui nécessite :

- une 7040 ou 7044, mémoire 32 Kmots, avec LC/PC/IP
- une 7740 de communication, avec mémoire 16 KB, sur un canal
- un disque 1301 et un tambour 7320 sur un canal
- six dérouleurs de bande sur un canal
- et jusqu'à 40 terminaux 1050 pour les usagers, sur la 7740.

Le système est spécifique, et dispose de trois modes de fonctionnement :

- un mode "command" pour les terminaux, avec un Fortran interprétatif plutôt lent, pour l'enseignement.
- un mode "program" pour les terminaux, avec un Fortran dont l'analyseur syntaxique a été rendu conversationnel, pour l'exploitation.
- un mode "batch", avec un compilateur Fortran usuel.

L'effort logiciel a principalement été constitué par l'écriture des deux nouveaux traducteurs Fortran, mais il a été facilement amorti dès lors que le système Quicktran a été commercialisé.

Bureautique

La bureautique est une catégorie d'applications, non une définition de matériel. La bureautique de l'an 2000 se fait entièrement par ordinateur, et n'a pas besoin d'être distinguée des autres usages de celui-ci. Par contre, dans les années 50 à 64, l'ordinateur était bien trop coûteux pour qu'on l'immobilise dans des tâches bureautiques, et IBM consacrait encore 30% de son activité à produire des matériels pour ce besoin particulier, héritier direct de son ancien métier.

Le produit bureautique de base est la machine à écrire électrique, qu'IBM produisait dès l'avant-guerre sous le sigle **IBM 866**. On en verra une photo dans le document sur la mécanographie, Boucher pp 16 et 38.

Cette machine à corbeille et chariot se distinguait de la concurrence en offrant l'espacement proportionnel, incontestable avantage esthétique.

Dans l'immédiat après-guerre, IBM acceptera de fabriquer en série, pour le compte de la société Friden de machines comptables, une variante ultrarobuste de cette machine, le **Flexowriter**, qui aura dans les années 50 un grand succès comme terminal d'ordinateur, mixte ME/LR/PR. Voir Boucher p 17.

La véritable solution, bien plus subtile, est la machine à écrire **Selectric** à boule, capable de 15 cps., aboutissement de travaux entrepris en 1946, annoncée en 1961. Il y a une police par boule amovible, dont le remplacement prend quelques secondes. La boule, sur commande électrique du clavier, exécute deux mouvements avant de frapper un caractère, une rotation puis un réglage en hauteur sélectionnant une parmi quatre couronnes de 22 caractères. Le papier n'a qu'un seul déplacement possible, de haut en bas, et c'est le porte-boule qui se déplace de position en position d'impression.

La Selectric se suffit à elle-même, et peut se vendre comme telle, mais on va lui trouver une grande variété d'applications nouvelles, dans deux catégories :

- d'une part, des développements proprement bureautique, comprenant la préparation de bandes magnétiques (**MT / ST**, 1964), l'espacement proportionnel (**Composer**, 1966), la préparation de cartes magnétiques (**MC / ST**, 1969), la machine à écrire correctrice (1973).

Voir IBMR&D, Vol 12, 1 / 68 pp 2 / 91 et Vol 25, 9 / 81, pp 729 / 47., articles richement illustrés de photos et de dessins de mécanismes. Aux archives.

- d'autre part, par addition d'une petite électronique appropriée à l'objectif, un rôle de terminal essentiellement tourné vers le téléprocessing. Cette fonction sera traitée dans le chapitre correspondant.

Une activité mineure des années 50, quand la mécanographie existait encore, était consacrée à l'exploitation des fichiers sur cartes dans les bureaux : la mécanographie, en effet, se faisait pratiquement toujours dans des ateliers spécialisés, distincts des secrétariats pour cause de bruit.

Quelques photos, dans Boucher 37 à 40, illustrent de tel appareils :

- **classeuse totalisatrice 801**, pour préparer des bandes perforées à partir de chèques et autres pièces comptables.
- **correctrice électronique 805**, pour l'exploitation de questionnaires.
- **cardatype 858**, pour la préparation de documents dactylographiés à partir de cartes perforées.
- système **870** de conversion : bande perforée vers cartes et ME, cartes vers bandes perforées et ME.
- système **9900** de recherche documentaire, comprenant un 9310 universal card scanner et un 9202 de conversion bande perforée vers cartes.

La mécanographie disparue, et bien que ce ne soit pas l'orientation qu'elle souhaitait pour l'entreprise, IBM n'a pas cru pouvoir ignorer les PME, dont on peut prévoir qu'elles reculeront même devant la 1401. Elle leur propose donc, dès 1959, une facturière transistorisée, la **632**, programmée par une bande plastique en boucle autour d'une mémoire à tores limitée à 8 mots. Succès limité (2500 machines en trois ans) pour un produit qui sort des activités habituelles de la marque et qui avait de nombreux concurrents, beaucoup mieux implantés, comme Burroughs.

IBM s'essaye aussi à la machine comptable classique, qu'elle réalise en 1963 autour du mécanisme à boule de la Selectric : c'est l'**IBM 6400** (fiche). Les fichiers sont ici en "ledgers", cartes imprimées avec bande magnétique au dos. La carte perforée, toujours possible, devient tout à fait secondaire et facultative, et utilise une mécanique de 026.

En 1969, la **6430** reprend les mêmes idées avec une technologie un peu améliorée. Le processeur à cycle de 50 μ s consacre environ 1,8 ms à chacune des instructions, qui sont chargées à partir du lecteur de cartes : notre source indique que le programme maximum comprend 320 instructions, chargées à raison de 80 par carte, ce qui paraît douteux puisqu'il faudrait que chaque instruction ne comprenne qu'un caractère.

Le chariot de 22" (57 cm) peut recevoir deux papiers continus indépendants, la tête est toujours à boule, 15,5 car / s. Clavier complet plus pavé numérique, avec 20 touches de fonctions.

Prix \$ 15750 ou \$ 450 / mois. Une extension PC à 19 col / s porte ce prix à \$ 27100 ou 740 \$ / mois.

Depuis 1964 la division des machines à écrire de Lexington, Kentucky, est devenue l'OPD, Office Products Division, qui se consacre toujours à élargir les usages de sa machine à écrire, en développant ses offres dans le domaine du traitement de texte.

Le numéro anniversaire de la revue IBMR&D Vol 25, 5, 9 / 81, pp 741 / 53 fournit une synthèse suffisante des travaux de cette division, dont le premier produit est un processeur non programmable, l'**OS/6 Visiotext**, susceptible de combiner des entrées par clavier/écran et floppy disk avec la carte magnétique des MT / SC, une imprimante à jet d'encre 92 ou 180 cps, une imprimante à marguerite 55 cps de qualité courrier, et / ou des communications BSC. Le sommet de cet édifice est le **6670** à imprimante laser 36 pages / min.

L'ensemble était très encombrant, et finalement cher, 132300 FFHT par exemple pour le modèle 6 / 442 de 1 / 78, aboutissant à une imprimante à marguerite, \$ 75000 pour le 6670.

En 1980, le **6580 Displaywriter** est un traitement de texte beaucoup plus modeste, composé de :

- écran 348 * 380 * 292 mm, poids 6,8 Kg
- processeur 399 * 390 * 179 mm, 13,6 Kg
- clavier 213 * 538 * 101 mm, 6,8 Kg
- lecteur de disquettes 5246
- imprimante 5217 et, en options, lecteur de cartes magnétiques et Selectric.

A partir de cette époque, l'apparition de calculateurs de bureau à 8 bits, puis du PC, périmé complètement le concept de traitement de texte autonome, déjà battu en brèche par les possibilités de terminaux connectés à des ordinateurs exploités en time sharing. Définitivement, avec les PC, le traitement de texte est simplement une application particulière au sein d'un intégré fourni avec le système d'exploitation. On renvoie pour la suite de ce feuilleton à l'étude des PC, rubrique 331.

Périphériques : télétraitement

Pour IBM, les communications avec l'ordinateur naissent au cours des travaux sur le projet SAGE, et l'expérience proprement dite de la compagnie avec son système AN/FSQ 7.

Dès qu'IBM est en mesure de proposer commercialement des ordinateurs, l'intérêt pour les communications s'éveille, s'agissant de drainer vers les nouvelles machines une grande variété d'informations à traiter. A la différence du SAGE, on n'en est pas encore à imaginer, dans les applications civiles, les échanges entre ordinateurs : les problèmes qui se posent réellement sont des échanges de fichiers, cad des transferts de cartes à cartes. Malheureusement, les transmissions télégraphiques, adaptées au problème par leur débit, se font de bande perforée 5 trous à bande équivalente ; de sorte qu'IBM avait été amenée, dès 1940, à construire des convertisseurs bande / cartes et réciproquement. On a vu, dans le document Boucher sur la mécanographie, un système 870 faisant, en 1950 encore, ce type de transfert, plafonné à moins de 10 car / s sur les lignes télégraphiques.

Le premier changement sérieux intervient en 1954, avec le **65 / 66 Data Transceiver**, qui permet l'échange direct entre deux perforatrices de cartes, et qui fonctionne sur ligne télégraphique ou sur ligne téléphonique louée, ou encore sur une voie phonie d'une liaison radio. Les caractéristiques sont les suivantes :

- le transceiver utilise des modems **Bell Dataphone 200**, ce qui permet l'adaptation aux lignes téléphoniques.
- le système fonctionne mécaniquement à 17 colonnes / s. Ce chiffre très bas permet, par l'intermédiaire de filtres enfichables de bande passante 500 Hz, de grouper jusqu'à quatre transceivers sur une seule ligne téléphonique.
- la sécurité de transmission, inexistante en code télégraphique, est permise par un codage 4-out-of-8. Les cartes mal lues sont sorties du paquet automatiquement et peuvent être relues.

- le modèle 66 permet l'interprétation des cartes en même temps que leur perforation.

La connexion à la ligne est assurée par une "signal unit", boîtier 67 pour le télégraphe, 68 pour le téléphone.

Ce type de transmission asynchrone est souhaitable quand les caractères sont produits à la source avec l'irrégularité d'une frappe manuelle, mais ils font perdre du temps parce que chaque caractère doit comporter ses propres bits de contrôle. Dès lors que la source génère un flot continu de caractères, soit de par la nature du support (bande magnétique par exemple), soit parce que le message source est stocké dans un tampon intérimaire, une transmission synchrone avec contrôle par blocs est préférable.

IBM annonce donc en 1960 le STR, Synchronous Transmitter Receiver, un couple de signal unit adaptable à une nouvelle famille de terminaux, dont l'ensemble permet à IBM le "télé-processing". Les premiers de ces terminaux sont :

1001 : ensemble d'un combiné téléphonique, d'un petit lecteur de cartes (36 colonnes lues au plus) et d'un clavier 10 touches, se posant sur une table. Le poste de réception peut attaquer une perforatrice 026. Modem Dataphone 400, 20 car / s sur ligne 2 fils.

Prix \$ 15 à 23 / mois, et \$ 135 / mois pour le récepteur.

357 : (1959) collecte de données industrielles au sein d'une entreprise, en vue de regroupement sur une perforatrice 024 ou 026 située à moins de 7500 ft, ce qui permet d'employer la bande de base. Le système comprend le poste d'entrée 357 avec lecteur de badges et / ou de cartes, le pupitre d'entrées manuelles 372 à 6 / 9 / 12 caractères, l'horloge **361** et son transmetteur **360**, et le poste récepteur **358** attaquant la perforatrice. Un 358 peut collecter vingt 357.

1013 : lecteur de cartes avec tampon à tores de 329 caractères pour transmission 4-out-of-8 en STR vers une bande magnétique.

7701 : (1961) dérouleur de bandes magnétiques, utilisable en source ou destination : 150 cps, 200 bpi. Meuble d'esthétique 1401, 787 * 737 * 1524 mm. Consomme 11 A en 115 / 1 / 60.

7702 : (1961) même mécanisme, mais capable de 300 cps.

1009 : émetteur / récepteur sur ligne téléphonique, adapté aux 1401 et 1410, et capable de 150 cps en code 4-out-of-8 avec check sum longitudinale. Retransmission automatique en cas d'erreur. Modem Dataphone 200. Option tampon de 400 caractères à partir de 1964.

7711 : Comme le précédent, mais avec tampon de 200 à 2400 car, et capable de 28800 cps sur coaxial ou liaison radio. Pour dérouleurs de bandes externes.

Prix 83 à 88,6 K\$, ou \$ 1575 à 1735 / mois.

1014 : console d'interrogation avec machine à écrire Selectric.

1026 : unité de contrôle pour téléprocessing, contenant un tampon de 210 caractères et toutes les procédures d'appel, polling, contrôle d'erreurs pour une ligne en polling porteuse de terminaux 1030 / 50 / 60 / 70. Maximum 4 par CPU 14XX. Prix \$ 10800 ou \$ 270 / mois.

- 1030** : (1963) collecte de données, trois fois plus performant que le 357, et comportant un retour. Ce système travaille à 60 cps en utilisant un code asynchrone BCD avec imparité. Il comprend :
- contrôleur **1031A** servant de point d'entrée pour un choix de 6 configurations (cartes, badges, cartouches, affichage manuel), de collecteur pour un maximum de 8 * 1031B, et de transmetteur.
 - poste de collecte **1031B**, mêmes dispositifs.
 - horloge **1032**
 - imprimante **1033**, perforatrice **1034**

Les postes 1031A, 1032 et 1033 sont connectés par ligne à un 1448.

- 1050** : (1963) data communication system, collection de matériels utilisant un code asynchrone 7 bits autodétecteur avec un débit de 14,8 cps. La collection comprend :
- contrôleur 1051, 660 * 380 * 690 mm, 90 Kg, 200 VA
 - machine à écrire **1052** Selectric, 580 * 500 * 230 mm, 16 Kg, 170 VA
 - LR **1054**, 580 * 330 * 170 mm, 9 Kg, 100 VA
 - PR **1055**, 390 * 430 * 210 mm, 12 Kg, 100 VA
 - LC **1056**, 320 * 420 * 720 mm, 25 Kg, 100 VA
 - PC **1057**, 1070 * 740 * 990 mm, 145 Kg, 500 VA

Un poste 1050 comprend tout ou partie de l'équipement ci-dessus, incluant une liaison vers le calculateur, qui est un 14XX dans la période qui nous intéresse.

- 1060** : (11 / 62) terminal bancaire, comprend un contrôleur **1061** et un ou deux **1062** terminaux de guichet avec clavier spécialisé, imprimante Selectric sur carnet de caisse d'épargne et bande journal. Le 1061 est relié par ligne 14,8 cps à un canal 1448.
- 1090** : (1964) tableau de boutons personnalisé par un plastique. Il y a dix boutons par colonne, plus un bouton pour identifier la colonne, débit 12 car/s. Le **1092** comprend 16 colonnes, le **1093** a 10 colonnes. Prix respectifs 3000 / 75 et 1200 / 30 \$.
- 1414** : data synchronizer pour 1401 ou 1410, connectable à 1009, 1013, 1014 et 7701 / 2.
- 1448** : contrôleur programmable pour 1401 ou 1460, jusqu'à 40 lignes 600 bauds en half-duplex. Prix \$ 56700 à l'achat, ou \$ 1150 / mois.
- 2740** : terminal ME Selectric 15 cps
- 7700** : (3 / 64) ordinateur de collecte de données à grand nombre de voies (fiche)
- 7750** : (1962) ordinateur spécialisé dans la gestion de communications, jusqu'à 112 canaux dont 16 à 1200 bauds et le reste en télétypes, avec un canal duplex vers un 1401 ou 1410. Fiche.
- 7740** : (1963) même programme, 124 lignes dont 84 à vitesse télétype.

Un document IBM de 1961 rassemble ces informations, avec une série d'exemples concrets.

Périphériques

A une époque où n'existe pas de standard pour les canaux, les périphériques sont pratiquement solidaires de la machine à laquelle ils sont connectés, et pour laquelle, souvent, on les a créés. La description de tels périphériques (pour les 70X et 650) est à rechercher dans la documentation particulière du processeur.

Un peu plus tard, mais toujours avant la normalisation provoquée par les S / 360, certains périphériques particulièrement bien pensés ont été connectés à plusieurs machines différentes, et même souvent très différentes, ce qui a chaque fois exigé la création d'une interface. Ce sont ces périphériques, peu nombreux mais essentiels, qui sont évoqués ici.

Cartes perforées :

IBM 1402 : lecteur 800 cpm et perforateur 250 cpm, sur deux chemins de cartes distincts, sont proposés pour cette unité qui a été créée pour la 1401, mais qui sera ensuite disponible sur toutes les machines contemporaines, et continuera à servir les S / 360. Le lecteur comprend deux stations de lecture, deux clapets et trois stackers ; la perfo comporte une station de relecture, 2 clapets et trois stackers, dont un commun avec le lecteur.

IBM 1442 : machine plus économique pour la 1130 et la 1440, et plus tard pour les petits S / 360. Elle n'a qu'un seul chemin de cartes, avec un hopper 1200, deux stackers 1300, et toutes ses fonctions commandées par programme plutôt que par tableau de connexion.

Le Modèle 5 pour 1130 est perfo seulement, 160 col / s = 90 cpm.

Le Modèle 6 est LC 300 / PC 80 et le Modèle 7 est LC 400 / PC 160 col / s.

Imprimantes :

IBM 1403 : imprimante à chaîne conçue pour la 1401, 600 lpm en 100 ou 132 caractères.

Il y aura ensuite un Modèle 3 pour 1410 et 1460, qui continuera sa carrière avec les 360. Elle est capable de 1100 lpm de 132 caractères pris dans un jeu de 48, mais 1400 lpm pour un jeu purement numérique. Papier de 77,5 à 476 mm de large, commandé par bande pilote à 12 canaux, capable de sauts de 840 à 1905 mm par seconde. Impression de 10 caractères par pouce, et verticalement de 6 ou 8 lignes par pouce. Commandes par l'ordinateur, sans tableau.

En 1964, les Modèles 4 et 5 sont destinés à la 1401 G, et délibérément plafonnés à 465 lpm, ou 395 lpm en englobant un saut de papier systématique de 1".

Par ailleurs, les modèles 6 et 7, respectivement 340 et 600 lpm, avec un tampon de 120 caractères, sont destinés à la 1130.

IBM 1404 : même mécanique que la 1403, qui peut être placée au choix en face d'un papier standard, ou en face de cartes recevant 51 (1 carte) à 160 (2 cartes juxtaposées) caractères. La performance est 600 lpm en alphanumérique et peut monter à 1295 lpm en numérique. Photo dans la fiche 1401.

IBM 1443 : inventée pour la 1440, cette imprimante remplace la chaîne par des barres, également interchangeables. En fait IBM propose quatre barres : 13 chiffres et signes = 600 lpm ; 39 caractères (majuscules seulement) = 300 lpm ; 52 caractères (code COBOL) = 240 lpm ; 63 caractères = 200 lpm . Tampon et papier 120 ou 144 car / ligne, bande pilote.

IBM 1445 : mécanique de 1443 avec ruban spécial interchangeable permettant l'impression de chèques MICR magnétiques. Performances 525 lpm pour barre de 14 caractères, 240 lpm pour barre de 42 caractères non MICR, 190 lpm pour barre de 56 caractères incluant les E13B.

Bande magnétique :

IBM 729 : ce dérouleur 7 pistes pour machines performantes existe depuis 1957 (705 III) mais n'a cessé de s'améliorer . Les modèles suivants sont d'intérêt général :

Mod II : 75 ips , 2 densités (200 et 556 bpi), start / stop 8 ms, rebobinage à 480 ips.

Mod V : même mécanique, mais trois densités (200 / 556 / 800 bpi).

Mod IV : 112,5 ips, 2 densités, start / stop en 5,3 ms, rebobinage à 480 ips.

Mod VI : même mécanique, mais trois densités.

IBM 7330 : dérouleur lent et économique pour la 1401, en 1960. Densité 200 bpi.

IBM 7335 : même mécanique 20000 Car/s, mais densité 556 bpi. (1963)

Disque magnétique :

IBM 1301 : ce modèle de disque à peigne radial a rapidement éliminé ses prédécesseurs à double mouvement de têtes, le 355 créé pour la 305 et utilisé par la 650, puis le 1405 créé pour la 1401 par simple doublement de densité.

La performance nouvelle du 1301 provient de son peigne radial, comprenant 25 paires de têtes qui enserrant les deux faces d'un cylindre de 25 disques. Le mouvement hydraulique linéaire permet un temps d'accès moyen de 165 ms, avec un minimum de 115 ms pour mise en route et stabilisation.

Autres raisons : la vitesse de rotation est portée à 1800 t / min, le revêtement magnétique des disques est diminué à $543 \mu" = 13,6 \mu$ d'épaisseur, et les patins, maintenant en acier inoxydable, volent à l'altitude de 6μ au dessus de cette surface. Il est ainsi possible de lire ou d'écrire à 68 KB / s sur chaque piste.

L'unité standard comprend deux blocs de 25 disques, équipés de deux peignes indépendamment adressables, et la capacité d'un bloc est 25 MB. La densité longitudinale sur les pistes est 520 bpi (21 bits / mm), l'écartement des pistes est de 50 tpi (2 pistes / mm).

Le 1301 a finalement été connecté à toutes les machines contemporaines, 70XX, 14XX. Il n'est pas étonnant , vue leur variété d'architecture, qu'une connection spéciale soit nécessaire dans chaque cas. On possède une notice IBM du produit, et des brochures décrivant les connexions de la 1410 et des 70XX.

IBM 1302 (1965) : c'est exactement le même concept que le précédent, , mais il n'y a plus que 20 disques, soit 40 surfaces par module, chacune 500 pistes de 5850 caractères. Il y a deux peignes par module, chacun accédant à 250 pistes en 50 à 180 ms selon écart à parcourir.

La capacité d'un module est 117 Mcar de 6 bits, l'unité peut contenir 2 modules, et le contrôleur 7631 peut diriger 5 unités. Le débit peut atteindre 184000 car / s. Cette unité ne paraît pas avoir été mise en vente auprès des clients 7XXX : par simple changement de contrôleur, elle est devenue la 2302 du système 360.

IBM 1311 : inventé en 1962 pour mettre le disque à la portée économique de la petite 1440, le 1311 représente à peu près le même niveau technologique que le 1301, avec la complication du pack amovible. Le pack tourne à 1500 t / min et comprend 6 disques de 14" (356 mm) donnant 10 faces porteuses d'information ; le peigne porte-têtes est mu par un actuateur hydraulique, avec un temps d'accès moyen de 150 ms.

Les données numériques principales sont l'épaisseur des couches magnétiques sur les disques en aluminium ($250 \mu" = 6 \mu$), l'altitude de vol des têtes ($125 \mu" = 3 \mu$), la densité longitudinale 1025 bpi, la densité transversale 50 tpi, le débit de 69 Kbit / s. Voir archives 1440 et fiche 1401.

Le 7 avril 1964, IBM annonçait simultanément dans le monde entier , avec la naissance du **System / 360**, la révolution informatique qui allait régenter la profession pendant les 30 années suivantes. IBM estimait cette révolution inévitable, pressentant que l'informatique allait remodeler le monde : il fallait la faire pendant que les informaticiens n'étaient encore qu'une petite minorité, et que l'investissement des entreprises dans l'informatique était encore faible.

La raison fondamentale était que le logiciel, qui constitue l'intelligence de l'ordinateur, doit être aussi indépendant que possible du matériel, sujet à évolution rapide avec la technique, et forcément différent d'une machine à l'autre en fonction de la puissance du modèle. Il devrait évoluer par accumulation et perfectionnement, et ne jamais se perdre, tandis que les supports matériels se succèdent et se remplacent sans que leur structure ait d'autre importance qu'économique immédiate.

Pour cela, le logiciel exige un support permanent, une architecture unique préservée d'un matériel à l'autre. Bien que le raisonnement ait une valeur universelle, IBM ne peut prétendre choisir cette architecture et l'imposer au monde, et elle n'y compte pas. Elle sait, par contre, que tous ses clients comprendront que le logiciel, confié à des ingénieurs, ait la primauté sur le matériel, mis en oeuvre par des techniciens, et qu'une énorme économie soit possible sur le long terme si l'entreprise peut vraiment conserver ses applications quand elle remplace ses matériels.

L'idée était grandiose, la mise en oeuvre habile quoique aventurée. Le principe eut quelque mal à s'inscrire dans la réalité, pour plusieurs raisons :

- tous les concurrents d'IBM, même convaincus par l'énoncé, étaient forcément hostiles au départ.
- même au sein d'IBM, il se trouvera des gens pour préconiser des exceptions au principe, pour d'excellentes raisons techniques ou commerciales.
- la tâche était immensément plus difficile que sa conception initiale, et il faudra une petite dizaine d'années pour arriver à des logiciels à peu près conformes aux objectifs.
- plus subtilement, l'intérêt d'IBM n'était pas d'aboutir au résultat annoncé, mais seulement de s'en approcher suffisamment pour que les clients y croient et soient fidélisés ; un client convaincu et fidèle investira un peu chaque année pour se rapprocher d'un but qui continuera à fuir devant lui.

Globalement, le mécanisme ainsi enclenché va fonctionner remarquablement, avec les résultats suivants:

- IBM va conquérir une large part de marché, au point de susciter une foule de procès antitrust, et deviendra très riche. Ses formidables bénéfices seront largement mis au service du progrès de l'informatique, dont la croissance sera extraordinairement rapide.
- une industrie des "compatibles" va naître et réussir à capter une part de cette croissance au détriment d'IBM, car son existence est cohérente avec l'objectif qui a fini par convaincre tout le monde.
- des chercheurs travaillant sur les logiciels vont trouver le moyen d'encherir sur IBM et de profiter de la frustration trop prolongée de nombreux fidèles pour placer leur solution.....
- de sorte que, au tournant du siècle qui termine notre histoire, l'objectif énoncé par IBM sera largement atteint par tous mais, pour une majorité des usagers, en dehors d'IBM.

Pour raconter cette histoire, il ne suffit pas de suivre la chronologie des annonces. Nous devons au minimum décomposer la description en deux parties, qui évoqueront respectivement les architectures proposées par IBM comme cibles successives, et les progrès technologiques qui jalonnent la marche en avant. Ce dernier point se décompose lui-même en deux postes, logiciel et matériel, et finalement les trois domaines, bien que chacun introduise des contraintes sur les deux autres, ne sont pas complètement synchrones.

L'intérêt de notre étude sera d'expliquer les motifs de chaque décision, de souligner les contraintes et les synergies, et finalement de situer chaque étape par rapport à l'objectif, et au marché.

Principes

L'architecture unificatrice d'IBM s'inspire directement des conclusions de l'étude Stretch, soigneusement réévaluées pour que leur portée devienne universelle. On peut en résumer les grandes lignes :

- a) l'architecture doit être capable de toutes les applications imaginables :

calcul scientifique performant en arithmétique exacte (entière) ou approchée (réels) avec pour ce dernier cas la possibilité d'ajuster la précision aux besoins des applications. La représentation correspondante des nombres sera binnaire parce que c'est la plus efficace.

manipulations de données aisées dans les domaines concrets de la science et de la technique. Il doit être possible de traiter directement dans la machine tous les caractères rencontrés fréquemment dans ces domaines, chiffres, lettres majuscules et minuscules, et un large choix de caractères spéciaux. La représentation des chiffres, dans cet alphabet, doit être décimale parce que c'est la forme commune à tous les usagers.

- b) l'architecture doit être ouverte sur l'avenir, et ne pas introduire de frein de principe dans les activités confiées à l'ordinateur. En particulier, il doit être possible de prendre en charge, et donc d'adresser directement des quantités d'informations très supérieures aux possibilités présentes des mémoires, qui vont certainement s'améliorer.
- c) l'architecture doit définir une procédure et une interface unique, le canal, pour faire communiquer l'ordinateur avec le monde extérieur, quel que soit le périphérique en cause, existant ou à créer, et quel que soit l'ordinateur. Cette procédure doit être publique, afin que tout inventeur d'un périphérique potentiel connaisse exactement les conditions à remplir pour une connexion.
- d) il n'existe pas d'objet physique sans risque d'erreur. Toute erreur détectée soit dans l'ordinateur lui-même, soit dans un périphérique, doit être notifiée à l'ordinateur dans des conditions telles qu'il puisse donner à chaque incident une réponse appropriée.
L'architecture définit donc un système d'interruptions, mais on reconnaît qu'une partie des dispositifs de détection ne peuvent faire partie de l'architecture, ni même être rigide-ment spécifiés, car nombre d'entre eux dépendent des techniques utilisées dans la réalisation matérielle.
- e) il n'existe pas non plus de programme sans bogue. Ceux-ci ne sont détectables que par leurs conséquences, qui provoqueront des interruptions si elles sont détectées, mais beaucoup ne le seront pas à temps, ou pas du tout. L'architecture doit définir des aides au débogage, telles que traces ou statistiques.
- f) plus encore que leurs prédécesseurs, les nouveaux ordinateurs ne doivent jamais s'arrêter, pour raison économique : si un job défectueux ne peut être mené à bien, il doit être abandonné tandis qu'un job en attente lui succède. Autrement dit, il existe dans l'ordinateur un programme privilégié qui gère les ressources et les répartit entre les applications, cad un système d'exploitation. Ce système dispose de ressources propres, logicielles et matérielles ; il sait les protéger contre les erreurs des applications, et protéger celles-ci les unes contre les autres.
L'architecture doit permettre à chaque programme usager de requérir le concours du système d'exploitation pour accéder à ses ressources communes. Celui-ci peut :
- soit le refuser, auquel cas le programme demandeur est suspendu, ou abandonné.
- soit l'accorder, en restant entièrement juge des conditions de retour au programme demandeur.
- g) l'architecture doit aussi permettre les applications fonctionnant en temps réel. A cet effet, elle doit définir une horloge absolue, indiquant le temps écoulé depuis un instant de référence ancien, et commun à toutes les machines. Deux consultations successives permettent de mesurer, par différence, la durée séparant deux événements.

Ces principes généraux s'appliqueront tout au long de l'existence des mainframes, ces machines universelles coûteuses et puissantes conçues pour faire face, dans les meilleures conditions économiques, à la demande explosive de calculs de toutes natures au sein des entreprises.

Ils sont inspirés par une vision, encore floue à cette époque, de l'organisation du travail informatique, qui sera par la suite précisée sous le nom de "modèle des couches". Le système comprend un minimum de deux couches imbriquées de ressources :

- le système d'exploitation est propriétaire de toutes les ressources : périphériques, mémoire, services logiciels. Il est conçu en principe pour en optimiser l'emploi, mais il est inévitable qu'il n'y parvienne qu'imparfaitement.

- chaque job n'a besoin que d'une fraction de ces ressources, qu'il demande et obtient du système d'exploitation, par le dispositif f) ci-dessus.

Dans la conception initiale, il n'existe qu'une unité centrale, qui exécute soit le système d'exploitation, soit l'un des jobs. Elle passe de l'un à l'autre par le dispositif f).

Les concepteurs d'IBM sont conscients après l'expérience du Stretch que la riche structure de a) ne pourra pas être matérialisée à un prix acceptable dans les machines destinées aux clients à budgets modestes, ou même moyen ; et pourtant le principe exige que le service correspondant soit fourni. La solution consiste dans l'introduction d'une troisième couche, par le procédé de la microprogrammation : la machine matérielle est nettement plus simple que le modèle unifié, qui est construit par simulation sur la machine réelle.

La même relation de subordination existe entre la micromachine et le modèle, ou macromachine, qu'entre cette dernière et le système d'exploitation : elles communiquent par demandes de concours, et toutes les ressources qui manquent à la micromachine, seule unité centrale concrète, sont simulées par des microprogrammes qui sont les "services logiciels" de la deuxième couche.

Puisque la micromachine n'est qu'une astuce d'ingénieur pour parvenir à concrétiser la macromachine à moindres frais - qui se payent évidemment en moindre performance - elle n'apparaît pas dans l'architecture.

Architecture des 360

La première réalisation du concept unifié est baptisée **System / 360**, en abrégé S / 360. Il est décrit en détails dans un document qui a le caractère d'une bible, dont la portée s'étend bien au delà d' IBM : il n'est pas interdit de réaliser une machine conforme à l'architecture, et beaucoup s'y sont essayés.

La rédaction de ces *Principles of Operation* est un travail d'une extrême minutie : la machine unifiée y est définie avec tous les détails nécessaires à une parfaite compatibilité, les procédures qu'elle exécute sont décrites étape par étape, mais rien de plus. En particulier, le document ne mentionne aucune performance, et ne définit que la taille maximale des mémoires.

Le document A22-6821-1 (c'est le 1 final qui compte pour nous) comprend 168 pages, chiffre qu'on pourra comparer avec les versions suivantes pour prendre conscience de l'inflation subie par le modèle qui se voulait, à ses débuts, complet mais simple. Essayons d'en dégager les traits principaux sans tomber dans la paraphrase qui sera toujours inférieure à l'original ; le but est de pouvoir souligner les différences quand on passera aux versions suivantes.

Alphabet : la S / 360 utilise un alphabet de 8 bits, le code **EBCDIC**, qui offre donc un maximum de 256 caractères distincts. Ce code, dont les valeurs ont été choisies avec le souci d'optimiser des performances des machines utilisatrices, est différent du code ASCII / ISO conçu pour les communications. A la sortie du document, le code EBCDIC est très loin d'être complètement défini, et il n'existe aucun périphérique d'impression capable d'en exploiter une éventuelle version complète ; cela viendra plus tard. Pour les chiffres, les quatre bits inférieurs de leur code EBCDIC utilisent une représentation BCD = 1248, directement utilisable pour l'arithmétique binaire.

Pour ne pas désavouer les participants à la toute récente norme ASCII, l'architecture autorise l'emploi automatique du code **USASCII** dans les entrées / sorties, sur une simple commutation programmable.

Adresses : l'architecture S / 360 adresse en mémoire un ensemble de 8 bits + parité nommé byte ou octet en français, qui peut recevoir un caractère de l'alphabet ci-dessus. Les adresses sont binaires, longues de 24 bits, ce qui permet d'atteindre individuellement 16 777 216 bytes : ce nombre est la taille maximale de mémoire de travail permise par l'architecture.

Formats de données : l'architecture S / 360 reconnaît des objets de 1, 2, 4, 8 bytes consécutifs, baptisés byte, demi-mot, mot, double-mot, ainsi que des chaînes de bytes de longueur quelconque. Ces objets sont adressés par leur byte de gauche, celui dont l'adresse est la plus petite ; à l'exception des chaînes, ils doivent être alignés sur une frontière appropriée, ce qui se traduit par les observations suivantes :

- une adresse de demi-mot (16 bits) se termine par un zéro.
- une adresse de mot (32 bits) se termine par deux zéros.
- une adresse de double-mot (64 bits) se termine par trois zéros.

Registres : l'unité centrale contient 16 registres généraux de 1 mot, polyvalents, baptisés R0 à R15.

4 registres flottants de 1 double-mot, affectés, baptisés F0, F2, F4, F6.

et un registre système de 1 double-mot, le PSW, qui contient tous les bits décrivant l'état courant de la machine, et notamment le compteur ordinal de 24 bits.

Instructions : les instructions sont logées en mémoire de travail au même titre que les données, et peuvent donc être manipulées comme des données par les programmes. Les instructions sont alignées sur des frontières de demi-mots. Il en existe six formats :

- format RR, 16 bits, deux adresses 4 bits de registres R ou F.
- format RX, 32 bits, contenant une adresse de registre R ou F, et une adresse de mémoire 20 bits, composée de trois champs : index, base et déplacement. Le calcul d'adresse est $(X) + (B) + D$ et donne une adresse absolue de 24 bits. Les index et les bases sont logés dans les registres généraux.
- format RS, 32 bits, contenant deux adresses de registres et une adresse de mémoire non indexable, longue de 16 bits et calculée par $(B) + D$.
- format SI, 32 bits, contenant un paramètre de 8 bits et une adresse 16 bits comme les RS.
- format SS, 64 bits, contenant deux adresses de 16 bits non indexables et soit deux longueurs de 4 bits (SS2), soit une longueur de 8 bits (SS1).

La taille (1, 2, 3 demi-mots) de l'instruction courante est notée dans le PSW.

Bloc de calcul : l'unité centrale dispose :

- d'une unité arithmétique et logique en virgule fixe, travaillant sur opérandes entiers 16 ou 32 bits et utilisant les registres généraux. Répertoire de 56 instructions RR, RX, RS et SI.
- d'une unité arithmétique en virgule flottante travaillant sur opérandes 32 ou 64 bits et utilisant les registres flottants. Répertoire de 44 instructions RR et RX.
- d'une unité de manipulations de chaînes, sachant travailler sur chaînes de caractères (jusqu'à 256 bytes), de chiffres BCD (jusqu'à 31 chiffres + signe) ou de bits (jusqu'à 2048 bits), sans contrainte d'alignement autre que pour les chiffres décimaux (2 chiffres par byte). Répertoire comprenant 9 instructions SS2 d'arithmétique décimale, et 11 autres opérations SS, dont une édition qui sait faire toutes les manipulations inventées pour les 702, 705, et 14XX, et une traduction de code universelle.

Ce répertoire est remarquablement orthogonal : les mêmes cinq opérations (+ - * / compare) s'appliquent à chacun des cinq formats de nombres, les mêmes quatre opérations (and or xor compare) aux deux formats fixe et variable de groupes de bits.

Bloc de commande : 9 ruptures de séquence sont disponibles , chaque fois en format RR (indirect) ou RX (direct indexable) , pour appels de sous-programmes avec retour, test de boucle sur comptage ou index, ou test d'une condition : ce dernier dispositif est original, en ce que chaque instruction du bloc de calcul pose, en fonction de son résultat, un code condition à 2 bits qui peut ou non être exploité aussitôt après.

L'architecture définit un système d'interruptions extrêmement complet, organisé en cinq classes hiérarchisées : machine check = incidents matériels dans le CPU,
externes (horloge, signaux temps réel),
SVC (cas f des principes, voir plus haut),
programme = toutes erreurs logicielles (15 cas définis),
et entrées / sorties.

Le PSW contient des masques programmables pour chaque classe, et pour certains cas particuliers. Chaque interruption se traduit par la sauvegarde du PSW courant dans une position spécifique de mémoire et son remplacement par un PSW propre à la classe, qui dirige la machine vers un programme approprié, de sorte que des interruptions des cinq classes peuvent être imbriquées.

9 opérations servent à ces manipulations, qui englobent les questions de protection . L'une d'elles, Diagnose, au contenu non défini par l'architecture, permet dans des conditions très particulières, non mises à la disposition des usagers, d'accéder à la micromachine.

L'architecture S / 360 prend en compte le temps réel à travers un compteur de 22 bits qui progresse au rythme de la fréquence du secteur, et qui est accessible au programme comme le mot d'adresse 80.

L'horloge temps réel définie dans les principes ne peut donc être obtenue que par un programme. Les auteurs du document sont conscients que cette solution technique se situe à la limite inférieure des besoins et prévoient des réalisations matérielles plus ambitieuses que ce minimum.

Entrées / sorties: conceptuellement, les entrées / sorties sont décentralisées et confiées à des processeurs programmables indépendants de l'unité centrale, les IOP, communiquant essentiellement avec la mémoire où ils trouvent leurs programmes. Deux types de processeurs existent :

- le sélecteur est un processeur multicanal, qui exécute un programme de canal à la fois ; les canaux s'excluent donc mutuellement, à un instant donné. Consacré entièrement au canal actif, le sélecteur est la solution idéale pour les périphériques exigeants comme les disques et tambours.

- le byte multiplex peut être perçu par le programmeur comme le regroupement de 256 sélecteurs sur un mécanisme unique. Bien entendu les sous-canaux simultanés de ce genre sont susceptibles d'interférer : ils doivent donc servir des périphériques à faible débit, et asynchrones, pour pouvoir attendre si l'accès mémoire leur est provisoirement refusé.

Tous les sous-canaux sont logiquement semblables pour le programmeur, avec une interface physique identique pour raccorder , au bout d'un câble de quelques mètres de long , une unité de contrôle qui sera, selon la complexité de sa tâche, une armoire importante ou quelques circuits enfouis sous le capot d'un périphérique.

La programmation d'une entrée / sortie est la même, quel que soit le périphérique : placement en mémoire d'un programme de sous-canal formé de un ou plusieurs ordres (command) occupant chacun un double mot, puis consigne au processeur pour activer ce sous-canal.

Il existe dans le répertoire 4 instructions d'ordres à un des IOP. Celui-ci peut refuser d'obéir s'il est saturé ou indisponible, ce qui est signalé par une interruption spécifique. S'il accepte le travail et lance le sous-canal spécifié, celui-ci pourra à son tour placer une interruption à la fin de son travail ou en cas d'erreur .

Les IOP ne sont pas nécessairement des processeurs physiques, ils peuvent être simulés par la microprogrammation, et présenter plus ou moins de simultanéité avec le CPU. Par contre les interfaces des sous-canaux sont des câbles très concrets. Ils sont connectés en étoile aux sélecteurs, en bretelle au byte multiplex, qui définit la priorité de ses sous-canaux par la position du périphérique sur le câble..

La publication des Principles of Operations a constitué un véritable événement informatique mondial, et lancé comme déjà dit l'industrie des compatibles. Nous avons en archives :

- deux exemplaires, l'original en anglais et la traduction faite par IBM France, d'un numéro spécial du IBM System Journal qui s'adresse largement aux usagers.

- un document détaillé sur l'interface d'entrée / sortie, destiné aux OEM.

- une norme IBM pour les liaisons BSC, Binary Synchronous Communication, qui remplacent tous les systèmes STR à partir de l'introduction des 360.

- un article de Amdahl et Blaauw, deux célèbres ingénieurs ayant dirigé le projet, expliquant succinctement les choix qui ont conduit à l'architecture.

- on peut aussi signaler un texte assez volumineux présenté à la FJCC 1964 de l' AFIPS, pp 205 / 31. Il contient quelques photos intéressantes, et donne des détails sur la réalisation des premières machines de la famille ; rédigé peu après l'annonce, et avant toute livraison, il présente l'originalité de décrire des machines qui n'ont pas été commercialisées, les 360 / 60, / 62 et / 70, et des solutions qui n'ont pas été adoptées, comme la mémoire morte à capacité pour la 360 / 30.

Machines (ordre chronologique)

Les réalisations de la famille 360 utilisent des mémoires à tores magnétiques, pour lesquelles les machines antérieures et notamment l'expérience Stretch ont donné à IBM des solutions efficaces. Voir IBMR&D Vol 25, N° 5, 9 / 81, pp 585 / 9 . C'est le document 202.

Pour la logique, on ne pouvait s'astreindre à garder dix ans les mêmes transistors, en rapide évolution, mais IBM avait mis au point une technique semi - automatique de production des circuits : le SLT, Solid Logic Technology, consistant à grouper sur un petit support encapsulé de 11 mm de côté un transistor en logique DTL, ses diodes de clamping et ses résistances de charge, ces dernières déposées par sérigraphie et ajustées automatiquement par grattage. Les pastilles sont ensuite contrôlées à 100%, puis enfichées et soudées sur des cartes imprimées par des machines automatiques.

En changeant les types de transistors à plusieurs reprises, et en augmentant progressivement la densité du câblage déposé, IBM parviendra à réaliser en SLT tous ses calculateurs pendant dix ans. Voir à ce sujet le document 202 ci-dessus cité, p 609, 617 / 45, pour les logiques , le packaging , et l'automatisation de la création de ces circuits. Voir aussi une planche illustrée dans la fiche de l'architecture S / 360.

4 / 1964 - **360 / 30** : bas de gamme plutôt orienté gestion, ce qui signifie essentiellement qu'on n'en attend pas de prouesses en calcul scientifique ; tous les aspects de l'architecture y figurent cependant, même si pour des raisons marketing , certains sont optionnels (l'arithmétique décimale, notamment).. La 360 / 30 contient une émulation des 1401 / 40 / 60, plus rapide que l'original.

La réalisation de la 360 / 30 est caractéristique des risques pris par IBM dans l'opération 360, qui poussait la technique à ses limites . L'exposé des FJCC indique que la mémoire morte devait être une mémoire à condensateurs ; elle a effectivement existé, mais elle coûtait trop cher pour ce modèle ; elle a été remplacée par une mémoire à transformateurs, après l'annonce commerciale.

4 / 1964 - **360 / 40** : machine moyenne considérée comme réussie, la 40 utilise une mémoire 16 bits (+ 2P) avec un cycle de 2,5 μ s (4 CP), et une organisation de micromachine principalement 16 bits. Cependant l'ALU ne travaille que sur 8 bits, et la mémoire de commande est la même que pour la 30, seulement accélérée à 625 μ s. Pour obtenir une efficacité globale triple, les décisions essentielles sont :

- l'existence d'une mémoire locale à tores, à cycle de 1,25 μ s (2 CP), permettant de sauvegarder tout l'état machine et tous les registres pendant les entrées / sorties qui utilisent la même logique que le CPU.

- le découpage de la microinstruction en 18 champs autorisant plus de simultanéité.

- l'existence d'éléments matériels pour les canaux sélecteurs optionnels, de sorte que les entrées / sorties sur ces canaux, qui sont microprogrammés, n'interfèrent qu'assez peu avec le CPU.

Outre son fonctionnement natif, la 40 peut émuler les 1401 / 40 / 60 de façon très avantageuse, ou la 1410 avec un rapport de vitesse de 1,8. Mais il ne semble pas possible de placer les deux émulations sur une même machine.

De la même manière que pour mettre au point son Quicktran, le laboratoire de Yorktown Heights avait modifié une 7044 en M44, il reprendra la question avec une 360 / 40 pour préparer la 360 / 67. On trouvera des indications sur cette recherche, baptisée **CP / 40**, dans la fiche de la 40 et dans un article des PIRE, 232 - 1774 / 9.

4 / 1964 - **360 / 50** : machine optimisée gestion, avec la virgule flottante et l'arithmétique décimale optionnelles, une mémoire sur 32 bits + 4P à cycle de 2 μ s, et une micromachine 500 ns pourvue de deux opérateurs, un adder 32 bits suivi d'un décaleur, et un mover de 8 bits ; l'abondance des registres et la multiplicité des actions parallèles (26 champs dans une microinstruction de 85 bits) permettent de réduire la mémoire locale à 64 mots. La performance est de l'ordre de 10 fois celle de la 30.

Les canaux sélecteurs utilisent les mêmes opérateurs que le CPU, mais disposent de leurs propres registres, de sorte que les interférences sont modérées. Le byte multiplex est complètement émulé, mais garde ses mots de contrôle dans une mémoire propre, de même nature que la mémoire principale.

En plus du mode natif, des extensions de la mémoire de microprogramme peuvent émuler la 1410 avec une accélération d'un facteur 2,8 , et les 707X avec une vitesse 1,9 par rapport à la 7070.

4 / 1964 - **360 / 60 et 62** : ces deux machines utilisent la même unité centrale et ne diffèrent que par la mémoire, qui est formée de modules de 128 KB, cycle 2 μ s, avec recouvrement entre eux pour la première, et de modules 256 KB, cycle 1 μ s sans recouvrement pour la seconde. Une LCS de 1 ou 2 MB, cycle de 8 μ s avec entrelacement, est proposée comme mémoire secondaire. Les deux mémoires sont reliées au CPU par un bus 64 bits + 8P.

La micromachine est réalisée avec une logique rapide, à 10 ns de retard par étages, réalisée en modules SLT. Les principaux registres et les bus qui les relient sont également 72 bits ; il y a deux opérateurs, l'un de 60 + 7P bits pour la mantisse, l'autre de 9 bits pour l'exposant et l'arithmétique décimale. L'abondance des registres réduit à 25 mots la mémoire locale, elle-même réalisée en transistors avec un cycle de 125 μ s : on y loge tous les registres de l'architecture 360, plus un registre de travail.

Le cycle de la mémoire de commande, à condensateurs comme celle de la 50, a été descendu à 250 ns, et elle comprend 2816 mots (16 * 176) de 100 bits en 16 champs, qui permettent une réalisation complète de l'architecture 360.

Dans ce total, la CROS peut loger une émulation, à choisir parmi trois : 7094 et toutes les 709X antérieures, y compris la 709 ; 7080 ; toutes les 707X.

Les 6 canaux autorisés sont des processeurs physiquement indépendants, chaque armoire **2860** contenant trois sélecteurs capables chacun de 1,3 MB/s. La logique est réalisée avec les modules SLT à 30 ns par étage. Il n'était pas prévu à cette époque de byte multiplex.

On attendait de ces machines des puissances de l'ordre de 20 et 30 fois la 360 / 30, respectivement, soit à peu près l'équivalent de la 7094. Les commandes furent satisfaisantes, mais les ingénieurs d'IBM n'étaient pas satisfaits, sachant pouvoir faire mieux. Finalement, 5 * 62 et 18 * 60 livrées furent converties en 65 chez les clients, et la 65 (voir plus loin) devint le grand succès de la famille.

4 / 1964 - **360 / 70** : IBM souhaitait proposer à ses clients une machine significativement plus performante que la 7094 II, et il n'existait pas, à l'époque, de mémoire de microprogramme capable de la fournir. On se résoud donc à construire une machine câblée, en utilisant la meilleure logique disponible en SLT, avec un délai de 6 ns par étage.

La mémoire prévue était celle des 62, en blocs de 256 KB avec cycle de 1 μ s, dont on tirait le meilleur parti par entrelacement et recouvrement ; des mémoires secondaires LCS étaient permises.

Côté entrées / sorties, on n'était pas en mesure, en 1964, de proposer mieux que 6 sélecteurs, c'est-à-dire la même organisation que pour les 6X.

8 / 1964 - **360 / 92** : machine scientifique dont l'étude a été décidée au moment où Control Data venait de ravir à IBM, avec la 6600, la réputation de créateur de la "plus puissante machine du monde". Il ne s'agissait pas de battre en performances la 6600, tâche relativement facile, mais de neutraliser la publicité entreprise par Control Data sur son successeur, la supposée 6800.

Tandis que l'étude préliminaire du processeur donnait naissance à des idées intéressantes, l'étude de la mémoire à tores de cycle 500 ns, indispensable au succès de l'entreprise, était reconnue impossible assez vite. Le projet 92 devait donc être abandonné, mais IBM ne pouvait s'en tirer de cette façon. En effet, CDC, lui-même en graves difficultés sur la 6800, avait choisi de camoufler son échec probable en lançant un procès contre IBM, accusée de paralyser commercialement ses efforts en annonçant un "tigre de papier".

Nous disposons d'un volume de compte-rendus de la session Very High Speed Computer System de la FJCC 1964, qui s'ouvre sur trois exposés CDC, bien illustrés, concernant la 6600, suivis de trois exposés IBM sur la 92, très peu précis, illustrés seulement par des photographies de micromodules ASLT. On voit bien après coup qu'il ne s'agit pas de la même génération, mais personne ne le savait à l'époque.

11 / 1964 - **360 / 91 et 95** : en comparant la date de la FJCC 64 (12 / 64) avec la date d'annonce de la 91 indiquée ci-contre, et fournie par IBM dans la référence 203, on peut éprouver un doute. Il est probable que la prise de conscience par IBM de l'impossibilité de réaliser la mémoire 500 ns date effectivement de cette date, et que les papiers présentés à la FJCC et publiés avaient été rédigés antérieurement.

La 91 n'est donc rien d'autre que l'étude 92, restructurée pour utiliser les mémoires disponibles à cycle de 750 ns, et elle a le même processeur. Quand on constate que la livraison de la première 91 est intervenue en 11 / 67, et que l'annonce de la CDC 6800 a eu lieu cette même année, la mauvaise foi de CDC est évidente et, pour ce procès particulier, elle a été sanctionnée par un échec.

La 91 nous est finalement bien connue, et on trouvera en archives le document standard IBM, Functional characteristic, plutôt léger, mais surtout un numéro de IBMR&D spécialement consacré à cette machine, avec en particulier le détail de la célèbre invention de Tomasulo, la renomination des registres, qui permet les simultanités d'opérateurs, et qui deviendra, vers 1995, la solution courante de ce problème

dans les microprocesseurs. La 91 sera produite à 19 exemplaires, et il y en aurait eu beaucoup d'autres si IBM n'avait freiné les commandes, ayant soudain pris conscience que le prix de vente de 6 M\$ était inférieur au véritable prix de revient, englobant les frais d'étude.

4 de ces machines seront reclassées 95 parce que dotées d'une mémoire supplémentaire de 1 MB à film mince, à cycle de 180 ns, mais c'est la recherche gouvernementale qui paiera les importants frais associés à ce supplément. Il y a eu notamment une 95 au Goddard Space Center de Washington..

12 / 1964 - **360 / 20** : destinée à prendre la succession de la 1440, cette petite machine n'est rattachée à la famille S / 360 que pour profiter de l'effet psychologique, car il lui manque de nombreuses caractéristiques de la famille : arithmétique limitée au binaire 16 bits et au décimal, 8 registres généraux de 16 bits, système d'exploitation pratiquement inexistant imposant la monoprogrammation, PSW et entrées / sorties non conformes. Comme auparavant la 1620, elle ne contient pas d'opérateur et fait l'arithmétique à l'aide de tables logées dans la mémoire à tores de cycle 3,6 µs.

Etudiée à Böblingen en Allemagne, et acceptée pour le monde entier, elle sera commercialisée au prix de \$ 82550, ou \$ 1715 / mois, dont 62710 / 1280 pour l'unité centrale. Elle subsistera jusqu'en 1973, quand la production à Böblingen des 370 / 115 et 125 permettra d'obtenir un meilleur service à un moindre prix.

Son évolution soigneusement contrôlée comportera l'introduction rapide de disques 2311, puis une substantielle baisse de prix quand apparaîtra la 360 / 25 qui est une vraie 360 ; ensuite apparaît une **20 Mle 5** de 1969 qui est en réalité une nouvelle machine compatible de puissance double, dotée cette fois d'une ALU ; suit une nouvelle baisse de prix des anciens modèles. Au total, cette machine a été un grand succès, avec 8000 exemplaires produits.

4 / 1965 - **360 / 65** : un an après les 60 et 62, dont très peu sont encore livrées, IBM a poussé toutes les technologies qui les particularisent vers de meilleures performances et estime devoir en faire tout de suite profiter les clients. La 65 remplace les deux machines et offre :

- une nouvelle mémoire en modules de 256 KB, cycle 750 ns, permettant entrelacement et recouvrement. En utilisant ces possibilités, on arrive à un cycle moyen apparent de 400 ns.
- une nouvelle unité centrale, la **2065**, où le cycle de la CROS a été descendu à 200 ns, le temps d'accès restant à 100 ns.
- une nouvelle unité de canaux, le **2870**, réunissant un multiplex à 196 sous-canaux et une émulation optionnelle de 4 sélecteurs, capable de 100 000 cps, hors interférences.

Cette machine fut une complète réussite. Prototype du calculateur scientifique pendant plusieurs années, elle fut aussi utilisée à plusieurs reprises pour résoudre des problèmes temps réel, justifiant un doublement par raison de sécurité. Ce travail en multiprocesseur donna de nombreuses difficultés à IBM, à la recherche de la philosophie convenable pour son système d'exploitation. Voir plus loin Logiciel, et 247-691.

4 / 1965 - **360 / 75** : la réduction à 750 ns du cycle mémoire de la 65 obligeait à faire la même chose avec la 70, dont cependant on ne pouvait améliorer le processeur. La 75, qui sera livrée à tous les acheteurs de 70, n'est donc pas aussi supérieure à la 65 que la 70 l'était à la 62, alors que le prix en était élevé. Il s'ensuivit pour la 75 une médiocre réputation, fondée peut-être en plus sur des difficultés de maintenance : l'absence de microprogrammation obligeait à dépanner à l'oscilloscope, comme autrefois, malgré les contrôles de parité introduits partout pour le "machine check".

La 75 n'a donc eu qu'un succès limité, et IBM n'a eu de cesse de lui construire un remplaçant : il y en aura en pratique deux, la 85 et la 195, mais il faudra quelques années pour cela.

La 75 n'a pas été utilisée en temps réel comme la 65, sauf par IBM soi-même dans le RTCC qu'elle a organisé à Houston pour les lancements Apollo.

8 / 1965 - **360 / 67** : à l'époque où démarre la famille 360, les universités réclament le time sharing. IBM, qui a participé à l'expérience cruciale CTSS, et fait ses propres expériences de TS pédagogique avec M44 et Quicktran, sait que cela fonctionne et se laisse convaincre qu'il est commercialement utile de proposer une grosse machine vouée à ce mode d'exploitation, à la fois pour l'enseignement et pour la recherche. Dans un premier temps, et dès 1964, elle étudie donc dans son Cambridge Scientific Center la possibilité de faire fonctionner deux unités centrales ensemble, sur une mémoire partagée : ce sont les **360 / 64** (2 CPU de 60, 8 mémoires 2 µs, 4 contrôleurs de canaux) et **66** (les mêmes avec mémoire 1 µs).

L'optimisme a priori, né du succès de la formule 360, et des comptes-rendus de Yorktown Heights sur le CP/40, conduit le CSC à croire le problème résolu alors que ses expériences n'ont même pas été conduites jusqu'au bout, et à accepter la commande d'une 66 pour le Lincoln Laboratory voisin, au prix de K\$ 120, livraison prévue à mi 66.

Le projet s'appelle **TSS, Time Sharing System**, et la méthode envisagée passe par la réalisation matérielle d'une mémoire virtuelle, en sérieuse anticipation sur ce que seront, à partir de 1974, les S/370. La multiplicité des problèmes nés de la réunion du multiprocessing et de la mémoire virtuelle dans un système d'exploitation, alors que celui des S/360 est encore dans l'enfance, conduit le TSS0 à l'échec en 1966 ; la seconde version, TSS1, ne tiendra que quelques heures avec quatre à huit terminaux et 512 KB de mémoire.

IBM livrera la première machine en 5/66 comme prévu, mais sans le TSS, et ce sont les chercheurs du Lincoln Lab qui réaliseront, sur contrat IBM, le système provisoire **CP/CMS**, réunissant un moniteur CP multitâches et un moniteur réentrant monotâche CMS. Confrontée aux échéances de 54 commandes, IBM devra assez rapidement renoncer au TSS et généralisera CP/CMS qui deviendra, peu après, sous la pression enthousiaste des chercheurs de Yorktown Heights, la toute première version de VM. Les commutateurs de l'architecture biprocesseur seront utilisés comme un dispositif de partitionnement facilitant la maintenance, et aucune des 67 commercialisées ne fonctionnera vraiment en biprocesseur.

Autant qu'on ait pu le constater, notamment en France à Grenoble, les chercheurs, enchantés de la liberté offerte par l'exploitation CP/CMS, ne tiendront nulle part rigueur à IBM de ne pouvoir travailler en biprocesseur.

La documentation disponible comprend un texte détaillé, mais préliminaire, sur TSS, et une lettre modificative aux fonctionnalités de la machine, au demeurant très proche de la 65. Certes on ne peut en tirer une vue d'ensemble du biprocesseur 67, mais il suffira de dire qu'on retrouvera intégralement les techniques correspondantes dans le Système/370 VS de 1974.

On trouvera dans la fiche 67 quelques indications, traduites de la référence 203-500, sur les problèmes concrets et les réalisations de l'étude TSS. Plusieurs autres articles traitant de ce système ont été publiés soit par IBM, soit par des clients comme Carnegie-Mellon auquel IBM en a confié une version inachevée : 242-619/26, 243-61/78, 247-7/18, 249-15/28, 252-433/40, 253-229/45, 255-97/111, 258-559/69.

8/65 - **360/44** : un peu comme la 20 mais dans une autre gamme de produits, la 360/44 n'appartient à la famille 30 que par opportunité. En réalité, il s'agit comme pour la 1130 d'une machine polyvalente, raisonnablement puissante, et d'un prix abordable pour la grande variété de services rendus. Imparfaitement compatible 360, elle est complètement modulaire et peut servir à trois usages principaux :

- une version économique, avec registres en mémoire, qui se propose essentiellement de gérer une variété de périphériques pour être polyvalente.

- une version plus raffinée, avec registres câblés à cycle de 250 ns (gain de l'ordre de 2 μ s par instruction), destinée à la commande et à l'exploitation en temps réel d'expériences de laboratoire : logiciel DAMPS de mesures, deux types de canaux multiplex lent (50 KB/s) et rapide (200 KB/s) qui d'ailleurs ne sont que des variantes du même hardware, avec respectivement 32/64 et 2/4 sous-canaux.

- une version scientifique, avec la virgule flottante câblée de l'ordre de 200/140 Kop/s respectivement en 32 et 64 bits ; un array processor **2938** pipeline, capable de 5 Mops, peut lui être raccordé en 1968. Un article de IBM System Journal, Vol 8, N° 2, 1969, décrit cet appareil qui sera commercialisé pour connexion à un canal de toute grosse 360 : 50, 65, 75, 85.

La 360/44 aura du succès dans les laboratoires, mais nulle part ailleurs où elle n'avait rien à faire, et restera donc confidentielle : 70 vendues aux USA et 90 en Europe.

1/68 - **360/25** : la 30 devait son succès à sa position de bas de gamme dans une série très populaire par sa nouveauté et par ses objectifs, mais elle était un peu chère. En 1968, IBM entreprend de construire, avec les moyens nouveaux nés de trois années d'expérience, une machine plus économique qui étendra le domaine 360 vers le bas, avec un prix qui ne fera pas de tort à la 30.

La solution choisie consiste dans une microprogrammation verticale à partir d'une portion protégée de 16 KB de la mémoire principale 16 bits, cycle 1,8 μ s, accès imbriqué 900 ns. Une autre fraction de la mémoire principale, 2 ou 4 KB, contient les registres et les mots de commande des canaux. Une scratchpad de cycle 180 ns contient les registres de travail.

Le répertoire est complet, mais les entrées/sorties sont modestes, avec un canal multiplex standard pour ME, LC/PC, IP optionnelle, et un canal sélecteur optionnel pour disques 2311 et bandes 30 KB/s.

La 25 réussira très bien dans le domaine de la gestion (1700 machines placées), l'impact dans les autres domaines restant négligeable.

1/68 - **360/85** : la 85 est destinée à remplacer la 75 dans le rôle de la plus puissante machine produite en série de la famille 360. La technologie a été améliorée, en ce sens que le composant actif élémentaire au sein d'un module n'est plus, dans les parties critiques de la structure, un simple transistor mais une puce MSI ; cette variante du SLT s'appelle MST, mais la machine n'est que partiellement réalisée en MST, le gros de la structure reste SLT.

La machine est microprogrammée sur CROS comme la 65, mais la microinstruction est allongée à 128 bits divisés en 33 champs. En plus des 2048 instructions de cette ROS, à cycle de 80 ns, il existe une WCS de 512 microinstructions, dont la finalité est d'améliorer la maintenance par microdiagnostics.

La micromachine **2085** est déjà, en tous points, prête pour la nouvelle architecture 370, mais IBM ne le dit pas, et ne rend publique qu'une partie des nouveautés qu'elle contient :

- le cache important, 16/24/32 KB, une nouveauté technique à laquelle est imputable l'essentiel du progrès de performance. Le cache n'est pas une disposition architecturale, on pouvait donc en parler.
- l'interface mémoire 144 bits de ce cache, même remarque.
- un multiplieur 32 * 32 bits câblé optionnel, représentant un notable avantage dans des applications comportant beaucoup de calcul. Ce dispositif est complètement transparent ; une avarie dans ce secteur n'arrête pas la machine, qui se borne à remettre en service le multiplieur microprogrammé.
- la virgule flottante en quadruple précision qui, elle, est bien une nouveauté architecturale. Dans le cadre de l'architecture 360, cette amélioration souligne que la 85 est bien un sommet.
- suppression de la contrainte d'alignement pour les instructions.
- dans le même esprit, il existe de nombreuses améliorations destinées à faciliter la maintenance : SECCED en mémoire (= autocorrection), retry jusqu'à 8 fois d'une instruction dont le microprogramme n'a pas fonctionné, microdiagnostics dans toutes les situations d'incidents, reconfiguration automatique sans arrêt machine dans divers cas significatifs : tous incidents mémoire, multiplieur rapide, canaux sélecteurs.

Machine assez chère imposant quelques nouveaux modes de pensée, entrée en service moins de deux ans avant l'annonce S/370, la 85 ne se vendra qu'à une dizaine d'exemplaires mais ce n'est pas un échec. IBM sait déjà, à cette date, que la micromachine pratiquement inchangée sera au coeur de la nouvelle 165. En tant que 360, la 85 est 5 à 6 fois plus puissante que la 65, et 2 fois plus que la 7094 II, qu'elle sait d'ailleurs émuler.

8 / 1969 - **360 / 195** : l'échec de la 91 avait laissé à IBM un goût amer, car la performance de la machine était conforme aux objectifs, elle était seulement trop chère. Reprenant son étude avec de nouvelles consignes économiques précises, IBM réalise maintenant une machine qui n'est pas vraiment nouvelle, mais qui est vendable, tout en profitant de tous les progrès techniques des dernières années, comme suit :

- retour à une structure simple de mémoire : on utilise toujours le module 128 KB de mémoire à tores 750 ns, dans une organisation entrelacée au maximum et permettant le recouvrement entre consultations.
- installation d'un gros cache de 32 KB avec interface mémoire de 144 bits, comme dans la 85.
- reprise de l'organisation logique très réussie de la 91, mais avec une technologie MST à 54 ns, beaucoup plus économique que l'ASLT des 9X parce qu'elle peut utiliser intégralement les automatismes existants de production..

Vendue 12 M\$, la 195 s'avèrera plus avantageuse que la 85 dès que sa mémoire dépassera 2 MB, et deviendra une 370 dès l'annonce de cette architecture, sans changement physique : un succès.

4 / 71 - **360 / 22** : coïncidant pratiquement avec l'annonce de l'architecture 370, l'annonce de la 22 n'a de justification qu'économique : IBM se trouve à la tête d'une importante quantité de 360 / 30 usagées et amorties, mais non usées, dont les acheteurs des nouvelles 135 et 145 se débarrassent. Ces machines sont rhabillées de tôles neuves et deviennent des boîtes de 1720 * 2130 * 1520 mm, 770 Kg, 3,8 KVA, dans lesquelles un CPU **2030** est associé à une mémoire de 24 ou 32 KB, un sélecteur 170 KB/s et un multiplex à 96 sous-canaux. La virgule flottante et la protection de mémoire sont optionnels. Le logiciel, fourni comme un package, comprend un DOS, COBOL, RPG II et Fortran.

Prix mentionnés en France : achat 246 KFFHT, location 5600 KFFHT/mois, en 24 KB

Prix américains : K\$ 44 achat en 32 KB, avec \$ 145/mois de maintenance, ou \$ 1150/mois.

Le marché paraît suffisamment intéressant pour que Fabritek, producteur de mémoires à tores, commercialise une mémoire add on de 64 KB pour ces machines.

Résumé en forme de tableau de ces structures:

Modèle	μprog.	longueur bits	champs	cycle ns	mémoire locale	cycle ns	registres bits	bus bits	ALU bits	mém.princ. cycle ns
20	TROS 12K	28	11	625	256 * 8		128	9	non	3600
25	tores 16K	16		1800	32 * 16	180	?	9	9	1800
30	TROS 16*256	56	14	1000	768*8	150	100	9	9	1500
40	TROS 8K	56	18	625	144*22	625	332	18	9	2500
44	non			250		1000		36	36	1000
50	CROS 2816	80	26	500	64*32	500	380	36	9, 36	2000
65	CROS 2816	100		250	25*36	125	400	36	9, 67	750
75	non			195			196B	72	72, 24, 2*9	750
85	CROS 2048	128	33	80			>32KB	72	72, 28,	750
	+ WCS 512	128	33	80					36, 9	
91	non			60			>1500	72	2*72,	750
195	non			54			>34KB		36, 9	

Périphériques

L'arrivée de la famille 360 a été perçue, dans le domaine des périphériques, comme une ouverture très large sur le monde : toute machine, toute activité, peut désormais être connectée à un ordinateur et utiliser sa puissance de calcul, déjà bien supérieure à l'époque à celle d'un humain. Le mot "peut" est ici employé dans son acception technique, à charge pour l'expérimentateur de convaincre des clients que cette connexion est économiquement avantageuse. Il faudra des années pour que cela devienne vrai dans presque tous les domaines, mais c'est l'ère 360 qui a fait les premiers essais.

On dispose des renseignements suivants :

- dans la base de données, tous les périphériques IBM connus, classés par numéro IBM croissant, avec les références permettant de retrouver la documentation afférente, qui peut varier de quelques lignes ci-après à un ou plusieurs documents officiels. Les périphériques 360 y sont un peu perdus parmi la foule des numéros.

- dans la fiche de l'architecture 360, pp 7 / 8, une liste, ordonnée par numéros IBM croissants, des périphériques 360 dont nous possédons une documentation ou une photo. Certains objets de cette liste se retrouvent dans la liste "composition" de la page 3, pour les caractéristiques physiques.

- ci-dessous, classée par finalité, cette même liste 360, englobant des périphériques peu connus et / ou mal documentés, non traités ailleurs.

Nous nommons "périphériques 360" les périphériques mis en service entre 1964 et 1972, et qui ont fait l'objet de connexion à une ou plusieurs des unités centrales 360. Ce sont en général des appareils numérotés 2XXX ; il y a quelques exceptions pour des appareils antérieurs, jugés suffisamment intéressants pour qu'IBM en réalise une version adaptée 360, c'est-à-dire dont le contrôleur, incorporé ou non, reconnaît l'interface physique des sous-canaux 360.

Mémoire secondaire

IBM 2361 LCS (Large Core Storage), inventée pour accroître, à un prix abordable, la mémoire d'accès direct des gros modèles 360, handicapés par le prix exorbitant des mémoires rapides à tores de l'époque. Elle a été réalisée en deux modèles de 1 et 2 MB, avec un cycle de 8 μs pour accéder à un mot de 64 + 8P bits. Née en 1965, elle a été réalisée en 250 exemplaires et, semble-t-il, assez mal utilisée, faute de critères pour décider de la répartition des allocations entre les divers types de mémoires d'accès direct (2365 à 750 ns, 2385 à 950 ns, et 2361). Nous ne connaissons pas le prix de vente de 1965, seulement celui qui a été pratiqué à partir du 1 / 3 / 71, quand il s'agissait de liquider les invendus avant que les S / 370 ne fassent oublier cette solution : \$ 177830 pour 1 MB, \$ 296380 pour 2 MB. Photo dans la fiche.

La mémoire Mod 1, par exemple, offrait 131072 mots de 72 bits, organisés en 32 plaques de 256 * 1152 tores, mesurant 37 * 122 cm. L'économie provenait du schéma de câblage, à seulement deux fils par tore, permise par un circuit combinant excitation et sense sur un même fil. La sélection se faisait par mot pour atteindre une ligne, contenant 16 mots de 72 bits, entre lesquels on choisissait en 2 1/2 D.

Tambours et Disques à têtes fixes

IBM 7320, survivance de l'époque 709X avec sa capacité unitaire de 830 KB, accès moyen 8,6 ms, pouvait être connecté à une 360 à travers une unité de contrôle polyvalente 2841. Il s'agit a priori d'une solution de rattrapage pour société ayant acheté ses 7320 avec sa 7094.

Voir deux pages insérées dans le document 2841 après la page 76.

- IBM 2303** (1966) succède au 7320 sans changement de mécanisme (3490 t/min, 17,5 ms/tour) mais avec une densité triplée à 21 bits/mm, ce qui fait 800 pistes de 5008 bytes chacune, ou 3,913 MB d'information. Débit de 303800 B/s sur pistes séquentielles.
Voir photo et propriétés pp 73/6 de la notice 2841. Produit à San José.
Prix K\$ 129 ou \$ 2900/mois, ou encore \$ 3425/mois avec contrôleur.
- IBM 2301** (1966) est physiquement le même tambour avec les mêmes têtes, mais avec une organisation différente des pistes, groupées en bandes de quatre contenant 20486 bytes. Deux bandes contiennent 9 pages de 4096 bytes, et peuvent être entrelacées sur 9 génératrices pour donner un débit de 1,2 MB/s organisé en doubles mots, justification de l'unité.
Cette complication nécessitait une unité de commande spéciale, **IBM 2820**, qui assurait aussi un contrôle par code cyclique de 16 bits. Photo dans la fiche 360.
- IBM 2302** (1965) est le disque 1302 des 7XXX, reconverti pour les bytes EBCDIC par association avec l'unité de commande 2841. Voir photo et caractéristiques aux pages 59 à 64 du document 2841. Le débit est 156000 B/s.
- IBM 2311** (1966) est une modernisation du dispac des 1440 au profit des petites unités 360. Le dispac comprend 6 disques de 14", soit 10 faces utiles, contenant 200 cylindres de 10 pistes, chacune 3625 bytes, soit au total 7,25 MB. Densité 1100 bpi, 100 tpi. 2400 t/min, débit 156 KB/s.
Voir photo et texte dans la brochure 2841, pp 54/8.
- IBM 2841** (1966), contrôleur polyvalent pour disques, tambours et cartes magnétiques, 52 pages de notice. Microprogrammé par mémoire morte, ce contrôleur est capable de libérer le canal pendant les déplacements de têtes (seek), ce qui autorise 8 seek simultanés sur divers disques.
- IBM 2314** (1967) est une unité de dispac beaucoup plus importante, groupant un contrôleur bicanal à contrôle cyclique qui remplace exactement le 2841, et 9 tourne-disques dont 8 actifs et un rechange. Chaque tourne-disque accepte des dispacs de 11 disques 14", soit 18 faces utiles, contenant 200 cylindres de 18 pistes, soit au total 25,8 MB. Le temps d'accès moyen est 85 ms. Le débit est 312000 B/s, à vitesse de rotation inchangée, car la densité a doublé à 2200 bpi en abaissant l'altitude de vol des têtes à $85 \mu" = 2 \mu$.
Voir notice très brève, et photo dans la fiche. Prix K\$ 252 ou \$ 5250/mois.
Evolution: début 69, nouveaux actuateurs donnant délai de seek = 25 à 60 ms, deux présentations à 5 et 9 tourne-disques pour \$ 175075/3875 et 256400/5675 \$/mois, respectivement.
Fin 69, offre d'un combiné contrôleur/tourne-disque pour \$ 90140/2015 \$/mois.
Janvier 71, baisse de 25% en prévision de l'arrivée des disques 3330 des S/370.
- IBM 2305** (1970) est un disque rapide à têtes fixes, destiné au swapping dans les systèmes d'exploitation raffinés des modèles performants, et remplaçant dans cette fonction le 2301. La haute performance vient de la vitesse de rotation, 6000 t/min, et de la présence de têtes fixes sur chacune des pistes de chacun des 6 disques. Il y a 2 modèles: l'un à 384 pistes totalisant 5,8 MB et autorisant le débit de 3 MB/s réservé aux 360 haut de gamme, et deux accès simultanés; l'autre à 768 pistes et débit moitié, avec un seul accès.
- IBM 2835** (1970) est le contrôleur du précédent, microprogrammé, et tout à fait proche, par sa technologie et son organisation, du contrôleur 3830 des disques 3330 de la famille S/370. En fait, étant donné la date de son apparition, l'ensemble 2835/2305 a surtout été utilisé par les 360/85 et 195, et par la génération suivante. Voir notice IBM.

Cartes magnétiques

- IBM 2321** (1966) est réalisée par IBM au même moment que le CRAM de NCR et le RACE de RCA.
Son principe consiste à aller chercher une carte magnétique dans un bac parmi plusieurs puis à l'enrouler sur un tambour où la lecture se fait ensuite à la vitesse usuelle d'un tambour. La capacité est presque illimitée puisqu'on peut changer le contenu des bacs, mais le temps d'accès est important et ne s'amortit que si on utilise une carte complète avant d'en demander une autre. En outre, la fragilité induite par le mécanisme d'accès aux cartes aggrave les coûts de maintenance. La vie de cette unité n'a pas dépassé le système 360, car les disques suivants étaient déjà compétitifs.
Voir photo et caractéristiques pp 65/72 de la notice du contrôleur 2841, qui savait aussi exploiter cette unité, assimilable à un tambour avec un temps de seek très important.
Egalement photo dans la fiche.

Bandes magnétiques

- IBM 2401/2/3/4** (1966): ce matériel introduit une nouvelle mécanique de dérouleur qui doit:
- réduire l'usure des bandes,
 - améliorer l'efficacité des contrôles en introduisant un CRC sur chaque enregistrement, en plus du contrôle latéral par caractère et du contrôle longitudinal par disjonction qui existaient déjà sur les bandes 729 et 7330,

- accroître la densité des enregistrements avec le mode 1600 bpi à modulation de phase, et le contenu global des bandes par réduction de l'intervalle start/stop.

Les dérouleurs existent en six modèles et quatre configurations : trois vitesses 37,5 / 75 / 112,5 ips pour chacune des modulations, 800 et 1600 bpi, chaque vitesse étant associée à un délai de start/stop et à une vitesse de rebobinage. Les dérouleurs 1600 utilisent exclusivement des bandes 9 pistes qui conviennent pour les bytes EBCDIC des 360 ; les dérouleurs 800 existent en deux variantes, une 9 pistes et une 7 pistes, ces derniers pouvant lire les trois densités des bandothèques antérieures.

Les quatre configurations sont :

- le 2401, dérouleur simple destiné au travail avec un contrôleur **2803** séparé.
- le 2402, dérouleur double, même usage
- le 2403, ensemble d'un dérouleur simple et d'un contrôleur 2803, capable de huit dérouleurs dont un seul peut, à un instant donné, être relié au CPU. Les rebobinages sont autonomes, par contre.
- le 2404, ensemble d'un dérouleur simple et d'un contrôleur **2804**, capable de soutenir deux opérations simultanées sur deux de ses huit dérouleurs, une lecture et une écriture.

Les 2803 et 2804 existent aussi en armoires séparées, qui autorisent plus de souplesse.

Un commutateur **2816** peut être utilisé pour relier indépendamment huit dérouleurs à deux contrôleurs 2803 ; deux 2816 interconnectés permettent de répartir 16 dérouleurs sur quatre contrôleurs 2803 liés à 4 sous-canaux différents.

Le 2804, par contre, ne se prête pas à la commutation par 2816.

IBM 2415 (1965) : dérouleur économique destiné aux machines bas de gamme, de la 20 à la 30.

L'économie est obtenue par limitation des performances mécaniques, car les bandes sont compatibles, de sorte que les dérouleurs doivent offrir toutes les options : 800 et 1600 bpi, 7 et 9 pistes, lecture bidirectionnelle. Les paramètres caractéristiques sont la vitesse 18,75 ips, le start/stop en 32 ms, le rebobinage à 120 ips.

IBM 2420 (1968) : aboutissement d'une étude entreprise en 1965, ces dérouleurs suppriment les principales causes d'usure des bandes en remplaçant le mécanisme d'entraînement à galets par un cabestan bidirectionnel unique, rendu possible par un double système de chambres à vide et des paliers à air ; une accélération de 400 g devient possible (contre 60 dans les 2401), ainsi qu'une vitesse de 200 ips (120000 B/s).

Ces améliorations essentielles ne seront pas mises en service avant 1968 pour n'avoir pas à multiplier les versions de compatibilité. Le 2420 deviendra cependant le dérouleur préféré des clients dès qu'ils auront terminé leur période d'adaptation aux 9 pistes.

IBM 2495 (1968) : partie lecteur d'un système de saisie sur bande magnétique utilisant la machine à écrire MT/ST, et susceptible d'attaquer un ordinateur par téléprocessing. Les bandes 9 pistes de 23000 caractères sont logées dans des cassettes, l'unité contenant 12 cassettes avec un mécanisme de rebobinage et avance automatique. Densité 20 bpi, vitesse 900 cps.

Bande perforée

IBM 1017 (1965) : confrontée à une demande de la distribution, dont les caisses enregistreuses produisaient essentiellement des bandes perforées, IBM soustraite à Tally la production d'un équipement qui ne correspond pas à sa philosophie d'exploitation, déjà à l'époque des 1401.

Ce modèle ne sera vraiment disponible, avec la perforatrice associée **1018**, qu'à l'époque 360, et sera utilisé avec les 360/25 à 50. L'usage le plus courant est le téléprocessing, les deux machines étant alors incluses dans un terminal 2770.

IBM 2671 (1966) il est tout à fait probable que le lecteur de bande officiel de la famille 360 soit seulement une remise en boîte du précédent, associé à un contrôleur **2822** qui se comporte comme un contrôleur de bande magnétique, à la vitesse près. Le lecteur travaille à 1000 cps, en 5 à 8 trous, en utilisant en option (indispensable en gestion) un enrouleur.

A la différence du précédent, le 2671 est un périphérique local, lié à un sous-canal du multiplex.

Cartes perforées

IBM 1402 et 1442 (1965) : adaptation aux 360 de modèles créés pour les 14XX, respectivement LC 800/PC 250 et LC 400/PC 160 cps. Voir photos dans la fiche S/360.

IBM 2501 (1967) : LC 600 (modèle A1) ou 1000 (modèle A2) pour la 360/20, utilisé lorsque l'équipement standard est jugé trop lent.

IBM 2502 (1968) : LC 150 cpm, modèle de table pour le terminal 2770. Voir notice de celui-ci.

IBM 545 (1968) : PC 20 cps, version de la 029 adaptée au terminal 2770. Voir notice de celui-ci.

IBM 2520 (1966) : cette machine à un seul chemin de carte est utilisée par la 360/20. Le modèle A1 est LC/PC 500, le A2 est uniquement PC 500 et le A3 uniquement PC 300. Voir notice.

- IBM 2540** (1965) : LC 1000 / PC 300 à deux chemins de cartes, pour toutes machines à partir de la 30, connectable à travers un contrôleur 2821. Voir notice propre et notice 2821.
- IBM 2560** (1966) : MFCM, machine multifonction combinant lecteur 500 cpm, perforateur 160 cps, interpréteur 138 cps et trieuse élémentaire. Pour la 360/20 uniquement.
- IBM 2596** (1971) : autre MFCM, exploitant les cartes à 96 colonnes du System/3, et connectable aux S/360 et S/370 pour servir de lien entre les deux familles. Voir documentation S/3.
- IBM 2821** (1965) : contrôleur "unit-record" pour les S/360, capable par conséquent de gérer cartes et imprimantes, ci-après. Voir notice.

Imprimantes

- IBM 1403** (1965) : adaptation aux 360 de modèles créés pour les 1401, à travers le contrôleur 2821. Voir notice propre et notice 2821.
- IBM 2201** (1965) : imprimante à chaîne interchangeable **1416**, 1100 lpm en alphabétique et 1400 lpm en numérique.
- IBM 2203** (1966) : nouvelle édition de la 1443, 350 lpm, barre 41 ips. L'accroissement de performances est dû à des marteaux plus légers et un moteur de barre plus puissant. Ultérieurement, existe en 300 à 800 lpm, avec papier 120 ou 144 caractères, et jeu de barres 13 à 63 caractères. Le papier ne dispose pas de bande pilote, il peut seulement sauter de 1 ou 2 lignes.
- IBM 2213** (1970) : imprimante de table, 66 lpm, partie du terminal 2770. Nouvelle technique à matrice de fils métalliques. Voir notice 2770.
- IBM 2245** (1971) : imprimante construite pour participer à l'effort d'introduction des S/360 au Japon, capable de 330 lpm de 16 Kanji chacune. Les caractères sont construits par superposition de points, et le choix de base en comprend 3600, extensible à 10000 en agrandissant le code. Les caractères sélectionnés sont créés au clavier sur une 029.

Appareils bancaires

- IBM 1231** (1964) : matériel conçu pour les 14XX, et adapté aux 360. Voir photo dans fiche S/360.
- IBM 1255** (1970) : lecteur de documents imprimés en E13B à l'encre magnétique, associé à une trieuse. Cet équipement est connectable à la série 360 dans le cadre du terminal 2770, ou à travers le contrôleur bancaire 3602. Il en existe trois versions : 500 doc/min et 6 cases, 500/12 et 750/12. Voir notice intégrée à celle du 2770.
- IBM 1259** (10/68) : trieuse de chèques magnétiques, 600 doc/min, produite par Lundy Electronics & Systems de Glen Head, NY, sur spécification IBM, d'abord pour la 360/20 puis, devant le succès, pour les 30 et 40. Comprend 11 clapets, 12 cases.
- IBM 1275** (1969) : lecteur optique / trieuse pour 1600 doc/min en 15 cm de large, avec 12 cases réceptrices, étudié à Uithorn, Pays-bas. Existe en 4 modèles, 1 et 2 acceptant les caractères OCR A, 3 et 4 les caractères OCR B. Les modèles 2 et 4 sont conçus pour connexion 360.
- IBM 1270** (1970) : variante du précédent pour banques et assurances, 750 doc/min en connexion directe sur un sous-canal de multiplex de 360/25, 30 ou 50. Papier 64 * 146 à 108 * 222 mm, sur lequel la machine lit jusqu'à 7 zones de 20 caractères au plus dans une ligne prédéfinie. Existe en deux modèles à 6 et 12 cases respectivement. Prix \$ 1825 à 2425 / mois. Livrable 4/71.
- IBM 1285** (1966) : lecteur optique pour bandes de caisses enregistreuses, à base de tube flying spot, et identification par matrice de comparaison. Lorsqu'une ligne ne peut être reconnue, l'appareil marque le caractère d'un point pour identification ultérieure, ou s'arrête pour correction immédiate, au choix. Alimentation par aspiration, transport par courroie. Débit 365 cps, 2190 doc/min ou, en continu, 200 ft de bande en 3,5 minutes. Photo dans fiche 360. Prévu pour connexion directe aux 14XX et aux 360, typographie 1428 = NCR.
- IBM 1287** (1967) : lecteur optique plus ambitieux disposant de 6 jeux de programmes d'analyse dont OCR A, OCR B, 1403, et écriture manuscrite des chiffres, des lettres C S T X Z, et de marques. Fonctionne avec un flying spot et, en cas d'échec, présente le caractère non identifié sur un écran pour correction immédiate. Traduction 370 cps. Papier 57 * 76 à 150 * 228, 750 doc/min, ou encore bande continue 2400 lpm. Prix K\$ 126 à 154, ou \$ 2800 à 3200 / mois.
- IBM 1288** (1970) : lecteur de page, étendant la technique précédente en deux modes de fonctionnement. Dans le mode imprimé, il accepte la typographie des Selectric et balaye le caractère pour comparaison de matrice; dans le mode manuscrit, il accepte les chiffres script ou gothiques (?), et des marques dans une zone délimitée du papier : le tracé des chiffres est suivi par un programme flying spot. Documents 76 * 166 à 228 * 356 mm, 444 doc/min, deux cases de sortie lu / non lu. Le débit pratique, à 1000 cps, est de 640 pages à simple interligne par heure, indépendamment de la mise en page. Prix : \$ 230000, ou \$ 4900 / mois. Photo dans la fiche S/360.

- IBM 1412, 1418, 1419, 1428** : tous appareils connus, et reconduits sur 360. Photos dans fiche S / 360.
- IBM 1975** (1966) : étude très ambitieuse de lecteur optique de page, reconnaissant 200 caractères à raison de 800 μ s par caractère, et 650 lpm. Nous disposons d'un numéro de IBMR&D presque entièrement consacré à cette étude, qui a conduit à un appareil ruineux : K\$ 775 ou \$ 16500 / mois.

Visualisations

IBM 1015 (1966) : toutes les machines de la famille 360 ont encore d'imposantes façades remplies de néons et de commutateurs, mais c'est faute de savoir faire mieux car il s'agit d'une disposition fort coûteuse. Avec le 1015, écran cathodique de service, on commence à pouvoir ramener une fraction de ces examens sur un pupitre extérieur à la machine, mais la programmation reste à faire.

Le tube de cette console présente un écran rond de diamètre 4" (102 mm) sur lequel on peut faire apparaître 30 * 40 caractères pris dans un jeu de 57, avec un débit de 650 cps. Le produit existe en deux variantes, un modèle 1 primaire, cad directement lié au contrôleur 1016 qui peut en supporter 6, et un modèle 2 secondaire, dont dix exemplaires peuvent se connecter en chaîne sur chaque primaire. On peut donc théoriquement imaginer de lier 60 écrans à un sous-canal du multiplex. Voir photo dans la fiche S / 360.

IBM 2250 (1966) : beaucoup plus ambitieux est le tube 2250, avec son écran rectangulaire de 12 * 12" (30 cm de côté) sur lequel un pinceau fin sait distinguer 1024 * 1024 pixels, que la technique de l'époque permet de renouveler à 40 Hz. On peut l'équiper d'un générateur de caractères, et il peut présenter des vecteurs définis par leur origine et leur extrémité : c'est donc l'embryon d'une véritable console graphique. Il est proposé en trois modèles :

- le modèle 1 est un tube isolé, associé à un tampon de 8 KB, 4 μ s, et pourvu d'un générateur de 64 caractères en deux tailles : l'écran peut présenter 52 lignes de 74 caractères normaux, ou 35 lignes de 49 grands caractères. Il est relié à un canal sélecteur, consommant 11,9 μ s par caractère.
- le modèle 3 comprend jusqu'à 4 tubes attachés (par 2000 ft de câble) à un contrôleur **2840** qui contient un vaste tampon de 32768 bytes, cycle 2 μ s pour 2 bytes, dont la répartition entre les tubes est complètement programmable. Toutes autres caractéristiques comme le précédent.
- le modèle 4 est celui dont nous avons le manuel : il utilise un calculateur 1130 comme contrôleur, générateur de caractères, et tampon (jusqu'à 32768 bytes, 2,2 μ s pour 2 bytes). Voir aussi l'article 249-731/46.

On trouvera en archives le numéro spécial de l' IBM System Journal, N° 3 / 4 de 1968, entièrement consacré aux débuts du travail graphique sur ordinateur avec ces outils (boite 59).

En option, le **2285** est un photocopieur 3M, capable de sortir en 15 à 38 secondes une copie papier 21 * 27 de l'écran 2250. Prix \$ 33600.

IBM 2260 (1966) : il s'agit ici d'un écran de travail alphanumérique, capable de présenter selon modèle 6, 12 ou 24 lignes de 40 caractères sur un écran de 267 * 241 mm. Les 240 / 480 / 960 caractères sont conservés dans une ligne à retard et matérialisés par une matrice de 5 * 7 points. On voit apparaître des dispositifs qui s'imposeront par la suite, comme le curseur indépendant et la possibilité d'effacer ou de modifier un caractère depuis le clavier, au choix numérique ou alphanumérique.

Les postes individuels, tous de même modèle, sont reliés par des câbles pouvant mesurer 2000 ft (600 m) à un contrôleur 2848, capable de 24, 16 ou 8 connexions selon la capacité choisie pour les écrans. Le 2848 peut être connecté à l'ordinateur par canal ou par ligne 1200 ou 2400 bauds sur 2701, dans ce dernier cas à travers des modems 201B1 ou 202D1 de l'ATT.

IBM 2265 (1968) : terminal très semblable au précédent, mais s'employant différemment : le contrôleur **2845**, qui nécessite une ligne 1200 ou 2400 bauds sur 2701, ne supporte qu'un écran et une imprimante. Débit 240 cps, écran de 960 caractères en 15 * 64 ou 12 * 80. Le générateur de caractères travaille par strokes, les lettres étant composées d'une suite de petits traits par déflexion électromagnétique. Le tampon à ligne à retard permet 54 rafraichissements / sec. Sous le nom de Modèle 2, le même écran fait partie du terminal 2770 et en utilise le contrôleur. Voir terminaux.

IBM 2280 (1964) : cet équipement a été conçu à l'époque des 70XX pour mettre en film les images que le calculateur pouvait auparavant placer seulement sur l'écran 740, et c'était alors disproportionné.

Après l'introduction du 2250, cet usage devient beaucoup plus raisonnable et le 2280 est adapté au contrôleur 2240 des 2250 Mod 3. Le produit se compose des éléments suivants :

- **2280** enregistreur sur film 35 mm : prix K\$ 230, ou 5600 \$ / mois
- **2281** scanner de film : prix K\$ 377, ou 8200 \$ / mois

- visualisation de contrôle : prix 36600 \$ ou 800 \$ / mois.
- ensemble **2282** : prix K\$ 540 ou 11500 \$ / mois

Communications

- IBM 2701** (1965) : successeur du 1009, c'est un simple contrôleur sur lequel on attache les lignes au moyen d'adaptateurs spécialisés. Il est capable de 50000 bauds normalement, 192 Kbauds sur RPQ, à répartir entre deux lignes synchrones rapides (BSC) ou 4 asynchrones (Start/Stop); il peut aussi supporter des liaisons locales parallèles d'acquisition de données ou un écran local.
- IBM 2702** (1966) : contrôleur de lignes asynchrones, nécessitant un sous-canal du multiplex pour chaque ligne. Il est capable de 31 lignes plafonnées à 210 bauds, ou 15 lignes à 700 bauds, ou toutes combinaisons de ces valeurs.
- IBM 2703** (1968) : contrôleur multiligne, capable d'un débit maximum de 11500 bauds, ce qui est très faible mais mieux réparti que le débit supérieur du 2701 : jusqu'à 4 lignes BSC plafonnant à 4800 bauds, notamment des liaisons de calculateur à calculateur (autre 360, 1130); ou jusqu'à 176 lignes asynchrones à 180 bauds, dont le nombre décroît quand le débit augmente, jusqu'à 24 lignes à 4800 bauds. Le mode est half duplex, et les sous-canaux de connexion doivent être du type non partagé.
- IBM 2750** (1969) : Étudié au laboratoire IBM de la Gaude (France), cet équipement est un central téléphonique d'entreprise, construit autour de deux calculateurs IBM 1800, et assurant la gestion d'un maximum de 80 lignes extérieures et de 700 postes intérieurs à boutons, dont la commutation est faite par des thyristors. Très bon succès européen, plus de 100 exemplaires vendus avant son remplacement par le 3750 en 1973.
- IBM 7770** (1965) : autre étude de la Gaude, dérivée d'une étude faite pour la bourse de New York : c'est un répondeur téléphonique vocal à messages préenregistrés sur un tambour magnétique, à la manière de l'horloge parlante. Le nombre de lignes de consultation est compris entre 4 et 48, chaque ligne occupant un sous-canal du multiplex du calculateur interrogé. Voir photos et courte explication dans la fiche S/360. Un article plus important est disponible dans les FJCC 1965, pp 857/65.
- IBM 7772** (1966) : le 7770 a une capacité limitée à 128 mots par la taille de son tambour; le 7772 se propose d'offrir un système qui n'impose aucune limite, pas même de prix, les phrases à prononcer étant composées par un vocodeur à partir d'un code stocké en mémoire. En pratique l'appareil est assez cher à l'achat mais surtout la procédure d'élaboration du vocabulaire propre à l'entreprise est complexe et donc coûteuse. Voir étude assez détaillée dans la fiche S/360, et un article plus important dans FJCC 1965 pp 857/65.

Terminaux

- IBM 72 CMC** (1971) : machine à écrire à mémoire tampon sur carte magnétique, utilisable en terminal à 134 bauds avec un modem 3976. Voir bureautique.
- IBM 1500** (1966) est une application de l'ordinateur à l'enseignement programmé. Le CPU qui gère le système utilise comme périphérique principal une unité de tampon **1502**, essentiellement un disque tampon à deux têtes : une tête normale pour le chargement par calculateur, et une tête particulière pour alimenter 32 connexions qui sont soit des téléimprimeurs **1518**, soit des écrans **1510** (variante du 2260), soit des projecteurs de microfilm **1512**.
- IBM 1907** (1967) : terminal spécialement étudié pour les commerçants détaillants et disponible seulement sur RPQ. Il comprend un clavier, un lecteur de cartes, et une cartouche spéciale amovible de 1000" de bande magnétique; le calculateur explore cette bande pendant la nuit, en appel téléphonique automatique.
- IBM 1978** (1966) : premier exemplaire de terminal lourd pour liaison à 2701. 3 modèles : Mod 1 est LC 190, IP 190 ; Mod 2 est LC/PC/IP; Mod 3 ne comprend que l'imprimante.
- IBM 2680** (1967) : photocomposeuse connectable aux 360/30, 40, 50, ou encore à un dérouleur de bande en off line, produite pour IBM par Alphanumeric, Inc et livrable début 69 pour K\$ 387, ou \$ 8600 / mois. Le premier modèle reçoit ordres et caractères à 6000 cps et compose les caractères sur écran au moyen de strokes (petits traits), jusqu'à 800 par pouce. Le résultat est placé sur un film de 9,4" (239 mm) de large et jusqu'à 800 ft (244 m) de long pour la commande des plaques offset. Le papier cible peut recevoir des lignes jusqu'à 210 mm de long. Il en existe une variante à 10000 cps générant des images moins fines, avec seulement 200 traits par pouce. La bibliothèque associée comprend 250 jeux de caractères (50 par jeu), taille jusqu'à 18 points.
- IBM 2715** (1971) : est le contrôleur d'un système **2790** de communication pour 360 et 370, connectable sur canaux ou lignes. Il comprend un minicalcuteur microprogrammé, qui reçoit ses programmes par téléchargement, et qui peut actionner jusqu'à 12 terminaux 2798 et 30 autres dispositifs tels que claviers et machines à écrire. Prix de cette configuration : K\$ 216 ou \$ 4500 / mois.

- IBM 2721** (1970) : clavier à 60 touches acoustiques (26 lettres, 10 chiffres, 24 caractères spéciaux) associé à un haut-parleur, pour communiquer avec le parleur IBM 7770. Un plastique amovible permet de donner un sens arbitraire et fonctionnel aux touches, qui seront interprétées par programme.
- IBM 2741** (1965) : terminal à base de machine à écrire Selectric, pour liaison avec calculateur ou de ME à ME sur ligne 133 bauds avec parité latérale et longitudinale. Prix : \$ 3200 ou \$ 80 / mois.
- IBM 2760** (1969) : écran non cathodique en deux parties :
 - sur l'une apparaissent des images de microfilm sélectionnées par le CPU, tous 360.
 - sur l'autre une série de points permanents sensibles où l'utilisateur peut pointer sa réponse au moyen d'un light pen. Livraison 9 / 69.
 Prix \$ 9975 ou \$ 205 / mois, utilement complété par une ME 2740, \$ 4050 ou \$ 98 / mois.
- IBM 2770** (1969) : terminal moyen polyvalent, regroupant autour d'une unité de contrôle **2772** tout ou partie des périphériques suivants : clavier, écran 2265, LC 150 = IBM 2502 et perforatrice 545, imprimante 66 cps = IBM 2213, bande perforée 1017 / 8, data inscriber IBM 50, lecteur de chèques IBM 1255. Le protocole particulier de cet équipement a longtemps été un standard pour les communications asynchrones.
 Voir manuel de l'ensemble, groupant tous les manuels particuliers.
- IBM 2780** (1968) : terminal lourd pour transmissions en BSC, 1200 ou 2400 bauds, de caractères ASCII ou EBCDIC, selon un protocole qui a longtemps servi de modèle sur le marché. 4 variantes :
 Modèle 1 = imprimante 1443 seule
 Modèle 2 = LC 400 / PC 220 + IP 300, total 2180 * 1420 * 1250 mm, 750 Kg, 1,9 KVA.
 Modèle 3 = LC + IP
 Modèle 4 = LC / PC, 2180 * 610 * 1250 mm, 480 Kg, 1,7 KVA.
 Voir manuel de l'ensemble, qui s'explique en détails sur le protocole.
- IBM 2798** (1971) : terminal du système 2790 dont on a déjà vu le contrôleur 2715. Comprend un clavier de 56 touches et une fenêtre de visualisation de 16 caractères, ainsi qu'un projecteur pour 48 images de microfilm. Prix \$ 4320 ou \$ 90 / mois.
- IBM 2915** (1968) : poste d'agent pour les réservations d'Eastern Airlines, dérivé du 2260. Il comprend 33 poussoirs de fonctions au dessus d'un clavier normal de machine à écrire.
- IBM 2980** (1967) : contrôleur pour 10 terminaux bancaires **2982**, 1200 bauds.
- IBM 2982** (1967) : les terminaux ont été réalisés pour les banques de dépôt sur leurs spécifications, et existent en trois modèles :
 - Mod 1 destiné aux seules consultations comprend clavier, 24 touches de fonction, tampon de 48 caractères et visualisation associée.
 - Mod 2 pour un guichet y ajoute une imprimante de carnet.
 - Mod 4 est pour deux guichets.
- IBM 2984 Cashpoint** (1973) : étudié en Angleterre pour les Lloyds de Londres, pour servir de guichet automatique, 600 commandés. Son nom suggère qu'il pouvait délivrer de l'argent, mais on ne dispose pas de photo.

Divers

- IBM 2816**, déjà vu, est un commutateur de dérouleurs de bandes magnétiques entre divers contrôleurs 2803.
- IBM 2914**, un gros succès de 1969, réalisé à l'occasion de la 360 / 67 comme commutateur de canal, plus précisément de l'interface standard. Il a largement débordé sa préoccupation initiale, puisque plus de 6000 ont été installés entre 1970 et 1975, prix jusqu'à K\$ 50.
- IBM 2990** (1967) : étude faite à Endicott d'un séparateur de globules blancs et rouges par centrifugation, en vue de détection par comptage de la leucémie.
- IBM 2991** (1972) : autre étude Endicott faite au profit des banques du sang, comprenant centrifugeuse, filtres, élimination de certains produits nuisibles. On ignore le rôle de l'ordinateur dans ce travail.

Logiciel

Au cours des huit ans de vie du System 360, la notion de système d'exploitation, encore floue sur les 709X qui en étaient dotés, et inexistante pour les autres familles, s'est précisée jusqu'à mise en service de produits bien définis et d'emploi généralisé dans la clientèle, à l'exception des bas de gamme gênés par une capacité de mémoire insuffisante.

Le panorama correspondant est très bien décrit dans la fiche S / 360, pp 8 à 12, qu'il serait sans intérêt de recopier ici. On s'est donc borné à introduire tous les sigles caractéristiques dans la base de données, et à ranger en archives les documents disponibles dans l'ordre où les décrit la fiche. Ce qui suit n'a d'autre but que d'aider, le cas échéant, une recherche dans les archives.

BPS, Basic Programming System, pour machines 8 KB sans disque. Monoprogrammation nécessitant seulement un IOCS. Un seul document dans la boîte 62.

BOS, Basic Operating System, pour machines 8 KB avec disque. Monoprogrammation. Pas de document.

TOS, Tape Operating System, pour machines 16KB à bandes, mais sans disque. 2 articles de IBM System Journal, dans boîte 62.

DOS, Disk Operating System, pour machines 16 KB avec disques. Multiprogrammation 3 partitions à partir de 32 KB. Un document et 3 articles de IBM System Journal dans boîte 62.

OS/360, Operating System, généralités et organisation, 3 documents dans boîte 62, abrégés dans un aperçu tiré de l'IBM System Journal, Vol 5 N° 1, 1966.

OS/MFT, multiprogrammation avec nombre fixe de tâches, pour machines disposant de 128 KB, un document.

OS/MVT, multiprogrammation avec un nombre variable (dynamiquement) de tâches, pour machines disposant de 256 KB, un document dans boîte 62. Pour évaluation, voir par exemple SPY.

TSO, Time Sharing Option, système de temps partagé fonctionnant dans une partition de MVT, trois documents dans boîte 63. Voir aussi article en 255-113/7.

HASP, Houston Automatic Spooling Priority, interface pour liaisons avec les terminaux. Boîte 64. Initialement un programme SHARE en participation, il sera intégré par IBM comme le planificateur JES 1, assurant le mode d'exploitation RJE, Remote Job Entry.

RAX, Remote Access Computing System, système d'exploitation spécialisé dans le temps partagé, pour usage autonome sur une machine modeste. Boîte 63.

Interpréteur APL\360, un langage, deux variantes pour OS et DOS : un document boîte 63, des doubles dans la boîte 143 consacrée aux langages.

Compilateur COBOL ANSI : version IBM du langage, un document boîte 65.
Compilation de ce langage sous DOS et sous OS/MVT, deux documents boîte 65.

Compilateur Fortran IV : version IBM du langage, valable pour DOS, OS, et 360/44 : un document boîte 65. Compilation de ce langage sous DOS, un document boîte 65.

Langage PL/I : le projet de ce langage avait été annoncé en même temps que les machines de la famille 360, et sa mise en route fut longue et difficile. On trouvera l'histoire de cette gestation dans la rubrique 331, et deux versions du langage naissant, ainsi que deux documents sur le compilateur PL/1 (F), dans la boîte 66.

Applications

Avec des calculateurs désormais conçus pour faire face à tous les types de demandes, IBM a répondu à de nombreux appels d'offre pendant les huit années 360, où la variété des tâches envisagées suscitait encore la curiosité. On va en donner de nombreux exemples, mais on en trouverait proportionnellement tout autant au profit d'autres constructeurs : on pourra constater que le succès d'IBM est bien plus important dans le privé que dans le public, très soucieux de ne pas soutenir de monopole.

Administration

FAA : après de nombreuses péripéties décrites à la rubrique 669, cette administration choisit IBM comme maître d'oeuvre de son nouveau système de surveillance du ciel civil à partir de quelque 170 radars. Les matériels sont des modifications de 360/50 et 65, rebaptisés **IBM 9020 A à E** pour souligner qu'ils sont spécifiques d'une application. Ce très gros contrat commence par un prototype en 1964, suivi du groupe de 4 machines de Jacksonville, Fla (M\$ 17 en 1967), puis de la commande de plus de 20 centres en 1972 (jusqu'à 8 M\$ par centre).

FBI : Il ne semble pas que, dans la période qui nous intéresse, le FBI ait eu besoin d'un grand système ramifié à l'échelle du pays, mais cette affirmation n'est valable que pour 1967, année de l'installation à Washington DC d'une paire de 360/40 accompagnées de deux disques 2314, quatre 2702 et un 2703 pour 124 lignes louées débitant 135 mots/min vers des terminaux TTY 35 ou IBM 1050 dispersés dans tout le pays. Un recensement de l'époque indique que sont ou seront reliées :

- un RCA 301 du Département de la Justice de Californie
- deux Univac 418 des polices d'état de New York et de Louisiane
- une IBM 7740 de la police de St Louis
- une IBM 7740 du service des autoroutes interstates de Californie, supportant 270 terminaux
- deux Burroughs B5500 des polices d'état du Michigan et de New York.

Cette diversité frôle l'incohérence et montre, à défaut d'autre chose, qu'en 1967 le FBI n'est pas encore très au fait du pouvoir des ordinateurs.

Geological Survey : ce que nous pourrions appeler le Service des Mines du Ministère de l'Intérieur, qui gère les questions techniques interétats d'hydrologie, de géologie et de topographie, a installé en 1967 à son QG de Washington DC une 360 / 65 accompagnée d'une 360 / 30, reliée dans un premier temps à des 360 / 20 à Denver, Col ; Flagstaff, Ariz ; Rolla, Missouri ; Menlo Park, Cal. D'autres sont prévues.

White Sands Missile Range : en 1967 est installée une 360 / 65 à mémoire de 128 KB, modestement équipée de LC, PC, IP, ME, 2 bandes 180 KB/s et une bande 90 KB/s, plus un canal temps réel 2909 qui dessert plusieurs sous-systèmes, tous liés à la télémesure. La microprogrammation du CPU a été modifiée sur RPQ pour introduire des opérations spécialisées dans l'exploitation immédiate des données de télémesure, d'une durée de 4 à 16 µs. Pour plus de détails, voir la rubrique 243.

Banques

Barclays : on a vu ailleurs que cette banque anglaise avait d'abord demandé à Burroughs de lui organiser la gestion des agences de province (BINS) autour d'un B8500 à 1600 terminaux, et que cette tentative avait échoué. Se retournant alors vers IBM, la banque a choisi de traiter ce problème avec deux 370 / 168, gérant des terminaux Incoterm à écran et des guichets NCR 770. Ce réseau est connecté au groupe de calcul central de Londres, plus ancien et composé de trois 360 / 65, vers lequel convergent aussi les activités des 400 agences londoniennes.

Ce problème londonien était d'abord distribué, à la suite d'initiatives locales, entre deux 3760 / 50, neuf 360 / 30, et deux 2702 à 15 lignes gérant chacune 8 agences en multipoint. Les terminaux des agences sont des 3940, composés d'un lecteur de bande perforée avec un tampon de 512 bytes, collectant les bandes de machines NCR 3200.

Ce dispositif sera remplacé mi 74 par un ensemble de deux 370 / 158 avec 12 trieuses de chèques 3890 et 70 écrans. De plus, les 2400 agences du pays seront à partir de cette date rééquipées avec des terminaux Burroughs, 3000 TC 500, 1100 TC 3500, et 50 TC 5100.

Là encore, il serait faux d'y voir une solution figée. La banque tâtonne manifestement, à la recherche du meilleur compromis entre la centralisation de sa gestion financière et la multiplicité de ses activités de banque de dépôt dans les agences.

Halifax Bank : voici au contraire une activité étroitement ciblée, la gestion de 2,5 millions de comptes Epargne Logement canadiens en 1970. Le processeur est une 360 / 50 avec 384 KB de mémoire, partageant 12 piles de disques 2314 avec une 360 / 40 de 128 KB. La collecte des données est faite par un Interdata Mod 3 gérant 16 lignes synchrones 1200 bauds, qui recueillent dans 24 concentrateurs IBM 3981 les messages de plus de 300 terminaux IBM 3982 répartis dans 210 agences. Un Interdata Mod 15 qui partage 8 KB avec le précédent gère d'autre part 8 lignes à 134 bauds pour des télétypes et 8 lignes 600 bauds de sauvegarde.

Lloyds Bank : en 1969, cette banque installe à Londres et Birmingham deux paires de 360 / 65 qui communiquent avec 200 terminaux IBM 3980, nombre qu'il est prévu de porter progressivement à 1600.

National Westminster Bank : cette banque, sûrement équipée par ailleurs, consulte IBM pour la gestion de ses chèques, jusque là dispersée entre 31 petites installations. IBM met en place une 360 / 65, trois 360 / 40, 19 lecteurs / trieuses de chèques 1419, et de nombreux écrans 2260.

Réservation

ATAR Computer System, Inc. est une société privée qui propose un système de retenue de places d'avions ou de trains intercompagnies, et qui n'est d'ailleurs pas seule sur ce marché créé quelques années plus tôt par le succès commercial de SABRE. Le centre de calcul comprend deux 360 / 65 installées à Dallas, Texas, desservant 2500 terminaux dispersés sur les USA. Il s'agit principalement de terminaux IBM 1977 à machines à écrire, mais il y a aussi des groupements d'écrans 2915 autour d'un contrôleur 2948.

BOADICEA : c'est le système de réservation, contrôle d'embarquement, pesée et centrage des avions des British Airways, entrepris en 1967 et achevé en 1968, avec 11 centres aux USA et 4 en Europe. Le système central comprend deux, puis trois 360 / 65, entourés de 12 M\$ de matériel Ferranti. 30 calculateurs Argus installés dans les agences et bureaux servent de générateurs de caractères pour quelque 700 écrans Ferranti alimentés à 333 cps.

Braniff : en 1968, la compagnie aérienne Braniff installe à Dallas deux 360/65 avec deux unités de disques 2314, pour gérer 400 terminaux 2915 dispersés dans 34 villes de l'Est américain. Trois ans plus tard, il y a plus de 500 terminaux dans 68 villes et 4 calculateurs Honeywell ont été introduits pour concentrer ces trop nombreuses liaisons.

Eastern Airlines : cette compagnie aérienne avait dès 1964 installé à Charlotte, NC, une paire d'Univac 490 pour gérer les consultations de ses System Operations sur un système Houston Fearless CARO de recherche documentaire, exploitant 750 microfiches qui représentent 73000 pages. Elle les remplace en 1966 par des 494 qui traitent 150 télétypes, les réponses téléphoniques prennent environ 5 secondes.

A partir de 1969, ce système est relié à la réservation, confiée à trois 360/65 de 512 KB, complétées par trois LCS, 16 * 2314, et 1700 écrans 2915 dans 10 centres qui voient transiter 125000 appels par jour. Le système dessert, outre Eastern, les compagnies Alleghenys, Mohawk, North Central et Ozark.

En 1972, le système est saturé et Eastern installe près de Miami un nouveau centre à base de deux 360/195 (photo), tandis que deux des 65 sont restituées au calcul classique. Les terminaux deviennent des regroupements d'un écran 4505, d'un clavier 2945 et d'une machine à boule 1980 qui fabrique les billets.

La sécurité du système contre les incidents et grèves est assurée par des batteries intérimaires qui tiennent 8 minutes jusqu'au démarrage automatique d'un diesel de 3000 HP, entraînant un alternateur de 2200 KW, qui prend la relève en 25 secondes et peut tenir 3 jours.

Frontier Airlines : petit système composé de deux 360/65, louées pour 8 ans pour M\$ 5,75. On voit sur cet exemple combien se banalise l'usage du programme IBM de réservation PARS (1969).

PARS : c'est vers 1965 qu'IBM, ayant acquis une bonne expérience pratique avec trois systèmes de réservation décrits dans la rubrique 329 Applications, décide de mettre au point un programme de réservation moins étroitement lié au matériel. Ce sera PARS, Programmed Airlines Réservation System, qui a fonctionné sur toutes les tailles de 360, de la 40 à la 75 mais surtout, comme on l'a vu ci-dessus sur divers exemples, sur des 360/65. Au cours de ces études, IBM sera conduit à particulariser une réalisation autour d'un 360/44 modifié, rebaptisé **IBM 2969**; comme quelques années plus tôt pour le temps partagé, il s'avèrera ensuite plus convenable de remplacer ces adaptations par du logiciel, afin de garder au projet son universalité.

Voyant plus loin encore, IBM s'efforce, à partir de 1968, d'isoler la fonction de réservation, perçue comme une application (de 150 000 lignes de programme) de la fonction système qui la sous-tend, laquelle est en fait une gestion de base de données avec une contrainte particulière de réaction rapide. Baptisée ACP, Application Control Program, ce programme qui va grossir jusqu'à 500000 lignes est nettement plus polyvalent que le PARS initial, même si les compagnies aériennes sont toujours les clients potentiels.

Le premier ACP autonome, baptisé Model 5, vise la 360/195 et sera utilisé pour Eastern Airlines.

On trouvera un article assez détaillé sur le PARS et l'ACP dans IBM System Journal Vol 16, N° 2, 1977, qui figure en archives avec le logiciel des S/370 parce qu'il est principalement consacré à IMS/VS.

SONIC : le Systemwide On line Network for Information Control est le système de réservation de Continental Airline, construit à Los Angeles. C'est un PARS plutôt modeste en 1967, avec deux 360/65, deux disques 2314, et 12 bandes 2401.2, qui desservent 280 écrans 2915 (il est prévu d'évoluer vers 500) et 120 machines à écrire IBM 1977.

La sécurité est assurée par un système Garrett de trois turbines à gaz 831.10 de 250 Kw, dont le démarrage est convenablement échelonné.

En 1968, Sonic, qui s'enorgueillit de gérer 24504 miles de lignes téléphoniques, transmet 8000 messages par jour sur ces lignes et exécute 8,3 transactions par seconde.

ACCU-RES : tout à fait semblable est le système de réservation de Western Airlines, mis en service en janvier 68 avec 470 écrans 2915 et 157 machines à écrire 1977 sur 23000 miles de lignes. Il est utilisé non seulement pour les réservations, mais aussi pour le contrôle de l'entretien des avions et des moteurs, la paye, les statistiques de vol, et la comptabilité intercompagnies.

L'alimentation par turbines à gaz naturel est le système normal, le réseau n'intervient qu'en secours.

TOPS est le système de gestion de la compagnie de chemins de fer Southern Pacific, dont le réseau s'étend sur 13 états de l'Oregon à l'Alabama : il s'agit d'optimiser la gestion de 85000 wagons, 2300 locos, 1200 équipages, et de leurs ateliers. A cet effet est installé à San Francisco, au prix de M\$

21,5 et pour achèvement fin 1970, un centre comprenant deux 360 / 65 avec 512 KB et cinq 2302. Quatre 360 / 20 de zones, 100 terminaux 1050 et plus de 100 télétypes, ainsi que quelques écrans, utilisent les liaisons fil et radio de la compagnie pour communiquer avec la base de données. Le système sera gonflé en 1969 de trois 40, deux 2314, 100 * 1050, 32 * 2260, 100 télétypes, pour un supplément de M\$ 14 payé à IBM, et M\$ 8 de liaisons herziennes.

Temps partagé

La plupart des universités réclamaient à IBM des systèmes de temps partagé, et beaucoup d'entre elles en conséquence ont acheté les 360 / 67 quand cette machine a été annoncée. Quelques exemples :

Carnegie Tech : payé en partie par l' ARPA, cette université dispose dès fin 66 d'un monoprocesseur 360 / 67, avec 75 KB de mémoire 750 ns et 1 MB de mémoire 2,8 µs, plus deux tambours, deux disques 1302, deux data cells 2321, 4 bandes et 30 à 40 terminaux sur lesquels ils expérimentent le temps partagé ; ils seront ainsi amenés à remplacer les tambours par une LCS comme mémoire de swapping. Cette installation partageait ses mémoires de masse avec la G21 Bendix / CDC, vue ailleurs.

Lincoln Lab : à Lexington, Mass. En plus de la TX2 en service depuis 2 / 66, le laboratoire est le premier client d' IBM qui l'a impliqué dans l'étude.

Son installation comprend un biprocesseur 67 avec 192 KB de mémoire, un 2301, 14,5 MB de disques, 16 dérouleurs, 50 machines à écrire 2741, 30 écrans 2260, et plus remarquable à cette date de 1967, 8 consoles 2250 Model 2.

MERIT : dans sa version initiale de 1972, ce centre de calcul commun à quatre universités du Michigan groupe un CDC 6500 et un biprocesseur 360 / 67, qui partagent leurs services sur l'extérieur à travers un PDP 11. Les 67 sont bien dotées en mémoire, 4 blocs de 256 KB, avec deux 2314, 80 télétypes locaux et 5 terminaux lourds distants, et quelques 2250. Le tout est géré par un logiciel nommé MTS qui offre un service de 18 langages de programmation.

Ce système a beaucoup grandi par la suite, jusqu'à huit calculateurs importants.

MIT : le centre de calcul de cette célèbre université s'est formé fin 61 autour d'une 7094 avec 64 K mots de mémoire, et c'est là qu'a été développé, sous l'oeil attentif d' IBM, le premier time sharing, CTSS. Tout naturellement, ce centre s'équipera, début 67, d'une 360 / 67 biprocesseur avec 256 KB de mémoire, 52 MB de disques, et quelque 800 terminaux.

TUCC : trois universités sont associées pour la construction du Triangle Universities Computing Center : State U. de Caroline du Nord à Raleigh, North Carolina U. à Chapel Hill, et Duke U. à Durham, totalisant 28000 étudiants. Le centre, qui bénéficie d'un don de M\$ 1,5 de la NSF, comprend une 360 / 75 qui collecte les travaux de ses mandants à travers trois 360 / 30.

Dans ce centre installé sur 279 m2 dans une aile du bâtiment du NC Board of Science & Technology, la 75 est entourée de deux 2314, une LCS, cinq bandes 2402, quatre 240X pour les lignes, 1403 et 2540. Les terminaux collecteurs sont une 360 / 30 à Duke, une 360 / 40 et deux 1130 à SUNC, une 360 / 40 à NCU, et quelque 80 télétypes et 1050 distribués à travers les 35 collèges du Triangle.

Service Bureau Corporation : indépendamment des 67, IBM établira, à partir de 1966, sa propre société temps partagé à orientation mixte gestion / scientifique, offrant le service Call 360 dont on trouve un document publicitaire dans la fiche 360 / 50, parce que ce calculateur était le plus utilisé par ce logiciel.

On sait que ce réseau, en pleine expansion, a été vendu à Control Data pour une somme très inférieure à sa valeur, pour mettre fin au procès que cette société avait intenté à IBM vers 1970.

Divers

Los Angeles Times est un journal dont l'éditeur souhaitait améliorer les temps de réponse par l'installation d'un système de typographie en temps partagé. Installé en 1965, ce système comprend deux 360 / 30 dont une en réserve, et collecte les informations de 7 contrôleurs de lignes 2972 acceptant chacun jusqu'à 18 terminaux. Le système a d'ailleurs commencé son exploitation avec un bien plus petit nombre de connexions. Voir description en FJCC 1966, pp 115/23. Référence 244-115

AAS Advanced Administrative System est le premier réseau privé de gestion d'IBM, organisé autour de quatre 360 / 65 installées à White Plains, siège social de la Corporation, qui dispose dès 1970 d'une base de données de 65 GB, taille assez inusuelle. Ce centre est relié à dix 360 / 30 régionales par des lignes, également peu courantes, de 40800 bauds, collectant 1600 écrans 2260 dans quelque 300 établissements.

La base est entièrement interactive, même s'il est évident que les accès sont soumis à un contrôle de sécurité. Voir 213 - 12 pour une appréciation IBM de ce système.

MIS / 360 : le concept de MIS, Management Information System, c'est-à-dire d'une base de données capable de présenter au management tous les renseignements utiles sur le fonctionnement de sa propre entreprise, apparaît dans la littérature technique vers 1968, avec des appréciations contrastées sur sa faisabilité. Estimant que s'il est réalisable, ce serait un remarquable progiciel à commercialiser, IBM se décide en 1966 à en examiner l'intérêt pratique dans ses propres services.

La conclusion sera apparemment que les impérieux désirs des Directions sont tellement divers et fluctuants qu'il ne sera jamais possible de les satisfaire tous, de sorte qu'il vaut mieux leur laisser le soin de spécifier le système. Le produit effectivement installé à Kingston, Poughkeepsie et Huntsville ne se prétend pas complet, et sa modeste envergure interdit à l'évidence d'en faire un produit commercial.

Voir 251-339/50.

TOPICS est un service d'information en ligne pour la NHK, la radiotélévision japonaise. Il s'agit de relier 26 émetteurs de télévision, 33 stations de radio, et divers studios. Le système, doublé par sécurité, comprend deux 360 / 50, deux IBM 1800, deux 2314, deux 2303 partagés, et 184 écrans 2260.

Les 1800, qui gèrent les aspects "temps réel" du processus, sont installés dans les studios, à 5 milles du centre auquel ils sont reliés par des lignes à 40800 bauds.

Le logiciel spécialisé comprend:

- sur les 50 : PD Program Director, qui dirige les programmes d'émission.
Smart, Scheduling Management and Allocating Resources Techniques
- sur les 1800 : ABCS Automatic Broadcast Control System, qui branche les cameras

Central Electricity Generating Board, Londres

Description d'un système de télétraitement pour cet organisme étatique, comprenant une 360/75, une 360/50 servant de gérant, et une série de terminaux, IBM 1130 et 2740. Voir 213 - 7.

PMU des New South Wales, Australie

Ce système est centré sur deux 360 / 44 à mémoire 256 KB associés à des disques 2314 à double connexion, et à deux dérouleurs 2415 d'historique. Ces machines dirigent en duplex cinq concentrateurs IBM 3967 commutables sur 16 adaptateurs IBM 3970 auxquels sont reliés :

- 900 terminaux spéciaux de pari composés d'un clavier, d'une imprimante, d'une visualisation de 12 caractères, le tout regroupé sur une ligne à 150 bauds.
- 96 voies téléphoniques
- 80 canaux Telex
- 350 imprimantes

331 - Le langage PL / I

Lorsque vers 1962 la compagnie IBM, déjà leader mondial de l'industrie informatique, a mis en chantier la gamme 360, qui devait révolutionner tous les aspects de la technique, elle s'est posée, avec des préoccupations essentiellement pratiques, le problème du langage universel. Profitant de l'existence d'une clientèle très vaste, couvrant tous les types d'applications, elle a demandé à SHARE, l'association de ses utilisateurs scientifiques, de définir des besoins cohérents.

A l'époque, on ne parlait pas encore de programmation structurée. Puisque, du côté du matériel, la nouvelle famille se voulait apte à toutes les applications, le constructeur suggérait au SHARE de ne pas freiner son imagination et de concevoir réellement un outil polyvalent. En fait, l'ambition de ce langage, provisoirement baptisé Fortran VI, était exceptionnelle : il devait permettre de programmer n'importe quoi, et l'on acceptait d'avance de proclamer son échec si on trouvait une application qu'il ne puisse décrire. De plus, le compilateur devait détecter toutes les erreurs syntaxiques, pour que les programmeurs puissent se concentrer sur la partie des travaux où ils sont irremplaçables, la sémantique des algorithmes.

L'existence du projet fut annoncée le 8 avril 1964, en même temps que la nouvelle gamme d'ordinateurs, sous le nom NPL, New Programming Language, bientôt remplacé par PL / I, Programming Language N° 1 ; par mesure de prudence, tous les noms suivants, de PL / 2 à PL / 999, étaient réservés pour l'évolution ultérieure. Un article de présentation dans une revue technique à forte diffusion :

rendait publics les résultats du groupe de travail et soulignait l'étroite interaction du langage et de son compilateur, ainsi que les objectifs suivants :

- le compilateur est efficace : le programmeur pourra choisir dans le langage les dispositifs qui répondront à ses souhaits, respect de ses habitudes, souplesse d'emploi, ou richesse de concepts. Pour chaque choix, le compilateur donnera la meilleure solution compatible avec les autres objectifs et, si le programmeur a choisi la simplicité, le résultat doit être aussi bon qu'avec les meilleurs compilateurs existants.

- le compilateur est tolérant : s'il y a une erreur de syntaxe, il propose une interprétation et une correction; et si des déclarations ont été oubliées, il comble les lacunes en adoptant les significations les plus probables sur la base d'un système d'attributs par défaut.

- le compilateur est critique : il signale non seulement les erreurs, mais aussi les bizarreries qui, tout en étant syntaxiquement correctes, pourraient cacher une erreur de rédaction.

- le compilateur est modulaire : le langage se prête à la création de sous-ensembles.

- le compilateur est commode : un verbe INCLUDE autorise à introduire dans le texte des fragments de bibliothèque, dans l'esprit du COMPOOL de JOVIAL. On peut ainsi alléger les déclarations.

- le langage est dans une certaine mesure extensible, grâce à un précompilateur qui traite des "compile time facilities", c'est-à-dire un macrogénérateur assez simple.

Prendre de tels engagements n'était pas une mince affaire, car il allait falloir tenir la promesse. Plusieurs entreprises, essayant de réaliser un compilateur vers 1965, ont échoué après d'énormes dépenses. Mais IBM, ayant annoncé son intention de faire de PL / I LE langage de la famille 360, avait mis sur le projet les équipes nécessaires et, après un travail de recherche fondamentale effectué au laboratoire de langages de Vienne, Autriche, elle mit sur le marché en 1966 deux compilateurs :

- le PL / I (F), compilateur de haut niveau traitant le langage à peu près complet et fonctionnant sous OS dans une partition de 32 Kbytes (c'est le sens du F).

- une version réduite, constituant plutôt une expérience psychologique qu'un véritable produit, pour les machines de bas de gamme.

Malgré cet effort, la réussite ne fut pas à la hauteur des ambitions : non que le compilateur ne fonctionne pas, au contraire. C'est le langage qui avait du mal à percer :

- d'une part à cause de la résistance très ferme du DOD, protecteur de COBOL, et des informaticiens scientifiques, appuyés sur leur vaste bibliothèque Fortran ;

- d'autre part du fait de sa complexité, déroutant quelque peu les programmeurs qui n'étaient certes pas tous capables de la maîtriser.

On doit donc considérer comme un succès les quelques décisions, notamment celle de la General Electric, de normaliser PL / I comme unique langage à l'intérieur de l'entreprise.

Il faut aussi remercier Gerald M. Weinberg, professeur à SUNY Binghamton, d'avoir écrit et publié chez McGraw Hill un livre de qualité, présentant la programmation PL / I indépendamment de l'ordinateur, sans la moindre allusion à IBM. Voir ce livre, PL / I, a manual of style, en boîte 146.

Devant une telle réaction, IBM renonça à son projet initial, publiquement annoncé, d'abandonner tout soutien à Fortran et à Cobol à partir d'une certaine date, plusieurs fois reculée. Mais PL / I n'était pas abandonné pour autant, et c'est en 1970, avec l'annonce des S / 370, que l'on vit sortir les vrais produits :

- le PL / I Optimizer, un compilateur monumental de 750 000 bytes, englobant tout le langage et atteignant pour la première fois l'objectif d'efficacité.

- le PL / I Checkout, un compilateur conversationnel d'une extrême sophistication, autorisant la mise au point des programmes les plus complexes.

- il existe en outre un dialecte de PL / I pour terminaux conversationnel, CPS = Conversational Programming System, proposé dès l'époque 360.

Vers cette époque, on pouvait dire que PL / I avait trouvé son statut : un langage de plus, et non le langage unique espéré, mais un langage effectivement capable de décrire à peu près n'importe quoi, ce qui suggérerait, entre autres choses, un usage pédagogique. Les techniques de compilation ayant progressé, et la menace du langage unique d'inspiration IBM ayant disparu, il devenait possible d'envisager une normalisation.

Ce travail, accompli en Europe par une équipe internationale (dont j'étais !), s'avéra extrêmement difficile et buta finalement sur le problème de rédaction. Le document final,

ECMA TC10 / ANSI X3J1 PL / I BASIS 1 / 12 de 2 / 75, en boîte 146

est pratiquement inutilisable, bien qu'il constitue une description rigoureuse de la syntaxe et de la sémantique du sous-ensemble à normaliser, car il emploie un métalangage parfaitement hermétique dérivé du VDL (Vienna Definition Language) : une telle oeuvre ne peut intéresser que des chercheurs. Voir 248-363.

PL/I s'est donc passé de norme, mais la plupart des constructeurs ont finalement sauté le pas et, sur la base de ce qu'ils ont compris dans le cadre de leur participation au groupe de travail, offrent des compilateurs utilisables à partir de 1976. Ci-après quelques références :

PL/I d' Univac pour systèmes 1100 : document UP 8289 R1 en boîte 126

PL/I de Multics (GE, Bell) : article détaillé en 252 - 187/99

PL/C de l'Université Cornell : article détaillé en 256 - 503/10

GPL/I de Boeing Computer Services : article détaillé en 256 - 511/28

RUSH, compilateur incrémental de Allen Babcock, interprétation directe de chaîne polonaise et table de symboles, VF seulement.

PL/I est donc un échec, par rapport à son ambition hégémonique. Et, comme ce n'est pas un langage structuré, il aurait probablement du quelques années plus tard, céder une partie de sa substance ou disparaître au profit d'un langage structuré comme ADA. Mais c'était une réussite technique, car il a répondu à tous les espoirs mis en lui et obligé les spécialistes des compilateurs à résoudre des problèmes importants jusque là ignorés : PL/I est donc un langage utile et le soutien qu'il a reçu de l'industrie lui a permis de prendre une forme utilisable.

C'est donc plutôt des chercheurs que viennent les critiques, et elles sont fondées. En effet, les créateurs de PL/I voulaient essentiellement être capables de tout exprimer. Pour y parvenir, ils ont imaginé des dispositifs, comme la variable ENTRY, dont l'effet exact est impossible à déterminer à la compilation, ce qui interdit la validation d'algorithmes.

D'autre part, on reproche à PL/I d'exiger de gros compilateurs et d'être modérément efficace, malgré son optimiseur incorporé : c'est vrai, mais pas complètement équitable. Certes, la grammaire de PL/I ne respecte pas toutes les règles, découvertes après sa naissance, qui permettent une construction simple, efficace et largement automatique du compilateur : la simplicité et la portabilité du compilateur en souffrent, et cela doit être compté au débit du langage.

Par contre, on ne peut reprocher à PL/I la part de complexité qui résulte de sa richesse, dans la mesure où cette richesse est la justification du choix de PL/I comme langage de programmation. En fait, cette remarque appartient plutôt à la dialectique d'une discussion sans fin entre deux philosophies de la programmation :

- celle des chercheurs, soucieux de créer pour leur problème du moment le langage exactement adapté, la diversité des langages ne les inquiétant pas.

- celle des industriels, qui souhaitent pouvoir utiliser leurs programmeurs pour tous leurs problèmes, plutôt que de multiplier les équipes spécialisées.

C'est d'ailleurs là la vraie faiblesse de PL/I : il n'y a pas beaucoup de programmeurs professionnels capables d'en maîtriser toute la richesse.

Enterrée en Amérique, la querelle du PL/I, langage fortement marqué par son origine IBM, et par l'impossibilité économique de rédiger un meilleur compilateur que l'Optimizer très lié aux machines de ce constructeur, s'est prolongée en France : en 1980 encore, le Délégué à l'Informatique, défenseur contre l'intérêt financier du pays d'un Plan Calcul totalement dévalué par l'incurie de la CII puis de Bull, a fait obstacle à son usage sur les calculateurs de l'Administration.

A partir de 1990 cependant, ces querelles n'ont plus qu'un caractère historique, puisqu'on ne programme plus guère sur les stations de travail sinon en C ou en C++ .

332 - Histoire des " Mainframes", 2ème partie : les System / 370

La transition inconsciente

En 1970, il est temps de remettre un peu d'ordre dans une production foisonnante d'unités centrales qui vont au delà de l'architecture, et qui pourraient de ce fait échapper à la compatibilité, toujours essentielle. Le marketing décide donc qu'on annonce l'architecture 370, conçue uniquement pour intégrer ce qui existait déjà en le formalisant, de manière à ne pas faire peur : le changement dans la continuité s'impose.

Le document intérimaire GA 22 - 7000 - 00 IBM System / 370 *Principles of Operation* est bien fait pour cette tâche d'apaisement, car il présente seulement les changements qui vont être généralisés, par rapport au précédent S / 360 *Principles* dont la validité est réaffirmée.

Ce court document annonce donc :

- la suppression du mode USASCII, qui était très peu utilisé. Il reste possible d'utiliser l'opération Translate pour convertir une chaîne de caractères EBCDIC en USASCII au profit d'une sortie vers un périphérique qui exige ce code, mais ce sera désormais programmé.

- la création d'une horloge absolue, qui compte le temps à la microseconde près depuis le 1 / 1 / 1900.

- la définition de 16 "control registers" de 32 bits pour loger les extensions de l'état machine qui ne trouvent pas place dans le PSW. Très surabondants, presque tous vides, ces registres préparent un avenir dont les lecteurs des Principes ne peuvent soupçonner la proximité.
 - création de nouveaux masques d'interruption pour mieux cerner celles-ci dans les deux classes "externe" et "entrées/sorties" .
 - considérable extension des dispositifs de machine check, traduisant l'évolution du concept de maintenance vers un automatisme accru. Là encore, le véritable objectif, à savoir supprimer les techniciens IBM résidant chez le client, n'apparaît pas encore.
 - introduction des canaux block-multiplex, qui permettent de mieux utiliser les temps morts des disques (déplacement radial des têtes, rotation amenant le disque au début de l'enregistrement).
 - formalisation des "logouts" composés à l'occasion des incidents d'entrée / sortie : même objectif que l'évolution précitée des machine checks.
 - création de 13 instructions nouvelles, dont cinq améliorent et accélèrent les mouvements de chaînes, le reste ayant seulement pour but de gérer les nouveaux dispositifs.
- Deux éditions complètes, numérotées 7000 - 1 et 7000 - 2, paraîtront en 1970 et 1972, la première pour intégrer les modifications précédentes, la seconde pour y ajouter la troisième arithmétique en virgule flottante, dite quadruple précision, qui existait déjà sur la 360/85.

La technologie est nouvelle, en ce sens que les micromodules de 11 mm de côté contiennent maintenant un petit circuit intégré au lieu d'un simple transistor : c'est le MST qui a fait ses débuts dans les 360 / 85 et 195. La difficulté réside dans l'impossibilité de pousser à plus de 16 broches le nombre de connexions externes vers les cartes, qui n'ont pas changé et sont câblées par les mêmes machines que précédemment. Le client n'observe pratiquement pas de différence et note, au mieux, que la mémoire est toujours à tores.

Quatre machines apparaissent dans cette période, soutenant fermement chez les clients l'impression que l'évolution est lente et facile. Ce sont dans l'ordre chronologique :

S / 370 - 155 : trois à quatre fois plus rapide que la 50 pour un prix à peine accru, cette machine dont la mémoire peut atteindre 2 MB séduit la clientèle qui, dans sa courte vie de 2 années, en achètera plus de 800. Elle doit ses améliorations de performances :

- à sa synchronisation à 9 MHz (cycle de 115 ns) au lieu de 5.
- à une nouvelle micromachine dotée de deux ALU 36 et 9 bits, édifiée à l'aide d'une CROM de 6K * 72 bits, cycle ci-dessus. Les registres et les mots de contrôle de canaux sont logés dans deux mémoires locales de 128 mots de 32 bits chacune.
- à la présence de 6 bytes d'anticipation (au moins une instruction) et d'un cache de 8 KB, en deux lignes et 256 colonnes de blocs 16 bytes.
- à une interface mémoire sur un double mot de 72 bits
- au fait que les canaux microprogrammés s'appuient sur un matériel important et n'interfèrent que modérément avec le CPU.

Bien que huit ans se soient écoulés depuis l'apparition des 360, la 155 offre toujours, en option, l'émulation des 1401 / 40 / 60 et celle des 1410 / 7010 : il s'agit d'une émulation intégrée au système d'exploitation, très efficace en ce qu'elle ne bloque aucun périphérique.

Voir fiche et le document IBM Functional characteristics.

S / 370 - 165 : cette machine, 2 à 4 fois plus puissante que la 65 selon les applications, ne fait que reprendre la micromachine de la 85 en allégeant, par souci d'économie, un certain nombre de dispositions luxueuses qui ne justifiaient pas leur prix :

- le cache est réduit à 4 lignes et 64 ou 128 colonnes de blocs de 32 bytes, en gardant sa vitesse.
- la mémoire, modulaire et entrelacée 4 voies, est un modèle lent de cycle 2 μ s, ce qui n'affaiblit que peu la performance si le cache est en bon état.
- la mémoire de commande est accrue sensiblement, sa partie WCS passant à 2K mots de 108 bits pour prendre en compte les améliorations du machine check.

Ainsi la 165 ne dévalue pas la 85 qui reste légèrement plus puissante, et son prix n'est qu'un peu supérieur à celui de la 65 qu'elle remplace. Les émulations des diverses machines 70XX sont intégrées, c'est-à-dire qu'elles sont invoquées sans manipulation spéciale par le système d'exploitation, et disposent, comme les programmes natifs, des périphériques réels ; on ne peut, cependant, en choisir qu'une parmi trois.

Les canaux de la 165, plus nombreux que ceux de la 65, utilisent les mêmes unités autonomes 2860, 2870 que les gros 360, ainsi que le nouveau **2880 Block multiplex**.

Voir fiche et le document IBM Functional Characteristics.

S / 370 - 145 : cette machine introduit une réelle nouveauté avec sa mémoire principale qui n'est plus à tores, mais en circuits intégrés, à raison de 128 bits par puce. A une époque où il n'existe pas encore de production importante de circuits intégrés, il s'agit d'une révolution ; en fait, c'en est une même chez IBM, car la technologie utilisée (SRAM bipolaire), la seule qui permette le cycle de mémoire réel de 405 ns, est à peine compétitive avec les tores, mais il s'agit de forcer l'industrie informatique à une mutation. Avec cette vitesse, il est possible d'utiliser la mémoire principale, qui a une interface 72 bits à cause de l'autocorrection SECDED, comme mémoire de contrôle à raison de 2 microinstructions par double mot., et de se passer de cache. La micromachine travaille sur un bus et une ALU larges de 4 bytes. En fait, l'exécution des microinstructions n'est pas toujours possible dans la durée d'un cycle ; pour ne pas pénaliser la machine en perdant un cycle, la mémoire est asynchrone, de sorte qu'il est possible de prolonger la phase d'exécution de la durée variable appropriée, jusqu'à 315 ns.

Puisque les microprogrammes sont logés dans une mémoire vive volatile, il faut les charger à l'initialisation à partir de disquettes, solution qui deviendra standard sur toutes les machines suivantes. Le bénéfice principal est la possibilité de changer les microprogrammes lors d'améliorations de l'architecture, et plus immédiatement de charger des disques de diagnostic en cas de panne grave.

Les microprogrammes participent à l'émulation des divers canaux, à côté de circuits spécialisés. Une option intéressante est l'IFA, Integrated File Adapter, qui gère un ensemble de disques 2319 avec l'apparence d'un sélecteur, mais moins de matériel. Le Byte multiplex est complètement émulé, le Block multiplex très peu, les prix à payer traduisant les plus ou moindres interférences avec le CPU.

L'émulation des 14XX est possible par des dispositifs complètement intégrés et se différencie en 4 cas selon que le système d'exploitation est OS ou DOS, que l'on souhaite émuler seulement les 1401/40/60, ou toutes les 14XX. Les programmes correspondants n'exigent plus, alors, d'enclencher un mode particulier.

Voir fiche et deux documents IBM sur le CPU et les canaux.

S / 370 - 135 : destinée à reprendre les missions de la 360/40, cette machine utilise la même mémoire bipolaire que la 145, à base de puces 128 bits, avec une capacité modulaire de 96/128/160/192 KB. Le cycle est 990 ns en lecture, 935 ns en écriture, et le temps d'accès 770 ns, pour 4 bytes, mais le bus interne de la machine n'en utilise qu'un demi-mot.

La mémoire de microprogrammes comprend 12 à 24 Kmots de 16 bits + 2 P, avec un cycle de 275 ns. Cependant, la phase d'exécution de plusieurs opérations est nettement plus longue, jusqu'à 1485 ns, ce que permet une mémoire asynchrone. Ces microprogrammes permettent d'émuler la machine de base, des contrôleurs intégrés pour les disques (IFA) et les communications (ICA), un canal sélecteur et un byte multiplex, et en option les 1401/40/60 ou la 360/20.

Nous ne disposons d'aucune fiche, ni de photo de cette machine. Le seul document IBM concerne les canaux, essayant essentiellement de préciser les interférences entre les diverses variantes.

S / 370 - 195 : la décision d'annoncer en 6/71 une version 370 de la 195, qui ne diffère qu'à peine de l'original, avait essentiellement pour effet de doter la machine d'une horloge absolue. Elle signifie en outre, comme on s'en rend compte après coup, que la 195 ne disposera jamais de la mémoire virtuelle. C'est compréhensible s'agissant d'une machine totalement câblée, qu'il aurait fallu complètement repenser. Résultat : les commandes de 195 s'arrêteront avec l'annonce de l'architecture 370 VS en 8/72, et les machines existantes termineront leur carrière dans leur seul domaine initial d'application.

Ces machines disposent de tous les périphériques de la famille 360, et de quelques nouveautés :

Disques

IBM 2319 est un ensemble de dispacs avec le mécanisme du 2314, mais une densité accrue à 87 MB par dispac, offert à \$ 1000/mois par tourne-disque. Il est proposé avec l'IFA du 145, et d'ailleurs aussi pour les 360 avec une nouvelle unité de contrôle à \$ 1480/mois.

En 9/70 on peut louer pour un 145 trois 2319 et cinq 2314 pour \$ 3830/mois ; en 1/71 on trouve une autre offre de six 2319 et deux 2314 pour \$ 3470/mois.

Supporté par l'OS et par le DOS, ce matériel existe en quatre variantes : A1 est le premier tourne-disque connecté à l'IFA, et A2 est une extension ; B1 et B2 sont les modèles correspondants pour connexion plus usuelle à un canal, qu'il soit 360 ou 370.

On trouvera une photo du 2319 dans la fiche du 370/145.

IBM 3330 Mod 1 est le nouveau système de disques amovibles, utilisant le dispac 3336 : pile de 11 disques de 14", soit 19 faces de données et une de synchronisation, plus deux protections. Ces dispacks de 100 MB sont enregistrés à la densité de 4040 bpi sur 407 cylindres serrés à 192 tpi.

La présentation du système comprend une unité 3333 tête de chaîne et un nombre variable de 3330 subordonnés. Le 3333 mesure 840 * 1570 * 1520 mm, pèse 840 Kg et consomme 4 KVA. Les 3330 mesurent 840 * 1020 * 1520 mm ; le Mod 1 à deux tourne-disques pèse 660 Kg et consomme 3,4 KVA ; le Mod 2 à un seul tourne-disque pèse 500 Kg et consomme 2,4 KVA.

Dans ce système, les disques tournent à 3600 t/min, et les têtes volent à 1,3 μ d'altitude au dessus d'une surface magnétique de 1,3 μ d'épaisseur. L'enregistrement MFM (modulation de fréquence) comporte 51 bits supplémentaires pour l'autocorrection, constituant un firecode capable de corriger des paquets d'erreurs jusqu'à 11 bits, et de détecter jusqu'à 45 caractères erronés.

Toutes ces particularités, ainsi que les substitutions de pistes et le contrôle par écho, sont prises en compte par le contrôleur microprogrammé 3830 bicanal, dont la responsabilité englobe la détection de début de secteur, les rattrapages d'erreurs, les logging associés vers la mémoire, le command retry en cas d'exécution manquée, et les microdiagnostics en cas de panne plus sérieuse. A cet effet, il inclut une disquette read-only de 8 pouces qui est lue automatiquement à l'IPL ou à l'IML. Si cela ne suffit pas, le dépanneur peut charger d'autres microdiagnostics à partir de ses propres disquettes. Quant à la maintenance proprement dite, elle est assurée par le MD, un analyseur portable à microprocesseur, et ne peut se faire en ligne.

C'est peut-être la raison pour laquelle il est prévu que le 3333, tête de chaîne, puisse être connecté à deux 3830 Mod 2 différents. Il serait ainsi possible d'exploiter la base de données sur disques même pendant le dépannage d'un contrôleur.

Outre des photos dans la fiche S/370, on trouvera en archives un bref document IBM, Component Summary. Il est surtout intéressant, au plan technique, de lire l'article de IBMR&D (réf 203), consacré à l'évolution des disques chez IBM, ou son exploitation en français par Boucher (réf 206).

Bandes magnétiques

Les premiers 370 utilisent les dérouleurs 2420 monocabestan, déjà cités, parce qu'ils usent moins les bandes. La version **3420** créée pour les 370, qui utilise le même mécanisme, n'en diffère que par l'apparition d'une vitesse 200 ips, s'ajoutant aux vitesses 75 et 125 des 2420. Ce n'est que plus tard qu'apparaîtra, sur ces mêmes dérouleurs, la nouvelle modulation GCR 6250.

Il y a un léger désaccord entre notre source de 1970 et le document Component Description de même date:

- le modèle 3 payable \$ 440 / mois, avec les propriétés décrites dans la notice, est indiqué dans notre autre source comme remplaçant du 2415, fonctionnant à 120 ips.

- le modèle 5 est présenté comme remplaçant le 2401 et fonctionnant à 150 ips.

- le modèle 7 à 200 ips remplacerait le 2420 et coûterait 695 \$ / mois ou 4230 FF / mois.

Ces dérouleurs sont connectés en étoile sur un contrôleur 3803, variante microprogrammée et réduite de moitié du contrôleur 2803 connu. Le 3803 est, comme son prédécesseur, bicanal et commutable par 2914.

Outre la notice, voir pour la technique l'article de IBMR&D consacré à l'évolution des bandes, ou son exploitation en français par Boucher (réf 206).

Unit Record

IBM 3505, lecteur tamponné pour cartes perforées 80 colonnes ou marques au crayon 40 colonnes.

Deux versions 800 cpm, \$ 565 / mois, et 1200 cpm, \$ 670 / mois. Comporte une procédure de correction d'erreur, et de reprise après une erreur d'alimentation.

Caractéristiques 750 * 1520 * 1120 mm, 410 Kg, 2,2 KVA.

IBM 3525, perforatrice de cartes 100 cpm (\$ 400 / mois) ou 200 cpm (\$ 505 / mois) ou 300 cpm (\$ 610

mois), prix maintenance incluse. Permet reprise après correction d'erreur, impression de 64 caractères sur 2 lignes parmi 25, et lecture en secours sous contrôle de l'électronique d'un 3505.

Caractéristiques : 750 * 1270 * 1140 mm, 390 Kg, 1,8 KVA.

IBM 3211, imprimante à chaîne en cartouche, 2000 lpm en 48 car, ou 2500 en 36 car, saut à 30 ips

avec un maximum de 90 ips sur de longs espaces. Plus de bande pilote, remplacée par un registre de commande programmable. Prix \$ 129150 ou \$ 2800 / mois.

Caractéristiques : 740 * 710 * 1360 mm, 260 Kg, 2,6 KVA, fournie accolée à son contrôleur 3811, 740 * 740 * 1360 mm, 380 Kg, 2,7 KVA.

Consoles

IBM 3210, machine à écrire de pupitre pour les S/370, 15 cps sans ralentissement au carriage return
Choix de 88 caractères.

IBM 3215, imprimante matricielle 85 cps sur 125 caractères par ligne, tête imprimante mobile constituée par 7 fils disposés verticalement. Taille 610 * 790 mm, 82 Kg avec sa tablette, 200 VA.

Lignes

IBM 3705 : le contrôleur de lignes de la famille S/370 est maintenant un miniordinateur, doté d'une mémoire 16 (32) 240 KB à cycle de 1,2 μ s et d'une architecture genre 360 avec instructions RR, RI et RS manipulant du binaire 16 bits ou des bytes. La machine comprend 4 niveaux d'interruptions dotés chacun de 8 registres, pouvant donc se remplacer instantanément ; le scanner peut au choix être ajusté pour interrompre bit à bit, ou caractère par caractère. Capacité : jusqu'à 352 lignes, qui n'ont plus besoin d'un sous-canal individuel dans le multiplex.

Connectable au BMUX ou au MUX, ce système exploite essentiellement le programme NCP, Network Control Program, interlocuteur de TCAM dans le CPU. Pour la maintenance, le 3705 est autonome, son logiciel comportant un chargeur, un dump, un cross assembleur, des macros pour NCP, et au besoin une émulation des 270X. Prix : \$ 1200 / mois pour un 16 KB avec 4 lignes, pouvant évoluer vers \$ 9500 pour 352 lignes.

Terminaux

IBM 3270 est en 1971 la première génération d'un système multiécran très réussi qui sera produit à 130000 exemplaires avant son remplacement en 1977 par un modèle 2. La communication se fait en BSC grâce à la présence d'un tampon, en 1200 à 4800 bauds. Il existe quatre versions de contrôleurs :

- **IBM 3272** est un contrôleur multiplexeur local connectable sur canal 360 ou 370.
- **IBM 3271** est un contrôleur à distance, connectable en BSC sur 2701.
- **IBM 3277** est un écran local, contrôleur de grappe
- **IBM 3275** est un écran isolé, avec tampon de 480 ou 1920 car, options pour photostyle, lecteur de badge ou imprimante 3284 à 40 cps, et ligne BSC 1200 à 4800 bauds. Prix typique : 1590 FFHT/ mois pour tampon 480 car et IP 3284.

Les contrôleurs 3271 / 2 peuvent gérer 32 terminaux, écrans ou imprimantes matricielles, ces dernières étant des 3284 à 40 cps ou des 3286 à 66 cps. En option, l'écran peut être accompagné d'un lecteur de badge ou d'un photostyle de zone, variante d'une désignation par le doigt

IBM 3735 est un terminal multimode qui prend la suite du 2770. Il comprend un CPU gérant deux zones tampon de 256 caractères dans sa mémoire, et pouvant supporter :

- une machine à écrire Selectric ou une IP 3286
- un disque 14" en cartouche, 2580 t/min, 67500 ou 157500 car dont 22500 de programme de liaison.
- un LC/PC à 96 colonnes, avec deux tampons de 96 caractères.
- et un adaptateur BSC de 1200 ou 2400 bauds.

Ce terminal se connecte à une 2701 ou 2703 et travaille avec BTAM ou TCAM.

IBM 3780 est un terminal lourd comprenant contrôleur câblé, LC 600, IP 425 (39 car, 120 car / ligne), et une liaison BSC en ASCII ou EBCDIC au choix, sous BTAM et TCAM. Protocole 2780 / HASP. Prix : 145000 FFHT à l'achat, ou 5600 FFHT / mois sur 1 an, ou 4800 FFHT / mois sur 2 ans.

En plus de ces nouveaux matériels, et de nombreux anciens encore fabriqués, IBM peut fournir à la demande des terminaux (à base de Selectric) et des imprimantes équipés pour imprimer en Braille, et des machines à écrire à clavier mixte alpha / braille. Voir à ce sujet 257-79/87 .

La mémoire virtuelle (S / 370 VS)

Architecture

On n'a pu se procurer les 7000 - 3 et 7000 - 4 qui doivent, d'après leurs dates de parution 1973 et 1974, concerner déjà la mémoire virtuelle.

Quoi qu'il en soit, la version 5 de 1976 présente en détails cette nouveauté essentielle dans un volume de 326 pages qui, cessant de faire référence au passé, introduit le lecteur dans un nouveau monde plus riche et plus rigide que l'ancien, où chaque ordinateur dispose, pour le système d'exploitation et pour ses applications, d'un espace virtuel de 4 MB, indépendamment de la taille physique de la mémoire. Un très intéressant article des CACM (réf 204 - 73) motive et commente cette mutation, décrivant à cette occasion la minutieuse organisation qui entretient la rigueur et l'unicité des Principles of Operation.

Sans essayer de paraphraser cette bible, on peut souligner quelques-uns de ces changements :

- le multiprocessing étant maintenant courant, avec partage de la mémoire entre les processeurs, il devient nécessaire de se prémunir contre les interférences entre eux. Trois opérations existent à cet effet, **Test & set** et deux **Compare & swap** en simple et double longueur (32 et 64 bits). La première existe en fait depuis la 67, les secondes permettant d'évaluer dynamiquement et de réduire les risques. Le document analyse le problème dans différentes situations générées par la mémoire virtuelle, et décrit la solution.

- l'architecture intègre également cette situation avec la création de l'instruction **Signal Processor** qui régit les échanges entre CPU, et avec la création d'une sixième classe d'interruptions, Restart, qui permet de relancer un processeur sans perturber les autres, ni le système d'exploitation.

- en 1976 il existe encore beaucoup de 360 en service, et de programmes écrits pour ces machines. Il est donc indispensable de prévoir un mode de compatibilité, programmable pour pouvoir mélanger les jobs anciens et nouveaux. Un bit est prévu à cet effet dans le PSW.

Une instruction **Load PSW** permet à un programme de modifier l'état de son processeur en dehors des interruptions. Il paraît clair qu'elle devrait être réservée au système d'exploitation.

D'autres instructions nouvelles, **STNSM** et **STOSM**, permettent à un programme de modifier, et plus tard de rétablir, les masques d'interruptions dans le PSW courant.

- la protection de mémoire par clé, qui existe depuis l'origine du système 360, est raffinée par la présence nouvelle d'un bit F de protection en lecture, et compliquée par deux nouveaux bits liés au fonctionnement de la mémoire virtuelle : bit de référence, bit de changement, pour chaque bloc de 2048 bytes.

- la clause e) des principes, jusqu'ici négligée, est maintenant servie par deux nouveaux dispositifs : l'instruction **Monitor Call**, qui peut être placée par le programmeur aux endroits stratégiques de son programme et s'identifie alors par interruption ; et le Program Event Recording qui produit des interruptions quand interviennent des événements appartenant à des catégories bien spécifiées.

- la clause g) des principes est maintenant complètement satisfaite, avec diverses nouvelles opérations pour gérer l'horloge : un comparateur programmable est introduit pour pouvoir provoquer une interruption à une date et une heure absolue définies. D'autre part, le timer est allongé pour pouvoir déceler et mesurer des intervalles de plus en plus petits pendant lesquels il peut néanmoins se produire beaucoup de choses, du fait de la fréquence croissante de la base de temps.

- dans le mode d'adressage virtuel, l'espace de 4 MB est découpé en segments paginés, et le mécanisme DAT, Dynamic Address Translation, a pour rôle d'associer, au rythme des besoins, une zone réelle à chaque page virtuelle. Il est prévu deux tailles de segments, et deux tailles de pages, soit 4 combinaisons ; dans la pratique, chaque système d'exploitation utilise une seule de ces combinaisons.

Le processus DAT utilise des consultations de tables composées en mémoire par le système d'exploitation et pointées par des registres de contrôle, et une mémoire associative nommée TLB, Translation Lookaside Buffer, qui garde trace des pages récemment consultées. L'architecture définit encore les préfixes, qui localisent en mémoire le bloc des adresses protégées de chaque processeur, des opérations **Set Prefix** et **Purge TLB**, et toute une série d'interruptions spécifiques.

Une opération **Load Real Address** permet à un programme de tester dans tous ces détails ce fonctionnement, et de trouver la localisation présente d'un objet connu par son adresse virtuelle, sans pour cela toucher à l'objet lui-même.

- les canaux d'entrée / sortie doivent aussi travailler en adresses virtuelles, mais le processus de conversion est peu compatible avec la rapidité des bandes ou des disques. En conséquence, les adresses virtuelles des zones d'échange sont traduites en adresses réelles, par l'opération LRA ci-dessus, avant le début de l'exécution du programme, et celles-ci introduites dans les mots de contrôle des sous-canaux par un procédé d'indirection.

- le développement très organisé du dispositif de Machine Check permet désormais à l'ordinateur de noter, à l'occasion d'interruptions spécifiques, tous les incidents techniques qui peuvent survenir et toutes les mesures que la machine prend pour y remédier, tels que les nouveaux CPU Retry et Channel Retry permis par la microprogrammation de 2ème génération. Ces compte-rendus sont notés dans des zones protégées de la mémoire (logout zones), définies par le préfixe, et transformés en listing compréhensibles quand la zone tampon est pleine.

La machine ne s'arrête donc jamais, même au prix de réduction de performances.

Finalement, lorsque interviendra un incident qui dépasse les possibilités de réaction du programme ci-dessus, le technicien dépanneur trouvera un document clair décrivant tout ce qui s'est produit depuis sa dernière intervention, et pourra réagir au mieux et au plus vite.

Au total, 183 instructions sont disponibles pour les 370 VS, dont 26 concernent le système d'exploitation et 9 les entrées / sorties.

Unités centrales

Nous examinons ci-après les machines construites selon les règles ci-dessus, dans l'ordre de leurs annonces :

S / 370 - 135.3 : pour les propriétaires de 135, l'annonce d'août 72 est une bonne nouvelle : leur machine a été conçue dès l'origine pour prendre en charge la mémoire virtuelle, et en particulier elle contient un TLB de 8 lignes, dont on ne leur avait pas parlé. Ils recevront une nouvelle disquette d'initialisation, et les nouveaux logiciels compatibles avec l'adressage virtuel, DOS / VS en ce qui les concerne, à partir de la mi 73. D'autre part, ils pourront profiter, à cette même date, d'extensions de mémoire utilisant le nouveau chip de SRAM bipolaire 1K * 1 bits, portant leur mémoire physique à 256, 320, 384 ou 512 KB ; ces extensions sont tout naturellement moins chères (par byte) que la mémoire initiale.

Pour ceux qui n'ont pas encore fait la mutation depuis les 360, on leur offre une 135.3 réalisée entièrement avec la nouvelle mémoire, commençant à 256 KB et légèrement améliorée en performances, soit 840 ns pour les cycles de lecture et 935 pour ceux d'écriture. La mémoire de microprogrammes est d'emblée agrandie à 64K * 18 bits, ce qui réserve de la place pour les extensions et met en ligne les microdiagnostics. En particulier, elle inclut les microprogrammes ECPS : VM 370 qui assurent la promotion de ce nouveau système d'exploitation et peut aussi contenir en option ceux d' ECPS: VS1 (voir plus loin logiciel).

S / 370 - 145.3 : même commentaire pour les réactions des propriétaires de 145, à cela près qu'on ne leur propose pas d'extension de mémoire : ils étaient déjà autorisés à acheter 2 MB.

La 145.3, annoncée à cette même date, peut disposer de 192 à 1984 KB de mémoire principale construite avec les premiers composants MOSFET 2K*1 bits, qui représentent l'aboutissement d'études entreprises dans les années 60. Quatre composants sont groupés sur un support hybride, et 32 de ces hybrides sur une carte qui contient donc 32K * 8 bits. Le déficit de 64 KB par rapport aux chiffres rationnels n'est évidemment pas le fait du hasard : cette mémoire existe physiquement, simplement interdite à l'utilisateur par une barrière d'adressage, pour divers usages de la micromachine.

Celle-ci utilise les puces SRAM bipolaires de 1K * 1 bits pour composer une mémoire 16K * 72 bits SECEDED, de cycle apparent 180 ns, qui délivre deux microinstructions à chaque consultation ; le caractère asynchrone de cette mémoire permet de prolonger l'exécution de certaines microinstructions jusqu'à 270 ns. La réalisation physique de cette mémoire prend la forme de 18 cartes dont chacune fournit 2 bits de chacune des microinstructions, soit 64 puces par carte de 16K * 4 bits.

Nous disposons du document SY24.3631.0 de 1 / 77, encombrant volume de planches destiné à la maintenance et catalogué 207 dans nos archives. Bien qu'il concerne en réalité la 148, on peut y trouver l'explication des deux mémoires évoquées ci-dessus : la micromachine a juxtaposé les deux mémoires, différentes et indépendantes, pour mettre en commun l'adressage et le contrôle SECEDED, et dans la 145.3 cet adressage commun concernait les adresses 0000 à FFFF pour la mémoire de microprogramme, 010000 à 1FFFFF pour la mémoire principale : cela limite bien à 1984 KB la capacité de cette dernière. La mémoire de contrôle, par contre, n'utilisait que la moitié de l'adressage disponible, 0000 à 7FFF.

Pour tout le reste, voir la fiche de la micromachine 3148.

S / 370 - 155 : les propriétaires de 155 apprenaient en ce jour fatal que leur machine ne pouvait s'adapter à la nouvelle architecture qu'en dépensant K\$ 200, couvrant l'achat et la mise en place d'un TLB de 128 entrées et d'un complément de microprogrammes s'élevant à 2K * (69 + 3P) pour la DAT. Ce prix généreusement évalué les convainquait assez facilement de passer leur machine par profit et pertes et de réinvestir dans une 158.

S / 370 - 165 : même découverte en pire : il faut dépenser K\$ 400 pour acheter un TLB de 128 lignes, et doubler leur CROM à 4096 * (102 + 3P) pour la DAT. Peu le feront.

S / 370 - 158 : la nouvelle machine proposée ce jour, pour livraison en avril 73, utilise la même micromachine que la 155, complétée comme indiqué ci-dessus pour réaliser la DAT, mais de plus perfectionnée par l'addition du XAR, une sorte de micromachine subordonnée qui prend en charge diverses améliorations dont une meilleure efficacité des multiplications. Ce matériel nous étant connu par la documentation sur la 3031 évoquée plus loin, on renvoie à l'étude de cette micromachine les lecteurs intéressés par les détails techniques.

Pour compenser le prix nettement accru de cette logique améliorée, la 158 dispose d'une nouvelle mémoire nettement moins chère que les tores, à base de MOSFET de première génération à cycle de 1 µs environ pour 72 bits avec SECEDED, organisée en modules de 512 KB. Une limitation à 2 MB sera dépassée, dès février 73, c'est-à-dire avant la première livraison, devant les réactions des clients qui ont très bien compris le message du marketing. A la vérité, le cache de 8 KB, inchangé par rapport à la 155, doit sensiblement atténuer la différence entre 158 et 155.

Côté périphériques, on notera l'offre d'un contrôleur intégré ou ISC, capable de 16 tourne-disques avec commutations à travers les 3333 têtes de chaînes.

Nous disposons pour cette machine d'une fiche et d'un court document IBM Functional characteristics.

S / 370 - 168 : la nouvelle machine proposée ce jour, pour livraison en octobre 73, utilise la micromachine de la 165, avec les mêmes coûteuses modifications proposées pour faire la 165 II, plus l'option d'un cache porté à 16K bytes par doublement à 8 du nombre de lignes. Ce CPU est donc coûteux, l'acheteur se rattrapant sur la mémoire à modularité 1 MB, qui peut monter à 4 MB, et dont le temps d'accès pour 72 bits est 320 ns, avec un cycle apparent tout compris (SECDED, contrôles de protection) de 880 ns.

Devant les réactions de la clientèle, manifestement à la recherche de puissance, IBM proposera dès 73, mais avec un important délai, un véritable biprocesseur (partage de mémoire et de tâches, une seule copie du système d'exploitation) ; les études étaient entreprises de longue date, mais la mise au point des modifications du système d'exploitation a pris du temps. On peut penser que c'est la version 4 des Principes of Operation qui a introduit les nouvelles instructions spécifiques de ce mode, qui figurent dans la version 5 en notre possession et qui sont explicitées aussi par la référence 206.

On notera que ce multiprocessing existe en deux variantes :

- dans le mode AP, un processeur **3062**, identique au 3168 mais dépourvu de tout canal, est seulement un apport de puissance de calcul. Bien que nous n'ayions pas d'indication explicite à ce sujet, ce processeur n'est pas à priori apte à lancer des opérations d'entrée / sortie, qu'il doit solliciter du processeur principal par demandes de concours ; peut-être même ne peut-il accepter que des tâches vides de telles instructions.

- dans le mode MP, le second processeur **3168** amène ses propres canaux et les deux machines se répartissent librement les tâches dans une mémoire portée à 8 MB, sans qu'il soit nécessaire de désigner un processeur maître.

Comme le 165, le 168 utilise des canaux hérités des 360, les 2860 sélecteurs, 2870 byte multiplex, 2880 block multiplex, dotés cependant d'interfaces accélérés à 1,5 MB / s. Il est aussi possible d'attacher les disques par ISC.

S / 370 - 125 : annoncée en octobre 72, cette machine conçue en Allemagne est le successeur des 30 et 25, avec une organisation révolutionnaire qui utilise la microprogrammation non seulement pour émuler l'architecture cible, mais aussi pour faire des économies, un processeur unique à 4 exemplaires étant utilisé pour réaliser les diverses fonctions, système, calcul, canaux et contrôleurs.

La mémoire principale large de 2 bytes, 96 à 256 KB avec un cycle de 480 ns, est aussi utilisée pour loger tous les microprogrammes qui utilisent 12 à 20 Kmots de 19 + 3P bits. On voit que cette taille de microinstruction interdit en réalité que la mémoire soit commune, mais la technologie l'est. L'organisation est la suivante :

- une mémoire principale de taille ajustable, câblée, servie par un bus en anneau. Câblé également, un TLB de 16 entrées pour la DAT.

- un service processor 8 bits, microprogrammé, capable de lire les divers microprogrammes de la machine sur la disquette système qu'il gère, et de les envoyer par le bus à chacun des destinataires, lors de la phase initiale de la mise en route, l' IMPL. Il gère aussi un écran et l'imprimante 5213 de pupitre à travers un contrôleur émulé, ce qui fait de lui l'intermédiaire avec l'opérateur. Pour le démarrage à froid, un petit bootstrap suffit à charger les microprogrammes minimum qui permettent au SP de lire sa disquette et de finir son autochargement.

- un processeur principal 16 bits, microprogrammé de manière à représenter l'architecture 360 complète en mode BC, et en mode EC un sous-ensemble très large de l'architecture 370, n'éliminant que les dispositifs réellement inutiles comme le multiprocessing. La virgule flottante est optionnelle, mais si on la demande elle est complète avec les trois précisions.

Ce processeur englobe en standard un ISC pour disques 3330, 3340 ou 3344, et en option un adaptateur pour bandes magnétiques 3420 / 3803 ou plus économiquement 3410 / 3411. D'autres options existent pour émuler la 360 / 20, les 14XX, les disques 2311 et 2314.

- trois IOP optionnels identiques, personnalisés par leur microprogramme et par une interface spécifique, pour représenter les fonctions suivantes : gestionnaire de cartes et d'imprimante, byte multiplex à 32 sous-canaux, ou contrôleur de communication multiligne (jusqu'à 16 lignes).

Outre une fiche, nous disposons d'un document IBM de maintenance, SY33-1059 à 1063, 347 pages qui décrivent complètement, mais dans un esprit maintenance qui n'en facilite pas l'exploitation, la structure et le fonctionnement de la 125. Aussi a-t-on rédigé deux fiches supplémentaires en français, classées à **3125 IPU** et **3125 IOP**, qui en résument l'essentiel.

S / 370 - 115 : même concept structurel que la 125 dans cette machine conçue en Allemagne comme la précédente, le prix moindre étant obtenu grâce à un processeur principal 8 bits microprogrammé qui gère aussi les périphériques de base. Un IOP n'est nécessaire que pour les disques 3340 éventuels, ou pour réaliser un byte multiplex.

Cette machine qui vise la clientèle déjà bien établie des S / 3 est une erreur de marketing, et sera rapidement retirée du catalogue.

S / 370 - 158.3 : à partir de 1974 la famille 370 est complète, mais IBM constate que la concurrence des compatibles commence à grignoter ses marges. Pour maintenir sa position, la compagnie entame une offensive marketing d'autant plus délicate que les machines suivantes ne sont pas prêtes : il faut donc faire du neuf avec du vieux vis à vis d'une clientèle assaillie de propositions avantageuses pour des "add on" (mémoires, périphériques) qu'IBM est obligé d'accepter et d'entretenir, suite à plusieurs procès antitrust.

Les modernisations commencent par l'annonce en 5 / 74 d'une configuration MP, simple récupération sur 158 du travail fait précédemment sur 168. On annoncera aussi, en 1977, une configuration AP avec un processeur **3052** vendu K\$ 452 qui n'est pas réellement significatif, la 158 n'étant pas une machine scientifique.

La 158.3 annoncée en 3 / 75, livrable en 9 / 76, n'est pas une nouvelle machine. Elle doit l'essentiel de ses performances supplémentaires à un cache porté à 4 lignes par doublement, et à des microprogrammes soigneusement repris pour réduire les attentes de mémoire. De plus, la mémoire est portée à 6 MB, et cette proposition s'étend aux anciennes 158.

La 168.3 annoncée en même temps, mais livrable en 6 / 76 parce qu'elle intéresse davantage les clients, fait l'objet des mêmes modifications, mais la mémoire pouvait déjà atteindre 8 MB depuis le MP, et on ne juge pas encore raisonnable d'aller au delà, car l'égalisation de taille des mémoires virtuelle et réelle enlèverait une partie de ses justifications à l'architecture VS.

Un peu indépendamment, est annoncé en 1976 un array processor **IBM 3838**, étudié par la division fédérale à partir de ses travaux sur les sonars. Cette machine se connecte sur le canal block multiplex et peut donc compléter aussi bien une 158 qu'une 168.

La 3838 possède sa propre mémoire, 256K / 512K / 1024K, avec un contrôleur à trois interfaces : bloc arithmétique, bloc de commande, canal de liaison vers le BMUX. Les circuits sont des MSI TTLS.

Le bloc de calcul pipeline est microprogrammé sur une RAM à cycle de 70 ns, construite en puces 1 Kbits. Il travaille en VFSP 32 bits, exécutant la multiplication en 100 ns, l'addition en 50 ns, une FFT de 1024 points en 2,95 ms. Son répertoire comprend plus de 50 opérations. Il dispose de deux caches de 8K * 36 dont la fonction n'est pas claire.

Le bloc de commande est capable d'exécuter jusqu'à 7 problèmes simultanément mais là non plus, la signification de cette affirmation n'est pas claire dans une machine qui semble bien n'avoir qu'une ALU.

Prix fin 77 de cette extension : K\$ 780 ou 17875 \$ / mois en 256 KB, K\$ 864 ou 21725 \$ / m en 512 KB, K\$ 1032 ou \$ 29425 / mois avec mémoire 1 MB.

S / 370 - 115.2 : en novembre 75, la 115 disparaît, comme indiqué plus haut. Pour ne pas souligner

S / 370 - 125.2 : l'erreur de marketing, on rebaptise 115.2 la 125 qui se vend toujours correctement, et on définit une 125.2 de même programme, avec mémoire doublée à 512 KB, et mémoire de microprogrammes accélérée à 320 ns, soit un gain de performances de plus de 40%, et agrandie pour quelques améliorations. Opération pratiquement sans frais, car la **3125** avait de grosses marges techniques.

S / 370 - 138 : toujours pour l'effet marketing, en juin 76 la 135.3 est rebaptisée 138 et la 145.3 devient

S / 370 - 148 : la 148, l'amélioration très mesurable provenant d'une réécriture soignée des microprogrammes. Pour rendre la différence plus sensible, la mémoire de la 138 est doublée. Dans le cas de la 148, où cela n'est pas possible matériellement, on porte la mémoire à 2 MB en séparant complètement les adressages de la mémoire de travail et de la mémoire de contrôle, ce qui n'exige aucune modification de câblage, seulement des retouches de microprogrammes.

Pour les deux machines, voir fiches et Functional characteristics. Pour la 148, une deuxième fiche, classée **3148**, a été élaborée pour la micromachine, résumé en français du document de maintenance.

Ainsi la famille 370 VS, dans sa première incarnation qui comporte un seul espace virtuel de 16 MB, aura duré seulement six ans, puisque l'annonce des 303X date de mi 78. Ce sont pour IBM des années de forte tension, car ses concurrents ont désormais choisi chacun leur position de principe et leur stratégie commerciale pour fidéliser leur clientèle, tandis que les compatibles savent désormais utiliser les microprogrammes avec autant d'habileté qu'IBM pour en copier l'architecture, et réussissent généralement, dans un délai de 6 mois au plus après leur parution, à imiter toutes les innovations techniques d'IBM.

Ainsi le grand rêve d'unification de l'informatique sous l'égide d'IBM est-il complètement évanoui, et remplacé par une féroce lutte pour la vie où IBM, qui garde l'initiative, ne peut cependant à aucun moment relâcher son effort où marketing et innovation alternent et s'épaulent. Cela va encore durer dix ans.

Périphériques

Les périphériques ont évolué pendant ces six années, autour des idées suivantes:

- améliorations de performances par progrès technologiques, sans rien concéder sur la fiabilité, au contraire.
- améliorations de performances par progrès de connexion, par exemple par doublement des canaux qui passent à 16 bits + 2P pour les périphériques exigeants.
- amélioration de la maintenance par automatisation du plus grand nombre possible de fonctions, sans notable augmentation de prix grâce à des contrôleurs microprogrammés. La disparition des techniciens résidents est acquise, les interventions d'urgence très coûteuses sont devenues rares parce qu'inutiles avec des matériels qui établissent leurs propres diagnostics, réparent eux-mêmes les erreurs transitoires, circonviennent les défauts qui peuvent l'être et dressent rapports et statistiques pour les autres. Cette présentation est évidemment optimiste en 1972, elle est largement vraie dès 1978 pour disques et bandes, et ne cessera de le devenir davantage jusqu'en 1990.

Disques

IBM 3330 . A partir de l'annonce en 7 / 73, pour livraison en 3 / 74, les 3330 sont du modèle 11, qui place 200 MB par dispac, en 808 cylindres serrés à 370 tpi, la densité d'inscription restant inchangée à 4040 bpi. Il s'agit d'une performance inscrite dans les têtes et les amplificateurs, de sorte qu'un contrôleur peut commander à un mélange de modèles. Les anciens dispac peuvent être refaits pour \$ 650, les tourne-disques sont convertibles pour \$ 26000 par armoire double. Les nouvelles armoires sont exclusivement des meubles doubles, mesurant 840 * 1020 * 1520 mm, poids 660 Kg, consommation 3,4 KVA. Le prix varie de K\$ 74 à 87, un dispac vaut 1150 \$. Le marché se stabilise vers 1978 à 64000 unités dont 11% fournis par les PCM, fabricants de compatibles.

IBM 3830 : le contrôleur 3830 microprogrammé mesure 810 * 1550 * 1520 mm, pèse 730 Kg et consomme 3,2 KVA dans toutes ses variantes :

- le Mod 1, conçu pour 8 tourne-disques, coûtait \$ 357200 ou \$ 7600 / mois.
- le Mod 2 exploite les possibilités de commutation du 3333 pour monter à 16 disques, de plus il sait s'adapter au BMUX et aux ISC des 158 et 168. Et il coûte \$ 375 de moins.
- le Mod 3 peu se connecter à quatre canaux et, vers l'aval peut aussi utiliser les tourne-disques 3340 et plus tard les 3350.

IBM 3340 : introduit en 3 / 73, les 3340 utilisent la nouvelle technologie Winchester promise à un grand avenir, où les têtes magnétiques et leur patin hydrostatique sont autorisés à reposer, au repos, sur la surface lubrifiée du disque magnétique. Les modules amovibles contiennent leurs propres têtes pour que les pistes soient relues par les mêmes têtes qui les ont écrites, et de ce fait coûtent extrêmement cher : pour cette raison le 3340 n'aura qu'une vie assez courte, mais la technologie est tellement supérieure à la précédente que pour la promouvoir on abandonnera progressivement les dispacs pour revenir aux disques fixes.

Le 3340 travaille à 5636 bpi avec des têtes volant à 18 μ" ou 3,6 μ au dessus de la surface magnétique tournant à 2964 t/min. Le module contient 6 faces utiles, avec 348 ou 696 cylindres serrés à 300 tpi ; avec 8368 caractères par piste, la capacité du module est donc 34 ou 69 MB. La lecture à 7,1 MHz correspond à un débit de 885 KB / s ; le contrôleur 3830 Mod 3 sait exploiter le codage pour l'autocorrection d'erreurs de 3 bits consécutifs, et la détection d'erreurs jusqu'à 11 bits consécutifs. Temps d'accès moyen 25 ms.

Les diverses microprogrammations permettent de lier 4 unités à un 115, 8 à un 125, 16 à 135 ou 145, 32 aux ISC des 158 et 168 ou à un contrôleur 3830 Mod 3. Une unité mesure 850 * 1140 * 1180 mm, pèse 410 Kg et consomme 2,2 KVA.

La structure des prix est complexe : un module 3348 de 69 MB vaut \$ 2200, ou \$ 82 / mois. On a plus de détails sur les prix français de 1974 : 270 FF / mois pour une location de 2 ans, 319 FF / mois pour une location d'un an, 8430 FF pour l'achat d'un module de 34 MB, 377 / 444 / 11560 FF pour un module de 69 MB. Quant au tourne-disque, son prix en FF dépend à la fois du modèle et du délai, comme suit :

	A2, tête de chaîne, 2 axes	B1, 1 axe	B2, 2 axes	
1 an	5, 41	3, 02	3, 80	
2 ans	4, 6	2, 6	3, 26	KFF
achat	210	116	147	

En 4 / 74, IBM propose un nouveau module Modèle F qui contient, en plus des 69,3 MB accessibles en 25 ms, cinq têtes fixes qui accèdent en 10 ms à une piste rapide de 500 KB. Ce dispositif ajoute \$ 165 / mois au prix du module et \$ 47 / mois au prix du tourne-disque.

Pour les détails de mise en oeuvre de ce matériel, voir notice IBM du 370 / 125.

IBM 3344 : introduite en 1975, cette unité se présente comme un 3340 dont le module ne serait pas amovible. Il comprend deux axes qui donnent accès chacun à 277,6 MB, adressables comme 4 modules 3348 : ce chiffre donne une idée du bénéfice résultant de la suppression de l'amovibilité.

Modèle A : 850 * 1140 * 1180 mm, 410 Kg, 2,2 KVA

Modèles B : 850 * 1070 * 1180 mm, 280 Kg et 1,2 KVA pour B1, 350 Kg et 1,7 KVA pour B2

Ce marché s'est stabilisé sur un total de 22000 unités en 1978.

IBM 3350 : cette unité reprend la technique Winchester avec des paramètres différents : vitesse de rotation 3600 t/min, densité 6425 bpi, lecture à 4,8 MHz par têtes en ferrite volant à une altitude de 20 μ " = 5 μ au dessus de 15 surfaces utiles recouvertes d'une couche d'oxyde épaisse de 8 μ , soit un débit de 1198 KB/s. Avec 555 cylindres serrés à 478 tpi, la capacité atteint 19069 bytes par piste, et 8325 pistes par axe, la capacité atteint 317,5 MB par axe et 625 MB par unité. Le temps d'accès varie de 10 à 50 ms, soit un temps d'accès moyen de 25 ms comme le précédent.

Il existe aussi une option têtes fixes de 1,14 MB avec 7 ms de temps d'accès moyen.

Le succès du 3350 a été considérable : 90000 unités en service début 1980, dont 16% de PCM ; 97000 unités en fin 80, dont 33% de PCM. S'il est exact, ce dernier chiffre indique qu'IBM à cette date est déjà passé au modèle suivant.

Disquettes

C'est en 1967 qu'IBM a commencé à étudier la possibilité de fabriquer des disques ultraéconomiques, en matière plastique revêtue d'oxydes magnétiques, et de construire un tourne-disque de prix raisonnable pour y accéder. Un article de IBMR&D (réf 202-700/10) détaille cette histoire, dont on ne rappelle ci-dessous que les étapes avec leurs paramètres caractéristiques :

23FD (1969) : 90 t/min, 32 pistes à 1594 bpi = 81664 bytes, débit 33333 bps. Non industrialisée.

33FD (1973) : 360 t/min, 77 pistes à 3268 bpi sur une face = 242944 bytes, 48 tpi, 250 Kbit/s

43FD (1976) : version double face du précédent, 3408 bpi = 568320 bytes.

53FD (1977) : version double débit du précédent, 6816 bpi en MFM, 1,2 MB, 500 Kbit/s

72MD (1979) : tourne-disque pour magasins multifloppies, 720 t/min, 1 Mbit/s, utilisant la disquette 2D du modèle 53FD.

IBM 3540 : un produit commercial a émergé dès la réussite technique du 33FD, c'est une disquette de 7,88" de diamètre, manipulée dans son enveloppe 8 * 8" qui protège le disque et le nettoie pendant qu'il est au repos, et qui gonfle sous pression d'air pour le libérer lorsqu'il est exploité. Un trou central de 1,5" laisse passer le cône axial du tourne-disque, qui entraîne la disquette par simple frottement ; un trou auxiliaire de 0,01" sert de repère d'origine, et une fente dans l'enveloppe laisse passer la tête de lecture. La disquette à cette époque coûte \$ 8.

La disquette ne peut être utilisée qu'après formatage, une opération qui divise les pistes en 8 ou 26 secteurs et en marque les origines. Le 3540 place 1898 enregistrements de 128 caractères sur un disque.

Le tourne-disque comporte un positionneur de tête mu par une vis entraînée par un moteur à impulsions, une rotation de 15° correspondant à un interpiste, et un chargeur automatique de 20 disquettes. En tant que support de fichiers, il sera supporté par OS/VSI dès la fin 73, avec livraison en 4/74.

Caractéristiques physiques : 610 * 1140 * 940 mm, 180 Kg, alim 600 VA.

Prix en France : 124 à 190 KFFHT, ou 3100 à 4700 FFHT/mois sur engagement d'un an.

A partir de là on retrouvera la disquette dans tous les ordinateurs, comme moyen de chargement des microprogrammes à l'IMPL ou pour diagnostics, et comme support de saisie dans divers terminaux.

Bandes magnétiques

IBM 3410 (1971) : dérouleur économique introduit pour le S/3 et réutilisé pour les 370/125 et 115 avec un contrôleur pour 4, incorporé dans le dérouleur 3411 tête de chaîne.

Il existe en trois modèles :

Mod 1 : 12,5 ips en 1600 bpi = 20000 Bps, accès en 15 ms, rebobinage en 3 minutes. Gap 0,6" .

Mod 2 : 25 ips en 1600 bpi = 40000 Bps, accès en 12 ms, rebobinage en 3 min. Option 800 bpi.

Mod 3 : 50 ips en 1600 bpi = 80000 Bps, accès en 6 ms, rebobinage en 2 min. Option 800 bpi.

Caractéristiques physiques : 690 * 790 * 990 mm, 82 Kg, 300 VA pour le 3410 ; mêmes dimensions, 150 Kg et 1,2 KVA pour le 3411. Voir fiche S/3 et Functional characteristics du 370/125.

IBM 3420, Modèles 4, 6, 8 : ce dérouleur maintenant connu et généralisé est renouvelé en 1973 par l'introduction de la modulation GCR 6250 bpi, qui permet un meilleur contrôle de vitesse et une correction d'erreurs multipistes.

Caractéristiques physiques : 750 * 760 * 1700 mm, 370 Kg, 1,6 à 2,9 KVA selon modèle.

Prix : 141180 à 177780 FFHT à l'achat, 3200 à 4020 FFHT / mois sur engagement de 2 ans, 3200 à 4020 FFHT / mois sur engagement d'un an.

Pour la technique, voir références 202 - 695 en anglais et 206 - T2/135 en français.

Bandothèques

IBM 3850 : devant l'accroissement envahissant du nombre de dérouleurs dans les grands centres de calcul à finalité gestion, la question se pose d'une nouvelle conception de l'archivage. La solution proposée par IBM est un contrôleur **3851** dirigeant simultanément des disques comme stockage actif et un nouveau système de bandes magnétiques, le 3850, comme mémoire d'archivage.

Les disques sont des 3330 et il peut y en avoir jusqu'à 64 ; le 3850 utilise des cartouches de 50 MB, 874 KB / s, groupées dans un bac alvéolaire de 706 cartouches, plus éventuellement 3 autres bacs de 1338 cartouches. Le mécanisme d'accès prend 3 à 8 secondes pour charger une cartouche, la rebobiner et la ranger, c'est la pénalité pour une cartouche dont la lecture proprement dite prend quelque 60 secondes : c'est donc assez coûteux en temps et c'est pourquoi un tampon à disques libère l'ordinateur de cette servitude.

Une telle unité peut donc stocker de 34 à 472 Md de caractères. 250 étaient en service au 1 / 1 / 79, 600 à la mi 81. Le prix est élevé, 68500 à 198400 FFHT / mois, non compris les disques.

Le contrôleur 3850, bi ou quadricanal selon modèle, n'est indispensable que pour le fonctionnement off line, permettant de préparer les dispaes pour une application à passer en ordinateur. Il peut être suppléé par un 3830 Mod 3 ou par un ISC de 158 ou 168 dès lors qu'il travaille connecté.

Caractéristiques physiques : 813 * 1524 * 1920 mm, 780 ou 900 Kg pour le contrôleur - mêmes dimensions, 810 Kg dont 110 de cartouches pour l'armoire 02 - mêmes dimensions pour les magasins 03 à 05, 395 Kg d'armoire, 210 Kg de cartouches et 315 Kg pour le DRC de chaînage optionnel (?) - et pour terminer, une armoire de 1512 mm de large pesant 350 Kg, apparemment la fin du mécanisme de chargement. La consommation, selon le nombre de magasins, est 6,2 à 15,6 KVA.

L'aspect technique est décrit dans deux articles illustrés des PIEEE, 8 / 75, pp 1166 et 1171 (réf 209). La cartouche de 125 cm³ mesure 101,6 mm de long et 50,8 mm de diamètre, et contient 770 " de bande, soit 20 mètres. Un enregistrement hélicoïdal en modulation ZM, un système qui constitue sa propre référence de synchronisation sans composante continue, s'effectue à 6888 bpi, 67 tpi ; le code utilisé permet de corriger dans un enregistrement soit un passage erroné de 128 bits au plus, soit 16 erreurs d'au plus 8 bits sans recouvrement.

Unit records

LPFM 5425 pour cartes 96 colonnes est le même appareil que le 5424 du S / 3, mais il est adapté pour le S / 370. On renvoie à ce sujet aux Functional characteristics du 125.

Cette machine existe en deux variantes A1 = LC 250, PC 60, IP 60 sur 3 lignes ou 48 sur 4 lignes, et A2 avec les valeurs 500 / 120 / 120 / 96 lpm.

Caractéristiques physiques : 750 * 865 * 1400 mm, 260 Kg, 1,3 KVA.

IBM 3203 : c'est une imprimante à chaîne de 48 caractères très proche de la 1403, dont elle diffère par le nettoyage automatique et la suppression de la bande pilote, à l'image de la 3211.

Elle existe en deux versions :

IP 600 (770 avec chaîne optimisée), 510 * 1430 * 1170 mm, 370 Kg, 2,3 KVA, \$ 940 / mois.

IP 1200 (1550 avec chaîne optimisée), 510 * 2230 * 1170 mm, 485 Kg, 3 KVA, \$ 1234 / mois.

On trouvera une référence officielle à cette machine dans les Functional characteristics de la 370 / 125, et deux informations techniques dans des documents de référence.

IBM 3800 : au moment où les brevets de la xérogaphie sont tombés dans le domaine public, IBM, comme beaucoup d'autres compagnies notamment japonaises, s'est lancée dans la réalisation de photocopieuses et d'imprimantes basées sur cette technologie jusque là monopolisée par Xerox : de nombreux articles furent consacrés par IBMR&D à ces machines vers cette époque (1976) et sont disponibles sous forme de microfilms. Ci-joint une brochure commerciale.

L'imprimante 3800 est une de ces réalisations, réservée de par son prix et ses performances à des installations à gros débit : 167 pages / minute ou environ 13000 lpm, choix de 3 pas (10 / 12 / 15 car / "), et de trois espacements de ligne (6 / 8 / 12 lignes / ") qui peuvent se mélanger dans une page, et de 4 polices de 255 caractères ; il existe même une version en kanji pour le Japon. Elle incorpore un microprocesseur pour

organiser le travail, et une disquette pour charger ses microprogrammes. Elle travaille alors à la densité de 26000 points/sqin (63 * 63 pixels par cm²); en 1983 de nouveaux modèles 3, puis 8, ont porté la définition à 57600 points/sqin (98 * 98 pixels/cm²).

Prix 11 / 76 : 1853455 FFHT à l'achat, ou 45284 FFHT / mois sur contrat d'un an, ou 38492 FFHT / mois sur 3 ans, avec en outre 2741 FFHT / mois d'entretien et une redevance de 0,484 FFHT par mètre de papier imprimé (fourni en rouleaux) - Aux USA, K\$ 310 à l'achat, + K\$ 10 pour la version off line alimentée par bandes magnétiques.

Succès important : 30 placées la première année, 300 fin 77, 10000 en 1990 lors du passage à la 3900.

Ecrans

IBM 3250 : la console graphique de 1977, successeur largement compatible du 2250, acceptée par tous les systèmes d'exploitation des 370, est construite par Sanders à la suite d'un procès de cette société à IBM. Elle comprend les éléments suivants :

- une interface de canal 3258, pouvant desservir quatre 3255.
- un contrôleur d'écran 3255, contenant un tampon de 32 KB et les dispositifs de compatibilité avec le 2250. Il peut gérer deux écrans.
- un écran 3251, offrant 8 niveaux de luminosité, 4 épaisseurs de traits, 4 tailles de caractères, un alphabet avec majuscules et minuscules, la possibilité de tourner l'image de 90°, le clignotement. La vitesse d'affichage plafonne à 7620 m/s pour les vecteurs.

IBM 3270. 2 : les écrans alphanumériques 3270 poursuivent leur brillante carrière avec un modèle 2 qui apparait en 1977, et qui revient moins cher que le Modèle 1 à partir de 5 écrans.

La nouvelle gamme comprend :

- un contrôleur **3274** pour 32 écrans, dont 16 peuvent être de l'ancien modèle. Il assure la liaison BSC ou SDLC avec les S / 370. Une version 61C contenant 50% de mémoire en plus, et utilisant un nouveau microprocesseur, le remplacera en 1983.
- un écran **3276**, avec contrôleur intégré capable de 7 écrans ou imprimantes. Liaison comme ci-dessus, mais aussi avec les contrôleurs 3790 (voir plus loin). Ecran comme ci-dessus.
- un écran subordonné 3278, existant en quatre tailles, de 960 à 3440 caractères.
- imprimante **3287** série à matrice, 80 ou 120 cps. Elle est connectable aux anciens modèles 3271 et 3272, et aux nouveaux contrôleurs 3274 et 3276.
- imprimante **3289**, 80 à 400 cps, connectable seulement au 3274.

Cee n'est pas le terme de l'évolution de cette famille très réussie qui se perpétue à travers le système 370.

On trouve aussi dans IBMR&D des références à des imprimantes matricielles bon marché, utilisables pour les copies d'écran, par exemple la 3284 à 40 cps, ou la 3286 à 66 cps, avec deux tailles de tampon, 480 ou 1920 caractères. Ces modèles utilisent le principe du fil retenu par un aimant, qu'il faut contrer par une action positive pour le lancer en avant par un solénoïde spécifique ; cette technique qui provoquait l'usure des guidages sera remplacée en 1974 par un dispositif où tous les fils sont de longueur et de courbure égales.

IBM 3287 : c'est une imprimante matricielle qui autorise un choix de quatre couleurs par l'emploi de rubans multicolores commandés par le programme. Cette machine à nombreuses variantes deviendra très populaire : le modèle 11 est 80 cps, le modèle 12 est 120 cps. Caractéristiques physiques : 508 * 673 * 254 mm, 31 Kg, 250 watts.

IBM 3288 : imprimante série à bande de 1973, capable de 120 lpm. Tampon de 1920 caractères qui suggère l'emploi en copie d'écran. Ce mécanisme de bande est une version économique de l'imprimante à chaîne.

Lignes : IBM 3704 : un nouveau contrôleur de lignes apparait en 1973, pour offrir une solution plus économique que le 3705. C'est un minicalculateur avec mémoire 16 à 64 KB, capable de gérer 32 lignes asynchrones ou 2 lignes synchrones jusqu'à 50 Kbauds, et d'émuler les 270X. Caractéristiques physiques : 610 * 910 * 1450 mm, 180 Kg, 2,2 KVA.

IBM 3750 : cet autocommutateur d'entreprises, agréé par les PTT, succède en 1972 au 2750 dans la production de l'Etablissement de la Gaude et les fabrications de l'usine de Montpellier. Géré par deux ordinateurs 16 bits pourvus de disques et se surveillant mutuellement, connectable à l'ordinateur principal de l'entreprise par ligne BSC, susceptible de gérer pour archivage des bandes 3410, ce système contrôle 248 à 2264 postes de tous types commutables par minithyristors : téléphones, lecteurs de badges, claviers, interrupteurs d'appareils quelconques, ordinateurs.

La brochure commerciale commente le logiciel et les possibilités.

IBM 3872 / 4 / 5 sont des modems en modulation delta pour lignes synchrones, produits à Montpellier pour l' Europe et à Raleigh, NC, pour les USA. Le passage à la vitesse moitié est automatique si la ligne se dégrade : les débits sont 2400 / 1200 bauds pour le 3872, 4800 / 2400 pour le 3874, 7200 / 3600 pour le 3875.

Prix typiques : \$ 4650 à 7200 à l'achat, \$ 183 à \$ 282 / mois sur contrat d'un an.

Saisie informatique

IBM 3740 paraît être un système de saisie autonome, aboutissant à de la bande magnétique 800 ou 1600 bpi. Le support intermédiaire est constitué par des disquettes 8" de 250000 caractères, formatées en 74 pistes de 26 secteurs, et vendues 270 FFHT la boîte de 5.

Le **3741** est un poste de saisie à clavier, avec un écran de 240 caractères. Une disquette reçoit les textes. Le programme paraît être inscrit de façon permanente sur une ROM de 24 Kbits. Le poste peut communiquer en BSC avec un autre poste du système, a priori un 3747. Prix 42770 FFHT dans ce dernier cas.

Le **3742** est un poste double, semblable au précédent mais sans possibilité de liaison., et il est limité à des enregistrements de 80 caractères. Prix 39210 FFHT.

Le **3747** est un convertisseur de disquettes à bande, avec un magasin où on peut placer jusqu'à 20 disquettes, et en option une ligne venant d'un 3741. Prix 97200 FFHT.

Le système peut aussi comporter une imprimante 3713 à 34460 FFHT.

Il y a complète contradiction entre ce concept de saisie différée à double détente avec transfert manuel des disquettes, et des dispositifs comme le 3791. Le 3741 paraît incongru, et on soupçonne qu'il a pu être réalisé sur demande d'un client, particulièrement arriéré.

Quoi qu'il en soit des origines du produit, il n'en est pas resté là. On trouvera dans la documentation la mention d'un **3741.3**, présenté comme un ordinateur local, avec 4 à 8 KB de mémoire, un ou deux lecteurs de disquettes, et un petit langage de programmation; Après quoi on évoque un **3741.4** doté en outre du télétraitement, ce qui ramène le système à la norme.

IBM 3760 : en contrepoint de la remarque précédente, le 3760, livrable en juillet 1975, comprend deux postes de saisie disposés face à face, chacun comprenant un clavier de saisie encastré à main droite, et deux écrans à plasma de 6 lignes extraplats disposés dos à dos. Jusqu'à 24 postes peuvent converger vers un contrôleur 3791 qui retransmet le tout par canal ou ligne SDLC, dans le cadre du programme Batch Transfer, fonctionnant sous VTAM.

Prix typique : neuf 3760 et un 3791 coûtent \$ 108880 à l'achat, ou \$ 3063 / mois sur un an, ou \$ 2608 / mois sur contrat de 2 ans.

Terminaux lourds

IBM 3770 est le successeur du 2770 comprenant tout ou partie des composants suivants: clavier alphanumérique, ME 40 ou 80, IP 120, minidisques, LC 50 à 300 et PC 50 avec cartes 80 colonnes, et une liaison SDLC selon protocole 2780 / HASP. Il est produit à Greenock (UK).

Quelques configurations :

- le clavier, une ME 40, une disquette et un modem constituent un terminal 3773.1 qui coûte 75360 FFHT à l'achat, + 365 F d'entretien, ou 2172 FFHT / mois.

- un **3774** comprenant ME 80, IP 120, 2 disquettes, un PC 50 (IBM 3521) utilisable en LC 50, et la liaison par modem coûte 248744 FFHT à l'achat, + 1262 F / mois de maintenance, ou 7505 FFHT / mois.

- un **3776** comprend le processeur câblé, un LC 50 / 150 / 300 / 400, une PC 50, une IP à bande 300 / 400, deux disquettes et un écran de contrôle, avec une liaison BSC jusqu'à 19200 bauds.

- un **3777** comprend les mêmes, sauf l'imprimante qui peut monter à 1000 ou 1200 lpm, et le prix atteint \$ 52600 à l'achat, ou \$ 1461 / mois en leasing sur 2 ans.

Ce terminal remplace aussi le 3780 de 1972., qui fonctionnait sous BTAM et TCAM.

IBM 3767 (1974) est un terminal conversationnel produit à Fujisawa, Japon. Il comprend un minicalculateur capable d'arithmétique, un clavier alphanumérique, une imprimante 40 ou 80 cps à aiguilles, et un modem pour liaison SDLC.

Prix : 40321 FFHT à l'achat + 209 FFHT / mois d'entretien, ou 1276 FFHT / mois.

Terminaux légers - Informatique distribuée

Avec les 370, IBM inaugure une conception toute nouvelle de la téléinformatique, selon laquelle un très grand nombre de terminaux installés sur de lointains sites d'exploitation sont reliés de façon arborescente à l'ordinateur central à travers des concentrateurs intelligents ayant une architecture d'ordinateur, et un statut correspondant en ce sens qu'ils n'ont pas besoin de rendre compte pour chaque transaction.

Voir étude détaillée au chapitre 338 : Informatique distribuée.

Logiciels

Le passage à la mémoire virtuelle a bouleversé le système d'exploitation, non seulement à cause de la nécessité d'introduire la gestion du nouveau dispositif, mais surtout parce que cette nouvelle perception de la mémoire modifie les comportements et déplace les optimums. Alors que l'un des objectifs du grand projet d'IBM était l'unification du logiciel, le réalisme oblige désormais à considérer quatre niveaux de systèmes d'exploitation :

- un système de base, pour petites machines monoprocesseur : DOS/VS, remplaçant DOS
- un système plus élaboré, mais toujours monoprocesseur : OS/VS1, remplaçant OS/MFT. Il évoluera un peu, puis disparaîtra, cédant la place au suivant.
- le véritable OS, prenant en compte tous les dispositifs de l'architecture, y compris le multiprocessing, qui succède à OS/MVT. Cet OS/VS2 ne cessera d'évoluer pour procurer toujours plus de souplesse et d'efficacité, devenant SVS, puis MVS.
- complètement indépendant a priori, VM est initialement une sorte de système de time sharing. Il va évoluer pour devenir un hyperviseur, susceptible de coiffer plusieurs incarnations des autres systèmes.

DOS/VS : c'est le seul système d'exploitation possible sur les 125 et 115, mais il a fréquemment été utilisé aussi sur les 135.3 et 138, parfois sur les 145.3 et 148, et même sur des 158, dans des entreprises dont le personnel avait du mal à suivre les évolutions de l'OS/VS2.

L'édition originale de DOS/VS remonte à 1972, année de l'annonce des 370 VS. Nous disposons de la 6ème édition du manuel DOS/VS, publiée en 4/77 et notée Release 34. On en a tiré une explication en français, logée dans la fiche S/370 VS, pp 9/12.

OS/VS1 : c'est en principe le système d'exploitation des 135.3 et 138, 145.3 et 148, mais rien n'empêche de l'utiliser avec la 158. Nous n'avons pour décrire ce système que quelques articles de l'IBM System Journal, dont on a tiré quelques explications, rassemblées dans la fiche S/370 VS, pp 13/15. Il ressemble à un DOS/VS qui aurait droit à 15 partitions, mais en plus il respecte intégralement la procédure DAT d'allocation.

Sur le plan pratique, le fonctionnement d'OS/VS1 a été accéléré sur la 148 par la rédaction de 32 opérations microprogrammées, dont l'ensemble constitue le lot **ECPS:VS1**. Voir fiche 148.

OS/VS2 : ce système n'était pas, au départ, très différent de OS/VS1, et le commentaire précité ne sait pas faire la différence, faute d'un document particulier consacré à **SVS**, Single Virtual Storage, le nom familier du Release 1 du projet OS/VS2.

Ce système était en tout état de cause médiocre, non dans son principe, mais par l'inadaptation frappante entre une mémoire virtuelle commune à tous les usagers et au système d'une grosse machine, et limitée par construction à 16 MB.

Les responsables du projet ont donc, dès la fin de 1972, entrepris une restructuration fondamentale de VS2, visant à donner à chaque job une mémoire virtuelle de 16 MB, dont il faut malheureusement déduire les fractions allouées en permanence au système. La difficulté est que l'architecture ne définit rien de ce genre, de sorte que le mécanisme doit être simulé : à chaque changement de tâche, la table des segments doit être modifiée, ou plus exactement la partie de cette table qui concerne le job activé, puisque le reste des entrées pointe toujours la même chose, à savoir les segments appartenant au système. Cela peut se faire en changeant seulement le pointeur de la table active dans CR1, si toutes les tables contiennent une copie de la partie commune, et c'est le procédé le plus économique si les tâches sont en moyenne activées plusieurs fois ; si on veut éviter ces duplications qui grignotent la mémoire virtuelle de l'utilisateur, il faut prévoir une table active dans laquelle on remplace à chaque changement de tâche, à partir des tables particulières des jobs, les entrées correspondant au job actif. On ignore la solution choisie.

On trouvera en archives trois documents intéressants sur **MVS** : un document de 1973 expliquant les ambitions du système, un document de 1980 faisant le point sur le projet VS2 qui en est à sa version 3.8, et un document de 1982 décrivant MVS devenu package payant. Une synthèse en français des deux derniers figure dans les pages 16 à 21 de la fiche S/370 VS.

On dispose également de divers articles parus dans IBM System Journal.

VMF/370 : initialement simple système de temps partagé écrit par un coopérant et contribution au sauvetage commercial de l'opération 360/67, VM a changé de statut en devenant un programme officiellement reconnu par IBM et commercialisé :

- par CMS, moniteur réentrant, il met à la disposition de chaque usager l'apparence d'une machine personnelle taillée à la mesure de ses besoins, ce qu'on ne tardera pas à baptiser une "machine virtuelle" qui peut être 360 ou 370. Gros succès chez les utilisateurs de profil chercheur.

- par CP, qui peut partager les ressources réelles, matérielles et logicielles, entre de nombreux programmes, il peut faire fonctionner simultanément plusieurs systèmes d'exploitation en les protégeant l'un de l'autre : non seulement les diverses machines virtuelles de CMS, à très faible consommation de puissance, mais aussi un gros système bien concret comme MVS avec la majeure partie des ressources matérielles de l'ordinateur. Gros succès chez les ingénieurs de système, qui découvrent le moyen d'expérimenter sur les nouvelles versions tout en exploitant les anciennes, et cela à frais modérés.

En 1972, il ne s'agit encore que d'un concept, mais IBM et ses clients vont beaucoup travailler sur l'idée, pour aboutir vers 1983 à une consécration. Pour cette période encore tâtonnante, pas de documentation officielle dans les archives, mais une synthèse en français dans la fiche S / 370 VS, et de nombreuses références disponibles dans IBM System Journal.

VMF 370 a fait l'objet d'assistance microprogrammée dans l'architecture elle-même (bits 0 et 7 de CR6), dans le programme VM sous la forme d'opérations nouvelles chargées à l' IPL, et en option dans les 135 à 148 sous le sigle **ECPS : VM**.

Applications : nous citerons seulement, pour y renvoyer, quelques articles tirés du IBM System Journal, titrant sur des réalisations contemporaines du System 370 VS, qui deviendront ensuite soit des produits programmes, soit des inclusions dans l'un ou l'autre des systèmes d'exploitation :

MVS : Vol 13, N° 1, 1974 : deux articles sur le multiprocessing serré dans les 370 (158 et 168 MP)

Vol 16, N° 4, 1978 : MARC : archivage sur 3850 sous MVS

Vol 17, N° 3, 1978 : travail sur MVS/TSO à partir de postes 3270

id : ajustement des performances dans MVS 3.6

VM : Vol 14, N° 2, 1975 : Outils de mesures de performances dans VM 370

Vol 15, N° 1, 1976 : A study of VM 370 integrity

Vol 20, N° 4, 1981 : The VM 370 Resources Limiter

IMS : Vol 16, N° 4, 1977 : PDCC, extensions de services à la base de données IMS

Vol 17, N° 3, 1978 : DEMF, traitement d'incidents lors d'accès distants à IMS à travers TCAM

BD : Vol 16, N° 4, 1977 : Query by example, langage d'accès aux bases de données

id Evaluation des coûts d'accès à une BD relationnelle expérimentale : System R

Divers : id Exploitation d'un modèle économétrique construit chez IBM

Vol 17, N° 3, 1978 : Art graphique en couleurs sur ordinateur

Seconde transition

En 1978 IBM sait parfaitement que ses systèmes 370 sont à bout de souffle, pour les raisons suivantes, touchant au matériel comme aux idées :

a) la technologie MST, qui hybride des MSI ECL et des composants sérigraphiés sur des petits socles de céramique, n'est plus capable de suivre les accroissements de densité qu'exigent les fréquences des circuits, ni de garantir la propagation harmonieuse de ces signaux sur des distances trop grandes ; et, de toutes façons, ces densités vont provoquer des échauffements insupportables. Il faut complètement repenser la technologie, et trouver des solutions capables de tenir dix ans.

b) on a vu dans la présentation de MVS que dans les conditions courantes de 1978, l'architecture VS ne laisse que 5 à 10 MB à chaque job dans une 168, et c'est trop peu.

En réalité, il y a des années que la prise de conscience a eu lieu, et que les laboratoires travaillent sur une solution. Mais, en 1978, cette solution n'est pas prête, il y a un interim à organiser. Ce sera le **3033**, annoncé en 3 / 78 et très bien accepté, sans que rien ne laisse supposer aux clients qu'un renouvellement complet est à l'ordre du jour, et qu'il ne s'agit que d'une solution d'attente.

Architecture

Ces machines sont toujours des S / 370 VS et obéissent à la description de la version 7 des *Principles of Operation*, diffusée en 1980. Ce document n'étant pas en notre possession, nous tirons de la version 8 les renseignements correspondants. Les 303X comportent en standard les dispositifs suivants, qui ne figuraient pas dans la version 5 décrivant les 370 VS :

- Extensions du mécanisme de DAT, avec opérations **Invalidate Page Table Entry** et **Test protection**, protection des adresses basses, et 12 opérations non programmables de MVS Assistance.
- Toutes les dispositions d'entrées/sorties qui n'existaient jusque là qu'à travers le 2880 : opérations **Clear I/O**, **Fast Release** et **Halt Device**, ainsi que la possibilité de Command retry et de logout étendu.
- Diverses extensions du traitement d'incidents matériels dans CPU et canaux.

D'autres dispositions ne sont qu'optionnelles :

- La 3031 se désengage du temps réel et peut ne pas disposer des opérations **Read Direct** et **Write direct**, ni des signaux dirigés vers l'extérieur. Le lot de multiprocessing n'existe que pour les configurations AP, car il n'est pas prévu de configuration MP.
- La 3032 n'a pas de possibilité de multiprocessing.
- La 3033 existe en versions AP et MP, disposant du lot multiprocessing avec une nouveauté encore hors architecture : la possibilité de commuter par programme les canaux entre les processeurs.

Enfin, diverses dispositions qui n'apparaîtront que dans l'édition 8 des *Principles*, en 1981, sont proposées en options avec le risque de n'être pas maîtrisées, ni supportées par le logiciel :

- Le **DAS, Dual Adress Space**, modification majeure de l'édition 8, n'est qu'une option pour les 3031 et 3033 ; elle sera seulement simulée, et non microprogrammée. Elle n'a d'ailleurs de sens qu'après l'entrée en service du système d'exploitation qui la supporte, **MVS. SP2**.
- L'extension d'adressage réel à 26 bits, avec son effet sur toutes les tables et sur les canaux, est une option de la seule 3033. Il en est de même des possibilités de queuing et de suspension des canaux, et du passage à 4KB de la protection par clés.
- Les opérations **Branch and Save** et **Move inverse** sont optionnelles dans la 3033.

Ces complications sont caractéristiques d'une période de transition, où la pression des clients est plus forte que le souci de rationalité et d'ordre qui prévaut quand tout va bien commercialement.

Machines

3031 : cette machine est la continuation des 155 et 158, avec des améliorations de performances obtenues par superposition de nouvelles micromachines (XAR et WWLE) en divers points de l'ancienne, qui subsiste. Cet empilement de matériels paraît déraisonnable, mais il est plus économique que la conception d'une machine nouvelle, car les chaînes de production sont amorties.

Les canaux sont maintenant complètement dissociés de l'IEF, c'est-à-dire de la micromachine centrale. Ils sont gérés par une micromachine particulière, le Directeur, qui assure l'approvisionnement des tampons de sous-canaux et la programmation de leurs interfaces.

Nous disposons de trois niveaux de documentation :

- une fiche très étoffée, dont le contenu est une synthèse en français des informations suivantes.
- les documents technico-commerciaux d'IBM, guide de présentation et fonctionnal characteristics. Le guide vaut pour le monoprocesseur UP comme pour le biprocesseur AP. Ce dernier, qui associe un **CPU 3041** sans opérations d'accès à un 3031, ne contient qu'un seul directeur.
- le document de maintenance SY22 - 7031 contient une description complète de l'IEF à l'usage du personnel de maintenance, très peu adaptée à un simple souci d'information. C'est la raison pour laquelle on en a tiré la matière d'une fiche descriptive en français.

Ce document nous a permis en outre de comprendre la structure des machines antérieures, 155 et 158.

Nous n'avons que peu d'information sur le Directeur, puisque le document de maintenance ne concerne que l'IEF. Les schémas trouvés dans ce volume 2 semblent indiquer que les deux micromachines sont du même type, avec microinstructions de 72 bits travaillant sur deux mémoires locales ; c'est un choix idéal pour minimiser l'investissement intellectuel sur une machine dépassée :

- la micromachine de l'IEF dispose de 8 K instructions qu'elle exploite sur ses propres opérateurs, et sur les opérateurs extérieurs à elle que sont la mémoire, le I fetch (bloc de commande), le XAR et le WWLE.
- la micromachine du Directeur n'a besoin que de 4 K instructions pour gérer, outre ses mêmes opérateurs propres, ses relations extérieures avec la mémoire et les tampons d'entrées / sorties.

La machine dispose d'un pupitre d'opérateurs à deux positions, contenant deux processeurs équipés chacun d'un lecteur de disquettes, d'un écran / clavier, et d'une liaison bidirectionnelle d'entrée / sortie. On peut ainsi surveiller simultanément deux programmes, l'exploitation et la maintenance par exemple.

Les deux processeurs ont accès, à travers des ports spécialisés série, aux alimentations (pour les activer ou les couper), à l'IEF et au Directeur pour charger leurs microprogrammes lors de l'IMPL ou pour des diagnostics. On est encore loin des luxueuses installations de surveillance de la période suivante, mais toutes les idées sont déjà présentes.

3032 : héritière directe de la 168.3 et se présentant comme telle, cette machine est la sacrifiée de la famille, qui doit pour des raisons marketing exalter la nouveauté et les performances de la 3033. La technologie MST4 étant inchangée, l'unité centrale n'apporte pratiquement aucun bénéfice par rapport à la 168.3, et l'accroissement à 4 Kmots de la mémoire de microprogrammes a seulement pour but de prendre en charge les petites modifications architecturales citées plus haut, notamment les **MVS Assists**.

La mémoire non plus ne change pas de technologie (statique en puces de 2Kbits, modularité commerciale 2 MB, technique 1 MB, cycle 320 ns, 64 bits + SECDED). Son efficacité est accrue par un cache 32 KB, organisé en 8 lignes et 128 colonnes de blocs 32 B. Sa capacité est plafonnée à 8 MB pour ne pas faire d'ombre à la 3033.

La vraie nouveauté réside dans l'organisation des entrées / sorties : les canaux hérités des 360 ont fait leur temps, et sont remplacés par des Directeurs, microprogrammés sur des micromachines de 155, éventuellement récupérées. Ce choix plafonne à 6,5 MB/s le débit cumulé d'un directeur, qui peut découper celui-ci en :

- un byte multiplex, 40 à 75 KB/s sur 256 sous-canaux
- cinq block multiplex à 1,5 MB/s, dont un peut être équipé d'un tampon et d'une interface 16 bits, autorisant un débit de 3 MB/s, sans augmentation du débit global.

La microprogrammation de ces directeurs est totalement indépendante de celle du CPU, c'est leur technologie MST2 qui fixe les limites du débit individuel.

Les armoires sont conçues pour que l'un des directeurs soit optionnel, et on sait qu'il n'est pas prévu de configuration biprocesseur.

La console d'opérateurs est symbolique de la nouvelle philosophie de maintenance, qui permet de faire coexister une exploitation normale avec la maintenance, et par exemple d'isoler logiquement un directeur et de le dépanner tandis que l'autre assure les entrées / sorties. Il y a donc deux processeurs de service, deux lecteurs de disquettes pour l'IML et / ou les diagnostics, comme expliqué pour la 3031, mais ici la télémaintenance est prévue et très employée, autant pour préparer les dépannages que pour approvisionner en données le calculateur central de la maintenance chez le constructeur, dont les statistiques sont l'outil essentiel pour définir la politique des rechanges et détecter les évolutions techniques les plus souhaitables.

Les processeurs de service du pupitre sont des microprocesseurs de construction IBM, disposant d'une mémoire principale de 32 K mots de 10 bits + P (dont un tampon d'écran de 4 K), d'une ALU de 5 + P bits, et d'une mémoire locale de $32 * (5 + P)$ bits. Le programme de ce processeur est chargé à partir de la disquette sous le contrôle d'un bootstrap sur ROM de 256 mots de 10 + P bits ; le processeur est microprogrammé par une ROM de microcode de $64 * 8$ bits, une instruction pouvant exiger jusqu'à 4 microinstructions pour son interprétation.

Le rôle de ces processeurs est de gérer leurs périphériques et de communiquer avec le 3032 à travers un sous-canal affecté d'un BMUX, et en sens inverse le 3032 peut, à travers ce canal, écrire sur l'écran ou sur une disquette présente sur le lecteur. Mais la principale activité du processeur est de contrôler le matériel 3032 : à cet effet il accède en permanence, à travers une armoire du 3032 baptisée maintenance control, à 190 points de mesure qui sont explorés à tour de rôle toutes les 80 ns. Si une condition particulière, sélectionnée au pupitre, est constatée, le maintenance control transmet un logout de toutes ses mesures au processeur de maintenance qui s'occupe de cette interface. Avec ce système, la maintenance en ligne approche son régime de croisière.

La documentation s'appuie essentiellement sur le document de maintenance en six fascicules SY22 - 7021 à 7027, très complet mais d'exploitation difficile. On en a tiré trois fiches sur l'organisation générale, la E fonction (bloc de calcul) microprogrammée, et les directeurs microprogrammés. La description de la E fonction est, dans une large mesure, applicable à la 168.3.

3033 : machine d'appel dans l'annonce de 1977, la 3033 a été présentée seule en mars, pour apparaître comme le haut de gamme de la famille 370 VS, les deux autres ne suivant qu'en octobre, présentées comme des modernisations des machines existantes selon les nouveaux principes inaugurés par la 3033. C'est a posteriori assez comique puisqu'il ne s'agissait dans les trois cas que de replâtrage en attendant les vraies nouveautés qui ne sortiront qu'en 1981. Quoi qu'il en soit, cela a fort bien marché.

La 3033 utilise la même technologie MST4 que la 168.3, mais avec des puces MSI ECL pour pouvoir descendre la période à 57 ns, soit un bénéfice de 40 % qu'améliorent une mémoire à entrelacement 8 à cycle de 285 ns, et un cache 64 KB organisé en 16 lignes et 64 colonnes de blocs 64 Bytes.

Le bloc de commande comporte trois voies de décodage pour pouvoir réagir sans perte de temps à deux branchements conditionnels successifs, et des queues allongées à l'interface du bloc de calcul pour en lisser les lenteurs, car c'est la même E Fonction que la 168.3.

Les entrées / sorties sont organisées avec un maximum de trois décodeurs et 16 canaux, au moyen des mêmes directeurs que nous avons décrits pour les autres 303X ; deux directeurs sont standard, un optionnel.

La maintenance utilise la même console **3036** que le 3032 et la même stratégie décrite ci-dessus.

La concurrence très dure que fait à IBM la société Amdahl à l'aide de processeurs japonais utilisant des circuits ECL refroidis par air oblige IBM, dans les années suivantes, à une débauche d'annonces destinées à maintenir la pression sur la clientèle :

- annonce en 4 / 78 du **3033 MP**, 16 MB, 32 canaux, 9 Mips
- généralisation de la mémoire 16 MB (maximum architectural) à tous les 3033, en 12 / 78.
- annonce en 1 / 79 du **3033 AP**, avec le processeur attaché 3042 : 16 MB, 16 canaux, 7,5 Mips

- annonce en 12 / 79 du **3033 N**, version dégradée ne disposant que d'un cache 16 KB et estimée 3,6 Mips. Cette machine met fin officiellement à la courte carrière du 3032, qu'elle remplace.
 - anticipant sans le dire sur la version 8 non encore publiée des Principes, IBM annonce en 6 / 80 un **3033 U**, dont la mémoire peut désormais atteindre 24 MB, et qui dispose du DAS, supporté par la nouvelle version SP 1.3 de MVS.
Ce matériel est estimé à 4,8 Mips et coûte 14,4 MFFHT en 8 MB.
 - la **3081** est annoncé le 12 / 11 / 80, et désormais on ne peut plus vendre les 3033 qu'au rabais, après seulement 2,5 années de vie effective, puisque les premières livraisons étaient intervenues en 3 / 78. Le même jour est donc annoncée la **3033 S**, mémoire de 4 à 8 MB réalisée en chips 16 Kbits, cache limité à 8 KB (8 lignes et 32 colonnes de blocs 32 bytes) : cette machine bridée est estimée 2,6 Mips et vendue 7,3 MFFHT.
 - annonce en 10 / 81 que la **3033 S** peut être accélérée de 8% sans variation de prix.
- On serait tenté de pleurer sur l'énergie gaspillée dans des études aussi mal amorties si l'on ne se rappelait que le prix de revient du matériel ne représente pas plus de 15% du prix de vente chez IBM : dans le cas présent, la guerre commerciale n'a donc causé que du manque à gagner, pas de perte.

Logiciel

Les trois machines fonctionnent sur la version MVS / SE du système d'exploitation, apparue au cours des années 70, mais on peut en tirer un peu plus. IBM propose en 1980 un nouveau logiciel MVS / SP qui englobe tous les services précédents et en diffère par une plus forte participation de microprogrammes spécialement conçus, inconnus des usagers. Il existe en deux versions JES2 et JES3, selon mode d'accès. Les nouveautés de SP par rapport à SE sont les suivantes :

- adressage 32 MB, dont l'emploi exige un supplément de mémoire de microprogramme et un meuble 3038, pour le prix de \$ 12000 ou \$ 400 /mois. A partir du Release 2, cette disposition autorise la communication directe entre espaces d'adressage (cross memory service), et le multisystem support permet des mises à jour simultanées. Le prix de ce rel 2 est \$ 1475 .
- support de nouveaux disques, \$ 75 par mois.
- protection et récupération de données (en cas d'incident) sur ces disques et sur le 3850 : \$ 75 / mois.
- intégration de ces nouveaux disques dans VSAM, \$ 140 / mois.
- gestion hiérarchique des diverses mémoires Rel 3, prix \$ 385 par mois.
- le débit de 3 MB/s permis par les nouveaux périphériques est permis en standard dans les 303X.

Applications

Il n'est plus du tout question, comme à la fin des années 60, d'examiner toutes applications recensées des calculateurs IBM. Il s'agit plutôt, sur un choix d'exemples spectaculaires, de montrer la place prise par l'informatique dans quelques grandes entreprises, vérifiant en même temps qu'aucun client ne se sent tenu à une fidélité à 100% :

ARCO, Dallas : il s'agit d'une entreprise très axée sur l'exploitation en batch. Les ordinateurs de 1976 sont un biprocesseur 168 MP, un monoprocesseur 168, renforcés d'un 3033 en 1978. La salle machines contient 23 dérouleurs de bandes, avec une bibliothèque de 53000 bandes, et 472 GB sur cartouches 3850.

BABS, British Airways 1973 : cette compagnie qui fusionne les BEA et BOAC a remplacé leurs systèmes de réservation BEAcon et BOAdicea par un système BABS, centré sur deux IBM 168 : 20 calculateurs Argus T collectent les demandes de 600 terminaux Ferranti.

Banque de Montreal, Canada, 70-79 : en évolution très rapide, cette banque dispose en 1979 d'une 168.3, d'une 3033 et d'une machine Amdahl, avec 69 GB de disques 3330 et 3350, et 70 dérouleurs de bandes. L'activité de jour est essentiellement transactionnelle, atteignant 5 millions de transactions par jour.

McDonnell Douglas Automation, St Louis 1980 : le centre de St Louis a été complètement renouvelé au cours de la décennie 70 et comprend maintenant 7 * 3033 organisées en deux groupes, interconnectés avec deux autres groupes de 3033 à Long Beach, Cal, le tout servant 16000 terminaux distribués entre 3000 clients et les besoins propres. Ce centre de gestion administrative se complète de deux CDC 750, un CDC 730, un Cyber 175, une 3033 et une 3031 plutôt scientifiques. Le travail hebdomadaire se décompose en 50000 jobs batch, 30000 jobs de temps partagé, et 6,5 millions de transactions sur la base de données IMS.

Le centre de St Louis est alimenté par deux lignes de 34500 Volts provenant de deux fournisseurs différents, la sécurité étant assurée par 4 diesels et une batterie tampon de 10020 éléments. Un IBM Series/1 sert de surveillant avec 2000 points de mesure sur les distributions d'eau, d'air et d'électricité. A titre indicatif, le revenu 1980 du centre de calcul de McAuto s'élève à M\$ 227.

SNCF, Batignolles 1973 : cette réservation débutante comprend une 158 avec mémoire de 2 MB et une 168 de 3 MB, avec deux disques 2305, 30 disques 3330, 8 bandes 3420, les liaisons étant gérées par trois 2701 qui relient ce système à celui d'Auteuil où convergent un millier de terminaux de province, et trois 3704 servant les gares. Cette première organisation exploite 650 terminaux Olivetti TE 355 et 250 IBM 4508. Fonctionnant sous MVT et HASP, ce petit système répond à 40000 demandes par jour, dont 25000 en une heure de pointe. Le logiciel comprend 95000 lignes d'assembleur pour le programme en temps réel, et 65000 lignes de PL/I pour le batch.

TOPS, British Railways 1973 : ce centre de réservation comprend deux 165 installées à Marylebone, gérant 400 terminaux Unidata 9200, à base de Datapoint 2200 (usine à Londres).

CCDN est en 1974 le principal réseau interne d'IBM, construit autour de quatre unités centrales 370 télégérées depuis New York. Le nombre des correspondants connectés ne cessera d'augmenter. On note qu'il comprend en 1981 15000 terminaux SNA.

333 - Histoire des "Mainframes", 3ème partie : retour au matériel

Bien que, officiellement, l'architecture des Mainframes IBM soit toujours S / 370 VS, l'âpreté des luttes commerciales ne laisse plus au constructeur le loisir d'habiller ses décisions marketing de considérations générales sur l'unicité de l'architecture et la compatibilité des machines. Les réalités du marché de 1980 ont, de facto, mis fin à tout cela :

- l'architecture haut de gamme est devenue si compliquée qu'elle ne peut plus être respectée par les petites machines : les capacités de mémoire qu'achètent les PME ne suffiraient pas à loger la version de MVS capable de la représenter. Il a donc été nécessaire de sélectionner un sous-ensemble pour machines petites et moyennes, qui a eu immédiatement tendance à s'écarter de l'exacte compatibilité ascendante.

- la technologie MST a atteint ses limites : en particulier, elle est incapable d'évacuer la chaleur dégagée par les circuits ECL, indispensables aux machines haut de gamme. Convaincus que cela va durer des années, les ingénieurs de la DPD, Data Processing Division, créent une structure complètement originale, le TCM, Thermally Controlled Module, qui permet à la fois le refroidissement par circulation d'eau et une maintenance aisée, et qui peut supporter dix ans de progrès techniques.

- les TCM coûtent beaucoup trop cher pour les PME, donc il faut développer pour le bas de gamme une technologie différente. Ce seront les MCM, MultiChips Modules, refroidis par air, accessibles et démontables, qui connaîtront au moins deux générations.

Dès ce moment, on se demande s'il est possible de réaliser un microprocesseur émulant l'architecture 370, et les premières expériences ont lieu, concluant d'ailleurs à la négative.

- les styles d'exploitation engendrés par ces techniques vont susciter une sorte de césure sociale entre les clients des deux catégories de machines, qui communiquent de moins en moins : un usager des 43XX, les machines construites en MCM, n'envisage pas sans inquiétude le jour où la croissance de son informatique saturera les plus grosses machines de cette famille. Pour ne pas perdre ce client, IBM pousse cette gamme vers le haut, jusqu'au recouvrement avec les plus petites configurations des 30XX, les machines haut de gamme ; il faut au minimum veiller à ce que les 43XX et 30XX de même puissance soient compatibles.

- la pression de la concurrence pousse le marketing à multiplier les annonces et même à céder au sensationnalisme : les améliorations successives sont un peu trop facilement baptisées "architecture nouvelle", avec un nouveau nom et un nouveau *Principles of Operation*, et le caractère artificiel de certains de ces regroupements n'échappe pas à la clientèle, dont l'esprit critique est aiguisé par une presse technique souvent hostile à IBM, jugée trop directive et trop isolationiste.

En complète contradiction avec les objectifs qui avaient présidé à la naissance des 360, les architectures se succèdent au moins aussi vite que les matériels, et les mutations correspondantes, qui obligent à changer de système d'exploitation, ne coïncident pas avec les renouvellements de gammes. Les relations du constructeur avec les clients deviennent difficiles : heureusement elles sont rares, car la disponibilité des matériels est remarquable, et l'entretien périodique contractuel presque symbolique.

Pour compléter ce tableau, il faut comprendre que ces évolutions se produisent dans un monde informatique révolutionné par le microprocesseur et la miniaturisation, où les acteurs traditionnels disparaissent

les uns après les autres, tandis que leurs clients réévaluent leurs besoins et leurs budgets : le temps d'une informatique spectacle participant à la renommée de l'entreprise est complètement révolu.

Vers 1993, le creux de la vague pour IBM :

- il n'y a plus de demande pour la compatibilité vers le haut dans les applications des PME et des départements autonomes d'entreprises, c'est-à-dire plus de place pour les mainframes. IBM garde une part de ce marché parce qu'elle a développé à temps les stations de travail RS / 6000 et les calculateurs départementaux AS / 400, mais cette part n'est plus majoritaire ; tous les concurrents d'IBM qui ont survécu et tous les nouveaux constructeurs lui disputent ces domaines, dont elle a réussi à garder 10 à 15% .

- IBM reste seule, face aux japonais, sur le marché des mainframes qui existe toujours dans les grandes entreprises, où la qualité inégalée des services offerts par ces machines est appréciée à sa juste valeur technique et économique. Il est cependant urgent de baisser les prix, ce qui exige de changer de technique. IBM saura prendre ce virage et préserver ce qui attire les clients : le service.

Pour décrire correctement cette période 80 / 93, il faut situer les étapes dans les divers domaines, conceptuel et matériel, qui se sont concrétisés à partir de 1981 : un modèle est défini par une architecture et une conception technique. Nous présenterons d'abord les architectures, car il est plus facile de changer la microprogrammation d'une machine que son câblage. La plupart des conceptions techniques ont du s'adapter à deux architectures au moins.

Architectures

S / 370 VS : en 1981, la publication de la version 8 des *Principles* fait dans son appendice D le point sur l'implantation des dispositifs listés à travers les machines qui viennent d'être annoncées. Nous prenons cette 9ème édition comme point de départ, ce qui peut paraître absurde : c'est que les machines en question sont les premières à utiliser les technologies de la décennie à venir ; déjà, il y a priorité du matériel sur le conceptuel, ce que veut signifier le titre de la rubrique 333.

a) par définition , le nouveau haut de gamme 3081 contient en standard toutes les dispositions de l'édition 8, y compris le multiprocessing puisque c'est un biprocesseur. Essentiellement, par rapport à la version 7, il s'agit des nouveautés suivantes, énoncées dans l'ordre alphabétique :

- opération **Branch and Save** de changement de contexte.
- possibilité de channel switching programmé en cas de multiprocessing, permis par l'indépendance des Directeurs à l'égard des CPU.
- suppression du Direct Control : on admet que, dans cette classe de puissance, les actions "temps réel" au sens strict (réactions en quelques microsecondes) sont sous-traitées à des machines spécialisées.
- introduction du DAS. Voir plus loin une analyse de cette grosse modification.
- extension à 26 bits de l'adressage réel dans les tables, et à 31 bits dans les opérations qui touchent aux clés de protection. La mémoire physique est donc autorisée à dépasser les 16M bytes qui la bornaient jusque là, mais la procédure d'adressage tronque toujours son résultat à 24 bits, même lorsque le mode virtuel est suspendu. Ainsi, la mémoire physique n'est banalisée que jusqu'à 64 MB, et s'il advenait qu'on réalisât une mémoire physique plus grande, elle ne pourrait servir qu'aux entrées/sorties à travers les IDAW de 31 bits.
- introduction de la protection par anneaux dans l'espace virtuel, au niveau des segments.
- création d'une interruption de classe externe par laquelle un processeur de service peut communiquer avec un processeur principal.
- protection de mémoire réelle par pages de 4 KB lorsque la mémoire physique dépasse 16 MB. Une nouvelle opération **Test block** permet de consulter la clé de protection d'un tel bloc de 4 KB.
- nouvelles commodités dans les canaux : il est possible de mettre en file d'attente les SIOF de lancement, et d'en recevoir l'accusé de réception quand le canal est libéré des actions plus prioritaires. Il est aussi possible de suspendre l'action d'un sous-canal et de la reprendre plus tard.

L'extension de mémoire physique est certes importante, mais elle vient simplement à son heure, avec comme objectif de permettre aux clients très chargés de conserver l'efficacité du système en toutes situations. Mais la création du DAS est plus significative. Comme son nom ne l'indique pas, il s'agit de beaucoup plus que de donner deux espaces d'adressage au lieu d'un à chaque tâche : l'utilisateur est invité à structurer, par l'intermédiaire de nouvelles tables d'autorisations à deux étages, l'ensemble de ses applications et de ses données pour répondre à ces questions: quels services peut invoquer telle application ? quelles données peut consulter telle application ? quelles données peut modifier telle application ?

Grâce à ces tables, s'il n'y a jamais que deux espaces actifs dans la machine à un instant donné, un primaire agissant et un secondaire passif ou subordonné, il est en fait possible à une application, par ruptures de séquence interespaces, de parcourir tout l'éventail du logiciel connu du calculateur, sous réserve d'autorisation au cas par cas.

On appréciera, d'autre part, l'apparition d'une protection par anneaux à 4 niveaux, selon le schéma aujourd'hui bien connu : noyau, système d'intérêt général, travaux de production, travaux en cours de mise au point. La sécurité d'ensemble du système en est accrue.

b) par opposition à ce déploiement de possibilités, les calculateurs plus modestes n'ont besoin pratiquement que du système d'exploitation S / 370 VS d'origine, corrigé de petits défauts et / ou insuffisances constatés pendant huit années d'exploitation, soit pratiquement :

- les opérations **Clear I/O** et **Halt device** qui correspondent mieux que les anciennes au mode d'emploi des périphériques du moment.
- le Command Retry qui réduit notablement la proportion d'incidents visibles sur disques et bandes.
- les logout limités, plus économiques en place mémoire que les rapports fleuves prévus dans le système complet.
- l'opération **Move Inverse** qui permet, à faible prix, l'emploi de certains périphériques dont ne se servent pas les machines plus puissantes.

La dernière opération est une cause d'incompatibilité car, sans elle, le système d'exploitation des petites machines est un sous-ensemble de la version 8. En créant les 43XX, IBM estime que c'est ce système qui répond le mieux aux besoins de la clientèle potentielle, ce en quoi on peut se fier à son expérience ; mais elle estime en outre que les programmes de ces clients particuliers n'auront jamais besoin de passer sur les grosses machines, et qu'en conséquence :

- elle rédige pour eux un deuxième *Principles of Operation*, GA22 - 7070. 0, publié en 1979. Ce document décrit une architecture à mémoire virtuelle nouvelle, incompatible avec celle des S / 370 VS.

- et elle bâtit le système d'exploitation nouveau **DOS / VSE**, qui doit son efficacité à un jeu d'opérations nouvelles, baptisé **ECPS : VSE**, matérialisant par microprogrammation l'architecture précédente.

On mesure le parcours intellectuel entre cette décision de marketing et les remarques glissées dans un article précité des CACM, décrivant la démarche du gardien du projet, et commençant par : "le document *Principles of Operation* est unique".

IBM en est pleinement conscient et souligne dans les premières pages du GA22-7070 que ECPS:VSE n'est qu'un mode ; les 43XX peuvent aussi travailler en mode S / 370 VS pour utiliser OS / VS1 ou VM 370. Néanmoins, c'est reconnaître que le rêve de l'architecture unique était une utopie, parce qu'incompatible avec l'économie.

S / 370 XA : en mars 83 paraît le document *Principles of Operation* SA22 - 7085 - 0 qui tire un trait sur douze années de S / 370 VS et pose les bases de ce qui paraît être, en examinant les divers modèles 30XX existants, l'architecture des dix prochaines années, Extended Architecture.

Cette nouvelle édition des *Principles* est présentée dans un volume de 592 pages et décrit une architecture qui reconnaît 208 instructions, ce qui représente une sérieuse inflation par rapport aux précédentes. Cette édition est réalisée en pages non reliées, produites par traitement de texte et diffusée par photocopieuse, ce qui lui enlève beaucoup de la solennité qu'avaient les premières éditions : on sent que les renouvellements seront rapides. Le document est présenté sous une couverture caractéristique gris / blanc / rouge, et l'on reconnaît à ce signe tous les documents associés contemporains.

Les *Principles* sont l'unique référence sur l'architecture XA, et nous disposons de deux exemplaires dans les boîtes d'archives 69 et 70. Cependant, la lecture de ce pavé implique une grande familiarité avec tout le passé des mainframes IBM, et nous recommandons une démarche différente, utilisant comme guide la fiche de synthèse System / 370 XA

Les aspects proprement architecturaux sont traités dans les pages 3, 9 à 11 de la fiche, qui commentent des documents complémentaires regroupés dans la boîte 69 :

a) un article de Padegs, responsable du projet XA, tiré de IBMR&D, décrit assez sommairement l'architecture en justifiant chacun des choix. Disons en raccourci que ces choix, concernant le CPU, portent sur la taille de la mémoire physique et sur celle de la mémoire virtuelle, toutes deux limitées seulement désormais par un adressage 31 bits, ce qui correspond à 2 GB. Cette décision a bien entendu des répercussions partout dans la machine, qui sont commentées dans l'article et explicitées très soigneusement dans les *Principles*, et qui ne seront pas reprises ici.

Pour ne pas effrayer les clients, un mode 24 bits est préservé, qui n'est autre que l'architecture S / 370 VS. 8 précédente, ce qui permet de faire fonctionner tous les anciens programmes sur une machine vouée à XA.

b) un article de Cormier et al décrit le nouveau fonctionnement des entrées / sorties, évolution radicale destinée à dissocier autant que possible la fonction manipulation de données du ou des CPU de la fonction de communication. Le système d'entrées / sorties comprend désormais, conceptuellement, 256 canaux matériels et 65536 sous-canaux logiciels.

Les premiers se répartissent les liaisons physiques entre la mémoire et les divers périphériques, et la règle sera désormais de multiplier ces liaisons sur chaque périphérique, le nombre (jusqu'à 8 par contrôleur) et le type (9 ou 18 bits) de voies étant choisi au prorata des débits attendus et de la fréquence estimée des échanges.

Les canaux sont flottants en ce sens que les CPU ignorent en général la voie utilisée pour un échange particulier qu'ils ont suscité, voie qui peut changer de l'un à l'autre. Les sous-canaux ne sont que des cadres de programmation, et on peut théoriquement imaginer que ces programmes soient tous affectés, à raison d'un par périphérique.

Aucune machine réelle ne sera jamais dotée de ressources aussi larges, mais désormais le concept est en place, et couvre toutes les réalités imaginables.

c) la boîte 69 contient encore quatre autres documents, parés des couleurs XA. Ils ne font pas explicitement partie de l'architecture, pour diverses raisons, principalement calendaires. Lorsqu'ils ont été au point, on a préféré les éditer séparément, plutôt que de sortir une version corrigée des Principes.

- SA22 - 7091.0 **IBM Channel - to - channel Adapter** (6 / 83) décrit l'abstraction d'un périphérique spécial, existant depuis trois générations d'architectures : il s'agit d'une "boîte" à insérer sur le câble reliant des canaux de deux ordinateurs, mais le document ne contient aucune allusion à un quelconque matériel. Il se borne à formaliser une procédure, dans le style austère et rigoureux des Principes.

- SA22 - 7094.1 **Mathematical Assists** (2ème édition de 12 / 84) est catalogué IBM System / 370 mais fait effectivement référence à XA, à S / 370 et à ECPS : VSE, indiquant les architectures qui sont susceptibles d'en tirer profit. Il s'agit de la description, dans un formalisme exactement compatible avec celui des Principes, de 17 opérations mathématiques (mpy/add, sqrt, trigonométrie, puissance, exp, log10 et Ln) qui peuvent être prises en compte par les assembleurs et les compilateurs ; il s'agit, en pratique, d'un jeu de microprogrammes mais rien dans le texte n'indique les machines pour lesquelles ces μ P ont effectivement été rédigés.

- SA22 - 7095.1 **Interpretive Execution** est une seconde édition de 9 / 85, la première édition remontant à 1984. Ce document est donc postérieur aux Principes XA, auxquels il fait d'ailleurs référence. Il décrit, dans le style exact de son modèle, une nouvelle opération SIE qui a le caractère d'un VM/XA Assist : c'est sa mise en service qui autorisera, à partir de 1985, les machines XA à utiliser **VM / XA - SP** plutôt que les produits antérieurs, VM / SP et HPO.

- SA22 - 7125.3 **Vector Operations** est une quatrième édition de 8 / 88, la première édition remontant à 1986, donc aux machines 3090 encore sous architecture XA. C'est cette origine qui justifie le coloriage de la couverture. Le document décrit l'organisation et les 171 opérations supplémentaires d'un processeur vectoriel polyvalent (fixe, flottant, logique) dont des exemplaires peuvent venir compléter un , plusieurs, ou tous les processeurs de la machine support.

L'introduction de l'architecture XA a quelque peu troublé la communauté des utilisateurs, qui hésitaient à un tel bouleversement de leurs habitudes et redoutaient de perturber leur exploitation. Il s'agissait en effet d'adopter un nouveau système d'exploitation, **MVS / SP2**, produit programme payant , après avoir consacré un long moment à la compréhension de **MVS / XA**, description abstraite de ses finalités.

La fiche commente ce produit en 3 lignes de sa page 4, et dans ses pages 12 à 15. Nous ne disposons pas d'autre document sur le système d'exploitation.

Pour aider à cette transition, IBM construit **VM / XA MA Migration Assist**, un produit programme proposé à bon marché aux candidats à MVS / XA, et conçu pour fonctionner sur une 3081 en mode S / 370 VS 8ème édition.

Il supporte comme machine privilégiée un système **MVS / SP1.2 ou 3** fonctionnant en machine de production, et en hôte une machine MVS / XA sur laquelle l'expérimentateur pourra étudier ses procédures et les paramètres de réglage de son installation, au prix raisonnable de 15% de la puissance de sa machine.

Cette méthode d'emploi de VM comme hyperviseur joua efficacement son rôle et emporta l'adhésion des acheteurs à la mutation représentée par XA.

Voir, pour la suite des événements et les nouvelles versions de VM / XA, la fiche S / 370 XA.

Concernant les compilateurs utilisés sous les systèmes précédents, nous sommes particulièrement pauvres en documentation, à l'exception d'APL2, une nouvelle version d' APL qui a probablement eu plus de retentissement au sein d' IBM qu'à l'extérieur. Voir ces éléments d'information dans la fiche.

Il n'y a en principe pas de lien entre les périphériques et l'architecture, et on a vu qu' IBM s'efforçait, de S / 370 à XA, d'accroître l'indépendance des entrées / sorties par rapport au CPU qui , à un moment donné, concrétise cette architecture. Les canaux respectent toujours l'interface standard et, même si les débits possibles se sont accrues jusqu'à 4,5 MB / s, il ne s'agit que de plafonds. On aurait donc pu regrouper l'examen de tous les périphériques à la fin de l'exposé, après la présentation des architectures en tous cas, et se borner à indiquer que tel périphérique, d'après sa date et sa performance, n'a pu être utilisé avant l'apparition de telle architecture. La nature de notre documentation en a décidé autrement.

Le tour d' horizon des périphériques utilisés dans les années 80, parmi lesquels des disques d'importance, s'appuie largement sur une documentation obtenue auprès d'un centre équipé de 4381, dans les années 90. Ce document IBM GC22 - 7064. 11 est l'édition 88 d'une revue périodique des périphériques soutenus par la compagnie, et ses objectifs sont assez différents des nôtres puisqu'il s'agit de planning d'installation ; cependant, on peut le considérer comme un catalogue daté et chercher ailleurs la documentation qu'il ne fournit pas. On l'a fait, et c'est sa date, 1988, qui limite sa portée à l'architecture XA ; pour cette raison, les informations techniques ont été placées dans la fiche XA, pages 3, 5 à 8, établissant un lien fictif entre ces machines et cette architecture.

La documentation disponible est dans la boîte d'archives N° 71, le catalogue introductif dans la boîte 70. Les matériels suivants, non cités dans la fiche, justifient quelques compléments :

Connexions d' entrée / sortie :

IBM 3044 voir fiche XA pp 3, 5

IBM 3088 voir fiche XA pp 3, 5

IBM 3814 (1980) commutateur programmable de canaux jusqu'à 3 MB / s en standard, 4,5 MB / s en option. Chaque unité reçoit quatre câbles de canaux et quatre départs vers des contrôleurs et peut réaliser toutes les combinaisons de 4 connexions 1 à 1. Plusieurs unités peuvent être couplées pour réaliser des commutateurs 4*8, 4*12, 4*16, 8*4, 8*8, 8*12, 8*16, 12*4, 12*8, 16*4, et 16*8.

Tous les modules mesurent 815 * 1235 * 1200 mm . Le modèle A, couplable, pèse 380 Kg et consomme 1420 watts ; le modèle C d'extension pèse 340 Kg et consomme 940 watts ; le modèle B pèse 350 Kg et consomme 1420 watts. Les configurations sont mémorisées, jusqu'à un maximum de 78, et une console 3604. 6 peut être fournie pour assurer une commande manuelle, en plus de la commande par programme.

Prix K\$ 55 à 80.

IBM 3845 (1977) dispositif cryptographique à insérer sur une liaison de terminal à CPU, conforme à la norme NBS établie à partir d'études IBM, utilisant une clé de 56 bits. Existe en deux modèles, 3845 qui se pose à côté du terminal, et 3846 qui est en rack. Prix \$ 2125 à 3600.

IBM 3848 dispositif cryptographique à insérer sur un canal au voisinage du contrôleur, le but étant de stocker une information cryptée. Voir fiche XA p 3.

Mémoires à disques :

IBM 3310 (1979) est un disque fixe bas de gamme pour les petits 43XX, contenant 1 ou 2 axes de 64,5 MB formaté FBA (blocs de 512 B), avec maximum de 1040 MB. Supporté par VSAM, c'est le projet Piccolo, qui utilise la technique Winchester. Prix de base \$ 12960.

L'axe comprend 6 disques de diamètre 8,3" (211 mm) tournant à 3125 t / min. Les 11 surfaces de données portent une couche magnétique de 25 µ" (6 µm) que la tête survole à l'altitude de 13 µ" (3 µm) ; la densité d'enregistrement est 8530 bpi, celle des pistes est 450 tpi.

L'actuateur à 12 têtes est mu par bobine de haut-parleur avec un délai de 9 ms piste à piste, 27 ms moyen, 42 ms maximum. Le débit est 1031 KB / s.

L'unité se présente comme une boîte de 813 * 603 * 1000 mm, tous types. Les modèles A1 têtes de chaîne pèsent 136 Kg et consomment 3 KVA, dissipant 170 W, les A2 pèsent 160 Kg et consomment 500 KVA. Les chiffres sont 110 / 200 / 140 pour les B1 et 136 / 400 / 230 pour les B2 subordonnés.

IBM 3880 (1981) est un contrôleur microprogrammé pour disques 3370 ou 3380, avec de nombreuses options de connexion à 1, 2 ou 4 canaux et deux chaînes de disques, avec ou sans cache.

Voir fiche XA, pp 3 et 6, un article et deux documents IBM en boîte 71.

IBM 3370 (1979) est un disque à têtes fixes à film mince, de capacité 571,3 MB / axe, dérivé du 3340 et formaté FBA pour les 43XX. Pour contrôleurs 3830 ou 3880. Voir fiche XA pp 3, 6.

IBM 3375 (1980) est la même mécanique, reformattée CKD pour les 30XX, avec une capacité de 819 MB pour deux axes. Pour contrôleurs 3830 ou 3880. Voir fiche XA pp 3, 6.

IBM 3380 (1981) est le projet Coronado, un disque spécialement conçu pour tirer le meilleur parti des têtes à film mince, avec deux axes de 1260 MB accessibles comme deux unités de 630 MB par des bras indépendants, délai moyen 16 ms. En tout 885 cylindres de 15 pistes sur 9 disques, 15 faces utiles.

IBM 3380 E4 (1985) est une version à double densité, 5,04 GB par unité, obtenue en passant le serrage des pistes à 1400 tpi, soit 1770 cylindres.

IBM 3380 K4 (1987) est une version à triple densité, 7,5 GB par unité, avec 2655 cylindres et un serrage de pistes de 2100 tpi. En outre, les K4 disposent de 4 voies d'accès au lieu de 2.

IBM 3380 J4 (1987) est un recyclage des versions de base, avec 885 cylindres mais une électronique pour 4 voies d'accès.

Pour tous ces modèles, voir fiche XA pp 3,5 ; fiche ESA 390 p 8 ; et 6 documents dans la boîte 71.

IBM 3990 (1987) est un contrôleur microprogrammé, équivalent fonctionnel de deux 3880, pour disques 3380 et 3390 ; il existe en trois versions 1/2/3, capables de 3 MB/s :

Voir, pour ces modèles, la fiche S/370 XA et un document d'information dans la boîte 71.

IBM 3990.6 (1991) est une reconstruction du précédent en CMOS 4, décrite dans la fiche ESA 390 p 10. Depuis cette fiche, nouvelle amélioration en 1994 : la capacité maximale du cache est portée à 2 GB. Il devient par ailleurs possible de procéder automatiquement à la copie de tout ce qui entre sur l'unité vers un second site, à travers des canaux ESCON.

Ces deux améliorations sont possibles sur les Model 6 d'origine.

IBM 3390 (11/89) est un matériel plus concentré, avec de multiples disques dans une armoire aveugle. Voir la fiche XA pp 3 et 7, la fiche ESA 390 p 8, et deux documents dans la boîte 71.

IBM 9340 (3/92) est un sous-système de disques de 5,25" de diamètre (134 mm), conçu pour attachement direct à tous ordinateurs à partir des 3090. Voir fiche ESA 390 p 11.

IBM 9570 (3/92) est une grappe RAID 3 et 5. Voir fiche ESA 390 p 11.

IBM 9590 HA (1994) est un ensemble RAID 5 pour contrôleurs 3990.3 ou 6, à base de disques de 3,5" de diamètre (89 mm) contenant 2 GB, puis peu après 4 GB. Au total 90 GB par armoire, contenant 2 à 16 tiroirs indépendants de chacun 4 piles, qui participent tous à une reconstruction automatique d'écriture après erreur. Prix 30000 F/GB. Nom de code Chelan.

IBM 9390 HP (1994) est le même matériel, mais avec un contrôleur intégré contenant un cache de 9 GB, assurant le remplacement automatique des disques en panne.

Nom de code Sequoia.

Bandes magnétiques :

IBM 3803.2 (1973) continue à supporter les bandes 3420 et dérivées dans la nouvelle densité GCR 6250 avec une plus grande rapidité et de meilleurs microprogrammes.

Prix 43000 à 65570 \$ à l'achat, ou 1130 à 1730 \$/mois, ou en France 225870/5144 à 6110 FFHT.

IBM 3422 (1986) : voir fiche XA pp 3 et 7.

IBM 3430 (1983) : voir fiche XA pp 3 et 7.

IBM 3480 M22 (1984) : c'est l'aboutissement du projet Ocotillo visant à construire un dérouleur à 18 pistes, en cartouches manipulables automatiquement. Débit 4 MB/s.

Ce sous-système est intégré à MVS et à VM, et le logiciel DFHSM d'optimisation hiérarchique des mémoires sait l'utiliser.

Le système 2511 de chargement automatique pour six cartouches, coûtant 78983 FFHT, apparaît en 1986. Il effectue un montage en 4 secondes, un montage/démontage en 7 secondes. Il est intégré à MVS, et peut aussi fonctionner en mode indépendant, automatique/manuel, sous MVS, VM et VSE.

IBM 3490 M11 (1987) vise à étendre vers le bas l'usage de la cartouche de 200 MB, 18 pistes sur bande à l'oxyde de chrome., en acceptant un sacrifice sur le débit, ramené à 1,5 MB/s, mais en gardant tout le reste et notamment la densité de 37870 bpi.

A11, meuble contrôleur, mesure 750 * 660 * 1000 mm, pèse 195 Kg et consomme 1 KVA. Il supporte 4 dérouleurs et coûte 313134 FFHT, soit 90% du prix du A22.

B11, meuble subordonné à deux dérouleurs, mesure 750 * 510 * 1000 mm, pèse 155 Kg et consomme 900 VA. Il coûte 393971 FFHT, soit 70% de son équivalent B22, et peut supporter le chargeur automatique.

Avec ces deux types de dérouleurs, la cartouche est rapidement passée dans le domaine public, et des dérouleurs compatibles ont été proposés par Storagetek (4284), Comparex et Hitachi., associés à des chargeurs de 10 cartouches.

En 2/91, IBM propose la version E du dérouleur, avec 36 têtes de lecture/écriture et double sens de marche, ce qui fait passer les cartouches à 400 MB, qui peuvent devenir 1,2 GB si on utilise IDRC, la technique IBM de compression.

En 1992, 3M propose une cartouche compatible, contenant une bande de longueur double.

En 1994, IBM annonce un dérouleur à 144 pistes avec triplement de la densité, ce qui conduit à des cartouches de 10 GB avec un débit de 9 MB/s, chiffres qui peuvent être triplés par le recours à IDRC. Ces nouvelles unités pourront lire les cartouches antérieures de 800 MB, mais elles ne sont pas compatibles en écriture, cad qu'elles ne peuvent activer 36 têtes seulement sur 144.

IBM 3495 (5/93) : le succès des bandes en cartouches provoque une inflation chez les gros utilisateurs, auxquels IBM, mais aussi ses concurrents compatibles, proposent une bandothèque pour le modèle le plus populaire, la cartouche 800 MB / IDRC 2,4 GB. Voir fiche ESA 390 p 9.

Traitement d'images sur films :

IBM 3890 XP (1988) : il s'agit d'une modernisation d'un matériel ancien qui a utilisé une mémoire à tores avant d'évoluer vers les MOS. Sa finalité est de passer de l'image papier au film et inversement, sous contrôle d'un ordinateur qui peut transformer l'image. Nous n'en connaissons que ce qu'en dit le document GC22-7064, illustré de plusieurs images et qui définit une foule de configurations possibles, selon le type d'alimentation (50 ou 60 Hz), la présence ou l'absence d'un microfilmmeur et d'un poste de marquage, et le nombre de trieuses à 12 cases qui termine l'équipement. On liste donc simplement les composants :

contrôleur	: 1678 * 795 * 1525 mm, 700 Kg, 3,9 KVA
lecteur de documents	: 1700 * 795 * 1525 mm, 1050 Kg, 5,6 KVA
microfilmmeur	: 850 * 795 * 1525 mm, 330 Kg, 2,2 KVA
trieuse	: 1450 * 765 * 1600 mm, 850 Kg, 1,7 KVA jusqu'à 6 exemplaires
ventilateur	: 410 * 765 * 848 mm, 140 Kg, 1,5 KVA

Toutes ces machines s'installent bout à bout, dans l'ordre indiqué. Le poste de marquage facultatif, un simple terminal à écran, se pose sur une tablette de l'unité de contrôle. Il semble bien que ce "document processor" fonctionne le plus souvent en autonomie.

IBM 3895 (1988), intitulé document reader / inscrire, et pouvant comprendre un microfilmmeur, paraît nettement plus moderne dans son dessin pour un travail assez analogue. Il comprend deux unités, entre lesquelles peut s'insérer un microfilmmeur, peut-être le même que ci-dessus.

lecteur - contrôleur	: 813 * 1790 * 1530 mm
inscripteur	: 813 * 1885 * 1530 mm ensemble 1780 Kg, 12,5 KVA
microfilmmeur	: 813 * 1180 * 1530 mm, 370 Kg, 1,8 KVA

Visualisations :

IBM semble s'être investi dans des gestions d'images sous le sigle Image Plus. Le problème essentiel paraît avoir été le stockage de ces images, pour lequel IBM a développé divers disques optiques.

IBM 5080 est un système de visualisation qui paraît avoir été conçu par Sandia. Il comprend :

IBM 5081, écran 1024 * 1024 pixels, couleur optionnelle en 256 parmi 4096 (8 bits par pixel), à défaut 256 nuances de gris.

IBM 5085 est le processeur graphique, construit sur quatre microprocesseurs dont deux 68000, associés à une mémoire de 120 KB à 1,1 MB. Débit 2 MB/s. L'ensemble 5081 + 5085 forme une station, dont le prix est 250000 FFHT.

IBM 5088 est le contrôleur qui assure la liaison avec le calculateur hôte à travers un canal. Il existe en deux versions, respectivement pour 16 et 32 stations, et coûte 125000 FFHT.

IBM 9246/7 est un système de disques optiques 12" (305 mm) pour Image Plus, réalisé en 1990 à partir d'achats OEM : LMSI pour les disques, Filenet pour le juke box.

IBM 3995 (6/92) est une gamme de disques optiques pour le service Image plus, comprenant :

1) des disques magnétooptiques réinscriptibles fonctionnant sous MVS / ESA, et se présentant comme des juke box de 144 disques, avec 4 postes de lecture / écriture. Un disque magnétique de 160 MB sert de cache à cet ensemble qui débite au mieux 680 KB/s.

2) des WORMs, inscriptibles une fois, présentés en juke box 32 positions, avec deux postes de lecture / écriture et un cache de 300 MB, même débit. Prix 52500 \$.

Le disque de base est une cartouche de diamètre 5,25", capacité 610 MB, coûtant 180 \$ par paquet de 10 sous la forme WORM, qui semble provenir de Mitsubishi. Porté à 1,3 GB par face en 5/93.

Réalisé en de nombreux modèles :

Modèle 132 maître au prix de K\$ 156, et 112 asservi sans cache à K\$ 108 pour le premier support.

Modèle 131 maître et 111 asservi pour MVS. Limite à 5,4 TB)

Modèle 022 pour réseau Ethernet) Limite à) pour les

Modèle 122 pour réseau Token ring) 4,5 TB) WORMs

Modèle 042 pour travail sous OS/400. Limite à 280 GB.)

Le système est également compatible ESCON à partir de 1993.

Imprimantes :

IBM 3827, imprimante laser mesurant 790 * 2240 * 1270 mm, 615 Kg + 215 pour un stacker, 4,2 KW.
Comporte un écran de communication.

IBM 3835, imprimante laser mesurant 840 * 2035 * 1410 mm, 700 Kg + 150 pour le contrôleur, 6 KW.

IBM 3900 (1991), coûteuse imprimante laser à coeur Hitachi capable de 229 pages / min, 5,9 M de documents par mois, destinée aux imprimeries d'entreprises. Elle succède à la 3800 et coûte K\$ 290. Résolution 240 ppi = 10 pixels par mm.

Le logiciel PSF, Print Service Facility, construit pour les divers ordinateurs un flot de données au standard approprié, IPDS, Intelligent Printer Data Stream : l'impression complètement adressable dans la page permet l'insertion d'images dans le texte.

IBM 3916 (1993), imprimante laser permettant un débit de 16 pages / min à 300 ppi (12 pixels par mm), ou de 8 pages / min à 600 ppi (25 pixels / mm).

IBM 3930 (1993), imprimante laser permettant un débit de 30 pages / min à 240 ppi (10 pix / mm).

IBM 4234 (1986), imprimante combinant tête matricielle et bande. Voir fiche ESA 390 p 11.

IBM 4245 est probablement à bande, mesurant 510 (940 avec stacker) * 2230 * 1170 mm, 500 Kg, 4 KVA. Le contrôleur occupe 800 mm de large, ce qui suggère que le prototype est déjà ancien ; le numérotage conduit à la même conclusion, avec un Mod 12 de 710 (950) * 1525 * 1170 mm, 410 Kg, 2,6 KVA, ou un modèle 30 de 3,1 KVA, à contrôleur moins encombrant.

IBM 4248 (1984) se présente comme un successeur de la 3211, avec trois vitesses 3600 / 3000 / 2200 lpm par chaîne interchangeable, avec commande par microprocesseur. On peut commander par programme la vitesse, le serrage des lignes et la durée de frappe des marteaux, et une visualisation de 12 caractères est prévue pour les diagnostics. Prix \$ 99000 ou \$ 1926 par mois.
Dimensions 750 (1220) * 1525 * 1350 mm, 865 Kg, 5 KVA.

Communications :

IBM 3708 (1985) est un concentrateur microprogrammé qui reçoit 8 voies RS 232C jusqu'à 19200 bauds et qui les transforme en 2 voies SNA vers le CPU ; une des voies SNA peut être simplement retransmise. Toutes les voies extérieures sont des imprimantes, des terminaux ou des ordinateurs travaillant en ASCII asynchrone. Le 3708 émule un 3274 et fait voir tous les terminaux à SNA comme des écrans 3278 ou des imprimantes 3287 ; il y a cependant un second mode où les terminaux ASCII sont vus comme des 3267, et même un mode transparent pour transmettre toutes les liaisons vers un ordinateur ASCII.

IBM 3710 (1984) est un contrôleur conçu pour relier à IBM le monde non IBM. Il contient seize 68000 et permet de relier des dispositifs ASCII, SDLC ou BSC à SNA ou X25. Il est perçu par l'hôte comme un 3274. Avec une mémoire de 384 ou 512 KB, il supporte les protocoles V24, V35, X21 jusqu'à 64 Kbauds.

La carte 8PCA enfichable émule un 3274 indépendant et peut donc convertir 8 terminaux ASCII ; deux telles cartes peuvent être supportées, laissant au 3710 les conversions de protocoles plus difficiles.

Une autre insertion, le DACU, Device attachment control unit, permet de relier jusqu'à 64 terminaux ASCII, notamment des DEC, à des 370, en faisant la conversion de protocole.

IBM 3720 est un petit contrôleur de communications en forme de cube de 650 * 650 * 1000 mm, 155 Kg, 800 VA, dont on ignore la capacité. Il est extensible par une boîte de même format qui se pose à son sommet et le surélève d'un tiers.

IBM 3725 / 6 (1983) est au contraire un très gros contrôleur extensible, successeur du 3705, construit autour d'un CPU 2 fois plus performant et d'une mémoire 1 MB. Voir fiche XA, p 3,8

IBM 3745 / 6 (1988), modèles 210 et 410, semble viser le même objectif mais provenir d'un OEM différent. Voir fiche XA, pp 3 et 8.

Des modèles ultérieurs 130, 150, 170, disposent de mémoire jusqu'à 8 MB, de cache jusqu'à 32 KB, de 4 interfaces de canaux, et d'un choix de connexions jusqu'à 4 lignes grande vitesse et 4 Token rings. Dès 6 / 91 tous les modèles supportent en outre Ethernet et, par logiciel, le protocole TCP / IP.

En 10 / 91, deux nouveaux modèles 310 et 610 peuvent recevoir un cache de 64 KB.

IBM 5208 (1988), même programme que le 3708 cité plus haut.

IBM 3863 / 4 / 5 (3 / 80) sont des modems 2400, 4800, 9600 bauds respectivement, pourvus d'un microprocesseur capable de lancer des microdiagnostics sur l'ordre du programme NPDA, Network Problem Determination Application, capable de localiser le problème dans le modem, la ligne amont, ou le terminal aval. Prix \$ 2135 à 5300, plus \$ 32 à 800 / mois pour le NPDA qui a une portée beaucoup plus générale, s'occupant aussi du 3705.

IBM 1750 (1979), troisième version de standard privé pour entreprise, étudié à la Gaude et construit à Montpellier. Capable de 100 à 750 lignes, il utilise la même technique de commutation à minithyristors que son prédécesseur 3750. Le CPU est un processeur de la Series / 1, doublé, avec mémoire à base de puces 64 Kbits ; il dispose de données permanentes sur une disquette, et d'une liaison BSC vers l'ordinateur central d'entreprise ou vers un 8100 qui en dépend.

Les périphériques de ce central, qui peut faire de la saisie de données dans l'usine, comprennent :

IBM 1755 console d'opérateur

IBM 3221 téléphone multifonction comprenant lecteur de badge, pour le personnel.

IBM 3223 lecteur mural de badges magnétiques, pour les ateliers.

IBM 3225 terminal multifonction comportant clavier alpha, lecteurs de badges magnétiques et / ou perforés.

IBM 5923 lecteur de badges perforés.

Voir documentation française dans la boîte 72.

Terminaux :

IBM 3161 (1985) terminal ASCII complètement banalisé, avec écran 25 * 80 caractères, tampon 1920 caractères, clavier 102 touches = alpha + curseur + numérique + 24 fonctions. Ecran 12" orientable, avec les fonctions suivantes : clignotement, video inverse, soulignure, deux réglages d'intensité, "scroll", partitionnement horizontal. Générateur de caractère par matrice de 8 * 16 points. Emulation des terminaux existants IBM 3101, ADDS Viewpoint, Hazeltine 1500, Lear Siegler ADM 3A et 5, et Televideo 910. Prix \$ 695.

IBM 3163 (1988) successeur et remplaçant du précédent, écran monochrome 12", 25 lignes de 80 ou 132 caractères, tampon de 7680 caractères. En plus des services de son prédécesseur, cet appareil ajoute l'émulation des DEC VT52 et VT100, le partitionnement vertical et horizontal, 3 fenêtres, un scroll continu, deux tailles de caractères, et 24 caractères graphiques.

IBM 3205 (1988) est une console couleur de table, avec clavier séparable. Ecran orientable +/- 90° en gisement, -4,4 à + 15° en site. Caractéristiques : 410 * 380 * 430 mm, 16 Kg, 250 watts et clavier de 230 * 560 * 30 mm, 4 Kg. Liaison par coaxial.

IBM 3270 : cette immense famille, créée au début de la famille 370, est désormais constituée d'une grande collection de terminaux et d'imprimantes, régulièrement renouvelée, qui se connectent à un contrôleur 3274 ou 3174, ou encore à un calculateur 8100, pour constituer une informatique distribuée. Ces contrôleurs sont largement autonomes, étant localement programmables, mais il arrivera souvent qu'ils soient reliés à un mainframe. On rejette leur étude au chapitre 338, Informatique distribuée.

IBM 5280 (1980) : famille de terminaux intelligents connectables à tous les types d'ordinateurs IBM, ou entre eux, car ils ont une certaine autonomie de programmation.

Cette série comprend :

- **IBM 5288**, contrôleur doté de mémoire jusqu'à 160 KB, capable de 4 écrans + claviers, 8 floppies, 5 ME, 1 ligne. Capable de compilation RPG en local, d'exécution de programmes COBOL cross compilés dans le calculateur hôte. Ce contrôleur contient plusieurs microprocesseurs pour assurer la simultanéité des entrées / sorties avec le traitement, et sa mémoire peut être divisée en 8 partitions : il faut pex 32 KB pour supporter une liaison BSC vers l'amont, 64 KB pour SNA / SDLC.

- **IBM 5281**, écran avec deux floppies 256, 512 ou 1024 KB.

- **IBM 5282**, groupe de deux écrans et deux floppies, sans tampon.

- **IBM 5285**, écran avec tampon 64 KB, 2 floppies et une ligne.

- **IBM 5286**, deux écrans avec tampon 64 KB, 2 floppies, 1 ligne.

- **IBM 5225**, imprimante 560 lpm

Prix typique : un 5288 avec 160 KB, 2 floppies, 4 * 5281, 2 IP et une ligne = 263346 FFHT, ou 8023 FFHT/mois dont 195 pour le logiciel.

Evolution : en 2 / 81, la mémoire est portée à 288 KB dans le contrôleur et à 96 KB dans les tampons, et un second microprocesseur d'application est ajouté pour augmenter le potentiel du terminal collectif. En 4 / 83, possibilité de disques, de 9,6 à 71,2 MB.

IBM 5292 (1983), écran couleurs avec tampon de 1920 caractères = 24 * 80. Clavier extraplat à 4 inclinaisons possibles, 96 ou 188 caractères, inversion vidéo, double intensité, clignotement, soulignure, et une option photostyle.

IBM 4700 (1981) est une nouvelle famille de terminaux bancaires comprenant 2 contrôleurs, 2 écrans, 4 claviers, lecteur de badge magnétique, choix d'imprimantes parmi 7, et des guichets automatiques déjà connus. Voir détails au chapitre 338, Informatique distribuée.

On peut ajouter à cette famille des appareils bancaires qui ne sont probablement pas connectés localement dans les agences, mais plus près du système central. Bien qu'ils remontent à 1973, ils sont toujours supportés par les machines et les logiciels de 1988 :

- **IBM 3881** est un lecteur de marques, capable de 2480 coches par feuille, dans les formats compris entre 76 * 76 mm (6000 doc/h) et 228 * 304 mm (3700 doc/h). Le Mod 1 permet les liaisons directes aux ordinateurs, le mod 2 prévoit la liaison à une bande 3410, et il existe un mod 3 plus rapide.

Caractéristiques : 610 * 1520 * 1400 mm, 400 Kg, 1,2 KVA. Prix Mod 1 : 340190 / 8380 FFHT / mois.

- **IBM 3886** est un lecteur de caractères dans les mêmes dimensions de papier, sachant lire OCR A et B, 10 chiffres plus la lettre X, imprimés ou manuscrits. Un calculateur incorporé chargé par minidisque, avec 24 à 104 KB, contient les polices et, à partir de 1974, lit, mémorise et transmet l'écriture manuscrite et les signatures. Mod 1 pour calculateurs, Mod 2 pour bande 3410.

Caractéristiques : 750 * 1780 * 1520 mm, 710 Kg, 2,3 KVA - Prix Mod 1 : 13440 FFHT / mois

- **IBM 3890** (1975) est un lecteur de chèques MICR ou CMC 7, avec microprocesseur incorporé et disquette pour charger le programme ou les diagnostics. 2400 doc/min. Hopper 4800, 6 à 36 cases de tri pour 900 documents. Peut imprimer jusqu'à 8 car sur les chèques. Supporté par OS / VS1 rel 3, et DOS / VSE. Prix : 1,652 MFFHT à l'achat, ou 42650 FFHT / mois sans engagement (pour 18 stackers).

IBM 3290 (1983) est un écran plasma, plat et vertical sur un pied, avec clavier séparé. L'écran est capable de 9920 caractères mêlés de symboles graphiques, en plusieurs tailles, présentés sur une surface 272 * 340 mm divisée en 768 * 960 pixels. 4 applications, issues éventuellement d'ordinateurs différents, peuvent converger vers cet écran rouge.

L'écran est un sandwich comprenant, de l'arrière vers l'avant : un verre épais, le réseau des conducteurs horizontaux larges de 0,076 mm espacés de 0,0265 mm, un verre diélectrique, une couche d'oxyde de magnésium, un espace vide rempli d'argon de 0,08 mm d'épaisseur, une autre couche d'oxyde sur verre diélectrique, les conducteurs verticaux, et le verre de face avant.

Il n'est pas certain que ce produit, qui a fait l'objet d'une publicité en France, ait réellement été commercialisé.

ESA 370 = Enterprise Systems / 370

En 1987 IBM décide que le nom de la division qui s'occupe des mainframes doit être changé : l'ancien nom, Data Processing Div, correspondait à une vision technique de la Corporation ; le nouveau nom, Enterprise System Division, s'adresse à la clientèle, et souligne que les matériels dont elle s'occupe concernent toute l'entreprise, plutôt que tel ou tel de ses départements. Il s'adresse aussi au personnel d'IBM, pour leur rappeler qu'il travaillent pour des clients, non pour la beauté abstraite de l'informatique ou la gloire de la corporation.

Cette transformation interne effectuée, IBM annonce, en 2 / 88, l'architecture ESA / 370.

La nouvelle architecture termine une mutation, commencée avec XA : la mémoire virtuelle, mise à la disposition des usagers, doit leur apparaître comme pratiquement illimitée, et néanmoins extrêmement structurée, pour des raisons de sécurité. Le DAS avait bien agrandi les limitations originelles en autorisant l'existence de 65536 tâches et en organisant strictement leurs interactions, mais il s'agissait essentiellement de programmes.

L'idée maîtresse du nouveau dispositif, qui conserve inchangé ce DAS, est d'organiser aussi les données les plus diverses, absolument tout ce qui peut être mémorisé dans un ordinateur. Aussi chaque tâche a-t-elle maintenant accès à 4 espaces à chaque instant :

- un home space, construit par le système d'exploitation à l'ouverture de la tâche, et contenant essentiellement des pointeurs vers les espaces accessibles à cette tâche : c'est un utile raccourci, après les contrôles initiaux d'autorisations, pour le système comme pour la tâche, car les accès ainsi obtenus indirectement ne sont plus soumis aux vérifications tatillonnes indispensables la première fois.

- l'espace primaire du DAS, qui contient le programme en cours d'exécution. Les complexes procédures du DAS permettent à cet espace de changer autant que de besoin à travers l'instruction PC, mais seulement dans le domaine autorisé.

- l'espace secondaire du DAS, qui contient les données en cours d'utilisation par le primaire. Comme ci-dessus pour les autorisations.

- et un parmi 14 espaces de 2 GB, pris dans une liste quasi infinie à travers un mécanisme nouveau mettant en jeu un mode Access et 16 registres d'accès de 32 bits. Les autorisations doivent alors être acquises dynamiquement, au moment de l'invocation faite par les instructions de l'espace primaire.

Autre nouveauté dans la gestion des appels de sous-programmes, que le DAS traitait seulement sous l'angle des autorisations. Dans ESA/370, une nouvelle forme de l'instruction **PC** et une nouvelle opération **Branch & Stack** peuvent exploiter une pile, construite par le système et logée dans le Home space, qui assure la passation de paramètres entre espaces ayant des niveaux de protection différents, pourvu que les autorisations appropriées aient été obtenues à un moment ou à un autre. Certaines tables du DAS ont été modifiées pour ce travail d'homogénéisation des mécanismes de protection qui constituent désormais un système de capacités complet, en partie microprogrammé dans l'architecture, en partie programmé dans MVS/ESA, le nouveau système d'exploitation.

En termes généraux, l'architecture ESA complète une évolution conceptuelle qui transpose dans un univers multispacial toutes les commodités de la programmation courante, le système d'exploitation assumant tous les contrôles nécessaires à la sécurité de l'information.

Le prix des mémoires, en constante diminution, autorise l'institutionnalisation de la mémoire secondaire par l'architecture. Il s'agit de répartir la mémoire réelle à base de circuits intégrés en deux catégories :

- la mémoire de travail est accessible byte par byte et seuls sont directement adressables les programmes et données qui s'y trouvent. Elle est accessible à tous les CPU et à tous les canaux.

- la mémoire étendue, ou d'arrière-plan, est accessible seulement par pages de 4 KB et doit être perçue comme une sorte de périphérique particulièrement performant. Elle est adressable par les seuls CPU au moyen de mots de 32 bits non signés, et les instructions à cet effet appartiennent au système MVS/ESA, non au répertoire du programmeur.

Cependant, dès l'architecture ESA/370, une instruction **Move Pages** est prévue qui permet au programmeur de ranger en mémoire étendue des pages virtuelles de son choix pour libérer de la mémoire réelle ; le nouveau DAS garde trace de ces pages évacuées et le cas échéant, peut les rappeler automatiquement.

Dernière disposition, à peine évoquée dans les Principes parce qu'elle est extérieure à ESA, **PR/SM, Processor Resource / System manager**, est un programme hyperviseur de production : il permet de diviser une machine multiprocesseurs en plusieurs LPAR, Logical PARTitions (max = 20), dont on déclare la composition (en mémoire réelle et canaux) et qui reçoivent chacune une copie du système d'exploitation. Une forte assistance par microprogrammation rend ce découpage économiquement acceptable, et permet de le simuler sous VM, dont il se différencie par le petit nombre et l'identité des droits des partitions, qui sont toutes des machines réelles.

Le détail des mécanismes d'adressage, extrêmement complexes, n'est accessible qu'à travers le document SA22-7200.0 *Principles of Operation*, qui n'est pas en notre possession. Cependant, on en aura une connaissance pratique tout à fait satisfaisante en lisant le SA22-7201.0 qui correspond à l'architecture suivante, mais qui n'a pas sensiblement modifié ces fonctions.

A un moindre degré de rigueur, la fiche ESA/370 nous renvoie à l'article de Plambeck, qui figure dans le dossier ESA/370, dans la boîte d'archives 72. Et elle contient elle-même des descriptions en français des principales dispositions de ESA/370, dans ses pages 3, 7 à 11.

Le système d'exploitation capable de toutes ces dispositions est **MVS/ESA**, qui s'incarne dans un progiciel nommé **MVS/SP3**, compatible avec MVS/SP2 pour ne pas affoler les usagers.

Les pages 5 et 6 de la fiche ESA/370 servent d'introduction à 4 articles tirés de IBM System Journal, et disponibles dans la chemise appropriée de la boîte d'archives 72. On y découvre d'abord un rappel des améliorations d'adressage à travers les architectures successives ; arrivé à ESA/370, on y voit comment IBM compte mettre à la disposition des usagers les divers mécanismes de l'architecture, définitivement jugés trop complexes sous leur forme brute pour que le commun des programmeurs ose s'en servir.

Deux des articles décrivent DFSMS, un progiciel accueilli avec réserve par une clientèle qui s'était souvent habituée à considérer les disques comme une propriété personnelle, souvenir de l'époque des dispacs. Avec ce programme, le système assume totalement la gestion de fichiers et dirige, sur la base de priorités déclarées et de fréquence d'utilisation, tous les mouvements entre niveaux successifs de rangement et de sauvegarde, dans l'ordre la mémoire principale, la mémoire d'extension, les disques, et les bandes ou la bandothèque.

Il n'y a pas de système d'exploitation VM/ESA pendant la période architecturale ESA/370, ce qui veut dire en principe que ni les objets de MVS/ESA, hiperspaces et fenêtres, ni le dispositif PR/SM, ne sont utilisables dans le monde de la version précédente, toujours active, VM/XA-SP.

En pratique, cependant, il est possible de créer sous cette version de VM une machine virtuelle prioritaire fonctionnant en MVS/ESA, laquelle aura accès aux dispositifs cités, cela parce que depuis qu'est apparue

l'instruction SIE, l'exécution des machines virtuelles n'est pas une simulation, mais une réalité : ici, la réalité dont il s'agit est une machine ESA / 370.

A défaut de nouveautés propres, on a placé dans le dossier ESA / 370 de logiciel trois articles sur REXX, un langage de programmation conçu pour l'environnement CMS.

ESA 390 et ESCON 390

En 1990, les attaques contre IBM deviennent très fréquentes dans la presse informatique. Nul n'essaie de contester que MVS représente désormais un niveau de souplesse et de fiabilité inégalée, et que la puissance des ordinateurs qui l'utilisent, les 3090, est à peu près sans rival (Amdahl est désormais totalement dépendant du japonais Fujitsu, et toujours au bord de la faillite). Les reproches portent sur le trop grand nombre de matériels propriétaires peu ou pas compatibles, et sur la difficulté de les faire communiquer, soit entre eux, soit avec le monde extérieur : l'arrogance de la position "je mets à votre disposition des matériels de conversion pour adapter vos particularités à mes règles" apparaît insupportable.

IBM se lance donc dans une opération considérable, et à deux étages :

1) rassembler les trois gammes de matériels issus de l'architecture 370, les 9370, les 43XX et les 3090, sur une architecture unique baptisée ESA 390, dont ils devront être des sous-ensembles compatibles, c'est-à-dire que les machines pourront toutes fonctionner sous la version correspondante de MVS / ESA.

Les machines de ce grand ensemble seront baptisées **ES / 9000** et, faute de pouvoir tirer un trait sur le passé, et aussi parce qu'il n'est pas question d'abandonner les clients existants, il y aura trois familles :

- les **9021**, qui englobent tous les 3090 et vont s'enrichir de nouveaux modèles.
- les **9121**, qui recueillent les 4381 les plus récents et vont également s'enrichir de nouveaux modèles.
- les **9221**, qui reprennent les 9370 existants et sont en réalité voués à l'extinction, car les besoins des

PME sont désormais satisfaits par d'autres moyens.

Cette tâche va pleinement réussir.

2) essayer de définir une architecture commune de données et de communications pour l'ensemble des quatre familles de machines propriétaires qui existent encore chez IBM, et qu'il n'est pas question d'abandonner :

- les mainframes ES / 9000, principale source de revenu d'IBM, fonctionnant sous MVS / ESA
- les calculateurs départementaux AS / 400, très convenables pour les PME, en pleine expansion, fonctionnant sous le système propriétaire OS / 400.
- les stations de travail RS / 6000 gérées par AIX, variante IBM d'Unix.

- les PC utilisant le système d'exploitation propriétaire OS / 2. Ces machines sont minoritaires dans la production des PC d'IBM, mais elles sont généralement installées dans de grosses entreprises fidèles aux mainframes d'IBM, et souhaitant ces unifications. Dès cette époque, il y a plusieurs millions de ces PC.

Cette ambition trop vaste, baptisée **SAA, System Application Architecture**, avec ses filiales **AD / cycle** pour les méthodes de Développement d'Applications et **Systemview** pour l'organisation des réseaux, va échouer pour deux raisons qui ne sont pas indépendantes :

- IBM entre dans la période de récession que nous avons évoquée dans la rubrique historique 326.
- les éditeurs de logiciel, qui auraient du participer à cet effort d'unification, ne l'ont pas fait correctement, insuffisamment confiants dans l'avenir d'AD / cycle et de Systemview, sinon dans celui d'IBM.

Nous consacrerons donc l'essentiel de ce paragraphe à l'architecture ESA 390, au demeurant très proche de l'architecture ESA 370 sauf sur les entrées / sorties.

Le document de référence est SA22 - 7201.0 *Principles of Operation* qui occupe la boîte 73 et qui nous sert, grâce à ses appendices, à comprendre aussi bien ESA 370 que 390.

- 1) le système de base, décrivant le CPU, n'a subi pendant les 3 ans écoulés que des modifications légères. Voir fiche et Principes.
- 2) la grosse nouveauté concerne l'apparition des **canaux ESCON**, jusque là limités à quelques possibilités de RPQ. Ces canaux sont constitués par des fibres optiques et chaque liaison série permet de transmettre sur une distance de 3 Km, et à 200 Mbits / s, les mêmes informations qu'un canal parallèle. Limité à cette possibilité, et combiné avec des convertisseurs d'extrémité 9034, 9035, qui d'ailleurs réduisent la portée à 1,2 Km, c'est seulement une astuce pour étendre la distribution des périphériques à un campus ou à une usine; mais la transmission série présente en outre la possibilité de passer par des routeurs programmables dynamiquement.
- 3) apparition de coprocesseurs de cryptographie, que la nature de leur mission interdit de décrire, mais qui sont perçus par le CPU comme un ensemble privilégié et protégé de nouvelles opérations.

- 4) apparition de processeurs de compression, exploitant un brevet IBM, qui s'insèrent dynamiquement et sur ordre du programme dans le cheminement d'un sous-canal. A partir de 1993.
- 5) réalisation matérielle de la fonction d'échange entre mémoire de travail et mémoire d'arrière-plan, précédemment microprogrammée en ESA 370 au profit de MVS/ESA.
- 6) possibilité de "clustering", c'est-à-dire de couplage entre ordinateurs à travers des canaux ESCON spécialisés. Pour permettre un réel travail en commun, plutôt qu'une coopération lâche, il faut que les horloges des divers ordinateurs soient synchronisées. Il existe à cet effet un dispositif spécial, le **Sysplex**, qui comprend une horloge externe et, dans chaque CPU, des opérations nouvelles de synchronisation.

Outre les Principes, notre documentation comprend:

SA22 - 7202.0 ESCON I/O Interface (10/90), voir boîte 72

SA22 - 7203.0 ESCON channel - to - channel adapter (10/90), voir boîte 73

SA22 - 7204.0 Common I/O device command (10/90) : décrit des fragments d'ordres susceptibles d'être transmis par une unité de contrôle à un périphérique, et dont la forme a notablement évolué.

Le thème général est que le périphérique est porteur, dans une mémoire ineffaçable, d'informations sur lui-même qui peuvent être transmises à la demande au CPU : cela dispense, lors de l'IPL ou à l'occasion d'une panne, de faire donner ces renseignements par l'opérateur.

.....et une large collection d'articles, généralement parus dans l' IBM Systems Journal, couvrant les nouveautés matérielles mentionnées ci-dessus. Nous reprenons le numérotage précédent :

Rubrique 2 : **ESCON** - documents dans boîte 72

S. A. Calta, J. A. de Veer, E. Loizides, R. N. Strangways : ESCON Architecture - system overview, in IBMR&D, Vol 36 N° 4, 7/92, pp 535/50 - Objectifs et composants du nouveau système.

N. R. Aulet, D. W. Boerstler, et al - IBM Enterprise Systems multimode fiber optic technology, in IBMR&D, Vol 36 N° 4, 7/92, pp 553/75 - détails de la nouvelle technologie, performances, conversions aux extrémités, nature des cables et des connecteurs.

J. C. Elliott, M. W. Sachs - ESCON Architecture, in IBMR&D, Vol 36 N° 4, 7/92, pp 577/91 - malgré ce titre trop général, cet article porte sur la procédure de transmission à travers un canal ESCON.

C. J. Georgiou, T. A. Larsen, P. W. Oakhill, B. Salimi - The IBM ESCON Director : a dynamic switch for 200 MB/s fiber optic links - Analyse détaillée de la structure du directeur, qui existe en deux modèles de 16 et 60 voies, à l'exclusion de toute considération d'emploi.

J. R. Flanagan, T. A. Gregg, D. F. Casper - The IBM ESCON channel : a versatile building block - Discussion des contraintes structurelles pesant sur la définition du canal ESCON des ES 9021, qui est forcément parallèle aux deux extrémités unité centrale et contrôleur, et de la manière dont ces problèmes ont été résolus.

Le cadre de pensée créé par cette nouvelle technique est réellement nouveau, et les périphériques doivent s'y adapter. A cet effet, trois articles évoquent le nouveau statut de fonctions périphériques essentielles, préexistantes, et obligées de se reconvertir :

C. P. Grossman - rôle of the DASD storage control in an ESCON environment, dans IBM Systems Journal, Vol 31 N° 1, 1992, pp 123/145 - Nouveaux modes de connexion des contrôleurs de disques 3990, à la suite de l'installation de canaux ESCON.

B. McNutt - I/O subsystem configurations for ESA : new roles for processor storage, dans IBM Systems Journal, Vol 32 N° 2, 1993, pp 252/64 - Il s'agit plus particulièrement des disques 3990, et l'auteur se propose de minimiser le temps par transaction, en s'appuyant sur le cache.

J. J. Coleman, C. B. Meltzer, J. L. Weiner - Fiber distributed data interface attachment to System/390, in IBMR&D Vol 36 N° 4, 7/92, pp 647/54 - Dans cet article, les auteurs déclarent au nom d'IBM que le réseau à jetons FDDI est important pour l'avenir des relations entre les réseaux de PC et les centraux 390, et décrivent le choix fait à cet effet d'un contrôleur 3172 à bus Micro Channel capable de 80 MB/s. A posteriori, nous savons que ni FDDI ni Microchannel n'ont eu beaucoup de succès.

Rubrique 3 : **Cryptographie** - documents dans boîte 73

La difficulté du sujet oblige à consacrer plusieurs articles à des exposés de principe avant d'en venir à l'exposé de la solution choisie pour ESA 390 :

D. B. Johnson, G. M. Dolan, M. J. Kelly, et al - Common cryptographic architecture, cryptographic application programming interface, dans IBM Systems Journal, Vol 30 N° 2, 1991, pp 130/50 - L'interface cryptographique qu'il s'agit de définir se situe hors du calculateur, et l'article expose cela dans le cadre de SAA.

- S. M. Matyas - Key handling with control vectors, in IBM Systems Journal, Vol 30 N° 2, 1991, pp 151 / 73 - L'un des problèmes de la cryptographie selon l'algorithme DEA né chez IBM et adopté par les autorités est la distribution des clés. L'auteur définit un objet auxiliaire pour cette procédure, le vecteur de contrôle.
- S. M. Matyas, A. V. Le, D. G. Abraham - A key-management scheme based on control vectors, in IBM Systems Journal, Vol 30 N° 2, 1991, pp 175 / 91 - utilisation de l'objet précédent pour une procédure de distribution des clés de chiffrement.
- D. Longley, S. M. Matyas - Technical note : complementary attacks and control vectors, in IBM Systems Journal, Vol 32 N° 2, 1993, pp 321 / 5 - Deux ans après les documents précédents introduisant le vecteur de contrôle comme un outil essentiel dans l'ensemble de la procédure cryptographique, les auteurs s'inquiètent de la possibilité qu'un cas particulier de tentative d'attaque ne puisse circonvenir le mécanisme, et ils montrent qu'il n'en est rien.
- R. M. Smith Sr, P. C. Yeh - Integrated Cryptographic Facility of the ESA / 390 : design considerations, dans IBMR&D, Vol 36 N° 4, 7 / 92, pp 683 / 93 - Dans le cadre, supposé admis par les considérations précédentes, du recours à l'algorithme DEA pour l'introduction d'une ressource cryptographique dans l'architecture 390 elle-même, les auteurs justifient les choix en termes de performances, sécurité, utilisation, disponibilité.
- P. C. Yeh, R. M. Smith Sr - ESA 390 Integrated cryptographic facility : an overview, in IBM Systems Journal, Vol 30 N° 2, 1991, pp 192 / 204 - Après l'exposé des motifs, une description succincte de la solution retenue, par les mêmes auteurs.
- D. G. Abraham, G. M. Dolan, G. P. Double, J. V. Stevens - Transaction Security System, in IBM Systems Journal, Vol 30 N° 2, 1991, pp 206 / 29 (en deux morceaux) - Le système décrit comporte une partie fonctionnant sous MVS dans une machine équipée de NCP, et une autre destinée aux PC de type PS/2 axés sur le bus Microchannel. Comme plus haut, ce n'était peut-être pas le meilleur choix.
- D. B. Johnson, G. M. Dolan - Transaction Security System extensions to the Common Cryptographic Architecture, in IBM Systems Journal, Vol 30 N° 2, 1991, pp 230 / 43 - Après avoir défini le système logiciel à intégrer dans MVS pour appliquer la cryptographie aux besoins de cette catégorie de clients, il est nécessaire de l'intégrer dans le projet SAA, dont la part cryptographique a été rappelée au début de cette liste.
- A. V. Le, S. M. Matyas, D. B. Johnson, J. D. Wilkins - A public key extension to the Common Cryptographic Architecture, in IBM Systems Journal, Vol 32 N° 3, 1993, pp 461 / 85 - Deux ans après la décision d'IBM de réaliser CCA et TSS autour de l'algorithme DEA, le système à clé publique, d'origine non IBM, fait une offensive en force dans le domaine cryptographique et semble recueillir un soutien des autorités. Les spécialistes d'IBM s'efforcent de démontrer qu'ils sauraient s'adapter.

Rubrique 6 : **Sysplex** - document dans boîte 73

Quand plusieurs ordinateurs concourent à traiter la charge technique et administrative d'une entreprise, il peut être essentiel que les antériorités d'exécution des travaux soient établies avec rigueur, de façon à disposer d'une date faisant foi, commune et unique. Le Sysplex, qui établit cette communauté de travail, génère et distribue ce temps de référence :

N. R. Dhondy, R. J. Schmalz, R. M. Smith Sr, J. Thomas, P. C. Yeh - Coordination of time - of - day clocks among multiple systems, in IBMR&D, Vol 36 N° 4, 7 / 92, pp 655 / 64

Logiciel : **Système d'exploitation MVS / ESA**

Le passage à l'architecture ESA 390 introduit peu de modifications fondamentales, mais plusieurs dispositifs matériels qu'il faut intégrer à l'exploitation. De sorte que, sans changer de nom, le système entre dans une nouvelle version, qui constitue le progiciel **MVS / SP4**.

La plus importante modification concerne les canaux ESCON, dont le directeur suscite des possibilités de reconfiguration dynamique. L'article suivant :

R. Cwiakala, J. D. Haggard, H. M. Yudenfried - MVS Dynamic Reconfiguration Management, in IBMR&D, Vol 36 N° 4, 7 / 92, pp 633 / 46

expose comment il est désormais possible de changer la configuration sans procéder à un IPL.

Cette nouvelle pratique des connexions de périphériques entrée dans les moeurs, la seconde grosse modification consiste dans l'organisation du "clustering", c'est-à-dire la mise en commun de ressources d'ordinateurs distants pour résoudre des problèmes particuliers. IBM n'est pas le premier à le faire, DEC et HP avaient déjà une certaine pratique de la chose quand IBM s'y est mis, suite à la demande de clients. Et,

à la vérité, elle prendra une importance croissante avec les machines CMOS des années 95 et suivantes, comportant plus de processeurs moins puissants que les derniers 9021, et totalement couplables jusqu'à des nombres de processeurs solidaires défiant l'imagination des années 90.

Dans l'immédiat, le couplage consiste à associer sur une charge de travail définie les ressources d'un groupe ayant fait l'objet d'une déclaration : chacun des éléments d'un groupe comprend au moins un CPU avec un système d'exploitation, de la mémoire et des périphériques, et ces éléments communiquent à travers un CTC (channel to channel adapter) qui peut être éventuellement à grande portée s'il est réalisé en ESCON. La fonction couplage de MVS/ESA fournit les moyens de déclarer la composition d'un groupe, de distribuer le travail, de connecter les éléments au groupe ou de les en déconnecter, de signaler par message aux groupes et à leurs opérateurs l'état des participations, et d'en obtenir des réactions. L'article suivant (en boîte 74) :

M. D. Swanson, C. P. Vignola - MVS/ESA coupled - systems considération, in
IBMR&D, Vol 36 N° 4, 7/92, pp 667/81,

donne une idée de ce fonctionnement.

A noter que les éléments pourront utiliser des fractions (temporelles) de processeur si un des calculateurs fonctionne sous l'hyperviseur PR/SM, qui découpe la ressource en LPAR, des partitions logiques déclarées librement par l'utilisateur ; on peut par exemple constituer un groupe avec deux partitions inégales, une grosse qui travaille sur l'application et une petite qui la surveille et peut la remplacer en se restructurant dynamiquement si elle présente un incident.

Hyperviseur VM/ESA

La nouvelle version VM/ESA de l'hyperviseur VM n'est apparue qu'en 1990, mais elle remplace toutes les précédentes y compris la plus récente, VM/XA SP, en offrant de nouvelles possibilités tant pour la fonction hyperviseur que pour le temps partagé. L'article suivant :

W. T. Fischhofer - VM/ESA : a single system for centralized and distributed computing , in
IBM Systems Journal, Vol 30 N° 1, 1991, pp 4/13

rappelle l'évolution de VM à travers une histoire de 26 ans pour en expliquer le dernier avatar, qui permet d'offrir aux machines virtuelles une nouvelle jeunesse avec ESA/XC, qui leur donne accès aux data spaces et les autorise à s'en partager l'exploitation.

On trouve dans la fiche ESA 390 une liste de 7 articles, tirés de l'IBM Systems Journal et rangés dans la boîte 74, qui font le point sur ce nouveau système exploitant l'instruction SIE. On pourra noter que VM/ESA englobe CRR, Coordinated Resources Recovery, qui est l'adaptation à ses besoins du système de récupération de ressources prévu pour SAA.

Divers

Faute d'autres articles, je renvoie à la fiche ESA 390 pour les autres systèmes d'exploitation que supporte l'architecture ESA, à savoir VME/ESA, AIX/ESA, et TCF, et pour les quelques informations sur les langages qui sont à notre disposition. Il serait inutile de paraphraser les pages 13 à 16 de cette fiche.

SAA System Application Architecture

Nous serons très bref sur cette tentative avortée qu'IBM a simplement abandonnée faute d'en avoir les moyens dans une période de dépression, et faute d'avoir rencontré un intérêt suffisant chez les destinataires. Après cet échec, les quatre familles qu'il s'agissait de fédérer poursuivront leurs carrières en parallèle, et communiqueront, si nécessaire, par des ponts logiciels coûteux en mémoire et en temps de calcul. La plus grande part de ces ponts sont introduits comme des options dans MVS/ESA à partir de la version SP4.3 Open Edition.

SAA, en français AUA, Architecture Unifiée d'Applications, se proposait d'unifier les interfaces d'applications de quatre systèmes d'exploitation : MVS/ESA, RS/6000, OS/400 et OS/2. Le travail comportait quatre parties :

CUA Common User Access
CPI Common Programming Interface
CCS Common Communication Support

..... et la rédaction d'un certain nombre d'applications compatibles, et donc portables entre systèmes. Parmi ces applications, au moins trois avaient été définies: Office Vision, AD/Cycle, et Systemview. On espérait que d'autres seraient intéressés, et par exemple en 11/93 Novel annonce Netware pour SAA ; il ne semble pas, cependant, que les éditeurs se soient empressés.

Les documents rassemblés ne peuvent prétendre constituer une synthèse complète du projet SAA, ni même d'une de ses applications. Tout ce dont nous disposons est une réflexion interne à IBM sur le cas de AD/Cycle ; il y avait une certaine logique à commencer par là, puisqu'en cas de réussite on détenait l'outil pour continuer. Mais on ne put aller jusque là, à en juger par cet échantillon d'articles.

- V. J. Mercurio, B. F. Meyers, A. M. Nisbet, G. Radin - AD/cycle strategy and architecture, in IBM Systems Journal, Vol 29 N° 2, 1990, pp 170 / 88.
- G. Chroust, H. Goldman, O. Gschwandter - The role of work management in application development, in IBM Systems Journal, Vol 29 N° 2, 1990, pp 189 / 208.
- J. M. Sagawa - Repository Manager technology, in IBM Systems Journal, Vol 29 N° 2, 1990, pp 209 / 27
- R. W. Matthews, W. C. McGee - Data modeling for software development, in IBM Systems Journal, Vol 29 N° 2, 1990, pp 228 / 35.
- J. M. Artim, J. M. Hary, F. J. Spickhoff - User interface services in AD / cycle, in IBM Systems Journal, Vol 29, N° 2, 1990, pp 236 / 49.
- D. M. Hembry - Knowledge-based systems in the AD / cycle environment, in IBM Systems Journal, Vol 29, N° 2, 1990, pp 274 / 86.

Il existe une fiche SAA dont le contenu n'est guère plus important que le présent texte.

Deux ans plus tard, IBM abandonnera AD / cycle et le réseau d'alliances qu'elle avait commencé à constituer, revenant aux solutions partielles édifiées en fonction des circonstances. AD Productivity Family, annoncé en 1994, est simplement une (riche) collection d'outils nouveaux, listés ci-après :

Nouveau compilateur COBOL avec environnement de développement et outils de conversion des versions antérieures	mai 94
Compilateur PL / I pour OS / 2	mai 94
Visualgen sous OS / 2, environnement de développement d'applications en mode client / serveur pour OS / 2 d'un côté, MVS, VSE ou TSO de l'autre	juin 94
Visualgen sous OS / 2 pour clients Windows	oct 94
PAC / CS pour OS / 2, atelier de CGI	sept 94
PAC / CS pour Windows	déc 94
LAN Library Management Facility, gestion de versions et de configurations	déc 94
Data Atlas sous OS / 2, reprise du référentiel d' AD / Cycle utilisant Objectstore, le SGBD-OO d' Object Store	déc 94
Visual Age pour OS / 2 : environnement de programmation visuelle à base de composants, utilisant les mécanismes de Smalltalk	jan 94
Visual Age pour Windows	oct 94
IBM Smalltalk pour OS / 2 et Windows, basé sur le système de la société canadienne OTI, auteur de l'outil Envy/400 pour OS / 400	oct 94
Compilateur C Set ++ pour OS / 400	déc 94
ILE / RPG / 400	nov 94
ILE / Cobol / 400	mars 95
ADTS / 400, module serveur pour le développement sur AS / 400	déc 94
Visual RPG Client, outil de développement graphique sur OS / 2 d'applications accédant aux données d' OS / 2, cad au précédent.	déc 94
Fortran Powerbench pour RS / 6000	déc 94
Visualizer, accès aux données sur OS / 2	jan 95

Z - Architecture

Après l'échec de SAA, et la disparition, à l'occasion de terribles réductions d'effectifs, d'une partie du personnel qui s'était occupé de ce genre d'étude, IBM devient d'un strict réalisme et se borne à répondre à ceux des désirs des clients qui sont compatibles avec ses moyens et susceptibles de rapporter des bénéfices. L'architecture ESA 390, bien rodée, traversera cette période troublée sans notable modification, à part le remplacement de **MVS / ESA-SP5. 2. 2** par le sigle **OS / 390** qui nous ramène aux premiers temps de l'histoire des mainframes, alors que le matériel subit une énorme révolution : l'abandon de la logique ECL, trop consommatrice d'énergie, trop encombrante donc à cause de ses équipements de refroidissement, et donc finalement trop chère, au profit de la logique CMOS qui se prête à d'incroyables miniaturisations avec, en sous-produits, des performances qui finissent par rejoindre et dépasser celles des derniers circuits ECL.

Au début de cette dernière évolution, IBM se borne à utiliser systématiquement le multiprocessing et le clustering pour compenser, par le nombre des processeurs, la performance individuelle moindre des circuits CMOS par rapport à celle des ECL : l'architecture ESA tient bon, et prouve son aptitude à regrouper sur un même travail de nombreux processeurs.

IBM continue à soutenir l'essentiel de son passé, c'est-à-dire VM / ESA, VSE / ESA, TPF, tout en englobant dans son OS / 390 tout ce que l'évolution récente de l'informatique a placé sur le devant de la scène :

- OS / 390 est compatible avec 1100 des 1170 API qui décrivent Unix, selon X Open, alors que la précédente version n'en supportait que 250. La nouvelle version supporte C et C++ avec les outils de base, éditeur, compilateur, test et debug. Il y a aussi SOM, System Object Model, conforme à la norme CORBA ; et LANRES, LAN Resource & Extension Service, qui permet à tout 390 d'apparaître comme un superserveur Netware capable de gérer plusieurs dizaines de réseaux Novell.

Un dispositif matériel, **OSA, Open System Adapter**, permet de connecter jusqu'à 80 réseaux locaux Ethernet ou Token ring sur un canal, série ou parallèle, d' ES / 9000. **LAN Server**, également intégré à OS / 390, permet aux réseaux locaux OS/2 ou Unix de partager des disques avec MVS.

On mesure l'ampleur de l'effort d'adaptation consenti par IBM pour satisfaire tous les éditeurs importants du marché, tout en gardant intact son capital, la fiabilité de MVS.

- **Linux for OS / 390** est la version IBM de cette variété d' Unix créée par des chercheurs et mise gratuitement sur le marché ; elle atteint en 2000 une crédibilité suffisante, à en croire le soutien que commencent à lui apporter les éditeurs, et ce n'est pas un produit IBM, même si le soutien qu'apporte IBM contribue évidemment à l'engouement des éditeurs.

- Java, la machine virtuelle créée par Sun pour sa connexion à Internet, où elle permet de recevoir et d'exécuter des applications téléchargées.

- XML, le langage qui permet de créer des sites Internet .

- et des compilateurs comme VA COBOL, VA PL/I, etc... à jour des plus récentes normes.

Vers 2000, la performance des puces CMOS a dépassé celle des anciens processeurs ECL, et IBM est en mesure de proposer un pas en avant de plus, qui ne lui coûte pas trop cher et qui supprime le dernier obstacle devant ses matériels, toujours propriétaires, toujours très demandés parce que sans vraie concurrence, et désormais compétitifs avec Unix jusqu'au moindre détail.

C'est la **Z - Architecture**, caractérisée par le passage aux adresses virtuelles de 64 bits et par un nouveau système de canaux série sur fibres optiques, les **FICON**, capables de 70 MB/s là où ESCON se limitait à 200 Mbit/s ou 17 MB/s, full duplex là où ESCON était half duplex, utilisant la commutation de paquets alors qu'ESCON travaillait point à point.

On s'efforce de ne pas effrayer le client en procédant par enveloppement :

- le système d'exploitation Z - OS 64 bits englobe OS / 390 et Z / VM, ainsi que Linux for Z-series, 64 bits ; à travers les systèmes précédents, il soutient toujours VM / ESA, VSE / ESA, et TPF.

- il supporte les langages Java, HTML et XML .

- il contient toujours les produits - phares qui ont fait la réputation d' IBM, CICS pour les transactions, la base de données hiérarchique IMS, la base de données relationnelle DB2. La nouveauté qui se fait jour vers 1996 est l'accès parallèle à ces bases.

- son système de communication sait établir des liaisons avec tous les matériels d' IBM.

- la gestion de ressources, devenue "intelligente", c'est-à-dire adaptative, est assurée par **Tivoli**, un logiciel qu' IBM a acheté quelques années auparavant avec la société qui l'avait créé.

- la liaison avec Internet est intégrée au système à travers **Domino**, extension de Notes 4.5, autre logiciel acheté en 6 / 95 avec son créateur Lotus.

Pour compléter ce schéma rassurant, l'architecture ESA / 390, resimplifiée en System / 390 ou S / 390, ne disparaît pas. Non seulement elle constitue désormais un sous-ensemble de la Z-Architecture qui sera celle des plus gros serveurs - ce vocabulaire passe-partout a remplacé le mot mainframe - mais elle subsiste en tant qu' architecture principale dans une gamme **Multiprise 3000** de machines à adressage 31 bits, intégralement compatible avec la dernière famille de machines CMOS, les G6.

C'est sur cette double perspective, deux architectures compatibles 31 et 64 bits selon besoin fournissant tous les services auxquels IBM a habitué ses clients, que s'arrête en 2000 cette histoire des mainframes : contrairement aux prévisions pessimistes de la presse informatique, ils n'ont pas disparu, et au contraire ils semblent n'avoir pas encore atteint le sommet de leur puissance, bien qu'avec les baisses de prix de la technologie ils ne constituent plus une aussi large part qu'autrefois des revenus de la Corporation.

Machines

La technologie MCM et les 43XX

Comme pour chaque machine dont nous serons amenés à parler dans cette deuxième partie, nous commençons par indiquer quelle architecture ce matériel est capable de concrétiser. Les 43XX sont conçus pour s'adapter à deux des architectures précédemment décrites :

- d'abord, au plan général, l'architecture S / 370. 8, débarrassée de divers dispositifs peu pertinents dans une machine destinée aux PME.

- ensuite, une architecture spécialement construite, ECPS : VSE caractérisée par un seul niveau de mémoire virtuelle. Quelles que soient les idées initiales à l'égard de cette architecture, elle n'a finalement concerné que les modèles 4321, 4331, 4341, 4361.

Nous possédons 2 exemplaires des *Principles of Operation*, SA22-7070.1 qui date de 1980, et un exemplaire de la version .2, publiée en 7 / 86. Les différences entre ces deux versions sont infimes, signalant que des dispositifs intéressants Machine check, External damage et d'autres concernant les entrées / sorties, standard dans l'architecture S / 370, se retrouvent en fin de compte dans ECPS : VSE où ils n'étaient pas initialement prévus. Il est évident que cela ne coûte rien à IBM.

Les machines citées ci-dessus ont d'abord eu un grand succès, puis l'intérêt a baissé du fait d'une concurrence considérable sur ce créneau, à laquelle IBM ne semble pas avoir opposé une résistance très forte. L'intérêt d'IBM s'est clairement déplacé vers le haut, notamment les modèles 4381, qui ont vu se succéder de nombreuses versions représentant les architectures S / 370. 8, puis XA, puis ESA / 370, puis ESA / 390, avant de se fondre dans la nouvelle famille ES / 9121 relevant d'ESA 390.

L'ensemble de nos connaissances sur la technologie des 43XX, et plus particulièrement des deux machines annoncées le 30 janvier 1979, 4331 et 4341, est réuni dans une fiche globale intitulée 43XX. Elles proviennent principalement de la revue IBMR&D, numéro du 25 ème anniversaire (référence 203). Il est inutile de les répéter ici.

Les fiches individuelles ne décrivent qu'une sélection des nombreuses variantes marketing que IBM a été amenée à annoncer entre 79 et 86 pour maintenir l'intérêt des clients dans une période où la concurrence maîtrisait complètement la microprogrammation, et disposait d'une marge importante grâce à l'ombrelle IBM. Les modèles initiaux, **4331.1** et **4341.1**, ont eu immédiatement un gros succès, mais les compatibles étaient prêts et, en un an, étaient en mesure de faire mieux qu'IBM en matière de prix sur une architecture simple. La deuxième étape d'IBM, consistant à accélérer les puces par simple diminution photographique des masques, était facile et économique, mais les compatibles avaient des marges techniques et commerciales et maintinrent parfaitement les positions acquises. Les années suivantes verront donc une floraison de versions dégradées ou soufflées, sans progrès particulier, simplement en jouant sur le cache et sur le prix de vente, jusqu'à ce qu'IBM décide de relancer le jeu en supprimant toute la famille bas de gamme, en janvier 86, pour la remplacer par la petite **famille 9370**.

La **4381** est née après l'annonce XA et constitue un évident effort pour pousser les petits clients précédents vers le haut, deux ans avant de les contraindre à remplacer leurs petits matériels. Nous disposons d'un éventail complet de documentation :

GA24 - 4017.2 - Manuel d'installation : physical planning

GC20 - 2021.2 - A guide to the IBM 4381 processor : utile description des concepts de la nouvelle machine, y compris la présentation avec photos des nouveaux MCM contenant 36 puces sur un support céramique de 64 mm de côté, avec plaque de refroidissement en aluminium en forme de petits pavés. Le document insiste sur la totale polyvalence du 4381, capable de fonctionner en mode 370 VS pour reprendre les applications 4341, aussi bien qu'en mode 370 XA pour s'orienter vers le haut, et disposant dans les deux cas de toute une gamme d'assistances microprogrammées (pour VSE, pour MVS, pour VM, pour les applications mathématiques, pour le tri).

GA24 - 3947.3 - Functional characteristics - décrit les uniprocresseurs dont il n'existe pas moins de huit modèles, 1, 2, 11, 12, 13, 21, 22, 23 en trois générations techniques de machines, différenciées par leur période de synchronisation : 52 ns pour le modèle 23, 56 ns pour le modèle 13, et 68 ns pour tous les autres.

Hors cette distinction qui a un effet direct sur les performances, ces machines sont en effet architecturalement identiques, comme le montre un configurateur à la page 5 : on y voit en particulier la double connexion du processeur de maintenance au byte multiplex pour le contrôle de l'exploitation, et au CPU pour l'IMPL, la surveillance technique et la maintenance .

GA24 - 3949.3 - Operations manual (2/86) - est légèrement plus tardif et comme tel postérieur à l'annonce des trois derniers modèles, disposant de l'architecture ESA 370. Il décrit essentiellement les menus disponibles sur la console du pupitre pour la gestion de la machine par un opérateur (décisions routinières d'exploitation), un technicien autorisé (mise en route, modifications de configurations, réglages, tests), un dépanneur qualifié (exploitation du processeur de maintenance) ou un ingénieur (mode manuel).

GA24 - 3950.2 - Summary and Input/Output & Data Communications Configurator (2/86) - reprend une partie des généralités énoncées dans les documents précédents, y ajoutant des considérations élémentaires sur les biprocesseurs, pour détailler ensuite la liste des périphériques possibles et leur mode de connexion.

GC24 - 3964.3 - Input/Output configuration : program user's guide & reference (2/86) - décrit l'ensemble de la procédure à suivre par le client, lors de l'IMPL et lors de l'IPL, pour implanter ou modifier une configuration particulière de périphériques, à choisir dans l'éventail proposé par le GA24 - 3950, et rappelé, sous une forme plus adaptée au besoin, en appendice.

GA24 - 4023.2 - Problem Analysis Program (2/86) - a pour but avoué de permettre à un client entraîné d'analyser l'état et s'il y a lieu, les défauts de sa machine avant d'appeler un dépanneur qui, en tout état de cause, coûtera cher parce que payé à l'heure de présence. Tout ce que le client fera lui-même peut être mis sous une forme qui réduira le travail du technicien dépanneur.

L'intérêt de cette collection, recueillie dans un centre opérationnel équipé d'un uniprocésseur 4381 et de nombreux disques, est de faire pénétrer le lecteur dans l'ambiance d'une exploitation bien concrète, plutôt que de se contenter, comme on le fait généralement, d'une appréciation abstraite, purement technique, des matériels présentés.

En janvier 86, tous les petits modèles à base de MCM à 9 circuits sont simultanément abandonnés, et remplacés par une nouvelle famille, les 9370, sur lesquels nous n'avons pas d'autre documentation que les fiches. Ces trois machines sont annoncées simultanément en 1/86 et livrées en 1987, mais en réalité les deux premières ont été conçues à Endicott USA et la troisième à Böblingen en Allemagne, toutes les trois utilisant un FPU plus ou moins facultatif conçu en France.

- le **modèle 20** est construit autour d'un processeur **9373**, réalisé à base de réseaux de portes CMOS. Il est petit et englobe dans une seule armoire ses disques 9332 et ses contrôleurs de service et de communications ; les objectifs sont le bon marché et la compacité.

- les **modèles 40 et 60** ne sont que des variantes autour d'un même processeur **9375**, même technologie que le 9373 mais avec un cache ; ils mettent cette fois l'accent, toujours dans un petit volume, sur la souplesse et l'extensibilité. Performance de l'ordre de 2,5 fois le précédent.

- le **modèle 90** a la présentation externe des AS / 400 qui apparaissent à la même époque, et une technologie très dense inspirée par les TCM des grands systèmes ; mais le CMOS chauffant très peu, tout le processeur **9377** tient dans un seul pseudoTCM, refroidi par air. Performance > 5 fois le Mod 20.

Tous ces calculateurs sont conformes à l'architecture 370 / XA et bientôt ESA / 370, et peuvent fonctionner sous 5 systèmes d'exploitation :

- DOS / VSE est le système le plus usuel, qui en fait les héritiers des 4331 / 41 / 61 : la version correspondant à ce nouveau système est VSE / SP3, décrit par une fiche incluse dans celle du Modèle 20.

- VM est complètement supporté par le produit programme VM / SP1, ou plus récemment VM / IS

- **MVS / SP1** est accessible à ces machines mais ce n'est pas très raisonnable : le fait que ce système ne supporte pas les contrôleurs intégrés, mais seulement ceux qui sont attachés à des canaux BMUX, sera généralement dissuasif.

- **IX / 370** est un Unix, probablement un prototype du futur AIX, et représente un signe d'IBM en direction des universitaires, mais pas encore très convaincant puisqu'il ne gère pas les connexions de réseaux. Un chercheur désireux de considérer son 9370 comme une station de travail ne pourra communiquer qu'avec des terminaux locaux.

- **DPPX / 370** est proposé fin 88, à la suite d'un travail de portage depuis le 8100, qui termine là sa carrière. Le Modèle 20 devient le support, intégralement compatible, de l'informatique distribuée, DPPX gérant pour lui toutes les sortes de terminaux et de réseaux, éventuellement non surveillé, télécommandé et téléchargé par un central sous MVS.

Les 9370 ont donc l'ambition de prendre la relève compatible à la fois des 43XX et des 8100, mais le premier de ces rôles sera progressivement repris par les AS / 400. Cependant, cette mutation ne sera pas du tout terminée en 1990 lors de l'annonce ES / 9000, où les 9370 seront remplacés par les 9221. Voir à l'étude des ES / 9000.

Les 4381, de leur côté, prospéreront comme calculateurs de PME jusqu'à cette même date, où ils se retrouveront intégrés dans la famille ES/9000 sous le sigle 9121. Voir ES/9000.

Les TCM et les 308X

L'annonce de la 3081, en Novembre 80, dévoile la technique des TCM qui est réellement révolutionnaire, et dont cette première réalisation ne sollicite qu'à peine les potentialités : les puces en effet sont pratiquement les mêmes que dans les MCM, à savoir des réseaux de 704 portes TTLS, presque trois fois plus rapides cependant, ce qui veut dire qu'elles chauffent beaucoup plus. Mais, au lieu de 9 il y en a 100, 118 ou 133 disposés sur une surface carrée de 90 mm de côté, et chacune d'elles est soudée par 121 billes sur la face supérieure d'un socle céramique multicouches.

Chacun de ces circuits est tenu en place par un piston à ressort qui coulisse dans un puits foré dans le couvercle métallique : le piston sert ainsi d'évacuateur de chaleur vers le fond du TCM où circule l'eau distillée de refroidissement, de sorte qu'il n'y a aucune relation que thermique entre l'espace de l'électronique, rempli d'hélium isolant et inerte, et le domaine de l'eau. Que ce système de transfert de chaleur à 4 étages (hélium, piston, métal du couvercle, eau) fonctionne et s'avère capable, dans les années suivantes, d'évacuer les débordements calorifiques de l'ECL (jusqu'à 2 Kwatts !) est absolument remarquable ; mais on doit surtout admirer la mise en place du système de "design automation" qui a permis, machine après machine, de passer de l'architecture à la structure, de découper celle-ci en groupes de portes, de définir le tracé des masques de métallisation de centaines de puces différentes, celui des 33 couches du socle céramique de chaque TCM, et celui des 20 couches du panneau qui les porte, en respectant toute une série de règles de tolérance électrique et de marges d'isolement.

Le résultat est un module étanche de 1,5 Kg, qui peut être remplacé en quelques minutes par échange standard, puis analysé par ordinateur pour diagnostic détaillé, et réparé tranquillement en atelier par échange de puce ou même par un pont de câblage sur la couche externe à 1800 connexions.

Nous sommes très bien renseignés sur ce tour de force technique, décrit par 8 articles abondamment illustrés de IBMR&D, Vol 26 N° 1, 1 / 82, traduits et condensés dans les pages 5 à 7 de la fiche. On soulignera fortement que le TCM n'est en aucune manière une contrainte logique : l'automatisation complète du processus de production, de la conception à l'assemblage, a permis à IBM de faire évoluer ses machines environ trois fois plus vite qu'à la génération précédente.

La 3081 est au départ un biprocesseur serré (on dira désormais "dyadique") d'architecture S/370 VS. 8 disposant de toutes les options, notamment le DAS, fonctionnant sous MVS / SP1 ou VM / SP1. L'organisation de ses ressources est décrite en français dans la fiche à partir de deux des articles de IBMR&D, et nous en retiendrons ici les principaux traits suivants :

- la mémoire est modulaire par blocs de 4 MB, les BSM, construits en technologie COB à partir de chips SAMOS de 16 Kbits, de production IBM. Un BSM accède en un seul cycle de 312 ns à 128 bits d'information, qu'il transmet en deux CP au SC, System Controller.
- le SC contrôle chaque mot par SECDED et le dirige vers le cache du CPU demandeur. Complètement câblé, il entretient la cohérence des caches et gère les horloges. Il occupe 6 TCM.
- chaque processeur occupe 8 TCM et comprend un cache ou BCE, une micromachine ou CSE, un bloc de commande ou IE, et deux blocs de calcul, EE et VFE. La microprogrammation est réalisée de façon très différente des machines antérieures, puisque IE et VFE sont microprogrammés, mais EE complètement câblé.
- pour les processeurs comme pour les entrées/sorties, la mémoire de microprogramme est simplement la mémoire principale, parce que ces μ P sont très volumineux. Mais, pour obtenir des temps de réponse acceptables, une petite fraction très utilisée est logée dans une WCS très performante, le reste étant accessible à travers un cache.
- conformément à l'architecture XA, le système d'entrées/sorties est complètement disjoint des CPU. Cet EXDC, EXternal Data Controller, occupe six TCM et comprend quatre processeurs microprogrammés, un CPE vertical qui gère les sous-canaux et les relations avec les processeurs, et trois DCE horizontaux qui représentent les canaux physiques avec l'aide de 8 IAE chacun : il s'agit essentiellement, pour ces derniers, de gérer des tampons de données et des priorités, entre la mémoire et les câbles.
- la maintenance centralisée, automatisée pour l'essentiel, utilise le procédé LSSD de mise en série de toutes les bascules d'une unité de dépannage, qui peut être un TCM. Ce procédé est décrit dans la fiche 43XX mais s'applique sans changement aux 3081, bien que la technologie soit différente.

Moins de deux ans plus tard, sans modification ni dépense, par simple changement de disquette, cette machine passera à l'architecture XA pour laquelle elle avait été construite, et les propriétaires se trouveront confrontés au problème de s'adapter - en payant cette fois - au nouveau système d'exploitation MVS/XA.

Unique pour toute la famille, qui exploite les principes ci-dessus selon toutes les combinaisons concevables, la fiche passe en revue tous les modèles que l'on peut schématiquement décrire comme suit :

- trois niveaux de perfectionnements logiques et techniques, abaissant la période de 26 à 24 ns (modèles non compatibles) ou à 24,5 ns (rajeunissement des anciens modèles), et introduisant quelques simultanités non prévues initialement.

- trois niveaux de multiprocessing : monoprocesseurs **3083**, processeurs dyadiques **3081**, quadriprocesseur **3084** partitionnable en deux dyadiques.

- plusieurs niveaux d'adaptation commerciale, jouant sur la taille des caches qui influence fortement le nombre d'instructions effectivement traitées dans une seconde. Au total, la famille occupe, de 80 à 86, la gamme de puissance de 2,5 à 25 Mips.

La plupart des passages d'un modèle à l'autre sont possibles chez le client, grâce à la modularité des TCM.

En dehors de cette fiche très complète et du document IBMR&D qui l'a inspirée, on trouvera dans la boîte d'archives 76 les documents IBM "Functional characteristics" de ces diverses versions.

Les 3090 et la généralisation du partitionnement

Dès novembre 1985, l'annonce du biprocesseur dyadique **3090 / 200**, estimé 30 Mips en gestion et 43 Mips en scientifique, indique à la clientèle et aux compatibles qu'IBM est décidée à pousser la course à la puissance, maintenant que sa technologie TCM le lui permet plus facilement.

Les données techniques de la nouvelle famille, nom de code **Sierra**, sont en résumé :

- logique ECL en réseaux de 2360 portes, jusqu'à 110 puces et 850 watts à évacuer par TCM. La période élémentaire est 18,5 ns, et la structure autorise environ 15 Mips par CPU.

- mémoire à base de puces DRAM 256 Kbits, 120 ns/cycle, dont le module élémentaire est 16 MB.

Les données commerciales sont l'architecture XA avec les nouveautés : possibilité d'un coprocesseur vectoriel sur chaque CPU, mémoire d'arrière-plan, nombre de canaux possibles doublé, organisation méthodique du partitionnement physique (deux SCE de 2 ou 3 processeurs pouvant associer leurs mémoires en un seul système d'adresses).

Après une période de mise en route, où la presse orchestre la soif de puissance des clients, les modèles partitionnables apparaissent, avec un **400** (2 * 2) puis un **600** (2 * 3).

L'évolution, qui commence dès les livraisons de fin 86, comprend des mémoires à chips de 1 Mbit, cycle 80 ns, puis des processeurs modèle E accélérés à CP = 17,2 ns et capables de l'architecture ESA/370, puis le partitionnement logique (hyperviseur PR/SM, mode LPAR à l'IPL), très attendu des clients.

Presque toutes les configurations imaginables deviennent possibles, et sont commandées par les clients en fonction de la nature et de la répartition de leurs charges entre batch, temps partagé, et transactionnel. On voit proposer une machine 600 E partitionnable à 256 MB de mémoire principale, 1024 MB de mémoire d'arrière-plan, 6 CPU, 128 canaux.

En 1989 la famille S reprend à peu près les mêmes configurations avec une période CP = 14,6 ns qui correspond à un progrès substantiel, mais les clients ont entendu parler de Summit, le prochain processeur, et le réclament ou suspendent leurs commandes en l'attendant.

En 1990 la famille J est annoncée comme compatible avec une suite encore mal définie, et la possibilité de convertir leurs S en J est offerte à tous les possesseurs de multiprocesseurs.

Finalement, en 1991, intervient l'annonce de la série ES/9000 et de l'architecture ESA 390. C'est la récompense de ceux qui ont fait confiance, car tous les J sauf les monoprocesseurs deviennent d'authentiques 9021 moyennant conversion, alors que les autres machines doivent être remplacées.

Résumons les aspects techniques de la nouvelle famille, tels qu'ils apparaissent à travers notre documentation : a priori, des machines nettement plus complexes que les 308X.

Le trait essentiel, apparu avec les 308X et qui va se maintenir jusqu'à l'épuisement de la technique TCM, est une organisation en étoile autour du SCE, **System Control Element**, relié à :

- la mémoire de travail, ici susceptible d'atteindre 64 MB, à base de puces de 256 Kbits ou, un peu plus tard, 128 MB à base de puces de 1 Mbits.

- des processeurs (1 à 3), chacun d'eux susceptible indépendamment d'une extension vectorielle, et chacun d'eux doté d'un cache "store in".

- le **CCS, Channel Control System**, racine d'une arborescence de voies pouvant comprendre jusqu'à 64 câbles de liaison entre le central et un contrôleur de périphériques.

- et, si c'est le choix du client, un autre SCE, symétrique ou non du premier.

La logique du SCE est assez puissante pour supporter à chaque période ou CP un transfert de 72 bits dans chaque sens, entre sa mémoire ou celle de l'autre SCE, d'une part, et l'un des cinq demandeurs qui lui sont reliés, d'autre part. Le débit des mémoires, plafonné à un échange de 72 bits par CP dans chaque sens, est donc équilibré en moyenne.

Le second trait, simple développement jusqu'à ses ultimes conséquences de l'organisation inventée avec les 308X, est la simultanéité des fonctions d'exploitation et de surveillance, assurées par des processeurs différents. La détection des défauts approche de 100%, et la plupart d'entre eux peuvent être réparés, ou au moins palliés sans intervention de l'opérateur. Si ce n'est pas le cas, le système de maintenance prend le pouvoir de manière à préparer une intervention humaine économiquement optimale, c'est-à-dire préservant au maximum la disponibilité de la ressource informatique.

Les spécificités des 3090, relevées dans la fiche, sont les suivantes:

- la mémoire d'arrière-plan, à base de modules 64 MB accessibles par blocs de 4096 bytes, n'est pas reliée au SCE mais directement à la mémoire de travail, par une liaison synchrone de faible priorité, ce qui signifie qu'elle bloque le CPU demandeur jusqu'à la fin de l'exécution.

- chaque CPU dispose, en lecture seulement, d'un accès direct à la mémoire de son côté, prioritaire sur l'accès du SCE dont la tâche est ainsi allégée. Il faut comprendre que ce type de demande résulte d'un "cache miss", toutes les demandes du CPU étant en fait adressées au cache.

- tout à fait différent du 308X, le CPU 3090 comprend un bloc de commande et un bloc de calcul simultanés mais interverrouillés puisque la séquentialité d'exécution du programme est strictement respectée. Le bloc de commande câblé entretient trois voies de consultation de mémoire, c'est-à-dire que deux ruptures de séquence conditionnelles peuvent être en attente à chaque instant, surveillées par une BCU sophistiquée; il exécute toutes les manipulations d'adresses dans un additionneur 31 bits à 3 voies, et entretient en direction du bloc de calcul une queue de 4 instructions décodées, exécutables de registre à registre.

- le bloc de calcul microprogrammé utilise des microinstructions de 144 bits provenant pour l'essentiel d'une ROM de 16 Kmots, avec une WCS de 1 Kmots formant cache pour les dépassements possibles du microcode; ceux-ci ne peuvent correspondre qu'à des dispositifs d'emploi peu courant, puisque désormais la surveillance et la maintenance sont confiées aux ordinateurs de l'unité **3092**.

Un opérateur d'addition 64 bits très raffiné et un multiplieur rapide à fréquence double de la fréquence de base permettent de tirer jusqu'à 17 Mips d'un monoprocesseur 3090.

Nous disposons sur les 3090 d'une documentation importante, qui comprend:

- dans la fiche 3090 / 200, les pages 6 à 22 décrivent l'organisation du processeur lui-même, avec référence à un schéma de disposition figurant à la page 3.

- dans le IBM System Journal, Vol 25 N° 1, 1986, deux articles décrivent assez sommairement la machine, trois autres évaluent plus particulièrement le processeur vectoriel.

- un document de maintenance IBM en 6 fascicules couvre tous les aspects de la surveillance d'un Modèle 200 par les calculateurs 4331 de l'armoire 3092. On en a tiré une description en français du système de contrôle qui occupe les pages 22 à 35 de la fiche, mais cet ensemble est tellement surabondant pour un simple lecteur curieux qu'il engendre l'ennui. La partie la plus intéressante est le détail de la procédure de mise en route, pp 33 / 4.

- un article de T. L. Borden et al - Multiple operating systems on one processor complex - tiré de IBMR&D, Vol 26 N° 1, 1989, pp 104 / 23 - permet de comprendre le système de partitionnement PR / SM. Un résumé en français de cet article occupe la page 35 de la fiche.

- une note publiée dans IBM System Journal, Vol 28 N° 2, 1989, complète l'article de Gibson publié en 1986, et cité plus haut, en faisant le bilan de la bibliothèque vectorielle disponible.

- deux articles plus récents de l'IBM System Journal décrivent le logiciel de clustering disponible avec les calculateurs de la famille 3090, et sont à rapprocher des commentaires de la fiche ESA 390 sur le logiciel disponible pour les clusters.

En résumé, une description assez étoffée pour comprendre la famille, nettement déséquilibrée par son insistance sur les problèmes de maintenance: on s'explique, en parcourant ces documents, l'exceptionnelle disponibilité des installations IBM, un des facteurs de la fidélité qui se maintient en 2000 chez de nombreux gros clients.

Nouvelle synthèse : les ES 9000

Les machines ES / 9000 sont définies comme les machines incarnant l'architecture ESA / 390 et en particulier son aspect ESCON, ou au moins un sous-ensemble de cette architecture. Compte tenu de la gamme de puissances que la famille prétend servir, cela n'est possible qu'avec trois technologies que nous examinerons successivement. Ces trois familles techniques sont baptisées par IBM les **9021**, **9121**, et **9221**, avec des ambitions commerciales assez clairement distinctes, respectivement grands comptes, PME et départements, services distribués.

Nous disposons pour comprendre ces machines de deux catégories de documents :

- a) une collection de fiches IBM rédigées à l'intention des commerciaux, pour décrire en termes simples les caractéristiques des très nombreux modèles et les évolutions permises entre eux. IBM a bien compris que tout ce qui est techniquement possible doit être permis, mais qu'il ne faut pas recommencer à créer des versions marketing sans capacité de croissance.

b) une série d'articles parus dans IBMR&D et décrivant tous les aspects techniques de chacune des trois familles, indépendamment des configurations commerciales ci-dessus, qui relèvent du meccano. Les fiches de familles se réduisent à une présentation standard des traductions de ces articles.

La fiche générale ES / 9000 inclut deux des fiches du premier groupe, concernant respectivement les fonctionnalités et les systèmes d'exploitation : leur principal intérêt est de situer les trois familles les unes par rapport aux autres.

La liste des fonctionnalités est malheureusement rédigée de façon très synthétique, et justifierait des commentaires que nous ne sommes pas toujours capables de faire. Ci-après, dans l'ordre même de la fiche, une tentative d'interprétation pour quelques dispositifs insuffisamment clairs :

- asynchronous data mover ADMF : un canal spécialisé entre mémoire d'arrière plan et mémoire de travail, n'exigeant pas de suspendre l'activité du CPU initiateur pendant la durée du transfert. Cependant, l'accès aux zones concernées de la mémoire de travail sera nécessairement interdit pendant le transfert, de sorte qu'un programme ne prenant pas en compte cette contrainte pourrait provoquer la suspension de son unité centrale.

- integrated I/O features : très populaire dans le passé, cette technique économique est incompatible avec des avancées comme le partitionnement ou les canaux ESCON. On ne la propose plus donc que pour les 9221, et seulement en option.

- PR / SM : hyperviseur de partitionnement logique, désormais généralisé.

- PR / SM support for 10 LPAR / side : un si grand nombre de partitions ne peut intéresser que des machines comportant beaucoup de mémoire de travail, donc les seules 9021.

- Fault tolerant dynamic memory arrays : techniques utilisées, dans les mémoires critiques d'un système (mémoires de travail et d'arrière-plan, caches, buffers), pour que les pannes ponctuelles, permanentes ou non, n'introduisent pas d'erreur dans le déroulement des programmes qui les utilisent. Seuls les 9021 paraissent justifier les redondances savantes qui rendent cela possible, sans perte de capacité.

- PR / SM dynamic : possibilité de modifier les caractéristiques d'une partition sans passer par un IPL.

- Dynamic Reconfiguration Management : emploi méthodique des directeurs ESCON pour la connexion des périphériques au moment même d'un transfert.

- Battery backup : alimentation de sécurité pour machine travaillant sans opérateur, donc réservée aux petits modèles. C'est indépendant du BBU des horloges Sysplex, par exemple.

- Processor Availability Facility (PAF), option payante comprenant un important logiciel de remplacement en marche d'un TCM de processeur, fonctionnant dans le PCE. (voir fiche page 21).

- Console integration : possibilité de regrouper plusieurs partitions logiques sur une seule console.

- Interconnect Communication Element : l'ICE est une structure particulière aux nouveaux 9021, voir fiche page 16. On peut discuter du bien fondé de la considérer comme une fonctionnalité.

- Two-level high speed buffer : solution luxueuse du cache L2 dans les nouveaux 9021. Même remarque.

- Concurrent maintenance : dans les 3090, la maintenance et l'exploitation s'excluent mutuellement au niveau des partitions physiques. On propose ici un découpage plus fin, par CPU et par canal, et le logiciel payant (LIC) pour le faire. Voir ci-dessus PAF.

- Microprogrammes nouveaux pour services logiciels (VM et DB2).

- Asynchronous pageout facility : possibilité pour le système de maintenance de mettre hors service, sans perte d'information ni interruption du travail, une page physique de mémoire contenant un circuit défectueux et jugé non récupérable sans remplacement.

On regrette de constater que plusieurs dispositifs restent sans explication.

Machines ES / 9021 à refroidissement par eau

Les 9021 V1 sont essentiellement des re-microprogrammations de 3090J, sans modifications matérielles des TCM, avec un CP de 13 ns par conséquent. Les armoires sont celles des 3090, non convertibles en armoires 9021, de sorte que tout passage aux gammes V2 ou V3 passe par un changement d'armoires : bien que peu raisonnable économiquement, ce type d'échange sera proposé en 1993 pour passer de V1 à V3, afin de conserver les clients.

Le processus de conversion qui donne naissance aux V1 est clair :

- toute 3090 qui ne dispose pas de l'ensemble des fonctionnalités J n'est pas convertible, soit parce que certains de ses TCM ne sont pas conformes, soit parce que ses armoires ne peuvent recevoir certains dispositifs 9021.

- pour les autres, les conversions permises sont celles qui respectent ou augmentent le nombre de processeurs par partition physique.

En conclusion, les modèles 3090 / 100S, 110J, 120J, 150J, 170J, c'est-à-dire presque tous les monoprocesseurs sont inconvertibles ; IBM propose à ceux qui ne souhaitent pas un gros changement la conversion sur place en version T, qui donne les fonctionnalités 9021 sans les possibilités de croissance, ce qui ne fait que différer la mutation. Pour la même raison, les 250J et 380J, qui contiennent au moins une partition physique non convertible, sont globalement non convertibles; le 280J (double mono) ne sera pas non plus convertible parce qu'il n'a pas d'équivalent dans la gamme V1.

Pour les autres, le 3090 / 180J deviendra 9021-340 monoprocesseur
le 3090 / 200J deviendra 9021-500 dyadique,
le 3090 / 300J deviendra 9021-580 triadique,
le 3090 / 400J deviendra 9021- 620 bipartition dyadique,
le 3090 / 600J deviendra 9021- 720 bipartition triadique,
et le 3090 / 500J dissymétrique devra, faute d'équivalent, devenir aussi un 9021-720. Cela dit, tous ceux dont la croissance est suffisamment rapide ont intérêt à passer immédiatement à la gamme V2, basée sur le nouveau processeur Summit cadencé à CP = 9 ns.

Abandonnons un moment les problèmes commerciaux de configuration pour examiner la réalisation de la nouvelle famille, décrite pour nous par une collection de 14 articles tirés de IBMR&D. La fiche contient 18 pages d'information qui sont une traduction résumée de ces articles, et qu'on ne paraphraserait pas.

Qu'il suffise de souligner que les Summit ne sont pas une simple reconduction accélérée des Sierra, car pour créer une nouvelle logique améliorable, IBM a du reprendre complètement son étude : les nouvelles puces ECL sont des réseaux de 11000 portes réalisés avec une géométrie $0,5 \mu$, personnalisés par 4 couches de connexions métalliques en $1,6 \mu$ de large. 100 ou 121 de ces puces sont logées dans un TCM carré de 127,5 mm de côté, soudées chacune par 648 billes à un substrat composé de 61 couches de circuits imprimés sur un complexe verre / céramique ; une huile minérale remplace l'hélium des précédents TCM, et ce sont toujours des pistons qui évacuent la chaleur vers la plaque de refroidissement, nettement épaissie pour permettre une circulation d'eau très accrue : il y a maintenant jusqu'à 2 Kwatts à évacuer par TCM.

Chaque TCM communique avec l'extérieur par 2772 broches, enfichées dans un panneau de 22 couches disposant de six emplacements, plus un très grand nombre de connecteurs. Un seul panneau suffit pour un processeur Summit, y compris ses deux caches de premier niveau de 128 KB et son coprocesseur, vectoriel ou cryptographique.

Les nouveautés structurelles du processeur Summit sont les suivantes :

- l'existence d'un cache à deux niveaux, L2 de 4 MB commun aux trois CPU d'un SCE, et L1 dédoublé en deux caches 4 lignes * 256 colonnes de blocs de 128 Bytes pour données et instructions.

- existence de deux décodeurs d'instructions simultanés derrière un tampon de 5 instructions, pour annuler en moyenne le traitement des ruptures de séquence conditionnelles, qui dispose d'un gros cache historique. Comme pour les Sierra, on décode jusqu'à trois voies.

- dédoublement des calculs d'adresse I (branchements) et D (opérandes) avec deux additionneurs 31 bits à trois entrées, précédés chacun d'une queue.

- dédoublement du FXU, ici nommé GXE : deux opérateurs 32 bits simultanés, câblés, exécutent en 1 CP toutes les opérations d'arithmétique entière qui leurs sont distribuées par une queue de 6 instructions, et peuvent éventuellement s'associer pour les quelques opérations qui traitent 64 bits.

Le GXE travaille sur 32 registres avec redénomination, selon l'algorithme de Tomasulo inventé 20 ans plus tôt pour la 360 / 92.

- décomposition du FPU, ici nommé FXE, en un additionneur VF et un multiplieur simultanés et s'il y a lieu coopérants pour la division et la racine carrée, cette dernière câblée dans les Summit. Le FXE dispose aussi de 32 mots de registres, selon un second mécanisme de Tomasulo.

- emploi d'une microprogrammation très luxueuse (16384 microinstructions, 40 registres de 64 bits et un tampon de stockage imposant) pour le SXE, qui se charge de toutes les opérations de format SS1, SS2 et SSE, dont beaucoup sont des opérations de système.

- chaque CP peut être doté d'un coprocesseur vectoriel à deux TCM, ou d'un coprocesseur cryptographique contenu dans un TCM blindé, mais il ne peut y avoir plus d'un processeur crypto par partition physique.

L'organisation d'ensemble d'une machine ES / 9021 peut être, ou non, partitionnée physiquement. Au coeur d'une partition se trouve le SCE, System Control Element, qui gère les requêtes provenant des demandeurs, CP et ICE. Par rapport aux 3090, la différence est que chaque SCE semble avoir accès direct à tous les demandeurs (6 CP, 2 ICE), alors que le SCE d'un 3090 ne connaissait que les siens propres, plus les requêtes transmises par son symétrique. Cette disposition, clairement affirmée par les schémas des articles de IBMR&D, multiplie de façon impressionnante le nombre des liaisons à inhiber lors des partitionnements.

On verra en outre que les toutes dernières annonces de la famille portaient sur une structure à 10 processeurs, portant à 12 le nombre de connexions possibles (à 144 ou 288 fils chacune) d'un SCE.

Le rôle du SCE est de distribuer ces demandes de connexion dans sa moitié du cache secondaire, qui comprend 4 lignes et 4096 colonnes de blocs de 256 bytes. Mais il assure aussi, en plus, la cohérence des 6 (ou 8, ou 10) caches primaires, et les rechargements du cache secondaire à partir de la mémoire de travail.

On observera que la mémoire d'arrière-plan est maintenant logée dans l'armoire de l'ICE, ce qui lui restitue son caractère de périphérique particulier. La technologie de cette mémoire cesse, dans les 9021, d'être différente de celle de la mémoire de travail : elle emploie les mêmes DRAM. Les articles dont nous disposons sont muets sur la manière dont sont traités, dans ces conditions, les échanges ADMF : sous réserve d'une logique particulière de protection dans le CPU initiateur, aisée à imaginer mais non explicitement mentionnée, il s'agit seulement d'une adaptation des priorités dans l'ICE sans qu'aucune liaison nouvelle soit créée entre ICE et mémoire de travail.

Dernier aspect, nullement négligeable au plan financier, de la reconstruction qui fait passer des Sierra aux Summit : les alimentations, qui étaient complètement indépendantes et doublées pour chaque armoire dans les 3090, sont maintenant mises en pools N+1 pour chacune des tensions à fournir, ce qui exige de chacune des régulations l'aptitude à lisser les conséquences d'une panne parmi N+1 unités identiques, à pleine charge.

Telle est donc, réduite à ses traits principaux, la physionomie de la famille V2, annoncée en 1991. Pour tous détails supplémentaires, on dispose des 22 pages de la fiche ES / 9021 V2 ou, pour le lecteur techniquement très exigeant, des 180 pages d' IBMR&D.

Sur le plan commercial, les deux premières machines annoncées ont été la **820** (2 * 2) et la **900** (2 * 3), ce qui montre que la demande portait avant tout sur plus de puissance. On s'explique ainsi que ces deux machines soient les seules mentionnées nommément dans un des articles d' IBMR&D. Cependant les autres machines ont suivi rapidement en 1992, car il ne s'agissait que de combiner différemment des composants très largement communs.

Ainsi, dès février 92, la famille est au complet et consiste dans la collection suivante :

- le **monoprocasseur 520**, prix 30,925 MFFHT en France. Capable d'à peu près 50 Mips.
- le **processeur dyadique 640**, prix 60,911 MFFHT en France.
- le **double mono 660**, pour entreprise sûre de sa croissance ou ayant un besoin essentiel de partitionnement. C'est la juxtaposition de deux 520. Prix 60,044 MFFHT.
- le **processeur triadique 740**, prix 91,951 MFFHT en France.
- le **double dyadique 820**, première machine V2 à dépasser en puissance tout produit antérieur. C'est la juxtaposition de deux 640 et, bien qu'on n'en connaisse pas le prix en France, on ne s'engage pas beaucoup en l'estimant à 120 MFFHT.
- le **860** combinant 3 + 2 processeurs, c'est-à-dire un 740 et un 640, vaut 19,3 M\$
- et le **900 hexaprocasseur** qui équivaut à la juxtaposition de deux 740 et coûte 22,8 M\$.

Pour toutes les combinaisons de tailles des deux types de mémoires, pour les nombres de canaux parallèles et ESCON possibles, et pour les divers coprocesseurs, voir la fiche ES / 9000.

En 1993, IBM annonce les V3. Ce sont aussi des Summit, dont la logique a pu être poussée à 140 MHz (CP = 7,1 ns). Ils jouissent en outre de quelques améliorations matérielles :

- le processeur de compression qui peut être inséré logiquement dans l'un ou l'autre canal et qui prend donc place probablement dans le TCM de l'ICE.
- l'AMDF déjà évoqué plus haut, forme asynchrone du mécanisme d'échange de la mémoire d'arrière-plan, qui implique a priori quelques modifications dans les microprogrammes de l'ICE et dans ceux du SXE.
- et la version accélérée du moniteur transactionnel CICS / VS qui utilise aussi des microinstructions spécialisées, que je ne sais pas situer dans cette machine fort peu microprogrammée.

Les V3 peuvent être achetés directement pour leurs propriétés, mais ils peuvent en outre être obtenus par conversion, de trois manières différentes :

- depuis les V2, par remplacement de certains TCM et agrandissement de la configuration
- depuis un V3 de moindre ambition, par addition de TCM, de portes ou d'armoires
- depuis un V1, par échange contre une version de même configuration, avec un avantage financier par rapport à l'achat d'une machine neuve.

Pour toutes les combinaisons de tailles des deux types de mémoires, pour les nombres de canaux parallèles et ESCON possibles, et pour les divers coprocesseurs, voir la fiche ES / 9000.

Une configuration ne figure pas dans ce dossier, car elle n'existait pas encore à la date de sa constitution : c'est le **9X2**, assemblage symétrique de deux pentaprocasseurs atteignant 500 Mips, livrable en 6 / 94. On ne connaît pas son prix, et on ne peut affirmer, bien que ce soit probable, qu'il ne contient effectivement que deux SCE.

Machines ES / 9121 en armoires refroidies par air

Lorsqu'en septembre 1990 est annoncée la fusion ES / 9000, trois processeurs 4381, les 90E, 91E, 92E, sont compatibles avec l'architecture ESA 370, mais avec une période CP = 68 ns. Le passage à ESA / 390 et aux ES / 9000 n'a donc pas de point d'appui à ce niveau ; pourtant l'annonce des 9121 n'apparaît pas comme un abandon parce que :

- ces machines sont refroidies par air, de sorte qu'elles n'imposeront pas à leurs acheteurs plus de troubles que les 4381 auxquels elles succèdent.

- elles offrent à prix pas trop accru une puissance quadruplée (CP = 15 ns), en fait celle des 3090 qui juste avant cela étaient inaccessibles.

- et les propriétaires de 4381 étaient prêts, d'autre part, à accepter le logiciel MVS / ESA qu'ils pratiquaient depuis au minimum un an, généralement beaucoup plus.

Les 9121 utilisent une logique dérivée de l'ECL, avec des puces à réseaux de portes groupées dans de véritables TCM dissipant jusqu'à 600 watts, une quantité de chaleur qui, à l'époque des 308X, ne pouvait être évacuée qu'avec un refroidissement par eau. Il faut dire que les ensembles de ventilation sont impressionnants.

L'organisation est directement inspirée par celle des 3090, et le progrès technologique se mesure au fait qu'il ne faut plus que six TCM pour un processeur dyadique non vectoriel ou pour un monadique vectoriel, contre 21 pour le 3090 équivalent : la surface au sol est divisée par 5, la consommation par 3 ou 4, et finalement ce matériel tient dans une armoire de même taille que le 4381 remplacé, quatre à six fois moins puissant.

On trouvera dans la fiche ES / 9000 l'ensemble des dispositifs, architecturaux ou simplement techniques, présents dans les diverses familles. Bien évidemment il y a un monde entre les 9021 et les 9121, et il est important de comprendre en quoi il consiste :

- a) aucune concession architecturale n'a été acceptée, à la différence des générations précédentes : l'architecture ESA / 390 est complète dans les deux familles.

- b) il y a par contre des concessions techniques. Par exemple, la mémoire d'arrière-plan et la mémoire de travail n'en font qu'une dans les 9121, le découpage entre usages intervenant à l'IML. Les échanges sont toujours synchrones et par conséquent bloquent le CPU demandeur. L'économie n'est pas négligeable, car l'instruction spécialisée qui commande ces échanges ne diffère plus de Move Long que par ses priorités, et n'exige aucun matériel ni logique spécialisés.

- b) la fiabilité des 9121 n'est pas moindre que celle des 9021 : outre que les technologies sont très proches (les puces ne diffèrent que par les couches de métallisation), l'organisation garantit dans les deux cas que 100% des fautes sont détectées à l'instant où elles se produisent.

- c) c'est dans la disponibilité qu'apparaissent les différences, car on n'a pu consentir aux 9121 les 30% de matériel supplémentaire et le très important coût logiciel (les LIC) du dispositif des 9021. Dans ces dernières, le PCE est pratiquement en mesure de tout contrôler, de tout analyser, et de tout réparer au point que l'installation peut attendre, sans perte de puissance, le prochain passage planifié du technicien dépanneur arrivant avec exactement la bonne rechange télédéterminée.

Dans un 9121 :

- les incidents de mémoires peuvent être réparés automatiquement dans une large mesure, mais la fraction "hard" de ces défauts ne pourra être palliée qu'au prix d'une dégradation de performances ; si on ne la tolère pas, il faudra accepter les frais d'un déplacement non planifié du dépanneur.

- les incidents de logique (très peu nombreux, certes !) ne seront que rarement contournables automatiquement, et leur réparation impliquera toujours l'arrêt de l'exploitation, sauf peut-être dans les quelques machines partitionnables.

Deux articles de IBMR&D dans le dossier 9121 (Turgeon, Sarma) sont à comparer aux articles de titres très voisins dans le dossier 9021 pour bien comprendre les raisons techniques de ces différences.

Au total nous disposons sur cette famille de 10 articles de IBMR&D, 93 pages datant de mai 1991, plus un article partagé avec l'ensemble des ES / 9000 et remontant à 7 / 92. La fiche en fournit un traduction sommaire en 7 pages, et seule une photo (reprise trois fois) permet de se faire une idée de la réalisation.

L'aspect commercial des 9121 est pris en compte dans diverses feuilles de la fiche ES / 9121, qui décrivent les 10 modèles S1 utilisant la technologie initiale à CP = 15 ns, et les possibilités de croissance vers la deuxième génération de 1993 (CP = 11 ns). On distingue :

Famille S1 : cinq monoprocesseurs différant par la taille du cache, les **180 / 190 / 210 / 260 / 320**.

deux biprocesseur dyadiques distingués par leurs caches, les **440 et 480**

et trois machines partitionnables physiquement, les **490 (1+1)** à 21,198 MFFHT,

570 (2+1) à 30,389 MFFHT, et **610 (2+2)** à 40,519 MFFHT.

Famille S2 : trois monoprocesseurs **311 / 411 / 511**, deux dyadiques **521 / 621**, et les mêmes trois combinaisons partitionnables **622, 732 et 742**.

Toutes les conversions sont permises selon un séquençement qu'explique parfaitement le schéma.

Machines ES / 9221 en racks

L'idée de placer un ordinateur 370 sur quelques puces remonte à 1980 : un travail très préliminaire, destiné à confronter les méthodes de "design automation" avec la complexité des 370. En l'occurrence, on voulait voir s'il était possible de placer sur une puce (une gate array 96 * 92 portes NAND) une logique 370. Conclusion, c'est non, car registres et microprogrammation n'ont pu être pris en compte.

Deuxième essai en 1985 au laboratoire californien de Los Gatos : on réalise une puce ECL en géométrie 2 μ , sur laquelle on place un sous-ensemble significatif de l'architecture 370. Résultat : la puce mesure 14 * 16 mm et consomme 16 watts. C'est encore réductible.

En 1986, la question devient urgente, et elle est traitée comme une recherche importante au Watson Center de Yorktown Heights. Il s'agit désormais de bas de gamme NMOS, mais il faut réussir. On va donc placer sur la puce la logique câblée pour 102 opérations de base, le reste étant microprogrammé. Autour de 3 bus internes de 32 bits et du bus externe on trouve un pipeline 3 étages avec microséquenceur, deux jeux de 16 GPR 32 bits, 9 registres spéciaux, un adder 32 bits et un décaleur 64 bits, plus une ROM de 18 bits pour les adresses et une ROM de 71 bits pour la microprogrammation, en tout 94 KB.

La puce est réalisée en NMOS 2 μ avec une couche poly et 2 couches métal, alimentée en 10 MHz tétraphasé produit à l'extérieur. Elle mesure 10 * 10 mm et dégage 3 watts.

Un peu plus tard, le même dessin sera repris en CMOS 16 MHz. L'objectif est donc désormais accessible.

Un article joint au dossier (Schettler) décrit une réalisation allemande d'IBM Böblingen d'une architecture S / 370 sur 5 puces, publiée en 1990, longtemps après avoir été exécutée. Cette réalisation a contribué, avec l'essai ci-dessus et le PC/XT 370, à établir chez les responsables IBM la conviction qu'on pouvait installer l'architecture ESA / 390 complète sur quelques puces CMOS, et donc intégrer un bas de gamme réalisé avec cette logique dans la famille unificatrice ES / 9000.

Comme on l'explique dans la fiche ES / 9221, cette troisième série est un membre à part entière de la famille, avec une puissance non négligeable : l'égalité avec une 3090, fut-ce un bas de gamme détimbré, est frappante mais peu convaincante. Une capacité de 4,6 fois un 9370, ou de 2,9 fois un 4381, est par contre tout à fait significative, et fait des 9221 une honorable famille de machines universelles pour PME, successeur légitime des 43XX.

Le soin apporté à rendre ces machines complètement compatibles (voir les fonctionnalités dans la fiche ES / 9000), et l'aptitude vérifiée quoiqu'en pratique peu utile d'exécuter MVS / ESA, garantissent à ces clients qu'ils n'achètent pas un sous-produit. Cela dit, la véritable clientèle des 9221, autant qu'on puisse en juger, a été constituée par les applications d'informatique distribuée sous DPPX, pour lesquelles la famille est sans doute un peu luxueuse : des sociétés équipées de 9021 pouvaient trouver avantage à gérer leurs applications avec des machines compatibles.

Pour ce que nous connaissons réellement des 9221, la documentation se compose de :

- la fiche standard **ES / 9221 Modèle 170**, contenant la page 11 du dossier IBM, qui décrit le cheminement des conversions à partir des 9370.

- l'article précité, et un autre, plus directement relatif à la famille puisqu'il en décrit le FPU. Ces deux articles se trouvent dans la boîte 77.

- un passage de l'article de Gibson qui figure dans la boîte 76 et qui présente les 9221 dans le cadre général des ES / 9000.

Les aspects commerciaux sont résumés dans la page 3 du dossier IBM, dans la fiche ES / 9000, et rappelés sommairement ci-dessous :

a) quatre monoprocesseurs **120 / 130 / 150 / 170** sont des cibles de conversion pour les 9370 et diffèrent par la mémoire minimale, et sans doute par la taille du cache. Leur maximum est commun, 256 MB, ce qui souligne combien peu ces machines diffèrent les unes des autres ; la mémoire d'arrière-plan existe, bien que de même technologie DRAM que la mémoire de travail, et elle sera souvent nulle dans des machines dont le mode transactionnel n'est pas nécessairement la finalité principale.

Autres traits : pas de processeur vectoriel, 12 canaux parallèles ou ESCON. Les OEM sont sollicités par des concessions telles que la possibilité de contrôleurs intégrés pour certains périphériques, et même une carte SCSI qui autorise un petit usager à connecter directement ses disques.

Toute la technique rappelle les AS / 400, avec lesquels ces machines ont en commun les racks, les mémoires et les disques. Prix de départ \$ 70500 pour un petit 120.

b) un **biprocésseur 200**, toujours avec la même mémoire 256 MB mais avec la possibilité de 24 canaux. Le prix maximum de M\$ 3,12 le situe dans une autre catégorie que le petit 120.

La famille paraissait négligée par les annonces très importantes de 1993, qui rajeunissaient les 9021 et 9121. IBM avait cependant promis de ne pas oublier les 9221 qui sont renouvelés en 1994 avec les modèles suivants dont on ne sait rien :

c) **trois monoprocesseurs 191, 201 et 211**

d) **deux biprocésseurs 221 et 421**

Le moins qu'on puisse dire est que ces machines, survenant alors qu'IBM est à son point bas, et s'apprête en matière de mainframes à une mutation radicale, n'ont pas beaucoup fait parler d'elles.

Dernière phase : la technologie CMOS

La réaction de la clientèle d'IBM aux offres Summit a été favorable, mais ces mêmes clients n'ont pas faits un très gros succès aux 9121, et ils ont largement ignoré les 9221. En enquêtant sur cette situation parmi ses quelque 15000 clients MVS, IBM a compris l'évolution de son marché :

- les clients veulent essentiellement des Mips, et de préférence à bas prix. Les petites machines ESA / 390 ne les intéressent pas vraiment.

- cette réaction au prix favorise les compatibles, qui à cette époque ne sont en réalité plus que deux :

Amdahl, adaptant et vendant des machines Fujitsu.

Hitachi, qui commercialise ses machines à travers NAS aux USA et Comparex en Europe.

NEC est aussi dans la compétition au Japon, mais guère en Europe ni aux USA.

Ces matériels japonais sont aussi bons que les matériels IBM, peut-être un peu moins disponibles mais certainement moins chers, et ceci compense cela. D'autre part, la loi antitrust oblige IBM à vendre ses logiciels à ces concurrents au même prix qu'elle propose à ses clients, de sorte que ce service essentiel et apprécié n'est pas discriminant.

La conclusion est donc claire : il faut porter l'effort sur les grosses puissances, et en baisser le prix.

L'expérience des 9221 n'était peut-être pas convaincante commercialement, mais sa réussite technique était significative : on pouvait construire des machines ESA / 390 multiprocesseurs en CMOS, avec un prix de revient très inférieur à celui des mainframes ECL. Et il fallait le faire tout de suite, car les japonais allaient forcément le découvrir très vite, à l'occasion de leurs travaux sur les PC par exemple.

En novembre 93, IBM annonce deux produits, livrables respectivement en avril et août 94 :

- un multiprocesseur CMOS de consultation de la base de données DB2, le **Parallel Query System 9673**
- un multiprocesseur CMOS transactionnel, **Parallel Transaction System 10 Modèle 9672**, qui matérialise le moniteur transactionnel CICS / VS

Ces deux machines se présentent comme des coprocesseurs pour les 9021, mais les deux concepts sont différents :

- le 9672 comprend 1 à 8 cartes de chacune 6 processeurs CMOS, acceptant MVS complet donc dotés de mémoire propre, et intégrés à travers le Parallel Sysplex. L'idée est que ce dernier, répartissant la charge de l'ensemble, allégera automatiquement celle des 9021, auxquels on laissera le travail difficile.

- le 9673 comprend les mêmes processeurs que ci-dessus, et en plus jusqu'à 768 GB de disques, un routeur ESCON et du logiciel. C'est une boîte noire livrée clé en main, vendue à partir de 9 MFFHT pour 20 GB. Il est relié à l' ES / 9000 par au moins quatre canaux ESCON.

Ces manières de périphériques obtiendront peu de succès, et d'ailleurs il semble qu'IBM n'y croyait pas, cherchant une formule qui ne fit pas comprendre trop vite aux clients que leurs tout récents ES / 9021 étaient déjà dépassés.

Il est probable qu'en réalité le choix était fait, car des jalons sont posés dès le début de 1994, avec l'annonce du **MVS / SP 5.1**, qui intègre la totalité des services d' Unix. Son prédécesseur SP4 respectait une part de l'interface Posix et acceptait le Shell d' Unix ; la version 5 y ajoute HFS, la gestion hiérarchique des fichiers, le serveur de fichiers NFS, un débogueur du standard Posix. En 1995, on vérifiera qu'il satisfait les 1170 spécifications de l' X.Open. Cette adhésion à Unix n'était qu'un des aspects de la nouvelle version, mais c'est celui que les commentateurs retiennent.

A partir de 6 / 94, IBM livre le **9674**, coeur du Parallel Sysplex qui va présider à la mutation. D'après son sigle, il s'agit d'un multiprocesseur CMOS, fonctionnant sous MVS / SP 5.2 livrable en 12 / 94 et disposant de versions retaillées de DFSMS, VTAM, CICS, IMS, DB2 et VSAM. Mais c'est aussi la source de fibres optiques 100 MB / s, portée 3 km, qui le relie à un maximum de 32 systèmes d'exploitation MVS qu'il coordonne en assurant l'intégrité des données et l'équilibre des traitements.

Pour éviter d'imposer à ces 32 machines un système unique, VM / ESA 2.2 Open Edition sort en 6 / 95 : lui aussi supporte désormais les interfaces Posix et DCE d' Unix, ce qui permet de placer dans chaque membre du Sysplex un hyperviseur VM avec système de production MVS 5.2, et tous autres systèmes à volonté sur des machines virtuelles. Dans la foulée, IBM annonce encore **VSE / ESA 2.0** qui sait désormais conduire les multiprocesseurs, et des rabais de 25% sur 175 logiciels.

Ce dispositif en place, IBM annonce le **9672R**, un authentique système ESA / 390 complet comprenant de 1 à 6 processeurs baptisés semble-t'il R11 à R61, avec une puissance de 15 à 60 Mips. Bien qu'on n'ait pas de détail, il s'agit apparemment d'ordinateurs et non de simples coprocesseurs, avec architecture complète, mémoire et périphériques à l'image des ES / 9000 et notamment la possibilité d'emploi de canaux ESCON et d'intégration dans un Parallel Sysplex. Désormais, le Parallel Sysplex peut grouper autour d'un 9674 et de la **base de temps 9037** tous les 9021 et 9121 déjà en place, plus un nombre quelconque de 9673 et de 9672R.

Le prix du R61 est inférieur de 10% au plus petit prix des machines existantes, le refroidissement se fait par air, la consommation électrique est divisée par 25, le prix du contrat d'entretien par 3 à 5. Pour ne pas faire trop de tort aux 9021, on laisse entendre que la disponibilité de telles machines "annexes" ne

saurait se comparer avec celle, effectivement exceptionnelle, des 9021 ; mais tout client qui connaît quelque chose à la technologie peut deviner que cela ne durera pas, et que ces processeurs encore modestes vont évoluer vers le haut. Cela dit, personne chez IBM n'imagine, à cette date, la rapidité de cette évolution.

Pour situer les enjeux, donnons quelques chiffres concernant les mainframes. La base installée (IBM et compatibles) s'élevait à 970 KMips en 1992, 1076 en 1993 (le creux de la vague), 1206 en 94, 1341 en 95, mais avec un prix au Mips en chute libre : K\$ 100/Mips en 90, 85 en 91, 65 en 92, 45 en 93, 27 K\$/Mips en 1994. De plus, ces chiffres en augmentation cachent le fait que le nombre des machines installées diminue rapidement : ainsi, l'accroissement de 135000 Mips entre 94 et 95 correspond à la vente par IBM seul de 250000 Mips en 1995. Cette observation concerne le monde entier, et par exemple les chiffres américains sont passés de 307541 Mips à 451706 Mips entre 91 et 94, avec un nombre de machines diminuant de 21620 à 15915. Voici d'ailleurs les chiffres des ventes mondiales de mainframes, en milliards de dollars (B\$):

IBM	Fujitsu	NEC	Hitachi	Amdahl	Total	Date
12,06	3,22	1,82	1,54	2,01	28,16	1992
9,45	3,04	1,78	1,36	1,13	23,42	1993
8,97	3,12	1,77	1,32	0,98	22,39	1994

On calcule aisément que la vente des machines ECL était de moins en moins rentable, justifiant en apparence les prédictions pessimistes de la presse informatique, dont les commentaires portaient une part de responsabilité dans le phénomène. Cette presse avait d'ailleurs réussi, comme c'est souvent le cas, à se tromper elle-même, refusant par idéologie de voir ce qui expliquait la fidélité des acheteurs : le coût annuel par utilisateur s'élève à 2650 \$ sur un mainframe, contre 9600 \$ en mode client/serveur. Sur cinq années, le coût par tête est moyenné 7890 à 8950 \$ sur un grand système, 10800 à 11900 sur un serveur Unix, 14100 à 23250 \$ sur un réseau de PC.

Dans le cas particulier d'IBM, les baisses de prix de vente au Mips ont été surmontées pour deux raisons à partir de 1995 :

- forte baisse de prix de revient due au virage vers le CMOS.
- croissance toujours vertigineuse des disques, dont IBM est producteur : 903 Térabytes en 94, 1224 en 95, avec des prévisions (appuyées sur des enquêtes auprès des clients) de 1555 TB en 1996, 2027 TB en 97, 2630 TB en 98.
- une autre façon de relativiser l'évolution prétendument irréversible des moeurs informatiques est de chiffrer les ventes de l'année 95 en fonction du système d'exploitation utilisé par les processeurs vendus. Selon une enquête du début 96, il s'agit de 31,6 % MVS (IBM à 60%), 13,7 % OS/400 (IBM à 100%), 29,8 % Unix (IBM à 16%), 4,4 % VMS (DEC), 3,6 % Windows NT, et 16,8 % autres : ainsi les solutions propriétaires IBM attirent elles encore pas loin de 50% des usagers, dont 38,5 % achètent à cet effet un matériel IBM. Alors que depuis dix ans la presse informatique annonce la fin des solutions propriétaires, elles semblent toujours bien vivantes.

La deuxième génération du 9672 est annoncée en juin 95, avec des processeurs de 23 Mips en deux familles : les **R12 à R72** plafonnent à 100 Mips, les **R53 à RX3**, ce dernier à 10 processeurs atteignant 185 Mips. Par exemple, le R63 à six CPU coûte 12 MFFHT à l'achat, et 360 KFFHT de maintenance ; il n'occupe que 1 m2 au sol, et il ne consomme que 25 KF d'électricité par an !

En 1996, l'offre se double d'un **ES / 4800**, un ensemble comprenant jusqu'à huit groupes formant cluster, de chacun 6 processeurs CMOS refroidis par air, 40 Mips par CPU. Nous ne savons rien de ce produit mentionné dans la presse, ni des familles G3 et G4 évoquées par IBM, probablement des annonces non identifiées de 1996 et 1997; dans ce cas, G3 serait l'ES/4800.

Exemple : Galeries Lafayette

Fin mai 97, on peut par exemple citer le Parallel Sysplex de Mag Info, le serveur des Galeries. Deux sites existent, dans le 3ème et le 18ème arrondissement, reliés par 6,3 Km de fibre optique à 100 Mb/s : l'un comprend une 9021 et deux 9672 autour d'un coupleur, avec 2 TB de disques ; l'autre dispose de deux 9672 autour d'un second coupleur, et de disques miroirs.

Le Sysplex gère ces ressources comme un seul système dont il assure l'équilibre, avec 5 millions de transactions CICS/DB2 par jour et un batch débordant la nuit ; la sécurité est assurée par recopie des disques d'un site sur l'autre. En cas de destruction d'un site, le Sysplex survivant rééquilibre automatiquement l'autre et aucune information n'est perdue.

Au delà de ce simple exemple - le premier Parallel Sysplex français - les chiffres de 1997 indiquent qu'il reste 8000 sites MVS dans le monde, dont 1300 ont adopté le Parallel Sysplex.

En mai 98, IBM annonce les **9672 G5**, une famille de 20 modèles entre 1 et 10 processeurs, supposée atteindre 900 Mips, et susceptibles de former des clusters jusqu'à des puissances bien supérieures. Livraison prévue en septembre 1998.

Un an plus tard, les **9672 G6** peuvent comporter jusqu'à 12 processeurs et atteindraient 1600 Mips, reprenant la tête de la course devant Hitachi dont les Skylines, peu auparavant, étaient montés à 1000 Mips. Il devient d'ailleurs difficile d'évaluer la signification de tels chiffres, car la presse lance souvent des préannonces douteuses ou même fantaisistes.

Nous sommes en mesure de décrire sommairement ces deux dernières familles à partir de renseignements recueillis à la source, c'est-à-dire sur le site Internet www.ibm.com. Ces renseignements ne comportent malheureusement aucune évaluation en Mips, ni aucune fréquence de travail.

La famille G5 comprend deux **monoprocesseurs, RA6 et R16**, mémoire 1 à 12 GB

deux **biprocesseurs, RB6 et R26**, mémoire 1 à 12 GB

deux **triprocesseurs, RC6 (1 à 12 GB) et R36 (2 à 32 GB)**

deux **quadriprocesseurs, RD6 (1 à 12 GB) et R46 (2 à 32 GB)**

un groupe de 5 à 10 processeurs, **R56, R66, R76, R86, R96 et RX6**, 2 à 32 GB.

et un second groupe plus puissant de 3 à 10 processeurs, **Y36 à Y66 (5 à 32 GB)**
puis **Y76 à YX6 (8 à 32 GB)**.

On peut passer aux G5 à partir des R3, des G3 et des G4, et progresser ensuite dans la famille G5.

La famille G6 comprend deux niveaux de performances de 1 à 12 processeurs, **X17 à XZ7 et Z17 à ZZ7**. Leur mémoire peut varier de 5 à 32 GB. On peut passer aux G6 à partir des G3, G4 et G5, et progresser ensuite dans la famille G6.

Le clustering est la règle plutôt que l'exception, et utilise un **coupleur 9674** qui en est à sa troisième génération, baptisée R06. Il semble exister aussi des possibilités de couplage moins générales, les ICF, Integrated Coupling Facilities, qui fonctionnent point à point : il y en a trois sur les RA6 à RD6, sept sur les autres G5, et neuf sur les G6. Le R06 contient 10 ICF.

La cryptographie est standard, sous la forme de deux coprocesseurs CMOS. Jusqu'à huit coprocesseurs supplémentaires sont disponibles en haut de gamme : l'indication PCI donnée par IBM suggère qu'ils s'intercalent sur les liaisons périphériques assurées par un bus PCI, comme dans les PC.

Les canaux parallèles et ESCON, toujours en service, sont maintenant renforcés par un nouveau dispositif, les FICON, caractérisés par un débit de 70 MB/s en full duplex et un fonctionnement en commutation de paquets sur des distances nettement accrues. Les nouveaux services FICON comprennent, comme les ESCON, des directeurs permettant la commutation dynamique, et des adaptateurs pour les contrôleurs des principaux périphériques, disques et bandes au moins ; un directeur peut gérer jusqu'à 3600 SIO par seconde (c'est-à-dire ordres d'entrée ou de sortie) en provenance de CPU G5/G6.

Les divers canaux se logent, dans les armoires des CPU précités, dans une cage de connexion qui est le terminus de l'arborescence d'accès à la mémoire. La cage standard comprend 22 slots dans les armoires G5/G6, dont 16 pour les canaux (2 FICON ou 16 ESCON dont une recharge, par carte). Le minimum est de 3 canaux parallèles sur les G5, 4 sur les G6 (une demi-carte) ; le maximum est 96 canaux parallèles, ou 256 ESCON, ou 24 / 36 FICON en G5 / G6, ou toute combinaison plausible de cartes (incrément = 3 ou 4 parallèles, ou 4 ESCON, ou 1 FICON, donc des fractions de carte).

Il est permis de remplacer cette cage standard par une cage de compatibilité qui peut recevoir 48 canaux parallèles, 4 ports ESCON et des ports OSA2 pour Token ring et/ou FDDI.

Les systèmes G5/G6 sont des S/390 complets qui prennent place dans une armoire de 612 Kg, occupant 1 m2 au sol (2,5 m2 avec les gardes de portes), et consommant 600 VA. On peut utiliser une armoire d'extension pour loger des disques dits internes, avec un poids total de 938 Kg, une surface au sol de 1,8 m2 (4,8 m2 avec les gardes de portes), et une consommation maximale de 5,5 KVA.

Ces ordinateurs peuvent fonctionner sous les systèmes suivants, soit globalement, soit au sein de partitions en mode LPAR choisi à l' IPL :

OS/390 tous releases, ou MVS/ESA SP5.2 et releases suivants, ou ICF/MVS 2.1

VM/ESA à partir de la version 2

VSE/ESA à partir de la version 2R1

TPF à partir de la version 4R1

En 1999, IBM a donc amené ses matériels CMOS au niveau de puissance et d'universalité où elle était arrivée en 1993 avec les matériels ECL. Tous les services connus sont disponibles, et le clustering permet, le cas échéant, de grouper sur un seul travail des ressources nettement supérieures à ce qui se faisait alors. IBM décide donc de faire un pas de plus :

Architecture : définition de la Z-architecture, qui se présente comme une extension 64 bits de ESA/390, englobant et conservant d'ailleurs la version 31 bits qui a fait l'objet de toutes les descriptions antérieures.

Machines : la **Z serie 900** est une collection de 25 modèles comprenant les **101 à 116** qui permettent le clustering, et les **1C1 à 1C9** (capacity models) qui ne le permettent pas. On peut par clustering faire travailler ensemble jusqu'à 640 processeurs, soit 512 sur une seule mission et 128 en réserve active pour travaux conversationnels à la demande (key facility).

Evolution : possible depuis G5/G6, et au sein de la Z série 900.

Cryptographie : deux coprocesseurs CMOS en standard, et jusqu'à 16 PCI optionnels, à 2 par carte.

Mémoire : 5 à 32 GB pour les Modèles 101 à 109, 10 à 64 GB pour les autres.

Canaux : une à trois cages dans une nouvelle version à 28 slots, dont 18 pour des cartes de canaux. Soit 0 à 88 canaux parallèles par incréments de 4 ; 0 à 256 canaux ESCON par incréments de 4 ; 0 à 96 canaux FICON par incréments de 1. Une cage de compatibilité est nécessaire pour les canaux parallèles.

Présentation : en standard une armoire de 917 Kg, surface au sol 1,32 m², consommation 5,3 KVA.

Avec batterie optionnelle et disques internes : deux armoires totalisant 1866 Kg, 2,81 m² au sol (6,18 m² avec les gardes de portes), 2 m de haut, consommation 13,7 KVA.

Logiciel : le véritable système d'exploitation de la famille est Z/OS, un système 64 bits qui englobe OS/390 64 bits (release 10) et Z/VM, avec le mode LPAR de partitionnement logique et deux nouveautés : Intelligent Resource Director for On demand business, et System Automation qui est une gestion centralisée de tout le système, CPU et entrées/sorties. Il existe un Linux for Z serie avec LPAR qui fonctionne en 64 bits et apporte l'essentiel des fonctionnalités Unix.

OS / 390 R10 apporte tous les classiques : IMS base de données hiérarchique, DB2 base de données relationnelle, CICS pour le mode transactionnel, MQ series pour toutes communications entre tous modèles, Tivoli pour la gestion et Domino (développement de Notes acquis avec la société Lotus) pour l'accès à Internet. Il existe des compilateurs VA Cobol, VA PL/I, XML, HTML, Java.

La Z serie peut cependant fonctionner aussi, globalement ou dans certaines de ses partitions, avec OS/390 V2R6 à R9 31 bits, Linux 31 bits for OS/390, VM/ESA avec LPAR à partir de V2R3, VSE/ESA avec LPAR à partir de V2R3, et TPF à partir de V4R1.

Les commentaires IBM sur les fonctionnalités de la Z serie permettent de constater que cette famille offre absolument tous les services des Summit, et quelques autres en plus, parmi lesquels on peut citer :

- des processeurs cryptographiques selon le plus récent algorithme, triple DES.
- une virgule flottante IEEE (probablement en plus de la VF 390) pour Domino et Java
- ICMF, Integrated Coupling Migration Facility, qui concerne le clustering, y compris le Parallel Sysplex qui est supporté non seulement par l'OS/390, mais aussi par VM/ESA.
- ADMF, Asynchronous Data Mover Facility, pour des mouvements de pages entre mémoire de travail et mémoire d'arrière-plan sans recours aux CPU. La mémoire, qui est unifiée techniquement, est partitionnée à l'IPL par l'usager.
- un PR/SM jusqu'à 15 LPAR de 2 GB, reconfigurables dynamiquement et s'il y a lieu, automatiquement. La possibilité existe de fusionner les consoles des partitions.
- la gestion dynamique des entrées/sorties, utilisant les directeurs ESCON ou FICON.
- le processeur de compression sur les entrées/sorties.
- une organisation de sécurité RAID5 sur les disques internes.
- l'alimentation et le refroidissement conçus selon la doctrine N + 1, avec batterie interne de transition pour les pannes et partitionnement physique optionnel.
- la maintenance avec HMC (processeur de maintenance avec console) et un riche arsenal de LIC pour le contrôle et le dépannage en marche de chaque fraction significative : CP, SAP, PR/SM, LPAR, ICMF, HMC, SE, Alimentation et contrôle de température, Disques : le tout commandé localement ou à distance. Cette maintenance incorpore des dispositions décrites pour les 9021, comme les puces de rechange dans les modules de mémoire.
- les assistances microprogrammées pour le tri dans DB2, pour les calculs de checksum, pour VM avec en particulier l'opération SIE, pour la racine carrée, etc...

Le lancement de la Z serie laisse subsister, dans une gamme de prix beaucoup plus modeste, une famille de S/390 commercialisée sous le nom de Multiprise 3000, qui se présente comme une version compatible mais réduite des G5/G6, en deux modèles **monoprocesseurs H30** (mémoire 1 GB) et **H50** (mémoire 2 GB) et un modèle **biprocésseur H70** (mémoire 4 GB).

Cette famille supporte jusqu'à 56 canaux, ESCON ou parallèles. Les canaux parallèles peuvent comporter des adaptateurs pour Ethernet PCI, Token ring PCI, et des émulateurs de 3174 pour tous réseaux. Les canaux ESCON à 17 MB/s fonctionnent en deux modes, CTC Native et Basic : on peut y connecter une EMIF, Multiple Image Facility, qui semble être l'équivalent d'un contrôleur de communications compatible avec les interfaces RS232C, X21, V35, etc...

Le matériel occupe une armoire de 236 Kg, surface au sol 0,54 m² (4,1 m² avec la garde des portes), consommation 1,32 KVA dont 1 Kw à dissiper. Elle peut loger, outre le matériel précité, jusqu'à 216 GB de disques. Deux extensions sont possibles, poids 232 Kg et toutes autres caractéristiques comme ci-dessus, chacune contenant un complément de 288 GB de disques. Ces données paraissent compatibles avec les racks bien connus des 9221 et des AS/400.

Le logiciel peut être OS/390 à partir de la version 2.4, VM/ESA à partir de V2.2, ou encore VSE/ESA à partir de V2R2.

Périphériques

L'activité d'IBM en matière de périphériques n'est pas négligeable, mais les soucis de 1993 ont nui à la créativité, et déplacé les centres d'intérêt vers le bas.

Disques

En matière de disques, les 3390 sont toujours nombreux mais l'effort d'IBM s'est déplacé vers des armoires multidisques organisées en RAID, les RAMAC 1, à 8 rangs de 2 tiroirs (4000 installés en 6/95). IBM préconise d'installer les grandes masses de disques dans des lieux éloignés, protégés, et reliés aux processeurs par canaux ESCON ou FICON.

L'une de ses techniques de sécurité est la Remote copy, selon laquelle un site de disques miroirs éloigné recopie en permanence les disques de travail à travers des fibres optiques.

Profitant des difficultés provisoires d'IBM, son concurrent Storagetek s'est focalisé sur le disque et y a pris la seconde place, avant IBM et derrière EMC, un nouveau venu dynamique.

En juin 96, IBM annonce qu'il va distribuer de façon exclusive, à partir de juillet, trois produits importants de Storagetek, construits d'ailleurs semble-t-il avec des disques IBM. Il s'agit essentiellement d'ensembles RAID pour grands systèmes, à savoir :

- Arctic Fox, haute performance et faible capacité, devient **Ramac Electronic Arrays Storage**

- Iceberg, milieu de gamme, devient **Ramac Virtual Array Storage = RVA** et c'est sur lui essentiellement que table IBM. Le mot virtuel signifie que le contrôleur intelligent du RVA redistribue l'information et la comprime pour économiser la place sur disque, en gardant la responsabilité de restituer à l'ordinateur la structure de données qu'il croit avoir créée.

- Kodiak enfin, haut de gamme haute performances devient **Ramac Scalable Array Storage**.

Cet accord ne suffira pas pour faire passer IBM et Storagetek (41%) devant EMC 42%, HDS 14% et Amdahl 3% (chiffres du Gartner group pour les livraisons de 1996).

Bandes magnétiques

La cartouche inventée par IBM pour son dérouleur 3490E est devenue une quasi-norme chez les compatibles, qui l'exploitent sous la forme de bandothèques. Storagetek détient 80% de ce marché, où IBM intervient avec deux produits :

- le **3495** pour 20000 cartouches, depuis 1991

- le **3494** pour 210 à 3000 cartouches, depuis 1993.

En juin 1995, IBM annonce **Magstar**, un nouveau dérouleur pour cartouches de 10 GB, extérieurement compatibles avec les 3490E. La bande porte 128 pistes que le lecteur explore par groupes de 16 en alternant 4 déroulements et 4 enroulements, à la vitesse de 2 m/s qui correspond à 9 MB/s, trois fois plus que les dérouleurs précédents. Une table enregistrée en tête de bande stocke des pointeurs de fichiers qui sont accessibles à la vitesse de rebobinage de 5 m/s. Têtes magnétorésistives, sans frottement. Possibilité de compression. Le dispositif se présente dans une armoire de deux unités côte à côte, avec en façade un magasin de 10 cartouches.

Les 3494 et 3495 pourront recevoir des Magstar dès la mi 95.

La concurrence Hitachi, avec deux bandothèques 7430 = 316 à 3016 cartouches, et 7450 = 2103 à 8751 cartouches, a annoncé qu'elle proposait la technologie Magstar dès la fin de 1995.

La concurrence Storagetek, qui offre depuis 1992 un Powderhorn 2310 de 6000 cartouches et depuis 1993 un Wolfcreek 9360 de 504 à 949 cartouches, pourrait en faire autant, bien qu'ayant pris entre temps une orientation différente avec sa technologie Redwood de lecture hélicoidale, qui autorise des cartouches de 10, 25 et 50 GB sans compression.

Communications

Dans le domaine des communications, IBM s'est décidée en 93 à proposer des inflexions de la conception purement hiérarchique de SNA; la refonte commence par l'annonce de **VTAM 4.1**, qui fait des 3090 un point de réseau comme un autre. Ce module contient un annuaire central qui répertorie tous les services du réseau, applications, fichiers, périphériques; il sait gérer le full duplex entre mainframes.

Le nouveau VTAM travaille avec le **NCP 6.2** dans les contrôleurs 3745, lequel permet les reconfigurations dynamiques du réseau. L'extension 3746 de cette machine, qui comporte son propre processeur central et des microprocesseurs sur chaque liaison, pourrait même oublier NCP et VTAM.

Les réseaux locaux sont de mieux en mieux pris en compte par les contrôleurs :

- le 3745 supporte 8 Token ring, 4 Ethernet, et ignore FDDI et ATM. Il pratique les routages SNA APPN et aussi TCP/IP.

- le 3746, encore dépendant du 3745 dans sa version 900, est adapté aux canaux ESCON plutôt qu'aux canaux parallèles du 3745. Il supporte jusqu'à 20 Token ring mais ignore les autres technologies. Il découvrira cependant ATM en 1996. Il pratiquera les routages SNA / APPN et TCP / IP dès qu'il sera indépendant, en 1996.

- la solution économique pour les réseaux locaux est le **3172.3** : pour 150 KF (canaux parallèles) ou 250 KF (canal ESCON), soit le tiers ou la moitié d'un 3745 / 6, ce contrôleur peut se connecter jusqu'à 4 Token ring, 4 Ethernet, et deux FDDI, ainsi que 32 lignes asynchrones ou 8 lignes à 2 Mbit/s ; il est même prévu qu'il sache traiter ATM dès 1995. Il sait router APPN et TCP/IP.

Cette polyvalence en fait la cible de Cisco, la société qui monte en matière de communications, dont le modèle 7000 semble capable d'en suppléer tous les aspects, et d'offrir en outre des ouvertures sur d'autres constructeurs, tels que DEC, Apple, Apollo, etc...

Il y a tout de même des domaines que n'aborde pas CISCO . Pour les très gros débits et les très grandes distances, IBM reste d'autant plus seul qu'elle est probablement l'unique fournisseur de systèmes assez importants pour justifier son **9729 Muxmaster**, un coupleur à fibre optique de portée 42 Km. Voir fiche et photo.

334 - La filière de petite gestion

System 3

Bien qu'IBM ait certainement décidé l'étude du System 3 en dehors des pressions extérieures, ce sont les procès antitrust répétés et notamment celui contre Control Data, qui ont décidé IBM à organiser cette fabrication dans une division distincte de celle qui construisait, à la même époque, les S / 360 : il fallait pouvoir, en cas de décision hostile, couper la corporation en unités rentables. Il n'y a aucun doute que la General Systems Division ait été rapidement rentable, ayant produit quelque 30000 systèmes avant de passer à la suite, tout aussi réussie.

Le **S 3 / 10**, point de départ de l'opération, est une machine à cartes, organisée autour d'un remarquable **LPFM 5424** servant un nouveau produit, la carte 96 colonnes qui peut être interprétée en même temps que perforée. Cette introduction d'un nouveau système de cartes, obligeant à créer une trieuse et une perforatrice, sera dans l'ensemble bien reçue par le public.

Il introduit en même temps le **disque 5444** en cartouches, matériel extrêmement modeste par sa vitesse de rotation de 1500 t / min, 40 ms / tour, par son temps d'accès de 250 ms, et par son débit de 199000 car / s. Il était offert en trois capacités 4,915 / 7,372 / 9,830 MB mais la dernière fut la plus demandée et, dès 1971, le temps d'accès du bras était réduit à 126 ms. La présentation du 3 / 10 permettait d'installer deux tourne-disques, mais il faut croire que beaucoup de clients trouvèrent petite la capacité de 9 MB, car en 1971 IBM propose le 5445, qui reconfigure le 2314, 312000 cps, 20,48 MB / pack, 60 ms d'accès moyen. Le système d'exploitation étant édifié autour de la cartouche de base, un 5444 était nécessaire même pour un client désireux d'acheter le maximum de deux 5445.

Le **S3 / 6**, sorti l'année suivante, est la même unité centrale dans un emballage différent, plus économique en ce qu'il peut se passer de cartes. Si on décide de les garder, par exemple pour pouvoir utiliser le 3 / 6 comme terminal, on utilise le très modeste lecteur / perforateur **5496** à 22 cpm.

L'imprimante **5213** devient l'organe de sortie essentielle, l'opératrice travaillant entre un clavier indépendant et un écran 2265. Un lecteur **2222** de grandes cartes formant dossier avec bande magnétique (ledger) peut remplacer la 5213 pour faire du S3 / 6 une machine de gestion.

Le succès sera modeste, 4000 machines en trois ans, et c'est finalement le 3 / 10 qui sera le meilleur succès de cette première version.

Le **S 3 / 15** relance la famille en 1974 avec une mémoire MOS d'emblée beaucoup plus importante que la mémoire à tores du 3 / 10, et cette mémoire ne cessera de grossir jusqu'à 512 KB en fin de carrière. La puissance accrue du système se manifeste par une imprimante 1403 et des disques 3340, éventuellement même par des dérouleurs de bandes 3410, et par un logiciel MRJE qui permet de mêler les fonctions de terminal lourd avec le rôle principal de calculateur de gestion.

Si le RJE n'est pas souhaité, les cartes peuvent être supprimées et l'entrée principale devient alors soit un lecteur de disquettes 3740, soit une collection de postes de saisie 3270, jusqu'à 30.

Le S3 / 15 est ainsi le nouveau matériel polyvalent de la gamme, mais IBM se réserve, dès l'année suivante, la possibilité de baisser les prix avec le S3 / 12 qui est la même machine, avec de moindres possibilités de périphériques. En particulier, on simule le 5444 sur une partie du module d'un disque 3340, ce qui permet de l'éliminer sans toucher au système d'exploitation.

Pour finir, le S3 / 4 de 1976 reprend la présentation du S3 / 6 avec une structure de concentrateur : cinq lignes pour écran 3277 et/ou imprimante 3284 rayonnent à partir d'un petit central qui ne contient, à côté d'une imprimante 5213, qu'un autre 3277 et deux disques 5447, versions fixe + amovible du très modeste 5444 avec les mêmes caractéristiques plutôt faibles et une capacité plafonnée à 2 * 5,5 MB.

System 32

Cette expérience de 6 années a permis à IBM de mieux connaître son marché, et de constater que les PME sont encore timides vis à vis de l'informatique, et réticentes à la multiplication des terminaux. IBM étudie donc le System / 32, qui se présente comme le bas de gamme de la famille S3. Le processeur est un 8 bits tout à fait minimal, qui réalise un sous-ensemble de l'architecture S3 par émulation, laquelle est en l'occurrence pratiquement une simple interprétation.

Le système d'exploitation se résume pratiquement à un dispatcher câblé, constitué par 7 niveaux d'interruption hiérarchisés qui gèrent les périphériques. Tout est ainsi prêt pour toutes les combinaisons de périphériques que l'on ne manquera pas de proposer au client, mais sans pousser puisque le S3 est toujours commercialisé. L'originalité de la conception est d'intégrer un disque fixe **Winchester 62PC**, beaucoup plus performant que les amovibles des S3, et cependant très peu encombrant : 9,1 MB seulement, mais 889 KB/s de débit.

Le S / 32 sera un grand succès, et introduira réellement IBM dans les PME, ce que n'avait pu faire le S3 généralement considéré comme trop complexe et trop cher. Ventes estimées : > 30000 machines sur 5 ans.

System 34

Après le succès du S32, les clients n'ont plus peur d'IBM et IBM a compris ce que veulent ses clients. Le nouveau System 34 se compose d'un bloc de commande microprogrammé, le CP, Control Processor, et d'un bloc de calcul câblé 8 bits, le MSP, Main Storage Processor, c'est-à-dire à peu près la même organisation que le S32, autour d'un ensemble de périphériques nettement amélioré, servi par un système d'exploitation très étudié.

En fait le CP n'est autre que le CPU du S32, tandis que le MSP est le CPU du S3. La mémoire est limitée à 64 KB par la forme des adresses, mais la pression des clients conduira IBM à l'étendre à 512 KB par translation, avant la première livraison ; en pratique cette marge ne sera pas utilisée et les clients se satisferont de 128 KB. Du côté disque, l'évolution sera encore plus impressionnante, puisque partant d'un choix de base de 8,6 / 13,2 / 27,1 MB, IBM finira par livrer des disques fixes de 256 MB.

Nous disposons sur cette machine d'une documentation importante, comprenant :

- fiche System 34 décrivant les aspects commerciaux de la machine et contenant le macrorépertoire.
- fiche **IBM 5340** décrivant la micromachine CP avec son répertoire
- le document de maintenance SY31.0458.0 de 12 / 77, intitulé IBM System / 34, 5340 System Unit, Theory Diagrams Manual, dont ont été tirées les données techniques des deux fiches. Classé 214.
- et neuf documents sur le logiciel, réunis dans les boîtes d'archives 78 et 79.

Introduction GC21.5153 - liste des constituants)
Planning guide GC21.5154 - mode d'emploi et présentation des logiciels)
Functions reference SA21.9243.0 - description des instructions de base) 78
Basic Assembler and Macro Processor Reference Manual SC21.7705)
System Support Program, Logic Manual : System LY21.0050.0 - Description fonctionnelle)
System Support Reference Manual SC21.5155.1 - Liste des ordres, langage de commande	
Data File Utility Reference Manual SC21.7656.0 - Gestion de fichiers	79
Work Station Utility Reference Manual SC21.7663.1 - Travail en RPG 2 sur écran	
Source Entry Utility Reference Manual SC21.7657.1 - Logiciel de saisie	

Le **SSP, System Support Program**, fait toute la valeur de la machine et c'est bien entendu un programme payant. La plupart des utilisateurs de cette classe de machine sont incapables de programmer en assembleur, ou en Fortran IV, les autres services disponibles sur cette machine.

On notera que les écrans proposés sont des modèles pauvres, 960 caractères seulement, avec un choix de 96 caractères et une connexion en multipoint sur une ligne SDLC pour jusqu'à 8 écrans.

La variante **5252**, contenant deux écrans dos à dos, est plus spécialement destinée à la saisie, l'une des tâches les plus naturelles pour une machine connectée normalement par BSC à un calculateur plus important. Prix 18730 FFHT ou 602 FFHT / mois.

La variante **5251** sera plutôt utilisée dans l'autre application, exploitant un compilateur RPG 2 exécutable localement ; pour cette application, il existe d'ailleurs un Modèle 11 à 1920 caractères.

System 38

Le succès très important du S 34 autorise la GSD à viser plus haut, maintenant que l'informatique est rentrée dans les mœurs et que toute PME se doit d'être équipée. Les progrès technologiques permettent de maintenir les prix dans des limites raisonnables, mais le nouveau projet est surtout original par sa conception logicielle : ayant du renoncer, pour ses grosses machines, au concept de Future Serie, mal perçu des usagers trop compétents de ces ordinateurs, IBM estime qu'il conviendra au contraire très bien à sa clientèle de petite gestion, qui n'a sur l'architecture des machines aucune idée préconçue.

La nouvelle famille est donc annoncée en octobre 78 comme un simple service : un logiciel séduisant et pratique, disponible depuis de nombreux terminaux, mais le minimum de références au matériel. En particulier, pas de programmation en assembleur, et plus précisément pas d'assembleur : le seul niveau de réalité accessible au client est celui du Système d'exploitation, qui permet la plupart des activités attendues du client, à savoir :

- récupération des applications fonctionnant sur les machines antérieures
- création et consultation de base de données locale
- création et mise à jour de fichiers classiques
- rédaction d'applications nouvelles en RPG III, COBOL ou BASIC
- accès aux ordinateurs centraux IBM soit en batch (soumission RJE) soit en mode interactif 3270.
- bureautique

Ce logiciel est exceptionnellement robuste parce que mettant en oeuvre des principes nouveaux comme la programmation objet et les capacités, mais l'utilisateur n'a pas à le savoir car il ne pourrait le ressentir que comme une contrainte. L'avantage est que ces dispositions nouvelles sont concrétisées dans un niveau logiciel profond, accessible contre paiement aux seuls experts (le niveau MI), et néanmoins entièrement obtenu par microprogrammation, ce qui permet de changer de support sans perturber l'exploitation.

L'annonce provoquera un enthousiasme considérable et un nombre énorme de déclarations d'intention, qui pose d'autant plus problème à IBM que le logiciel n'était pas encore tout à fait au point. Sa grande nouveauté interdisant tout faux pas, IBM en fut réduit à retarder plusieurs fois les livraisons, qui ne commencèrent qu'en juillet 80 : le nombre des candidats avait alors quelque peu diminué, mais le S 38 fut néanmoins un grand succès, d'autant plus que les services et les performances donnèrent effectivement satisfaction.

Nous disposons sur cette famille d'une documentation très importante, à la hauteur de son intérêt conceptuel :

- une fiche standard System 38 pour l'histoire commerciale du produit, avec le répertoire du niveau de microprogrammation MI, dont on répète qu'il est en pratique interdit aux usagers.
- une brochure technique intitulée IBM System 38 Technical Development, 108 pages illustrées décrivant la technologie et l'organisation de principe de la machine.
- le document IBM System 38 - Theory - Maintenance - classé 215, en deux volumes de planches sous couverture plastique bleue.
- une fiche **IBM 5381** sur la micromachine, version française très complète bien que résumée, d'extraits des deux documents précédents.
- trois documents IBM de logiciel, à savoir :
 - GC21 - 7728.2 Introduction, 122 pages contenant notamment des photos de tous les composants du système
 - SC21 - 7730.3 Control Program Facility, Programmers Guide, 706 pages
 - SC21 - 7731.2 Control Program Facility Reference Manual - Control Language, 1020 pages
- un article de synthèse en français, dans les pages 140 / 7 du document 206, décrivant le système d'exploitation du S/38 à partir des documents précédents.

La plupart des documents listés ci-dessus sont contemporains de l'apparition de la machine et décrivent en réalité le Modèle 5. Bien que les principes architecturaux n'aient pas varié sur les huit années de vie des S 38, la machine a fortement évolué sur cette période. Le processeur initial est un 5381 :

- **Modèle 3**, mémoire 512 (256) 1536 KB en RAM 1100 ns, puces de 64 Kbits ; un à six disques 62PC de 62,5 MB. Microprogrammation à cycle de 400 ns par ROM 4 K * 32 bits réalisée en puces de 18 Kbits. Puissance estimée 110 Kips.
- **Modèle 5**, mémoire 512 (256) 2048 KB en RAM 600 ns, puces de 32 Kbits, avec les mêmes disques et une microprogrammation à cycle de 200 ns par ROM 8K * 32 bits réalisée en puces de 4 Kbits. Puissance estimée 280 Kips.
- **Modèle 7**, A 31 / 3 / 82, S 1 / 83, mémoire portée à 4 MB avec cycle de 400 ns, mémoire de contrôle 12 K * 32 à 133 ns. Puissance estimée 600 Kips. Autres améliorations : disques externes jusqu'à 2,7 GB, 8 lignes dont une BSC à 56 Kbauds, deux imprimantes et jusqu'à 80 terminaux dont des 3270 regroupés sur des contrôleurs Series / 1. Prix typique 3,15 MFFHT en 3 MB.

- **Modèle 4**, mémoire 512 (256) 2048 KB, estimée 160 Kips. Remplaçant du 3.
- **Modèle 8**, A 1983, même CPU que le modèle 7 avec mémoire 5 (1) 8 MB réalisée en puces 256 KB et deux canaux de disques 3370 qui semblent prendre la relève des 62 PC jusqu'à 4957 MB. Choix étendu de périphériques jusqu'à 128 stations, comprenant les imprimantes 5224 et 5225 permettant une sorte de graphique, l'imprimante 5219 donnant la qualité lettre, l'imprimante parallèle 3262 à 650 lpm et la 5256 série à 120 cps, et encore les bandes 3430 à 6250 bpi. Lignes comme le 7. Possibilité d'avoir, pour \$ 3600, un interpréteur et un compilateur Basic en plus du logiciel de base.
- **Modèle 6**, A 1984, est une réduction du 8 avec 2 (1) 4 MB de mémoire vive et 3306 MB de disques, mêmes possibilités pour les lignes.
- **Modèle 20**, A 1984, est 30 % plus puissant que le 8 avec le même processeur, mais une mémoire utilisant des cartes de 2 MB et susceptible de monter à 16 MB.
- **Modèle 40**, A 1984, est 70 % plus puissant que le 8 grâce à une mémoire de contrôle à 67 ns qui annonce le processeur 5382. Prix typique : 12 MB de mémoire, 4 disques 3370, 8 lignes BSC, deux bandes, une imprimante 3262, 10 contrôleurs 5291 avec 10 imprimantes 5256 et 10 écrans 5224, un compilateur Cobol = 5,9 MFHT.
- **Modèle 18**, A 1984, est une variante du 8 pour l'Europe, incorporant un processeur X25 pour 64 circuits virtuels, et les architectures DIA/DCA et SNA/DS. Jusqu'à 256 postes locaux. La mémoire 4 (2) 8 MB est celle du 20, comme la mémoire de contrôle.

En 1986 apparaît le processeur **5382** qui est caractérisé par une mémoire de contrôle à cycle de 67 ns et par une mémoire principale à base de puces 1 Mbit, avec une capacité pouvant atteindre 32 MB. C'est la relance de la famille par six nouveaux modèles :

- **Modèle 100** de 6/86 est présenté comme 30% plus puissant que le 4 pour un prix de 309 KFF avec 2 MB contre 428 KFF pour le 4 équivalent. Micromachine supposée plus lente que 67 ns.
- **Modèle 200**, 460 KFF avec 4 MB.
- **Modèle 300**, 780 KFF avec 6 MB.
- **Modèle 400**, 1070 KFF avec 8 MB.
- **Modèle 600**, 1500 KFF avec 12 MB.
- **Modèle 700**, haut de gamme, 2140 KFF avec 24 MB. Ce modèle contient 387 MB de disque intégré, et peut recevoir jusqu'à trois exemplaires du nouveau disque 9335, Winchester à têtes à film mince, 850 MB, débit de 3 MB/s.

Ces nouveaux S 38 sont conçus pour bâtir des architectures d'entreprise, où ils communiquent avec les S 36 des départements et le S/370 central. Les 3174 de l'informatique distribuée s'attachent plutôt au S 36.

System 36

Successeur du S 34, cette machine est cependant différente, mais elle assure la compatibilité au niveau des langages, pour pouvoir reprendre les applications. Le matériel est nettement modernisé, et le sera plusieurs autres fois au cours des quelques années de la vie prévue pour ce petit système, mais les fonctionnalités sont les mêmes, l'idée étant que ceux qui veulent grossir disposent du S 38. Par exemple, le système d'exploitation PPS ne supportera jamais de base de données, et l'insertion dans SNA n'interviendra que tardivement.

Nous disposons seulement, pour cette machine qui va finalement revêtir une grande importance dans les préoccupations d'IBM, d'une brochure commerciale rédigée pour des non informaticiens, et dont les photos illustrent le processeur **5360**, tout à fait dans la lignée de ses prédécesseurs, cad très volumineux.

Il est proposé en deux variantes non convertibles l'une vers l'autre, et pourra en 1984 grossir jusqu'à 1024 KB de mémoire, 800 MB de disques et 36 terminaux.

L'évolution, cependant, ne se fera pas dans cette direction, du fait de l'existence du S 38. Le processeur compact **5362** de mars 84 se glisse sous une table et contiendra initialement au plus 512 KB de mémoire, 120 MB de disque, 22 terminaux locaux et 4 lignes qui peuvent en ajouter de nombreux autres, en multipoint. Avec les progrès technologiques, cette petite version plafonnera à 2 MB de mémoire et 520 MB de disques en 1986. Voir photo dans la fiche.

Le **5364** de 1985 est supercompact, de la taille d'un boîtier de PC (426 * 540 * 162 mm, 26 Kg), mais il ne peut guère contenir plus que 512 KB de mémoire avec SECDED, un floppy 5,25" de 1,2 MB, et deux disques de 40 MB.

L'idée maitresse de cette version est de se servir d'un PC comme poste d'opérateur et de travail. On y trouve une mémoire d'au moins 256 KB, une liaison directe 16 bits avec le 5364, et une carte de communication BSC ou SDLC qui permet de connecter 3 autres postes locaux et plusieurs lignes multipoint pour un maximum de 60 terminaux. Le PC fonctionne sous DOS 3.1.

Cette course vers le bas s'arrête en 6 / 86 avec le processeur **5360 D**, ainsi baptisé parce qu'il est logé dans la même enceinte que le 5360 initial. Cependant, c'est une nouvelle machine qui peut abriter jusqu'à 7 MB de mémoire et 4,43 GB de disques, et gérer jusqu'à 72 terminaux ; limitée à 716 MB en deux disques, cette version qui coûte 716 KFFHT est 40% plus performante en gestion et 100% en bureautique que la machine initiale.

Autres prix typiques : 560 KF pour 1 MB, 540 KF pour 512 KB.

La dernière version **5363** du S 36, qui date de 1987, revient à un modèle plus petit : deux variantes dotées respectivement de 65 et 110 MB de disques, et 16 postes de travail, avec une extension possible à 28 par un dispositif spécial. Tous les types de liaisons, BSC, SDLC, asynchrones, X25, et même le réseau Token Ring sont possibles.

Au total, il semble bien que quelque 100 000 exemplaires de ce petit système aient été produits à mi 86, même si on ne peut faire aucune confiance aux statistiques des groupes d'analyse de marché.

Administrative System IBM 5520

On peut glisser à cet endroit le 5520, bien qu'il n'y ait pas de filiation avec les diverses machines précédentes, ni avec les suivantes malgré son nom. Il s'agit d'un matériel purement bureautique, qui peut s'employer seul comme traitement de texte, ou connecté comme moyen de diffusion documentaire. Dans ce dernier rôle, c'est un fédérateur sur simple ligne téléphonique, qui peut relier 18 correspondants, autres 5520, System 6, 6670, 6640, Magcard II communication, 6240 Magcard II, S 32 et même S / 370.

Dans sa version minimale, c'est un CPU 16 bits, avec d'autres CPU comme contrôleurs : la fourniture pourrait comprendre par exemple deux imprimantes, deux écrans, un lecteur de cartes magnétiques, et le logiciel.

Prix typique de 11 / 80 : \$ 64351 pour 5 stations, évoluant jusqu'à \$ 175753 pour 15 stations avec le maximum de disques, et un supplément de \$ 245 / mois pour le logiciel.

On peut en distinguer quatre modèles :

Mod 020, avec un disque Piccolo de 29 MB, un floppy, et jusqu'à 6 écrans et 4 imprimantes. Il est prévu d'y ajouter 3 lignes à partir de 11 / 80, pour la mission de connexion précitée.

Mod 030, même disque, accepte jusqu'à 12 écrans, 6 imprimantes et 5 lignes, qui sont des coaxiaux légers pouvant s'étendre sur 5000 ft.

Mod 040, 65 MB de disque, 18 écrans, 10 imprimantes, 9 lignes

Mod 050, 130 MB de disques, 18 écrans, floppies avec 23 MB de magasin, 12 imprimantes, 17 lignes.

Ce système existerait à quelque 8000 exemplaires aux USA en 1981.

On trouvera en archives quelques images des matériels de bureautique que la GSD continue à commercialiser. Il y a d'ailleurs quelques problèmes d'identification, qui résultent de notre incapacité à suivre les fluctuations de l'organisation interne d' IBM : décidées pour préparer la structure à supporter tous choes d'origine externe, parfois aussi pour régler des problèmes hiérarchique, ces fluctuations ont pu confondre à certains moments les attributions de la GSD, clairement née avec les S 3, et celles de l'OPD, Office Products Division, dont le produit phare a longuement été la machine à écrire Selectric, avec ses développements tentaculaires vers les cartes magnétiques et le traitement de texte.

Le document IBM France édité en 1979 et présentant le **System 6**, l'attribue à un Groupe de Grande Diffusion (GSD ?), dont la division Matériel de bureau (OPD ?) n'est qu'une fraction. Un autre document de 1981, décrivant le **6580** qu'il qualifie de Visiotexte (Displaywriter aux USA) et qui semble être une application particulière du PC, l'attribue à une Division d'Informatique Générale qu'il distingue cette fois de la division des Systèmes d'Information (DSD ?).

On retiendra de tout cela, et de la lecture des documents concernés, que les produits d' IBM peuvent largement communiquer entre eux, au delà des frontières commerciales traduisant les structures instantanées.

Application System 400

En 1987, IBM aborde la période de réorganisation qui conduit à définir SAA, l'architecture unifiée d'applications, dont l'objectif est autant de soulager les services d'étude que d'apaiser les clients : idéalement, il devrait être possible de concevoir des interfaces communs pour les trois familles de l'époque, S / 370, S / 38 + S / 36, et PC, dans les trois directions qui comptent : les usagers, les communications, et les applications.

Dans le cas particulier, il faut donc créer une famille de petits systèmes de gestion, compatible avec SAA, mais aussi avec S / 38 et S / 36, deux clientèles brillamment acquises qu'il faut conserver : ce devrait être facile, puisque justement ces machines, et surtout la S / 38, ne montrent à l'usager que leurs fonctionnalités, à l'exclusion de tout aspect technique.

Pour faire passer le message, IBM a réuni dans une brochure remarquable SA21 - 9540. 0, IBM Application System / 400 Technology, une série d'articles décrivant les concepts mis en oeuvre dans la nouvelle famille, qui étale dès la première page ses six modèles commerciaux, **B10** et **B20** utilisant le **processeur 9404**, **B30** à **B60** construits autour du **processeur 9406**.

La lecture attentive de ce document, ainsi que de cinq articles plus récents parus dans IBM System Journal et IBMR&D, a permis la rédaction d'une fiche de synthèse en français, qui suffira en général au lecteur.

La longue histoire de l'AS/400 - commencée en 1988, elle dure toujours en 2000 - sera marquée par la placidité des clients, enchantés de ce qu'on leur offre et peu pressés d'en changer, par la ferme résistance des 150000 propriétaires de S/36 qui ne désirent ni grossir ni changer, et par l'attitude constamment hostile, négative et pessimiste de la presse informatique.

Au départ, IBM annonce en somme le successeur du S/38, avec un outil de compatibilité inclus, mais aussi celui du S/36, avec un outil de compatibilité reconnu modérément efficace, mais purement transitoire dans l'esprit du vendeur : pas de chance, l'acheteur pressenti refuse de faire l'effort proposé et se déclare satisfait de ce qu'il a.

IBM comprend qu'il faut faire un effort de plus et, en 1990, propose le **Y10** : c'est en fait un compatible S/36, moins cher et convertible en bas de gamme série C par échange de carte. Mémoire 1 à 2 MB, disque 160 à 640 MB, langages COBOL, RM Cobol, Basic, Fortran, RPG II, et pas de base de données parce que cela semble faire peur à cette catégorie de clients. Migration facile, sans recompilation.

Prix : \$ 11000, plus \$ 1195 pour le logiciel ; en France, 75 à 119 KFFHT. Echec.

Les années suivantes se passent à améliorer la famille, qui devient de plus en plus puissante avec des processeurs qui profitent des progrès technologiques : circuits CMOS améliorés, mémoires agrandies au rythme de la croissance de la capacité des puces, disques de plus en plus denses.

En 1994, il reste toujours quelque 100 000 S/36 en service, fortement sollicités de changer et toujours aussi peu pressés de le faire. IBM s'inquiète et leur propose, avec l'**AS/400 Advanced 36**, un compatible 36 bon marché, faisant tout ce que fait son prédécesseur, et dont le système SSP 7.1 fonctionnera, dès 1995, sur tout AS/400. Ainsi les acheteurs pourront muter sans frais dès 1995, et accéder ainsi aux bases de données et autres services de l'OS/400. Voir fiche.

On n'a aucun chiffre pour évaluer cette tentative.

En plus de cette annonce importante pour une catégorie longuement bloquée, IBM renouvelle en 1994 comme chaque année les AS/400 de plein exercice, pas encore avec les PowerPC prévus pour 95.

Il s'agit d'une **Advance Series 2000** comportant 14 modèles dont la puissance s'échelonne entre 5,9 et 71,5 fois l'ancien B10, et pouvant monter à 120 postes de travail. Ces nouvelles machines bénéficient d'une présentation complètement changée, couleur noire, encombrement réduit, forme originale.

En février 95, complément: 5 minimachines de moins de 10 Kg, 40 * 10 * 32 cm, sont proposées sous le nom de **Advanced Entry** ; ce sont des serveurs économiques, réalisés autour d'un processeur 48 bits, et IBM prévient qu'à la différence des 2000, ils ne pourront pas évoluer vers les PowerPC prévus en 1995 :

En attendant ces produits, qui renforceront sa position par le seul fait de l'accroissement de puissance, IBM fait quelques efforts d'ouverture :

- des interfaces Unix, API Posix, Spec 1170, guide de portabilité XPG4, DCE font des apparitions dans l'OS/400 V3 .

- le logiciel PC Support conçu pour permettre l'emploi d'un PC comme terminal sur AS/400 a été développé au point où il permet des échanges de données et de traitement entre PC sous DOS, OS/2 et même Windows.

- la base de données informelle qui caractérisait les AS/400 en les rendant incompatibles avec le reste du monde est maintenant un DB2 bon teint, à peu près capable de passer les tests de certification SQL1. En outre, à partir d'octobre 95, elle permettra des consultations parallèles vers des BD clusterisées. Il n'est par contre pas question, comme le souhaiteraient divers développeurs, que l'AS/400 s'ouvre vers les BD indépendantes, Oracle, Sybase, Informix.

- IBM a entrepris la réécriture du noyau de l'OS/400 en C++, afin de montrer sa bonne volonté quant à l'évolution du langage d'écriture des applications. Cependant, beaucoup d'éditeurs ont peur de la complexité des techniques objet et continuent à rédiger en RPG .

Les PowerPC 64 bits sont finalement annoncés en juin 95, pour livraison début 96 : ils comprennent trois serveurs **40S, 50S, et 53S**, et quatre systèmes **400, 500, 510, 530**. La puissance est accrue de 50% en moyenne, 60% pour les hauts de gamme. Le rapport performance / prix est amélioré de 40%.

Le logiciel, réécrit en C++, est maintenant l'**OS/400 V3R6**, qui adopte les modèles d'objets distribués SOM/DSOM de la norme Corba. Cependant, le gros des améliorations reste compatible avec les versions précédentes pour ne pas pénaliser les applications existantes ; par exemple, les commandes du système deviennent accessibles depuis une interface graphique, et les AS/400 sont capables de fonctionner en serveurs pour Netware de Novell ou pour les applications Lotus Notes.

On peut procéder à un bilan : malgré les prédictions sincères ou téléguidées, en tous cas pessimistes, de la presse informatique, l' AS / 400 a parfaitement supporté le temps qui passe en restant elle-même : 63000 machines ont été vendues en 1995, contre une moyenne de 50 000 les années précédentes, de sorte que le cumul des ventes atteint 360 000 exemplaires, dont 20 000 environ en remplacement de S / 36. L' AS / 400 compte désormais pour 7% dans les revenus d' IBM.

Si l'on compare ce succès constant à l'élimination progressive des HP 3000 sous MPE et des VAX sous VMS, les AS / 400 restent le seul système propriétaire de leur catégorie et on peut trouver à cela deux raisons :

a) simplicité (d'exploitation), robustesse, sécurité, sont garantis par cette architecture.

"L'usager n'a pas besoin d'homme système ni d'homme réseau, et ignore de ce fait les problèmes de virus, de bêta test et de set up. Contrairement à Unix, l' AS / 400 est un système cohérent, intégré et pensé globalement".

Cette appréciation non sollicitée d'un usager se suffit à elle-même.

b) le modèle client / serveur qui a la faveur de la presse informatique et des développeurs coûte nettement plus cher que les solutions propriétaires d' IBM. Il n'est donc justifié que s'il donne accès à des services que l' AS / 400 ne peut fournir, et avec une telle implantation il n'y en a pas beaucoup, car les éditeurs suivent : 28000 applications existent, dont 8000 sont de type client / serveur. Il existe 8000 partenaires de développement dans 45 langues.

Cela dit, l' AS / 400 se voit attaqué à partir de 1996 par un nouveau venu très actif, Windows NT, et IBM ne le prend pas à la légère. Fin 97, elle annonce deux **AS / 400 e, Modèles 150 et 170**, qui peuvent recevoir une carte coprocesseur à base de Pentium Pro à 200 MHz, parfaitement intégrée à l' OS / 400, grâce à laquelle toutes les applications de ce système peuvent être sollicitées sous Windows NT.

Voir fiche.

En mars 99, nouvelles annonces de modèles **720, 730, 740**, entièrement client / serveur en ce sens que leur activité principale est un batch distribué. Les usagers peuvent cependant installer des cartes conversationnelles de 35, 70 ou 100 CPW = Commercial Processing Workload, une unité de puissance inventée pour la circonstance ; ce qu'ils n'utilisent pas est automatiquement affecté au batch. Pour fixer les idées, le modèle 720, dont le CPU A50 est un PowerPC, offre une capacité de 240 CPW.

Pas de conclusion donc, puisqu'à notre frontière de 2000 l' AS / 400 est toujours vivace, douze années et près de dix générations après ses débuts. Ce que nous savons des toutes dernières éditions ne permet pas, malheureusement, de déterminer s'il subsiste plus qu'un nom dans ce très brillant succès commercial.

335 - Calculateurs individuels IBM

Ce vocabulaire signifie que l'ordinateur ne peut traiter qu'un problème à la fois, pendant l'exécution duquel l'intéressé prend place au pupitre. Dans les premiers temps de l'informatique, il n'était pas raisonnable de laisser un ordinateur inactif et les utilisateurs se succédaient au pupitre ; ce n'est que 20 ans plus tard qu'il est devenu possible, avec la baisse des prix, de laisser un ordinateur personnel inactif pendant une part importante de son temps.

Le calculateur **IBM 1130** est le premier calculateur individuel d' IBM, au sens ci-dessus. Sa minuscule mémoire et l'absence de tout système d'exploitation ne lui permettaient pas de traiter plus d'un problème à la fois, et son bloc de calcul devait attendre quand il actionnait un périphérique. C'est arbitrairement que nous plaçons la barre entre cette machine et son prédécesseur 1620, sur la base des dates d'annonce respectives.

Nous sommes très bien renseignés sur cette machine grâce à la multiplicité des documents disponibles, et parce qu'il en existait dans plusieurs des laboratoires que j'ai fréquentés. C'était un véritable chef d'orchestre, mais ses divers périphériques n'étaient pas simultanés, utilisant tous la même liaison directe. Citons :

- le **disque 2310** en cartouches, 512000 mots en deux faces de 200 pistes de 4 secteurs de 320 mots, avec un accès moyen en 20 ms, 15 ms entre pistes adjacentes, et 35000 car / s. Photo.
- le lecteur rapide de bande perforée 1134, 60 cps sur 8 trous. Photo.
- les bandes perforées lentes 1055 / 1054, 16 cps. Photo.
- les machines à cartes perforées 1442 et 2501, surpuissantes et déjà rencontrées.
- l'imprimante à roues 1132, 110 lpm sur 132 caractères
- l'imprimante à chaîne 1403, 340 ou 600 lpm, universellement répandue dans le monde IBM
- le traceur 1627, en fait un produit Calcomp
- le lecteur de marques 1231
- la console graphique 2250 Mod 4
- et d'autres périphériques moins standard, occasionnellement.

Un nombre immense d'applications ont été développées pour cette machine dans les universités et échangées à travers le monde, puisque les presque 5000 exemplaires construits représentent le plus gros succès scientifique de son époque.

Parmi ces applications, citons l' **IBM 1500**, un système d'enseignement programmé probablement construit par IBM pour ses propres fins, et commercialisé ensuite. Ce système comprend :

- un CPU 1130 avec LC 1442, IP 1132, pupitre 1501, disque 2310.
- un multiplexeur 1133
- une unité de contrôle des transmissions 1502, comprenant une pile de disques 2316 que viennent lire les 32 consoles d'élèves.
- une machine à écrire 1518, qui semble être un simple télétype.
- les consoles 1510, chacune avec écran, tampon de 640 caractères, light pen et clavier.
- le projecteur de microfilm 1512, capable de stocker 1000 images pour les projeter en 9 sur 7 inches, soit 229 * 178 mm.

Le logiciel était **Coursewriter**, permettant d'introduire des cours à partir d'une console, d'enregistrer le travail des étudiants, et accessoirement de traduire des algorithmes. Evidemment ce n'est pas un bon exemple de calculateur individuel, mais on le mentionne ici parce qu'il s'appuie sur le 1130.

IBM ne négligeait pas la clientèle individuelle, elle considérait seulement qu'elle ne pouvait se concrétiser avec le prix actuel de la technique. On a la trace d'un calculateur individuel étudié en 1967 dans le centre IBM de Raleigh, NC, le **MINI** (voir fiche). Cette machine était fondée sur l'hypothèse que la mémoire deviendrait un jour très bon marché et que les algorithmes pourraient y trouver place de façon plus économique que sous forme de câblage. C'est à peu près l'idée qui avait conduit à la 1620, mais une taille en dessous. Aucune commercialisation n'a été envisagée.

Le premier véritable calculateur individuel d' IBM est le **5100**, une petite machine de table ; mais il est évident, en lisant la publicité, qu' IBM ne le perçoit pas du tout comme un calculateur personnel. Pour le constructeur, c'est simplement une nouvelle approche vers l'entreprise, le seul client qu' IBM connaisse bien. L'accent est mis sur les mémoires auxiliaires, cartouche de bande magnétique ou disquette.

La 5100 est fournie avec un langage de programmation câblé, qui peut être APL ou BASIC, au choix, et dont l'interpréteur est lui-même écrit en utilisant le langage d'assemblage dont la fiche contient le répertoire : en somme, une microprogrammation à deux niveaux. Le succès du 5100 paraîtra important, mais il est négligeable à côté de ce qu'on connaîtra quelques années plus tard avec le PC.

Au 5100 succède un **5110** plus riche en périphériques, puis un **5120** qui modifie les priorités et met l'accent sur les disquettes, dont la console de base peut recevoir deux exemplaires, à côté d'un écran agrandi à 9", et d'une ligne BSC optionnelle. Un tel poste de travail est alors presque interchangeable avec le 5322 du **System / 23 Datamaster**, le calculateur de bureautique multiposte qu'IBM lance à la même époque, qui utilise comme processeur un 8086, et donc coûte plus cher.

IBM a donc en main tous les ingrédients qui vont conduire au PC, mais pas encore l'idée, trop éloignée des habitudes maison. Cependant, la preuve est faite, depuis 1975, par l'Altair de IMSAI et par l'Apple II, qu'il existe un marché pour un authentique calculateur personnel ; mais c'est pour IBM une clientèle totalement inconnue, avec un mode de commercialisation à inventer.

Création du PC

En 1981, la décision est prise de créer un calculateur personnel, baptisé **PC Personal Computer**, et son exécution confiée à l'usine de Boca Raton, Fla, qui produit simultanément le S/23 avec un objectif totalement différent. Les choix fondamentaux sont les suivants :

- emploi du microprocesseur Intel 8088, travaillant à 4,77 MHz sur 16 bits pour les calculs, mais 8 bits pour les liaisons externes. Ce bus 8 bits laisse à la disposition du PC tous les périphériques des époques antérieures. Il est relié, sur la carte mère, à cinq connecteurs qui permettent d'ajouter des périphériques et / ou de la mémoire au choix du client.

- définition des périphériques de base, communs à tous les PC, et supportés par une ROM spécifique, le BIOS, Basic Input / Output System : clavier 83 touches, moniteur monochrome de 12" produit à Taïwan, interface sonore, interface cassette, interface parallèle utilisé par une imprimante graphique 4 couleurs 80 cps fabriquée au Japon, deux disquette 5,25" de 160 KB.

- mémoire DRAM de 64 KB, capable de fournir en deux cycles de bus un mot interne de 16 bits. Elle peut s'étendre jusqu'à 544 KB au moyen de cartes d'extension.

- système d'exploitation MS-DOS de Microsoft, une petite société déjà bien connue, avec laquelle est conclu un contrat à durée déterminée, non exclusif par une incompréhensible aberration.

- d'autres systèmes sont possibles, mais l'accord IBM / Microsoft écrasera les velléités des concurrents. Citons CP/M86 de Digital Research, et UCSD de l'Université de Berkeley.

IBM complètera ce système par un interpréteur BASIC et quelques progiciels qui deviendront des "musts": traitement de textes, tableur, base de données, produits par des petits éditeurs volontaires.

Le succès va être largement supérieur aux prévisions d'IBM, qui doit agrandir son usine pour produire plus d'un million de machines par an : une foule de nouveaux éditeurs naissent, qui proposent des progiciels compatibles, dont émergeront quelques noms voués à un bel avenir, comme l'intégré 1-2-3 de Lotus, le tableur Multiplan ou la base de données DBase3 ; et la compétition entre eux fait rapidement baisser les prix . En deux ans le PC devient pratiquement une norme, baptisée **PC / XT**, caractérisée par les évolutions suivantes :

- mémoire 256 à 640 KB, ce dernier chiffre imposé par une particularité du 8088.
- bus ISA avec 8 slots dont un pour les disques et un pour une carte de liaison synchrone SDLC.
- emploi de disquettes de 360 KB, et option d'un disque dur de 10 MHz .

Deux variantes sont proposées : le modèle DD à deux disquettes, et le modèle FD contenant un disque fixe et un floppy, dans le même volume standard adapté aux mécanismes 5,25". Le logiciel est **MS-DOS 2.0** de Microsoft et les meilleurs progiciels émergent.

En dehors de délais qui s'allongent, IBM a des problèmes avec ses boutiques, manquant de vendeurs compétents face à la ruée d'acheteurs qui ne le sont pas non plus. Pour éviter des rejets et autres réactions négatives, IBM se voit contraint de passer des accords de distribution avec des VAR, Value Added Reseller, cad des vendeurs compétents mais non inféodés qui peuvent aussi bien s'intéresser à la concurrence.

IBM va s'avérer incapable de maîtriser un succès qui se manifeste dans un créneau que la compagnie comprend mal. Tandis que l'équipe créatrice vise une extension vers le bas, s'efforçant de promouvoir un PC Junior à ambitions exclusivement familiales, le marketing pousse à des développements vers le haut, pour introduire le PC dans l'entreprise en en faisant un terminal apte à communiquer avec tous les matériels de la maison. Ainsi va-t'on annoncer :

a) le **PC Junior**, une opération exceptionnellement ratée par suite d'un conflit entre les créateurs et le marketing . Un mauvais positionnement , et des délais excessifs pour la cible concernée, aboutirent à liquider à perte une production de 500 000 machines et à abandonner le produit en mars 85.

b) le **PC Portable**, une tentative peu sérieuse de présenter comme portable une machine de 14 Kg, mesurant 430 * 500 * 204 mm, vendue \$ 2795. Echec complet.

c) le **PC / XT 370**, qui se propose de faire d'un XT normal une machine virtuelle CMS fonctionnant à distance sur le système d'exploitation VM d'une machine centrale 370. C'est une extension coûteuse, qui comprend trois cartes supplémentaires et un logiciel :

- une carte portant un MC 68000 et deux ASIC IBM pour figurer le jeu d'instructions 370.
- une carte contenant 512 KB de mémoire.
- une carte formant interface pour relier le XT à un contrôleur 3274, et de là au central.

Le logiciel CP88, qui se charge en 20 minutes à partir d'une disquette, assure la liaison de manière à ce que le XT distant soit perçu par CP comme une machine CMS. Moyennant quoi, le XT 370 peut travailler à 400 Kips en scientifique et à 100 Kips en gestion. En dehors de cette activité, payée sans doute trop cher, le XT peut être employé à distance comme terminal standard sur son connecteur RS 232C, ou en local comme n'importe quel PC.

On notera que l'emploi d'un 68000 pour émuler les 370 est considéré par IBM comme un pis aller ; mais si la preuve a été faite, en 1980, qu'il est techniquement possible de placer un 370 sur une puce (article dans la revue Electronics), cette solution en réseaux de portes TTLS n'est ni tout à fait complète ni suffisamment économique pour être commercialisée.

d) le **PC IBM 4950**, qui ajoute à un PC / XT une carte ayant les fonctionnalités de la Series / 1. Le PC reste capable, dans son rôle usuel, de gérer plusieurs terminaux et deux machines à écrire.

Prix en France 91 KFF.

e) **IBM 3270 PC** n'est qu'un surnom donné à diverses variantes de PC, dotées de cartes supplémentaires qui les font percevoir par un central comme des écrans 3270. Après une version minimale qui comprend un adaptateur BSC et un simple logiciel de communication, la version la plus courante émule complètement un contrôleur 3274 sur le XT, ce qui lui permet de s'insérer dans n'importe quel réseau SNA ; ce même logiciel permet aussi l'émulation d'un terminal 3770.

La version la plus achevée de cette évolution, qui reçoit le sigle **IBM 5271**, joint à la logique du PC une interface 3270 complète, et peut jouer tous les rôles ci-dessus.

Le Japon ne participe guère à ce succès, pour cause d'alphabet incompatible. Pourtant, le 15 mars 1983, IBM Japan annoncera la version japonaise du PC, **IBM 5550**, livrable en juin : CPU 8086 avec 256 KB de mémoire, floppy 5,25", écran monochrome 12" et machine à écrire Matsushita à matrice 16 * 16 capable d'imprimer des kanji : cela permet d'adapter le traitement de texte aux besoins japonais et de proposer aux entreprises une machine à \$ 4250, qui peut fonctionner en multistations.

Le PC / AT

Ces divers efforts n'ont pas encore convaincu les entreprises américaines que IBM décide, fin 83, de passer à l'étape suivante, en introduisant un vrai 16 bits, centré sur la puce 80286 de Intel. Ce n'était pas le choix de ce fabricant, mais à ce moment c'est encore IBM qui commande, et qui fait le choix d'un bus 16 bits malgré les bouleversements que cela implique pour les fabricants de périphériques comme pour les éditeurs de logiciels. L'opération réussit : l' **IBM 5170**, plus connu sous le surnom de **PC / AT**, est annoncé en août 1984.

Les nouveautés de ce modèle, qui devient immédiatement une norme, sont :

- le processeur 16 bits 80286, accompagné en option du coprocesseur 80287 de virgule flottante, introduisant de nouveaux modes d'adressage dont un de compatibilité 8086. La contrainte de fréquence 4,77 MHz est abandonnée et le client peut choisir entre deux fréquences proposées par Intel, reprises par IBM.

- un adressage 24 bits qui va donc bien au delà de la barre fatidique de 640 KB, imposant la distinction entre mémoire de base et mémoire étendue et diverses complications logicielles.

- un bus 16 bits dit ISA (Industry Standard Association) sur la carte mère, avec très prudemment au départ deux connecteurs 16 bits seulement, pour 6 slots 8 bits compatibles XT.

- un disque dur de 10 ou 20 MB et un lecteur de disquette 5,25" de 1,2 MB, avec des possibilités d'extension, et notamment d'extension compatible avec les précédents 5,25" de 360 KB. L'interface IDE de ces disques, aussi appelé ATA (AT Attachment) n'est autre que le bus ISA, plafonné à 8 MB/s.

- une nouvelle norme d'écran dite VGA qui améliore notablement la performance de visualisation, et dont IBM propose quatre sous-ensembles gradués : MGA, CGA, EGA, PGA. L'ensemble complet ne paraîtra que plus tard, avec le moniteur 8514 A.

- un réseau local dit PC-net, fonctionnant en CSMA / CD comme Ethernet mais plus lent, 2 Mbit/s. Le souci était sans doute économique, avec l'arrière-pensée que tout le monde s'inclinerait devant les choix d'IBM et que les fabricants de réseaux seraient trop heureux qu'on leur offre une occasion de tout renouveler : ce n'est cependant pas ce qui s'est produit.

Cette fois, en présence d'un PC capable d'une certaine autonomie et de communications locales, l'entreprise se laisse séduire. Moyennant quoi les enjeux changent soudain de dimension, de sorte que les clones naissent spontanément, profitant d'une demande provisoirement supérieure à l'offre, et du libre accès au logiciel MS / DOS chez Microsoft ; IBM, encore inconsciente de l'évolution qui se prépare, fait le lit de Microsoft en proposant une version Xenix aux clients déjà insérés dans le monde Unix, et celui des clones en fixant un prix de vente élevé.

Ainsi, tandis que "sous le nez" d'IBM qui semble ne pas s'en soucier s'organise une compétition très rentable où la générosité apparente de Microsoft cache une ambition hégémonique, la corporation reprend sur ses AT les expériences déjà décrites sur XT :

a) le **AT 370** qui donne un bénéfice de 119% en débit par rapport au XT 370 (12 / 84).

b) le **Modèle 495** qui ajoute aux fonctionnalités du PC toutes les possibilités temps réel de la Series/1 au prix d'une simple carte d'extension, soit 111 KF (6 / 85).

c) d'autres développements dans la ligne du 3270 PC, soit cinq modèles **5273** capables de 7 sessions simultanées : quatre 3270, deux blocs-notes, et une PC (1984) :

Modèle 20 : mémoire 512 KB et un floppy

Modèle 41 : 640 KB et deux floppies

Modèle 42 : version G comprenant un moniteur 14", un processeur graphique et une bitmap 720 * 350 en deux couleurs ou 360 * 350 en 4 couleurs. Définition 76 pixels / ".

Modèle 61 : 640 KB, un disque dur de 20 MB et un floppy.

Modèle 62 : le même avec moniteur 5379 de 19", processeur graphique 16 couleurs, définition 93 pixels par pouce, options souris, tablette et loupe.

Cette présentation paraît un peu idéalisée : en pratique on peut combiner assez librement les moniteurs monochrome (5150) et couleur (5279, 5379), les capacités de mémoire, les disques (10 ou 20 MB), et ajouter par exemple un adaptateur IEEE 488 pour traceur 7370. Ainsi des variantes 5373 :

Modèle 160 : 512 KB, carte graphique, clavier standard.

Modèle A60 : le même avec clavier APL

Modèles 162 ou A62 : ajouter aux précédents la carte émulateur 3270

d) versions industrielles du PC, modèle **7531** mural ou **7532** en rack. Le 7532 se prête à toutes les extensions ; le 7531 est un peu plus limité par son boîtier, qui loge 512 KB de mémoire, un floppy, 16 interruptions avec quelques slots, et un clavier amovible avec 3 mètres de câble.

En 1987, IBM reprendra le même thème avec le **7552**, à base de 80286 10 MHz et floppy 3,5", offert en deux versions : un **Mle 040** est 512 KB, 7 slots, \$ 6770. Un **modèle 140** à \$ 9370 contient en outre un disque de 10 MB, et 5 slots seulement.

La particularité commune de tous ces appareils est qu'ils gèrent le MAP, réseau d'automatisation à base GPIO.

Et pendant qu'IBM multiplie ces variantes qui n'intéressent pas le grand public, les clones commencent par lui arracher cette clientèle qu'elle regrettera peu, mais qui fait nombre, avant de se trouver assez forts pour faire des propositions aux entreprises ; et celles-ci iront aux moins-disants quand elles auront constaté, assez rapidement, que tous les compétiteurs ont compris l'importance de la qualité, et donnent des garanties comparables.

Les PS / 2

En 1987 IBM décide que cela ne peut durer, et choisit de créer une seconde génération de PC, bien protégée par des brevets, organisée autour de composants de qualité, et créatrice de larges marges grâce à une fabrication très automatisée. Les choix sont donc :

- processeurs Intel compatibles, c'est-à-dire 8086 ou 80286
- nouveau BIOS, avec un nouveau chipset Intel adapté à un bus principal MCA (MicroChannel Architecture), capable de 40 ou 80 MB / s selon mode de montage, et donc très supérieur au bus ISA. Problème implicite : les fabricants de périphériques suivront-ils ce bus plutôt luxueux, et donc peut-être trop cher pour un marché de masse ?

- nouvelle disquette 3,5", de capacité 1,44 MB.

- écran VGA sans concession, donc de haute qualité.

- nouveau système d'exploitation OS / 2, multitâche et monoposte, créé par Microsoft pour le compte d'IBM avec un engagement mutuel de 5 ans. Ce système est très supérieur à MS / DOS et compatible par contrat avec le système de fenêtrage Windows que Microsoft est en train de mettre au point comme une couche logicielle d'habillage autour de MS / DOS ; ainsi, estime IBM, les produits IBM seront par construction supérieurs aux clones, qui n'auront pour échapper à cela pas d'autre solution que d'acheter OS/2, propriété d'IBM. De plus, pour intéresser les éditeurs et l'industrie, IBM annonce que OS / 2 fera partie, en tant qu'architecture d'application, de SAA qui démarre à ce moment.

IBM se démarque donc fermement du PC / AT qu'elle avait pourtant créé avec succès, mais qui est abusivement tombé dans le domaine public. Elle compte sur la qualité manifestement supérieure de son nouveau standard, et sur la fidélité de ses clients, auxquels elle ne fait pourtant aucune faveur : les prix sont à la hauteur de la qualité. Le nouveau matériel s'appellera **PS / 2** (Personal System ?) et sera vendu dans des boutiques propriétaires baptisées Agena.

L'annonce commune IBM / Microsoft du 2 avril 87 porte donc sur 4 **modèles, 30, 50, 60 et 80**, soit deux desktops et deux tours, et son succès est honorable sans plus. Mais comme Intel, tout en soutenant le bus MCA par un chipset spécifique, continue à produire le chipset précédent, et bientôt aussi des cartes mères, le succès des clones ne diminue pas. On constate que :

- un certain nombre de grosses entreprises décident d'adopter OS / 2 et passent d'importantes commandes de PS / 2, mais la masse des clients se borne à utiliser Windows, qui est un écrasant succès.

- le bus MCA, conçu comme une ouverture sur l'avenir, est perçu par la clientèle privée comme inutilement puissant et trop coûteux, repoussant ces usagers "ordinaires" vers les clones. D'autant plus que beaucoup des progiciels à succès n'ont pas fait l'effort de s'adapter au PS / 2.

- des clones apparaissent dès que le marché a identifié les produits IBM (4 / 88) : par exemple un équivalent du Mle 50 par Faraday Electronics groupant le chipset FE 5400, un floppy de Western Digital, une carte vidéo de WD / Paradise Systems ; ou un Mle 60 de Chips & Technology avec 80286 16 MHz, chipset Chips/250, contrôleur MCA d' Adaptec, BIOS de Phoenix Technologies, carte VGA, carte floppy ; ces deux machines sont vendables en OEM autour de 2500 \$.

Résultat : la part d'IBM dans les ventes de PC continue à diminuer, même dans les entreprises.

Chez IBM, l'analyse de résultats, qui se refuse à admettre que MCA et OS / 2, deux progrès certains, puissent apparaître comme des obstacles à la clientèle, conduit le marketing à une politique de surenchère technique : le modèle 30 passe au 286, le modèle 80 lance le 386, les capacités de disques augmentent, les fréquences de synchronisation montent à 20 puis 25 MHz, les cycles de mémoire de travail diminuent en haut de gamme en même temps que s'introduisent des caches, et malgré cela les prix baissent. Une version desktop à base de 386, le **Modèle 70**, apparaît dès 1989, et à la mi 89 IBM procède à l'annonce d'une deuxième génération livrable en 1990, les **55 et 65**, ainsi qu'un "portable" encore très lourd, le **73** et un **70 A 21** avec cache : tous ces modèles utilisent le 386, et un 486 fait même son apparition en 1990 avec le **70 R 21**.

Le cas du **modèle 73** est intéressant parce qu'il illustre les hésitations d'IBM. Il s'agit en réalité d'un transportable sans concession, avec OS / 2 complet, bus MCA 32 bits, écran plasma, clavier 102 touches, disque de 60 ou 120 MB. Il sera suivi en 1991 d'un **modèle 75** de même objectif, avec CPU 486DX33, mémoire minimale de 8 MB, disque SCSI de 400 MB, 4 slots MCA, prix 63000 FFHT. On le comparera utilement avec le vrai portable (laptop, cad transportable dans un attaché case) L40SX, qui utilise un CPU 386SX à 20 MHz avec 2 à 18 MB de mémoire, 60 MB de disque, et un modem, et qui ne pèse que 3,6 Kg, mais qui ne supporte pas l'OS / 2 complet.

La série culmine avec l'annonce au Japon, au début 1991, de deux serveurs 486DX 25 ou 33, en 7 variantes dont 3 desktops (les **8590**) et 4 tours (les **8595**), dotées d'écrans XGA de qualité graphique, d'une mémoire accélérée à 70 ns et précédée d'un gros cache, et enfin de gros disques. IBM accompagne ces annonces d'une série de baisses très importantes, n'hésitant pas à reconnaître qu'il s'agit de pousser les concurrents au point où ils cesseraient de gagner de l'argent. Voir ces annonces et ces baisses dans la fiche IBM 8595.

En bas de gamme également, annonces en 3 / 92 d'un 855X à base de 386SLC à 20 MHz (une puce de conception IBM, plus performante que le SX), et de deux portables utilisant des 386 SX, 16 et 20 MHz :

- le **8556** a une mémoire de 4 à 16 MB, un floppy de 2,88 MB, un bus MCA 3 slots, et un disque SCSI : 40 MB pour 22743 FFHT, 80 MB pour 25397 FFHT, 160 MB pour 30695 FFHT.

- le **8557** est vendu sans clavier, mais avec un moniteur VGA, un port série, deux ports parallèles, un port de souris, 5 slots et un disque, 27113 FFHT pour un 80 MB, 36931 FFHT pour 160 MB (photo).

- le portable 16 MHz mesure 297 * 210 * 51 mm et pèse 2,5 Kg seulement ; mémoire 2 à 6 MB, floppy 1,44 MB, écran 9,5", logiciel DOS 5.0, autonomie 3 h, le prix est 18341 FFHT en 40 MB, 21676 FFHT en 80 MB. Le portable 20 MHz est beaucoup plus important, 325 * 278 * 71 mm, 5 Kg, un écran couleur TFT de 10,4", une mémoire de 2 à 16 MB, un disque de 80 MB, un clavier à trackball intégré : l'autonomie tombe à 1 heure et le prix monte à 47839 FFHT.

- par la même occasion, tous les prix baissent, de 6 à 13 % selon modèle, tombant par exemple à 16450 FFHT pour un 8535 SX 20 avec disque de 40 MB, à 114600 FFHT pour un 95 XP à base de 486 DX 33 accompagné de deux disques SCSI de 400 MB.

Tous ces efforts, cependant, ne changent rien à l'évolution, qui est une perte continue de parts de marché, y compris dans les entreprises. Le comportement de Microsoft, qui ne se presse pas d'achever son travail sur OS / 2, et qui trahit franchement IBM dans les derniers mois de son contrat, ne facilite pas les choses, mais IBM ne modifie pas son point de vue : tant pis pour la clientèle grand public, MCA et OS / 2 sont bons pour les entreprises qui sont nos vrais clients, on continue.

En fin 92, cependant, il faut bien admettre que la situation est sérieuse : le marché des PC n'est plus dirigé par IBM dont le public regarde avec indifférence les produits trop coûteux, mais par Intel : c'est Intel qui définit désormais les microprocesseurs, alimente le marché en cartes mères et en chipsets. Le MCA subsiste parce qu'IBM commande à Intel les chipsets correspondants, mais Intel ne produit pas de cartes mères pour ce bus que n'utilise pratiquement aucun des fabricants de clones.

La nouvelle tentative d'IBM se décompose en deux offres :

- vers les entreprises, une nouvelle gamme de **PS / 2 Premier** maintient les offres au plus haut niveau technique, avec le bus MCA, le système d'exploitation OS / 2 dont IBM est désormais le seul soutien, et les plus récents processeurs d'Intel. Il reste possible de faire fonctionner ces PS / 2 avec Windows, cependant.

- vers le grand public familial, les **PS / 1** assument la compétition avec les clones et utilisent les interfaces du marché : bus ISA, système d'exploitation Windows.

- pour ne pas décourager les possesseurs de PS / 2 dépassés par la croissance rapide des puissances de calcul, IBM leur propose en fin 93 de nouvelles cartes mères à puces étudiées chez IBM, avec échange standard aux alentours de 6000 FF, ce qui est cher : des 486 SLC2 pour les Mle 50 et 55 (20 / 40 MHz, cache 16KB inclus), des 486 DLC3 (33 / 100 MHz, cache 16 KB) pour les Mle 70 et 80.

La gamme PS / 2 Premier

Les informations dont nous disposons sur les machines de la gamme Premier sont malheureusement incohérentes, probablement parce que pas exactement synchrones. Il s'agit en principe de prix 1992.

IBM 9556 centré sur un 486 SL2 à 25 / 50 MHz, avec mémoire 8 MB et disque de 104 MB, écran XGA non entrelacé de définition 1024 * 768 pixels, 256 couleurs à choisir parmi 16 millions, prix 14800 FFHT.

IBM 9557 (type OBA) qui est le même avec un disque de 212 MB, au prix de 18100 FFHT.

En 1994 on proposera les reliquats de ces deux modèles rajeunis avec un 486 SLC3 (1,1 fois le DX2/66), respectivement 3 et 5 slots sans le coprocesseur, un disque à partir de 170 MB, un écran XGA2, et un système DOS 6.1 ou OS / 2 au prix de 12000 FFHT.

IBM 9577 (type OU6) à base de 486 SX 33 MHz, tout le reste comme le 9556 pour 19400 FFHT.

IBM 9577 (type ONA) à base de 486 DX2/66 avec disque 212 MB, à partir de 27800 FFHT. Bien entendu diverses expansions sont possibles : fin 93, la même machine avec 16 MB de mémoire SECDED, et 16 GB de disques SCSI2 organisés en RAID5 coûtera 88100 FFHT.

IBM 9590 (type ALA) à base de 486 DX2/50 vaut 26800 FFHT.

IBM 9595 (type AHA) à base de 486 SX/25 avec 8 MB et un disque de 212 MB, 30400 FFHT. C'est avec ce modèle qu'apparaît l'offre IBM de disques RAID :

- unité 3514, RAID5, 8 * 400 MB = 2,6 GB utiles pour 184 KFFHT.

- unité 3515, RAID1 (miroir), 4 * 1 GB = 2 GB utiles pour 174 KFFHT.

Ces armoires sont des tours, plus larges et plus hautes que le boîtier du 9595 lui-même.

IBM 9595 (type ALF) à base de 486 DX2/50 avec cache 256 KB, 8 MB de mémoire SECDED, disque 400 MB sur interface SCSI2 à 28 MB/s, prix 42300 FFHT.

IBM 9595 (type AMF) à base de 486 DX 50, reste comme ci-dessus, prix 67100 FFHT. On sait que ce modèle de 486 a dû être abandonné par Intel pour cause d'échauffement excessif.

Nouveaux modèles en mai 93 avec l'arrivée du Pentium, IBM abaisse les prix des derniers 486. Le **9585** est un 486 SX 33 MHz avec mémoire SECDED 8 à 64 MB, et bus MCA à 40 MB/s supportant les cartes Token ring, Ethernet, LAN Streamer et des disques RAID. La version de base est une petite tour qui peut loger 64 MB de mémoire, un floppy, et 7 slots d'extension ; on peut y placer 9 GB de disques internes, et supporter encore 51,3 GB de disques externes.

Plus couramment, quatre configurations sont proposées :

OXA, avec un disque 212 MB, pour 22000 FFHT. Ce prix tombera à 19000 FFHT en 10/93.

VO1, avec deux disques de 212 MB

OXT, avec 1 GB de disques

Spéciale, avec 16 MB de mémoire, deux disques de 212 MB, et une carte réseau.

Les choix logiciels comportent OS/2 avec LAN Server, SCO Unix ou Netware, ainsi qu'une assistance téléphonique Helpware disponible 24 H sur 24. La compétition est serrée entre OS/2, qui veut satisfaire tous les besoins de l'entreprise, et Windows NT de Microsoft, qui a la même ambition mais démarre en retard.

Windows NT démarre avec la version 3.1, ainsi baptisée pour souligner qu'elle offre tous les services de Windows 3.1 mais en version industrielle ; cet Advanced Server supporte en théorie 64 PC à travers tous les types de liaison, X25 ou RNIS en France, offre le niveau de sécurité C2 du Pentagone avec gestion d'alimentations de secours, de disques RAID1 ou 5, et sait travailler avec les BD non propriétaires comme Oracle, Ingres, Informix. Malheureusement tout cela est théorique car Windows NT 3.1 est en retard, comme toujours avec Microsoft qui annonce tous ses produits prématurément.

IBM réussit donc à sortir en juin 93 son **OS/2.2.1**, avant NT. C'est un multitâche englobant MS/DOS, Windows 3.1 et OS/2 en simultanéité et capable de procéder à des "couper/coller" entre eux ; il englobe MMPM/2, MultiMedia Presentation Manager, qui sait manipuler la vidéo, et ne nécessite que 40 MB de disque et 8 MB de mémoire. Il coûte 1300 FF sur CDROM, 1400 FF sur disquettes.

Quand **Windows NT 3.1** sort enfin en 10/93, il occupe 70 MB de disques et ne peut fonctionner en dessous d'un 486DX avec 16 MB, 32 MB étant recommandés. Bref, Windows NT n'est pas encore une menace, mais OS/2 ne parvient toujours pas à s'imposer, apparemment parce que les industriels qui ne l'ont pas ont peur d'une main-mise IBM sur leur équipement.

Le 23/5/94, Microsoft annonce **Windows NT 3.5 Daytona**, une version très stable étudiée pour améliorer le fonctionnement 16 bits, médiocre dans NT 3.1. Ce serait un objectif pour le grand public, mais il est de peu de valeur pour les entreprises. Un coup pour rien.

Il faut également citer un exercice IBM de faible consommation, le **PS/2.E** présenté en 5/93. Le CPU est un 486 SLC2 à 25/50 MHz, présenté dans un boîtier plat de style portable pesant 5 Kg et mesurant 30 * 30 * 7 cm, qui consomme 51 watts en activité, 16 watts en veille. On y trouve 4 à 16 MB de mémoire et un socket pour coprocesseur, un clavier alpha avec option pavé numérique et trackpoint remplaçant la souris, et quatre connecteurs PCMCIA qui remplacent les slots absents : on peut y placer deux disques de 120 ou 240 MB, une connexion parallèle, ou de la mémoire. Pas d'échauffement, pas de ventilation.

L'écran peut être un CRT consommant 8 watts, auquel cas l'ensemble vaut 22800 FFHT, ou une matrice TFT XGA2 de 640 * 480 points sur 10,4" de diagonale montée sur un pied, consommant 21/3 watts, qui porte le prix total au chiffre rédhitoire de 50300 FFHT.

Il semble que le succès n'ait pas couronné cet effort, car dès septembre le prix baissait de 20%.

Le Pentium 60 MHz est annoncé en 5 / 93 pour livraison au 3ème trimestre dans le serveur **Mle 95560** qui comporte un cache L2 de 128 KB, une mémoire SECDED, 1 à 9 GB de disques SCSI2, et deux bus MCA à 40 MB/s autorisant toutes les extensions. Le logiciel est OS / 2 2.0 avec LAN Server 3.0 et en option, Netware 4.0.

Par la même occasion, IBM annonce qu'elle propose le remplacement de tous les CPU des modèles 90 et 95 livrés depuis 10 / 90 par des Pentium 60, par simple échange de puce.

Toujours avec la préoccupation "entreprise", IBM propose en 6 / 93 un biprocesseur **Mle 295** à tolérance de panne, construit à l'occasion d'un accord avec Parallax, et probablement antérieur au précédent. La machine comprend deux 486 dialoguant sur un bus à 200 MB/s sous OS/2 1.3. Cache 256 KB, mémoire SECDED, disques RAID des modèles 3514 ou 3515 décrits plus haut.

L'un des processeurs est dédié à OS / 2, l'autre à Netware 4.0 et LAN Server 3.0 qui sait gérer Token ring, Ethernet ou FDDI. En cas de panne sur une voie, l'activité passe à l'autre qui peut largement cumuler. Options diverses : cartes mémoire à barrettes 16 MB, bus MCA 80 MB/s, cartes Pentium ou PowerPC.

Un peu plus tard cette même année, IBM reprend le même thème avec des 486 DX 50 dans un **Mle 195** contenant deux bus MCA représentant 12 slots, dix emplacements pour disques divers, une mémoire de 32 à 128 MB. Compte tenu du choix du CPU, il est impossible de dire si le 195 est plus simple ou plus perfectionné que le 295, car on ne dispose d'aucun prix.

En janvier 94, le **PS / 2 Mle 85E** utilise un 486 DX2 / 66 pour un serveur de 10 à 40 personnes. Mémoire SECDED à partir de 8 MB, cache L2 write back de 256 KB, disque 540 MB à 4 GB sur interface SCSI2 Fast & Wide, 7 slots MCA à 40 MB/s, BIOS plug & play. Prix de départ 36 KF.

En même temps, on propose un 95A à base de Pentium 60 ou 66 MHz, mémoire 16 ou 32 MB, disques RAID intégrés, à partir de 90 KF.

Produit "grand public" : le PS / 1

Bien qu'ayant beaucoup misé sur les PS / 2, IBM n'a pas abandonné la clientèle grand public, qui avait adopté le PC / AT. Elle garde donc le bus ISA, c'est-à-dire l'architecture AT, dans sa nouvelle famille **PS / 1** de produits commercialisés dans les grandes surfaces.

Le PS / 1 se trouve dès sa naissance en compétition avec les Classic et LC d'Apple, mais aussi avec Olivetti, Amstrad, IPC, Donatec, Sanyo, Commodore, tous offrant des 80286 et des disques de 40 MB. Ce qui frappe est qu'IBM est au départ à la fois le plus cher et le moins complet de ces produits, et les ventes continuent à s'en ressentir.

Il va donc y avoir pendant les années suivantes une constante surenchère qui, aux yeux des usagers, place IBM exactement au niveau des autres fournisseurs, tantôt un peu au dessus, tantôt un peu en dessous, la presse technique orchestrant cette lutte avec des bancs d'essai. Du côté matériel, l'annonce des 386 se produit au début 91, avec un 386SX à 20 MHz accompagné d'un lecteur de disquettes 2,88 MB qui devrait être livré en septembre. En attendant, les 286 voient leur prix baisser en même temps que ceux de la concurrence : un PS / 1 monochrome et sans disque dur vaut 6000 FFTTC, une machine couleur VGA est vendue environ 8000 FFTTC, et les mêmes avec disque de 30 MB valent respectivement 9000 et 11000 FFTTC.

Le PS / 1 386 sort effectivement en septembre, et c'est un 16 MHz, avec deux slots 8 bits pour préserver le passé, 2 MB de mémoire, un disque de 40 ou 80 MB. Sa version de base, dotée d'un écran couleur 12", d'un disque 40 MB, d'un modem V23bis (minitel), et de Windows 3.0 (sur MS / DOS 4.0) avec l'intégré Works, est proposée aux alentours de 14000 FFTTC : c'est très compétitif.

On les trouve non seulement dans les FNAC, mais aussi chez 270 VAR qui vendent en même temps des PS / 2 bas de gamme (Mle 30), des Mac Classic et des LC, ainsi que des portables.

Un an plus tard, le bas de gamme PS / 1 est le **E31**, une machine à base de 386SX/20 avec 2 MB de mémoire et 130 MB de disque, écran couleur et bien sûr, Windows : le prix est toujours 12000 FFTTC.

Mais, derrière ce modèle, apparaissent des 486DX à 33 MHz avec 170 MB de disque, et les concurrents ne sont plus les mêmes : Dell est maintenant le principal, avec Apple.

IBM maintient sa gamme et sa position mais essaie, en outre, d'attirer des clients supplémentaires avec les **PS / Value Point**, des machines vendues au dessous du prix du marché, mais sans possibilité d'évolution parce que le logiciel est préchargé. Voici, par exemple, la gamme **IBM 6384** de fin 92 :

Modèle C : 386 SLC 25, mémoire 2 à 16 MB, disque 80 MB, clavier, souris, écran SVGA non entrelacé, et logiciel DOS préchargé : c'est le C20, 9745 FFHT. Ou bien, avec 170 MB de disque et OS / 2-2.0 préchargé, c'est le C4A, à 13105 FFHT.

Modèle F, à base de 486 SX/25 : on a de même le F20 DOS à 11510 FFHT, 4 / 80 MB, et le F4A à 14605 FFHT, 8 / 170 MB.

Modèle M, à base de 486 DX/33, M20 4 / 80 MB à 13250 FFHT, et M4A 8 / 170 MB à 16355 FFHT.

Modèle W utilisant le 486 DX2/66 : ici le W20 est 4 / 170 MB et vaut 17405 FFHT, et le W5A comprend 8 / 212 MB et coûte 19640 FFHT.

Tous ces modèles, qui visent une clientèle inexpérimentée, peuvent être étendus par leur propriétaire sous sa seule responsabilité, grâce à 5 slots d'extension et 5 slots de mémoire.

Peu à peu, les demandes des clients suscitent d'autres PS / VP. Ainsi, en 1993, le **IBM 6382 FVO** utilise un 486 SX / 25 avec 4 MB de mémoire, 120 MB de disque dans un petit boîtier de table avec écran couleur 14" et une puce video connectée au bus local VESA, pour le prix très bas de 11950 FFHT ; il est possible d'ajouter 4 MB de mémoire pour 1819 FF et un cache de 128 KB pour 940 FF.

Ou encore, le PS / VP **IBM 6381** de 10 / 93 : il vaut 11500 FFHT en 486 SX/25, 12500 FFHT en SX/33, 15200 FFHT en DX2 / 50 pour 4 / 212 MB, préchargé avec Lotus Smartsuit contenant 1. 2. 3, Amipro, Freelance Graphics, Approach organizer, CC mail, et Lotus Azerty avec 200 modèles de lettres. Le même est proposé, un peu plus cher, avec 4 / 120 MB et Office de Microsoft.

Pour les clients un peu plus évolués, le prix ne comprend ni le logiciel ni les options, mais il n'est pas tellement plus élevé. Voir fiche PS / 1 Multimedia.

Le logiciel ici est uniformément Windows, qui impose ses paramètres : en 10 / 93, il s'agit de DOS 6.2 avec Windows 3.1, qui exige 12 à 20 MB de disque et 4 MB de mémoire.

Microsoft a préannoncé Chicago, qui devrait être un multitâche 32 bits englobant les services réseaux et Plug & play ; mais ce système que la presse baptise déjà Windows 4 a des problèmes : trop exigeant en mémoires, il est en outre complètement inefficace en 16 bits, et Microsoft annonce fin 93 que sa livraison est retardée d'un an. En compensation, il annonce **Windows 3.11**, qui ne contient que des services 32 bits embryonnaires, mais peut réellement participer à un réseau, et notamment partager un fax avec 7 participants . Prix de conversion à partir de 3.1 : 490 FFHT.

IBM essaye aussi en 92 une politique de boutiques pour clones, avec une filiale nommée ICPI qui vend la marque **Ambra**, un clone du PS / 1 qui n'en diffère guère que par l'absence du nom d' IBM sur les étiquettes et par des prix discount. Mais cette politique échoue : en 1993 ICPI n'a vendu que 100000 machines en Europe, dont 11000 en France, et abandonne l'Europe. Les Ambra continueront quelque temps d'être proposés aux USA sur un programme de 180000 par an, puis disparaîtront à l'apparition des Aptiva.

Il est difficile de tirer une conclusion de cette débauche incohérente de produits : on a l'impression qu' IBM, face à des clients tentés par toutes les nouveautés, s'efforce de tout essayer pour pouvoir répondre à n'importe quelle demande. En l'absence de statistiques par catégorie, il est impossible de dire si cette ouverture est payante; on sait seulement qu' IBM s'achemine lentement mais sûrement vers une part de marché inférieure à 10% et vers la disparition de tout choix préférentiel de la part des clients.

Bilan 1994 / 1995 des ventes de micros (en nombre) : 47901 / 59719 K, soit en gros 60 millions de machines vendues et 24,7 % d'augmentation en un an, dont une grosse part en Asie, ci-après NEC et une part importante des "autres" :

Compaq 4799 / 5999K = + 25% et 10,04 % du marché 1995

IBM 3937 / 4780 (+ 21,4 et 8%)

Apple 3957 / 4658 (+ 17,7 et 7,8 %)

Packard Bell 2473 / 3169 (+ 28,5 et 5,31 %)

NEC 1941 / 2864 (+ 29 et 4,8 %)

autres 30794 / 38249 (+ 24,2 et 64 %).

Ces chiffres montrent un marché en forte croissance et très dispersé, sans leader évident comme l'était IBM en d'autres temps.

Très significative est la part prise par Taiwan dans cette production, principalement sous forme de composants plutôt que de machines complètes : 80% des cartes mères = 17,5 M de pièces, 78% des claviers, 59% des numériseurs, 49% des moniteurs, 28% des portables, 19% des lecteurs de CDROM.

IBM rentre dans le rang

Mi 95, bonne année pour IBM qui sort complètement de son marasme sous la direction de Lou Gerstner, et triomphe dans les mainframe ; le marketing "revoit une nouvelle fois sa copie" et annonce :

- les PS / 2 s'appelleront désormais tout simplement PC, avec un numéro. On peut noter, dans les annonces qui accompagnent cette décision, la disparition progressive du bus MCA : IBM adhère désormais au bus PCI de Intel, qui a l'avantage d'être plus performant que le MCA, de sorte qu' IBM ne perd pas la face en s'alignant sur le marché. Par contre, IBM continue à soutenir fortement OS / 2 pour les entreprises.

- les PS / 1 sont rebaptisés **Aptiva** et vendus désormais dans les FNAC et autres Darty, sinon dans les supermarchés. Fin de l'expérience Ambra et des boutiques.
- les portables sont baptisés Thinkpads et vendus de même, mais par une filiale distincte.

Les PC démarrent à l'automne 94 avec les **modèles 300** et **500**, complétés en mars 95 par les **modèles 320** et **720** : tous ces matériels sont qualifiés de serveurs, et s'intègrent dans la politique commencée cinq ans plus tôt au niveau des mainframe : faire comprendre aux commerciaux d'IBM comme aux entreprises que les matériels sont conçus pour ces dernières :

- les **PC 300** pour groupes de travail utilisent un 486 DX2 / 66 ou un Pentium 60 MHz avec jusqu'à 192 MB de mémoire sur un bus PCI qui alimente lui-même un bus EISA, avec 8 connecteurs et 9 baies pour disques et bandes de sauvegarde.

Pour les fidèles, subsiste un modèle 77i à base de DX2 / 66 ou DX4 / 100 utilisant le bus MCA, avec 4 connecteurs et 4 baies de disques.

- les **PC 320** sont plus musclés, avec un ou deux Pentium 90 et les mêmes bus. La mémoire est 16 à 256 MB avec SECCDED et cache L2 writeback de 256 KB, les disques sont SCSI2 Fast & Wide sur le bus PCI et peuvent se grouper en configurations RAID. CDRROM en standard. Un Mle 95 à Pentium 90 existe toujours pour les tenants du bus MCA, avec 5 connecteurs et 4 baies de disques.

- le **PC 500** est un serveur de réseaux pour grandes entreprises : utilisant un Pentium 90 et une mémoire 32 à 256 MB avec cache L2 256 KB, il conserve le bus MCA avec 6 connecteurs et une capacité exceptionnelle de 18 disques SCSI2. CDRROM en standard.

- le **PC 720** introduit le multiprocessing symétrique SMP dans le domaine PC, à l'image de ce qu'a fait Intel peu auparavant ; c'était devenu indispensable pour réaliser les gros serveurs, et IBM, qui n'avait pas développé cette technologie à temps, a finalement choisi d'acheter le concept SIMPL et le bus CB II à la société Corollary, en formant à cet effet un groupement d'intérêts avec Olivetti, Intergraph, Samsung et Fujitsu.

Le 720 contient de 1 à 6 Pentium 100, chacun sur une carte fille avec 512 KB de mémoire et une connexion à ce bus système 64 bits, 400 MB/s, qui accepte 64 MB à 2 GB de mémoire et deux niveaux de caches externes : c'est là aussi que s'attache le bus PCI, auquel IBM associe un MCA à 80 MB/s, dont dépend le bus SCSI des 18 disques ; les 7 connecteurs peuvent recevoir indifféremment des contrôleurs PCI ou MCA., le CDRROM est standard.

Cette machine sera livrée en octobre 95 : un ensemble de 4 P100, avec 64 MB de mémoire, 4 disques de 2,25 GB et une carte Ethernet, vaut 233800 FFHT.

Le logiciel de toutes ces machines est à choisir dans une large gamme, entre **OS/2 SMP 2.11** (la version multiprocesseur), Windows NT 3.5, Netware, Vines et UNIX SCO.

Fin 94, IBM annonce **OS / 2 3. 0 Warp** : c'est d'abord une version grand public, optimisée pour tenir dans 4 MB de mémoire, avec une interface graphique compatible Win32 (partie de Windows NT). Le prix de 800 F intègre de nombreuses applications dont l'intégré Works de Microsoft, un logiciel de téléconférence, un gestionnaire de Fax, un visionneur multimedia avec tous outils pour accéder au Minitel, à Compuserve et à Internet. Le jugement des professionnels est que ce Warp est bien meilleur que Windows 95, mais les réactions du public n'obéissent pas à la raison.

Une version professionnelle orientée réseaux à travers LAN Server 4 (jusqu'à 1000 clients) ou le plus modeste LAN Server Entry (80 clients) sera proposée à mi 95 sous les noms de Warp Connect pour les serveurs de haut de gamme et de Warp Server pour les gestionnaires de réseaux.

Mi 95, IBM présente à la PC Expo de New York deux PC utilisant le PowerPC 604 comme processeur, les **modèles 830** et **850**, respectivement 100 et 133 MHz. Il ne s'agit pas de serveurs, mais de monoprocesseurs individuels : mémoire 16 à 192 MB, disques 540 MB à 1 (830) ou 3 (850) GB sur contrôleur IDE, bus PCI, CDRROM 4x, Ethernet 10 Base T en standard, options Ethernet ou Token ring plus rapides sur cartes ISA ou PCMCIA.

Prix : 26000 FFHT pour un 830 à 32 MB + 1 GB avec Windows NT, 36000 FFHT pour un 850 analogue.

Des portables à base de PowerPC 603e à 100 MHz sont également proposés à un prix élevé de 37500 FFHT pour 16 MB + 512 MB, le **Thinkpad 850** pouvant supporter une petite camera video.

Le logiciel comporte, en option, une Sensory suite multimedia : décodeur MPEG1, visualisation de films CD, synthétiseur MIDI, dictée Voice Type, et la IBM Human Centered Experience qui intègre la voix, le son et la video dans une même interface.

Chose curieuse : on ne reparle pas de ces appareils après 1995, IBM paraissant extrêmement réticent à introduire des PowerPC ailleurs que dans les RS / 6000 ; il est à peu près certain qu'un veto venu de haut a empêché toute diffusion de ces PC à base de PowerPC, préparés par la PC Company sans accord préalable de ces autorités.

L'étape suivante intervient en mai 95, avec les modèles suivants :

- le **PC 750** est basé sur un Pentium 120 MHz avec cache 256 KB, mémoire 16 MB, disque 1 GB sur interface IDE, carte graphique 64 bits S3 Vision 864 avec 1 MB de VRAM, bus PCI/ISA, prix 23000 F.

- le **PC 330** utilise un Pentium 75 ou 90 MHz avec cache 256 KB, mémoire 16 MB, disque 540 MB sur interface IDE, carte graphique S3 Trio64 avec 1 MB de VRAM, bus PCI/ISA, prix 11500 et 13500 FFHT.

En octobre 95, deux nouveaux modèles encore :

- le **PC Server 310** utilise un Pentium 75 MHz avec 16 MB de mémoire et un disque de 1,02 GB sur bus SCSI2. Le bus PCI génère, selon modèle, un bus aval ISA ou MCA, et les slots d'extension sont conformes à ce choix. Le 310 ISA coute 27500 FFHT, le modèle MCA 29500 FFHT.

- le **PC Server 520** fonctionne avec un Pentium 100 et un cache 512 KB, et peut recevoir un second processeur. La mémoire de base est 32 MB ECC, le disque de 2,25 MB est supporté par une interface SCSI F&W. Les prix sont alors 52000 FFHT en EISA, 54000 en MCA. Le boîtier, comme celui du 500, peut recevoir jusqu'à 18 disques ou modules de même taille.

- IBM, en permanence désireuse de faire travailler ensemble ses quatre architectures, annonce en fin 95 une machine mixte, le **PC 500 S/390**, qui contient à côté d'un Pentium 90 un processeur 390 CMOS de la famille 9672, avec 32 à 128 MB de DRAM ECC et un système d'exploitation à choisir, MVS ou VSE. Le prix de K\$ 400 à 800 FFHT ne fera pas de cette machine un best seller. L'idée consistant à en faire une console de développement, ouverte sur le mainframe pour les aides logicielles, et sur les PC OS/2 ou les AS/400 pour les applications, ne semble avoir débouché sur rien.

En janvier 1996, le trio IBM / Motorola / Apple qui travaillait depuis au moins un an sur une plateforme commune pour les puces PowerPC, annonce la machine **CHRP**, une carte mère PowerPC qui doit permettre à IBM comme à Apple, au moins, la réalisation de machines tournant sous MacOS, OS/2, Solaris et Windows NT. C'était indispensable et urgent, et il semble que ce soit tout de suite un échec : IBM ne s'en servira pas, toujours pour protéger les RS/6000 probablement.

Par contre, un accord passé entre IBM et Apple autorise la compagnie à fournir aux cloneurs de Apple non seulement les puces PowerPC, mais aussi le MacOS et les spécifications détaillées de la PowerPC Platform, comme est rebaptisée la CHRP : trois centres techniques aux USA, en Europe et à Taïwan rempliront cette mission qui devrait a priori favoriser surtout Apple, même si le clonage exige tout de même le paiement d'une royauté pour les ROM de conversion de PowerPC vers Mac.

En mars 96, IBM annonce un PC Server à base de Pentium Pro 166 MHz, avec cache L2 de 512 KB, bus PCI/EISA à 6 slots PCI et 4 slots EISA, avec 17 postes de disques dont 12 modifiables en marche, et un Ethernet 100 Mbits/s. Il sera commercialisé à partir de mai en monoprocesseur 64 MB ECC à 95000 FFHT avec 2 disques SCSI2 F&W de 2,14 GB, en biprocesseur 128 MB ECC à 187000 FFHT avec 4 disques, et en juin en quadriprocesseur, tout cela fonctionnant sous Windows NT.

IBM, qui constate l'attrait de NT sur les entreprises, a choisi avec ces modèles d'inaugurer une production parallèle de machines NT, les Intellistations, et de machines OS/2, les PC.

IBM annonce aussi, en effet, que OS/2 se porte bien, et qu'il en existe plus de 12 millions de licences : IBM, qui maîtrise bien le marché d'entreprise de ses connexions OS/2, annonce la recombinaison de Warp Connect et de Warp Server en un ensemble grand public, **Merlin**, et une version d'entreprise capable de toutes gestions de réseaux, qu'on peut appeler **Warp 4**.

Cependant Merlin, annoncé d'abord pour mi 96, ne sortira en fait qu'au début 97, avec une commande vocale riche (10000 mots de base, 50000 avec extension) exigeant au minimum un Pentium 100 et 16 MB de mémoire, mais susceptible d'assumer le traitement de texte en direct ; Merlin contiendra un navigateur Internet, la messagerie de Lotus Notes, les polices True Type d'Adobe, les connexions infrarouge de périphériques, le langage REXX en version orientée objet, le module Personal Communication / 3270 sous TCP / IP, une interface graphique moderne. La Marine en a, d'un seul coup, commandé 400 000 exemplaires.

Warp4 en diffère notamment parce qu'il est multiprocesseur.

En avril 96, IBM renouvelle la gamme 300 avec des Pentium 133, 166 ou 166 MMX, associés à 8, 16 ou 32 MB de SDRAM 66 MHz + cache 256 ou 512 KB, disques 1,2 ou 2,5 GB, contrôleur graphique 5446 de Cirrus Logic avec 1 MB de VRAM, prix 7400 FFHT + moniteur. Ces PC sont livrés avec Windows 95 ou Windows NT 4.0, et une license Smartsuite de Lotus.

Les serveurs 320 et 520 sont également mis à jour avec des Pentium 166 MHz en leur ajoutant des ports UltraSCSI permettant un adressage étendu et trois canaux SCSI indépendants. Ils seront livrés avec Lotus Notes dans les trois cas de systèmes, Windows NT, OS/2 et Netware. Une évolution vers la clusterisation est en cours : partage de disques, disques miroir dès 1996, communications rapides (ATM ou Ethernet 100 Mbits) en 1997, véritable interconnexion de 4 à 8 machines en 1998.

En février 98, IBM renouvelle encore une fois ses serveurs OS / 2, qui deviennent la série **Netfinity 3500**, à base de biprocesseurs Pentium II à 233, 266 ou 333 MHz. Ils sont livrés avec une mémoire SDRAM ECC, deux contrôleurs UltraSCSI et 6 emplacements de disques. Le logiciel Lotus Domino 4.6 est standard. Prix : moins de 17000 FFHT pour un 233 avec 32 MB, croissant à 20000 FFHT pour ajouter 4,3 GB de disques SCSI2 F&W ; 23250 FFHT pour un P II 266 et 64 MB.

En septembre 98 IBM soutient toujours OS / 2 Warp Server qui détient désormais quelques solides positions en entreprise, par exemple 60% des guichets bancaires. Elle introduit **Warp 5**, dont le noyau a été réécrit en C 32 bits pour éliminer l'assembleur ; cette version sort en 1999.

En 2000 IBM est passée aux **Netfinity 4000** qui contiennent un ou deux Pentium III, jusqu'à 2 GB de mémoire, 36 GB de disques et un Ethernet. Cette série de serveurs non modifiables travaille à 650 ou 750 MHz avec cache L2 de 256 KB, mémoire en SDRAM avec ECC et disques en racks. Les prix des modèles varient entre 28500 FFHT pour un 650 MHz avec 256 MB de mémoire et 9,1 GB de disques (Modèle 351 V) et 103650 FFHT pour un 346 V à deux CPU 750 MHz avec 2 GB de mémoire et 36,4 GB de disques. Mais il y a aussi des modèles très adaptables formant la série K, disponible à partir d'octobre 2000, avec des P III jusqu'à 1000 MHz, de la SDRAM ECC jusqu'à 4 GB, et jusqu'à 72,8 GB de disques.

Simultanément, les **Intellistations** vouées à Window NT existent toujours et proposent des machines extrêmement puissantes, associées à des cartes graphiques à haute performance, telles que Elsa Gloria II équipée d'un processeur NVidia et de 128 MB de VRAM, qui fournit du 3D sur le bus AGP4x.

EPro 6867 est une station graphique de ce genre, groupant autour d'un Pentium III à 933 MHz une mémoire de 128 MB de RDRAM ECC, un disque Ultra ATA / 66 de 15 GB, une carte Ethernet, une video Metrox Millenium G 400, et un très grand écran, pour \$ 20700.

MPro 6868 est un serveur équipé de un ou deux Xeon 700 MHz, de 512 MB de RAM, d'un disque Ultrawide SCSI de 9,1 GB, et d'une carte Elsa pour un prix de base de 41000 FFHT ; ou encore d'une carte Intense 3D Wildcat 4110 pour 59500 FFHT.

ZPro 6866 est un serveur équipé de un ou deux Xeon 1 GHz, associés à un bus 133 MHz. Le prix s'élève à 44100 et 68500 FFHT pour les configurations ci-dessus.

Cette politique luxueuse consistant à produire et commercialiser deux familles pour entreprises autour des processeurs Intel, conduit IBM à acheter en 2000 environ 16% de la production Intel 86x, ce qui représente un réel progrès par rapport aux années 95.

Dans le domaine grand public, désormais complètement indépendant des serveurs, les Aptiva démarrent en 1994 dans la continuité, avec 10 modèles en trois séries dont les prix s'étagent de 7500 à 18000 FFTTC

- **série A**, à base de 486 SX/25 ou 33. Par exemple, un SX/33 avec 4 / 270 MB, CDROM, carte son 16 bits et hauts-parleurs, vaut 10500 FFTTC.

- **série B**, utilisant le 486 SX2 / 50

- **série C**, comportant trois modèles 486 DX2 / 66 et un Pentium 60. Avec 4 / 420 MB et Works 3, le Pentium vaut 17000 FF et le DX2/66 18000 FFTTC.

Il y a un multimedia dans chaque série, avec un prix de départ de 10500 FF. Trois des modèles sont des minitours avec 6 baies et 8 slots d'extension, le reste utilisant un boîtier desktop double hauteur avec 4 baies et 4 slots. Le logiciel est Windows 3.11 avec MS / DOS 6.3 et l'intégré Works.

Il serait de peu d'intérêt de suivre pas à pas l'adaptation des Aptiva aux annonces des fabricants de microprocesseurs, et nous terminerons avec quelques indications sur les Aptiva de janvier 2000 :

- le **Mle 26B** est un matériel d'entrée de gamme, vendu 6000 FF. Animé par un K6.2450 d' AMD, il dispose d'une mémoire de 64 MB, d'un disque de 4 GB, d'un CDROM 40x, d'un modem 56 Kbit/s, et d'un écran 15", qui peut être remplacé par un 17" pour un supplément de 1000 FF.

- le **Mle 59G** à 7000 FF dispose d'un K6.2500, d'un disque 6 GB, et d'un DVDROM 6x. Mêmes moniteurs. Présentation en minitour avec hauts-parleurs séparés.

- le **Mle 63G** à 9000 FF, de même présentation, est centré sur un Pentium III à 500 MHz, avec un disque de 8 GB. Pour ce prix, on reçoit, en plus de Windows, la SmartSuite Millenium de Lotus.

On peut constater qu' IBM est parfaitement compétitif, dans un monde très uniformisé où il n'est pas facile de se distinguer de la compétition.

En matière de portables, la première réalisation d'IBM, déjà évoquée, est le **8543**, encore appelé L40SX pour rappeler que c'est un laptop (L), qu'il se situe hiérarchiquement comme un PS / 2 Mle 40, et qu'il est construit autour d'un 386 SX. Belle qualité, mais prix très élevé de 36900 FF, néanmoins jugé supportable devant les services rendus.

L'année 1992 verra IBM aborder plus nettement les "notepad", nom utilisé de façon abusive car il n'est pas question, à cette époque, de construire des machines sans clavier :

- le **N33**, à base de 386SX à 12 MHz, avec 2 à 6 MB de mémoire, floppy 1,44 MB, et un disque de 40 MB, mesure 290 * 210 * 45 mm et ne pèse que 2,5 Kg ce qui est tout de même remarquable. Ecran monochrome 9" de 640 * 480 points, éclairage latéral. Limité par son logiciel, il sera bradé autour de 7000 FF lors de l'apparition des Thinkpads, après avoir été vendu initialement 16700 F.

- le **N51SLC** est centré sur le 386SLC et utilise un bus MCA, ce qui n'offre d'intérêt que s'il existe une station réceptrice au bureau (en option). Vendu initialement 30000 F, lui aussi sera bradé à 15000 puis même à 11000 FF à l'arrivée des Thinkpads.

- le **PS / Note 182** utilise un 386 SL/25 avec 2 MB de mémoire et un disque de 85 MB, avec un écran LCD, dans un boîtier de 2,5 Kg doté de 4 heures d'autonomie. Prix 13400 FFHT.

Les Thinkpads apparaissent à la fin de 1992, le **T 300** étant également fondé sur le 386 SL / 25, mais avec un cache de 64 KB, une mémoire de 4 MB et un disque de 120 MB dans un boîtier de 2,7 Kg. L'autonomie est de 2,7 heures, le prix 16500 FFHT.

Une version **300C** en couleurs utilise un écran Toshiba TFT, pèse 3 Kg, présente une autonomie de 3 heures, et coûte 28000 FFHT.

Le **T700** contemporain est à peu près la même machine, mais conçu pour s'enficher dans un socle d'accueil PS / 2 qui dispose d'un clavier standard et d'une souris.

Le 700 de base possède un écran LCD au standard VGE avec 64 niveaux de gris et une diagonale de 9,5". Il pèse 3 Kg, dispose de 3,8 heures d'autonomie, et coûte 20750 FFHT.

Le **700C** avec écran 256 couleurs Toshiba de 10,4" pèse 3,5 Kg, dispose de seulement 2 heures d'autonomie, et coûte 30000 FFHT, ce qui devient dissuasif.

Ces machines ayant reçu un bon accueil, IBM leur prépare des successeurs pour 1993. Le **T 350** utilise un 486 SL/25 alimenté en 3,3 volts, avec même mémoire et même disque, mais possibilité d'extension + 4 MB pour 1820 FF. L'écran est un VGA monochrome rétroéclairé à 16 niveaux de gris, mais il existe un connecteur arrière pour un moniteur externe à 256 couleurs. Il y a aussi un connecteur PCMCIA I ou II pour extension, un curseur commandé par bouton rouge, et l'autonomie est portée à 5 heures par de nouvelles batteries. Prix 16130 FFHT en mono, 17330 FFHT en couleurs.

Le nouveau **T 750** est sans concession, pesant 2,5 Kg avec une autonomie de 8 heures. Le CPU est un 486 SL/33, le floppy est 2,88 MB, le disque 170 ou 340 MB est accessible en soulevant le clavier, il existe un trackpoint et une possibilité d'extension PCMCIA III.

Choix de trois écrans : un LCD monochrome de 9,5" avec 64 nuances de gris ; un LCD 256 couleurs de même taille ; un TFT 10,4" en 256 couleurs. Le prix, 22000 à 40000 FFHT, marque le coup, surtout si on doit y ajouter la station d'accueil qui pour 6000 FF comprend les connecteurs, un logement pour disque SCSI ou CDROM, un slot AT, et deux hauts-parleurs.

Fin 94, le **T 755C** utilise un 486 DX4 à 25 / 75 MHz avec un disque de 340 MB, mais il possède la particularité que le clavier peut être soulevé pour changer les composants, notamment le disque. Jugé un peu faible, notamment pour son prix de 40000 FFHT, il sera vite remplacé par les suivants.

Le **T 755CD** à base de 486 DX4 / 100 est une machine de luxe, avec un prix approprié de 43000 à 57000 FFHT. Les performances sont étincelantes - par rapport à la concurrence - et aussi l'équipement : mémoire 8 à 40 MB, disque 340 à 810 MB, écran couleur TFT de 10,4", connecteur PCMCIA double pour une carte III ou deux cartes I ou II, multimedia complet (lecteur CDROM, DSP, sorties video, carte son, deux hauts-parleurs), transmission infrarouge à 3 modes IRDA (1150 Kbd pour IBM, 115 Kbd pour HP, 9,6 Kbd pour Sharp). Le lecteur de disquette est amovible et peut être remplacé par un autre PCMCIA. Côté logiciel enfin, on fournit CC : mail pour mobiles et Organizer, en plus de Windows.

Le **T 755CE**, annoncé en février 95, est un peu plus économique à 46000 FFHT, grâce à la suppression du CDROM. Mais le DSP est toujours là pour téléphone, télécopie, modem, répondeur, et il peut fonctionner en récepteur TV. Il dispose aussi d'une station d'accueil.

Le **T 755CV** de mai 95 est la même machine avec une idée originale : le dos de l'écran TFT est amovible, de sorte que l'appareil peut être posé sur un rétroprojecteur et utilisé dans des présentations, d'autant qu'il dispose d'une télécommande aux riches possibilités sur son port IR. Prix 42700 FFHT en 8 / 540 MB.

Le **T 755CX** de la même époque utilise un Pentium 75 et sa batterie Lithium / ion lui donne de 3 à 9 heures d'autonomie, avec un poids de 2,9 Kg. Il conserve DSP et port IR et coûte 40000 FFHT en 8 / 540 MB, ou 47000 FFHT en configuration 8 / 1200 MB.

En bas de gamme, annonces multiples en mai 95 :

- un **T 340 CSE+** de 2,4 Kg , moins de 14000 FFHT pour un 486 SLC2 / 66 .
- un **T 370C** à base de 486 DX4 / 75, proposé à 20500 FFHT en 4 / 340 MB.
- un **T 360 PE** convertible en tablette à base de 486 DX2 / 50 , prix 20800 FFHT en 4 / 340 MB.

Le renouvellement de 1996 commence par les **T 365**, qui utilisent le processeur Cyrix 5x86c à 100 ou 133 MHz, produit par IBM, et pèsent 2,7 Kg. Il en existe quatre variantes :

- le 365 de base dispose d'un écran LCD VGA de 10,4" avec une carte graphique à 1 MB de VRAM sur le bus local, une mémoire 8 / 540 MB, une carte son, et un port IR à 1,15 Mbit/s . Batterie CdNi .
- le **365E** utilise soit un écran DSTN à matrice passive double scan, 256 couleurs, pour moins de 13000 FFHT, soit un écran TFT pour 15000 FFHT.
- le **365 ED** à écran DSTN possède en plus un lecteur de CDROM 4x, pour 14600 FFHT. Son poids est accru de 200 grammes.

En 1997 apparaissent les **760** et **765**, à base de Pentium 166 MMX, toujours plus puissants : mémoire de 32 à 104 MB, un ou deux disques jusqu'à 6 GB, écran TFT 1024 * 768 pixels, multimedia riche grâce à un DSP incorporé et un logiciel important, puissante station d'accueil, choix de systèmes d'exploitation, extensions multiples, etc... Voir fiche.

En gros, il semble que vers la fin de la période étudiée, IBM ait réussi à rattraper Toshiba jusque là leader des portables et à convaincre le marché à la fois par une qualité irréprochable et des prix compétitifs.

Pour les notebooks véritables, IBM ne semble pas s'y être intéressée avant janvier 2000, date à laquelle apparaissent un **Workpad C3** à 3500 F et un **Workpad 30X** à 2500 F. En fait, il s'agit simplement d'un accord de commercialisation entre IBM et la société 3Com, dont IBM vend les produits Palm V et Palm 3X, fonctionnant sous le système d'exploitation PalmOS 3.1 .

Périphériques

L'existence de boutiques pour la vente des PC a incité IBM, à certaines périodes de cette histoire cahotique, à promouvoir la vente directe au public de composants et de périphériques, ce qui est tout à fait inhabituel chez ce constructeur. Nous passons en revue quelques périphériques qui sont entrés dans ce circuit très particulier.

IBM a également pratiqué la vente directe pour des installations décentralisées destinées à des entreprises, mais nous renvoyons pour cette catégorie à la rubrique "informatique distribuée".

Machines à écrire

IBM 6781 (1990) est une machine à écrire électrique classique, avec 1500 caractères de mémoire, et possibilité de liaison à un CPU en tant qu'imprimante. 3 espacements . Dictionnaire orthographique 150000 mots. Prix 4964 FFHT.

IBM 6783 est la même, avec 4000 caractères de mémoire et l'espacement proportionnel.

IBM 6784 (1988) est une machine à écrire à 4 espacements, connectable en imprimante sur un PS / 2. Mémoire pour 15 à 30 pages de texte, et jusqu'à 4000 caractères pour corrections.

IBM 6787 est la même, agrémentée d'un écran à cristaux liquides de 80 caractères, 10184 FFHT.

IBM 6788 est la même, complétée d'un écran pleine page et d'une disquette 3,5" de 720 KB, avec la vérification orthographique. Prix 13139 FFHT.

Imprimantes à jet d'encre

IBM 3852 (1985) offre 7 couleurs, 10 à 50 cps. Elle mesure 295 * 400 * 114 mm, pèse 5,6 Kg , et s'attache sur le connecteur parallèle. Contient un tampon d'une ligne en alphanumérique, ou de 800 bits en graphique.

IBM 4072 (Lexmark, 11 / 90), pour liaison série sur tout PC, 150 à 600 cps. Voir dossier.

Imprimantes laser

IBM 3812 à diodes électroluminescentes, 240 * 240 points / " , 61 polices fournies et d'autres disponibles. 12 pages / minute. Interface RS232C ou parallèle. Prix 116220 à 155336 FFHT.

IBM 3816 est la même, même qualité, en 24 pages / minute. Voir dossier.

IBM 3820 est une vraie laser dont le tambour non remplaçable est estimé à 1,5 million de copies, au débit de 20 pages / min. Dimensions : 670 * 1520 * 1190 mm, 259 Kg , 1,8 KVA.

Prix 274679 FFHT. Pour réseaux de PC.

IBM 4019 laser 10 pages / min en 300 * 300", voir dossier. Prix 13207 à 18914 FFHT.

IBM 4028 est une extension de la conception précédente avec plus d'options, plus de mémoire, plus de polices. Prix à partir de 37639 FFHT.

IBM 4029 semble être, un peu plus tard, une version plus polyvalente en plusieurs variantes:
Mle 020, qualité courrier en 6 pages / min.
Mle 040, 10 pages / min en 300 * 300 "
Mle 030, 10 pages / min en 600 * 600 ", pour programmes Postscript.

Imprimante à marguerite

IBM 5216 utilise des marguerites 96 caractères interchangeables et s'adapte à tous interfaces, toutes densités, tous formats de papier. Elle dispose d'un tampon de 1750 caractères et imprime 60 cps.
Dimension 409 * 581 * 224 mm, 15,7 Kg .

IBM 5217 est la même, plus particulièrement destinée au System / 23 .

Imprimantes matricielles

IBM 2380 / 1 (Lexmark 1990) imprimante 24 aiguilles, 60 à 200 cps, toutes émulations. Voir dossier.

IBM 2390 / 1 (Lexmark 1991) remplacement de la précédente, toutes caractéristiques égales pour un moindre prix. Voir dossier.

IBM 4201 / 2 (1985) matricielle 9 aiguilles, tampon 5500 bytes. Voir dossier.

IBM 4207 / 8 (5 / 89) remplaçante de la précédente, 24 aiguilles, 80 à 240 cps. Voir dossier.
Elle-même remplacée en 1991 par la 2390 ci-dessus.

IBM 5204 (Lexmark) est un modèle à 24 aiguilles pour papiers grand format jusqu'à 420 mm de large. Capable de 55 à 396 cps selon qualité désirée, et 180 * 360 points par pouce en graphique. 8 polices en mémoire. Choix d'alimentations et d'interfaces. Voir dossier.

Imprimante thermique

IBM 5201 fonctionne par transfert thermique d'encre sur tous papiers, jusqu'à 60 cps. Polices interchangeables de 252 caractères, dont deux présentes simultanément. Tampon de 1750 bytes.
Dimensions : 376 * 544 * 165 mm, 13,6 Kg .
Qualité d'impression moyenne, à choisir pour le silence.

IBM 5202 modernisation de la précédente, voir dossier.

Terminaux écran / clavier

IBM 5151 (1981) est l'écran 12" du PC initial produit à Taïwan. Sa définition de 720 * 348 points permet de générer 25 lignes de 80 caractères, chacun 7 * 9 points dans un rectangle de 9 * 14 points : on peut ainsi distinguer majuscules et minuscules. Autres dispositifs : double brillance, inversion du fond, soulignure, clignotement , masque.

Avec un adaptateur multifonction, la définition devient 640 * 350, ce qui permet de générer 43 lignes de 80 caractères placés chacun dans 8 * 14 points, avec 4 jeux de caractères.

IBM 5153 (1982) est un écran graphique 13", capable de 320 * 200 points en 4 couleurs, ou 640 * 200 points en 2 couleurs, les couleurs étant choisies parmi 16. On peut en tirer 25 lignes de 80 caractères inscrits dans une définition de 8 * 8, ou encore 25 lignes de 40 caractères de meilleur dessin.

L'adaptateur multifonction permet d'obtenir des graphiques de qualité moyenne, de maintenir 4 couleurs sur tout l'écran, et de disposer de 4 jeux de caractères.

IBM 5154 (1983) est une amélioration du précédent, 640 * 350 pixels, soit 43 lignes de 80 caractères matérialisés dans 8 * 14 points. 16 couleurs parmi 64, soit 4 bits par pixel. Il en existe deux versions différentes pour les hémisphères N et S, à cause de la compensation du champ magnétique terrestre dans les bobines de commande du positionnement.

IBM 5175 (1983) est un écran 13" de qualité professionnelle, extérieurement très semblable au précédent. Il peut travailler en émulation de celui-ci, ou en mode propre, avec un contrôleur qui exige deux slots de la carte mère. Pas de générateur de caractères : ils peuvent être composés par le logiciel graphique.

Définition 640 * 480 pixels de 8 bits, 256 couleurs choisies parmi 4096. Visualisation dans 24 * 18 cm. Le balayage vertical est à 60 Hz, le balayage horizontal à 30 ou 48 Hz, la video à 25 MHz ; il n'y a pas d'entrelacement.

IBM 5379 est le nom générique d'une famille d'écrans couleur à haute définition :

- le modèle de base est un 14", 8 couleurs, 720 * 512 points, qui peuvent servir à composer 32 ou 49 lignes de 80 caractères. Cet écran travaille avec un contrôleur 5278.

- le modèle M01 est un monochrome de 19", contenant 1024 * 1024 pixels ou 50 * 80 caractères, et utilisant un contrôleur 5378 M01.

- le modèle C01 est un 16 couleurs de 19", associé à un contrôleur 5378 C01.

IBM 8503 est le moniteur monochrome, 640 * 480 points, 12", des premiers PS / 2, capable de 25 à 43 lignes de 80 caractères, et alimenté par un signal analogique. Son prix était 2334 FFHT.

IBM 8512 est le moniteur 256 couleurs, 640 * 480 des PS/2, lui aussi commandé par un signal analogique. Le modèle 8512 de 14" coûtait 5451 FFHT et le 8513 de 12" 6777 FFHT, car il devait maintenir la définition dans une moindre dimension.

IBM 8514 est le moniteur 16", 256 couleurs choisies parmi 262144, 1024 * 768 points ou 51 lignes de 146 caractères. Il vaut 10804 FFHT.

IBM 8515 est le même en 15" et ne coûte que 6777 FFHT, ce qui est contradictoire avec l'explication précédente. Ces deux écrans pour PS/2 sont aussi utilisables pour des X stations (terminaux Unix) et notamment avec le RS 6000.220.

Scanners

IBM 2456 est un scanner à plat pour le format A3, ce qui explique son prix exorbitant de 52533 FFHT. Monochrome, il peut distinguer au choix 1, 16, 64 ou 256 niveaux de gris, et débiter jusqu'à 12 pages A4 par minute avec une définition de 400 points par pouce.

IBM 3119 qui figure dans le dossier est un matériel A4 avec une résolution 300 * 300 ou 300 * 150 points par pouce, en monochrome avec 1, 16 ou 128 niveaux de gris. Le balayage d'une page A4 dans ces conditions dure de 14 à 40 secondes.

Processeurs auxiliaires

Cartes vidéo : les cartes vidéo sophistiquées, avec processeurs 2D ou surtout 3D, sont encore réservées par leur prix aux stations de travail du prochain chapitre. Néanmoins, il devient courant, vers 1994, d'introduire dans les PC, au moins les plus performants, une carte qui contient, au minimum, une VRAM et un choix de palettes pour des images à 256 couleurs ; les images à 16 millions de couleurs nécessitent toujours une carte. Dans ce domaine économique, il semble qu'IBM achète ses cartes dans le commerce.

Dictée personnelle : il s'agit d'une carte au format AT qui peut trouver place soit dans un PC professionnel sur bus MCA au prix de 9500 FFHTC, soit dans un Aptiva sur slot AT au prix de 8500 FFHTC. Cette carte contient un processeur son et de la mémoire et fonctionne sous OS/2 ; elle sera donc encore pendant quelque temps réservée aux entreprises.

Sa fonction est de convertir la parole en un texte imprimé : la cadence de 70 mots / minute, qui correspond à une élocution naturelle, ne peut être soutenue qu'avec au moins un 486 à 33 MHz, 10 MB de mémoire, 40 MB de disques, cad des ressources encore peu fréquentes en 1994 mais qui vont devenir rapidement banales. La carte contient un DSP et les circuits associés, ainsi que la mémoire pour un dictionnaire de 32000 mots de base, qui peut être augmenté par plusieurs dictionnaires professionnels de 2000 mots.

Le système doit d'abord être personnalisé par la lecture à haute voix de 160 phrases d'enseignement, ce qui prend environ 90 minutes et fait passer le taux de reconnaissance de 95 à 98%. On y trouve des "macros vocales", telles que "Formule de politesse" qui génère "Veuillez agréer etc.". Dans l'ensemble, l'appréciation de la critique a été très favorable, et d'ailleurs on a vu plus haut que ce dispositif a été incorporé à la version Merlin de OS/2.

336 - IBM et les stations de travail

Nées dans le monde universitaire, les stations de travail utilisent Unix, système ouvert. Il y a donc au moins deux raisons pour expliquer l'indifférence d'IBM à ce domaine, qui s'est prolongée très longtemps : IBM s'intéresse d'abord à l'entreprise et à la gestion, et souhaite que ses clients utilisent des systèmes propriétaires. Quand l'importance quantitative de ces stations ne permet plus de les ignorer, il était trop tard : IBM devrait en passer par Unix.

Au moins la Corporation prit elle le problème au sérieux, choisissant de créer une architecture spécifique, Power, et de développer un Unix propre (pour ne pas payer de licence à ATT) mais aussi compatible que le permettaient les compétitions entre héritiers de l'Unix III et du Berkeley 4.2 : AIX. Mais ce ne fut pas sans tâtonnements.

Le **9002** de 1984 n'est qu'une expérience à petits moyens, plus technique qu'industrielle, dans la ligne des premiers PC. Il se présente comme un desktop, avec un boîtier de table qui contient le processeur 68000, jusqu'à 4 disques de 10 MB, et jusqu'à 4 floppies 5,25" ou 8". Ecran et clavier 83 touches n'ont rien de particulier. La machine de base vaut \$ 6495, montant à \$ 15960 avec disque, floppy et MMU qui sont indispensables. Le logiciel comprend le système Xenix de Microsoft pour \$ 995, des compilateurs Fortran et Pascal pour \$ 595, un compilateur RM / Cobol de Ryan / Mac Farland pour \$ 1250.

Ce regroupement de ressources trouvées sur le marché, à l'exemple de la création du PC, ne donne pas satisfaction : la clientèle à séduire est beaucoup plus expérimentée que le grand public ou les gestionnaires d'entreprises. IBM entreprend alors une réflexion plus méthodique, décrite dans la fiche du produit auquel elle a abouti : le **RT/PC IBM 6150**, en 4 variantes, deux desktops et deux petites armoires.

Puis, l'année suivante, un nouveau processeur RISC, réalisé en CMOS, permettra de construire un RS 6151 de 4,5 Mips, et 1,6 MFlop avec le coprocesseur 68881. Disposant de 4 à 16 MB de mémoire 100 ns, et du disque 9332 de 200 MB, ce produit reprend exactement les configurations précédentes:

- le **6151.115** desktop comprend 1 floppy, 5 connecteurs 16 bits et un 8 bits, de zéro à 12 RS 232C, et pas d'adaptateur graphique.

- le **6151.125** en armoire comprend deux floppies, six connecteurs 16 bits et deux 8 bits, deux à dix-huit RS 232C, et une option d'adaptateur graphique.

C'est avec ces deux machines qu'IBM s'introduit sur le marché, dont elle acquiert une petite part évaluée à quelque 20000 stations, mais surtout se donnant le temps d'une étude vraiment approfondie, qui va conduire en 1990 à un produit leader, le RS/6000.

C'est également pendant cette période préparatoire qu'IBM prendra conscience qu'elle n'a aucune solution au problème de l'absolue sécurité dans le domaine transactionnel de moyenne puissance : ses mainframes sont remarquablement sûrs, mais beaucoup trop coûteux pour beaucoup d'entreprises. Il lui faut prouver la sécurité sur des machines nettement plus modestes, car aucune entreprise ne peut prendre le risque de se trouver coupée, le temps d'une grosse panne, de sa base de données.

La première solution provisoire consistera pour IBM à faire un arrangement commercial avec Stratus, firme spécialisée dans le transactionnel sans panne : Stratus fournira des X 400 et IBM les vendra sous le nom de **System 88**, mais Stratus continuera en parallèle à vendre le X 400 sous son nom. L'avantage pour les clients de passer par IBM est la possibilité de faire profiter le S / 88, à travers SNA, de télémaintenance et de téléchargement, services courants chez IBM.

La réussite économique de cet accord prouvant qu'il y a un réel besoin, IBM établit avec Stratus un contrat plus rigide : IBM achète en OEM chez Stratus les matériels de la série suivante, XA5000 et XA7000, à base de 68000, capables de 10 transactions / seconde avec une mémoire de 8 à 96 MB, et les vend sous les sigles **IBM 4878 et 4879** : le marketing estime que le client aura l'impression d'une solution "plus IBM" que la précédente. Excellent bilan : fin 87, il y a quelque 1000 machines Stratus dans l'inventaire des clients IBM, pour un montant approximatif de M\$ 100.

La conclusion est donc qu'IBM doit offrir un matériel transactionnel donnant le même niveau de fiabilité que les machines Stratus, et donc garder son accord jusqu'à ce que cette solution soit au point. Il semble que la solution IBM à ce problème soit le SP2 : voir ci-après, dernier paragraphe sur le calcul parallèle.

Le RISC chez IBM

Le concept RISC, Reduced Instruction Set Computer, semble né à l'Université de Berkeley, où quelques chercheurs ont réalisé vers 1980 un prototype de puce caractérisé par une multitude de registres dont une partie seulement active à chaque instant, et par une exécution au rythme d'une instruction par période de synchronisation.

L'idée de simplifier l'architecture des processeurs et de rejeter la complexité dans un compilateur était sans doute dans l'air, puisque chez IBM c'est en octobre 1975 qu'un groupe de travail a été formé dans ce but au T. J. Watson Research Center de Yorktown Heights, NY, autour du responsable John Cocke. L'aboutissement de leur projet baptisé **801**, du nom du bâtiment où ils se réunissaient, est une étape importante dans la conception des ordinateurs chez IBM, mais c'est seulement après coup que le sigle RISC a été plaqué sur le projet 801, en hommage rétrospectif au travail de Berkeley.

Le point sur ce projet est fait par une fiche standard, classée Projet 801.

On trouvera dans la boîte 82 les articles suivants, décrivant cette phase d'histoire technique:

RADIN (G.) - The 801 Minicomputer, in IBMR&D, Vol 27 N° 3, 5 / 83, pp 237 / 46
COCKE (J.), MARKSTEIN (V.) - The evolution of RISC technology at IBM,
in IBMR&D, Vol 34 N° 1, 1 / 90, pp 4 / 10

On y a joint également le numéro 26 de IBMR&D qui, sans référence particulière au projet 801, fait en 10 articles le point des travaux IBM sur la conception, la réalisation et l'usage des microprocesseurs dans la construction de calculateurs. Le premier de ces articles (Agnew et Kellerman) décrit précisément le mode de pensée qui a conduit, quelques années après l'aboutissement du projet 801, à intégrer les microprocesseurs RISC dans la construction des mainframes IBM.

L'architecture POWER

Le mode de pensée RISC étant entré dans les moeurs, c'est autour d'un processeur de ce type que s'édifie, à partir de 1986, l'architecture **POWER, Performance Optimized With Enhanced RISC**, qui doit s'appliquer aux futures stations de travail.

Le document fondamental en anglais pour comprendre cette architecture est une brochure IBM de synthèse, regroupant 31 articles rédigés sur le thème de ces stations, **IBM RISC System / 6000 Technology**. Le mot technology est ici utilisé au sens large, englobant les aspects conceptuels, architecturaux, techniques et industriels de la réalisation.

10 articles tirés de *IBMR&D*, 1989 / 90, et un article provenant de *IEEE Solid State Circuits* complètent cette description dans la boîte 82. Ils sont listés dans la fiche RS / 6000.

L'importance de cette documentation, son caractère forcément disparate et légèrement redondant, et enfin la langue anglaise, nous ont conduit à une synthèse en français, qui occupe les pages 10 à 19 de la fiche RS / 6000. Le répertoire des instructions mises en oeuvre par l'architecture Power est détaillé dans les pages 21 à 26 de la fiche : il est important intrinsèquement, et pour pouvoir comparer avec les architectures dérivées ultérieurement, PowerPC et Power 2.

Les Powerservers et les Powerstations

Le guide à travers la multiplicité des modèles commerciaux est ici encore la fiche RS / 6000, complétée par une chemise d'origine IBM concernant les périphériques connectables aux stations et le système d'exploitation de première génération, **AIX 3.1**.

On ne reprendra pas cette liste à cause de son caractère strictement commercial, qui conduit à des recouvrements et à des renumérotages. On en retrouvera cependant les composants dans la base de données.

Il est cependant intéressant de signaler que, dès 1991, IBM avait réussi à réaliser une version monochip, probablement incomplète, de l'architecture Power, présentée dans un nouveau boîtier 7011 : ce calculateur 33 MHz, doté d'un bus 64 bits, de deux caches 32 et 8 KB, d'une mémoire de 16 à 64 MB, coûtait \$ 5945 sans disques, et les tests le créditaient de 16,6 Specint92 et 26,1 Specfp92 ; le boîtier recelait un unique disque interne optionnel de 400 MB, deux slots MCA utilisables pour la carte graphique et une option Token ring, deux ASIC pour le contrôleur SCSI et un contrôleur Ethernet.

Une version M20 de ce processeur consistait à intégrer la carte mère dans un moniteur 17" 3D colorgraphic capable de 1024 * 768 pixels, et paraissait capable de 6,5 MFlops, mais en dehors d'un prix inférieur à 4000 \$ son intérêt reste assez faible dans la mesure où aucun disque ne peut trouver place dans cet environnement.

Quatre processeurs (**7011, 7012, 7013, 7015**) permettent de construire, en 1990, une douzaine de modèles couvrant les besoins, de la station de base au serveur (220, 3x0, 5x0, 9x0). On en trouvera les performances, mesurées au début de 1992, dans le dossier complémentaire à la fiche, en boîte 82. Ce document comporte aussi un configurateur, et la description de quelques périphériques.

Autre remarque : après avoir sous-estimé l'intérêt de la clientèle pour le graphique, au point de proposer comme un modèle spécial (le 730) la version du 500 qui en dispose, IBM se plie rapidement à la demande et propose pour tous les modèles l'option de cartes graphiques performantes.

Cette orientation comprend des processeurs graphiques spécialement conçus. Ce sera d'abord (1991) le Powergraphic GTO, connectable sur le bus MCA de n'importe quelle station, capable de supporter les routines PHIGS d'Unix au débit de 990000 vecteurs 3D par seconde. Ce dispositif existe en deux versions :

- 8 bits par pixel pour 256 couleurs, avec un tampon pour deux frames, prix \$ 19500

- 24 bits par pixel pour 16,7 millions de couleurs, avec en outre un processeur pour le calcul des ombres, prix \$ 29500. Voir dans le dossier périphériques et logiciel.

IBM ira ensuite plus loin en mettant en parallèle des puces Intel i860, sous le nom de PWS, Power Visualisation Systems, capable de 8 cartes de 4 processeurs. Un peu plus tard, elle lancera une étude systématique du parallélisme, qui s'avèrera une réussite : voir plus loin SP1, SP2, RP3.

La première phase de l'offensive IBM, basée sur l'architecture Power, prend fin en 1994 avec l'apparition des PowerPC. Au 1 / 1 / 94, le marché des stations de travail se répartit comme suit, d'après l'analyste IDC.

Total 1993 : 602000 stations représentant 10300 M\$, soit + 7,9%

dont : Sun 238800 stations valant 3436 M\$, soit + 11,5 %

Hewlett-Packard 121000 stations (+ 25,6%) valant 2100 M\$, soit + 24%

IBM 49770 stations (+ 20,4%) valant 1043 M\$, soit + 12,0 %

Silicon Graphics 39015 stations (+ 41,6%) valant 1040 M\$, soit + 29,1 %

Digital Equipment 65000 stations (- 4,3%) représentant 855 M\$, soit - 7,5%

Autres 88415 stations (- 18,9%) vendues 1826 M\$ (- 19,1%)

Ainsi IBM est du bon côté de l'évolution, mais ce n'est pas elle qui est la mieux située, même si le matériel est reconnu de qualité. Si d'ailleurs on regarde ce marché par nature de processeur, on trouve 260 292 SPARC qui font pour l'essentiel la fortune de Sun (+ 11,2 %), 113375 PA Risc qui sont le monopole de HP (+ 64,3%), 87 015 MIPS très répartis (+ 6,4%), 47 770 Power (+ 20,3%), 27 000 Alpha qui débute chez DEC, et 14 223 divers en perte de vitesse (- 33,4%), pour un total de 551 875 = + 22,5%. On voit que les vendeurs qui ne disposent pas d'une solution microprocesseur pleinement efficace doivent en trouver une d'urgence, et c'est bien ce que décide IBM.

Le PowerPC

IBM sait déjà, depuis au moins un an, regrouper toute l'architecture Power sur un seul microprocesseur, mais elle ne désire pas tomber, comme Intel, dans une spécialisation exigeante qui ne laisse plus le loisir d'autres activités. Le microprocesseur qu'il s'agit de réaliser doit donc être produit par un fabricant non inféodé, intéressé au succès, capable de tenir les cadences en cas de réussite ; IBM se réserve cependant le droit de fabriquer le microprocesseur, tant pour son propre usage que pour la commercialisation. Motorola, auquel la remarquable réussite des 680XX a donné l'envergure nécessaire, est le candidat idéal et se laisse convaincre. En outre, il est en mesure de convaincre son client Apple, dont justement les 680XX sont à bout de course, et IBM de son côté peut rassurer Apple qu'il ne lui fera pas concurrence, car son objectif est le RS / 6000, non le PC.

Ainsi naît une alliance a priori contre nature, compte tenu des oppositions des dernières années, alliance à laquelle se rallieront quelques taiwanais. Il faudra plus de deux ans pour définir les spécifications d'interface CHRP (Common Hardware Reference Platform) qui conditionneront les machines à créer, et l'opération échouera finalement. Pour comprendre cet échec, il faut confronter les objectifs des participants :

- IBM a besoin de moderniser son architecture Power et, compte tenu de l'état de la technique, ne peut se contenter d'un microprocesseur 32 bits pour cela : elle est intéressée par deux architectures, PowerPC pour le 32 bits immédiat et Power2 pour le 64 bits immédiat.

En ce qui concerne les PC, IBM ne souhaite pas vraiment, après l'échec partiel de sa tentative PS / 2, en faire une seconde plus révolutionnaire avec l'architecture PowerPC, bien qu'un courant de pensée existe dans la maison autour de cette idée, qui est aussi celle de Motorola, de plusieurs taiwanais, et accessoirement de toute la presse technique. Le conflit interne est tout à fait réel, les intérêts financiers sont importants, les alliances à organiser varient beaucoup selon la décision : c'est donc IBM qui retardera longuement cette opération qui, au plan technique, n'avait rien de si difficile.

- Motorola est leader technique de l'opération et souhaite seulement de gros débits à ses produits. Mais la finalité d'un microprocesseur conditionne sa structure à architecture donnée, et les hésitations d'IBM feront échouer plusieurs options parfaitement viables, et très orchestrées par la presse (615, 620, 630). Motorola orientera sa participation en direction des applications temps réel.
- Apple a besoin d'urgence d'un nouveau micro, ne rejette pas l'idée de clones pourvu qu'ils soient étroitement sous son contrôle, mais redoute beaucoup l'idée d'une troisième architecture de calculateur personnel et n'envisage qu'avec inquiétude les soutiens que lui propose IBM, à plus forte raison les prises de participation, même dites amicales.

Le travail technique sera sans problème : bien que la spécification initiale soit IBM, c'est Motorola qui rédige le premier document, une description abstraite du processeur PowerPC. Voir boîte 82.

Cette architecture porte sur 64 bits, avec un sous-ensemble 32 bits. Elle se présente comme une extension de l'architecture Power, avec en particulier un bloc de calcul flottant capable de l'opération MAF, Multiplication additive. Il n'y a par contre pas de registre MQ dans le processeur fixe, alors qu'il y en avait un dans Power.

La structure logicielle de l'opération, initialement nommée Power Open, posait plus de problèmes. Dans la perspective minimale, Power Open était un Unix combinant les aspects de AIX et ceux de A / UX d'Apple, dans le respect de la spécification OSF / 1. Il faudrait rédiger une ABI, Application Binary Interface, étroitement liée à l'architecture par souci d'efficacité, et de là des émulations 386 ou 68000, cette dernière simplifiant les API du Macintosh.

Chez IBM, beaucoup de gens croyaient, et disaient, que Power Open allait progressivement s'introduire à tous les niveaux de produits, et on parlait beaucoup de la rédaction "en cours" d'un OS / 2 pour PowerPC. L'outil de cette mutation devait être Workplace OS, l'équivalent de SAA dans le domaine des systèmes d'exploitation, une opération ambitieuse qui devait fédérer DOS, Windows, OS / 2, Unix et les efforts de code objet de la filiale Taligent, dans une collection de micronoyaux inspirée du Mach de Carnegie Mellon avec fortes extensions IBM, pour les adapter aux architectures Intel, Power, PowerPC, RISC, etc...

Malheureusement les difficultés financières de 1993 eurent raison de Taligent, le programme Workplace fut progressivement réduit jusqu'à n'être plus que Warp pour PowerPC, et finalement cela même ne déboucha sur rien. Ainsi, le PowerPC sera finalement :

- un succès technique de Motorola et IBM, longuement suivi et toujours en évolution en 2000.
 - le coeur de l'opération RS / 6000, mais rien d'autre pour IBM.
 - la nouvelle approche RISC de Motorola dans les systèmes embarqués et enfouis, successeur des 88000 et remplaçant des 680XX. IBM fera de même, mais à usage interne.
 - le moteur de la remontée d'Apple dans l'opinion publique, alors qu'en 1990 cette société était en perte de vitesse et même en grand danger. Remontée telle que, après avoir fait quelques essais de coopération avec des cloneurs (Power Computing, Daystar Digital), Apple découragera pour l'essentiel toute poursuite de ces essais ; de sorte que l'enthousiasme des coopérateurs non américains (Bull, Olivetti, Thomson, Toshiba, Canon) pour le PowerPC retombera à presque rien.
- Ainsi Apple constitue le seul débouché de masse pour le PowerPC, qui sans doute méritait mieux.

Le point de départ de la famille est le **PowerPC 601**, produit par Motorola comme le **MC 98601**, rebaptisé MPC 601. Annoncé dès 1992, il sort à mi 93 dans des versions à 50 et 66 MHz et, un an plus tard, en version 100 MHz. La fiche correspondante se trouve dans le dossier Motorola avec la documentation en trois volumes. Un document en un seul volume, publié sous le double timbre d'IBM et Motorola, figure dans le dossier IBM, boîte 83.

Le 601 produit par IBM sera utilisé comme processeur de la première série des stations RS / 6000 de 2ème génération, tandis que ceux de Motorola relanceront Apple. C'est un compromis en ce sens qu'il ne respecte pas totalement l'architecture dont IBM est pourtant le promoteur, dans le but de faciliter la transition ; justement critiqué pour cette concession, il sera remplacé en 1994 par le 604.

Le **603** est produit par Motorola essentiellement pour les portables de Apple et, non contraint par l'architecture Power, il est soigneusement conforme à l'architecture PowerPC. Il n'a été utilisé par IBM que pour des démonstrations, telles que le portable Thinkpad 850 de 1995, réalisé en suffisamment peu d'exemplaires pour que IBM ait acheté les puces à Motorola. Il ne nous intéresse donc pas vraiment ici : sa fiche et un document associé se trouvent dans le dossier Motorola.

Le **604** annoncé en mai 1994 est le véritable cheval de bataille du triumvirat IBM / Motorola / Apple, il équipera en version IBM la deuxième génération de stations, et aussi celle d'Apple. Surtout, bien réussi, il dépassera rapidement les 100 MHz de départ et c'est la version suivante, le **604e**, que l'on trouvera dans la plupart des produits.

Le 604 initial testé sur des PC, auxquels il n'était pas vraiment destiné (voir article test de la revue Byte dans la fiche), ayant donné d'excellents résultats, mais ayant été dépassé par les Alpha de DEC, Motorola produit pour démonstration le **620**, premier microprocesseur à réaliser approximativement l'architecture PowerPC 64 bits. Le modèle annoncé en novembre 1994 sera, pour cette sortie rapide, fabriqué selon le procédé CMOS 0,5 μ pour la fréquence 133 MHz, mais donnera tout de même des performances presque doubles de celles du 604. Cependant, Motorola ne lui trouvera pas d'emploi, et IBM ne s'y intéressera pas, de sorte que la préannonce de modèles à 200 ou 300 MHz ne sera suivie d'aucun effet.

L'épisode suivant concerne un projet **615** prêté à IBM, qui est toujours censée souhaiter utiliser le PowerPC dans les PC, comme son nom l'indique. Ce 615 serait, selon la rumeur, la combinaison en une seule puce d'un 604 et d'un 486, capable d'utiliser le meilleur de chacun de ces microprocesseurs pour émuler l'architecture PC avec le maximum de performance. Mais ce 615 n'a peut-être pas même existé, et en tous cas rien de semblable n'a jamais été annoncé.

On a joint au dossier un article de la revue Byte qui explique pourquoi ce 615 aurait été une bonne solution et comment on aurait pu l'organiser.

En 1997 IBM et Motorola sortent deux versions de 3ème génération, les **740** et **750** : ce dernier sera le G3 d'Apple. Ce sont des puces de 67 mm², réalisées en CMOS 0,25 μ , qui dissipent 5,7 watts à 266 MHz, et diffèrent seulement par la largeur du bus allant de la puce au cache L2 : le 740 fournit 11,5 Specint95 et 6,9 Specfp95, le 750 est capable de 12,4 / 8,4.

On y trouve deux caches 32KB pour I et D, et un capteur thermique pour la commande de refroidissement. Pour le reste, il s'agit d'une variante mixte 32 / 64 bits du dessin du 603.

Simultanément, ces mêmes constructeurs sortent un 760 qui est une version 64 bits du dessin du 604e, en CMOS 0,25 μ , dissipant 8 watts à 300 MHz (2 / 98).

C'est finalement avec ces modèles retailés plusieurs fois, plutôt qu'avec des architectures nouvelles, que les PowerPC atteindront le tournant du siècle. Par exemple, IBM présentera à l'ISSCC 2000 un PowerPC 64 bits tournant à 1 GHz, réalisé en CMOS 0,22 μ avec 6 couches de cuivre, qui impressionnera les auditeurs par son pipeline de seulement quatre étages, mais très élaborés : recherche, accès registre et décodage, exécution, écriture. Ce prototype de coeur ne comprend que 1 million de transistors, dans 6,1 * 1,6 mm, est alimenté en 1,8 V, et consomme 6,3 watts à 1 GHz à 25° ; on peut douter qu'il soit complet,

et aussi qu'il soit destiné à déboucher sous cette forme sur un produit commercial. Les descriptions indiquent qu'il contient deux caches de 4 KB, une unité d'arithmétique en virgule fixe et une de comparaison. IBM insiste, de son côté, sur un gros effort de perfectionnement de l'horloge, qui doit permettre de distribuer son signal vers des puces subordonnées : il existe six sources pour cette horloge, une externe et cinq intégrées : PLL, DLL, oscillateur LC réglable sur une bande étroite, oscillateur commandé en tension soit numériquement, soit de manière analogique.

IBM et Motorola se sont également entendus pour définir une variante embarquée du PowerPC, nommée Book E, qui fonctionne à 550 MHz et délivre 1000 Mips. Réalisé en CMOS 0,18 μ et alimenté en 1,8 V, cette puce consomme 1,4 watt. Le modèle présenté comprend 5 M transistors, pour deux caches 32 KB et une arithmétique en virgule fixe ; mais ce coeur, selon la nouvelle mode, est largement ajustable, sinon synthétisable : la partie FXU réalisée occupe 4 mm² et utilise 4 des 6 couches de cuivre, mais chacun des caches peut être ajusté entre 0 et 64 KB, et deux couches de métallisation sont réservées pour la connexion serrée optimale de coprocesseurs à la demande, tels que FPU ou MMX.

Dans l'état actuel décrit ci-dessus, le **PowerPC 440** est construit autour du bus local IBM Core Connect large de 128 bits et capable de 220 MHz, qui alimente les caches. La partie exécution fonctionne en 32 bits et comprend une prédiction de branchement dynamique, et trois opérateurs disposant de 24 opérations de style DSP : un load/store qui charge et sauve les 32 registres de 32 bits, une UAL simple et une UAL complexe, cette dernière capable de multiplications 32 * 32 et de MAC 16 * 16 + 32 en un seul cycle d'horloge. Deux opérations sont possibles à chaque cycle.

L'organisation préparée pour les coprocesseurs leur permettra de participer à la distribution des instructions et d'utiliser soit les registres généraux, soit leur propre jeu de registres.

A l'échéance de l'an 2000, nous ignorons les applications qui ont pu être confiées au PPC 440 ou à ses dérivés éventuels.

Dans un registre beaucoup plus modeste, IBM a pour sa part produit plusieurs contrôleurs PowerPC, dont on donne ci-dessous un aperçu. Il semble que ces produits interviennent dans des réalisations d'IBM en matière de communications :

- le **401 GF** est un RISC puissant, 75 MHz, capable de 53 MFlops Dhrystone à 50 MHz, avec deux caches I de 2 KB et D de 1 KB, et une consommation très faible de 140 mW à 50 MHz, dans un boîtier TQFP80. Manquant d'universalité il sera remplacé par le 403, beaucoup plus éclectique.

- le **403GA** travaille à 25 MHz, ce qui permet de la produire avec le procédé CMOS 0,5 μ à 3 couches métalliques, très économique parce qu'amorti. Le processeur RISC est standard, avec multiplication et division, décaleur barrel, jeu de registres généraux, mais il n'y a pas de FPU ; il est entouré de deux caches de 2 K et 1 K, d'un contrôleur d'interruptions, de plusieurs timers et d'un chien de garde, d'un port JTag, d'un port série, et de 4 DMA. L'interface bus gère toutes les mémoires externes, DRAM, SRAM et / ou ROM, ainsi que les entrées / sorties. Estimé à 35 Mips Dhrystone.

Cette puce consomme 0,2 watts sous 3,3 V à 28 MHz. Boîtier PQFP 160.

- le **403GB** travaille à 40 MHz, toutes choses égales d'ailleurs. Pour le loger en boîtier PQFP128, il a fallu supprimer deux des DMA et le port série. Estimé 50 Mips Dhrystones.

- le **403GC** travaille aussi à 40 MHz, mais avec toutes les caractéristiques du GA.

- le **403GCX** travaille à 80 MHz et délivre 100 Mips Dhrystones, avec un cache I de 16 KB et un cache D de 8 KB, tout le reste inchangé. Ces améliorations paraissent suggérer une réduction du dessin.

- le **405** de 3 / 99 est réalisé en CMOS 0,25 μ pour monter à 276 MHz et fournir 315 Mips Dhrystone, pour une consommation de 2 mW / MHz sous 2,5 volts. Le bloc de calcul est un pipeline à 5 étages, avec MAC. Il semble que ce coeur soit adaptable, permettant de moduler la puissance, d'ajuster les caches jusqu'à 32 KB, d'installer une mémoire locale de quelques KB de SRAM, de se connecter à un coprocesseur de virgule flottante, etc..

Il comporte un bus interne principal qui peut se raccorder à la mémoire SDRAM et à un bus PCI, et qui dessert par un pont un bus périphérique avec arbitre pour les périphériques propres les plus importants, par exemple les communications. Entre la mémoire et le bus principal peut s'insérer un module de décompression de code, conçu par IBM, qui permet de réduire de 60% l'encombrement du programme.

Deuxième génération de stations : PowerPC et Power2

En novembre 93, IBM procède à quelques annonces, avec des sigles qui prolongent les séries existantes, de sorte que les nouveautés incluses, PowerPC 601 et Power2, passeront à peu près inaperçues. Pourtant l'architecture **Power2**, qui extrapole Power, est pleine d'intérêt :

- un cache d'instructions 32 KB, avec deux unités de branchement et un répartiteur d'instructions.
- un cache de données 256 KB autorisant deux accès par cycle.
- deux UAL associées avec les registres généraux 64 bits.
- deux FPU avec les registres flottants.

Cette architecture peut exécuter jusqu'à six instructions par cycle, soit deux entières, deux flottantes, et deux branchements conditionnels ou non. Elle est concrétisée par un ensemble de 9 puces, regroupées sur un socle hybride. Elle exige, bien entendu, un compilateur optimiseur.

L'annonce comprend :

- un **250** à base de 601 à 66 MHz, 63 / 72 spec92, qui est simplement une carte mère dans un boîtier, pour 43 KFF. La vraie station est la 25T avec 16 à 256 MB de mémoire, 540 MB de disque, un écran 17" avec carte graphique GXT150 (14000 FF), Ethernet et SCSI2 intégrés, 2 slots MCA à 80 MB/s. Un 25W plus modeste, avec carte GXT100 (10500 FF) 1024 * 768 pixels mais sans écran, est vendu 5795 \$.

Un 25S serveur, avec 2 GB de disques, est vendu \$ 8495 ou 67500 FF.

- le **580H** est une station Power2 57 MHz en tour, vendue 583000 FFHT ou \$ 64450 pour 98 / 204 spec92. Pour ce prix, on dispose de 64 MB de mémoire, 2 GB de disques, CDROM, 8 slots MCA. Extensions possibles à 2 GB de mémoire et 400 GB de disques.

- le **590** est un serveur Power2 à 66 MHz, 117 / 242 spec92, 686 KFFHT ou \$ 74450 dans les mêmes conditions de base et d'extensions.

- le **990** à 71,5 MHz (126 / 260,4 spec92) est comparable, mais apte à l'organisation en cluster et extensible à 840 GB. Il coûte K\$ 127 avec 128 MB de mémoire, 4 GB de disques, une bande de sauvegarde de 5 GB, un CDROM, une batterie de backup, et 16 slots sur deux bus MCA à 80 MB/s.

Tous ces matériels fonctionnent avec **AIX 3.2.5** qui est compatible au niveau binaire avec les versions précédentes, mais comporte en outre la couche logicielle WABI de Sun permettant les applications Windows sous Unix, et une couche analogue créée par Apple pour les travaux Mac.

Pour les entreprises ayant de gros besoins, IBM a trouvé chez Ampex une architecture de multiples processeurs en réseau, et propose donc en 1993 le Powernetwork Dataserver, capable de 200 terminaux et de mouvements transactionnels atteignant 2000 NFSOps/s.

Dès le mois de mai 94, IBM annonce un complet renouvellement de sa gamme, avec 11 machines dont 10 sont d'architecture nouvelle ; les choix de sigles marquent cette fois un peu plus le changement :

- **Stations 41T** et **41W**, à base de PowerPC 601 à 80 MHz, avec 16 à 256 MB de mémoire et cache L2 optionnel de 512 KB. Disques SCSI2 de 540 MB à 3 GB. Performances : 88,1 Specint92, 98,7 Specfp92. Les deux modèles qui ne diffèrent que par leur boîtier, étroit ou large, donc par leurs capacités d'extension, coûtent respectivement 95,7 et 80,3 KFFHT.

L'écran est en sus, ainsi que la carte video éventuelle : le GXT 150L pour 2D s'attache directement au bus 601, les GXT 150M 2D et GXT 1000 3D exigent le bus MCA.

- **Station 3AT** à 59 MHz, architecture Power2 64 bits sur 7 puces, mémoire 32 à 512 MM, disque SCSI2 de 2 à 4 GB, performance 99,3 / 187,2 Spec92, prix 174,1 KFFHT.

- **Station 3BT** à 67 MHz, différant en outre de la précédente par un cache L2 de 0,5 ou 1 MB. Les performances sont 114,3 / 205,3 Spec92, et le prix de base s'élève à 214,3 KFFHT. Ces deux types de stations peuvent accepter, outre les cartes citées ci-dessus, la série Freedom 6000 d'Evans & Sutherland.

- **Serveur C10** en minitour, à base de PowerPC 601 à 80 MHz, 32 à 512 MB de mémoire, cache optionnel 1 MB, disques 1 à 4 GB probablement IDE. Performance 90,5 / 100,8 Spec92, 485,8 TPMC. Prix 97,1 KFFHT. Ce qui fait de cette tour un serveur est l'existence de deux CDROM et de 4 ports MCA à 80 MHz., plus deux baies pour disques.

- Serveurs en minitours, à base de Power2 : le **380** est 59 MHz, 32 à 512 MB de mémoire, 2 à 4 GB de disques IDE, pas de cache. Les performances sont 99,3 / 187,2 Spec92, le prix est 167,5 KFFHT.

Le **390** n'en diffère que par un Power2 à 67 MHz et un cache optionnel, ce qui lui permet d'atteindre 114,3 / 205,3 Spec92, et 768,2 TPMC pour un prix de 207,6 KFFHT.

Le **59H** de 66 MHz est organisé différemment, car il évoluera en biprocesseur. Il contient 64 MB à 2 GB de mémoire, 1 MB de cache, 1 à 4 GB de disques, soit une performance de 122,4 / 250,7 Spec92, et 1122,3 TPMC. Il coûte beaucoup plus cher, 669,7 KFFHT, à cause de ses possibilités d'extension.

- Serveurs en rack : le **R10** d'architecture Power à 50 MHz est un survivant bas de gamme, avec 128 MB à 1 GB de mémoire, pas de cache, 1 à 4 GB de disques, une performance de 57,5 / 99,2 Spec92 modeste, et un prix de 370 KFFHT qui ne pourrait être justifié que par des capacités d'extension et de liaison que nous ne connaissons pas.

Le **R20** Power2 est tout à fait voisin du 59H, n'en différant que par la présentation, qui entraîne un peu plus de possibilités d'extension et un prix de 630 KFFHT.

Le **R24** est un Power2 à 71,5 MHz, avec 128 MB à 2 GB de mémoire, 2 MB de cache L2, 4 à 8 GB de disques, 15 emplacements pour cartes MCA et 8 pour la mémoire. Il est donc plus puissant, 131,5 / 273,8 Spec92, ou 357,2 TPSA, notation qui présente l'inconvénient de n'être pas cohérente avec les précédentes.

Prix de base 807 KFFHT.

Pour toutes ces machines, le logiciel est encore AIX 3.2.5 qui dispose désormais d'un gestionnaire d'espace disque, File System Facility / 6000 et surtout de DB2 / 6000, base de données relationnelle qui faisait cruellement défaut aux RS / 6000 : elle est présentée comme capable de 512 GB, plus sûre que ses concurrents, et dotée de possibilités de sauvegarde à distance. Des services Unix, notamment DDCS / 6000 = Distributed Database Connexion Service, sortent en même temps. Côté périphériques, les nouveautés sont l'emploi du bus SCSI2 F&W à 20 MB/s, et la possibilité de connexion aux directeurs ESCON du petit modèle, 266 MB / s.

Par la même occasion, IBM présente un portable fonctionnant sous AIX, construit pour elle par l'anglais Tadpole autour du PowerPC 601 à 50 MHz. C'est le **N40** qui pèse 3,2 Kg avec ses batteries et mesure 216 * 296 * 50 mm. Le point critique est que la batterie a une durée de vie de moins d'une heure en charge, et que le changement de batterie (deux batteries NiCd sont incluses) dure 5 minutes et exige l'arrêt de la machine. La solution très inélégante consiste alors dans l'utilisation d'une batterie externe qui peut tenir 4 heures, et s'il y a lieu d'un chargeur polyvalent qui est fourni. Il existe un mode veille à faible consommation et récupération instantanée.

Malgré cet inconvénient, et un prix de \$ 11995, le critique de la revue Byte reste favorable à un produit qui est, à l'instant de sa parution, le plus puissant des portables du marché, avec 16 MB de mémoire RAM (extensible à 32 ou 64 MB) et un disque amovible 2,5" de 340 MB (ou 250) .

L'écran TFT de 9,4", 640 * 480 pixels en 256 couleurs est manipulé par un Trackpoint II économe en câble mais impliquant un certain entraînement ; les connecteurs existent pour ajouter un écran VGA qui dispose alors de 2 MB de VRAM et d'une résolution 1280 * 1024, avec souris et clavier externe éventuellement. A défaut, cette même définition est accessible sur l'écran TFT par scroll ou par zoom.

Des connecteurs non standard existent pour SCSI, parallèle, série, audio, mais les câbles de conversion sont fournis. Le SCSI2 peut servir 6 périphériques, deux connecteurs sont prévus pour Ethernet (externe) et Local Talk. Le modem interne 14,4 Kbd est servi par un connecteur ISDN, un connecteur PCMCIA peut recevoir deux cartes type II ou une carte type III ; le micro, les hauts-parleurs, et une prise audio externe sont fournis.

Le logiciel préinstallé est un sous-ensemble d' AIX 3.2.5 , allégé de ses fonctions de serveur pour tenir sur le disque. IBM fournit cependant un CDROM d' AIX complet, pour l'exploiter sur disque externe ou simplement préparer l'avenir. Cette version réduite ne comprend pas de traitement de texte, ni de base de donnée, ni de graphique d'édition, ce qui à l'époque est à peu près la règle sur les portables.

Les mesures de performance de Byte montrent que le N40, pour les services dont il dispose, est plusieurs fois plus performant que la SparcStation 1+ contemporaine.

En octobre 94, nouvelle mise à jour, avec l'introduction de la station **40P**, centrée sur un PowerPC 601 à 66 MHz, en trois variantes qui ont en commun un slot PCI et 3 slot ISA, et un maximum de 8 GB de disques, externes compris: un desktop 00E non extensible, et deux minitours 001 et 002 qui le peuvent.

Surtout, IBM introduit trois serveurs multiprocesseurs symétriques, contenant jusqu'à 4 PowerPC 601 à 75 MHz, étudiés avec Bull qui a pris la license des RS / 6000 : l'accès à la mémoire se fait par crossbar avec un débit soutenu de 800 MB/s, atteignant 1 GB / s crête. Coté disques, le modèle **R30** en armoire peut comporter jusqu'à 947 GB, soit la plus grande base de données possible en DB2, et peut soutenir plus de 1250 transactions par minute ; il peut aussi s'intégrer dans un cluster à travers le logiciel **HACMP / 6000**.

Enfin un processeur de service Systemguard assume diverses tâches annexes comme les reprises, le contrôle d'environnement, l'installation de disques "à chaud".

Les prix de base sont très différents, soulignant des extensibilités graduées : 260 KFFHT pour le G30 en tour, 565 KFFHT pour le **J30** sur pied, 690 KFFHT pour le R30 en rack.

Voir document dans la boîte 83.

Pour le système, IBM introduit, avec **AIX 4.1**, une version de son Unix plus strictement compatible avec les normes du marché, et plus orientée vers le mode transactionnel qui prend sur ses serveurs une importance croissante. A la suite de cette décision, IBM rend publique une analyse de conformité de ses systèmes et de ceux de la concurrence, édifiée selon une méthode explicite dont cependant les pondérations sont discutables.

Selon cette étude, la conformité à Unix est de :

- 92% pour DEC OSF / 1.2,
- 90% pour HP/UX 9.04,
- 88% pour AIX 3.2.5,**
- 83% pour Solaris 2.3 de Sun,
- 78% pour DG / UX de Data General,

76% pour l' OS 5.4 des 2200 d' Unisys ,
75% pour l' Unix SVR4 de ATT GIS (NCR),
74% pour Open / VMS de DEC,
72% pour Unixware 1.1,
69% pour MVS (qui fera beaucoup mieux peu après),
65% pour le Nonstop UX de Tandem,
62% pour CTOS de Unisys ,
59% pour VM/ ESA,
56% pour OS/ 2,
55% pour le MPE/ IX de HP,
50% pour OS/400,
48% pour le MCP d' Unisys, et
46% pour Windows NT de Microsoft.

Mettre en évidence ce dernier point est sans doute un des objectifs de l'analyse.

Côté périphériques, IBM introduit de nouveaux disques et des matériels pour réseaux ATM.

IBM 7134 est une armoire contenant une alimentation, un circuit de refroidissement, et deux groupes de 7 disques, chacun accessible par une voie SCSI2 F&W.

Turboway 100 est une carte ATM pour RS / 6000, à placer sur un slot MCA, et constituant un raccord bidirectionnel de fibre optique à 2 * 100 Mbits/s, selon le protocole Classical IP (RFC 1577) en TCP/IP sous AIX. Cette carte fonctionne aussi avec les PS/2 à bus MCA. Prix 1995 \$.

Turboway 25 est une carte ISA 25 Mbits/s, à utiliser sur PC en Windows avec le logiciel LAN emulation de Token Ring , dont le but est de cacher au système, qui ne connaît que Token Ring , qu'il transmet de l'ATM.

IBM 8282 est un concentrateur (hub) pour 8 à 12 portes ATM 25 Mbits/s et une porte 100 Mbits/s.

Nways 2220, adaptateurs multiprotocole et multiservice pour réseaux publics à grande distance.

IBM 8222 et 8224 sont des concentrateurs monoprotocole dédiés à Ethernet.

IBM 8228 et 8230 sont des concentrateurs monoprotocole dédiés à Token ring.

IBM 8250 est un concentrateur multiprotocole en deux versions à 6 et 17 emplacements pour adapteurs Ethernet, Token ring et FDDI. Cette machine est en fait un ordinateur, mais il en existe une version 6PS qui contient en plus un PS2 486 avec disque souple, pour gestion de réseau.

IBM 8260 est un matériel analogue, mais plus orienté vers ATM, au débit global de 8,3 Gbits/s. Il est porteur de cartes adapteurs parmi les suivantes:

concentrateur ATM pour 4 ports 100 Mbits/s

raccordement de 4 ports Token ring ou Ethernet sur une liaison ATM 100 Mbits/s

logiciel LAN emulation

et, par la suite, sont prévues des cartes ATM 155 Mbits/s et n * 25 Mbits/s.

Le lecteur moyen, tel que moi, n'ayant guère de pratique des besoins des PME, pourrait ne pas voir la relation entre ces problèmes de réseaux et les RS / 6000. L'exemple suivant, recueilli dans la littérature technique, en donne une idée. Il s'agit de l'informatique, mise en place en 10 / 94, de l'entreprise Poirier, fabricant des fauteuils roulants, jusque là équipée de quatre S / 36 ; on notera que les matériels proposés par IBM ne sont pas des plus récents :

Au siège (Fondettes), un RS / 6000.580, collectant ses usagers par :

- un réseau Ethernet 10 Base2 servant 26 PC / PS et 12 imprimantes à travers 4 hubs 12 voies, et un serveur Novell lié à 19 écrans Twinax, 6 imprimantes Twinax, 3 PC et 3 IP.

- un contrôleur twinax taille 28 postes, servant 11 écrans Twinax et 8 imprimantes.

- un concentrateur pour 16 * RS232C servant 10 écrans ASCII et deux imprimantes IBM 4232.

- un autre concentrateur 16 * RS232C pour JKPTel (?)

- un modem Transfix 64 Kbd vers l'agence de Paris, où il dessert un concentrateur semblable, lié en pratique à seulement un PC, deux écrans ASCII, une imprimante 4232 et une 2381.

- un modem semblable vers l'usine allemande, dont l'usage n'est pas précisé.

A travers un pont routeur attaché au réseau Ethernet, deux lignes 64 Kbd sont reliées à un RS / 6000.220 logé au site industriel de la Perrée près de Tours, où lui sont attachés :

- un réseau local Ethernet avec hub 12 portes

- un contrôleur Twinax taille 28 postes

- un concentrateur 8 * RS232C pour JKPTel (?)

- une console Système.

Le portage du logiciel installé autour des S/36 vers AIX a été réalisé à l'aide de Open RS/36, de Logidif. Il est prévu d'installer une interconnexion Unix avec l'associé américain Iwacare en utilisant le logiciel Triton de GPAO de la société hollandaise Baan. On constate que les possibilités scientifiques et graphiques des RS/6000 ne sont utilisées que marginalement dans ce système de pure gestion : le choix RS/6000 est en fait un choix IBM + Unix. On comprend la mutation effectuée vers AIX 4.1.

Powerservers et Powerstations : troisième génération

Nous ne sommes pas très bien renseignés sur les cinq années suivantes, qui terminent notre enquête ; on se bornera à poser des jalons.

- **février 95** : IBM annonce la **station 3CT**, Power2 à 67 MHz, 130,2/266,6 spec92, 230 KFF avec 64 MB de mémoire et 1 GB de disques - la station 39H clusterisable par le logiciel HACMP/6000, mêmes caractéristiques, prix 240 KFF avec 64 MB/2 GB - la X Station160 à base de PPC 603, 18 KFF.

Le compilateur Fortran fourni avec ces stations est particulièrement réussi, et les place dans les benchmark en très bonne position, bien que le Power2 qui l'anime soit 3,1 fois moins performant que le produit contemporain et concurrent de DEC.

- **juin 95** : IBM annonce un miniserveur **C20** à 90000 FF, basé sur un PPC 604 à 120 MHz : la mémoire peut monter à 256 MB, le disque SCSI2 seulement à 1,1 GB.

Les serveurs précédents, **J30** et **J40**, peuvent comme prévu augmenter fortement leur puissance en cumulant jusqu'à huit PPC 601.

Les anciennes stations **40P** peuvent être regonflées par échange de carte mère vers le PPC 604.

La nouvelle station d'entrée, **43P**, est proposée avec un PPC 604 à 100, 120 ou 133 MHz et un cache L2 de 256 KB, pour le prix très bas de 25 à 36 KFFHT. Le 604/133 est évalué à 200/200 Specmark92.

Plus puissantes, les stations **42W** et **42T** sont à base de PPC 604 à 120 MHz, et en particulier la seconde est proposée comme station graphique multimedia avec écran P70 à haute définition pour un prix de 73 à 82 KFFHT. Elle peut recevoir la carte 3D GXT500 à 45000 FFHT, ou la carte GXT500D à 60000 FFHT, ce qui paraît dissuasif.

- **octobre 95** : IBM reprend un vieux rêve selon lequel il devrait être possible de connecter tout à tout et annonce **AIX 4.1.4** et le logiciel AIX Connections qui tend vers cet objectif : AIX peut supporter non seulement TCP/IP et NFS, mais aussi les réseaux de PC : Netware, LAN Server, LAN Manager, Appletalk.

Il y a aussi toute une série d'annonces matérielles :

Canal Hippi/6000 à 800 Mbits/s pour \$ 2495, en 10/95

Commutateur FibreChannel IBM 7319.110 pour \$ 34900, début 96

Adaptateur Fibre Channel sur une carte \$ 695, début 96

Adaptateur ATM Turboway à 155 Mbits/s, distribué fin 95 pour \$ 2695.

Adaptateur Ethernet/FDX à 10 Mbits/s pour bus MCA, avec busmaster, 795 \$.

Adaptateur multiplexeur S/390 pour bus MCA, 4400 \$ en 10/95

Directeur ESCON pour liaison de RS/6000 avec un ou plusieurs S/390, sous les protocoles SNA, TCP/IP et IBM 3088, pour \$ 10000.

Serveur E20, à base de PPC 604 à 100 MHz, capable de 715 transactions par minute, proposé à 67900 FFHT en version 16 MB/1,08 GB

- **début 96** : statistiques sur les stations de travail, excluant apparemment les serveurs multiprocesseurs, et de ce fait peu compatibles avec les statistiques données plus haut pour l'année 94. La production aurait été de 306913 Sun (+5,8%), 161388 HP (+2,4%), 73714 DEC (-8,5%), 64647 IBM (+5,9%), 72906 Silicon Graphic (+39,2%), et 88300 divers (-11,9%).

- **mars 96** : annonce de l'**IBM 7596**, un rack de matériel entièrement modulaire regroupant à la demande tout ou partie des composants suivants :

Serveur PC 486 DX2/66 ou Pentium 90 avec 64 à 384 MB de mémoire, 1 GB de disque, lecteur de CDROM, adaptateur Ethernet, option Token ring, 8 connecteurs EISA.

Serveur RS/6000 à base de PPC 601 à 80 MHz avec 64 à 256 MB de mémoire, 1 à 4 GB de disques, CDROM, et options Ethernet, Token ring, FDDI.

Serveur VAX avec processeur 49VUP, 64 à 128 MB de mémoire, 2 GB de disque, sauvegarde sur bande 95 MB, CDROM, options Ethernet et FDDI.

Batterie de 3 à 21 disques RAID de 1,2 ou 4,5 GB, soit au total 90 GB maximum, partageables entre les trois serveurs.

Le prix de ce système, destiné à récupérer des clients DEC en perdition en leur offrant une transition douce, serait compris entre 0,5 et 2 MFFHT. Voir photo.

- **Avril 96** : IBM annonce **AIX 4.2**, toujours 32 bits, en deux versions Client (baptisée Workgroup) et Serveur pour l'accès à Internet. La partie Workgroup contient le Bonus pack IBM, Adobe Acrobat, les services Ultimedia (basés sur le modèle objet SOM), et un kit IBM de développement Java. La partie

serveur comprend Netscape Commerce Server, le chiffreur IBM Internet Secure Server, l'accès IBM Global Network en option. Cet AIX est compatible en binaire avec 4.1.

Prix de AIX Workgroup < 6000 F, de AIX Entry server pour 16 utilisateurs = 10000 F, du serveur illimité pour bus PCI = 21000 F, de la version pour serveurs SMP 20000 F + 1000 par CPU.

Un nouveau serveur **E30**, monoprocesseur PPC avec bus PCI, capable du logiciel ci-dessus, est annoncé en même temps. Il accepte les systèmes AIX, Solaris et Windows NT et supporte 13 GB de disques internes.

D'autre part, le **F50** est un puissant serveur à 4 processeurs PPC 604e à 166 MHz, fonctionnant sous AIX 4.2.1 et capable de gérer les NC Stations dont on commence à parler.

- **mai 96** : annonce du **R390**, un serveur offrant toutes les fonctionnalités à la fois de AIX et de S/390, sur une carte, pour le prix d'un serveur Unix. Comme la version PC de l'année précédente, ce produit peut essentiellement servir de station de développement ; il peut en effet utiliser, et faire communiquer, AIX 4.2, OS/390, MVS/ESA, VM/ESA, VSE/ESA, et diffuser ce qu'il manipule à travers des réseaux de PC.

Nous arrivons ainsi à la situation de fin 2000, où la consultation du site Internet d'IBM ne fait plus état que de trois serveurs dans la famille RS/6000, sans qu'on puisse préciser la date d'annonce.

- le **43P.150** existe en deux variantes utilisant le **processeur 7043** basé sur le PPC 604e, respectivement 250 MHz (11,1/8,78 Spec95) et 375 MHz (15,1/10,1 spec95) avec un cache L2 de 1 MB. Il dispose d'un bus PCI 32 bits à 33 MHz avec 5 slots d'extensions et 5 baies pour disques internes ; il peut recevoir 128 MB à 1 GB de mémoire de travail, et de 9,1 à 54,6 GB de disques. Il se présente en tour.

Son prédécesseur le 43P.140, utilisant le même processeur 7043 à des fréquences plus basses, n'est plus commercialisé.

- le **44P.170** existe en trois modèles monoprocesseurs **7044** d'architecture **Power3.II 64 bits** à connexion cuivre, respectivement à 333 MHz avec cache L2 de 1 MB, 160/266 spec2000,
400 MHz avec cache L2 de 4 MB, 249/344 spec2000,
450 MHz avec cache L2 de 8 MB, 316/409 spec2000.

Ils contiennent un bus PCI 64 bits, 50 MHz, sur lequel sont attachés 2 slots PCI 64 et 4 slots PCI 32 ; la structure tour peut abriter 256 MB à 2 GB de mémoire de travail, et 6 baies pour 9,1 à 145,6 GB, et un réseau Fast Ethernet, pour un poids de base de 17,7 Kg. Un processeur spécialisé est inclus, qui surveille les paramètres techniques, notamment la température, et place un message sur le réseau en cas d'incident. Le logiciel d'exploitation est **AIX 4.3.3**, qui ne fixe pas de limite au nombre d'utilisateurs.

Prix : 77870 FFHT en 333 MHz, 110120 FFHT en 400 MHz.

- le **44P.270** utilise un, deux, trois ou quatre exemplaires du processeur 7044 à 375 MHz d'architecture Power3.II à métallisation cuivre, chacun avec cache L2 de 4 MB (6 MB en option pour les modèles à 2 et 4 CPU). La structure tour contient une mémoire de 256 MB à 16 GB liée aux CPU par un bus 100 MHz de 128 bits de large, un bus PCI 64 bits à 50 MHz avec deux slots 64 bits et 3 slots 32 bits, ainsi que 5 baies pouvant abriter 5 disques pour 9,1 à 102,9 GB.

Ces processeurs sont normalement des serveurs, accessibles seulement à travers le réseau par un terminal ASCII. Cependant, ils peuvent disposer de cartes graphiques 3D GXT6000P à haute performance, ou 4000P d'un prix plus raisonnable, pour les 270 et 170. Pour les 150 et 140, la carte 3D GXT3000P est toujours commercialisée, et la 2D est fournie soit par la carte GXT300P qui peut occasionnellement faire du 3D, ou par la carte économique GXT130P.

En juin 2000, IBM annonce une technologie nouvelle à l'occasion de sa prochaine étape de miniaturisation. Le CMOS 0,13 μ (grilles de 0,8 μ) utilisera non seulement la métallisation cuivre, mais en plus un isolant spécial à faible k entre les couches, pour réduire la diaphonie : il s'agit d'une résine commercialisée par Dow Chemical sous le nom de SiLK, jouissant d'une constante diélectrique inférieure à 3, soit 40% de mieux que la silice.

IBM compte utiliser ce procédé pour ses ASIC de la famille Cu 11, (jusqu'à 40 millions de portes) mais aussi pour ses processeurs **Power 4** des RS/6000 et des AS/400.

Fin 2000, la course à la puissance fait apparaître quelques machines délirantes, et notamment chez IBM le **eServer 680**, qui utilise le **processeur 7017** réalisé en SOI, Silicon on Insulator. Avec une mémoire portée à 96 MB, ce S85 de fréquence inconnue atteint 220807 transactions par minute, contre 135000 pour le S80 à 24 processeurs et 64 MB, datant seulement de juin 2000, qui utilisait le même processeur à métallisation cuivre, mais sans SOI, et qui coûtait déjà 2,1 MFF.

On peut citer aussi, comme le fait IBM lors d'un congrès technologique, une puce de 170 Mtransistors, réalisé en CMOS cuivre sur SOI, qui groupe deux coeurs Power4 fonctionnant à plus de 1 GHz, chacun avec son cache primaire, et se partageant un cache secondaire également sur la puce. C'est un exercice de dextérité, dont on ignore s'il sera intégré tel quel à un serveur.

Le parallélisme

Le calcul parallèle est un très ancien thème de recherche pour universitaires, et IBM, qui recrute parmi eux, n'a pu l'ignorer. Cependant il est rare chez IBM que soient autorisées des recherches qui n'ont pas un espoir de déboucher sur un produit, ou au moins d'ouvrir des voies nouvelles et prometteuses.

Il est bien évident que, pour pouvoir utilement calculer en parallèle, il faut principalement être capable d'approvisionner les multiples unités de calcul en données avec un délai inférieur au temps de calcul : c'est un problème fondamental d'organisation, et c'est selon ce critère qu'on peut juger une réalisation. Pour l'avoir ignoré, généralement par un enthousiasme de principe, la plupart des processeurs parallèles du marché ont été incapables d'utiliser plus qu'une petite fraction des ressources y incluses et n'ont donc pas trouvé d'autre clientèle que les centres de recherche.

La plus ancienne trace de l'idée de parallélisme chez IBM date de 1964, c'est un **PNDC, Parallel Network Digital Computer** qui emploie la force brutale pour satisfaire, dans une certaine mesure, le critère précédent : une mémoire à mots de 1024 bits, avec un cycle de 0,5 μ s, alimente simultanément en données 32 processeurs de 32 bits, à travers un registre L de 32 mots réalisé avec des bascules. Un peu de souplesse était ajouté à ce schéma par un choix de modes, et en particulier un registre "broadcast" pouvant distribuer un même opérande aux 32 processeurs.

Chacun des processeurs est capable d'exécuter une addition en 400 ns, une multiplication en 1,3 μ s. On suppose que tous les PE reçoivent en même temps un ordre du bloc de commande. Une telle architecture, qui rappelle en plus simple celle d'ILLIAC IV, n'offre d'intérêt que pour une classe particulière de problèmes, exigeant un logiciel spécial de parallélisation ou rejetant l'ensemble dans une position de subordination à un ordinateur hôte, qui assure périodiquement la recharge de la mémoire parallèle. Nous n'avons malheureusement aucune évaluation de cette expérience, attribuée à un certain Pomarède.

Le plus ancien ordinateur parallèle réellement assumé par IBM et décrit comme une recherche, le **Gigaflop 11**, ainsi nommé parce qu'on espérait tirer cette puissance de calcul du travail coopératif de ses 566 processeurs de 5 MFlops chacun, a été construit avec notre critère à l'esprit : le réseau d'interconnexion, du type réseau de Benes, permet de modifier l'ensemble des relations entre les processeurs à chaque cycle de calcul, simplement en plaçant dans la mémoire du dispositif de commande un mot de 10 bits qui définit une configuration parmi 1024.

Limité à 20 MHz par sa technologie ancienne, ce ordinateur est normalement plafonné à 10 GFlops pour les applications, mais grâce à son réseau il a pu travailler réellement entre 4 et 10 GFlops dans la plupart des problèmes qu'il a traités, par exemple des calculs concernant la chromodynamique quantique.

Cette efficacité exceptionnelle est la conclusion principale de l'article joint : étant donné la facilité avec laquelle on pourrait réaliser aujourd'hui une production de masse de processeurs de 5 MFlops, et l'intégration du réseau, la question qui reste pendante est : pourquoi ce genre de machine efficace ne s'est-il pas généralisé ? La réponse est sans doute dans le logiciel, ou plutôt dans son absence.

A peine plus récent que le GF11, puisque son étude a été commencée en 1985, le **RP3** a été inspiré par un projet universitaire mais, une fois la décision prise de le construire, la coopération a changé de cap. La réalisation du RP3 a été achevée en trois ans, son exploitation n'a duré que trois ans, et les raisons de son abandon ne peuvent être que supposées.

La conception du RP3 est tout à fait différente de celle du GF11, en ce sens que la mémoire est distribuée. Chaque processeur dispose d'une partie (ajustable) de la mémoire globale pour son travail local, tandis que le reste de cette mémoire est à la disposition de tous à travers un réseau Oméga qui véhicule adresses et données. Les choix techniques principaux ont été :

- emploi de processeurs RT / PC pris dans la production contemporaine d'IBM. Chaque carte CPU comprend un RT/PC en CMOS, un coprocesseur 68881, un MMU avec cache 32 KB et TLB à 64 entrées, une mémoire de 8 MB, et les liaisons d'accès (ISP) et de test (PMC).

Limitation à 64 CPU pendant la phase initiale, qui en réalité ne sera pas dépassée.

- réalisation du réseau Omega en circuits bipolaires, pour l'accélérer.
- connexions de commande et d'exploitation à travers des matériels IBM usuels, à savoir 8 PC / AT .
- gestion des entrées / sorties par un ordinateur 370 standard.
- programmation utilisant le système Mach de Carnegie Mellon, dont le coeur organisé en micronoyaux paraît adapté aux actions simultanées. Des recherches ont également été menées au Centre de recherche de Yorktown Heights sur l'application à cette machine d'une extension parallèle du langage C, puisqu'aussi bien les RT/PC fonctionnaient sous Unix. Voir au dossier.

A la différence du GF11 qui a réellement servi à des calculs, le RP3 paraît n'avoir été utilisé que pour l'évaluation des concepts mis en oeuvre, notamment à travers le réseau de mesure inclus dans les processeurs, qui surveillait tout particulièrement les caches, non corrélés. Les compteurs matériels des PMC pouvaient être lus par les ISP qui en tiraient des statistiques significatives sur la répartition des charges de travail entre processeurs et sur d'éventuels goulets d'étranglement.

Entreprise fin 86, c'est-à-dire très peu après le démarrage du RP3, et moins de deux ans après celui du GF11, l'étude du Victor V256 semble l'indice de l'existence de féodalités en concurrence au sein du T. J. Watson Center, car trois projets de parallélisme, c'est beaucoup, peut-être même trop.

Il est vrai que l'architecture de ce troisième projet est complètement différente des deux premiers. En utilisant la puce Inmos T800, qui dispose de 4 voies d'accès série indépendantes programmables, on acquiert la possibilité de structurer dynamiquement la machine en partitions de tailles très variables, au sein de chacune desquelles les connexions matricielles sont fixes pour la durée du problème. Puisque l'exploitation d'un ordinateur matriciel est un problème résolu depuis ILLIAC IV, l'objet de l'étude ne pouvait guère être que la détermination du partitionnement optimal en fonction de la nature des problèmes ; les auteurs semblent penser qu'il y a aussi beaucoup à étudier sur les communications au sein d'une architecture matricielle MIMD (ILLIAC IV était SIMD).

La nature expérimentale du V256 conduit à doter chaque processeur (256 CPU et 16 contrôleurs de disques) d'un dispositif de surveillance capable de sonder chacun des 272 noeuds à son tour, et d'en présenter les résultats sur l'écran d'un micro PS/2 affecté à cette tâche d'évaluation.

Les divers Victor - puisque l'article de présentation indique qu'il y a eu en plus du V256 un V32 et plusieurs V16 - ont été utilisés pour un nombre important d'applications, dont une au moins est détaillée dans le second article. Une conclusion importante des auteurs est que les problèmes sont généralement aptes à plus de parallélisme qu'on ne le soupçonne a priori, et que l'architecture matricielle permet, à travers le système d'exploitation approprié (E system) d'utiliser les ressources supplémentaires au fur et à mesure qu'on les introduit.

Cette conclusion semble avoir décidé les autorités du Centre à faire suivre l'étude Victor d'une étude Vulcan sur le même thème général des multiprocesseurs à mémoire distribuée et communication par messages, et finalement elle a conduit IBM à étudier un tel multiprocesseur commercial, et à le vendre avec succès, alors qu'entre temps tous les créateurs de calculateurs massivement parallèles sont morts.

Découlant dans une certaine mesure de la recherche précédente, l'étude du **PPCS, Parallel Processing Compute Server**, par le laboratoire IBM de Böblingen en Allemagne, porte pourtant sur le même sujet, mais avec une préoccupation plus immédiate de résultat et même de commercialisation. Au coeur de cette machine se trouve en effet un **IBM 9373 Mod 30**, minicalcateur d'architecture 370 étudié et fabriqué par l'IBM Allemagne et commercialisé par l'Enterprise System Division ; cette machine joue le rôle d'un hôte, c'est-à-dire d'un gérant de système d'exploitation pour une matrice de 32 processeurs du même type, réduits à leur fonction de calcul.

Le système d'exploitation est **Parallel VM**, une version distribuée de VM/SP qui exécute CP sur l'hôte et considère chaque processeur de calcul comme une machine virtuelle CMS ; le langage est une version distribuée expérimentale de VS Fortran, qui s'appuie sur une bibliothèque CS/X de sous-programmes de gestion de tâches et de communication entre machines CMS, développée autour de Parallel VM.

Le bon fonctionnement de cet édifice a conduit le CERN de Genève à s'équiper d'un PPCS de 32 processeurs, et l'article joint précise que des applications utilisant ces ressources à près de 94% ont été fréquemment rencontrées. Du coup, IBM utilise plusieurs PPCS pour ses besoins propres, et un PPCS basé sur le calculateur ES/9221.150 et sur l'architecture précédente a été mis en chantier.

L'un des principes de l'étude PPCS, telle que téléguidée semble-t-il par le T. J. Watson Research Center, était d'utiliser des matériels "sur étagères" ; le commutateur matriciel qui relie les 32 processeurs de calcul est donc construit à partir d'un directeur ESCON à 62 ports, le port 0 servant à l'hôte, le port 33 à un moniteur éventuel, les ports 34 à 61 étant en réserve. Des opérations nouvelles de synchronisation ont été introduites dans l'architecture 370 pour gérer ces communications Interprocesseurs, et cela ne coûte pratiquement que de la microprogrammation.

L'article de Ammann et al, tiré de IBMR&D et joint au dossier (boîte 83) éclaire parfaitement cette réalisation assez exemplaire.

On a noté un peu plus haut dans l'étude Victor que les caches des processeurs n'étaient pas corrélés. Cette situation est dangereuse lorsque plusieurs processeurs sont susceptibles d'utiliser une même donnée et de la modifier, car elle autorise les divers caches à contenir éventuellement des valeurs différentes de la même variable, de sorte qu'on ne peut prédire laquelle de ces valeurs sera rangée la dernière dans la mémoire de travail. L'étude japonaise **TOPI** vise notamment à résoudre ce problème ; plus exactement, il s'agit de trouver une solution nouvelle de ce problème bien connu - et résolu par exemple au sein des 3090 - acceptable quand le nombre des processeurs concernés augmente de façon importante.

Le Laboratoire de recherche IBM de Tokyo travaille depuis 1985 sur les multiprocesseurs, et son outil de travail est ici un ensemble de 10 processeurs partageant un bus avec un PS/2 qui leur sert de processeur de commande et d'entrée/sortie. Chacun de ces processeurs est un 386 à 16 MHz avec coprocesseur Weitek et cache de 128 KB ; un onzième cache est associé à un 386 gestionnaire des disques,

et un douzième attache le PS / 2 au bus, qui accède par ailleurs à 128 MB de mémoire de travail dont le temps d'accès est 187,5 ns = 3 CP, entrelacement 2.

Après une brève introduction présentant le matériel, l'article est essentiellement consacré à la discussion de la structure et des protocoles disponibles sur les caches, dont l'organisation particulière (1 ligne, 16K colonnes, bloc de 8B) est justifiée pas à pas. Les résultats de mesures sont commentés.

Avec l' **IPA, Integrated Parallel Accelerator**, IBM aborde l'usage commercial du parallélisme, en créant un processeur qui peut être subordonné à une machine 3090 ou ES / 9000 pour lui apporter un supplément de puissance en calcul scientifique. Vendu avec son logiciel d'intégration, cet IPA existe en deux versions :

- le **Mod 020** comprend 60 noeuds RISC et atteint 4,8 GFlops

- le **Mod 021** comprend 16 noeuds RISC et atteint 1,3 GFlops

On ignore le processeur RISC utilisé, et on ne connaît pas, en 1992, de microprocesseur RISC capable de 80 MFlops. Il n'est pas interdit, cependant, d'imaginer que les noeuds en question soient multiprocesseurs.

En 1993, le RS / 6000 est solidement implanté, et son processeur Power multipuce fabriqué en série. La décision est alors prise de créer, sur la base des travaux antérieurs décrits dans ce qui précède, une véritable famille d'ordinateurs parallèles, et d'en confier la commercialisation à l' Enterprise System Division, censée avoir acquis quelque expérience avec les IPA, et détenir le gros des clients ayant besoin de puissance de calcul.

Le premier produit, numéroté **IBM 9076**, s'apparente fortement à un cluster de 16 RS / 6000 à 42 MHz, mais c'est une bonne référence depuis qu'une enquête non IBM sur les clusters a placé en tête celui d'IBM. Ce 9076 associe à chaque processeur une carte de mémoire locale de 16 à 128 MB, complétée d'une mémoire partagée en 7 slots susceptible d'atteindre 896 MB. Ce pool de calcul est capable de 336 MFlops.

En périphériques sur ce pool, on pourra installer jusqu'à 4 baies de disques totalisant 5,2 GB, et jusqu'à 4 bus MCA représentant 32 slots d'extension et un débit de 320 MB/s. Le logiciel d'exploitation est, par simple continuité, AIX version 3.2, avec quelques adaptations.

L'intégration à la division ES réussie, le produit reçoit un nouveau nom, SP1, et l'équipe prend de l'ampleur : cette équipe qui grossira à 600 personnes développe le matériel et la version parallèle de AIX, et collecte les routines parallélisables à travers les logiciels IBM d'application. A cette époque, le système est encore perçu comme scientifique, et des configurations de 8 à 128 processeurs sont proposées, avec jusqu'à 256 MB de mémoire et 2 GB de disque pour chacun d'eux : le prix de départ en octobre 93 est 312 K\$.

Avec l'arrivée des Power2 et les premiers succès des SP1, l'équipe s'enhardit et crée le **SP2**, qui regroupe 128 à 512 Power2, chaque processeur pouvant délivrer 117 specint ou 242 specfp, chaque noeud atteignant 266 MFlops. Il semble que le noeud soit un cluster serré de 4 CPU offrant toutes les connections possibles, les noeuds pouvant ensuite être groupés en matrices à raison de 4 noeuds par armoire.

Une distinction peu claire existe entre des gros noeuds à 400 KFFHT et des noeuds fins à 280 KFFHT, respectivement avec 7 et 4 connexions.

La mémoire globale peut être 512 MB à 2 GB, la vitesse du commutateur est triplée par rapport au SP1, et le premier SP2 de série est livrable en juin 94. Dès le mois de septembre 140 machines SP1 et SP2 sont en service dans le monde, il y en aura 1000 quelques années plus tard.

Plus satisfaisant pour IBM, il s'avère que beaucoup d'acheteurs ne sont pas réellement tentés par le calcul scientifique, mais plutôt par les consultations de bases de données. Oracle accepte de fournir sa version distribuée, et un DB2 / 6000 distribué est aussi disponible dès octobre 94 ; AIX 4.1 et CICS arriveront en 1995 sur ce produit.

Cependant, les scientifiques ne sont pas en reste, et Livermore, le laboratoire atomique célèbre par ses besoins de calcul pour les simulations d'explosions nucléaires, commande un SP2 qui devra atteindre 3 TeraFlops et 2,5 Terabytes de mémoire en fin 98, à travers plusieurs doublements annuels. La réalisation semble avoir été un peu différente, mais tout aussi impressionnante : **Blue Pacific** comprend en janvier 99 un ensemble de 680 processeurs PowerPC 604e associés à 88 GB de mémoire, qui représentent une puissance de 1,7 TFlops : il aurait coûté 96 M\$.

Au tournant du siècle et de notre enquête, IBM a rapatrié les SP2 dans la division System Product, c'est-à-dire qu'ils redeviennent officiellement des RS / 6000. La raison en est que ce sont des serveurs Unix, comme les hauts de gamme RS / 6000, et qu'il est préférable de présenter les SP2 à la clientèle comme un moyen d'assurer la continuité de leur expansion. C'est probablement une des raisons pour laquelle le Blue Pacific ci-dessus, produit de la division Enterprise System, n'est pas en fin de compte un SP2, mais une construction spécifique, quoique dans la ligne exacte du projet initial.

Il est bon de rappeler que le temps réel, pour des raisons de circonstances mais de façon très profonde, a été pratiqué par IBM dès l'origine de son informatique, grâce à la lucidité de Th. Watson fils : le SAGE, le BMEWS ont fortement impliqué la société et ont contribué à la formation de nombreux ingénieurs. Un peu plus tard, la gestion des centres NASA Goddard et Johnson a suscité l'invention de méthodes nouvelles et généralisables pour l'édification de logiciels temps réel.

Cependant, en dehors de ces contrats étatiques acceptés pour leur rentabilité, pour l'expérience et la notoriété qu'ils apportent, IBM s'est pendant des années très peu intéressée au temps réel industriel, qui à la même époque permettait le démarrage de DEC, Computer Automation, General Automation, Scientific Data System, Ramo Wooldridge, etc...

La première réalisation de ce genre est le **1710**, un système de contrôle industriel basé sur un processeur 1620, formalisé en tant que produit après trois bricolages réussis d'un prototype 1720 au profit de l'industrie chimique (Amoco, Socal, Dupont). Le 1620 était pourtant particulièrement mal adapté à ce genre de fonction : la faible bande passante du processus contrôlé permettait d'ignorer cet inconvénient, mais ôtait tout avenir à la solution. On doit considérer comme un succès des vendeurs d' IBM le fait d'avoir équipé 10 machines à papier sur 13 existant aux USA, mais il fallait un meilleur matériel. Voir en boîte 57 un petit document sur cette application.

A partir de 1966, ce sera l' **IBM 1800**, qui reprend l'unité centrale du 1130, fabriquée en série et riche en logiciels, pour la placer dans un coin d'une vaste armoire vouée aux connexions d'automatisme. Ce sera un succès, avec plus de 1000 machines vendues, dont 675 aux USA. On dispose sur l'exploitation de cette machine d'un petit document en français, en boîte 57. Voir aussi l'étude par IBM d'un système d'exploitation PALS pour ce genre d'applications, dans 250-1051/60.

On trouve ensuite le **System 7**, une formule de contrôleur pour mesures et commandes fortement subordonné à un calculateur principal 360, très IBM dans sa conception. Mais cette approche trop centraliste ne plut pas beaucoup et, après diverses tentatives de rattrapage qui ne dégelèrent pas les clients, IBM abandonna cette formule. On observera que la machine s'est tout de même vendue à un millier d'exemplaires, de confiance en quelque sorte ; mais les acheteurs déçus ne revenaient pas.

On dispose d'un document de principe en français, et d'un article décrivant une application particulière : l'automatisation d'un laboratoire.

Avec la **Series / 1**, qui débute fin 76, la technologie a fait de gros progrès et, bien qu'il n'y ait pas encore de microprocesseur convenable pour ce travail, IBM est capable de réaliser un processeur dense et souple qui tient dans six unités de rack. Les installations Series / 1, que l'on va retrouver partout et notamment dans des périphériques, se construisent alors comme du Meccano : cette volonté est bien mise en évidence par la photo jointe à la fiche. Le S / 1 sera donc un très gros succès, avec 110000 machines livrées début 1985, et encore près de 100000 en service lorsque la production sera abandonnée en 1991: on ne s'étonnera donc pas qu'IBM ait précisé, en annonçant cette décision, que la maintenance serait assurée encore pendant 5 ans.

Nous disposons d'une abondante documentation d'origine en anglais. On constatera qu' IBM a soutenu l'intérêt de la clientèle de deux manières : d'une part en utilisant les S / 1 pour ses propres automatisations et en le faisant savoir, d'autre part en renouvelant le matériel sans rien perdre de la modularité : **processeur 4952** en 1979, **processeur 4954** en 1981, **processeur 4956** en 1983.

Les documents rassemblés couvrent :

- la présentation de la famille dans sa conception initiale, c'est-à-dire avec les **processeurs 4953 et 4955**.
- la description des nombreux composants du Meccano : les deux processeurs, et presque tous les périphériques disponibles : disques, disquettes, imprimantes, bande magnétique, capteurs de signaux de mesure, communications, écran, accessoires comme l'alimentation de secours et un terminal local.
- deux logiciels payants pour ces matériels.
- et pour finir, une notice du processeur 4952 de 1980.
- ajoutons que plusieurs articles du IBMR&D, Vol 26 N° 4, juillet 82, concernent des microprocesseurs qui jouent un rôle dans cette famille. Par exemple, l'article des pp 440 / 5 décrit le contrôleur des disques et disquettes qui fait partie des modules 4963 et 4966.

La Series / 1 satisfera les besoins d'automatisation d' IBM et ceux de nombreux clients pendant une douzaine d'années. Il est assez caractéristique que le répertoire de ces machines soit riche et complexe, comparable dans son style plus que dans sa forme avec celui des 370 : c'est l'avènement du concept RISC qui fera disparaître la Series / 1 comme support du temps réel.

IBM tentera aussi d'intéresser les militaires en leur proposant, en 1980, un processeur universel d'architecture S / 1, réalisé en technologie LSI Dutchess , une étude IBM d'intégration à 100 portes TTL par puce. La mémoire est la DRAM IBM 64K * 18 bits à cycle de 660 ns. La mémoire de microprogrammes est à base de PROM 512 * 8, accès en 85 ns. La performance est 350 Kops. Pas de succès.

Malgré la réussite globale de la Series / 1, on peut noter pendant cette période des tentatives de commercialisation de PC dans des variantes adaptées aux besoins des ateliers. Le bon marché relatif de ces offres, mais surtout la popularité du PC justifie cette tentative, mentionnée également dans la rubrique 335 consacrée aux PC sous les sigles **IBM 7531, 7532, 7552**.

A partir de 1990, le temps réel qui intéresse IBM change de nature, en s'orientant vers les communications. IBM fabriquera brièvement un assez modeste DSP, dont on n'entendra guère parler parce qu'il n'a pas été diffusé en tant que tel, mais qui a certainement été utilisé dans divers appareils propres à l'entreprise. A partir de 1993, IBM ayant du se séparer de plusieurs de ses activités, et en particulier de sa division fédérale qui faisait la plus grande part des études en temps réel, se cantonne dans le calcul scientifique et la gestion, où le traitement du signal est en train de prendre de l'importance avec les problèmes de multimédia : vidéo et son, compression, cryptographie. Bien que nous n'ayions que peu de détails, on peut citer des cas précis comme le programme "dictée personnelle" qui offre une solution de qualité, mais encore coûteuse, au problème de communication entre hommes et ordinateur. Pendant cette période, c'est IBM Microélectronique qui fournit des produits pour le temps réel, en particulier des versions "embarquées" du microprocesseur PowerPC ; voir les 401, 403, 405 dans le paragraphe PowerPC de la rubrique 336. L'évolution très rapide de l'après 2000 ne fait plus partie de notre sujet.

338 - Informatique distribuée

On a vu dans les chapitres consacrés aux débuts de l'informatique IBM, puis aux 360, que le téléprocessing a existé très tôt, et qu'il était très centralisé : des contrôleurs spécifiques multiplexaient pour le compte d'un canal d'ordinateur une collection d'adaptateurs spécialisés, à raison d'un par ligne téléphonique ou télégraphique et par protocole, ces derniers au nombre de deux au moins, asynchrone et synchrone (BSC).

A partir de 1973, le nombre de ces terminaux croît dans une telle proportion qu'il devient déraisonnable, économiquement et techniquement, de relier chacun d'eux au contrôleur central par une ligne, même en admettant une certaine économie par la méthode du polling (interrogation cyclique, depuis l'ordinateur, de terminaux attachés en grappe à une même ligne).

IBM choisit alors de créer des contrôleurs décentralisés, qui sont des calculateurs complets et généralement programmables, collectant par les moyens connus les messages - en général asynchrones - de nombreux terminaux locaux, et réorganisant leurs messages bidirectionnels sur la ligne rapide (généralement synchrone) qui les relie au central.

Cette solution entraîne une réorganisation logicielle, et impose des choix :

- 1) les contrôleurs programmables doivent être programmés, et l'on doit choisir entre deux approches :
 - programmation par l'équipe centrale des services nécessaires à l'application décentralisée, ces programmes étant ensuite mis en place par un technicien local, ou par un technicien du centre en mission, ou encore par téléchargement.
 - définition des besoins locaux par une équipe locale, programmant en COBOL ou en RPG, et installant elle-même ses programmes ; ou, en variante, faisant compiler ses programmes par le central, qui procède ensuite à une téléinstallation.

La première solution s'impose si le personnel des sites éloignés est totalement inapte à la programmation, et la fréquence des modifications conduira vite à adopter la variante téléchargement.

La seconde solution correspond mieux au cas des agences décentralisées auxquelles on laisse des initiatives, et aura forcément la préférence des personnels qualifiés.

- 2) dans une entreprise un peu importante, il est parfaitement imaginable qu'il existe plusieurs calculateurs susceptibles de demander des informations aux agences décentralisées. Il doit alors exister plusieurs lignes synchrones sur le contrôleur, dont le logiciel doit savoir gérer plusieurs flux : les contrôleurs grossissent et leur programmation relève forcément de professionnels. Retour à la première solution ci-dessus, ce qui n'exclut pas quelques applications du second type.

- 3) dès que le nombre des agences décentralisées et celui de leurs terminaux augmentent, il n'est plus raisonnable de travailler au coup par coup, alors que le nombre et la variété des connexions évoluent presque quotidiennement. IBM est conduit par sa propre philosophie à créer une architecture de réseau, avec un logiciel central qui permet de définir et modifier sa structure, et d'en surveiller l'exploitation : ce sera SNA, System Network Architecture.

Une telle évolution est majeure, en fait compatible seulement avec une version nouvelle du système d'exploitation : elle interviendra en pratique lors du passage de l'architecture 370 à l'architecture 370 VS. Au cours des années suivantes, le logiciel de communication se partagera progressivement entre :

VTAM, fragment du système d'exploitation situé dans le CPU, et....

NCP, qui constitue le système propre du contrôleur de communications, lequel est désormais toujours un ordinateur programmable.

Dans la conception centralisée qui a la préférence d' IBM et de beaucoup de directions informatiques, VTAM surveille tous les messages d'un SNA délibérément arborescent, assume toute la responsabilité d'établir ou de refuser une liaison, et administre le réseau ; tandis que NCP s'occupe essentiellement de gérer les protocoles, dont la variété ne cesse d'augmenter.

Les contrôleurs

Le plus ancien des contrôleurs décentralisés est le **3270**, né avec l'apparition des terminaux écrans. Ce n'est pas un très bon exemple parce qu'il n'est réellement qu'un gérant de protocole. Il a donné naissance à l'un des plus répandus parmi les protocoles IBM, qui peut relier un écran à un central par une ligne synchrone, selon la procédure BSC dans un premier temps, SDLC ensuite : ce protocole est rapidement devenu, à cause de l'industrie des compatibles, une norme de fait dans le domaine des terminaux. Bien que les contrôleurs 3270, au moins les plus gros, soient programmables, cette programmation n'est jamais l'oeuvre des usagers : c'est IBM qui fournit, lors de la livraison, un programme spécifique de l'installation. Pour le client, tout se passe comme si le 3270 était câblé, sauf qu'on peut très rapidement en changer la configuration.

A partir de 1973, IBM introduit un concept de contrôleurs universels, compatibles entre eux avec un répertoire assez riche (250 opérations) pour s'adapter à toutes situations, une mémoire minimale de 64 KB autorisant l'adressage virtuel sur 32 bits, et huit niveaux d'interruption imbriqués, chacun avec ses registres propres : une architecture qui facilite grandement la programmation. Pas encore microprogrammés dans un premier temps, ils le deviendront dès la réussite des travaux décrits dans IBMR&D, Vol 26, N°4 de juillet 1982, qui pourront être consultés par les lecteurs techniciens dans la boîte 82.

Cette conception commune qui autorise une programmation commune facilitera beaucoup la généralisation du concept, et incitera IBM à utiliser des machines de cette famille même lorsqu'il ne paraîtra pas opportun de laisser programmer les usagers. Exemple d'emploi : le **3274.2**, deuxième contrôleur de la famille 3270 ci-dessus, ou le **3601**, contrôleur bancaire.

Par la suite, cette famille de contrôleurs deviendra de plus en plus universelle, avec le 3174.

Un représentant de la formule la plus dirigiste en même temps que la plus ouverte est le contrôleur **3791**, toujours programmé dans le système central, lequel loge et exécute toutes les applications, tandis que le 3791 gère la distribution des messages dans les deux sens.

IBM 3791.1 de 1974 est un ordinateur avec mémoire 128 KB et disque 27,5 MB, qui reçoit sa programmation du calculateur central S / 370, lequel les a compilées à partir de macros. Les applications, jusqu'à 16 simultanément, sont dans l'ordinateur central, le 3791 n'est qu'un dispatcher.

Conçu à Havant (UK), il peut contrôler des systèmes 3760 de saisie, des systèmes 3730 de traitement de textes, des écrans 3277 issus du système 3270, jusqu'à 4 machines à écrire Selectric 3793, une IP 3288, et des lignes pour connexion de machines à écrire 2741 à distance. C'est à l'utilisateur de juger si de telles décentralisations sont efficaces, mais il semble que les clients l'aient cru : environ 1000 systèmes ont été vendus fin 76.

Prix typique : un 3791 avec 4 MB de disques, quatre 3793, quatre 3777 et un modem, coûte 14034 FFHT / mois, ou 470836 FFHT à l'achat plus 2387 FFHT / mois de maintenance.

IBM 3791.2 de 1977 a évolué vers plus de puissance, bien qu'il soit toujours programmé de l'extérieur, dans un langage DTF qui fonctionne sous la commande de CICS / VF ou de IMS / VS dans le calculateur central. Il peut supporter :

- des disques de capacité 5,5 - 14,8 ou 24,1 MB
- une disquette
- des bandes magnétiques 3410 sous contrôleur 3411
- une imprimante parallèle à 160 lpm
- et la liaison vers le central, soit à 10 KB / s par canal, soit par ligne SDLC jusqu'à 9600 bauds.

Le logiciel comprend essentiellement des transferts de fichiers vers le central, et des applications locales de traitement de texte. Les terminaux peuvent aussi participer à des activités qu'ils lancent, mais qui s'exécutent sur le central, comme STAIRS, PRINTEXT, LICE, RJE et TSO (voir fiches dans le document commercial).

Prix typiques : 36600 \$ à l'achat, ou 1159 \$ / mois sur contrat d'un an, ou \$ 986 / mois sur 2 ans dans le cas d'un disque de 5,5 MB. Avec un disque de 24,1 MB, ces chiffres passent à \$ 44860 / 1510 / 1285.

Un gros 3791 avec 2 ME et 10 écrans coûte \$ 93020.

Pour terminer cette évolution, la DPD, Data Processing Division décide de réaliser, fin 78, une famille de contrôleurs absolument universelle, dont les CPU pourraient remplacer pratiquement sans modification logicielle n'importe quel contrôleur d'informatique distribuée. Ce seront les 8100.

Le **8100** se présente comme un développement du 3791, avec un outillage logiciel plus important qui doit permettre aux usagers de faire eux-mêmes leur programmation, en général sur le calculateur central qui envoie le résultat par téléchargement. Deux systèmes d'exploitation sont prévus :

DPCX est la forme modernisée du logiciel des 3791, entièrement dépendant du central pour la programmation, autonome dans l'exécution. Il y en aura 6 versions successives.

DPPX est un système plus autonome et devient, à partir de 1986, le seul système distribué par IBM et assurant la transition vers les 9370 qui prendront la relève des 8100 après 1991.

Plusieurs processeurs 8100 seront successivement réalisés, chacun avec des variantes selon la capacité de mémoire, la capacité en disques et le nombre de lignes:

- le **8130** dispose d'une mémoire de 256 KB en puces 16 Kbits, cycle hors tout 1500 ns.

- le **8140A** est doté au départ d'une mémoire à base de puces IBM 3 Kbits, cycle 550 ns, qui s'inscrit sans difficulté, en incluant le SECDED, dans un cycle processeur de 800 ns. Il peut disposer de disques jusqu'à 320 MB, en partie externes. Trop coûteux du fait de sa mémoire.

- le **8140B** le remplace donc en 1980 et peut recevoir jusqu'à 1 MB en puces 16 Kbits. La nouveauté est un disque de 123 MB avec 128 KB de disque à têtes fixes. Il peut gérer jusqu'à 11 boucles.

- le **8140C** comporte un processeur plus puissant, estimé à 500 Kips, et une mémoire extensible à 2 MB.

- le **8150** introduit en 1981 est un biprocesseur avec 6 MB de mémoire partagée, dont l'unique finalité - soutenue par le logiciel - est d'autoriser une dégradation progressive du service.

Ces 8100 deviennent progressivement la solution préférentielle pour l'informatique distribuée, par le seul fait qu'ils sont seuls assez puissants pour faire face aux demandes toujours croissantes des applications décentralisées. Après 1986, IBM n'y apporte plus de nouveauté et progressivement préconise leur remplacement par des 9370 compatibles avec les centraux, exécutant un DPPX/370 qui est un système d'exploitation 370 à part entière.

Systèmes de terminaux

Pour des motifs marketing, les terminaux sont commercialisés par familles, donnant au client l'impression qu'on lui offre un matériel exactement adapté, personnalisé. Très souvent, il est possible de choisir pour gérer ce système soit un contrôleur quasi spécialisé, soit une machine plus universelle : le premier est la solution la plus économique, la seconde permet plus de souplesse et la programmation locale d'une partie des applications. On donne ci-après une série d'exemples :

Banque : **IBM 3600**, série bancaire. Le **contrôleur 3601** de cette série appartient à la conception décrite plus haut, tout en se situant en bas de gamme, avec mémoire MOS de 8 à 40 KB, disquette, liaison à ses terminaux par paire téléphonique en bande de base. Les composants prévus sont :

- un clavier **3604** avec écran, photo au dossier.

- une imprimante journal **3610** à roue de 96 caractères, 30 cps. Elle peut travailler sur rouleau de papier (mod 2) ou sur accordéons (mod 3). Photo au dossier.

- une imprimante pour les livrets **3612** à marguerite, 15 ou 30 cps, peut imprimer sur 80 positions à 10 cpi, ou sur 96 à 12 cpi. Un bouton d'identification existe pour partager une telle machine entre deux guichetiers. Dimensions : 550 * 480 * 380 mm. Photo au dossier.

- un guichet automatique **3614**, qui existe en deux versions : interne, ou blindée. Prévu pour des billets de 100 F, il comprend un lecteur de carte de crédit, une imprimante de reçu, un distributeur de billets, un clavier et un écran. Prix 2864 FFHT / mois en version interne, 3067 FFHT / mois en version blindée. Photo dans le dossier.

- une imprimante générale **3618** ou **3619** à bande, capable de 80 lpm avec un alphabet de 96 caractères, ou 155 lpm avec seulement 48 caractères, sur 80 ou 132 caractères de large.

Dans un deuxième temps, vers 1977, un contrôleur **3602** remplacera le 3601. Très proche comme le prévoit le projet général de son cousin 3274 A1, ce nouveau CPU peut recevoir 120 KB de mémoire, un floppy double face, et un disque fixe de 5,3 ou 9,2 MB, susceptible de gonfler à 18,6 ou 27,9 MB.

On pourra lui connecter, outre les appareils déjà cités, le nouveau guichet automatique **3624** de 1978, étudié par IBM France (document commercial joint), qui présente par rapport à son prédécesseur la possibilité de recevoir de l'argent des clients, de parler 4 langues et de chiffrer ses transmissions.

Autres possibilités de connexion : la trieuse de chèques 1255, les bandes magnétiques 3611.1 et l'imprimante 3203.3 font du 3602 un puissant ordinateur local, qui cependant sera toujours relié au 370 central.

Prix typique : 11412 FFHT pour un 3602 avec 56 KB de mémoire, un disque de 18,6 MB, une bande et 10 connexions pour périphériques.

Hors norme et sur demande particulière de clients, on peut encore citer l'imprimante **3608** de 1976 à disques multiples, ou l'imprimante **3613** conçue pour les banques japonaises. Vu de France, on peut aussi citer l'**IBM 5935**, étudié à la Gaude, et qui ne paraît pas très spécifique avec clavier, écran et imprimante (1977).

Plus récemment, la famille **4700** reprend les mêmes objectifs que la famille 3600, avec apparemment une coloration européenne due en partie à IBM France :

- **IBM 4701 Mod 1** comprend deux boîtes 20 * 30 * 15 cm, la première contenant un CPU avec 192 à 512 KB et un floppy de 1 MB, la seconde un second floppy et les extensions trans. Cet ensemble est connecté par ligne BSC ou SDLC au central 370 ou 8100 (ou rien), par boucle ou coaxial aux terminaux.

- **IBM 4701 Mod 2** ne comprend qu'une boîte, avec 192 KB de mémoire et un floppy 256 KB. La consommation n'est que de 25 watts, de sorte qu'il n'y a pas besoin de ventilation et que le matériel est silencieux. La connexion au central permet d'en recevoir des compilations COBOL, de recevoir les consignes et d'envoyer les compte-rendus.

- **IBM 4704** est l'écran, en deux tailles : 6" soit 12 * 40 caractères de 2,7 mm de haut, et 9,5" pour 480 caractères de 4,1 mm ou 1920 caractères de 2,8 mm. Les claviers sont à choisir parmi XX = 50, 62, 77 ou 112 touches et s'appellent 46XX. Le premier modèle s'appelle aussi IBM 3255.

- **IBM 3616**, imprimante de guichet déjà connue dans le système 3600.

- IBM 3619, imprimante en ligne déjà rencontrée dans le système 3600.

- **IBM 3620**, imprimante matricielle sur livret et sur journal, partageable entre deux guichetiers. Jeu de 96 caractères, avec 3 vitesses 60 / 80 / 120 cps.

- **IBM 3621**, imprimante de guichet avec lecteur de carte magnétique et imprimante de livret.

- **IBM 4723**, lecteur de chèques magnétiques E13B ou CMC7, imprimant dans ce dernier cas, avec 3 cases de réception. Piloté par microprocesseur.

- **IBM 4753** est un Network Security Processor, manifestement cryptographique, sans que l'on sache quelle est la liaison cryptée.

Saisie industrielle

IBM 3631 : ce contrôleur est destiné à gérer un système de saisie industrielle dont les composants sont listés ci-dessous, et illustrés dans la documentation. Il est compatible avec les S / 370 et, vers 1980, avec les 8100, qui peut d'ailleurs le remplacer si l'on se contente de distribuer les éléments en polling sur une boucle téléphonique.

- le **3641 Mod 1** est un appareil mural comportant une visualisation de chiffres, et 5 rangées de 14 poussoirs et témoins. Le Mod 2 (photo) comprend en plus un lecteur de badge ou de carte.

- la **3642** est une imprimante à disques multiples, qui écrit en outre sur un bout de bande magnétique tel qu'en comportent les tickets de métro ou les cartes de crédit.

- le **3643** est un écran à plasma de 24 caractères associé à un clavier sur un meuble de table (photo).

- le **3644** est une station de commande automatique, avec 7 * 5 poussoirs servant d'interface de commande, et permettant au contrôleur de lire la consigne affichée (photo).

- la **3645** est une simple machine à écrire.

- le **3647** est un lecteur de badge (photo)

Prix typique : un 3631, six 3641, deux 3642, deux 3643, une 3645 pour \$ 92658.

IBM 5937 de 1975 est un terminal d'atelier comportant un écran et un clavier étanche non mécanique, lavable. Cette unité peut en option être reliée à des capteurs numériques, des unités de collecte, une petite imprimante. La raison d'être d'un tel dispositif alors qu'existe le 3630 n'est pas connue.

Distribution

IBM 3651 est en 1973 le contrôleur d'un ensemble de terminaux points de vente, avec mémoire de 40960 ou 57344 bytes, disque 5 MB ; il peut diriger des boucles reliant jusqu'à 191 terminaux. Ce modèle initial un peu limité sera remplacé en 1978 par un Mle 25 à mémoire de 75 KB, ou par un Mle 75 à mémoire de 124 KB, programmables et dotés d'un disque de 27 MB. Prix : \$ 19000 à 53340 .

Les périphériques associés sont :

- **3653, caisse enregistreuse**, à 18782 FFHT, comprenant :

- tiroir caisse verrouillable

- pupitre guide avec 20 voyants et 19 touches de fonction subordonnées au programme guide

- clavier décimal

- visualisation à 8 chiffres

- imprimante 90 car / s à trois stations ticket, journal et fiche de vente

- en option, lecteur d'étiquettes magnétiques.

- **3275, écrans avec option imprimante 3284**

- **3657**, machine off line à préparer les tickets magnétiques, 1830 FFHT.

Prix typique : un 3651, quatre 3275, deux 3284, un 3657, soixante 3653 avec 50 lecteurs d'étiquettes coûtent 1 737 420 FFHT, prix le plus bas du marché.

Application: en 1978, les grands magasins Penney, en Angleterre, commandent 6000 terminaux .

IBM 3660 est, en 1973 également, un système de terminaux points de vente à lecteurs laser, qui utilise le même contrôleur 3651 dans un Modèle 60, mémoire de 28 à 40 KB, qui peut stocker la description et le prix de 22000 articles, et 24000 comptes de crédit de clients., et retransmet sa collecte lors de liaisons périodiques avec un S/370. Prix \$ 29300 ou \$ 675 / mois.

Les périphériques associés sont :

- **3663**, clavier 10 touches numériques + 25 touches de fonction pour entrer les items non étiquetés. Il comporte une imprimante à deux stations, un écran de 22 caractères, et un tiroir caisse. Il existe en trois variantes : Model 1 maître avec contrôleur local pour \$ 5800, Model 2 subordonné à \$ 2700, Model 1P avec mémoire 48 KB coûtant \$ 6450.

- **3666**, lecteur laser à 100 ips pour code barre, \$ 4000.

- **3669**, gérant de boucle téléphonique réunissant les terminaux. Le 3651 Mle 60 peut gérer 2 boucles.

IBM 5260 est un ensemble de terminaux en forme de caisses enregistreuses, pour le commerce de détail, il existe en trois versions, chacune avec clavier (2 tailles), visualisation propre, répétition de visualisation vers le client en option, 2 imprimantes pour petits magasins, avec et tiroir caisse. Ce sont:

- une version autonome **5265** avec disquette pour envoi à la comptabilité.

- une tête de chaîne **5265** contenant le contrôleur et la disquette de comptabilité.

- un poste subordonné **5266**, sans disquette.

Il semble que ce matériel minimum n'ait pas de connexion vers un ordinateur. Le dispositif de communication est basé sur les disquettes.

IBM 3680 (1979) est un système d'informatique distribuée mis au point à Vimercate, Italie, autour du concept 3650 présenté plus haut, mais avec plus de souci d'économie. L'exploitation est très autonome, comprenant :

- **contrôleur 3684.1** pour nombreux terminaux en plusieurs boucles. Comprend microprocesseur, 56 KB de RAM et 4 KB de ROM, un lecteur pour disquette de 985 KB, modem intégré. Prix 25000 à 27300 FFHT à l'achat, plus 220 à 241 FFHT/mois pour la maintenance.

- **écran contrôleur 3684.2** pour une seule boucle

- écran **satellite 3683.1**, en fait une caisse enregistreuse avec microprocesseur, 32 à 56 KB de RAM pour le logiciel propre, coûtant 17000 à 22200 FFHT + 87 à 111 FFHT/mois de maintenance.

- **lecteur laser 3687**

Le logiciel est compatible 3650. Deux progiciels sont proposés : gestion des ventes et exploitation administrative, et liaison avec les S/370. Les programmes sont générés sur 370 par SPPS/2, un compilateur qui coûte 1536 FFHT/mois.

Application : contrat 12 / 79 des magasins Woolworth, M\$ 25 pour 6000 * 3683 et 2000 * 3684 .

Bureautique : IBM 3730 est un système de traitement de texte qui rassemble autour d'un contrôleur 3791 des écrans 3732 et des imprimantes 3736. Aujourd'hui que tout ordinateur personnel fournit un service de traitement de texte, on a du mal à prendre au sérieux les déclarations emphatiques du document publicitaire IBM qui en fait une décision d'entreprise nécessitant concertation, et offre à cet effet, outre les matériels, pas moins de cinq logiciels.

Le **3732** est un écran 24 * 80 car, diagonale 38 cm, qui sait faire quelques actions non encore banalisées : insert / delete, tabs, tab décimal, titrage centré, soulignage, retour chariot avec report du mot coupé, impression immédiate ou différée. Prix \$ 3325, ou \$ 112 / mois sur un an, ou \$ 95 / mois sur deux ans.

Le **3736** est une imprimante à marguerite 55 cps, avec un alphabet de 96 caractères. Prix \$ 7455, ou \$ 250 / mois sur un an, ou \$ 213 / mois sur deux ans.

Le **3791**, qui est un contrôleur universel au sens des remarques faites plus haut sur le contrôleur des 3600, n'est pas spécialisé sur une tâche particulière. Il prend en charge des activités de détail, comme le système 3730, ou des tâches plus usuellement informatiques, comme la gestion d'écrans 3277, d'imprimantes parallèles 3288 et d'imprimantes série 3284, 3286 et 3287, déjà rencontrées.

Logiciel

L'informatique distribuée d'IBM est entièrement dépendante de l'architecture SNA, System Network Architecture, qui définit les modalités des communications entre les terminaux et l'ordinateur central à partir de 1973. Cette première architecture part d'un principe qui paraissait raisonnable à l'époque, et qui le deviendra de moins en moins avec le temps : un terminal n'a pas besoin d'autre interlocuteur que l'ordinateur, puisque toutes les ressources y sont concentrées. L'ordinateur central sera donc l'ordonnateur de toutes les communications, ce qui bien sûr pèsera lourd quand les terminaux se mettront à converser entre eux.

On trouvera dans la fiche S / 370 XA une courte étude introductive en français sur SNA, qui notamment définit le vocabulaire de cette technique. Je n'ai pas assez de pratique des communications pour faire plus, ensuite, que collecter des articles traitant de l'évolution de ce SNA à travers les architectures S / 370 VS, S / 370 XA, ESA / 370, puis ESA / 390.

Divers articles de IBM System Journal :

Vol 15, N° 1, 1976 : quatre articles présentant SNA)
Vol 16, N° 3, 1977 : CICS / VS et son rôle dans SNA) Boite 70
Vol 17, N° 3, 1978 : Job networking, 2 articles sur l'accès à JES2 à travers SNA)
Vol 21, N° 2, 1982 : SNA flow control : architecture and implementation]	
Un article sur DIA, Document Interchange Architecture]]
Vol 22, N° 1/2, 1983 : Communications Network Management] Boite 72
Vol 22, N° 4, 1982 : 9 articles sur SNA, dont APPC]]
Vol 23, N° 4, 1984 : Performances issues in local-area networks]]

L'arrêt de la production des 8100 en 1991 n'est pas le fait du hasard : IBM, ce faisant, entérine la constatation que les réseaux locaux ont progressivement pris la place des arborescences de périphériques, ponctuées d'ordinateurs plus ou moins spécialisés. Puisque ce mouvement est devenu irréversible, la position marketing d' IBM est qu'elle doit en prendre la tête : mais cette fois, la corporation s'y est prise beaucoup trop tard.

Pour commencer, IBM décide en 1993 de proposer des inflexions, réclamées de longue date par la concurrence et par la presse technique, sinon par les clients, à la conception purement hiérarchique de SNA. La refonte commence par l'annonce de **VTAM 4.1**, qui fait des 3090 un point de réseau comme un autre. Ce module contient un annuaire central qui répertorie tous les services du réseau, applications, fichiers, périphériques ; il sait gérer le full duplex entre mainframes.

Le nouveau VTAM travaille avec le NCP 6.2 dans les contrôleurs 3745, lequel permet les reconfigurations dynamiques du réseau. L'extension 3746 de cette machine, qui comporte son propre processeur central et des microprocesseurs sur chaque liaison, pourrait même oublier NCP et VTAM.

Netview, le sous-système de gestion de réseaux sous MVS et VM, reçoit en fin 93 une modernisation plaisante et même luxueuse qui visualise le trafic, les performances des ponts, les transactions VTAM.

LANServer3 est complétée par un LAN Netview / 2 qui visualise les configurations de réseau au poste central de gestion, et LAN Netview Monitor qui présente les performances et la charge de tous les composants du réseau . On peut définir des seuils minimum pour ces performances et se faire prévenir par une alarme s'ils sont franchis. Il y a même un Netview / Fox2 à intelligence artificielle pour proposer des solutions en cas de problème de réseau. Tout cela n'intéresse évidemment que les entreprises et, même pour elles, paraît anecdotique ; mais on sait que ce sont les entreprises qui intéressent IBM.

Tout cela peut passer pour de la poudre aux yeux alors que APPN, le nouveau SNA décentralisé annoncé en principe depuis 1990 au moins, ne débouche toujours pas. Cette étape est franchie à la mi 95 avec l'annonce que **APPN** est désormais disponible sur les mainframes avec **VTAM 4.2**, sur AS / 400, RS/6000 et OS / 2, sur le contrôleur 3174 et sur le routeur 6611. 14 fabricants de matériels de communication se sont ralliés à cette procédure, en achetant la license soit à IBM, soit à l'anglais DCL qui en a réalisé une variante compatible.

Il semble que le procédé consiste à encadrer les communications antérieures par un couple de routines de protocole, DLR = Dependant LU Requestor et DLS = Dependant LU Server, qui permettent d'encapsuler les données issues par exemple de terminaux 3270 dans une session logique LU6.2, de sorte qu'après la traversée elles sont perçues par le destinataire comme des flux VTAM classiques.

Il paraît impossible, au point où nous en sommes, d'approfondir ces questions, et à peine de poser le problème, qui comporte des aspects économiques, organisationnels, et même psychologiques :

- il existe quelque 50000 réseaux SNA dans le monde, utilisant une architecture propriétaire, concrétisée par des matériels également IBM, et donnant toute satisfaction dans le cadre qu'ils servent. C'est un énorme investissement, et pour IBM un important revenu qu'il faut préserver.

- cependant il est rare qu'une entreprise n'utilise que des machines IBM, et presque toujours il devient alors nécessaire de relier ses machines entre elles. Dans la mesure où les choix différents concernent des entités distinctes au sein de l'entreprise, il peut être difficile aux services utilisant des machines non IBM d'accepter le concept de base de SNA, à savoir que toutes les communications remontent au calculateur IBM par une arborescence où la gestion de réseau est proche de la racine.

Avec le temps IBM a fini par comprendre cette préoccupation et a consenti à inventer APPN qui permet la constitution de réseaux maillés. Son adoption progressive ne doit pas compromettre les fonctionnements antérieurs satisfaisants, ni imposer trop de duplications. Donc APPN ne bouleverse rien, il ajoute de nouvelles possibilités aux anciennes qui subsistent.

- l'un des problèmes techniques régulièrement rencontré dans ces raccordements est la multiplicité des technologies et des protocoles associés. Il y a toujours plusieurs solutions techniques normalisées pour chaque classe de débit, de portée, et d'information transmise, et des choix justifiés en leur temps peuvent entrer en conflit alors même que le poids des investissements interdit le retour en arrière ; il faut alors accepter des conversions, donc des convertisseurs qui représentent une dépense, du personnel et un emplacement . En outre IBM n'a pas toujours un produit à proposer pour ces "routeurs" ou "ponts" et s'il en existe un, ce n'est souvent ni le plus adapté ni le moins cher.

- En conséquence il n'y a pas de solution IBM unique. Et d'ailleurs IBM soi-même contribue au problème pour n'avoir pas cru possible d'ignorer la clientèle Unix : il existe donc d'importants matériels IBM, stations de travail RS / 6000 ou même mainframes S / 390 qui ont adopté, en tout ou en partie, des protocoles apparentés à TCP / IP plutôt qu'à SNA, et qui doivent s'interconnecter.

Conclusion : IBM n'a pas réussi, beaucoup s'en faut, à devenir le leader des communications informatiques, mais elle en est toujours un acteur de premier plan, et se maintient au meilleur niveau technique, soit qu'elle crée un produit spécifique pour satisfaire un besoin plus critique que les autres à un moment donné, soit qu'elle achète en OEM un produit qu'elle n'a pas le temps de fabriquer.

L'évolution très rapide des technologies, ATM, Fibrechannel, FDDI, Frame relays, Ethernet Gigabit, Token ring 16, ESCON, FICON, qui interviennent à tous les niveaux de l'organisation informatique, ne permet pas à un constructeur d'affirmer longtemps qu'il détient "la solution" ; et tel client qui a choisi, après réflexion technique et économique, une solution particulière pour un besoin d'investissement à grande échelle (nationale au minimum, mondiale souvent), est pratiquement certain qu'une meilleure solution apparaîtra avant qu'il ait amorti son installation.

On retiendra, étant donné le sujet de ce chapitre, qu'IBM est toujours, en 2000, une société très compétente en ces domaines, apte à résoudre tous les problèmes d'informatique distribuée qui se posent désormais à toute entreprise. La nouveauté est qu'IBM sait désormais qu'elle ne peut tout faire elle-même : elle a toujours une solution à chaque problème technique, mais ses équipes savent désormais déceler les cas où il est souhaitable, pour l'harmonie du projet, de proposer une solution partielle non IBM.