

339 - IP1 de International Parallel Machines

Cette société apparaît brusquement dans la presse informatique en proposant un système composé d'un processeur maître et d'un maximum de 8 processeurs subordonnés 32 bits liés par un crossbar à une mémoire globale extensible à 40 MB : c'est la reprise du concept fort ancien du RW 400.

Le prix de départ s'élevait à \$ 50000.

La société IPM n'a obtenu que des succès très modestes, à en juger par un bilan de fin 1994 : 3 machines auraient été vendues en 1991, 10 en 1992 et 3 seulement en 1993.

340 - International Telegraph & Telephon Company

Le nom ITT est clairement choisi pour rappeler le sigle de l'ATT monopolistique, avec lequel il était interdit d'entrer en concurrence. Depuis le Consent Decree, l'ITT et quelques autres étaient réduits à l'exportation et, à l'intérieur des USA, à la fourniture d'équipements téléphoniques soumis à certification par l'ATT, à l'exclusion de toute ligne. Il n'était pas interdit de concevoir des centraux privés (PABX), mais leur raccordement au réseau n'était possible qu'après certification ; en tout état de cause, toutes les caractéristiques techniques devaient obéir aux normes fixées par le monopole. Par contre, l'ITT pouvait étudier et commercialiser des systèmes informatiques, ce qui était interdit à l'ATT. Ces contraintes expliquent les particularités de la compagnie : existence de filiales étrangères importantes, LMT et CGCT en France par exemple, création aux USA d'un laboratoire Federal essentiellement occupé à des contrats militaires. Pendant la guerre, Federal était producteur d'émetteurs pour l'aviation (AN/ARC 6 UHF, 1943 - AN/ARC 15 2 GHz, 1944) ; après la guerre, le laboratoire s'est quelque peu diversifié, mais n'a pas touché à l'informatique. Son plus gros contrat, SS213 L, à partir de 1955, concerne l'installation et l'exploitation de la DEW Line, la chaîne de radars installés dans le grand Nord canadien pour détecter l'approche polaire des USA par des avions soviétiques ; les radars eux-mêmes sont sous traités à General Electric.

L'ITT proprement dite, qui ne s'est pratiquement pas manifestée pendant la guerre, devient beaucoup plus active après celle-ci, développant en particulier divers systèmes de navigation :

radiophare à 1000 MHz, prélude au TACAN : AN/URN 1 à terre et AN/ARN 16 à bord, 1949.

récepteurs Navaglobe : AN/ARN 27, 1956.

récepteurs Omega : AN/APN 152, 1963, pour avions - AN/WRN 3 et BRN 4 pour sous-marins, 1965 - AN/SRN 14 pour bâtiments de surface, 1969.

récepteurs Loran C : AN/APN 157, 1962 et AN/ARN 92, 1967, pour avions - AN/SPN 29, 1960

émetteurs Loran C (1960) : AN/FPN 44, 400 Kw, mat de 190 m - AN/FPN 45, 3 MW, mat de 390 m - AN/FPN 46, base de temps pour ces deux modèles

-

récepteur et calculateur pour point par satellite Transit : AN/BRN 6, 1975, pour sous-marins -

AN/SRN 9, 1968, pour navires de surface (CPU Texas).

récepteurs TACAN : AN / ARN 52, 53 en 1963 .

émetteur TACAN AN / TRN 17, 1962, fraction du SS 482 L = AN / TSQ 47 pour l' équipement complet d'un aérodrome de campagne.

ITT sera chargée en 1959 du projet ACE High, qui équipe l' OTAN, de Narvik à la Turquie, d'un réseau de 41 stations de diffusion troposphérique : M\$ 11 pour ITT, M\$ 6 à Radio Electronic Laboratories pour 116 excitateurs, 117 émetteurs de 10 KW et 81 récepteurs , M\$ 5,4 à ITE Circuit Breakers pour les aériens.

ITT s'est également intéressée aux centraux téléphoniques de campagne connectés par relais herziens, aux contremesures, aux plus récents GCA de Gilfillan devenu filiale. En 1987, ITT assume seul le projet SINGGARS de transmissions HF sécurisées par saut de fréquence (> 100 par seconde) entre 2320 canaux de 30 à 88 MHz : AN / PRC 119, AN / VRC 87 à 91. De tels matériels complètement numérisés sont commandés par microprocesseurs.

En résumé, ITT est en 1984 un énorme conglomérat en plein développement, avec 18,02 B\$ de CA qui croîtra à 20,01 en 1985. Il ne cesse de vendre et d'acheter des compagnies, sans autre préoccupation que financière semble-t'il. L'informatique ne représente que 756 M\$ en 1985, soit 4%, après un regroupement en 1984 de ses diverses composantes dans une ITT Business Systems : les terminaux de Courier, les périphériques OEM de Qume, les PC Xtra de ITT Information Systems, les centraux numériques de ITT Business & Consumers Communication .

ITT a plusieurs fois abordé explicitement l'informatique : on évoque quelques-uns de ces projets :

ITT 025 (1959), calculateur de communications du projet 465 L pour le SACCS. Voir fiche.

Bank Loan Processor (1960), une tentative sans suite de s'introduire dans la gestion bancaire. Voir fiche.

7300 ADX (1962) est un ensemble de gestion de messages (store and forward). Voir fiche.

ITT 525 VADE, Versatile Automatic Data Exchange (3 / 63), modernisation du concept 025. Voir fiche.

ITT 1650, minicalculateur de gestion de communications. Voir fiche.

System 12, système de commutation téléphonique numérique (1984) . 32 voies téléphoniques simultanées à 64 Kbits/s. Ce système, produit en France, est décrit avec beaucoup de détails dans le N° 59 de la Revue ITT des Télécommunications, numéro spécial en français de 1985. Il semble que la réussite technologique ait été handicapée par des problèmes logiciels: le produit est retiré aux USA en 1986 avec perte de M\$ 105 et licenciement de 1100 personnes.

ITT 5630, standard d'entreprise (PABX) réalisé en Allemagne par la filiale SEL d' ITT en utilisant les technologies du System 12, et décrit dans le document ci-dessus, pp 179 / 87.

Pour pouvoir s'adapter à l'évolution technique représentée par la commutation numérique, ITT s'est lancée vers 1980 dans l'étude de circuits intégrés. Le produit SAA 6000 est un microprocesseur 4 bits réalisé en CMOS, qui contient 2268 bytes de ROM

pour le programme, 384 bits de RAM, un répertoire de 54 opérations, un accumulateur, un seul niveau d'imbrication de sous-programmes. Il contient une horloge à 32 KHz, chiffre trop bas pour qu'il s'agisse de la synchro de base, associé à un diviseur programmable à 15 étages ; il est alimenté en 3 Volts, consommant 15 μ A en standby et 45 μ A en marche, et dispose d'un contrôle d'alimentation trop faible. Présentation : pack 14 * 14 * 2 mm.

Les entrées/sorties sont limitées à quelques bits qui peuvent, par multiplexage à l'aide d'une PLA, recevoir les signaux d'un clavier de 64 caractères et, directement, attaquer un LCD à 8 caractères (chiffres plus 8 symboles) : il peut donc être utilisé dans des voltmètres numériques, ou des calculettes.

Un tel produit est d'ambition modeste, justifiable seulement par de très gros débits. Ce n'est pas le métier d'ITT, et il ne semble pas que cet essai ait eu de suite.

Une autre tentative, vers 1985, concerne le marché naissant des PC. Le XTRA est un PC à base de 8088, complètement compatible, et il suivra le marché vers le AT lorsque apparaîtra le 80286. Mais ITT ne souhaitait pas évoluer vers un marché de masse s'apparentant à la distribution, avec de faibles marges, et le XTRA cessera d'être proposé quand les PC recevront des 80386.

341 - International Telemeter Corporation, Los Angeles, Cal.

En 1953, l'USAF se propose, comme les autres armes, de souligner son importance en s'affichant comme mécène de l'informatique naissante. Le Rome Air Development Center, organisme de recherche doté d'une structure administrative suffisante pour passer des contrats, entreprend donc de s'équiper d'un calculateur scientifique universel : ce sera une copie de l'ORDVAC, l'une des machines de l'Armée de Terre, elle-même directement inspirée de la machine de Princeton. L'architecte choisi est l'International Telemeter, une société de Los Angeles bien connue des services d'essais de l'USAF auxquels elle fournit des équipements de télémétrie, et la machine est préventivement baptisée TC1, Telemeter Computer N° 1, un nom qu'elle n'aurait sans doute pas conservé si le contrat avait été signé.

On ne peut affirmer qu'il l'ait jamais été, probablement parce que le RADC cherchait une application pour la machine. Il se peut que la machine à traduire soit cette application.

Dans les années 50, ce sont les militaires qui essaient, sans réelle compétence mais avec beaucoup de foi, toutes les applications imaginables de l'informatique naissante. Une des applications ressenties comme urgentes était la traduction automatique, discipline qui n'avait pas encore fait l'objet de véritable étude scientifique : on pensait alors qu'une simple traduction mot à mot fournirait un canevas suffisant pour qu'un homme connaissant le sujet technique, mais non la langue source, puisse finir le travail.

Il en résulterait que la machine de traduction peut se résumer en un dictionnaire, et le concept technique de base est alors le disque King, qui contient le vocabulaire sous forme de pistes remplies de taches noires ou blanches (1 ou 0) déposées photographiquement : ce procédé permettait d'espérer de fortes densités superficielles.

Le disque King apparaît dès 1953 dans le PIRE, numéro spécial qui introduit l'informatique dans les cercles électroniques officiels. Le RADC est le promoteur de cette

technologie ; on peut supposer que le RADC a fait traîner l'opération TC1, jugée inutile, jusqu'à cette mise au point, et confié alors à International Telemeter la réalisation, à vrai dire nettement plus simple que celle de TC1, de la machine à traduire AN / GSQ 16, laquelle deviendra le traducteur Mark I de l' USAF. On découvrira vite que les traductions mot à mot sont pratiquement inutilisables.

342 - IOP 8 de I/O Devices, Inc.

Il s'agit d'un processeur sur une carte 12 * 6,5 « (305 * 165 mm) destiné à l' OEM, et vendu \$ 275 pièce par lot de 100. La carte contient l' horloge 6,75 MHz ajustée par quartz, une RAM 256 mots * 8 bits, des socles pour 4 ROM ou PROM, et le processeur TTL avec deux registres de travail, 8 instructions de test (signe, zéro, parité, carry dans les registres), et des commandes pour pas à pas, examen , arrêt.

L'adressage peut atteindre 4 KB, mais cette mémoire sera externe.

Débouchés inconnus.

343 - Carte SPRC 25A de Ironics

La société Ironics paraît être un des nombreux assembleurs / distributeurs de cartes OEM pour les besoins de l'automatisme, pratiquant la surenchère par rapport à un bus VME créé pour exploiter les microprocesseurs 68000 de Motorola, et quelque peu saturé en 1991.

La carte particulière décrite ici, un produit parmi d'autres de la société Ironics, contient : une mémoire 16 MB * 64 bits, organisée avec double entrelacement, reliée par tous signaux et latches nécessaires à deux bus dont les interactions comportent un arbitrage, à savoir :

un M bus synchrone 64 bits, selon définition de Sun, desservant un processeur composé de 4 puces Cypress qui composent un SPARC : un FXU 7C601, un FPU 7C602, un CMU 7C604, un cache 64 KB 7C157, avec un contrôleur de mémoire à 36 bits d'adresse (32 + 4 bits d'espace). Le tout, fonctionnant à 25 MHz, constitue le processeur principal capable de 18 Mips ou 3,75 MFlops.*

un bus asynchrone type 68020, avec un second contrôleur de mémoire et jusqu'à 2 MB d' EPROM, avec des cartes filles Ironics : parmi les possibles, VAC pour deux portes série RS 232C, et VIC pour liaison au bus VME, qui permet à cet ensemble de s'insérer dans les châssis VME standards.

344 - Isotropic Nexus System

Cette société se proposait de livrer à la mi 84 un calculateur de type data flow dont les composants étaient des éléments standard d'array processors, capables de 4 Mops. Les voies étaient contrôlées par des microprocesseurs, et le tout devait être capable d'exécuter chaque seconde 1 milliard d'opérations 32 ou 64 bits. Il est improbable que ce projet ait dépassé le stade du prototype.

345 - Les compatibles de Intel

Vers 1978, le démarrage d'une industrie des composants intégrés pour mémoire, né de l'initiative IBM sur les 135 et 145, déclenche une frénésie de concurrence compatible, nourrie par les marges considérables qu'IBM s'octroyait en vendant les S/370.

Parmi ces entreprises, Intel est celle qui a pris le plus de risques, en provoquant la construction par le japonais Hitachi d'unités centrales rendues compatibles par microprogrammation, associées à des mémoires à semi-conducteurs produites aux USA. Ces machines, baptisées Advance Systems, étaient exactement compatibles avec les machines IBM et utilisaient les logiciels IBM, que le constructeur était obligé de leur louer ou vendre au même prix qu'à ses propres clients. Le risque d'Intel n'était guère technique, car la microprogrammation de cette époque était encore assez simple et la technologie bien au point; il était essentiellement financier.

De fait, après deux ans de compétition purement commerciale, où IBM eut la sagesse de limiter ses baisses tandis que Intel devait rester rentable tout en payant le logiciel IBM et les matériels Hitachi et National Semi, ainsi que des frais constants de mise à jour pour chaque nouveauté apparue dans les S/370, Intel se retrouva en faillite avec des dettes importantes. Pour ne pas perdre leurs mises, le fabricant de machines Hitachi et le fabricant de mémoires National Semiconductors furent obligés de créer NAS, National Advance Systems, qui poursuivit la commercialisation de compatibles en réduisant ses marges et en s'impliquant plus fortement dans la technique. On renvoie à la rubrique NAS pour cette deuxième partie de l'histoire.

AS 5.1 (1976) est une machine construite par National Semiconductors, sur des brevets de Digital Scientific

(META 4 ?). La micromachine est ECL, avec une mémoire de commande 8K * 72 bits de cycle 115 ns. La mémoire, qui assure le bénéfice de National Semi, est accessible par groupes de 16 bytes en lecture, avec un cycle de 1035 ns, et par groupes de 8 bytes en écriture, avec un cycle de 690 ns; la performance provient d'un cache 8 KB. La configuration standard comporte 6 canaux, plus un de rechange.

Le logiciel est celui d'IBM, et apparemment Intel s'est arrangé pour ne servir que d'intermédiaire, le client étant en relation directe avec IBM et payant le tarif IBM. Voir fiche dans N1.

AS 4 (1976) est la même machine, sans le cache, ce qui fait chuter la performance de 26%. Elle est

vendue de manière à concurrencer la 148 et ses performances mesurées sont 1,15 fois celles de cette machine (Intel dit 1,4 fois).

Intel commercialise aussi une version MP, biprocesseur symétrique dont la puissance est présentée comme 3,3 fois celle de la 145, 2,3 fois la 148, 1,3 fois la 158.1 et 1,2 fois la 158.3.

AS 5.3 est annoncée le 14/10/76 et livrée à partir de 1/4/77, avec comme cible la 158.3 d'IBM.

Cette machine qui totalisera 210 ventes en 1980 est la même que la précédente, mais avec une microprogrammation reprise pour offrir une complète compatibilité avec IBM, à l'exception de l'exploitation à distance et du CPU Activity Monitor, mais y compris les émulations 1401 et VM Assist. Il n'a même pas été nécessaire d'augmenter la mémoire de commande.

La mémoire, à base de DRAM NMOS a une capacité de 1 (1) 8 MB, organisée en mots de 128 bits + 16 parités formant ECC, avec un cycle de 920 ns en lecture, 690 ns en écriture. Le cache est réalisé en ECL 115 ns, offrant 16 KB avec une interface 32 bits. Les entrées / sorties ont un débit total maximum de 6,75 MB / s, réparti entre 5 BMUX à 1,5 MB/s et un ou deux multiplex 100 KB / s à 256 sous-canaux. La machine est vendue K\$ 1144, plus 7500 \$ / MB de mémoire. Il n'y a pas de possibilité de leasing, mais ces prix comprennent toute la maintenance.

AS 3.4 (1978) est toujours la même micromachine à cycle de 115 ns, quelque peu dévaluée par le passage d'IBM à la famille 303X. La mémoire est construite en puces 16 Kbits, ce qui permet de fixer un prix de base de K\$ 625 avec 1 MB de mémoire, plus 110 K\$ pour chaque MB supplémentaire jusqu'à 4. Les diagnostics raffinés préparés par National Semi pour la maintenance de la mémoire des l' AS 5 sont fournis et permettent de localiser sur site la puce coupable. Ne disposant pas de cache, cette machine est à peu près équivalente à la 148 IBM.

AS 4R (1978) est encore la même machine, avec ce qu'il faut de cache pour prétendre à une puissance de 1,4 fois la 148. Elle est vendue K\$ 750 avec 1 MB de mémoire.

AS 3 / 5 remplace la 3.4 avec livraison à partir de 3 / 79. C'est toujours la même micromachine avec un cache porté à 16 KB et une capacité de mémoire accrue à 2 (1) 8 MB, réalisée en puces NMOS de 16 Kbits : pas d'entrelacement pour laisser à 1 MB la modularité des achats. Les entrées / sorties comprennent 4 BMUX et un MUX. Le logiciel est MVS, et le microcode supporte VM et ECPS / VS1.

AS 5 - 7031, annoncée le 16 / 11 / 77 et livrée à partir de 1 / 12 / 78, est destinée à concurrencer la 3031 d'IBM et peut assez aisément utiliser la même micromachine que précédemment, simplement en descendant la période à 92 ns, et en forçant la mémoire de commande à 16 K * 72 bits.

La mémoire, toujours en DRAM NMOS 1 (1) 8 MB, est maintenant organisée en mots de 256 bits avec ECC mais sans entrelacement, et ses cycles sont tombés à 644 ns en lecture et 552 ns en écriture. Le cache conceptuellement inchangé (interface 32 bits) est porté à 32 KB avec un cycle de 92 ns.

Les canaux sont complètement inchangés par rapport à l' AS 5.3, et ne tirent aucun bénéfice des améliorations de la mémoire.

Le prix est fixé à K\$ 600, plus K\$ 40 / MB, et 45 machines seront en service en 1980.

AS 6 - 7032 : le déplacement vers le haut des produits IBM oblige Intel à se chercher un second fournisseur,

car l'architecture Digital Scientific a atteint ses limites. Le choix se porte sur la micro-machine M180 de Hitachi, adaptable par microprogrammation, pour concurrencer la 3032 d' IBM.

L'annonce intervient le 1/10/77, la première livraison le 1/3/78, et 63 machines seront en service en 1980, en version uniprocésseur intégralement compatible, à l'exception de la console à distance et du logiciel DOS/VSE.

Cette machine est commercialisée K\$ 1940 + K\$ 110/MB. Voir fiche.

AS 7 - 7033 : annoncée le 9/7/79, cette machine était livrable dès la fin de l'année, car il s'agit de la

même machine que la précédente, mais avec une horloge accélérée à 72 ns. C'est un biprocésseur exploitable soit en AP soit en MP, avec seulement MVS et VM puisque les autres systèmes d'exploitation ne savent pas supporter ces configurations. La cible est la 3033, la puissance étant présentée dans la publicité comme 1 à 1,2 fois celle de cette machine.

Mémoire : capacité de 4 (2) 16 MB avec le même cache que l' AS 6.

Entrées/sorties : 10 à 12 canaux BMUX, et 2 à 4 Byte multiplexes.

Prix : M\$ 3,24 + 75000 \$ / MB.

AS 8 - 7034 : puisque l'expérience audacieusement entreprise par Intel semble réussir, Hitachi accepte d'étudier

une machine capable de dépasser la 3033 : on ne pouvait pas, en effet, extrapoler davantage la M180, qui venait déjà d'être exploitée en biprocésseur. La nouvelle machine est construite en réseaux de portes ECL, avec 550 portes par puce et un cycle de 42 ns, associés à une mémoire de 4 à 16 MB, dont le temps d'accès est abaissé à 100 ns. Le nombre des canaux est fixé entre 12 et 16.

Le résultat serait un peu plus puissant que la 3033 MP, ce qui montre que déjà, les japonais ont rejoint le peloton de tête en matière de technologie.

Malheureusement, la carrière de cette machine, fortement dépendante des ventes aux USA et secondairement en Europe, commençait seulement quand intervint la faillite de Intel : on comprend que Hitachi, comme National Semiconductors, ait jugé nécessaire de recréer une structure commerciale, NAS, plutôt que d'abandonner une clientèle qui comprenait alors plusieurs centaines de machines de tous types.

346 - ITS Industrial Computer Laboratory

Ce titre ronflant cache probablement un petit assembleur qui, cette fois, a choisi le processeur NOVA de Data General. Pour \$ 79200, l'acheteur reçoit un Nova avec 8 KB et 8 canaux d'entrée/sortie qui gèrent un disque de 1,1 Mbits avec 20 ms de temps d'accès, 2 bandes magnétiques, un LC 400, une imprimante incrémentale (ce qui veut probablement dire qu'elle peut servir de traceur), un clavier, un écran, un modem, et un logiciel composé d'un moniteur BOS, d'un assembleur, d'un Fortran IV, d'un BASIC et d'un Algol N. C'est le Command 690.

Pour \$ 45360, le même sans disque ni bande peut être exploité comme terminal lourd.

347 - Minits de Jacobi Systems

Il s'agit d'un système de temps partagé à destination du 1108 Univac, réalisé de façon analogue au 1500 d'IBM, avec un disque de 512000 mots en 32 pistes, une tête par piste, et un usager sur chaque tête. Le système peut supporter 32 usagers dont 24 simultanés et utilise 32 K mots de 8 bits. Ce qui n'apparaît pas est le rôle de la 1108, dont on ne voit pas comment elle se connecte au disque ni à cette mémoire ; le plus logique serait qu'il existât un ordinateur pour le travail, mais la 1108 ne servirait alors à rien.

L'affaire est encore compliquée par l'affirmation de la source que le système peut fonctionner en autonome.

Le logiciel se compose d'un Fortran, d'un Basic étendu, et d'un éditeur.

348 - Les Jaincomp de Jacobs Instrument Co

La Jacobs Instrument Company de Bethesda, Md, résulte complètement de la volonté du Bureau of Ordnance de l'US Navy ; elle devait d'ailleurs, au moins au départ, se résumer au seul Jacobs qui, en 1950, obtint un prudent contrat pour réaliser une machine de test, baptisée Jaincomp A.

Ce prototype à tubes utilise un mot binaire de 5 bits, prenant par conséquent des valeurs comprises entre + et - 15, car il travaille en VA + S. La mémoire est à la hauteur d'un tel mot : réalisée avec des tubes à vide, elle comprend 3 mots, avec un temps d'accès de 1 μ s. La logique est à base de bascules, et fonctionne de manière asynchrone. Il n'y a pas, semble-t-il, de programme enregistré au sens de Von Neumann, mais diverses séquences sont câblées avec des instructions à deux adresses.

Le bloc de calcul sait faire l'addition (6 à 15 μ s), la multiplication (50 μ s), et calculer un sinus (250 μ s), si tant est que le sinus de si petits nombres ait un sens. La machine sait aussi faire une rupture de séquence en 1 μ s, ce qui implique tout de même l'existence de séquences de programmes.

Les périphériques, dont le temps d'accès est 1 μ s, comprennent un groupe de clés, un lecteur de cartes perforées (probablement pour le programme), un codeur (rotatif manuel ?) et, en sortie, des néons.

Le tout, qui comprend 103 tubes et quelque 350 diodes à cristal, consomme 450 watts et occupe environ 0,1 m². Conclusion : la technologie est viable.

La machine réalisée à l'issue de cet essai demeure exceptionnellement pauvre: les nombres portés à 24 bits sont interprétés comme composés d'un signe (VA + S), d'une partie entière de 5 bits, et d'une fraction de 18 bits. Le bloc de calcul sait faire l'addition (18 à 24 μ s), la multiplication (750 μ s), la division et son inverse (1,6 à 2,4 μ s), le sinus (11 ms) et l'arc sinus (80 ms), le carré et le cube.

La mémoire reste ridicule : 3 mots sur tores magnétiques, avec un temps d'accès de 4 μ s.

Les programmes sont composés d'instructions de 16 bits à deux ou trois adresses, perforées dans une seule carte de 32 mots qui est lue statiquement et électroniquement. Leur complexité est donc sévèrement limitée.

Les entrées / sorties ne comprennent plus que 8 registres de clés et un jeu de néons, avec un temps d'accès de 1 μ s ; il n'y a plus d'entrée analogique. On ne peut s'empêcher de penser qu'il s'agit toujours d'un prototype, un an après la première expérience.

La consommation s'élève à 2,75 KVA, avec un ventilateur de 22000 l/min ; la surface 0,434 m² est celle d'une petite armoire, qui contient 409 tubes à vide et plus de 4000 diodes à cristal.

Cette machine pouvant être considérée comme réussie, malgré ses limites, le Jaincomp C en reprendra les principes à des détails près, en améliorant un peu les performances et en accroissant légèrement la mémoire de programme, mais sans se départir de la philosophie « temps réel » qui en justifie l'existence. Il y aura d'autre part un effort technologique pour réduire l'encombrement. Voir fiche..

L'ensemble de ces travaux fera l'objet d'une communication de Jacobs à l'IRE en 1954, puis on n'entendra plus parler de sa compagnie, et les Jaincomp n'eurent pas de suite, probablement parce qu'entre temps le transistor avait été inventé et qu'il condamnait à mort les tubes à vide.

349 - Les cartes graphiques

Les processeurs graphiques existent de longue date, la définition des algorithmes ayant eu lieu dans les années 80 : ils étaient coûteux et pratiquement réservés à la clientèle gouvernementale des simulations de haut niveau. La miniaturisation a permis d'abord la réalisation de stations de travail graphiques pour les usages industriels, et justifié la création de processeurs graphiques 2D et 3D sur une carte, utilisant des mémoires externes.

Ce sont ensuite les applications au cinéma qui font connaître au grand public cette catégorie d'applications, de sorte que des jeux vidéo se multiplient, qui font usage de cartes assez sommaires, s'appuyant largement sur la puissance du microprocesseur. Mais, en 1999, les jeux et les applications multimédias sur PC demandent des qualités d'animation qui imposent un pas de plus, qu'une miniaturisation accélérée autorise techniquement : désormais, il y a place pour des cartes vidéo contenant un processeur graphique aussi compliqué qu'un processeur principal, et des capacités de mémoire considérables, en particulier pour stocker des modèles de textures.

Pour comprendre la suite, il est nécessaire de préciser le vocabulaire.

Tout d'abord, le dessin 2D divise le plan visuel par des lignes droites (les vecteurs) ou courbes (cercles, ellipses, cubiques dans certains algorithmes perfectionnés). Leurs intersections multiples divisent alors le plan en zones dont chacune doit être remplie par une couleur, à prendre dans une palette qui peut comprendre 16, 256 ou 16 millions de couleurs, selon que chaque point adressable de l'écran est associé à 4, 8 ou 24 bits d'information : l'ensemble des coordonnées et de l'information de couleur constitue le pixel, qui représente une petite surface carrée, et la définition de l'image s'exprime par le nombre de pixels en abscisse et en ordonnée, ces deux chiffres étant généralement liés par la définition indépendante du format d'écran. Il est courant de définir les images indépendamment de l'écran, et de considérer celui-ci comme une fenêtre découpée dans

cette image (scissoring) ; de la sorte, il est tout à fait possible de construire des images contenant beaucoup plus de pixels que les meilleurs écrans n'en peuvent contenir, par exemple 4096 * 4096, et de sortir ces images par fragments sur imprimante à partir d'un stockage d'ensemble sur disque.

De moins en moins utilisée à partir de 1990, la visualisation monochrome utilise les mêmes techniques, avec 16 ou 256 niveaux de gris, et des algorithmes existent pour convertir une palette couleur en palette monochrome qui donne la même impression d'ensemble : la télévision le fait depuis longtemps en distinguant la luminance et les chrominances.

Le dessin 3D introduit toute une collection de problèmes nouveaux résolus dans les années 80 : existence d'un point de vue donc de parties cachées et d'effets de perspective, possibilité d'un éclairage par une ou plusieurs sources de lumière ponctuelles ou diffuses indépendantes du point de vue et de l'objet : ces deux problèmes relèvent d'algorithmes très voisins, assez simples si l'on considère que les surfaces à localiser ou à éclairer sont planes.

A cet effet, on approxime les surfaces courbes par une succession de surfaces planes polygonales, juxtaposées par leurs arêtes, la qualité du rendu croissant avec le nombre de polygones pour un dessin donné. Un compromis est cependant possible : il consiste, après exécution de tous les calculs de parties cachées et d'ombres sur une image polygonale, à lisser les aspérités visibles et les transitions brutales de couleurs par des algorithmes de moyenne appliqués le long des arêtes.

Le 3D implique un minimum de trois plans dans l'image : le fond, l'objet tridimensionnel représenté en deux dimensions par les calculs précités, et le devant. Les objets du devant cachent certaines parties de l'objet principal, qui lui-même cache le fond. Il est concevable de multiplier les plans.

Les animations ajoutent à ces exigences une difficulté supplémentaire, elle-même à deux degrés :

les translations et rotations dans l'espace appliquent au squelette de l'objet indéformable composé de polygones des mouvements d'ensemble qui se traduisent par des transformations linéaires ou trigonométriques appliquées aux coordonnées de chaque point. L'ensemble du processus de parties cachées, d'ombres, et de lissage doit être repris après chacune de ces transformations, et le temps réel, qui consiste à présenter successivement des images assez proches pour que la transition soit imperceptible, n'est évidemment accessible qu'à des calculateurs très performants : c'est depuis toujours le problème du cinéma. Il n'est idéalement satisfait que si l'on parvient à effectuer 24 calculs complets par seconde.

la véritable animation ajoute au schéma précédent la possibilité de déformations du squelette entre deux images, déformations qui doivent obéir à de nombreuses contraintes pour rester réalistes. Dans la plupart des cas, on calculera les déformations correspondant au mouvement désiré sur un intervalle assez large, par exemple une seconde, les squelettes intermédiaires étant obtenus par interpolation.

Le problème du coloriage, initialement conçu comme le remplissage d'une surface d'écran par une couleur uniforme, est aujourd'hui un peu compliqué par l'introduction de textures, largement utilisées pour les fonds de paysage : il s'agit de la répétition bidimensionnelle d'un motif de référence prédéfini et mémorisé dans un catalogue. Si une

surface à colorier est désignée comme devant être remplie par une texture, le processeur doit trouver la texture dans le catalogue, et recopier le modèle en x et y jusqu'aux frontières de la surface. On peut parler de texels, trouvés dans le catalogue ou calculés à partir des données de celui-ci, et transmis à l'algorithme général en tant que pixels. La masse des calculs que représentent toutes ces actions s'effectue dans divers espaces mémoire :

le buffer de trame, où se construit l'image finale. Hors animation, ce buffer est rempli en prenant le temps nécessaire, puis il est relu 60 fois par seconde (chiffre usuel, minimum pour n'avoir pas de « flicker », souvent dépassé). Il est, presque toujours aujourd'hui, indépendant de la mémoire principale que cette relecture incessante risquerait de paralyser. En cas d'animation, l'ensemble des calculs qui conduisent à remplir le buffer de trame doit s'exécuter en 1/60 de seconde, puisqu'il y a changement entre deux images.

le Z - buffer est une mémoire intermédiaire dans laquelle s'effectuent les calculs de superposition des divers plans. Sa localisation dépend du processeur qui fait les calculs, puisqu'il est en communication incessante avec lui.

la mémoire de textures est forcément la mémoire principale en tant que ressource, mais il peut être très avantageux de disposer d'un buffer de textures à côté du processeur graphique, pour la durée du remplissage d'un polygone.

la mémoire principale pour les calculs effectués par le processeur principal..

L'ensemble de tous ces accès est évalué par NVidia à 2,5 GB/s. Comme il n'existe pas de mémoire capable d'un tel débit, la solution réside dans le parallélisme des diverses actions et l'emploi de larges bus. C'est pourquoi la procédure complète est souvent baptisée « pipeline 3D ». C'est dans ce cadre général que les créateurs des plus récentes cartes graphiques doivent travailler, définissant clairement les tâches qu'ils confient à leur processeur et celles qu'ils demandent au microprocesseur du PC. Leur tâche est encore compliquée par la variété des contraintes architecturales à prendre en compte:

concernant les interfaces : bus PCI ou bus AGP (1x, 2x ou 4x !).

concernant la programmation : processeur Intel ou PowerPC, système Windows ou MacOS.

On trouvera ci-après des informations sommaires sur quelques-uns de ces produits, liste non exhaustive.

ATI Technologies (voir fiche)

Ce fabricant s'est imposé en 1997 en créant un processeur 64 bits baptisé Rage Pro Turbo, qui a été inséré dans des cartes XPERT 98 destinées au bus AGP2x. Ces cartes permettent des images 2D à 16 millions de couleurs, avec une définition 1600 * 1200 et un rafraîchissement à 85 Hz ; en 3D, il faut se limiter à 65536 couleurs ou à une définition 1280 * 1024 . Performances : 1,2 million de triangles par seconde . Spécifications logicielles : DirectX 6.0 pour le monde Wintel, OpenGL 1.1 pour les Mac.

En 1999 il généralise le processeur Rage 128 (8 millions de transistors) travaillant sur 128 bits, et commercialise les cartes Rage Fury dont les modèles diffèrent par la taille de mémoire, de 8 à 32 MB, permettant des définitions jusqu'à 1920 * 1440 avec

rafraîchissement à 76 Hz, ou 160 Hz en 1024 * 768. Performances : 4 millions de triangles par seconde. Spécifications logicielles : DirectX 6.0 pour Wintel, Open GL 1.2 chez Mac.

Mi 2000, ATI annonce le processeur RadeOn 256, 30 millions de transistors, tracé en 0,18 µ, travaillant avec une mémoire DDR de 128 MB, capable de 200 MHz. Il peut manipuler 1,5 milliard de texels par seconde, alimentant deux pipelines de pixels dont chacun contient trois unités de coloriage qui peuvent fusionner leurs productions propres : cet ensemble est baptisé Pixel Tapestry. Les calculs de vecteurs 3D sont le fait d'une autre partie du processeur baptisée Charisma Engine.

La version AGP4x sort en août, une version PCI est envisagée avec hésitation car, si elle dispose d'un marché plus large, elle n'y trouvera pas la possibilité d'exprimer toute sa puissance. Performance : 30 millions de triangles par seconde, ou encore 60 images/seconde en 1024 * 768 pixels - La carte dispose d'une sortie vidéo DVI qui peut attaquer les écrans LCD numériques.

Spécifications logicielles : DirectX 7 pour Wintel, OpenGL 1.2 chez Mac.

Expérimentalement, les performances visuelles sont extraordinaires. La question est de savoir s'il se trouvera des programmeurs pour les exploiter.

Intel

Intel est d'abord un concepteur de microprocesseurs, mais il s'est plusieurs fois essayé à des circuits spécialisés vidéo, généralement sans grand succès car c'est en passe de devenir un métier en soi. Après un i82750 de 1990, qui n'a pas beaucoup fait parler de lui, Intel attaque franchement le problème en mars 98 avec le i82740 (nom de code Auburn), qui prend place sur le bus AGP à 533 MB/s, et fonctionne avec le chipset 440 à 66 MHz. Voir fiche.

Ce circuit tout à fait modeste dans ses ambitions a plus fait parler de lui qu'il ne le mérite intrinsèquement, du fait de la notoriété de Intel, mais on l'oubliera vite devant les possibilités des cartes de ATI ou NVidia.

NVidia

NVidia semble être apparue en 1995 à Sunnyvale, Cal, avec l'annonce d'une carte vidéo NV1, à sortir en 1996 au prix modeste de \$ 70 en achat groupé. Cette carte, qui a tout de suite trouvé des clients chez Sega et Diamond (jeux vidéo), regroupe autour d'un anneau 32 bits de circulation unidirectionnelle :

un contrôleur de mémoire, capable de 1 à 4 MB de mémoire vidéo spécialisée

une interface pour bus PCI ou bus vidéo spécialisé.

un sous-système audio incorporant un DSP et capable de générer 32 canaux audio 16 bits = qualité CD, simultanés et capables de déphasage individuel (pour le son 3D). Débit cumulé 350 Mips. Incorpore une émulation Soundblaster.

un DMA très efficace

un accélérateur 3D qui comprend un algorithme graphique QTM = Quadratic Texture Map, dérivé de l'algorithme plus général NURBS (Non uniform rational B Splines) : il fait gagner beaucoup de temps en générant directement des cubiques (les courbes splines) là où l'algorithme usuel multiplie les petits vecteurs.

Le NV1 se présente en boîtier flatpack d'environ 50 broches sur chaque côté.

Le succès du NV1 a été suivi d'un autre dans le domaine 3D, avec un Riva 128 TNT qui traite 2 pixels par CP et peut faire du multitexturage (superposition de textures dans un triangle). Il est plus rapide et donne des images de meilleure qualité que le 740 de Intel, avec 8 Mtriangle/s en entrée et 250 Mpixel/s en sortie. Il peut alimenter un moniteur 1600 * 1200 à 32 bits par pixel et régénérer l'image à 85 Hz. Au total 7 millions de transistors et une interface buffer de 16 MB, pour un prix de \$ 45 en lots de 10000 pièces. Il y eut ensuite un TNT2, encore meilleur.

NVidia entreprend alors d'étudier un véritable processeur graphique, incorporant les transformations géométriques, le GE Force 256, ainsi baptisé parce qu'il communique avec la mémoire par un bus de 256 bits de large, compatible AGP4x. Il est sorti en septembre 99 et devance une concurrence qui s'est à cette date réduite au seul ATI. Ce processeur contient 23 millions de transistors (2,5 fois le Pentium III!) et peut communiquer à 350 MHz avec la mémoire vidéo DDR SDRAM qui peut atteindre 128 MB. Sa puissance estimée 50 GFlops correspond à des calculs sur 15 millions d'arêtes de polygones et plus de 480 millions de pixels par seconde. Sans que ce soit une limite supérieure, il travaille usuellement à 120 MHz, et peut satisfaire une résolution maximale de 2048 * 1536 pixels à 75 MHz.

Présentation en BGA carré de 26 * 26 totalisant 548 broches.

Cette puce réalisée en CMOS 0,22 µ est commercialisée entre 30 et 50 \$ selon performance, et utilisée par de nombreux fabricants de cartes, tels que Creative Labs, Elsa, Guillemot, AsusTek, Canopus et Leadtek.

Le GeForce 256, plutôt coûteux, a été rapidement dédoublé en deux produits, le GeForce2 GTS comprenant 4 pipelines de traitement des pixels et atteignant 1,6 Md de texels, cad de pixels munis de leur information de texture (avril 2000); et le GeForce2 MX trois fois moins cher au prix d'une limitation à 700 Mtexels, mais capable d'alimenter simultanément deux flux vidéo indépendants, PC ou moniteurs.

Le succès considérable de ces processeurs a propulsé en 2000 NVidia au premier rang des spécialistes de la vidéo, avec un CA de 735 M\$ (+96%). La société annonce alors le GeForce3, 4 fois plus performant, destiné à la présentation en temps réel d'animations élaborées. Réalisé en CMOS 0,15 µ, il contient 57 Mtransistors et peut réaliser 800 Gops en virgule fixe ou 76 GFlops. Il contient plusieurs processeurs spécialisés, totalement programmables.

La première carte graphique contenant le GeForce3, due à Hercules, coûte 4000 FF, ce qui n'est pas cher.

En 2000 encore, NVidia obtient le contrat de Microsoft pour le médiaprocésseur de la console de jeux XBox, regroupant l'accélérateur graphique, le module audio, le contrôleur de mémoire et diverses entrées/sorties. Ce travail lui donne la compétence nécessaire pour s'introduire dans le monde des chipsets pour PC, qu'elle aborde avec l'architecture nForce qui comprend :

un processeur IGP, Integrated Graphics Processor, qui rassemble les fonctions d'un Northbridge et celle d'une carte graphique, comprenant : deux contrôleurs DDR SDRAM 64 bits parallèles et indépendants, dont le débit cumulé est 4,2 GB/s ; un processeur graphique GeForce 2 ; un coprocesseur DASP qui utilise un historique des demandes du CPU pour anticiper ses demandes de transfert mémoire, et qui sert donc d'interface avec

le CPU (uniquement AMD en 9 / 2001) ; une interface Hypertransport à 800 MB/s vers MCP, le second composant.

un processeur MCP qui remplit les fonctions d'un Southbridge, englobant un module de traitement audio 3D, compatible Dolby Digital 5.1 ; une panoplie d'interfaces avec le monde extérieur, notamment réseau et modem; un bus interne isochrone destiné à améliorer le transfert de données en provenance des réseaux.

Il reste évidemment à voir quelle appréciation les assembleurs de PC porteront sur une architecture qui place NVidia au coeur du calculateur, et relègue les assembleurs au statut de commerçants.

Viper, de Parallax Graphic

Ce processeur graphique déjà ancien, 1989, se présentait sur une carte, avec des variantes pour VME, PC / AT, RT 6000, ou Eurocard 6U. Cette carte de base porte un ASIC de puissance équivalente 14 Mips, microcodé pour réaliser 200 instructions graphiques spécialement conçues, associé à 4 MB de mémoire spécifique. En option, une seconde carte permet la digitalisation en temps réel d'une entrée vidéo qui peut être superposée à l'image synthétique dans un fenêtre quelconque.

Le logiciel associé est X Window, ou Sun NeWS.

Phoenix Technology

Ce vendeur, non fabricant, propose des noyaux AGP synthétisables, cad rédigés en langage VHDL ou Verilog, à partir desquels on peut, à travers un compilateur, aboutir à des dessins de masques. Conformés à la révision 1.0 de la définition d' AGP par Intel et à la révision 2.1 de celle du bus PCI, ces noyaux concernent les deux côtés de l'interface AGP, cad le chipset et l'accélérateur graphique : l'acquéreur peut synthétiser des extensions de son propre produit et les y intégrer, s'il trouve intérêt à profiter des procédures optimisées de gestion des deux bus AGP et PCI proposées par Phoenix. Plusieurs variantes sont d'ailleurs proposées, selon les performances souhaitées et l'implication désirée de l'accélérateur dans l'emploi du bus PCI.

Le noyau contient, en outre, les composants logiciels et matériels nécessaires aux tests de l'interface.

Visual Information Technology (VITec)

Cette firme non localisée se manifeste en 1989 en commercialisant en OEM un jeu de trois cartes formant un coprocesseur graphique autour de trois puces VLSI propriétaires, capables d'un débit remarquable de 172 Mips. Conçu pour exploiter des photos de satellites jusqu'à 32000 pixels de côté, et en faire des extraits qui peuvent être combinés avec une carte du terrain pour générer en quelques secondes des perspectives tous angles. C'est le Vitec 10, compatible avec le VME Bus, et les logiciels Unix, C et X Window.

Ce précieux matériel a été incorporé dans des consoles graphiques militaires perfectionnées comme le SERS de ESL (TRW) ou l' Interact de Intergraph.

Deux ans plus tard, le Vitec 50 est une nouvelle présentation de ces mêmes processeurs en une seule carte VME 9U, 300 Mops, associée à un logiciel PICES = Programmer's Image Computing Environment Software, qui comprend sous Unix un C parallèle et un riche jeu d'activités graphiques.

Au titre d'un accord avec Motorola, cette présentation a été remodelée en deux cartes 6U pour le monochrome, ou 3 cartes 6U pour la couleur, ensemble qui sera intégré dans des consoles militaires, et commercialisé en 9/91 comme produit « robuste ».

Un autre accord passé avec HP définit une carte 20 MFlops, 100000 vecteurs / s, intégrant 6 puces propriétaires dont 4 PIP (Parallel Image Processor) pour traiter 24 bits par pixel plus un plan de service 8 bits pour le texte. La carte peut contenir jusqu'à 72 MB de VRAM.

Elle doit s'intégrer dans la station graphique Apollo 9000 Mle 400 à bus VME.

Voodoo de 3Dfx

Cette société produit également des cartes graphiques très performantes baptisées Voodoo, dont les derniers modèles sont orientés vers Apple et les Mac, utilisant le bus PCI.

L'élément clé est un processeur évolutif VSA 100 (Voodoo Scalable Architecture) réalisé en 0,25 μ . Les cartes 4.4400 contiennent 32 MB de mémoire et un processeur, les cartes 5.5500 64 MB et deux processeurs. Elles permettent une résolution de 2048 * 2048 et l'aliasing plein écran, qui élimine la plupart des défauts visuels ; la carte 5 est capable de générer 4 pixels par cycle et de soutenir un remplissage jusqu'à 667 Mtexel/s ; les deux cartes disposent d'un connecteur DVI qui leur permet de se relier aux écrans plats LCD de Apple.

En 1999, 3Dfx annonce une carte 6000 avec 4 processeurs et 128 MB de RAM.

350 - Processeurs de réseaux

Au cours de l'année 2000 apparaissent, profitant de la miniaturisation accélérée qui remplace un processus 0,25 μ transitoire par un 0,18 μ chez la plupart des grands fondeurs, des multiprocesseurs sur une puce qui mettent à la disposition des entreprises de transmission le moyen de traiter presque instantanément, en tous cas en temps réel, des tâches extrêmement exigeantes comme la conversion de fichiers ou le codage RSA (ou DES) de messages confidentiels.

Seule une faible partie des nouveaux venus qui se manifestent sur ce créneau survivront, soit en tant qu'entreprises s'ils sont à la fois chanceux et doués, soit après une absorption réussie pour les bons techniciens mais médiocres gestionnaires ; les autres disparaîtront, une bonne idée ne suffisant pas à trouver une place sur un marché féroce. On trouvera ci-après quelques noms, et la sélection n'est en aucune manière présage de survie, car on manque par trop de recul.

Agere : la solution PayloadPlus de cette société née en 1999 consiste en un pipeline en deux parties, un FPP (Fast Pattern Processor) et un RSP (Routing Switch Processor). Le FPP reçoit les signaux de l'interface physique, gère les données entrantes pour reconnaître le protocole auquel elles obéissent, assure la classification des paquets et le réassemblage; sa structure est pipeline pour effectuer du réassemblage ATM, et supporter des tables de correspondance avec des millions d'entrées de longueur variable. Le RSP qui reçoit le résultat s'occupe des files d'attente, de la modification des paquets, de la surveillance du trafic, de la segmentation, et de certaines tâches relevant de la qualité du service. Un composant de contrôle baptisé ASI (Agere System Interface), lié à un microprocesseur, supervise le mouvement des données entre FPP et RSP pour assurer le

maintien de la vitesse de transfert. Agere avait complété ce travail en mettant au point un environnement de développement en langage de haut niveau, le FPL, Functional Programming Language.

Le produit PayloadPlus a été comparé à d'autres concurrents sur la base d'un critère de performances, après quoi la société Agere a été achetée par Lucent Technology.

Bops : cette société américaine propose le Manta, un ensemble de quatre processeurs DSP composés chacun

d'une UAL, d'un opérateur MAC, d'une mémoire de données et d'une mémoire d'instructions, interconnectés à travers une matrice avec un processeur servant de module de commande. Ces processeurs sont universels, en ce sens qu'ils peuvent travailler sur 8, 16 ou 32 bits, en fixe ou en flottant, avec le débit global écrasant de 24 milliards d'opérations par seconde (24 Bops, ce qui sans doute donne son nom à l'entreprise), ou encore 1,3 GFlops ; la fréquence de travail n'est pourtant que 200 MHz., le parallélisme explique les résultats.

Chameleon Systems : simple bureau d'études qui utilise les services du fondeur taiwanais TSMC pour la

fabrication et ceux de Misil Technologies pour la distribution, cette société a mis au point un circuit qui s'apparente, par le nombre et la multiplicité de ses composants, aux FPGA tout en étant plus rigoureusement structuré.

Le produit CS 2000 réunit sur une puce un processeur RISC 32 bits complet et une collection reconfigurable de ressources de traitement :

le RISC, fonctionnant à 125 MHz, est une licence de ARC Cores. Autour de lui on trouve un contrôleur mémoire avec interface 64 bits, capable de 1 GB/s et acceptant SSRAM, SDRAM, et EEPROM flash ; un contrôleur PCI 2.2 avec interface 32 bits, un gestionnaire de configuration et un sous-système DMA à 16 voies, le tout réuni sur un bus 32 bits dit Roadrunner, multiplexé en 4 tranches temporelles pour chaque cycle d'horloge de 8 ns.

la partie reconfigurable comprend une (CS 2103), deux (CS 2106) ou quatre (CS 2112) tranches de trois unités baptisées « tuiles » (tiles), chaque tranche associée à 40 entrées / sorties programmables capables ensemble de 0,5 GB/s. La tranche configurable regroupe les ressources suivantes : un bloc de commande, sept UAL 32 bits, quatre mémoires locales 128 * 32 bits, et deux multiplieurs 16 * 24 bits.

Le circuit de reconfiguration travaille indépendamment des calculs et demande 3 ns par tranche pour charger une configuration ; la transition s'effectue ensuite en un cycle d'horloge, de sorte que les algorithmes s'enchaînent à vitesse maximale.

Les CS 2000 sont réalisés selon un processus CMOS 0,25 µ et le CS 2112 représente environ 12 millions de transistors. Il est capable en pointe de 24 Bops 16 bits, ou 3 milliards de MAC. Le prix de vente initial est de 295 \$ en lots de 100, et peut descendre à 70 \$ en cas de succès.

Matériellement, il se présente comme un microprocesseur, sur un emballage carré 31 * 31 totalisant 448 broches disposées en x y.

Un atelier logiciel est proposé pour \$ 25000 en septembre 2000, comprenant un compilateur C pour le RISC, un outil de reconfiguration, un débogueur et un simulateur.

Cisco : cette société s'est développée dans la dernière décennie du siècle en produisant des matériels de transmission, réalisés d'abord au moyen de composants du marché. Mais, autour de 2000, Cisco en vient, comme beaucoup de sociétés plus jeunes et moins importantes, à réaliser son propre ordinateur de réseau pour la gestion de la commutation de paquets, baptisé Toaster-2 .

Au départ, l'opération a été tentée avec des coeurs ARM7, dont Cisco est licencié comme beaucoup d'autres, mais la performance restait insuffisante. Cisco a donc réalisé son propre coeur, le XMC, pour eXpress Micro Controller : le PXF (Parallel eXpress Forwarding) contient quatre pipelines de chacun 4 XMC, chacun des quatre niveaux ayant sa propre mémoire SDRAM externe 64 bits qui délivre des ordres LIW de chacun deux instructions RISC ; les niveaux sont spécialisés par ce programme, par exemple classification, routage, modification d'en-tête, file d'attente, et le PXF atteint le chiffre impressionnant de 4400 Mips Dhrystone dans sa version 0,18 μ à 125 MHz.

Dans son routeur 10000, Cisco place deux de ces PXF bout à bout pour disposer de 8 étages, et parvient à gérer 8 millions de paquets par seconde dans les conditions de la norme OC48, 2,5 Gbit/s .

C-Port : propose en 1999 un processeur C-5 réalisé en CMOS 0,18 μ et composé de 16 coeurs RISC, avec une programmation en C ou C++. Cette société sera achetée cette année là par Motorola, qui n'avait pas abordé la question du processeur de réseau.

Motorola demande à sa nouvelle filiale de définir en 2000 un C-Y d'architecture plus puissante, compatible à travers le compilateur, et se prépare à définir un langage commun pour tous processeurs de réseaux, qu'ils soient C-Y, PowerPC ou PowerQUICC.

Level One : la solution théorique de ce bureau d'étude réside dans une multiplicité de moteurs de traitement de paquets interposés en parallèle sur le cheminement entre le réseau et la mémoire. Le concept, baptisé IXP, est très souple et adaptable à n'importe quel processeur de gestion et à n'importe quel nombre de moteurs disposés en parallèle : c'est la raison pour laquelle Intel a acheté Level One.

Le premier IXP produit par Intel est le IXP 1200, assurant à 166 MHz le routage de la couche 3 du modèle ISO pour 2,5 millions de paquets de 64 bits par seconde. Il est réalisé en CMOS 0.28 μ et comprend six moteurs, gérés en parallèle par un Strong ARM 7 qui dispose de trois caches : 16 KB pour les instructions, 8 et 1 KB pour les données. Le bus d'entrée 64 bits amène les paquets, et la puce dispose de trois interfaces pour ses liaisons de service : 32 bits avec SRAM, 64 bits avec SDRAM, et 32 bits avec le bus PCI. Intel prévoit dès maintenant le passage à 0.18 μ et 400 MHz, en même temps que l'augmentation à 16 du nombre de moteurs en parallèle et le passage au processeur SA2 pour la gestion. Une architecture de développement est en préparation.

Lexra : cette société qui n'apparaît qu'en 2000 semble être un bureau d'étude de circuits, exploitant de puissants outils logiciels qu'elle n'a pas écrits pour définir des produits abstraits, tels que coeurs programmables ou au moins configurables.

Le NVortex de Lexra utilise l'architecture de MIPS, qui est associée à un logiciel important. L'application envisagée est la commutation de paquets . La réalisation

matérielle LX 8000 est une cellule répétable de 3,4 mm² concrétisée en 0,18 μ par TSMC et capable de 427 MHz. Le processeur est associé à un cache d'instructions de 16 KB et à une mémoire de travail de même taille, et communique à travers quatre bus Vortex capables chacun de 3,4 GB/s à 427 MHz : une réalisation particulière comprend 16 processeurs réunis autour de 4 bus Vortex dans une puce de 70 mm² tracée en 0,15 μ et capable du standard OC 192. Elle sera disponible fin 2001, ce qui la rejette hors de notre perspective.

Microunity Engineering Systems : ce bureau d'étude de Sunnyvale, Cal. est à l'origine d'un processeur à gros débit, le MédiaProcessor, dessiné en 1996. L'inventeur, J.

Moussouris, estime comme tous les autres créateurs de processeurs de réseaux que le débit des microprocesseurs de traitement est inadapté à celui des fibres optiques, ou même des plus récentes liaisons filaires ou radioélectriques. Il a donc imaginé une architecture quelque peu parallèle appuyée sur une technologie BiCMOS 0,5 μ à 4 couches métalliques très

fines, qu'il compte réaliser au départ dans sa propre microfondrie de silicium : version de démonstration en CMOS 0,6 μ à 300 MHz, version définitive à 1 GHz.

Le processeur communique avec l'extérieur par deux bus 8 bits bidirectionnels, chacun capable de 1 GB/s. Il contient deux caches I et D de 32 KB chacun, partageant un TLB qui alimente un pipeline de 15 étages et un opérateur Load/Store. Un crossbar de 128 bits de large dessert les opérateurs SIMD 4 * 32 bits, un MAC et une extension, mais surtout cinq jeux de chacun 64 registres de 32 bits : il est donc possible d'y lire quatre jeux d'opérandes et de placer le résultat dans le cinquième jeu.

Outre la puce Mediaprocessor, qui regroupe 10 Mtransistors dans 10 mm², le chipset propose deux puces optionnelles, à placer sur les bus I/O :

le Mediabridge connecte le processeur à la DRAM et au bus PCI.

le Mediacodec dessert tous les périphériques, bandes, disques, réseau, radio, vidéo et son.

La société aurait reçu des marques d'intérêt de Microsoft, Motorola, et Tele-

Communication Inc. Pour ce que nous en savons en 2001, il n'est pas certain que cela ait débouché sur un accord ou un rachat ; en particulier, il est certain que personne n'a pris le risque du développement BiCMOS, de sorte que le seul produit à avoir vu la jour est le prototype 300 MHz, beaucoup moins séduisant, notamment parce que la puce est énorme, 290 mm², ce qui nuit au rendement prévisionnel de production.

Sibyte : ce bureau d'études se signale en 2000 par la définition d'un coeur élémentaire SB1, 64 bits, capable de 2000 Mips Dhrystone, et il ne consomme que 2,5 W à 1 GHz. Plus généralement, Sibyte croit pouvoir affirmer que son produit est capable de fournir, sur une gamme de fréquences correspondant aux possibilités techniques de l'année 2000, une puissance de 800 Mips par Watt consommé.

Confrontant ses résultats au besoin du marché, Sibyte présente au Microprocessor Forum 2000 de San Jose, Cal. le processeur Mercurian composé de deux SB1, et capable de 10 millions de paquets par seconde en fonctionnement réseau, soit 4400 Mips Dhrystone pour une consommation de 10 Watts.

Résultat : Sibyte est rachetée par Broadcom en décembre 2000, mais la suite de l'histoire, s'il y en a une, est en dehors de notre période d'étude.

Sitera : tout à fait dans la même veine, le bureau d'études Sitera propose un schéma où 4 processeurs RISC conjuguent leurs efforts pour gérer les communications d'un réseau. Dès 2000, en CMOS 0,25 μ , ce produit Prism IQ 2000 rejoint les performances du IXP1200 de Intel ; Il est prévu de passer à 0,15 μ et de grouper 12 à 16 cœurs en parallèle.

Résultat : Sitera est rachetée par Vitesse en septembre 2000, même remarque que ci-dessus.

Zilog : on peut signaler l'entrée de Zilog dans le domaine des processeurs de réseaux avec le Cartezian, composé d'un RISC 32 bits amélioré par quelques dispositifs DSP, entouré de quatre coprocesseurs RISC / DSP 16 bits et d'une collection de périphériques. Voir fiche.

351 - Logique programmable

En matière de circuits intégrés, la recette initiale consistait à dessiner complètement, sous forme d'une collection de masques, le circuit que l'on désirait réaliser, lequel était ensuite reproduit en x et y de façon à couvrir la surface d'une tranche de silicium (diamètre 200 mm à l'époque). Le nombre de tranches à fabriquer dépendait ensuite du débouché et du rendement ; les galettes étaient découpées au jet d'eau sous pression, et les puces complètes recueillies étaient testées une par une.

Cette méthode n'est rentable que pour des séries suffisantes, et s'est avérée économiquement inapplicable pour produire les ordinateurs ECL des années 80. On produit alors des puces du type « mer de portes » qui seront personnalisées par trois, puis quatre, puis cinq couches de câblage métallique. Par la suite, ce procédé à deux niveaux (un niveau silicium construisant toute la logique, un niveau métal assurant uniquement des interconnexions entre blocs logiques) s'est généralisé.

Malgré une automatisation très importante, permettant généralement de passer par ordinateur des équations logiques à l'implantation graphique qui conduit aux masques, sans avoir aucun dessin manuel à faire, on ne peut rentabiliser une étude de circuit que si la production conduit à une série.

Un petit nombre de sociétés, parmi lesquelles il faut citer principalement Altera et Xilinx, ont donc choisi de conserver une organisation de logique programmable qui comprend : une juxtaposition de ressources logiques et de dispositifs d'entrée / sortie, avec un petit nombre de types dans chaque catégorie, et un assez grand nombre d'exemplaires dans chaque type.

un réseau d'interconnexion câblé entre ces ressources, par l'intermédiaire de portes programmables .

Si la programmation se fait sur un banc de mise au point, à travers un logiciel fourni par le fabricant, et représente une tâche importante, on parle de logique programmable et le produit est essentiellement destiné à l'expérimentation de structures nouvelles, qui seront, une fois au point, figées dans le silicium.

Un article des PIEEE, datant de 7 / 93 , contient des indications précises sur la réalisation matérielle de plusieurs des produits cités ci-après. Bien qu'écrit par des universitaires, il

est rangé en boîte 142 puisqu'il parle de produits industriels. Mais il est possible de faire mieux, et de commander le réseau des interconnexions à partir de registres qui peuvent être chargés en temps réel de configurations précalculées, en fonction de conditions mesurées dynamiquement sur le processus. On parle alors d'architectures reconfigurables : un article rédigé à Caltech par A. De Hon (en boîte 138) explique pourquoi de telles structures sont exceptionnellement efficaces pour effectuer un travail défini.

Actel : cette société fabrique des réseaux de portes programmables une fois à travers des fusibles, réalisés

en logique CMOS $2\ \mu$ et programmés par l'envoi d'une tension de 18 volts en un point précis, ce qui fait fondre le fusible. Cette famille ACT 1 de 1988 peut travailler à 40 MHz, elle est bien entendu fournie avec un logiciel de développement. Voir article PIEEE, boîte 145.

4 modèles sont proposés :

1200 portes dont 295 matérialisent de la logique, 147 des bascules D (delay), et 295 des latches (mémoires transitoires), auxquelles il faut ajouter 57 bornes d'accès.

2000 portes dont 546 / 273 / 546 / 69 selon dénombrement ci-dessus.

3000 portes dont 648 / 470 / 648 / 102 selon dénombrement ci-dessus.

4000 portes dont 1258 / 943 / 1258 / 142 selon dénombrement ci-dessus.

En 1990, Actel reprend ce travail avec une nouvelle famille capable de 60 MHz et un logiciel renouvelé baptisé ALS 2.0 qui fonctionne sur stations de travail Sun, Apollo, et sur PC., comportant une possibilité de test à 100% de la solution finale en simulation. La programmation physique s'effectue sur une station Activator 2.. Trois modèles sont proposés :

A 1225, 2500 portes en boîtier 100 broches, contenant 430 fonctions logiques, 363 bascules et 82 entrées/sorties reliées à des broches ; le reste est alimentations et tests.

A 1240, 4000 portes, 132 broches, 684 fonctions logiques, 565 bascules, 104 I/O.

A 1280, 8000 portes, 176 broches, 1232 fonctions logiques, 994 bascules, 140 I/O.

Voir également l'article PIEEE, boîte 145, pour cette famille.

En 2000, Actel décide - comme d'autres, ci-dessous Atmel - d'offrir une combinaison des techniques de synthèses de circuits entre un catalogue pour ASIC et une partie dynamiquement programmable en forme de coeurs EPGA (cad FPGA enfouie). Ces Varicores, réalisées en $0,18\ \mu$, fonctionnent à 200 MHz maximum et placent 40000 portes sur $20\ \text{mm}^2$ dans la version la plus dense ; la structure de base est un PEG, Primary Embedded Gate, comprenant 64 blocs fonctionnels à 4 unités logiques configurables et représentant 2500 portes. Les combinaisons proposées comprennent $2 * 1$, $2 * 2$, $4 * 1$, $4 * 2$ et $4 * 4$ PEG, les deux derniers coeurs pouvant inclure en option 8 modules de SRAM configurables en $1K * 9$ bits ou $512 * 18$ bits. Un compilateur est disponible en deux versions Windows NT et Unix.

Pour la production, le bureau d'études Actel a des arrangements avec pas moins de trois fondeurs, Chartered Semiconductors, Taiwan Semiconductors Mfng Corp et United Microelectronics Corp (2001).

En 2002, le passage à la géométrie $0,15\ \mu$ avec 7 couches métalliques permet un nouveau bond, avec l'architecture AX et la famille AXcelerator qui comprend 5 produits, de l'AX 125 à 125000 portes à l'AX 2000 à 2 Mportes. La fréquence interne de cette

logique est 500 MHz, les combinaisons de niveaux logiques réduisant bien entendu ce chiffre à cause des marges de sécurité. La programmation se fait par antifusibles, c'est-à-dire une seule fois. Voir fiche et photo.

Adaptive Silicon est un autre bureau d'études qui a réalisé pour LSI Logic des programmables dont le bloc élémentaire est une UAL. Quatre de ces UAL peuvent être simultanément programmées dynamiquement par un contrôleur à base de SRAM, et quatre de ces ensembles forment un Hex Block, module minimum qui représente 1500 portes et occupe 1,4 mm² en CMOS 0,18 μ. De 1 à 16 Hex Block peuvent être groupés pour former des MSA, circuits commercialisables fonctionnant entre 50 et 100 MHz. Les UAL peuvent être connectées pour réaliser des fonctions jusqu'à 64 bits. LSI Logic combine ces MSA avec des ASIC et les fait fabriquer chez TSMC, le fondeur taiwanais précité.

Altera : la famille MAX 7000 d'Altera comprend des réseaux de portes programmables, réalisés en

CMOS 0,8 μ et proposés en huit tailles de 1500 à 20000 portes. Quel que soit le schéma, on peut le faire fonctionner à 70 MHz utiles avec moins de 15 ns de décalage temporel entre broches de sortie. La programmation se fait à travers le logiciel MAX + PLUS, qui utilise le langage AHDL : il gère le compromis vitesse / consommation et assure un délai fixe à travers le réseau, ce qui constitue une nouveauté par rapport aux réseaux MAX 5000 antérieurs. Voir article PIEEE, boîte 145, pour les 5000 et 7000.

En 4/95 Altera renouvelle son offre avec Flex10K, un système de PLD réalisé en CMOS 0,5 μ avec trois couches métalliques d'interconnexion. Dans les mailles d'une grille d'entrée / sortie baptisée Fasttrack, dont les lignes sont terminées aux deux extrémités par des I/O ports bidirectionnels, se situent des éléments logiques LAB et, dans la dernière rangée externe, des EAB de DRAM, configurables en 2048 * 1, 1024 * 2, 512 * 4 ou 256 * 8 bits, accès 20 ns, cascadables en parallèle. Chaque LAB, d'autre part, comprend 8 éléments : le retard introduit est 1 ns pour deux éléments d'un même LAB, 6 ns dans une même rangée, 9 ns entre rangées.. Le logiciel est Max + Plus II, fonctionnant sur PC et stations de travail, et comportant une extension pour traiter les EAB.

Le premier produit de la famille, au 3ème trimestre 95, est EPF10K50, qui offre 20480 bits d' EAB et 38500 à 115000 portes utilisables selon modèle. Un EPK10K100 de capacité doublée sort au 4ème trimestre.

En 2000, Altera propose d'intégrer à ses circuits un processeur choisi dans sa gamme, ce sont les circuits Excalibur. La version la plus performante, pour ASIC ayant des besoins importants jusqu'à 200 Mips, utilise un coeur ARM ou MIPS, Altera ayant ces deux licences.

Pour les applications programmables, Altera a défini un coeur programmable baptisé Nios, qui est un RISC 16 / 32 bits de 50 Mips, avec pipeline de 5 étages exploitant une instruction de 16 bits à chaque CP. Le mot programmable signifie que le coeur est construit par le client, comme un sous-programme vendu séparément de l'outil de programmation, à partir des portes disponibles dans le circuit choisi ; par exemple, sur un

circuit EP20K1000E de la famille Apex, il est possible de construire 12 Nios travaillant en parallèle, et de disposer encore de 500000 portes programmables pour l'application.

En 2002, le passage d'Altera à un processus de fabrication CMOS 0,13 μ lui permet de nouvelles audaces, c'est-à-dire un engagement encore plus marqué dans la définition de blocs programmables. Les Stratix, qui fonctionnent sous 1,5 Volt, contiennent de 10000 à 114410 blocs logiques de base, soit 8 tailles de base. On peut y placer jusqu'à 10 Mbits de SRAM, avec choix de trois tailles 512 bits, 4 Kbits, 512 Mbits. La principale nouveauté, par rapport aux Apex II de la série précédente compatible, est la possibilité de prévoir jusqu'à 28 DSP à 250 MHz, complets avec les MAC, le totalisateur, le décaleur et le pipeline, pour une capacité totale de 2000 MMAC. Il y a aussi jusqu'à 12 PLL et des blocs d'entrée/sortie à haut débit. L'argument est toujours le même : ne pas prendre sur la logique générale des éléments qui peuvent être fournis déjà optimisés.

Atmel : est un fabricant de circuits intégrés qui a mis à son catalogue des prédifusés de 50 à 500 Kportes, et des FPGA en forme de coeurs programmables mis en bibliothèque de modules dans des modèles à 10, 40 et 80 Kportes. Les clients peuvent ainsi commander à Atmel des ASIC construits avec des blocs de catalogue, économiques par conséquent en séries industrielles, et conservant cependant une part reprogrammable qui permet d'adapter dynamiquement le circuit à un petit nombre de circonstances distinctes.

On reconnaît l'évolution décrite plus en détail dans le cas précédent.

Clear Logic : filiale d' IDT, cette société se place dans le sillage de Altera et propose des circuits câblés

qui figent une structure logique supposée préalablement mise au point sur des FPGA de Altera. La logique propriétaire est soigneusement compatible avec celle d' Altera, mais débarrassée de tous les circuits de reconfiguration, elle réalise une fonction donnée sur une surface de silicium de 30 à 60 % plus petite que celle d' Altera, donc coûte nettement moins cher.

L'organisation comprend un site Internet sur lequel il est possible de charger directement le fichier de configurations produit par le logiciel d' Altera . Le client reçoit gratuitement, en deux semaines, un échantillon testé et, s'il passe commande, la livraison en série prend seulement quatre semaines supplémentaires.

La cible est constituée par les circuits Altera des familles MAX7000 et FLEX8000, intégrant 2500 à 12000 portes logiques. Le travail de Clear Logic consiste à valider ou neutraliser, point par point, au laser, les interconnexions désignées par le logiciel Altera, de sorte qu'il n'y a pas de masque à fabriquer. Prix et consommation des circuits résultants sont imbattables.

Exemple : le circuit CL10K50V, 50000 portes, 20 Kbits de SRAM, coûte moins de \$ 13 en lots de 1000.

Altera a porté plainte pour copie technologique, mais n'estime pas que le danger soit réel. Selon Altera, la logique programmable a partout gagné la bataille économique contre les prédifusés.

GARP : expérience faite à l' Université de Berkeley d'un ordinateur reconfigurable construit au moyen de FPGA programmables dynamiquement. Voir article en boîte 138.

LightSpeed Semiconductors : a été fondée en 1995 pour développer des solutions ASIC originales permet-

tant de réduire les temps de conception des circuits complexes. Elle propose ainsi la famille Cosmic de circuits spécifiques du type « mer de portes », à base de Module Based Arrays : ces circuits comprennent trois couches métalliques câblées et deux programmables avec des outils standard. Ils regroupent de la logique telle que PLL et autotests, de la mémoire SRAM et des entrées / sorties.

Le seuil de rentabilité de ce type de circuits, rapides à personnaliser à cause de la variété des ressources disponibles, se situe entre 5000 et 15000 pièces. Exemple : Cosmic IIE768K615 contient 615000 portes, 768 Kbits de SRAM double accès, et 260 entrées / sorties : réalisé en 0,25 μ , il peut fonctionner à 200 MHz et se vend moins de 100 \$ pour 10000 pièces.

PipeRench : expérience faite à Carnegie Mellon University d'un ordinateur reconfigurable construit au moyen de FPGA programmables dynamiquement. Voir Article en boîte 138.

QuickLogic : cette société existait déjà en 1993 et on trouve dans l'article PIEEE, boîte 145, quelques indications sur son organisation logique. Cependant, ce n'est qu'à partir de 1998 qu'elle nous est mieux connue, proposant des circuits qui combinent une fonction standard à prendre sur catalogue, telle que mémoire ou processeur, avec une logique programmable. On en donnera deux exemples., trouvés dans la courte période interne à notre sélection.

La famille Eclipse de FPGA à antifusibles est annoncée en juin 2000, essentiellement caractérisée par sa vitesse : 600 MHz en interne (délai entre cellules 1,05 ns), 270 MHz pour le circuit considéré comme un tout, et encore 225 MHz si plusieurs de ces circuits doivent travailler ensemble.

Les circuits Eclipse sont fabriqués en CMOS 0,25 μ avec 5 couches métal et fonctionnent avec une alimentation 2,5 Volts, mais ils peuvent supporter 3,3 Volts. Ils sont commercialisés en quatre modèles, intégrant de 248000 à 583000 portes, disponibles à partir de juillet 2000.

La cellule de base est celle des circuits précédents, complétée d'un registre avec multiplexeur : en tout deux portes ET à 6 entrées, 4 portes ET à deux entrées, 7 multiplexeurs à 2 voies, et 2 bascules D avec contrôle d'initialisation et de réinitialisation, en tout 30 entrées et 6 sorties.

Dans la partie fixe, il y a selon modèle 20 à 36 blocs de mémoire de 2304 bits, configurables au choix en 128 * 18, 256 * 9, 512 * 4 ou 1024 * 2, et connectables en série pour allonger le mot, ou en parallèle pour accroître la capacité.

Les entrées / sorties sont la partie tolérante aux alimentations entre 2,5 et 3,3 Volts, l'excursion étant de 0 à VCC à 10% près. Cela les rend compatibles avec la plupart des normes du marché, LVTTTL, LVCMOS2, PCI, le bus GTL+ du PentiumPro, et les bus mémoire SSTL d'Hitachi et IBM. Ces bornes peuvent être configurées en entrées ou en sorties, ou encore en bidirectionnel, avec des temps de montée programmés à 1V/ns ou

2,8V/ns en 3,3 Volts, ou 0,6 et 1,7V/ns en 2,5 Volts. Le circuit contient 4 boucles de phase, ajustables de 25 à 250 MHz, avec possibilité de diviser ou multiplier cette fréquence (choisie selon les besoins de l'extérieur) par 2 ou 4 pour l'usage interne. Les circuits sont livrés en boîtiers BGA, 484 ou 672 billes pour le QL6600 à 583000 portes.

Le second exemple concerne un circuit d'interface FibreChannel permettant à l'utilisateur de sélectionner tout ou partie des fonctionnalités de ce réseau. Ces QuickFC intègrent, à côté d'un prédiffusé programmable de 32000 portes et de son banc d'entrées / sorties, un encodeur / décodeur FibreChannel pour 10 bits (qui suppose un SerDes externe), et 22 blocs de mémoire double porte soit 25344 bits. Ces derniers sont configurables en RAM à 5 ns de temps d'accès, ou en FIFO 160 MHz.

La partie communications a été étudiée par Finisar, un bureau d'études spécialisé dans le haut débit. Le circuit supporte un débit maximum de 2,5 Gbit/s, la norme étant dans ce domaine 1,062 / 2,125 Gbit/s ; la logique associée permet la réalisation de chemins de données à 275 MHz.

Quicklogic commercialise en même temps un kit de référence Finisar, baptisé RDK, permettant programmation et expérimentation du circuit. La carte comprend un connecteur GBIC, une interface SerDes 8 ou 10 bits (conversion bidirectionnelle du débit série sur le canal en débit parallèle sur le circuit), de la mémoire et un QuickFC avec son socle, et elle se connecte directement au bus PCI.

Présenté en boîtiers PQFP 208 broches ou PBGA 456 billes, les QuickFC sont commercialisés en août 2001 avec un prix de départ de 80 \$.

Xilinx

Le plus ancien document Xilinx auquel nous ayons pu accéder décrivait la famille logique XC2000, offrant 64 ou 100 blocs logiques dont le fonctionnement logique est capable de 70 MHz. Ce document permet de se faire une idée de la philosophie qui avait présidé à cette première création de logique programmable. La programmation s'effectuait sur PC / XT ou AT avec le logiciel XACT et, exceptionnellement, avec l'émulateur « in circuit » XACTOR.

En 11 / 91, Xilinx propose BLOX, un nouveau logiciel de programmation destiné à la nouvelle série XC4000, et applicable rétrospectivement aux séries XC3000 et XC2000. Il n'y a pas de langage, les paramètres sont inscrits sur des lignes de schémas, où les blocs à composer sont décrits en termes de 30 blocs de base prédéfinis. La compilation génère les commandes d'interconnexion entre les CLB (blocs logiques) et les IOB (blocs d'entrées / sorties) du XC4000. Voir l'article PIIIEE, boîte 145, pour la logique de ces produits.

Nous ne savons rien des produits intermédiaires, et quand nous retrouvons Xilinx en avril 1999, sa nouvelle famille Virtex atteint le million de portes. A ce stade, les constructeurs proposent des coeurs d'ordinateurs comme brique élémentaire, au même titre que des SRAM ou des fonctions logiques. Et pour communiquer au monde extérieur les signaux composés par ces édifices, on ne peut plus se contenter de quelques bornes : obligé de choisir parmi les interfaces plus ou moins normalisées du marché, Xilinx est allée d'emblée au maximum, le bus PCI dans sa version 64 bits, 66 MHz, qui travaille à 528 MB/s avec un délai de seulement 6 ns par transfert.

Voir la fiche qui décrit cette interface, laquelle occupe 40% de la surface d'un XCV 300 (Virtex 300000 portes) et 20% d'un XCV 1000 (Virtex de 1 million de portes).

352 - les produits de Jacquard System

Cette compagnie s'est manifestée pour la première fois, vers 1974, en proposant un ordinateur baptisé Micromini, destiné à servir de cœur à un petit ordinateur de gestion, et vendu en OEM à cet effet. Ce J 200 est une machine 16 bits, centrée sur une mémoire 1K (1K) 64 K mots, à cycle de 1,5 μ s, sans contrôle de parité ni protection. Adressage 64 K direct ou indirect, bloc de calcul 1 instruction / mot. Le bloc de calcul comprenait deux accumulateurs et deux index et pouvait faire l'addition en 4,5 μ s, un rangement en mémoire en 7,7 μ s ; la multiplication était en général programmée (650 μ s) mais pouvait être câblée pour un délai de 120 μ s, la division était toujours programmée (900 μ s) ; il existait une option de processeur en virgule flottante. Les entrées / sorties se faisaient en 16 bits, avec un débit de 125 Kmots / s. Le maximum théorique permis par la forme des instructions était de 64 périphériques, chacun avec option de DMA, ce qui portait le débit à 650 Kmots / s. Les interruptions étaient au nombre maximum de 16, avec en particulier power fail / restart, et une option d'horloge. Prise en charge en 40 μ s.

Logiciel : assembleur deux passes délivrant du relogeable..

Prix : 3200 \$ en version 4 Kmots, 3600 \$ en version 8 K mots, 4600 en version 16 Kmots, plus \$ 60 / mois pour l'entretien.

La source indique que 650 machines étaient en service en fin 77, dans de petits systèmes de gestion utilisant un système d'exploitation DOS capable de 256 partitions, 16 lignes téléphoniques. Outre l'assembleur, le système supportait un BASIC et un package de gestion. Mais on ignore si Jacquard effectuait lui-même le passage du ordinateur au système.

L'idée nouvelle qui émerge de ce succès en 1975 est d'utiliser un poste de travail à écran, et de baptiser cette nouvelle version le Vidéocomputer (fiche). Il y en aura une version J 50 minimale monoposte, puis un J100 capable d'un maximum de 29 stations subordonnées.

En novembre 1978, Jacquard récidive en reprenant le logiciel au profit d'un nouveau processeur construit en bit slices sur 16 bits, avec une mémoire MOS à cycle 740 ns, accès 600 ns, et une microprogrammation sur 28 KB de PROM.

L'addition était ainsi réduite à 1,6 μ s, mais il n'y avait toujours pas de multiplication / division. Le prix atteignait 9200 \$ en 64 KB. Il est probable qu'un mauvais choix du microprocesseur en tranche a ruiné cet effort qui paraît d'autre part médiocrement orienté, car après cette date on ne parle plus de Jacquard System.

353 - Le Courier de Jonos Ltd

Cette machine est probablement d'origine anglaise, d'après le nom de son constructeur, mais c'est aux USA qu'elle se cherche un marché. Elle devait déjà, sous son aspect initial, ressembler beaucoup à son successeur C2600, car elle est décrite comme une boîte

rectangulaire de poids inférieur à 20 livres, mesurant 17,25 * 7,25 * 13,25 « , avec un écran de 9 « et un clavier dans le couvercle.

Elle est alors basée sur le microprocesseur Z80A à 4 MHz, associé à une mémoire 64 KB, deux ou trois minifloppies Sony de 3,5 » de diamètre et 322 KB, l'un d'eux pouvant être remplacé par un disque Seagate SQ 306 de 5 MB. Il y a aussi un timer, trois cartes pour le processeur, les I/O et le contrôleur de disques, et un 8085 pour gérer le clavier et l'écran, qui présente 24 lignes de 80 caractères ASCII, dans une version limitée à 96 caractères.

Deux connecteurs RS 232C sont prévus, ajustables de 75 à 19200 bauds, avec un logiciel permettant d'émuler le protocole 3270. Il existe aussi, à l'arrière, un connecteur pour imprimante à 50 cps, qui coûte 495 \$. Le système d'exploitation est CP/M.

354 - System / 4 de Keane Associates

Ce matériel inconnu a été vendu en 125 exemplaires entre fin 71 et juin 74, comme terminal intelligent. Pas d'autre renseignement sur la société qui n'a plus fait parler d'elle.

355 - Kearfott division de Singer

Une certaine ambiguïté, née des références disparates des quelques documents à notre disposition, existe sur l'appartenance de cette compagnie vouée à la réalisation d'équipements pour l'aéronautique. Autant qu'on puisse en juger, l'origine de cette activité est une fraction de Librascope, une filiale du groupe General Precision dont le nom suggère une compétence en mécanique fine : cette société a en tous cas étudié longuement, sur contrat militaire du Wright Air Development Center et à partir de 1956, un calculateur pour l'aéronautique qui a reçu le sigle AN/ASN 24, indiquant une application potentielle aux problèmes de navigation. Au point dès 1958, cette machine ne trouvait cependant pas d'application, et restait donc en réserve de l'USAF lorsque, vers 1962, intervint la fusion de General Precision avec Singer, un groupe de mécanique qui devait sa fortune aux machines à coudre : le conglomérat prit le nom de Singer - General Precision, Inc.

Kearfott existait avant cette date, car on connaît plusieurs contrats USAF pour des compas à partir de 1956 : AN/AJN 3 du F101, AN/AJN 8 du B52 et du KC 135, calculateur de navigation AN/APA 103 et 109 de 1958 ajoutant le doppler au compas, système intégré AN/AYK 2 de 1960 comprenant en outre le calculateur de données air. C'était probablement une filiale de General Precision.

Quoi qu'il en soit, on retrouve l'AN/ASN 24 dans les travaux de Kearfott, sous le nom de GPK33 : c'est une production en petite série destinée au booster Centaur, deuxième étage d'un lanceur puissant construit par General Dynamics pour les activités spatiales lointaines.

Par la suite, c'est-à-dire en 1967, une version modernisée, de puissance doublée, de l'AN/ASN 24 sera utilisée pour la navigation du cargo gros porteur Lockheed C 141 : c'est le GPK 50 de Kearfott.

Une autre réalisation de Kearfott est l'AN/AYK 18 qui équipait la première génération du chasseur bombardier F111 de General Dynamics. C'est un biprocesseur 16 bits, 450 Kips, utilisé pour la navigation et pour la gestion des armes, qui disposait d'un bloc d'entrées/sorties analogiques réalisé en semiconducteurs, et programmable. Ce

système pouvait, au choix du système d'exploitation, accepter les jeux d'instructions CP2EX (IBM) et MIL. STD. 1750A, ce qui est au minimum le signe d'un manque d'autorité chez les techniciens de l' USAF.

En 1967 encore, on trouve dans le catalogue de Kearfott deux calculateurs d'aviation, qui ne paraissent pas avoir trouvé d'application militaire :

le GPK 10 est un ordinateur série travaillant à 1 MHz, avec un bloc de calcul fractionnaire en complément à 2, et une mémoire principale à disque de 16360 mots de 31 bits + P. La logique de cette machine est à base de circuits DTL, les registres à décalage étant des circuits intégrés MOS.

le GPK 20 est proposé pour les P3C et pour le C 141, et comprend, toujours à 1 MHz, un bloc de commande 10 / 20 bits et un bloc de calcul 20 bits (addition 20 μ s, multiplication 100 μ s), avec une mémoire NDRO à tores précâblés, 4 à 16K * 10 bits, cycle 4 μ s, accès 1 μ s. Le répertoire comprend 32 ordres de calcul, y compris double précision et racine carrée, plus 16 ordres pour les entrées / sorties.

La technologie est intégralement à base de circuits DTL SSI. Le logiciel fonctionnait en simulation sur Univac 1108.

En 1968, Kearfott réalise le remplacement du ordinateur analogique AN / ASN 41, ordinateur d'estime pour avions, par un boîtier interchangeable AN / ASN 41B entièrement numérique. Il doit s'agir d'une démonstration, d'une part à cause du critère d'évaluation assez naïf, et d'autre part à cause du surnom donné à cette réalisation : MicroMINAC.

En effet, MINAC est le prototype du ordinateur commercial LGP 30, et ce nom indique qu'on a copié un modèle, au demeurant pas du tout adapté au temps réel.

En 1971, Kearfott produit pour l' USAF le ordinateur SKC 2000 FOCUS, complètement modulaire en ce sens qu'on peut l'utiliser pour bâtir des systèmes mono ou multiprocesseurs dans une large gamme de performances, en fonction de la mémoire choisie. Le sigle alloué, AN / AYK 13, indique que c'est l'aboutissement d'un travail de dix ans. La documentation permet d'en saisir tous les aspects, mais on ne connaît pas ses éventuelles applications.

Les premiers essais de Kearfott dans le domaine des centrales à inertie datent de 1962 (AN / ASN 39 du Phantom F4B) ; le succès prolongé de cet avion laisse à Kearfott le temps de mettre au point sa nouvelle

centrale SKN 2400, intégrant un ordinateur SKC 3000 sur une carte. Ce matériel aura un large succès et se retrouvera à partir de 1969 dans l'avion P3C de patrouille maritime, et dans les avions d'assaut F105 (AN / ASN 100) et A7E (AN / ASN 90) . Nous disposons d'une documentation très bien illustrée.

Quand Singer décidera, vers 1972, de devenir simplement The Singer Company, Kearfott continuera à en être un des fleurons, mais à la vérité, on ne parlera plus beaucoup dans la période suivante ni de Singer ni de Kearfott ; on note seulement l'existence de divers contrats en 1977 :

AN / TPN 30 est le MLS, un concept d' ILS transportable pour le Marine Corps.

AN / ARN 128 est le récepteur MLS des avions du Marine Corps.

AN / URQ 28 est un contrat Singer d'intégration pour une fraction du programme JTIDS. AN / ARQ 40 est la partie Kearfott de ce contrat, un appareil qui intègre toutes les données d'un avion, phonie, datalink, IFF, DME, Tacan, dans les messages du JTIDS. 17 exemplaires d'essai sont à produire

pour les avions navals F15, F14, E2C.

356 - Kendall Square Research

Cette société a été fondée en 1986 par Henry Burkhardt, avec l'objectif de construire des calculateurs massivement parallèles, une mode imprudente qui a été payée très cher. Elle a réalisé deux versions de sa machine, les KSR 1 et 2, en a vendu quelques dizaines, puis a fait faillite en 1994.

Ces produits sont toujours caractérisés par une grande ambition et de modestes moyens, un succès de curiosité limité à des centres de recherche, la conclusion que les performances réelles sont fort loin des chiffres théoriques, accessibles seulement sur des problèmes ad hoc.

Le KSR 1 annoncé en 1992 peut comporter de 8 à 1088 CPU propriétaires 64 bits, superscalaires (multiples opérateurs simultanés), chacun associé à 32 MB de mémoire et théoriquement capable de 20 Mips ou 40 MFlops SP. Chaque CPU peut adresser, outre sa mémoire propre, une mémoire virtuelle répartie de 1 Terabyte, mais on ignore s'il s'agit des mémoires des autres CPU ou des disques.

Le logiciel était Unix, avec la base de données Oracle, les interfaces Motif, le moniteur transactionnel Tuxedo, un réseau Ethernet, les systèmes de gestion de réseaux TCP/IP et SNA.

Les ventes ont concerné 4 machines en 1991, 19 en 1992, 15 en 1993, et en tout semble-t'il 45 dont 15 en Europe. Parmi les clients européens, on peut citer l'INRIA, qui a consacré 2 M\$ en 1992 à un ensemble de 32 CPU et 1 GB de mémoire.

Le KSR 2 annoncé en 1993 est aussi un MIMD à mémoire virtuelle distribuée, comprenant de 32 à 5000 CPU, réalisés en CMOS 0,8 μ , fonctionnant à 40 MHz. Le système de routage dynamique, câblé, porte le nom de Allcache. L'ensemble serait capable de 400 Gips ou 400 GFlops DP.

Le logiciel est un Unix V paralléliseur, assorti de la base de données Oracle version 7, et de compilateurs Cobol, Fortran, C et C++.

Le prix était fixé à 2,4 M\$ pour le minimum de 32 CPU, et un accord avec SNI (Siemens-Nixdorf) devait en assurer la diffusion en Europe à compter de janvier 94. La faillite de la société a rendu cet accord caduc avant exécution.

357 - La série Unity de Keydata

Cette société qui, en d'autres temps, offrait des matériels de saisie, s'est reconvertie dans le temps réel pour offrir un ordinateur de service général à des entreprises de chauffage central ou de conditionnement d'air : le matériel se débrouille tout seul, mais l'ordinateur fournit des statistiques et une comptabilité qui facilite le travail des syndics et celui du PC Sécurité.

Simple société de service, Keydata utilise sans modification des Nova 3 à mémoire MOS de 64 (64) 256 KB, cycle de 700 ns, temps d'accès 350 ns. 24 portes d'entrée / sortie permettent de connecter un dispac de 300 MB en standard, un disque rapide à têtes fixes de 1 MB en option, une imprimante 70 à 1100 lpm, une ME 165, un écran 24 * 80, et

jusqu'à 20 lignes téléphoniques en protocole 3780. Evidemment un système aussi important ne se justifie que dans un gros immeuble.

Le système d'exploitation offre 100 partitions, un assembleur, un RPG et des packages de gestion. Le prix de \$ 48000 comprend le logiciel et un an de maintenance.

358 - Lawrence Livermore Radiation Laboratory de l'AEC

Dans l'immédiat après-guerre, mais surtout à partir de la guerre de Corée qui annonçait une guerre froide susceptible de devenir plus chaude, la Commission de l'Energie Atomique (AEC) a essayé d'intéresser à ses recherches les Universités en tant que telles, avec l'idée d'utiliser comme chercheurs certains professeurs, mais surtout de recruter les meilleurs étudiants.

Le Laboratoire de Radiations, qui fait référence à Lawrence, l'inventeur du cyclotron, est ainsi un laboratoire de recherches très avancées, mais moins secret que les autres (Los Alamos, Brookhaven) parce qu'il ne s'intéresse que marginalement aux bombes atomiques, au moins à ses débuts. Il dispose de deux établissements, l'un à Berkeley, l'autre à Livermore.

Le premier recrute à l'Université de Berkeley et s'occupe de dépouillement d'images de chambre à bulles, et plus généralement de toutes les interactions entre particules ; nous avons un exemple de son travail avec l'article 237-25. Son équipement est toujours le meilleur calculateur du moment, et ses besoins en mémoire sont considérables, puisqu'il s'agit d'une sorte de dépôt de la connaissance en matière nucléaire.

En 1963, le calculateur était une 7094, et le besoin de mémoire était déjà assez grand pour susciter un contrat avec IBM pour une photostore 1360. Le contrat fut signé en 1965, la livraison intervint en 1968, et le calculateur avait changé, devenant un CDC 6600 avec disques 854 ; c'est à l'équipe du laboratoire qu'il revint d'assurer une connexion qui n'intéressait pas CDC : la photostore est entrée en service actif en juillet 1969, et l'article 255 - 45/51 décrit le travail accompli pour y parvenir, suivi d'une évaluation.

Le second laboratoire recrute à l'Université de Californie et attire les chercheurs par un équipement informatique toujours à la pointe de la technique, qui en fera d'abord un centre d'évaluation des nouveautés informatiques les plus exceptionnelles, puis le désignera pour les travaux secrets de simulation bien avant que l'opinion publique mondiale ne pousse à l'arrêt des essais nucléaires.

Pendant la période où la seule exploitation possible était en batch, le centre a utilisé les premiers ordinateurs scientifiques d'IBM, 704, 709, 7090. Mais dès 1962, un centre de calcul interactif est organisé autour d'un PDP1, avec un grand écran circulaire, une Rand tablette, un plotteur Calcomp, et plusieurs machines à écrire. Le succès de cette initiative va décider d'une évolution plus importante.

En 1966, l'installation de deux 6600 est l'occasion de mettre en place un fonctionnement conversationnel de plus grande ampleur, avec 60 télétypes et autres terminaux divers.

En 1968 s'organise Octopus, ainsi baptisé pour signifier que le groupement des calculateurs est désormais accessible à tous ou, plus métaphoriquement, que l'intelligence informatique étend ses tentacules vers tous les chercheurs du centre.

A ce stade, en réalité, l'organisation est un pool de calculateurs et de mémoires, accessible à travers un filtre par un faisceau de périphériques :

le filtre est constitué par une paire de PDP 6. Conçues pour le temps partagé, ces machines collectent à travers un standard l'ensemble des demandes de communication des terminaux du laboratoire, des télétypes dans une forte proportion, et peuvent aussi adresser des réponses vers des sorties telles que consoles de visualisation et traceurs, les uns locaux, d'autres dispersés. Un CDC 160 A et un réseau règlent les problèmes techniques de ce service à distance.

Le rôle du filtre est de vérifier les droits d'accès, correspondant par correspondant, sous le double aspect de la sécurité et des quotas.

également subordonné aux PDP 6, un service batch met à la disposition des usagers un lecteur de cartes, une imprimante très rapide (500 lignes / s), plusieurs dérouleurs de bandes, et une 1401 avec 1402 et 1403 pour organiser des lots de calcul.

le carrefour de tous les transferts est constitué par un groupe de tampons, d'origines diverses, Ampex, Lockheed et DEC, totalisant 256 Kmots de 36 bits, avec un temps d'accès de 1 μ s. Il est relié aux PDP 6 et au pool de calculateurs. Un complément de tampon est constitué par une pile de disques de 800 Mbits gérée par un contrôleur spécialisé, capable de 20 Mbits/s et ne communiquant qu'avec les PDP 6 et le tampon carrefour.

le pool est matérialisé par un multiplexeur, qui communique avec le filtre et avec le carrefour : lui sont reliées les ressources de calcul et les ressources de connaissances.

Les ressources de calcul évoluent fréquemment : en janvier 68 elles se composent de deux IBM 7094, un IBM Stretch, deux CDC 6600 et un CDC 3600.

Les ressources de connaissances grossissent constamment : en janvier 68 elles comprennent l'IBM 1360 Photostore, 1012 bits avec un temps d'accès de 5 secondes, et l'IBM 2321 Data cell, 3,2 Gbits avec un temps d'accès de 0,5 seconde.

les ressources logicielles sont également variées : assembleurs des différentes machines, compilateurs Fortran II et IV, LISP, utilitaires pour tous mouvements entre périphériques, emploi des terminaux en machine de bureau (calculatrice, traitement de texte). Il existe aussi plusieurs logiciels spécialisés :

LRLTRAN est une extension de Fortran qui le rend capable de s'autodécrire. Le compilateur correspondant est rédigé en LRLTRAN. Voir CACM 11 / 68 p 747 .

MATHSY 1978 est un package mathématique, offrant un langage interactif pour calcul de fonctions mathématiques et tracé de figures graphiques. Voir microfilm CACM 8 / 80 p 466 .

GINA, langage graphique permettant de créer des circuits sur l'écran, qui peuvent ensuite être traités par les programmes suivants (cité par Datamation en 1969).

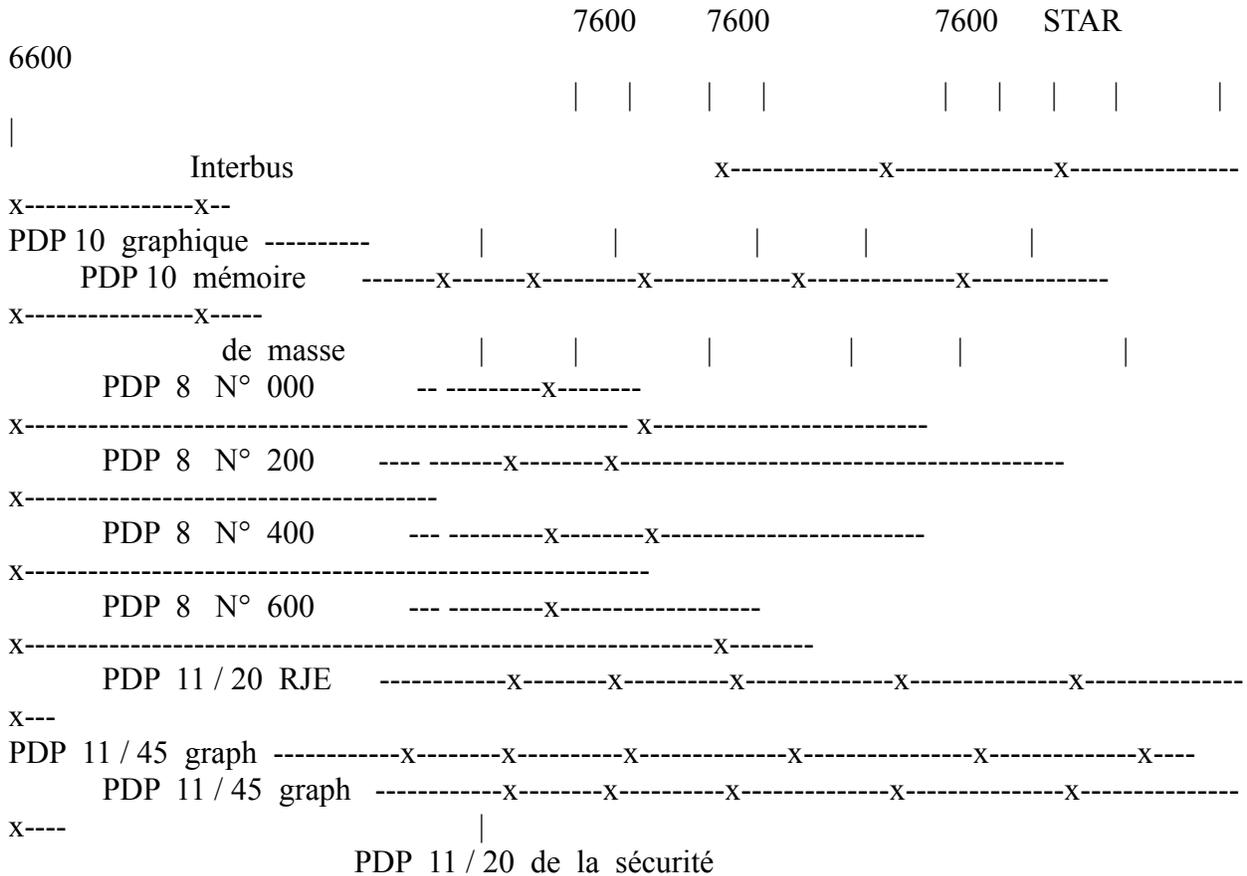
CALAHAN, écrit en Fortran, système d'analyse de circuits pour déterminer leur réponse en fréquence.

ECAP, écrit en Fortran, pour un service batch mis en place depuis un télétype.

CIRCUS, un time sharing sur 6600, reliquat de la phase 2 de 1966.

PREDICT et SCEPTRE, des analyseurs de circuits soumis à de larges transitoires, écrits en assembleur FAP et ne fonctionnant qu'en batch.

En 1974 Octopus existe toujours, mais ne mérite plus son nom car il a changé de principe : le tampon est remplacé par une organisation matricielle (crossbar), avec les ordinateurs de calcul selon un axe et des ordinateurs de communication ou de service selon l'autre. Le schéma de principe est le suivant, toutes les liaisons du crossbar se faisant à 12 MHz :



On constate que Control Data a conquis un monopole de calcul, tandis que DEC a le monopole des communications.

chacune des CDC 7600 dispose de 64K mots de SCM, 512K mots de LCM, 10 PPU, deux disques de 1 Gbits, un disque de 160 Mbits, 8 bandes, LC, IP. Elles fonctionnent sous le système FLOE.

le CDC STAR dispose de 512K mots de mémoire, 5 IOP, 2 tambours, 2 disques, 4 bandes, LC, PC et utilise un système d'exploitation spécifique.

le CDC 6600 dispose de 128K mots de mémoire, 10 PP, 3 disques = 1,3 Gbits, 8 bandes, LC, PC, et un système de composition de microfilms. Système d'exploitation FROST.

le PDP 10 graphique est destiné à l'exploitation d'un processeur graphique 3D de Evans & Sutherland, modèle LDS 1. Il est relié au crossbar par un tampon de 256 KB et communique avec l'autre PDP 10 par une liaison directe particulière.

le PDP 10 des mémoires gère toutes les mémoires de masse : photostore et data cell comme précédemment, renforcées depuis par 8 disques CDC 844 totalisant 707 Mbits et un disque Librascope de 880 Mbits. En outre, les deux PDP 10 participent à la diffusion, sur une voie TDMS, de la situation de tous les composants et noeuds du réseau ; la mise à jour a lieu toutes les 3,5 secondes. Comme le précédent, ce PDP 10 dispose d'un tampon de 256 KB pour le séparer du crossbar. Le système d'exploitation de ces deux machines est HYDRA.

le PDP 8 N° 000 gère 40 terminaux télétypes et représente la marge du système ; les trois autres gèrent chacun 128 télétypes et sont saturés.

le PDP 11 / 20 du RJE gère le trafic de 12 terminaux lourds, chacun comprenant LC 400 et IP 600, plus un télétype de service. : extension possible à cassettes et bandes magnétiques.

les deux PDP 11 / 45 assurent le graphique 2D sur 40 à 128 terminaux disséminés dans les services. Une particularité technique de ces lignes est l'emploi d'un alphabet étendu à 256 caractères.

le PDP 11 / 20 de la sécurité se situe en dérivation sur les voies d'accès télétypes et contrôle les autorisations d'accès et les quotas, ces derniers attribués par divisions du centre et par individus au sein de chaque division.

Une telle orientation vers la mise en commun des ressources devait assez logiquement pousser les informaticiens de Livermore à s'intéresser aux calculateurs massivement parallèles. Un grand projet dans ce sens prend naissance en 1978, pour réaliser avec les meilleures technologies un MIMD qui pourrait optimiser les importants travaux du centre sur les circuits. La réalisation de ce S1 s'étalera sur plus de cinq années, avec un succès limité : ce n'est pas impunément qu'un laboratoire aborde des technologies qui ne lui sont pas familières, et les trois incarnations du prototype S1, en ECL 10K, puis en ECL 100K, puis en réseaux de portes, ne font que reprendre les travaux des spécialistes que menaient à la même époque IBM et les japonais. En conséquence, le projet S1 (fiche), même mené à bien, ne débouchera pas sur un produit suffisamment performant.

Finalement, Livermore reviendra à l'industrie pour obtenir son MIMD et, CDC et Cray ayant disparu, le fournisseur sera IBM. On a pu voir, dans l'étude 336 sur IBM, la dernière commande de Livermore avant notre cloture, un ensemble Blue Pacific comprenant 680 microprocesseurs PowerPC 604e pour les simulations d'explosions nucléaires.

359 - Les recherches de l' ARPA

Pendant la guerre, les universitaires se sont mis au service du pays en apportant leurs capacités aux divers établissements et laboratoires de l'Etat, particulièrement ceux des Forces Armées. L'une des plus célèbres coopérations de ce type est le Lincoln Laboratory, à l'origine d'une foule de dispositifs électroniques répondant à des problèmes

de circonstance mais qui ont débouché sur des armes décisives, produites en série par l'industrie.

A la fin de la guerre, il apparaissait que l'évolution des armements exigerait de plus en plus de techniques avancées, de sorte que le Ministère de la Défense considérait comme important de poursuivre cette collaboration, mais avec des préoccupations à plus long terme. Laissant donc les quatre armes (US Army, US Navy, USAF, USMC) et les services (Signal Corps, Corps of Engineer) traiter avec les industriels pour les besoins immédiats, parmi lesquels les achats d'ordinateurs, le Department of Defense décida de créer une agence capable de susciter une recherche orientée vers des applications pouvant déboucher à moyen terme : l'ARPA, Advanced Research Projects Agency.

Dans le domaine qui nous intéresse, trois thèmes sont concernés :

l'utilisation conversationnelle des ordinateurs par plusieurs personnes simultanément, c'est-à-dire le mode d'exploitation en temps partagé. Ce fut un franc succès et, vers 1965, on pouvait considérer que les techniques correspondantes étaient maîtrisées par l'industrie, et que le sujet était épuisé.

la coopération entre ordinateurs à travers des réseaux de communication. Les armes et services avaient très tôt développé la commutation de messages, qui utilisait des ordinateurs pour améliorer le volume et le débit des messages manipulés. La réussite de cette application a retardé l'idée très différente de la commutation de paquets, où le message est l'outil tandis que l'ordinateur est la ressource. Commencée en 1968, la réflexion sur ce thème a abouti en moins de cinq ans, provoquant un développement régulier pendant une dizaine d'années ; il faudra quelques années de plus, et l'avènement de la microinformatique, pour que les implications du procédé apparaissent à tous, et débouchent sur l'explosion d'Internet.

le remplacement de l'électronique à tubes, née de la guerre, par une nouvelle électronique « solid state », avec un progrès de plusieurs ordres de grandeur en performances, encombrement, consommation et fiabilité. Dans ce domaine, les financements de l'ARPA ont joué leur rôle de déclencheur, mais la demande du marché était telle qu'à l'achèvement de chaque étude, la réalité industrielle avait déjà rattrapé ou dépassé les tentatives de l'Administration : le cas du programme VHSIC est frappant.

Le temps partagé

Pour cette rubrique, nous nous bornons à donner la liste des contrats par lesquels l'ARPA a soutenu la création des premiers systèmes de time sharing, et généralisé l'intérêt des universitaires pour ce mode d'emploi des ordinateurs.

Massachusetts Institute of Technology, projet MAC : ce projet est un des plus anciens de l'ARPA : il a représenté un des plus durables et des plus importants financements des années 60, se prolongeant jusqu'à ce que le concept de temps partagé soit entré dans les mœurs et diffusé partout. Au MIT proprement dit, il a comporté trois phases:

le CTSS, entrepris en 1961 sur 7090, a posé les principes d'une solution et permis, dès novembre 61, l'exploitation simultanée d'un maximum de 24 terminaux télétypes sur une machine de 64 Kmots dont la moitié seulement disponibles pour les usagers.

l'opération reprend avec le remplacement de la 7090 par une 7094 et aboutit à une situation stable en octobre 63 : 30 usagers simultanés ont accès à quatre compilateurs,

Algol, Fortran, MAD et LISP, parmi plus de 100 appareils connectés comprenant 54 TTY 35, 56 IBM 1050, 3 TWX, un TLX et même, tout à fait expérimentaux, deux écrans. La mémoire de travail n'a pas grossi, mais elle s'appuie sur 36 Mmots de disques, 512 Kmots de tambour et 12 dérouleurs de bandes magnétiques.

le projet Multics est mis en route par la même équipe qui vient de réaliser le CTSS, avec le soutien important (sous forme de personnel) de deux usagers potentiels, General Electric et les Bell Labs.

L'étude, soutenue par l'ARPA sous la forme de crédits d'exploitation, aboutit à la définition d'une machine à mémoire virtuelle, la GE 645 biprocesseur, dont un exemplaire sera implanté à Murray Hills (Bell Labs), et un autre à l'Ohio State University de Columbus, en plus de celui du MIT. Les

retombées du projet, qui fonctionne pleinement en janvier 1967, sont l'adoption de PL/I comme langage de travail pour la General Electric Co, et la décision de GE de commercialiser un système de temps partagé inspiré plutôt du modèle Dartmouth que du 645, jugé trop cher.

le projet prend fin avec la décision du MIT d'installer une machine commerciale, la 360 / 67.

Université de Berkeley, projet Genie : voir rubrique 585, Californie, et 232 - 1766 / 74.

Opérationnel au début de 1966, ce projet décidera la société SDS à produire en petite série le calculateur adapté 940, et mettra en avant un personnage qui a par la suite joué un rôle important dans l'histoire de l'informatique, B. Lampson.

Bolt, Beranek et Newman, installés à Cambridge, lancent une étude de temps partagé économique autour d'un PDP 1D, en liaison avec le Massachusetts General Hospital et sur crédits du NIH. La réussite de ce petit projet (opérationnel en 6/64) entraînera d'autres réalisations de même type au Département d'Electrical Engng du MIT (S 5/63), à l'Université de Stanford (S 8/64) et à la System Development Corporation (S 1/64). En outre, le savoir-faire de BBN sera remarqué, et assurera à cette société de nombreuses années de soutien financier par la DARPA sur le second thème.

Autres : non financés par l'ARPA au départ, d'autres systèmes de temps partagé sont entrepris à partir du succès de CTSS, à savoir :

au Carnegie-Mellon Institute de Pittsburgh, autour de deux G20 (S 3/65).

au Dartmouth College de Hanover, NH, sur un GE 225. Cette réussite exemplaire entraînera la commercialisation du GE 235 par General Electric (S 5/64).

à la Rand Corporation de Santa Monica, Cal, sur son calculateur propre, Johnniac (S 5/63).

au TRW System Group de Redondo Beach, Cal, sur BR 340, où sera inventé le système d'analyse mathématique de Culler et Fried, maintes fois utilisé ailleurs par la suite (S 1/65).

chez Perkin Elmer Corp, sur SDS 930, sans doute dans le sillage de Berkeley (début 66).

à l'Université de Californie à Santa Barbara, sur un RW 400 reçu en cadeau, où sera implanté le système Culler / Fried de TRW (S 3/65).

A partir de 1966, on peut considérer que les connaissances nécessaires à la diffusion du concept sont acquises, et les constructeurs, IBM en tête, offrent des produits commerciaux ou soutiennent des études dans les universités (UCLA, U. Pennsylvanie, Rensselaer Institute de Troy NY). L'ARPA peut cesser de financer les travaux de système et maintient désormais l'enthousiasme en sélectionnant des sujets de thèses exécutables en temps partagé.

Comme le montre le programme suivant, l'ambition de l'ARPA dépassait cet effort initial sur le temps partagé ; mais on ne peut tout proposer d'un coup.

En 1969, c'est sous l'amicale pression de l'ARPA que prend forme un projet de communication intercentre, en l'occurrence trois organismes équipés de 360/67 fonctionnant sous TSS/360, à savoir : Carnegie-Mellon University, Princeton University, et IBM Yorktown Heights Research Center. Voir en 253 - 431/41 cette toute première étape qui pourtant, d'après les références données, est bien le début du réseau, car il est question, dès ce moment, de 12 participants et de non homogénéité, bien qu'on ne distingue pas encore clairement entre noeuds et hôtes.

La commutation de paquets

Dans cette conception des communications de données, le système de transmission est constitué par un réseau maillé aux noeuds duquel se trouvent des minicalculateurs, baptisés IMP (Interface Message Processor). Source et Destination sont des HOST reliés à des IMP, et le réseau offre potentiellement plusieurs cheminements entre S et D. Le message à transmettre est découpé par l'IMP de S en paquets de longueur fixe, suffisamment petite pour que la probabilité d'une erreur de transmission sur une arête du maillage soit faible. Chaque paquet reçoit un numéro d'ordre, un code cyclique, et l'adresse de D, puis la transmission des paquets s'effectue de manière indépendante, le routage étant défini de façon purement locale en fonction de la charge instantanée des noeuds successivement traversés. A l'arrivée à l'IMP D, les fragments du message sont remis en ordre avant livraison à l'HOST destinataire. En cours de route, chaque paquet est contrôlé à chaque noeud qu'il traverse, et en cas d'erreur la transmission est répétée. Les articles fondateurs apparaissent lors des SJCC 1970, alors que les principales décisions sont déjà prises, afin de susciter de nouvelles candidatures :

ROBERTS (L. G.), WESSLER (B. D.) - Computer Network development to achieve resource sharing, in AFIPS Vol 36, Proceedings of the SJCC 1970, pp 543/9 - introduction du projet par l'ARPA.

HEART (F. E.), KAHN (R. E.), ORNSTEIN (S. M.), CROWTHER (W. R.), WALDEN (D. C.), même document, pp 551/7 - description de l'IMP par ses auteurs, de chez BBN.

KLEINROCK (L.) - analytic and simulation methods in computer network design, même document, pp 569/79 - ce chercheur de l'UCLA restera, pendant des années, le responsable du point de mesure du réseau et des méthodes employées pour y acheminer ces mesures.

FRANK (H.), FRISCH (I. T.), CHOU (W.) - Topological considerations in the design of the ARPA computer network, même document, pp 581/7

CARR (C. S.), CROCKER (S. D.), CERF (V. G.) - HOST - HOST communication protocol in the ARPA network, même document, pp 589/99 - Ces chercheurs de

l' Université d' Utah et de l' UCLA sont évidemment intéressés par la possibilité d'intégrer leur machine principale au réseau, ce qui est aussi le souhait de l' ARPA. Le prix à payer, dans cette période initiale, est l'achat d'un IMP. Cela évoluera.

Pour la réalisation de ce programme, l'ARPA avait confié le principal travail technique à BBN, la société Bolt, Beranek et Newman de Cambridge, Mass. C'est eux qui ont défini l' IMP, et rédigé la première version de son logiciel ; mais il est clair que ce travail serait resté vain si l'ARPA n'avait pas trouvé des candidats propriétaires d' HOST pour loger, développer et utiliser les noeuds, et ces candidats étaient de deux sortes :

les établissements militaires sont surtout intéressés par la sécurité : en cas de coupure de câble ou de panne d'un noeud, le système trouve automatiquement un cheminement pour contourner le défaut.

l'intérêt des universitaires est d'obtenir un accès à des ressources exceptionnelles mais distantes que beaucoup d'entre eux, notamment les universités de province, n'auraient jamais pu installer à domicile.

il peut même arriver que les deux motivations convergent, par exemple lors du transfert du célèbre ILLIAC IV au Laboratoire Ames de la NASA, pour le soustraire aux violences d'étudiants politisés.

Les principes et les prototypes bien établis chez un petit nombre de coopérants des quatre grands centres intellectuels de Los Angeles, San Francisco, Boston et Washington, les volontaires ne tardèrent pas à se multiplier et à investir dans un IMP, contribuant à l'évolution du système par des demandes de service et souvent par des participations actives : nouveaux IMP plus économiques, nouveaux services logiciels tels que la transmission de fichiers, nouveaux moyens de transmission tels que satellites ou relais herziens. Une demande particulièrement pressante, provenant d'organismes non dotés d'un ordinateur assez important pour servir d' HOST, conduisit rapidement à la définition du TIP, un noeud composé d'un IMP et d'un multiplexeur, à travers lequel on peut connecter au réseau jusqu'à 63 télétypes.

En sens inverse, on décida d'autoriser certains HOST à détourner une partie de leur capacité de calcul pour assumer les fonctions d'un IMP, sous réserve que le service soit compatible et complet. Voir 260-741/54.

Le lecteur trouvera des informations plus détaillées aux rubriques DDP 516, H 316, PLURIBUS, SUE, ALOHA, de la base de données, qui décrivent des composants du réseau. Il trouvera aussi la carte du réseau en 1974, avec les établissements participants et leur HOST, dans le dossier ARPA de la boîte 86. Les cartes de 1971 et 1972 figurent dans les dernières pages d'un article exaltant le projet ILLIAC IV, dans la boîte 139 consacrée à cette machine.

Sur le plan économique, quelques chiffres permettent d'apprécier les conditions d'exploitation :

Prix des lignes, indépendant du réseau, fixé par l' ATT :

1960 : 2400 bauds, \$ 1 par mégabit transmis

1963 : 40800 bauds, \$ 0,42 par mégabit

1964 : 50000 bauds par Telpak A, \$ 0,34 par mégabit

1967 : 50000 bauds par modem série 8000, \$ 0,33 par mégabit

1974 : 50000 bauds par modem DDS, \$ 0,11 par mégabit

Prix des IMP :

1970 : DDP 516, vendu par Honeywell : \$ 0,168 par millier de paquets transmis en 26,2 secondes

1971 : H 316 de Honeywell, \$ 0,102 par millier de paquets transmis en 35,4 secondes.

1974 : SUE, de Lockheed, \$ 0,026 par millier de paquets transmis en 41,2 secondes.

Ces prix intéressent l'ARPA, mais pas du tout les chercheurs et autres usagers pour lesquels cette dépense est incluse dans leurs contrats. Pourtant, l'emploi du réseau deviendra vite tellement usuel que lorsque l'ARPA en abandonnera le financement direct, vers 1990, personne ne refusera de payer sa participation.

360 - Le réseau ALOHA

Le réseau ALOHA a été créé à Hawaï vers 1970 par Norman Abramson, dans le cadre de l'Université de Hawaï, et sur financement de l'Office for Aerospace Research (SRMA), pour mettre l'informatique à la disposition d'une multitude de petits usagers dispersés à travers les îles de l'archipel. L'originalité du projet réside dans l'emploi d'une liaison radio affectée, en UHF à vue directe, plutôt que le téléphone (deux fréquences 407,350 et 413,475 MHz).

Le succès du service acquis, ALOHA a été intégré dans le réseau ARPA en 1973, ce qui lui donne accès à toutes les ressources du système ; on notera cependant qu'il est en bout de chaîne, et ne tire pas de profit particulier de la commutation de paquets pour sa liaison satellite avec San Francisco.

Le système ALOHA comprend :

un ordinateur central, ressource principale du système

un IMP standard, gérant la liaison satellite.

un second IMP, baptisé Menehune, ce qui signifie elfe en langage local : imp est synonyme de elfe. Cet

IMP assure la liaison avec la station ATS 1 en direction du Japon, et utilise un microcalculateur 16 bits HP 2115A.

un émetteur /récepteur UHF fonctionnant en full duplex.

et d'autres émetteurs /récepteurs dispersés à travers les îles, associés chacun à l'équivalent plus modeste d'un module TIP. Tous utilisent la même fréquence.

Les messages sont découpés en paquets de 704 bits, soit une ligne de 80 caractères, plus les caractères de service, et transmis à 24 Kbauds. Il peut évidemment se produire des collisions, c'est-à-dire deux émissions simultanées qui, mélangées à la réception, donnent forcément un contrôle invalide ; le paquet est alors invalidé et la transmission redemandée, selon un protocole qui que ces deux transmissions ne se mélangeront pas une seconde fois. L'incident, cependant, est rare et peu pénalisant car l'ensemble des transmissions ne représente que 1 % environ du temps disponible.

361 - Lear Siegler

Lear était pendant la guerre un fabricant d'instruments de bord pour l'aviation, parmi d'autres activités. Après la guerre, on lui doit un radiocompas (AN / ARN 41, 1953), le système de stabilisation automatique

AN/ASN 23 de l'hélicoptère H34 Choctaw de l'armée, et surtout 491 calculateurs AN/AJB 3 de bombardement (1959).

Siegler ne se signale à l'attention que par l'obtention, en 1959, d'un contrat SS 433 L pour un système de stations automatiques de météorologie, AN/FMQ 5, comprenant un néphélomètre AN/TPQ 11 de sa filiale Olypic, et exploité par fil.

La fusion des deux sociétés, qui semble être une diversification de Lear, intervient vers 1960. L'activité de l'entreprise ne change guère : compas gyroscopique AN/ASN 37 en 1960, ensemble de navigation AN/ASN 50 en 1964. L'informatique apparaît dans la société en 1965, en réponse à un appel d'offres de l'USAF, qui essayait de mettre au point le concept de centrale à inertie. LS propose un calculateur numérique incrémental, qui utilisait les algorithmes trigonométriques CORDIC, créés à l'occasion d'un contrat antérieur de Convair.

Le rôle spécifique de l'appareil qui émerge de cette étude, AN/AYA 4 de 1966, est le calcul des intersections d'hyperboles générées par le système de navigation LORAN.

L'appareil mis au point par Lear se retrouva naturellement intégré, sous la forme d'un sous-contrat de production de 10 M\$, au système de navigation LORAN de ITT, en tant que composant CP 898/ARN 92. Ce calculateur baptisé DIVIC (DIgital Variable Increment Computer) est une sorte de DDA à précision dynamiquement variable.

Malgré la réussite de ce contrat, Lear Siegler ne deviendra pas un des grands fournisseurs des forces armées, étant supplanté par des nouveaux venus comme Autonetics ou ARMA. On ne lui connaît que de petits contrats :

1967 : AN/ASN 73, tableau de bord des hélicoptères CH 46 et CH 53.

1970 : AN/AJB 7, calculateur de bombardement du F4B/C, permettant les largages de bombes à toutes attitudes, y compris en montée ou « over the shoulder ».

1975 : AN/ARN 101, calculateur de navigation et lancement pour F4E et RF4C.

En ce qui concerne l'informatique, la compagnie s'orientera plutôt vers des travaux temps réel plus modestes, confiés à des minicalculateurs dont elle expérimentera plusieurs versions:

le LSI 8800 de 1966 utilise une mémoire à tores de 2 à 64K caractères de 8 bits, avec un cycle de 1,5 μ s et un temps d'accès de 600 ns, et sa logique est réalisée en circuits intégrés SSI. Les entrées /

sorties sont assurées par un multiplex avec 6 à 254 sous-canaux réalisés selon la spécification IBM S/360, et un canal sélecteur est optionnel. Le bloc de calcul dispose de 9 registres et de 86 opérations, capables en particulier d'opérandes de longueur variable. Il y a aussi une protection de mémoire.

Le logiciel se limite à un assembleur, LINGO, et à quelques sous-programmes. Bref, cette première tentative s'apparente à un sous 360, dont l'objectif n'est pas clair.

le LSI 8816 serait plutôt inspiré par l'IBM 1800 mais conserve sa technologie. Mémoire 16 bits de 4 à 32 Kmots cycle de 1,5 μ s, avec bits de parité et de garde comme la 1800. Le bloc de calcul en circuits intégrés dispose de 3 index, d'une multiplication en 4 μ s, d'une division en 5 μ s. Le canal multiplex à 256 canaux est conservé et capable d'un débit global de 666 Kmots /s.

Le logiciel, toujours modeste, comprend un moniteur temps réel, un assembleur et un Fortran avec une bibliothèque de sous-programmes. Le tout prend place dans une petite armoire et coûte \$ 18000.

On peut supposer que cette prudente activité de paraphrase de modèles réussis, pour menus usages temps réel, a permis à la division de vivre, car en 1978 on retrouve Lear Siegler comme fabricant d'un VDP 410 qui est une émulation du Nova 1200, réalisé à partir de microprocesseurs Fairchild 9400 en tranches de 4 bits. Avec une mémoire de 64 KB à cycle de 200 ns, cette machine est proposée en OEM à \$ 3500, sans logiciel. Si on lui ajoute un disque de 10 MB, un écran ADM 3, une machine à écrire 180 cps de la série 300, et un système d'exploitation à mémoire virtuelle, on réalise le mini VDP 1000 offert au prix de \$ 18000.

362 - Calculateurs de Leeds & Northrup

Comme d'autres déjà rencontrés (Beckmann, Bailey), cette société d'instrumentation et mesures s'est retrouvée, après la guerre, dans l'obligation d'introduire des ordinateurs dans son catalogue pour rester compétitive. Ne sachant pas fabriquer ce genre de machine, elle demanda à Philco de lui en étudier un, auquel elle associa un système élaboré d'entrées / sorties pour créer le LN 3000, proposé en 1960 (fiche).

Quelques années plus tard, la société paraît avoir tenté de voler de ses propres ailes, réalisant des ensembles modulaires vendus entre 100 et 1000 K\$. Il s'agit d'un calculateur 24 bits, avec une mémoire à tores de 16 Kmots de 24 bits, au choix 1,75 ou 8 μ s, et un répertoire de 64 opérations. Bien entendu, la personnalisation de la machine se faisait sur les entrées / sorties de ce LN 4000.

L'expérience ne semble pas avoir été une réussite, car dès 1967 est annoncé un LN 5000, dont le CPU est à nouveau un produit OEM, de DDC cette fois : mémoire 4 à 64 K * 16 bits, cycle de 900 ns. L'intérêt réside dans un logiciel beaucoup plus élaboré, comprenant:

une multiprogrammation fonctionnant en temps réel, a priori avec un dispatcher à base d'interruptions;

un compilateur Fortran IV dès que la mémoire dépasse 8 Kmots

un langage de blocs interprétatif, CODIL, à partir de 12 Kmots de mémoire.

Les entrées / sorties continuent à comporter un codeur de tension 1000 éch/s, et de nombreuses variables numériques jusqu'à 2000000 signaux / s. Il existe une interruption pour panne d'alimentation.

Le LN 5100 de 1971 serait logiquement, d'après son numéro, une variante modernisée de cette série, mais on n'en a pas la preuve. Le calculateur de cette époque est un 16 bits, avec une mémoire à tores de 8 à 64 Kmots à cycle de 1 μ s; le répertoire de 72 opérations est assorti d'index, d'indirection, d'un système de priorités, avec l'addition exécutable en 2 μ s.

Le logiciel est CAMP, Control & Monitoring Process; le prix s'établit autour de 50 K\$. Quoi qu'il en soit de ces machines, le succès n'a pas du être extraordinaire, car Leeds & Northrup disparaît des catalogues dans les années 80, sans doute absorbé.

363 - Librascope

Division de la General Precision de Glendale, Cal, Librascope est choisie en 1956 par le Wright Air Development Center pour étudier un calculateur universel d'aviation en technologie numérique, forcément construit autour d'un tambour magnétique, seule solution possible à cette époque pour la mémoire. La réussite de ce contrat, baptisé AN/ASN 24, qui sera utilisé pour le deuxième étage Centaur d'un lanceur de satellites, et plus tard pour l'avion cargo C141, provoquera en 1962 l'achat de la General Precision par le groupe Singer, et l'annexion par sa filiale Kearfott d'une partie des contrats Librascope. Bien qu'on ne connaisse pas le détail de cette opération financière, il apparaît que Librascope a eu, avant cette transaction, une considérable activité créatrice d'ordinateurs civils et militaires et que, après la fusion de 1962, cette créativité s'est tarie en partie. On peut citer les réalisations suivantes :

LGP 30 (1956), version industrielle de la machine MINAC créée à l'été 1953 par l'institut californien de technologie, le célèbre Caltech. Bon marché et très facile à utiliser, cette machine sera un grand succès, malgré des performances très faibles : 500 exemplaires seront vendus aux USA et en Europe par la société Royal Mc Bee, de Port Chester, NY, chargée de la commercialisation. Voir fiche.

Libratrol 500 (1958), version temps réel de la LGP 30, commercialisée surtout en Europe par Eurocomp, car la licence en avait été acquise par l'entreprise allemande Schoppe & Fäser de Munich. Elle s'est par contre très peu vendue aux USA, étant construite avec des tubes à vide.

RPC 9000 (1959), machine de gestion réalisée autour de mémoires à lignes à retard à magnétostriktion par la société Royal Precision Computers, filiale commune de Royal Mc Bee et de General Precision. Ce sera un échec complet, une seule machine produite en 7 / 60.

CP 209 / ASB 7 (1959), DDA pour la navigation et la conduite de lancement de l'avion naval Douglas

A3D. Voir fiche et microfilm.

RPC 4000 (1960), version transistorisée du LGP 30, construite par Royal Precision Computer, autour d'un d'un tambour magnétique comme l'original. Elle a profité du succès de celui-ci, mais elle était déjà dépassée techniquement et les ventes n'ont pas atteint 150 exemplaires. Voir fiche.

Libratrol 1000 (1960), version temps réel du RPC 4000, licenciée en Allemagne à Schoppe et Fäser comme le précédent Libratrol ; elle s'est peu vendue en Amérique et sa version européenne baptisée Libratrol 1200, commercialisée par Eurocomp, pas beaucoup plus. Ces échecs ont mis fin, vers 1963, aux activités de Royal Precision Computer comme à celles de Schoppe & Fäser.

Mk 38 (1960), aboutissement de l'étude entreprise en 1958 par le BuOrd pour un calculateur de lancement du missile antisous-marin ASROC pour bâtiments de surface. D'après la première fiche consacrée au prototype, Librascope avait d'abord essayé d'appliquer à ce problème la technologie de l'AN/ASN 24, son succès aéronautique. Il semble que cette digitalisation complète ait effrayé la Marine, dont tout l'équipement mécanique était à l'époque basé sur les transmissions synchro.

Le produit final, conduite de tir Mk 111, comprend donc un DDA Mk 38 associé à des périphériques analogiques à base de synchros et de résolveurs, et à un grand écran sonar sur lequel on voit apparaître les trajectoires du but, du lanceur et de l'arme, combinaison d'une torpille ASM légère et d'un booster aérien.

Voir fiche d'ensemble de la conduite de tir.

SD2 (1960) est une étude interne de grande ambition, introduisant pour la première fois le concept de

microprogrammation dans une machine physiquement réalisée. Cette machine est décrite dans un article de KAMPE, paru dans TIRE, EC9, 6 / 60, pp 208 / 13. Elle sera utilisée comme calculateur du missile SUBROC, arme de sous-marin contre sous-marin.

L 3000 (1960), système de calcul construit pour la direction du trafic aérien, sur contrat de la FAA. Ce

contrat manifestait une grave incompréhension des problèmes informatiques, et il était voué à l'échec dès le départ par le choix d'une structure de mot interdisant l'adressage d'une mémoire suffisante pour les besoins du programme. Des 6 machines réalisées, la FAA en a gardé une et donné deux à l'Université d'Utah, tandis que trois étaient transmises à l'USAF, alors en train d'expérimenter son système de base de données SS 473 L ; celle-ci en a renvoyé deux à Librascope, pour aider à son travail sur ce système. Voir fiche.

Mk 130 (1960), calculateur de lancement du missile SUBROC, arme de sous-marin contre sous-marin. C'est un calculateur complètement numérique, version militarisée du prototype SD2. Cependant, un certain nombre de connexions avec l'arme et les tubes sont analogiques. Voir fiche.

L70 (1962), calculateur d'aviation à tambour magnétique. Pas de contrat. Voir fiche.

L90 (1962), calculateur d'aviation utilisant une mémoire statique. Pas de contrat. Voir fiche.

L2010 (1962), calculateur scientifique de table, construit autour d'une mémoire à disque et réalisé selon norme MIL-E-16400 pour pouvoir être utilisé en campagne. Il en était prévu une variante compatible avec le système Fieldata de l'Armée de terre, à l'étude en mi 63. Voir fiche.

LGP21 (1962), reprise du concept LGP30 autour d'une mémoire à disque et de transistors, compatible intégralement et complétée d'interpréteurs pour la virgule flottante en simple ou double précision. Elle obtiendra un succès honorable, du fait de son prix bas. Elle a du être produite en 200 exemplaires au moins, car en 1972 il en reste encore 140 aux USA et 13 à l'étranger. Voir fiche.

L3055 (1961-65), calculateur proposé par Librascope pour répondre à la spécification SS 473 L de l'USAF

pour un système de gestion de QG : en réalité, il s'agit de construire une base de données automatisée pour l'ensemble des bases et matériels de l'USAF, consultable à distance. La proposition utilise une variante fortement restructurée du L3000, avec la complication supplémentaire d'une architecture multiprocesseur que personne à cette époque ne sait comment gérer : l'USAF baptise le projet AN / FYQ 11 et le modifie immédiatement, remplaçant le quadriprocesseur par une paire de monoprocesseurs à périphériques commutables, et confiant à la MITRE Corporation l'étude d'un logiciel d'interrogation baptisé COLINGO, et à IBM l'écriture d'une amorce de système d'exploitation. Voir fiche.

Finalement, après les essais jugés peu satisfaisants, essentiellement parce que le personnel ne savait comment interroger la base, le projet sera abandonné en 6 / 65 et l'USAF se contentera d'une simple 1410 IBM.

L 119 (1962) est le calculateur d'entrée / sortie du système précédent, construit autour d'un tampon à tambour magnétique. C'est une des premières réalisations d'un IOP, processeur largement autonome d'entrées / sorties, chacun capable de 254 périphériques parmi lesquels une majorité de lignes pour connexion de terminaux d'interrogation ; le système devait en comporter quatre, chacun tenant dans une armoire.

L407 (1963) est un calculateur de guidage pour les missiles balistiques français lancés du sol, première réalisation du système français de dissuasion. Le missile est commandé par la SAGEM, responsable du guidage, laquelle définit donc les entrées / sorties du calculateur et les performances minimales. A cette époque, comme on peut l'observer aux USA avec les Minuteman, le calculateur de bord est forcément à tambour magnétique, et personne en France ne sait faire cela : mais le contrat prévoit que Librascope devra céder une licence de fabrication. Voir fiche.

L90.1 (1964) est comme le premier L90 un calculateur pour les applications aéronautiques et spatiales, mais cet objectif et le sigle sont les seuls points communs. La mémoire est maintenant constituée par 1 à 4 modules de tores à coïncidence de 4096 mots de 28 bits, avec des NDRO en alternative. La logique utilise un millier de circuits Sylvania TTL, en petits éléments de 250 * 380 * 60 mil contenant une bascule et 4 portes, le tout fonctionnant à 5 MHz.

La machine utilise un cycle de 5,6 μ s, l'addition prenant précisément 1 cycle, la multiplication 15 cycles et la division 30 cycles.

Le calculateur complet pèse 11,3 Kg, occupe un volume de 8,5 litres, et consomme 50 watts.

L90.3 est un autre calculateur aéronautique, de date inconnue forcément postérieure à 1964. La mémoire à

tores comprend 8 à 16 Kmots de 14 bits avec un cycle de 2,4 μ s. Les instructions sont longues de 14 bits, les données de 1 ou 2 mots. Le bloc de calcul dispose de 32 opérations et de deux index cablés; l'addition dure 3,3 μ s, la multiplication 41,1 μ s, ce qui implique un algorithme amélioré.

La machine pèse 15,9 Kg et consomme 100 watts.

APP est l'étude, faite pour le RADC de Griffiss AFB en 1965, d'un processeur d'intelligence artificielle utilisant une mémoire associative. La véritable finalité de ce matériel est le traitement d'images.

Voir FULLER (R. H.), BIRD (R. M.) - An associative Parallel Processor with applications to picture processing, in FJCC 1965, pp 105/16 -

Référence 242-105.

L'échec de ces deux dernières machines, venant après l'échec, non imputable à la technique mais réel, des deux applications L3000, mettra fin aux activités civiles de Librascope dont le nom disparaît des revues d'informatique. Cependant les activités militaires continuent régulièrement, sous l'égide financière du groupe Singer, toujours participant majoritaire de trois gagnants: Kearfott, Librascope et Link.

AN/ASN 57 (1965) est une plateforme gyroscopique à 3 axes, non inertielle, pour l'avion P3C.

AN/ASN 58 (1966) est une plateforme gyroscopique à 4 axes, non inertielle, pour l'avion P3V.

AN/UYQ 19 et AN/UYQ 30 (1979) sont deux calculateurs militarisés pour les besoins de l'artillerie de campagne, construits autour du Ruggednova de Rolm.

Les Mk 116, 117, 118 sont des réalisations successives de calculateurs pour l'exploitation des armes sous-marines, torpilles filaires, ASROC, SUBROC. Elles sont complètement numériques mais nous n'avons aucun détail.

364 - Activités du Lincoln Laboratory, Lexington, Mass.

Créé pendant la guerre pour mettre les meilleurs chercheurs en électronique des Universités au service des armées, le Lincoln Laboratory ne s'est pas sabordé à la fin des hostilités, qui débouchaient sur la guerre froide, mais il s'est reconverti dans les recherches à moyen terme. La souplesse continuerait à être garantie par le soutien, intellectuel et administratif, du MIT, Massachusetts Institute of Technology.

La première tâche du Laboratoire, jugée très urgente, était de mettre le continent américain à l'abri d'incursions de l'aviation potentiellement hostile, celle de l'URSS, susceptible d'aborder le continent par le pôle dans un petit nombre d'années.

Il était clair que l'ordinateur, associé au radar, serait seul capable de maîtriser cette menace, de sorte que la première tâche du Laboratoire était de devenir compétent en

matière d'ordinateurs, comme il l'était déjà dans le domaine du radar. Deux directions d'approche étaient possibles, et furent attaquées simultanément : construire un ordinateur conforme au schéma de Von Neuman, spécialement conçu pour le temps réel, et susceptible de mises à jour en fonction des nouvelles idées et des nouvelles technologies.

étudier les technologies les plus urgentes, comme la mémoire et les communications numériques par lignes téléphoniques. Voir sur ce dernier point l'article 230-21.

De plus, une association formalisée avec IBM, le plus puissant des industriels s'occupant d'informatique, paraissait utile, de manière à préparer les futurs contrats de production dès que le projet aurait pris forme. Elle semble avoir surtout profité à IBM, à laquelle elle a procuré une compétence décisive, mais il est vrai aussi qu'elle a permis de tenir les délais d'un programme exceptionnellement ambitieux, le SAGE.

Ces perspectives n'étaient encore envisagées par personne lorsqu'en 1945 l'ONR et l'USAF poussaient le MIT à créer un Digital Computer Labo avec l'équipe du Laboratoire de servomécanismes préexistant, et à entreprendre l'étude d'un calculateur : cependant l'objectif temps réel existait dès ce moment, car ce calculateur devait pouvoir simuler un avion.

A posteriori bon nombre de choix paraissent évidents, mais la lecture des articles d'Everett et Taylor dans le compte-rendu de la première Joint Computer conférence (2 / 52) (réf 218) montre bien que tout était à inventer. C'est donc une machine à tubes, car le transistor n'est découvert qu'en 1947, et n'est pas utilisable avant 1957, et la fréquence de 2 MHz est plutôt audacieuse ; la taille du mot, 16 bits, est faible, mais cohérente avec l'objectif temps réel.

La mémoire est le plus urgent des problèmes techniques : le choix d'une mémoire électrostatique a sans doute été influencé par le choix de Von Neuman à l'IAS, en même temps que par l'objectif d'une architecture parallèle. Il coûtera de grands efforts pour un résultat modeste, et influencera plusieurs autres choix, dont évidemment ceux d'IBM (701, 702) ; la mémoire réalisée n'en sera pas moins abandonnée dès que possible, au profit d'une mémoire à tores à coïncidence qui connaîtra plusieurs incarnations. La capacité insuffisante de ces premières mémoires, fortement ressentie dès les premières programmations, entraînera l'installation de mémoires secondaires à tambour magnétique.

Whirlwind est à l'origine de la plupart des idées qui serviront à édifier le SAGE, et de la formation de quelques-uns des plus dynamiques créateurs de machines, comme l'équipe IBM de la 701, ou Kenneth Olsen qui fonda Digital Equipment. Mise en service en 3 / 51, elle restera active pendant 9 ans, avant d'être réaffectée par son promoteur et propriétaire, l'Office of Naval Research, à d'autres expérimentations sous d'autres cieux, pour terminer son existence au Smithsonian Museum en 1976.

On peut aussi rappeler que pendant les vacances d'été, Whirlwind, seul calculateur disponible au MIT, était mis au service de l'informatique dans des Summer Sessions où les chercheurs s'efforçaient de faire comprendre à leurs collègues de toutes disciplines ce qu'on pouvait attendre de ces machines.

Mémoire et logique cryogéniques : le Lincoln Lab, tout en choisissant pour faire vite une mémoire électrostatique et une technologie à tubes pour Whirlwind, se penchait sur

des solutions plus performantes. Il est à l'origine du cryotron, un dispositif de mémoire (Buck, 222.17, 1956) et du cryosar, un circuit capable de logique (Mc Whorter, 222.18, 1959).

Ces deux dispositifs feront l'objet de développements chez General Electric (222.15, 223.4) et chez A. D. Little (222.16) et, beaucoup plus tard, donneront même lieu à une réalisation industrielle un peu trop ambitieuse (Eta System, 1983) qui n'atteindra pas le stade commercial.

Memory Test Computer : cette machine construite dès l'achèvement initial de Whirlwind devait servir avant toute chose à la mise au point de nouvelles mémoires, d'où son nom. A cet effet, son architecture était extrêmement simple et on ne tentera pas de l'améliorer. C'est sur le MTC que seront testées les deux mémoires à tores magnétiques de 1024 puis de 4096 mots qui remplaceront, à tour de rôle, la mémoire électrostatique initiale.

Voir en 230-3 une de ces études de mémoire, qui réalise en 1958 un cycle de 500 ns. Par la suite, le MTC servira à la mise au point de périphériques divers, installés sur Whirlwind une fois au point, ou encore intégrés plus tard au SAGE. Le MTC était une machine à tubes et sera remplacé en 1958 par le TX0, qui est une sorte de MTC transistorisé.

TX0 : en 1955, après quelques expériences sur des circuits édifiés avec l'un des premiers transistors commerciaux, le Philco L 5122 à barrière de surface, les concepteurs du MIT décident de commencer l'étude d'une mémoire à tores magnétiques ambitieuse, de capacité 65536 mots, et d'une machine transistorisée destinée à la tester. Puisque la machine cible, la future TX2, devait manipuler des mots de 36 bits, le TX0 fut réalisé avec des mots de 18 bits + P.

La mémoire effectivement mise au point, et installée dans le TX2, le TX0 fut rééquipé avec une mémoire plus classique de 4096 mots, et donné au MIT pour des travaux scientifiques.

Reconnaissance des formes : il s'agit d'un problème logiciel difficile, susceptible de déboucher sur des périphériques. Le Lincoln Lab y a travaillé quelque temps, comme on le voit dans l'article 236-133, mais il n'en est découlé aucune application notable.

TX2 : au moment où commence la construction de cette calculatrice, le projet SAGE a pris forme et les principaux contrats sont en train d'être passés. On ne peut donc considérer que la TX2 soit une contribution à ce programme. En fait, TX2 est toujours une machine expérimentale, et ses créateurs veulent tester quelques nouvelles idées : la notion de configuration, qui permet de traiter le mot de 36 bits comme une combinaison de champs sur lesquels l'arithmétique s'exécute simultanément. Compte tenu des dates, on peut probablement penser que ce concept a été emprunté à Univac. de mener de front plusieurs programmes et de créer ce qu'en France on a appelé des opérations symbolisées.

la multiplicité des mémoires qui pourrait avoir été inspirée par l'Atlas anglais mais qui, de toutes façons, n'a été qu'assez peu exploitée. On notera cependant qu'avec APEX, TX2 s'essaye à la mémoire virtuelle, assez timidement : l'objectif est ici l'organisation d'un time sharing.

La fiche ne donne de cette machine qu'une vue superficielle. Compte tenu de son importance conceptuelle, nous avons préféré traduire les divers articles disponibles dans WJCC 57 (dans la boîte d'archives 86), dans FJCC 1965 et dans Computer Engineering, et rédiger un texte un peu plus complet et plus ordonné, que l'on trouvera dans le cahier Boucher de la boîte 58.

La TX2 servira un moment à des essais de temps partagé, puis son centre d'intérêt se déplacera vers le graphique avec une Rand tablet et 4 écrans, plus quelques télétypes: ce sera l'occasion des travaux fondamentaux de I. Sutherland sur Sketchpad (dessins 2D), puis de T. E. Johnson avec Sketchpad III (3D). Ces travaux ont malheureusement été publiés dans des documents que nous ne possédons pas : SJCC 1963 et 22ème ACM Conférence.

Feldman utilisera la TX2 pour construire LEAP en 1968, une extension d'Algol permettant la manipulation associative des données (CACM 8/69 p 439), et nombreuses citations ultérieures (CACM 12/76 p 663, 5/77 p 331, 5/78 p 377, et SIGPLAN Notices 9/72 p 8 et 11/78 p 72).

On y expérimentera aussi le Wand, une sorte de très large Rand tablet utilisant des détecteurs à ultrasons. Voir à ce sujet 244-223.

En janvier 67, le temps partagé est devenu un mode de vie au Lincoln Lab, mais c'est une IBM 360/67 à deux CPU qui en est le support, avec 192 KB de mémoire, un tambour de 1 Mmots, un disque de 14,5 Mmots, 16 dérouleurs de bandes, 50 machines à écrire IBM 2741, 30 écrans 2260.3, et 8 écrans graphiques 2250.2.

CG 24, le calculateur du radar de Millstone. Le radar de Millstone est un radar expérimental que l'on souhaitait utiliser pour mesurer la distance de la lune, ce qui implique une antenne grande et lourde, capable de suivre le mouvement de la lune dans le ciel. A cette époque, on n'imaginait pas encore la course à la lune, pas même l'existence de satellites tournant autour de la terre ; l'objectif de l'expérience était double : mesurer effectivement la distance de la lune avec une précision supérieure aux résultats des calculs astronomiques, et améliorer la technique des radars en l'appliquant dans un domaine de distance et de précision jusque là non essayé.

Le recours au Lincoln Laboratory pour ce projet était logique, dans la mesure où il représentait une compétence exceptionnelle (pour l'époque) tant en informatique qu'en radar, et parce que le laboratoire de Millstone devait être exploité par le MIT.

Le calculateur CG 24 (voir fiche), mis en service en février 1958, est un calculateur universel, transistorisé et doté d'une mémoire à tores magnétiques à coïncidence, de cycle 12 μ s, ce qui le situe au niveau des premières grandes machines de son époque. Il utilise un mot de 25 bits seulement, c'est-à-dire qu'il privilégie l'exploitation en temps réel. Il aura essentiellement deux applications : en période d'expérimentation, pointage de l'antenne en temps réel.

essais de génération de caractères sur écran cathodique avec le Calliscope, un appareil expérimental dont on trouvera une description en 223.47.... sans compter divers problèmes scientifiques.

FX1, calculateur universel minimal dont la seule finalité est technologique : réaliser un calculateur fonctionnel à partir des nouveaux « drift transistors » de Philco, dans un domaine de performance alors tout à fait inusuel, 50 MHz. La mémoire, simultanément, constituait un second thème d'expérience, étant réalisée en film mince magnétique. La matière de cette fiche résulte d'un unique article.

HAYSTACK est un laboratoire de recherche sur les ondes ultracourtes, créé vers 1960 et dont le Lincoln Lab a pris la responsabilité, comme pour le radar de Millstone. Cette deuxième grande antenne de la côte Est peut, comme la première, être utilisée aussi bien en astronomie que pour des problèmes militaires et spatiaux, mais avec l'accent mis sur la gamme de fréquences exploitée.

Elle nous intéresse ici parce que son pointage vers ces divers objectifs, et leur poursuite une fois l'objectif acquis, utilisent les services d'un calculateur Univac 490, d'une manière décrite par l'article 232 - 1742 / 51.

Mod 1, prototype de calculateur spatial. Le lancement du Sputnik soviétique en 1957 a été ressenti comme une gifle par une Amérique jusque là somnolente, et les diverses administrations techniques essayent de définir un programme spatial, encore modeste faute d'argent. Le Lincoln Lab, émanation des armées, se doit de participer.

Le prototype de faisabilité de 1960 est réalisé en CTL, Core Transistor Logic, avec une mémoire fixe de programmation de 448 mots, une mémoire de travail de 64 mots, un mot de seulement 11 bits + parité, et un répertoire de 4 opérations, auxquelles il faut en ajouter quatre autres, déclenchées par interruptions : incrémentation et décrémentation en mémoire, entrée ou sortie d'un mot. Avec une architecture aussi pauvre, la seule programmation est interprétative, cad constituée par une suite d'invocations de sous-programmes mémorisés qui sont les vraies opérations du répertoire.

Le programme d'essai consiste à placer cette machine dans diverses conditions sévères de température, pression, vide, chocs, vibrations, etc... et de s'assurer qu'elle continue à fonctionner.

Sur cette étude et sur toutes les suivantes, voir le microfilm TIEEE, EC, 12 / 63, pp 687 / 97.

Mod 2, extrapolation des idées précédentes au problème d'un calculateur pour sonde spatiale non habitée. Le projet conservait le concept d'opérations complexes réalisées par sous-programmes, mais il accroissait les divers paramètres à une taille plus réaliste : mémoire de 4096 mots en deux variantes permanente et inscriptible, mot de 23 bits + parité, répertoire de 16 opérations, adressage indirect.

Ce calculateur n'a pas été construit, car entre temps Kennedy a défini l'objectif Lune : le Lincoln Lab modifie son étude avec désormais un objectif précis, la capsule Apollo.

Mod 3C : la version Mod 3C est un prototype de calculateur embarqué, défini autour du besoin précis de la capsule Apollo. La technologie CTL est conservée, mais le mot est réduit à 15 bits + parité : on peut y placer 3 bits d'opération et 12 d'adresse.

Il y a cependant 11 opérations identifiables par le bloc de commande, car il existe une opération d'indexation qui porte sur la totalité du mot et peut donc modifier le code.

D'autre part, certaines des adresses sont des registres spécialisés qui se comportent comme des opérateurs. Un indicateur de débordement permet d'envisager la programmation d'une double précision.

Du côté adresse, on est également conscient que 12 bits définit une mémoire trop étroite. Il y a donc une mémoire fixe de 16 Kmots organisée en bancs commutables pour le programme, et une mémoire de travail de 1024 mots.

Mod 3S : cette version de la machine précédente est réalisée conformément aux besoins matériels estimés d'une capsule, avec 3584 mots de mémoire fixe du type « core rope », et 512 mots de mémoire à tores inscriptible. Elle volera effectivement sur une capsule non habitée. Cet essai, ainsi que la programmation entreprise entre temps du programme complet d'un vol, prouvera que la technologie est convenable mais que les tailles de mémoire de programme et même de données sont insuffisantes.

Apollo Guidance Block I : commande de série du matériel de vol, réalisée à 20 exemplaires dont plusieurs ne voleront pas. C'est le même matériel que ci-dessus, avec 9 modules de core rope = 36864 instructions et constantes et 2048 mots de mémoire de travail : la commutation de banc interviendra donc fréquemment. Voir fiche.

La vocation du Lincoln Lab n'étant pas la fabrication, les processeurs seront réalisés par Raytheon et les entrées / sorties par AC Spark Plug.

Apollo Guidance Block 2 : matériel de vol des capsules habitées, réalisé à 25 exemplaires. La confiance ayant été obtenue par les matériels précédents, cette nouvelle série diffère des précédents par une nouvelle répartition des bits de l'instruction, ce qui augmente le répertoire et multiplie les bancs de mémoire à commuter. Il n'y aura pas d'incident. Voir fiche.

LINC, Laboratory Instrumentation Computer, très utilisé par les médecins expérimentateurs et hospitaliers, est une création du Lincoln Lab, datant de 1964. On renvoie à l'étude de sa production par Digital Equipment, qui fut un grand succès, astucieusement prolongé avec le Linc-Eight et le PDP 15.

Le LINC a été combiné par le laboratoire avec un DDA spécialement construit pour conduire des études de dynamique. Voir à ce sujet 243-105/11.

LISTAR : ce Lincoln Information Storage & Associative Retrieval system a été entrepris dès 1965, en s'inspirant directement du CTSS réalisé au MIT, maison mère du laboratoire. Ce support expérimental imposait de sérieuses limitations au laboratoire, qui a donc entrepris dès que possible, cad dès la mise en service de la 360/67, la rédaction d'un système plus complet, utilisant cette fois toutes les ressources de CP/CMS. Cette version est rédigée en Fortran et, semble-t-il, essentiellement par des chercheurs du MIT qui s'occupaient davantage de cette classe de problèmes que le personnel propre du

laboratoire. Néanmoins, la réalisation a bénéficié du soutien de l' USAF. Voir 254 - 313/22.

LASA, Large Aperture Seismic Array, est un ensemble de plus de 500 sismographes installés dans l'ouest du Montana pour surveiller les tremblements de terre, et dont l'exploitation se fait en temps réel dans un centre installé à Billings, Montana, composé de processeurs spécialisés et de matériel d'enregistrement autour de deux PDP 7. L'ARPA a financé l'écriture par le Lincoln Laboratory du logiciel qui gère les deux aspects de l'exploitation, l'enregistrement des informations importantes et la surveillance en temps réel.

FDP, Fast Digital Processor, est une étude du Lincoln Lab visant à expérimenter le traitement du signal en temps réel, sous l'évidente pression des militaires et particulièrement des marins qui cherchent à améliorer l'exploitation des sonars. En 1970, cette application est encore prématurée et les processeurs de sonars sont analogiques. Le FDP, qui pourtant se limite à l'application Vocodeur (synthèse de la parole), peu exigeante en bande passante, se présente pour les essais comme un coprocesseur d'un Univac 1219.
Voir fiche.

LX1 poursuit des objectifs analogue, mais avec une solution tout à fait différente. Anticipant quelque peu l'évolution technique, ce projet vise à réaliser, plus tard, un ensemble de circuits intégrés LSI capable d'exécuter le travail d'analyse et de synthèse de la voix. En attendant que ce soit devenu possible, chacun de ces futurs composants est concrétisé en SSI, et le logiciel qui doit les fédérer est composé sur le calculateur TX2. Conclusions tout à fait favorables à la faisabilité.

PMP de 1976 est un Parallel Microprogrammed Processor, destiné à l'exploitation de la vidéo radar. Le champ du PPI est décomposé en 480 intervalles d'azimut de $3/4^\circ$, 900 tranches de distance de $1/16$ mi, et comprend 8 filtres doppler capables de traiter chacun le contenu d'une impulsion de modulation, émise à la fréquence de 1 KHz. Le PMP occupe 4 unités de rack, soit 50 litres, et comprend quelque 3000 circuits intégrés, et deux mémoires, $1024 * 24$ pour les instructions et $2048 * 60$ pour les données. C'est un calculateur parallèle, dont le bloc de commande peut distribuer 2,5 Mop/s à plusieurs processeurs qui doivent exploiter toutes les tranches entre deux impulsions. Il est improbable que ce tour d'horizon épuise les activités du Lincoln Lab, et l'absence de références après 1976 traduit probablement davantage le changement de mes sources que la baisse d'activité du Laboratoire. Certaines allusions dans un article cité ci-après font penser qu'à un moment indéterminé, le nom du Lincoln Lab est devenu Charles Stark Draper Laboratory : notamment, la revendication d'un article de 1991 (ci-après) que ce laboratoire serait à l'origine de l'Apollo Guidance Computer, notoire produit du Lincoln Lab. Par contre, la localisation explicite du CSDL à Cambridge supposerait une fusion du Lincoln d'origine, sis à

Lexington, avec le laboratoire d'informatique du MIT, résident à Cambridge; ce n'est pas invraisemblable; le changement de nom pourrait correspondre à un transfert de responsabilité, du DOD vers la NASA.

L'article suivant est le seul que nous possédions avec une référence précise au CSDL, et nous intéresse particulièrement parce qu'il concerne un thème essentiel pour l'aéronautique et l'espace, et jusque là traité plutôt ailleurs (JPL, SAMSO) : c'est celui du FTMP, Fault Tolerant Parallel Processor, ici concrétisé par la spécification de AIPS, Advanced Information Processing System, un concept assez différent de celui du STAR puisqu'il distribue les données et la puissance de calcul tout en contrôlant en permanence la fiabilité des résultats. Cette étude est financée par le Langley Research Center de la NASA.

LALA (J. H.), HARPER (R. E.), ALGER (L. S.) - A design approach for ultrareliable real-time systems, in Computer IEEE, 5 / 91, pp 12 / 22.

Faute de savoir exactement à quoi s'en tenir, cet article est classé en boîte 138, en tant que produit du MIT, établissement universitaire de premier plan.

365 - Produits de Link - General Precision

La société Link existe depuis avant la guerre : elle s'était fait une spécialité de la construction de simulateurs d'entraînement au pilotage, comportant un cockpit pour l'élève qui avait l'impression de se trouver effectivement dans un avion. Ces premiers simulateurs étaient sommaires, mais économiques, bien adaptés à la mise en place des réflexes de base chez les pilotes novices.

Après la guerre, le Mark I est le premier simulateur numérique, basé sur l'emploi d'un tambour magnétique, tournant à 2400 t / min. Sa structure est spécialisée, essentiellement parce que l'obtention des performances indispensables était inaccessible sans le recours à des astuces : cela ne durera pas.

Réalisé initialement pour l'entraînement des équipages de Boeing 727 de Eastern Airlines, avec un véritable cockpit de l'avion susceptible de mouvements en assiette, roulis, et accélérations verticales, ce simulateur trouvera ensuite des clients dans d'autres compagnies, puis pour d'autres avions et même pour les capsules Gemini. Il en sera construit 18 exemplaires, suivis de deux Mk 2 deux fois plus performants.

En 1965, le successeur de cette machine est le GP4, qui reprend les mêmes idées autour d'un disque dont certaines pistes sont spécialisées. C'est une machine beaucoup plus puissante, mais de taille inchangée du fait du recours aux circuits intégrés : elle est capable de commander simultanément deux cockpits indépendants, correspondant à des avions qui peuvent être différents, par exemple : Fairchild 227 et BAC 111 pour la compagnie Mohawk.

En dehors de la fourniture régulière de simulateurs d'entraînement aux bases de l' Air Force et à beaucoup d'autres pays du monde, Link a occasionnellement accepté de petits contrats militaires. On peut ainsi citer, en 1964, le contrat AN / TSQ 43 pour un véhicule d'interprétation photographique qui rassemble un appareil Fairchild de photogrammétrie, une table traçante et un calculateur RW 130.

Vers cette époque de succès, Link sera acheté par le conglomérat General Precision, déjà rencontré comme support de Librascope, et commencera à se heurter à l'apparition de concurrents, d'abord en Angleterre (Redifon), puis en France, puis aux USA également. Nous n'avons pas d'information sérieuse sur les modèles suivants de simulateurs, qui existent en grand nombre, comme on pourra s'en rendre compte dans la rubrique 682 : GPL et donc Link appartiennent alors au groupe Singer.

366 - Le Model A de Linolex

L'originalité de cette petite machine est sa compatibilité avec l'architecture IBM S/360, obtenue à travers une ROM de 2K * 12 bits, avec un cycle de 40 à 60 ns. Néanmoins les auteurs n'essaient pas du tout de se placer comme des fabricants de compatibles, car la machine, qui dispose d'une mémoire DRAM MOS de 4 à 64 KB, avec un cycle de 1,2 µs, est beaucoup trop modeste pour exécuter aucun des logiciels de cette famille : elle est donc simplement vendue comme terminal intelligent.

Micromachine à 32 registres, cycle de microprogrammation 240 ns, 16 canaux non compatibles IBM. Le Model A mesure 457 * 457 * 305 mm et coûte \$ 10000. 75 seront en service en 1974.

367 - Le langage LISP et la LISP Machine

Parmi les travaux de recherche entrepris au MIT, le Massachusetts Institute of Technology, l'un des plus célèbres est la définition du langage LISP par Mc Carthy, vers 1960. C'est un langage de liste, qui présente la particularité d'être autodescriptif : la grammaire de LISP peut être intégralement décrite en LISP à partir d'un nombre très faible d'axiomes évidents, de sorte que les propositions rédigées en LISP ont la solidité de théorèmes. Divers chercheurs ont d'ailleurs utilisé LISP pour développer des méthodes de démonstrations de théorèmes et aborder l'intelligence artificielle.

Sur le plan pratique, autre raison de la faveur dont jouit LISP, le MIT a doté ce langage d'un système de programmation complet, LISP 1.5, comprenant interpréteur, assembleur, compilateur, système d'accès et moniteur, le tout fonctionnant sur IBM 7090, une machine très répandue qui a été suivie d'autres machines compatibles. Cela a laissé largement le temps à tous les organismes de recherche intéressés pour transposer ces logiciels sur de nombreuses autres machines à usage scientifiques. Il y a par exemple un LISP local, CLP, à l'Université Cornell. Voir manuel du LISP 1.5 en boîte 145, et description des concepts dans CACM 4 / 60 pp 184/95. Depuis lors, très nombreuses allusions dans:

CACM 4 / 64 pp 233/4, 236, 238/9 - 12 / 76 p 663

SIGPLAN Notices 9/71 p 93 - 9/72 p 13 - 8/78 pp 215/23 - 5/79 p 24 - 10/79 pp 36, 48 - 1/80 p 117 - 3/82 p 22 - 8 / 82 p 67

L'efficacité de LISP en tant que langage de manipulation de symboles a été démontrée, vers 1969, par la description formelle du petit langage universel GEDANKEN, dont le compilateur a ensuite été écrit en LISP. Ce langage est évoqué dans CACM 5 / 70, 8 / 76 p 437, et SIGPLAN 9 / 72 p 7 .

Le MIT l'a également utilisé pour construire un système de manipulations algébriques, MACSYMA.

Un groupe de recherche d'IBM a utilisé le caractère autodescriptif du langage dans THESYS, un système qui génère un programme LISP à partir d'une série d'exemples de ce qu'il fait. Ce travail est décrit dans JACM 1 / 77 p 161, un article qui n'est pas en notre possession.

On peut également citer, parmi les initiatives touchant à LISP, la rédaction à l'Université de Harvard d'une extension algébrique du langage, LEAF = LISP Extended Algebraic Facility. Les promoteurs de cette extension la présentent comme un dialecte de Fortran IV qui serait structuré en liste. On trouvera en 252-169/78 la grammaire de cette addition.

Et aussi, en 1969, une tentative de l'Université de New York d'introduire dans LISP de nouveaux types, vecteurs, chaînes, et points d'entrée. Voir ce programme BALM, Block & List Manipulator, en 254 - 507/11.

Cette notoriété, et le développement de la recherche aux USA résultant de l'ambiance de guerre froide, ont permis à des anciens du MIT de créer une société commerciale, LISP Machine, Inc. pour construire et distribuer une machine dont LISP est le langage naturel. Elle est donc a priori bien plus rapide que toute machine Von Neuman utilisant l'interpréteur LISP 1.5, et plus commode que toute machine obligée de compiler ses programmes.

La première LISP Machine est une réalisation industrielle du prototype CADR construit au MIT. Elle dispose d'une mémoire de 128K * 32 bits organisée en liste, d'une mémoire de microprogramme de 12000 * 48 bits avec un cycle de microprogrammation de 180 ns, d'un disque de 80 MB, d'un écran monochrome et d'une souris. Le logiciel est CHAONET, rédigé au MIT. Les industriels Zenith Corporation et Western Digital ont apporté une aide technique.

La machine se vend par paires, de manière à pouvoir effectuer une intermaintenance. Les premières paires ont été commandées par Control Data et Texas Instrument, au prix de \$ 80000 pièce. Livraison en 3 / 81.

Trois ans plus tard, la participation de Texas Instrument se manifeste par une seconde génération baptisée LAMBDA, qui met l'accent davantage sur l'efficacité de calcul que sur la rigueur formelle. La Numachine de base, cad la micromachine du système, est un produit Texas. Le bus central est le NuBus 32 bits, 37,5 MB/s, sur lequel s'attachent mémoires et processeurs.

La configuration la plus puissante, 4X4, comprend une mémoire de 4 MB et 4 processeurs. La mémoire supporte une mémoire virtuelle à adressage 24 bits, accélérée par un cache de 4 KB, renforcée par un disque de 470 MB.

Chaque processeur occupe 4 cartes. Il utilise une mémoire de microprogramme virtuelle 64 K * 64 bits, paginée en blocs de 16 mots sur une WCS de 16K * 64 bits à cycle de 35 ns. Cette mémoire est le fondement du principal logiciel, un microcompilateur qui transforme les procédures LISP en combinaison de microroutines et de threaded code pour les invoquer.

Un microprocesseur 8088 relie le NuBus à un Multibus sur lequel se situent le disque et une connexion Ethernet. Le prix de cette configuration est 72500 \$. Pour un supplément

de \$ 7000, on obtient une carte 68010 connectable au Nubus, qui travaille en UNIX et permet le mélange de travaux Unix et LISP.

Les logiciels principaux sont ZetaLisp et LM/Prolog, vendus K\$ 45. En 8/84, on peut y ajouter PICON, Process Intelligent CONTROL, un système expert de K\$ 150 qui utilise le 68010 pour les mesures et les compilations.

La mode des LISP Machines n'a eu qu'un temps, probablement parce que les universitaires sont à peu près les seuls à se servir de LISP, et n'ont pas assez d'argent pour faire vivre une société industrielle. On en est donc revenu assez rapidement à des environnements de programmation LISP sur des machines universelles, solution qui a progressivement évolué vers la normalisation. On peut citer :

GLISP, extension de LISP définie à l'Université de Stanford, écrite et compilée en LISP, permettant la création de types abstraits. La compilation est incrémentale, l'exécution et la mise au point étant interactives.

MLISP, préprocesseur pour LISP 1.5, offrant un langage dans le style d'Algol. Egalement à l'Université de Stanford, 1970. Allusions dans CACM 12/76 p 664 et SIGPLAN 11/78 pp 74/5 .

QLISP est une extension d'InterLISP entreprise au SRI pour offrir un cadre d'exploitation à QA4, le langage d'intelligence artificielle que cet organisme utilise pour ses travaux de robotique.

MACLisp, version 1974 utilisée par les chercheurs du projet MAC.

InterLISP, version 1978 utilisée par les chercheurs du Xerox PARC qui l'ont empruntée à BBN après avoir rédigé eux-mêmes un CLISP conversationnel..

ZetaLISP, version des chercheurs du Laboratoire d'Intelligence artificielle du MIT.

Franz LISP, version 1984 de l'Université de Berkeley. L'équipe correspondante semble avoir évolué en une société Franz Inc. installée juste à côté de l'Université et vouée au développement d'outils et d'applications, et à leur commercialisation.

Common LISP est un autre dialecte, lancé par une association, International Lisp Associated, Inc. qui s'est donné comme premier objectif de faire normaliser sa version par l'ANSI. Ce résultat semble avoir été atteint en 1991, et Common LISP dispose d'un important environnement de programmation, avec la particularité de savoir se servir d'objets grâce à CLOS, Common Lisp Object System. Voir en boîte 145 quelques documents de vulgarisation concernant CL et CLOS, particulièrement mal photocopiés, issus des CACM, Vol 34 N° 9, 9/91, pp 27/63.

LISP2 est une tentative d'étendre le domaine de LISP en lui ajoutant des expressions rédigées en Algol, tentative entreprise sur AN/FSQ 32 par la System Development Corporation, mais qui a reçu un soutien financier de l'ARPA. Le but est d'ajouter aux possibilités de base les manipulations sur bits et la logique.

Après réalisation sur FSQ 32, des compilateurs ont été réalisés pour 360/65 et PDP 6 en 1967.

Un travail de même type a été effectué à l' Université de Georgie, où GTL combine également LISP 2 avec une extension d' Algol. Tout cela est évoqué plus tard dans les catalogues, CACM 12 / 76 p 662 et SIGPLAN Notices 11 / 74 p 25 et 8 / 79 p 221 . Mais, sur un plan plus pratique, on ne connaît aucune application de LISP 2 ou de GTL en dehors des universités rédactrices.

368 - Litton Industries

La société Litton Industries apparaît vers 1956 en proposant un DDA de table construit autour d'un petit tambour magnétique, de forme très originale puisque son diamètre est 178 mm alors que sa hauteur - qui limite le nombre de pistes - n'est que 19 mm . Il se contente en fait de quatre pistes, sur lesquelles sont inscrits en série 20 intégrateurs , leurs programmes, et deux copies de la base de temps : l'algorithme est donc minimal, même si le diamètre du tambour permet d'attribuer plus de 80 bits à chaque intégrateur, soit plus de 4 mots de 18 bits. La vitesse indiquée du tambour, 3420 t/min, correspond, à la fréquence prudente de 100 KHz, à 57 tours par seconde, donc 57 itérations du programme, quel que soit son nombre d'intégrateurs entre 2 et 20 ; le texte de la fiche laisse supposer que la régulation peut être ajustée entre 57 et 62 t/s. C'est le Litton 20. Il existe une cinquième piste, qui peut recevoir 20 autres intégrateurs pour un supplément de 4000 \$, mais puisque rien n'est changé au reste de la machine, tout programme de plus de 20 intégrateurs s'exécute à la vitesse moitié d'environ 30 itérations par seconde. C'est le Litton 40, qui peut être obtenu après achat par une extension simple d'un Litton 20 ; un programme de 20 intégrateurs ou moins sur un Litton 40 s'exécute à la vitesse du Litton 20. Voir fiche.

La presse informatique, encore très modeste en 1958, fait état de 17 exemplaires vendus, ce qui n'est pas de nature à faire fortune. Cependant, le produit a fait connaître le nom de la compagnie, que les militaires ont inscrite sur leur liste de fournisseurs, et qui est donc consultée lors des appels d'offre. Or, il y en a beaucoup, au moment où l'USAF entreprend la phase d'implantation de la nouvelle défense du territoire : SAGE pour la détection des avions ennemis, Missile Master pour la désignation d'objectifs aux canons et missiles sol-air de la DAT. La première réalisation, par Martin Marietta, de ce dernier système, ayant manifesté quelques faiblesses du côté des mémoires, Litton obtiendra un contrat pour fournir un calculateur en « retrofit », le dispositif OA 3063 / FSG 1.

A partir de là, Litton est de tous les projets, souvent avec succès, et nous nous bornerons à un catalogue de réalisations qui renvoie aux fiches, quand il en existe. La compagnie se restructure et prend le nom de Litton Systems, Inc. au plus tard en 1961. La Data Systems Division qui nous intéresse est sise à Canoga Park, en Californie.

C 7000 est un calculateur de guidage pour le missile Air-Air Eagle, qui devait être transporté par l'avion

Douglas F6D Missileer. Abandonné, en même temps que l'avion, en 1961. Voir fiche.

C 400 était la proposition de Litton dans l'appel d'offre pour le calculateur des sondes Surveyor, des

véhicules destinés à se poser sur la lune dans le cadre des préparatifs de l'opération Apollo.

Pour cette mission peu exigeante, Litton avait imaginé une sorte de DDA très original, avec un tambour magnétique contenant 6000 microordres de chacun 3 bits seulement, formant une sorte de machine de Turing. L'électronique se limitait à 64 transistors. Non suivi.

MTDS (1963) , Marine Tactical Data System, est confié à Litton à un moment où le NTDS est connu au niveau des principes, mais pas encore implanté dans les unités ; aussi aucune consigne de compatibilité n'est donnée à Litton, non plus qu'aucune obligation d'utiliser le calculateur qui deviendra un standard. Le système de gestion des combats aériens au dessus d'un site de débarquement, qui contrôle en même temps les missiles Hawk de DCA, n'a donc en commun avec le NTDS que la liaison 11 qui met les deux systèmes en communication.

C 900 (1963) est un calculateur de navigation à tambour magnétique pour avion, regroupant un calculateur universel et un DDA, et devant s'intégrer dans un projet plus ambitieux, la centrale à inertie LN 12, qui semble avoir été difficile à mettre au point et que l'on retrouvera. Il semble s'agir de l'étude AN/ASN 44, apparemment non suivie.

C 510 MINUET (1964), calculateur d'avion dont le modèle semble avoir été livré au contractant, le Wright Air Development Center de Patterson AFB, en novembre 64. La mémoire comprend 4 à 16K mots de 24 bits, cycle 2 μ s, partiellement NDRO. Les circuits, d'origine diverses, sont des fletpacks en logique NAND, au nombre de 1946. Le calculateur de 19,5 Kg occupait 14 litres et consommait 160 watts.

Il semble s'agir de l'étude AN/ASN 48, également non suivie.

Cependant, Litton a fini par mettre au point sa centrale à inertie LN 12, qui a été choisie pour le chasseur F4. De 64 à 74, un total de 2100 centrales a été produit sous les sigles AN/ASN 56 et 63.

ATDS, Air Tactical Data System, est un projet de conduite de la chasse à partir d'un avion radar, première conception de ce qui deviendra l'AWACS. Son sigle militaire est AN/ASQ 54. En 1959, la première version, baptisée Modicon 1, est un matériel volumineux et incomplètement automatisé, que l' USAF installe pour essais sur un avion Lockheed Constellation baptisé WV2E, mais qui est destiné à long terme à un avion embarqué. Il n'est pas envisagé que cette version à 20000 transistors puisse convenir au futur Grumman Hawkeye embarquable.

Autour du calculateur AN/ASA 27 construit par Litton, apparemment responsable du projet technique, on trouve un extracteur radar, construit par General Electric, CP 413 / ASA 27, et des consoles PPI, alimentées en vidéo brute par le radar, et en vidéo synthétique par le tambour Litton. Il est improbable que ces consoles soient produites par Litton. Voir fiche.

Après beaucoup de remaniements, Litton réalisera en 1965 l'équipement du Hawkeye.

C 728 est un ordinateur d'usage indéterminé, a priori assez complexe, qui a été mis au point mais probable-

ment pas produit en série. Il comprend une mémoire de 4 à 32 K mots de 28 bits, cycle 2,2 μ s, contenant des données de 28 bits et des instructions de deux formats 16 et 12 bits. La logique à 2 MHz est du type série parallèle, aboutissant à une addition en 7,2 μ s et une multiplication en 31,6 μ s ; le répertoire comprend 61 opérations ; les entrées/sorties et les incidents disposent d'interruptions spécifiques, chacune associée à un index en mémoire. Le langage de programmation est JOVIAL.

Réalisation matérielle : 15 Kg, 15 litres, consommation 200 watts, MTBF 4250 heures.

MAESTRO (1964), dont on ignore le code, est un ordinateur de guidage pour le missile Phoenix,

transporté par le chasseur/bombardier F111B de General Dynamics. Ce programme reprend, en plus ambitieux, celui du missile Eagle et du F6D, la portée du missile étant accrue et son porteur beaucoup plus polyvalent. Le point essentiel est que plusieurs missiles Phoenix peuvent être lancés simultanément et guidés indépendamment, ce qui nécessite donc un ordinateur puissant. Le ordinateur Litton devait être associé au radar AN/AWG 9 de Hugues, mais selon nos informations le ordinateur définitif était Control Data.

C 820 (1964) est de nouveau une machine mixte, associant un ordinateur universel et un DDA, apparemment avec des ambitions spatiales autant qu'aéronautiques. Livré en quatre exemplaires au WADC, il n'a pas fait l'objet d'une commande. Voir fiche.

LN15 est une centrale à inertie à laquelle Litton apporte un ordinateur de navigation.

En 1964, Litton semble avoir renoncé au tambour du C 900 et propose une mémoire à lignes à retard en verre comprenant 2 lignes de 2000 bits, plus deux registres de 120 et 20 bits, qui se prête à la constitution d'un DDA de 120 intégrateurs. L'intérêt de cette technologie est le passage à une fréquence de 1 MHz, qui améliore notablement la densité du matériel. Le programme opérationnel est câblé sur une mémoire à diodes, et la logique utilise 250 circuits intégrés DTL, plus à peu près autant pour les entrées/sorties.

Cette fraction du système pèse 4,8 Kg et occupe un volume de moins de 6 litres.

Pour la fonction navigation, le ordinateur universel utilise une mémoire de programme « core rope » en modules de 256 instructions, une mémoire de travail à tores, une logique en DTL, et une architecture standard améliorée par l'adressage indirect. Ce second ordinateur ne pèse que 2,7 Kg.

Selon des documents militaires la centrale LN 15 a équipé les F111A (AN/AJQ 20), les F111B (AN/AJQ 14), certains B52 et HH53C ainsi que les premiers B1 (AN/AJN 17).

L 304 est en 1965 le premier ordinateur de Litton réalisé en circuits intégrés TTL. Sa construction est extrêmement modulaire, de façon à ouvrir un éventail de possibilités : d'une part au plan de la performance, en proposant trois niveaux : registres en mémoire, registres câblés, addition d'une anticipation. C'est la famille 16 bits L 304 / 5 / 6. d'autre part en changeant la longueur du mot, dans une seconde famille L 3040 / 50 / 60 à 32 bits.

Présentée en bloc, avec crossassembleur et simulateur sur IBM 360, et programmation en PL/I, le système était assuré de trouver des problèmes à sa taille, et apparaissait comme une solution toute prête.

L'USAF, qui avait longuement tenté de se faire fabriquer une machine exactement adaptée pour chaque variante de chacun de ses avions, à un prix exorbitant et pas toujours à sa satisfaction, céda à cette sirène et choisit une version biprocesseur du L 304 pour le système du Hawkeye (C1023 / AYQ 5).

Plus tard, en 1968, l'US Army choisira le L 3050 pour son programme TACFIRE, et devant ce succès, sachant parfaitement qu'on n'a jamais assez de puissance de calcul, Litton réalisera le L 3070, un quadriprocesseur.

TADPS, Tactical Automatic Data Processing System, est une autre application du L304 réalisée en 1967 : deux processeurs sont associés à une mémoire qui peut comprendre jusqu'à dix blocs de 8192 mots, cycle de 2,2 μ s ; le rack peut aussi loger deux dérouleurs de bandes 9 pistes militarisées en tiroirs enfichables, et une imprimante 100 lpm sur 88 colonnes. Des liaisons extérieures peuvent déclencher jusqu'à 64 interruptions prioritaires.

Vers cette époque, Litton achète Monroë, un fabricant de petites machines de gestions et de facturières, dans un but de diversification.. Il ne semble pas que cette filiale ait beaucoup profité de l'expertise de Litton en circuits intégrés, à en juger par la technologie des machines vendues par Monroë en 1968 et 1969, à base de tambour magnétique. Voir à la rubrique Monroë.

C 1000 est en 1968 un nouveau DDA pour la centrale à inertie LN 15, toujours pas adoptée pour des raisons probablement liées à son gyroscope plutôt qu'à ses ordinateurs. La technologie a bien changé depuis les lignes à retard en verre, et les 18 intégrateurs travaillant à 3000 itérations / seconde sont maintenant parallèles, chacun matérialisé par trois puces dont chacune contient plus de 300 transistors : une puce pour les trois registres K, Y et Yo, et deux puces pour l'arithmétique et la commande. La centrale ainsi refondue reçoit de nouvelles applications : AN / ASN 86 pour avion OVID, AN / ASN 92 CAINS pour F14, E2C, VSX.

L1600 est le PAT, Programmable Automatic Tester, un dispositif spécialisé construit en logique TTL, et disposant de 100 points de mesure sur lesquels il est possible d'injecter des sollicitations, impulsions ou tensions continues ajustables, ou au contraire d'observer un résultat. La programmation est préparée par un lecteur de bande perforée. Voir fiche.

SPIRIT 1 (1970) est encore un nouveau calculateur, universel cette fois, pour tous les usages de bord d'un avion de combat, notamment la navigation exploitant une centrale à inertie, et aussi la conduite de lancement des armes. Ce calculateur parallèle 24 bits dispose d'une mémoire 4 à 32 KB, et exécute l'addition en 4 μ s, la multiplication en 28 μ s.

L 3070 , réalisé en 1970 seulement alors qu'il existe dans les cartons depuis 1965, est un quadriprocesseur utilisant le processeur L 3050, et renforcé par 4 IOP. La mémoire de

128 K mots est du type gaufre, compromis très dense entre les tores magnétiques et les films minces, 32 + P bits, cycle 500 ns, accès 250 ns. La logique est basée sur l'emploi de MSI à 112 portes TTL par puce, et matérialise un répertoire de 103 opérations, 7 index câblés, exécutant l'addition en 2 μ s, la multiplication et la division en 8 μ s. Les entrées/sorties utilisent des DMA et des multiplex capables de 500 K mots/s.

Le logiciel incorpore un BITE (Built in Test Equipment) qui détecte automatiquement les erreurs et pousse, de façon semi-automatique, l'analyse jusqu'à détecter la puce contenant le défaut.

L'ensemble pèse 45 Kg et occupe un volume de 91 litres. Il est improbable que ce calculateur ait été utilisé dans un système opérationnel.

TACFIRE est le nom populaire du système AN/GSG 10 destiné à l'armée de terre, construit autour du processeur L 3050 (AN/GYK 12), pour édifier et transmettre en un temps minimum des plans de tir pour l'artillerie. Le système exploite les informations transmises par des périphériques modulaires réalisés aux normes du champ de bataille, qui permettent de composer des messages de format fixe (choix de 10 messages) qui sont ensuite comprimés par une boucle de bande magnétique pour transmission en moins d'une seconde. Il peut aussi, avec le même niveau de sûreté mais une moindre commodité, composer sur un écran, à partir d'un clavier, des messages de longueur quelconque. En sens inverse, il est prévu une imprimante chimique.

Tous les messages sont accompagnés d'un code permettant l'autocorrection des erreurs de 1 bit, et au delà il y a répétition automatique.

Le système Tacfire est installé dans deux shelter S 280, un contenant le calculateur et les contrôleurs, l'autre les terminaux, les périphériques et le personnel d'exploitation. Autour du calculateur peu encombrant par lui-même, ces remorques rassemblent les périphériques suivants :

une ou deux mémoires RCA à tambour, 256 pistes de 1024 bits.

une ou deux bandes magnétiques de chargement 300 Kmots.

une console d'artillerie avec deux écrans pour les messages d'arrivée et de départ.

une imprimante 500 lpm

un traceur sur carte, précision 0,7 mm

un projecteur tactique, avec écran de 400 mm, pour l'échelon division.

VFMED, terminal écran + clavier + hardcopy, 540 caractères.

BDU, terminal d'affichage d'ordres aux batteries

DTMU et DDT, contrôleur et adaptateur de transmissions pour 4 lignes.

Par ailleurs, le système comprend les terminaux de l'avant, pour message de 16 ou 30 caractères.

14 de ces matériels ont été commandés en 1975, pour M\$ 102. TACFIRE est programmé en TACPOL, un sous-ensemble de PL/I.

L 4516 est la génération suivante de matériels à circuits intégrés qui remplace, en 1971, les L 303X et 30X0 pour les applications aérospatiales. Ce calculateur a été utilisé pour divers matériels de guerre électronique, notamment l'analyseur TERC et les contremesures du bombardier B1, en sous-traitance de la société AIL. Voir fiche.

AN/TSQ 73 Missile Minder est à partir de 1971 le système de désignation d'objectifs des missiles terrestres de DCA, tels que Hawk ou SAM.D, et apporte enfin une solution raisonnablement satisfaisante à un problème qui avait épuisé Martin Orlando, General Electric et Hughes. Ces stations à deux radars et deux calculateurs sont toujours en pleine production vers 1980 : 26 M\$ en 3/77, 103 M\$ pour les USA et 17,5 M\$ pour la Corée du Sud à la mi 81.

L 30, construit en 1975, est un émulateur universel qui met le progrès technologique au service de la miniaturisation du calculateur du Tacfire. Le composant de base est une tranche de 8 bits, en TTLS, avec laquelle on peut réaliser :

un CPU 32 bits microprogrammé capable d'une addition en 2,4 μ s, et qu'on associe à une mémoire à tores de 4,3 Mbits. Il est capable d'émuler l'AN/GYK 12 dans sa fonction Tacfire, et aussi le Modcomp II. Dans la première fonction, le volume est réduit à 838 * 660 * 229 mm.

un CPU 16 bits en 13 cartes, y compris 6 cartes pour une mémoire à tores de 8 KB, cycle 900 ns.

un contrôleur de périphériques 8 bits en 4 cartes, comprenant une tranche de calcul, une interface CPU, une interface périphériques avec ROM, et une CROM pour le microprogramme.

La documentation dont nous disposons sur l'électronique militaire n'établit que de faibles corrélations entre les produits ci-dessus et la liste des fabrications de Litton.

Vraisemblablement les calculateurs de Litton sont fréquemment utilisés par d'autres fournisseurs au sein d'équipements dont ils sont chargés.

D'autre part, il est certain que Litton a dû accepter divers contrats alimentaires, comme des émetteurs HF (AN/FRT 59, 1960, et AN/TRC 26, 1965), des codeurs SIF pour IFF (AN/GPA 122, 1967), des consoles universelles (AN/SPA 25, 1969), des appareils de contre mesure (AN/ALQ 125, 1975 - AN/ALR 74, 1984), des récepteurs Loran C portables (AN/PSN 6, 1970), une centrale de cap et verticale pour navire (AN/WSN 2, 1976), etc...

On peut tout de même citer en 3/80 un contrat USAF de 33,8 M\$, pour 237 centrales à inertie LN 39, livrables immédiatement, pour divers avions. Et même un contrat de 23 Tacfire pour 80 M\$ en 9/80, car ce produit n'a pas terminé sa carrière. En glanant dans les contrats, on constate que Litton est peut-être devenue moins innovante, mais reste très active :

FIREFLEX est une réponse rapide de Litton à une demande pressante de l'USMC, échaudée par l'échec du trop ambitieux projet MIFASS (intégration de l'artillerie et des mortiers, de l'appui tactique air, et du soutien de l'artillerie navale), et découvrant soudain qu'il a trop attendu. Le FIREFLEX est une gestion de la seule artillerie : utilisant une variante de son LTACFIRE, Litton est en mesure de livrer en 3/89 pour essais pas moins de 29 BCT, et une commande de 33 autres suivra en 11/90 pour l'équipement des 11ème et 12ème régiments d'artillerie.

AN/GYQ 51, un système de surveillance de la frontière mexicaine comportant des radars AN/TPS 53 montés sur des ballons captifs qui localisent les immigrants clandestins par

référence à des balises précisément situées, le tout retransmis en temps réel vers les postes à terre.

AN / UPX 24, une commande de 10 interrogateurs IFF pour navires japonais.

La vérité est que Litton a fait, vers 1970, un audacieux investissement en achetant le chantier Ingalls de Pascagoula, en faillite, pour y construire en série des navires de combat selon des méthodes radicalement nouvelles : fabrication en terre-pleins de tranches de navire, complètement équipées en tuyauterie et câblages, pour les assembler ensuite par soudure. Ces méthodes nouvelles permettent de proposer des prix de construction plus bas et des délais plus courts que les procédés antérieurs, de sorte que le nouveau chantier raffale les plus importants contrats de la Navy :

5 navires de débarquement LHA, classe Tarawa de 25000 t lège, de 1971 à 1980

24 destroyers de la classe Spruance de 5900 t, de 1972 à 1980

19 croiseurs AEGIS de la classe CG 47 Ticonderoga de 9500 t (sur 27), de 1980 à 1994.

7 navires de débarquement LHD, classe Wasp de 28000 t lège, de 1985 à 2001

12 destroyers AEGIS DDG 51 Arleigh Burke de 6600 t (sur 28), de 1988 à 1999

Ce chantier innovant a fait école et son concurrent Bath Iron Works, qui en a adopté les méthodes (comme de nombreux autres chantiers dans le monde) partage désormais avec lui les séries : la famille DDG 79 de destroyers AEGIS de 7000 t est en cours depuis 1997 dans les deux chantiers, à égalité.

Bien que cette activité soit par elle-même en marge de l'informatique - même si les ordinateurs sont essentiels pour diriger le processus de construction - il fallait citer ces navires qui doivent l'essentiel de leur efficacité à l'électronique et à l'informatique en temps réel. Voir fiche AEGIS chez RCA.

369 - Les calculateurs de Lockheed

Pendant la guerre, les seuls avions Lockheed sont les P2 de la Navy, des patrouilleurs bimoteurs limités par leur rayon d'action ; la société, cependant, assure la fabrication de masse d'avions conçus par d'autres dans des usines gouvernementales. Après la guerre, beaucoup de ces usines ferment, mais certaines trouvent des acquéreurs car l'aviation va, à l'évidence, se développer fortement : Lockheed est l'une de ces entreprises qui va trouver une place sur le marché du transport aérien d'abord avec le Constellation à moteurs à pistons, puis avec des avions à turbopropulseurs, dont le célèbre Hercules transport de troupes et les patrouilleurs P3 de la Navy, ainsi qu'un transport civil qui en dérive, le 1011 Electra. Il y aura même des avions militaires de transport à réaction, le C 141 et le très gros C5.

Lockheed est cependant convaincue de la nécessité d'une diversification, et se fait une place enviable dans le domaine des satellites avec les Agena, véhicules spatiaux polyvalents pour orbites basses, et avec les missiles balistiques Polaris, puis Poséidon, puis Trident, des sous-marins stratégiques. L'électronique, que Lockheed commence par sous-traiter, prenant une part croissante dans l'équipement aéronautique, la compagnie crée

une filiale Lockheed Electronics Co, laquelle grossira par des acquisitions, notamment celle du fabricant de

périphériques Dataproducts, qui produit des disques et des imprimantes. Les usines de cette branche de Lockheed se situent à Los Angeles, dans l'Ouest, et à Plainview, NJ, dans l'Est. : on relève des contrats militaires pour :

la conduite de tir Mk 86 des destroyers lance-missiles DLG et DLGN. Voir fiche Mk 86 .

un radar de veille aérienne pour les frégates DE 1037 : AN / SPS 40.

le PL / SS, Precision Location / Strike System (1977) , complexe système imaginé par l' USAF pour détruire les défenses de l'ennemi sans exposer ses propres avions. Il devait relever en temps réel, depuis un avion Lockheed TR 1, la position des systèmes de défense aérienne au sol , par écoute des radars de guidage et mesures de type DME. Ce marché de 120,3 M\$, confié en 6 / 77 à la Lockheed Missile & Space Co, comportait un processeur de commande avec mémoire propre, et quatre processeurs subordonnés avec deux IOP, en tout 11 mémoires de 64 K * 32 bits, avec cycle de 1,2 µs. Lockheed avait choisi le calculateur AN /UYK 25 de Control Data, et l'avion porteur des armes était le F4 Phantom . Sous-traitants prévus :

E Systems pour les détecteurs de bord

IBM pour le guidage des armes

Control Data Corporation pour le calculateur au sol et son logiciel.

Rockwell / Collins pour les communications entre le TR1 et le sol.

Motorola pour les visualisations

Sperry pour une liaison de données à étalement de spectre

Harris pour le DME et une seconde liaison de données.

En 1982, le système est toujours à l'étude, et Lockheed reçoit M\$ 34 pour remplacer le F4 par le nouveau chasseur F16. Il ne semble pas, cependant, que le système ait jamais atteint le stade de la réalisation en série.

Cette filiale absorbera en 1983 Sanders, une firme fortement engagée dans la Défense et particulièrement dans les contremesures électroniques.

L'entreprise Lockheed est apparemment douée pour la gestion de projets, et c'est dans ce cadre qu'elle a pris contact avec l'informatique, à l'occasion d'un contrat de l' USAF à la filiale Aerospace, visant à organiser l'exploitation des satellites. Voir ce système SCF à la rubrique 159, CDC 1604.

L'étude Polaris, par son ampleur et son urgence, entraîne évidemment Lockheed beaucoup plus loin. C'est pour ce programme que Lockheed inventera le concept PERT, un logiciel de planning pour grands projets qui trouvera des applications dans le monde entier.

C'est pour lui aussi qu'elle organisera, à base de calculateurs RCA 301 et de terminaux Edge, le réseau ADA reliant les diverses usines participantes. Voir à cet effet la rubrique 486 RCA.

C'est encore pour lui que Lockheed construira ACRE, un testeur de cartes électroniques qui peut étendre son action à un missile complet. Voir fiche.

Un peu plus tard (1967), Lockheed reprendra cette idée en organisant AUTOSACE, un système de contrôle des missiles Poseidon dans les entrepôts à terre.

Dans le même temps, Lockheed se voit confier le programme d'étude et fabrication de l'avion de transport géant C5A. Avec le même souci de gestion en temps réel, Lockheed organise INTERLOC, un système de communications centré sur deux Univac 490. Voir à cet effet la rubrique 580 d'Univac.

C'est aussi dans le cadre de ce programme que Lockheed fera ses premières armes dans le domaine du graphique, comme l'illustrent plusieurs photos prises à l'usine Lockheed Georgia, dans l'article 232-1703 / 5.

Dans les années 68 / 70, l'USAF pose à Lockheed le problème du MOL, le Manned Orbital Laboratory, qu'elle a réussi à obtenir du gouvernement comme « signal fort » à l'intention de l'URSS. La compagnie est chargée de l'Advanced Satellite Test Center, et s'équipe luxueusement pour ce nouveau programme de gestion : M\$ 37 pour trois 360 / 67, un CDC 3800 et des consoles Philco. Ce programme-là, cependant, sera abandonné avant exécution, et probablement les ordinateurs restitués.

Avec ses satellites Agena, LMSC se trouve très impliquée quand la NASA décide le programme Gemini, au titre duquel des rendez-vous doivent avoir lieu dans l'espace entre satellite non habité et capsule habitée. La compagnie, qui dans le même temps doit étudier la pièce de raccordement entre capsule Apollo et LEM, et qui a improvisé à cet effet - aux frais de la NASA - un simulateur hybride, reconnaît le nouveau besoin et décide de s'équiper d'un simulateur universel, comprenant un calculateur numérique CDC 6400, quatre calculateurs analogiques CI 5000, et deux interfaces hybrides Intercom. Voir 250-987/96.

Il semble bien qu'un simulateur tout à fait semblable existe à Marietta, chez Lockheed - Georgia, pour les simulations du flutter du C5A. Voir 252 - 801/7 .

Lockheed, à force de concevoir des systèmes de gestion, a fini par se convaincre qu'on n'est jamais mieux servi que par soi-même, et organise un laboratoire de recherche à Palo-Alto. Son premier outil est un système conversationnel de recherche documentaire, LACONIQ pour Laboratory Computer ONline InQuiry monitor, organisé sur une 360/30 à disques 2311. Voir 206-231/42.

Ce système est précédé en 1967 d'un autre, DIALOG, décrit à la 22ème conférence de l'ACM, dont nous n'avons pas le compte-rendu.

Pour tous ces programmes, Lockheed était simplement client. Mais finalement, Lockheed Electronics se décide à investir dans une informatique propre. Son premier ordinateur commercial est le MAC 16, MAC signifiant Multi Applications Computer, un acte de foi. Cette machine pourrait avoir été produite à 2000 exemplaires, mais sur une période de 10 ans. On ne peut exclure que cette information tardive englobe l'ensemble de la production de Lockheed, c'est-à-dire les SUE. Une autre information, beaucoup plus précise, identifie 350 MAC 16, principalement américains, au moment de l'apparition des SUE. Voir fiche.

Une deuxième génération, les MAC Junior, n'est pas une nouvelle machine, mais une recherche d'économie par la réduction de la mémoire et la suppression de certains dispositifs.

Le SUE, System Users Engineered, également un mini 16 bits, visant à l'économie par l'emploi de circuits intégrés et celui d'un bus / fond de panier, nous est mieux connu parce qu'il a été commercialisé en Europe et qu'une documentation est en notre possession. Voir fiche.

Le SUE a aussi été utilisé comme le processeur central d'un System III, compatible avec le S/3 d'IBM et délibérément proposé comme concurrent, avec un certain succès (450 installations identifiées).

370 - Logical Design Group

Le seul produit connu de ce groupe est une carte OEM construite autour du microprocesseur J11 de Digital Equipment, avec une fréquence de 15 MHz, un MMU permettant de construire une mémoire virtuelle de 4 MB, et surtout une interface VME plus apte que le Q Bus à l'utilisation industrielle.

La carte, vendue \$ 2400, contient :

le processeur J 11

huit socles 28 broches pour enfichage d'EPROM, de ROM ou de RAM, au choix du client.

deux socles pour le bootstrap acheté à DEC.

un microcontrôleur Zilog 8036 fournissant 20 lignes bidirectionnelles, et 3 compteurs 16 bits.

une gestion d'interruptions pour 4 lignes du bus.

une interface VME, y compris la possibilité d'être maître du bus.

371 - Adam de Logical Machines

L'originalité de cette machine, qui se présente pour le client comme un très ordinaire mini de gestion, est le recours à un processeur nommé LOMAC, dont on nous dit qu'il est « autoorganisateur », sans malheureusement expliquer le terme.

Ce processeur est associé à une mémoire 16 bits de 32 à 64 KB, réalisée en MOS 800 ns, temps d'accès 550 ns. Ce coeur est entouré d'un clavier, d'un écran 24 * 80 car, d'un floppy 250 KB, d'un disque en cartouche de 10,6 MB, d'une machine à écrire 165 cps ou, en option, d'une IP 200.

Le logiciel, très proche de l'anglais, fournit des services de comptabilité et une « base de données », en fait le support de fichiers séquentiels indexés.

Succès très correct : 250 machines vendues fin 77, 350 à la fin de 1978. Prix \$ 39995.

En septembre 1978 est annoncée une nouvelle version baptisée Adam the Younger, proposée à \$ 14995 ou \$ 350 / mois. Cette réduction est obtenue en abaissant la mémoire à 48 KB, le disque à 5 MB, la machine à écrire à 110 cps. Même service.

372 - Megamicro de Logical Microcomputer

Il s'agit cette fois d'un micro polyvalent, cinq ans plus tard que le précédent. Le CPU est un 16032 de National Semiconductors, associé à une mémoire virtuelle : adressage 32 bits, 32 usagers disposant chacun de 16 MB exploités en page à la demande. Les

périphériques sont exploités à travers un Multibus et comprennent jusqu'à 16 disques. Le CPU est performant, effectuant par exemple 161000 mpy/s en 64 bits (mesurés).

Le système d'exploitation est UNITY, un Unix produit par Human Computing Resources, fourni avec Pascal, Fortran et C. Prix à partir de \$ 15000.

373 - LC 1000 de Logic Corporation

Cette machine est une tentative isolée et sans suite, mais avec quelque originalité, car sa mémoire est une ligne à magnétostriction contenant 512 à 4096 mots de 32 bits, avec un cycle majeur de 2,5 ms. Il en résulte un temps de calcul maximum de 5 ms pour une addition, 9,5 ms pour une multiplication ou une division, chiffres qui peuvent être fortement réduits par une programmation optimale : l'addition optimale, par exemple, dure 156 µs.

Le bloc de commande utilise 29 opérations de 16 bits, disposant de 12 registres. Autres dispositions significatives : adressage indirect, bootstrep, mode pas à pas.

Les périphériques sont un télétype ASR 33, avec lecteur et perfo de bande 8 bits, et en options une reproductrice IBM 526 formant lecteur et perforatrice de cartes, un dispac IBM 1311, un canal d'accès direct avec un multiplexeur A/D, un décodeur D/A pour attaque d'un oscilloscope, une alarme audible. On voit que les auteurs envisageaient des emplois de laboratoire.

Le prix restait modeste, \$ 12500 à 27900 selon équipement.

374 - Le calculateur Logicon 2 + 2

La société Logicon, de San Diego, Cal, se présente à la FJCC de 1970 comme née en 1961 et vouée depuis cette date à la production de matériels et de logiciels pour les armées et la NASA ; il s'agit très probablement de sous-traitances. Le discours quelque peu emphatique de son conférencier décrit un calculateur qu'elle déclare unique en son genre, et qu'elle construit d'abord pour son propre usage, mais avec l'intention affichée de le commercialiser.

Ce système ambitieux est conçu pour servir jusqu'à 128 terminaux locaux et se décompose en quatre processeurs simultanés, à savoir :

un processeur de commande CP exécutant le système d'exploitation

un processeur d'application AP chargé des compilations et de l'exécution des calculs préparés par les terminaux.

un contrôleur de tambour, pour 1 à 4 tambours de 1 Mmots, qui contient la mémoire virtuelle. Temps d'accès moyen 8,5 ms, débit 1 Mmots/s. Accessible par pages de 512 mots.

un processeur d'entrées / sorties PP pour les bandes, les disques et les lignes téléphoniques.

Deux mémoires travaillent simultanément :

la mémoire de commande comprend 4 à 32 Kmots de 16 bits en tores magnétiques, cycle 900 ns, et communique avec AP, CP et PP.

la mémoire d'application comprend 32, 48 ou 64 Kmots de 16 bits de mémoire à tores, avec un adressage réel entrelacé 4 voies, et une DAT fournissant une pagination par blocs de 512 mots et une protection pour les trois modes d'accès lecture, écriture et

exécution. Réalisation maison. Cette mémoire communique avec les quatre processeurs, mais les ordres de transferts sont fournis aux tambours par le CP.

Le CP, le AP et le PP sont microprogrammés sur des processeurs Digital Scientific META 4 au moyen de ROM en blocs de 4K * 16 bits, accès 90 ns. Ils se partagent un répertoire de 180 opérations.

Le AP contient 20 accumulateurs et 16 registres d'accès, pour le travail des clients.

Le PP peut gérer jusqu'à 8 bandes 800 bps, 25 ips, 7 ou 9 pistes ; jusqu'à 8 disques de 28 MB, accès moyen 45 ms; jusqu'à 128 lignes asynchrones, fournies par groupes de 16, débit 110 à 300 bauds ; et de 4 à 16 lignes synchrones, fournies par groupes de 4, débit 2400 à 19200 bauds.

Le système d'exploitation comprend dispatcher, IOCS, gestion de fichiers, base de données. Les langages sont un assembleur, un Basic, un APL, un éditeur, et un Fortran IV. Un système nommé Desk-Data est prévu pour les débutants interactifs.

Le discours de présentation ressemble à la description d'un cours d'informatique, et le conférencier déclare que le système est en cours d'achèvement et que sa réussite est maintenant assurée. Il laisse entendre à la presse que le système pourrait être commercialisé en mars 71 à partir de K\$ 20. On ne sera que modérément étonné d'apprendre que ce programme, beaucoup trop vaste pour une si modeste entreprise, a été abandonné à la mi 71.

375 - Lightning One de Lomas Data Systems

Apparemment, il s'agit d'une tentative de s'introduire sur le marché encore timide du calculateur personnel avec un châssis à bus S100, pouvant recevoir au choix une carte 8088 à 8 bits, ou une carte 8086 à 16 bits, les différences étant prises en charge par la logique câblée. La fréquence pouvait au choix être une de celles offertes par Intel, soit 4, 5, 8 ou 10 MHz.

Cette proposition ne semble pas avoir eu de succès, face au PC pratiquement contemporain : le bus S100 était de toutes manières dépassé et inadapté à un calculateur 16 bits.

376 - Loral

La société Loral apparaît dès 1954 avec un calculateur de navigation encore analogique, AN/ASA 13, et réalise en 1960 un plot de sonobuoys pour l'avion S2F, AN/ASA 31. Cependant, ce n'est que dans les années 70 qu'elle prend de l'importance à l'occasion de contrats concernant les contremesures radio et radar (récepteur AN/ALR 31 pour le F105), et se développera dans les années suivantes autour de ce thème. Citons plus particulièrement les matériels informatisés :

MPP1, calculateur universel étudié pour servir de central à un système de contremesures radar. Disposant de 8K mots de 18 bits en tores magnétiques, il occupe un demi-ATR, pèse 10 Kg et consomme 180 watts ; il est réalisé conformément à la norme MIL-E-500 class 2.

Il est intégré au système d'analyse AN / ALR 56 dont 297 exemplaires équipent les chasseurs F15 en 1979, 729 autres étant commandés. Le système comprend 4 antennes dans les extrémités d'ailes et de dérives, un récepteur superhétérodyne à balayage explorant la gamme radar, le calculateur, une alimentation, un écran et deux boîtes de commande.

Le récepteur extrait des signaux reçus des impulsions jusqu'à 250000 par seconde, éventuellement de plusieurs sources, et les envoie au calculateur sous la forme d'un code de deux mots de 16 bits. Le calculateur trie les menaces par catégorie, par exemple :
uniquement les radars de veille et d'interception
uniquement les radars menaçants, c'est-à-dire dont le doppler est en rapprochement.
uniquement les radars de DCA
uniquement les radars de type inconnu.

Il dispose à cet effet d'un catalogue des caractéristiques des divers radars amis et ennemis, et peut aisément intégrer de nouvelles données. Pour l'exploitation, il peut visualiser le gisement du radar, commander des brouilleurs selon un cycle spécial qui permet l'analyse du signal entre les émissions du brouilleur, alimenter un missile antiradar.

ASPRO est un calculateur Goodyear Staran spécialement étudié pour l'avion E2C, où il fait simultanément

toutes les mises à jour de pistes aéronautiques à chaque tour d'antenne et détecte les nouvelles, en affectant un processeur à chaque piste. Loral qui avait eu à connaître de cet avion sous l'angle des contremesures perçut l'intérêt du calculateur et le récupéra pour les sous-marins SSN 688 (sonar transhorizon) et pour une présentation de situation sur navire amiral (corrélation et gestion de pistes).

LFD 100 est un processeur dataflow, à base de cartes contenant des microprocesseurs NS 32016 de 1 Mips, avec un minimum de 5 Mips (prix K\$ 67) et un maximum de 52 Mips. L'information 16 bits est taggée par 16 autres bits représentant l'opérateur destinataire, avec un maximum de 256 opérateurs, dont les numéros sont fournis par la programmation. Chaque noeud démarre son calcul dès qu'il dispose de tous ses opérands, et envoie son résultat avec un nouveau flag fourni par la programmation. Les liaisons se font par bus. La mémoire est partagée et peut monter à 14,5 MB. Jusqu'à 5 processeurs de ce type peuvent être interconnectés. Le calculateur peut être associé à des sources d'informations temps réel, notamment le ADS 100, un autre produit Loral réalisé précédemment à plusieurs centaines d'exemplaires comme processeur de télémétrie.

Le logiciel de cette curieuse machine est GENIX, une variante de UNIX, et le langage de programmation est au départ Fortran. Il est prévu de passer ensuite à ADA.

Citons encore:

AN / APR 43, 1979, goniomètre radar millimétrique Compass Sail pour les F4 et A7, qui utilise le microprocesseur SDP 9900 ;

AN / TYQ 40, 1983, concentrateur de données de l'avant pour le système ASAS de renseignement divisionnaire ;

Absorption de Rolm, après son passage chez IBM, en juin 1985. L'intérêt de Loral est la bonne introduction de Rolm dans les milieux militaires, en particulier de son Ruggednova AN / UYK 19.

AN / ALQ 199, 1987, alerte contre les missiles à radar pulse doppler ;

AN / PRC 132, 1989, portable HF, 1,6 à 50 MHz pour les Special Forces ;

AN / MRC 142, 1990, intégration d'émetteurs / récepteurs UHF et SHF sur véhicules Hammer, pour liaison de l'Armée de terre avec les avions tactiques.

Cette société continue à grossir en 2000, ayant échappé aux grandes fusions de l'industrie d'armement.

377 - Le Laboratoire de Los Alamos

Etabli pendant la guerre dans le désert du Nouveau Mexique, le Laboratoire de Los Alamos demanda dès 1945 à Von Neuman et Goldstine de lui construire une copie de leur prototype de l' Institute for Advanced Studies de Princeton (IAS). Cette machine MANIAC, installée dès 1952, avec une mémoire électrostatique, manquait de fiabilité, et il parut très vite indispensable de la remplacer. Dès que ce fut fait, l'original fut donné à l' Université du New Mexico.

Les ingénieurs de Los Alamos, devenus compétents entre temps, réalisèrent donc dès 1955 une seconde MANIAC, avec mémoire électrostatique très améliorée par l'emploi de tubes à grille barrière, puis ne cessèrent de la repenser au rythme des inventions informatiques à travers les USA : mise en place en 1959 d'une mémoire à tores magnétiques type Lincoln Lab, nouvelles opérations en 1963, mémoire virtuelle et virgule flottante en 1972 .

Le langage de cette machine, composé dès 1960, s'appelle MADCAP. Nous disposons d'allusions dans :

CACM 1 / 61 p 31 - 11 / 63 p 674 - 12 / 76 p 664

SIGPLAN Notices 2 / 71 - 9 / 72 p 9 - 6 / 73 p 64

TIRE, EC13, 8 / 64 p 431

sans pouvoir préciser laquelle est la plus significative, probablement la première.

En réalité, dans les derniers temps, MANIAC II n'était plus le support informatique des travaux du laboratoire, seulement un outil d'études méthodologiques . Le fonctionnement des études nucléaires reposait depuis plusieurs années sur des machines du commerce, et d'abord un Stretch en 1961 (langage COLASL).

Un peu plus tard, Los Alamos change de fournisseur et passe à Control Data ; en 1978, Los Alamos s'est constitué un ICN, Integrated Computer Network, disposant :

neuf calculateurs majeurs : un Cray I, 4 CDC 7600, 2 CDC 6600, 2 CDC Cyber 73

une mémoire de masse IBM 3850 , du type Bandothèque, gérée par une IBM 370 / 148 .

un système de commutation commandé par des ordinateurs DEC

un grand nombre de terminaux connectés à travers d'autres ordinateurs DEC.

sans compter quelques ordinateurs DEC affectés à des tâches spécifiques.

En 1982, le système a encore un peu grandi mais en gardant la même organisation. Un des 6600 a disparu mais il y a maintenant quatre Cray, dont un à mémoire de 4 Mmots. Le système de commutation s'est développé :

un File Transport Network peut commuter les canaux des processeurs de calcul vers plusieurs imprimantes et vers un ensemble COM d'archivage sur microfilms : deux VAX 780 gèrent 4 COM, deux Versatec, deux imprimantes laser.

deux VAX 780 surveillent l'ensemble, formant le système FOCUS de monitoring qui dispose d'une console par ordinateur principal.

pour la gestion des fichiers, la 148 a été remplacée par une paire d'IBM 4341 qui disposent de 50 Mbits sur disques 3350 et de 2,7 trillions de bits sur la bibliothèque .

Un SEL 32/55 s'occupe des commutations.

trois VAX gèrent 2300 terminaux locaux, chacun pour un niveau de sécurité.

un réseau XNET relie le Laboratoire au monde extérieur, mais on ignore si c'est un sous-ensemble de l'ARPAnet, ou un réseau distinct pour cause de sécurité .

En 1983, un Cray XMP est venu renforcer la puissance de calcul, les 6600 ont disparu, remplacés par un CDC 176 et trois CDC Cyber 825. La gestion des services autour de ces machines est assurée par 23 VAX, de nombreux PDP 11 et SEL. Il y a maintenant 4000 terminaux en service à travers les laboratoires.

Los Alamos existe toujours en 2000, mais nous n'en avons plus d'écho. Il est bien évident que le nombre de terminaux n'a pas diminué, mais les modes de calcul et de stockage n'ont sans doute plus grand chose à voir avec les anciennes solutions décrites ci-dessus.

378 - LSI Logic

Cette société de Milpitas, Cal. se manifeste au début des années 90 en prenant la licence du R3000, un microprocesseur conçu par le bureau d'études MIPS et largement diffusé.

Le point de vue de LSI Logic était qu'il fallait laisser aux spécialistes des stations de travail le soin d'exploiter les hauts de gamme de Mips, mais que ce RISC bien implanté méritait de se développer comme contrôleur.

Pour aider à l'implantation de son contrôleur, LSI Logic définit un bus propriétaire, 32 bits multiplexé, distinct du bus de MIPS, et baptisé Bus L (20 à 25 MHz). Des périphériques appropriés sont fournis avec le CPU, à savoir :

contrôleur de bus LR 3202

contrôleur d'interruptions et reset LR 3201

contrôleur de mémoires DRAM LR 3203

tampon de données 8 bits LR 3204. Quatre circuits peuvent former une interface de bus. tampon DMA LR 3205.

De la même manière, LSI Logic avait pris une licence de SPARC, microprocesseur défini par un consortium dominé par Sun, et d'abord tenté de s'implanter avec le L64901 de 1988, un SPARC fonctionnant à 20 ou 25 MHz avec un jeu de 136 registres. Ce microprocesseur de base exigeait des compléments pour faire une station, et LSI Logic produisait aussi un FPU L64802 et un IOP L64961. Le prix du L64901 était de \$ 49, ce qui indique qu'on vise une clientèle de masse, donc de contrôleurs.

Le Lightning de 1991 doit être proche du précédent, car on précise qu'il existe en deux versions, l'une décomposée en 5 puces, l'autre intégrant ALU, FPU et MMU dans le même boîtier.

Fin 90, dans le même esprit, LSI Logic vend à un prix inférieur à \$ 1000 en lots de 5000 une carte RPM 3310 qui contient un processeur MIPS 3000, un FPU R3010, et un tampon d'accès bidirectionnel R3220, avec résolution de tous les problèmes de timing posés par l'accès au bus.

Au même moment, LSI Logic développe un successeur avec la série des L33000, voir fiche.

Cette vocation d'équipementier va se poursuivre quelques années, en suivant la demande d'accroissement de puissance. On trouve ainsi au catalogue, en fin 95, une carte BBV 66 contenant six DSP SHARC (ADSP 2106x d'Analog Devices) sur un bus VME, ce qui paraît indiquer un élargissement des licences; elle succède d'ailleurs à une DBV 44 à 4 CPU.

Ces six CPU, interconnectés de toutes les manières possibles, partagent une mémoire composée de 512K * 48 bits de SRAM et 512K * 8 bits de flash, ainsi que deux emplacements PMC mezzanine dont l'un peut recevoir un complément de 32 MB. Un bus PCI est également desservi. Le tout représente 720 MFlops qu'il s'agit, évidemment, de faire travailler en commun.

Le logiciel qui s'en charge est en principe celui du PC avec Windows, et comprend un compilateur SHARC et un utilitaire de téléchargement. Cependant, la carte peut fonctionner en autonomie avec des noyaux temps réel comme les noyaux SPOX et Virtuoso.

En 1996, LSI Logic s'investit un peu plus dans la conception en proposant, sous le nom de méthodologie CoreWare, les moyens de construire des ASIC à la demande. Un coeur MiniRISC 32 bits est au centre du dispositif, avec une ALU en virgule fixe et un jeu de registres; il est entouré :

d'une interface Flex Link permettant d'augmenter le jeu d'instructions

d'une interface COP sur laquelle on peut attacher un coprocesseur

d'un C Bus avec MMU, ROM et RAM, extensible à l'extérieur vers d'autres mémoires avec, s'il y a lieu, insertion d'un cache.

Le coeur MiniRISC est construit autour du R4000 de MIPS, et l'utilisateur peut choisir entre :

- CW 4001, puce de 4 mm² capable de 25 Mips à 60 MHz, consommant 50 mW à la vitesse plus modérée de 25 MHz. Pipeline à trois étages.

- CW 4010 et 4100, beaucoup plus puissants, superscalaires, distribuant deux instructions par cycle à cinq

opérateurs pourvus de pipelines indépendants. Puissance 200 Mips à 80 MHz, consommation 5 mW / MHz.

Ces puces sont réalisées en CMOS 0,5 μ, alimentés en 3 V.

En 1999, LSI Logic ajoute à la bibliothèque CoreWare un élément FPGA étudié par la société américaine Adaptive Silicon, et dont la logique s'appuie sur des blocs SRAM. A

cette époque, la méthode CoreWare s'applique à du CMOS 0,18 μ , formant la technologie G12.

En 2000, on trouve au catalogue de LSI Logic un DSP baptisé LSI401Z, 16 bits virgule fixe superscalaire capable de 4 instructions par cycle, toutes de durée 1 cycle : il dispose en effet de deux UAL et de deux MAC. Cela permet théoriquement un maximum de 800 Mips à 200 MHz, ou 400 MMAC/s.

Ce produit non couplable peut adresser 128 Kmots, instructions ou données, dont 48 Kmots de RAM et 2Kmots de ROM. Il dispose de 6 interruptions, 1 port parallèle, 2 ports série.

Dans le domaine des calculateurs universels, le même catalogue contient aussi un coeur MIPS 64 bits, conçu pour être facilement implantable, baptisé EZ4021 : il peut fonctionner à 250 MHz.

A la fin de l'année 2000, LSI Logic est une société prospère, dont le dernier CA s'élève à 2738 M\$. Sa réussite la pousse à se développer par croissance externe, et en avril 2001 elle débourse 878 M\$ pour acheter C-Cube (CA 2000 = 265 M\$, 600 employés), une autre société de Milpitas dont la principale compétence réside dans les codeurs de son et de vidéo achetés par Sony, Philips, Motorola, Samsung, JVC, etc..., et dont l'introduction en Europe et Asie est meilleure que la sienne.

379 - Lucent Technologies

En 1996, l'American Telegraph & Telephon, lasse d'échouer dans toutes ses tentatives d'élargir son domaine de base, les technologies du téléphone à grande distance, alors qu'elle dispose de moyens techniques de premier plan comme les Bell Labs ou le constructeur d'ordinateurs NCR, décide d'introduire en bourse une filiale réellement autonome, centrée sur les meilleures technologies du téléphone et du traitement du signal, qui recevra le nom de Lucent Technologies, et qui d'ailleurs se fragmentera en quatre centres de gestion autonomes en 1998.

Très puissante dès son démarrage, Lucent Microelectronics organise son lancement autour du thème DSP. Un bilan d'avril 2000 attribue à cette société deux DSP dont le premier existait à l'ATT:

le 16xx est un DSP 16 bits en virgule fixe, capable de 50 Mips à 40 MHz. Il comprend un accumulateur 36 bits suivi d'un décaleur « barrel », deux bus de données avec deux générateurs d'adresses. Il peut adresser 64 K mots dans les deux domaines d'instructions et de données, dont 48 K de ROM et 13K de RAM sur la puce. Il dispose de 2 interruptions et de 2 sorties série. Il existe des versions flash pour le prototypage. Ce produit est destiné aux téléphones portables.

En février 1998, le DSP 1609 de 100 Mips, réalisé en technologie CMOS 0,3 μ , est commercialisé à moins de 30 FF. Il associe un coeur 16xx à 2K mots de RAM, 24K mots de ROM ou flash.

le 16xxx qui travaille à 100 MHz est toujours en virgule fixe, mais avec deux MAC et des instructions de deux formats 16 et 32 bits; l'accu est porté à 40 bits, l'adressage à 1 Mmots sur chaque voie, dont 48 Kmots de ROM (instructions) et 60 Kmots avec cache pour les données. 3 interruptions, deux ports série et un port parallèle sont disponibles. Voir fiche.

Ces produits n'ont rien d'exceptionnel et Lucent doit faire mieux. A cet effet, la société s'associe en 2000 avec Chip Express, qui offre depuis des années des prédifusés programmables par laser, cad en coupant certaines des liaisons préparées sur la puce. La coopération, baptisée CX Cores, ajoute à ces prédifusés des précaractérisés de Lucent, et permet la souple définition d' ASIC à la demande avec des temps de réponse très bas. Seconde association, Lucent s'associe avec Motorola pour définir Starcore, une alliance de bureaux d'études qui définit le SC 140, un coeur de DSP adaptable superscalaire fonctionnant à 300 MHz et capable de 6 instructions par cycle, grâce à une structure VLIW du bloc de commande. Voir fiche.

En septembre 2000, Lucent annonce Starpro 2000, échantillonnable en avril 2001, une puce particulièrement impressionnante puisqu'elle rassemble trois coeurs SC 140 à 300 MHz et de nombreux accessoires autour d'un bus 128 bits intitulé Daytona, pour un débit atteignant 9 Gips RISC ou 3600 MMAC.

Dans le domaine des réseaux à commutation de paquets, Lucent choisit la solution PayloadPlus et achète Agere, le bureau d'études qui en est le promoteur (1999).

Tout cela, provenant de l'ATT, donne l'impression d'une montagne accouchant d'une souris. Il est certain que ce n'est qu'une impression due à une sélection étroite de produits et à une courte période de temps. Lucent dispose en fait d'implantations dans divers pays du monde pour la production de multiples objets concernant les communications, et il y en a notamment une en France; mais sa gestion est aventurée, et en 2001 Lucent échappe de peu à une absorption par la société française Alcatel, pour B\$ 25.

380 - Activités informatiques de McDonnell Douglas

Cette compagnie d'aviation résulte de la fusion, vers 1970, du constructeur d'avions de combat McDonnell, installé à St Louis, Missouri, avec le constructeur d'avions de transport Douglas Aircraft, installé en Californie. Cet aspect industriel et financier ne nous intéresse pas particulièrement, sinon pour signaler que la nouvelle compagnie est un client fidèle d' IBM qui a réuni par télétraitement ses deux centres, dès la fusion, afin de mettre en commun les fichiers et de réduire la complication du réseau de liaison avec les clients et les fournisseurs.

La version 1980 de ce centre est brièvement décrite dans notre étude IBM, rubrique 332. Le problème technique de l'exploitation des tests d'avions, toujours beaucoup trop longue, conduit la firme, dès 1969, à demander à SDS un système spécialisé. Ce système, décrit dans 253-443/57, comprend un calculateur principal Sigma 7 pour orchestrer l'exploitation de :

un vaste système de télémessure et d'enregistrements générant des bandes analogiques qu'il faut numériser, et de multiples voies PCM qu'il faut recoder;

trois stations d'interprétation, équipées de calculateurs Sigma 2 et d'écrans graphiques, dont les synthèses peuvent être imprimées ou enregistrées sur films.

une collection d'interfaces temps réel pour les mesures exploitables en ligne et des périphériques plus classiques, cartes, disques et bandes.

L'article décrit principalement le moniteur temps réel qui donne vie à ce genre d'équipement.

Une autre activité du groupe, confiée à une filiale Astronautics, apparaît dans un article de 1974. La compagnie a reçu en 1971 un contrat d'étude pour une version du système d'arme Harpoon, destiné à l'US Navy, et avait besoin pour cette étude d'un simulateur de missile. L'article 261-821/5 décrit la réalisation de ce simulateur autour d'un minicalculetur portable.

Ayant besoin, pour sa gestion autant que pour l'équipement de ses ateliers, de compétences en informatique et automatisme, la compagnie fusionnée s'est constituée une filiale spécialisée, Mc Donnell Douglas Automation, plus connue comme Mc Auto. Cette société s'agrandit rapidement, par croissance externe, cad par des acquisitions. Citons : Microdata, constructeur de petites machines de gestion, vers 1975. Voir rubrique 398. Softech, créatrice du logiciel d'enseignement CAMIL, en 1978. Voir SIGPLAN 11/78 pp 43, 63.

Tymshare, société mondiale de calculs à façon en télétraitement, en 1983.
et bien d'autres.....

Il en résulte quelques désordres dans l' Information Group qui réunit tout cela vers 1984. Avec un CA de 982,8 M\$ en 1984 et 1104,5 M\$ en 1985, ce groupe perd beaucoup d'argent, 48,7 M\$ en 1984, 103,7 M\$ en 1985, car il est beaucoup trop divisé, avec 9 sociétés et 21 centres d'activité (médecine, fabrication, réseau, finances, calculateurs, services nationaux et internationaux, maintenance, automatismes). Une réorganisation s'impose et interviendra en 1986, ramenant une modeste rentabilité.

Quelle que soit l'organisation, la commercialisation des calculateurs semble avoir continué sous la marque Microdata, et on trouvera ci-après quelques produits, non fichés par ailleurs :

Microdata 6300 (1985) : cette machine construite en « bit slice » avec bloc de commande pipeline, tenait dans un boîtier de 584 * 229 * 737 mm, abritant une mémoire de 256 KB à 1 MB. Vouée à la gestion, elle pouvait utiliser 40 à 120 MB de disques, et jusqu'à 8 terminaux reliés en polling par un seul câble téléphonique fonctionnant en mode asynchrone. Prix \$ 23500 à 60000.

Microdata 6500 (1985) : machine modulaire de même conception que la précédente, tenant dans 863 mm haut * 559 mm large * 1016 mm de profondeur, avec 512 KB à 1 MB de mémoire et 40 à 640 MB de disques., ainsi que plusieurs boucles de polling. L'objectif de cette machine, vendue \$ 39000 à 110000, est d'utiliser le logiciel de base de données Réality.

Microdata 9000 (1985) : machine 32 bits construite avec des tranches AMD 2901 travaillant à 150 ns / cycle, et dotée d'un système d'anticipation. Mémoire 600 ns de 512 KB à 8 MB, 2 GB de disques, jusqu'à 4 imprimantes de 150 à 1200 lpm, choix de terminaux 110 à 9600 bauds, desservis par jusqu'à 16 canaux DMA autorisant un débit cumulé de 6,7 MB / s.

Le système d'exploitation est PICK : partiellement microprogrammé, il n'exige que 30 KB de mémoire. Il est complété par un générateur d'applications ALL, centré sur une bibliothèque de routines rédigées en assembleur, et par le langage d'interrogation

ENGLISH (ce qui est brillamment traduit par FRANCAIS dans les versions vendues en France.)

La commercialisation passera par de nombreuses versions :

9310 : mémoire 512 KB, disque 125 MB, RM, ME, 8 lignes, logiciel, pour 1,28 MFFHT.

9330 : mémoire 2 MB, disques 250 MB, 16 lignes pour 2,61 MFFHT.

9320 : à mi-chemin entre ces deux versions

9325 : version redondante du 9320, 3,162 MFFHT.

9335 : version redondante du 9330, 4,542 MFFHT.

9050 (fin 85 aux USA) : K\$ 106 pour 1 MB de mémoire, 130 MB de disques, 8 lignes. K\$ 360 pour 4 MB de mémoire, 104 MB de disques, 128 portes.

9250 (idem) : K\$ 500 pour 6 MB de mémoire, 160 MB de disques, 208 portes.

MDC 281 de 1986 est un jeu de trois puces CMOS / SOS matérialisant, à l'usage des militaires, le jeu d'instructions 1750 A à 20 MHz sur toute la gamme -55 à +100 °. Ce produit, dont on ignore les débouchés, a été réalisé au Centre de microélectronique de MDD à St Louis ; il est produit en seconde source par Marconi Electronics Div, en Angleterre .

MD 2901, réalisé par ce même centre en 1986, à partir d'un dessin de Mc Donnell Douglas Astronautics, est un calculateur en arséniure de gallium, contenant 1860 transistors et consommant 135 mW, soit dix fois moins que la version silicium, à vitesse égale. La chaîne de fabrication a été financée par la DARPA, et MDD s'est lancée dans des travaux tendant à accélérer la puce à 100 Mips et à quadrupler la densité, pour placer sur la puce une ALU 32 bits.

Série X de 1991 est la série 91 de Encore Computer, ce qui semble indiquer que MDD a renoncé à s'aligner en face des grands et moyens constructeurs sur ce créneau de plus en plus exigeant, celui des stations de travail et du mode transactionnel.

MDD lui a cependant composé un logiciel conforme à ses traditions : UMAX pour le transactionnel, PICK pour les applications de CAO.

Le sort de toutes ces études, lors de l'absorption de MDD par Boeing, dans les années 95, ne nous est pas connu.

381 - Etudes de la Magnavox Company

Cette compagnie née en 1911 à Fort Wayne, Indiana, essaimée depuis en Californie et dans le Kentucky, s'occupait avant guerre de radio et de phonographes. Tout naturellement elle se consacra pendant la guerre à la production d'équipements de communication, puis après la guerre devint en 1958 l'un des grands fabricants de bouées sonores pour l'écoute antisous-marins, un travail avantageux en ce que les bouées lancées ne sont pas récupérées : plus de 100 000 AN / SSQ 41 Julie et jusqu'à 72 000 AN / SSQ 53 DIFAR seront produites chaque année à partir de 1960, dont plus d'un tiers par Magnavox.

Magnavox est principalement un fournisseur de matériels militaires, avec d'importantes séries de produits de faible complexité. Citons :

1949 : AN/ARC 34 est l'émetteur/récepteur UHF le plus répandu de l'USAF.
1952 : AN/ARR 26 est le récepteur VHF des sonobuoys AN/SSQ2 à balise répondeuse, il équipe tous les avions patrouilleurs de la marine.
1958 : AN/APS 67 est le radar du chasseur F8 Crusader. En 1967, Magnavox fournira encore pour le F8J 161 radars AN/APQ 124 de navigation et de tir.
1964 : 28000 AN/URT 21, balises de sauvetage 243 MHz pour aviateurs ; commande analogue de 16000 AN/URC 64 en 1969.
1969 : 350 brouilleurs AN/ALQ 91 pour chasseurs navals F14.
1970 : 911 AN/GRC 103, relais radio UHF
1972 : 185 répéteurs d'IFF AN/ALQ 108 pour les avions S3, C2, E2, EP3E.
1973 : 1450 récepteurs d'alerte missile AN/ALR 50, pour tous avions de combat.
1974 : 12800 AN/ARC 164, émetteurs/récepteurs UHF à 7000 canaux.
1977 : AN/PAS 7, viseur nocturne d'infanterie en infrarouge 3 - 5 μ .
1978 : 102 AN/TRQ 32 Teammate, goniomètre pour localiser les portables AN/PRD 12 des unités.
1979 : 200 AN/MSC 64 de liaison avec les satellites.

et beaucoup d'autres appareils manifestant un remarquable éclectisme. Les travaux informatiques, plus ambitieux, n'auront pas le même succès.

Profitant de ses relations avec l'USAF, Magnavox obtint après la guerre des contrats d'étude touchant au domaine de la documentation, l'USAF se préoccupant de la manière de dominer l'inflation documentaire, sous le double aspect du stockage et de la consultation. On trouvera ici deux de ces études : ni l'une ni l'autre ne semble avoir débouché sur une production, car les initiateurs de l'USAF avaient complètement sous-estimé les capacités à venir des ordinateurs. Ce sont :

l'AN/GSQ 13, système documentaire pour le QG de l'USAF, basé sur une mémoire à tambour magnétique contenant la liste des documents disponibles et les règles de diffusion. Nous disposons d'une fiche très pauvre et ne sommes pas en mesure de dire si ce produit a quelque chose à voir avec le système documentaire que Magnavox appelle Minicard, et dont nous avons une photo dans le document suivant.

Magnacard, une tentative d'organiser, avec des cartes magnétiques, l'équivalent beaucoup plus performant, en rapidité et en capacité, de ce que faisait IBM avec des cartes perforées. Nous disposons ici d'un document publicitaire du constructeur, encombrant mais richement illustré. L'échec provient peut-être en partie du prix d'un renouvellement complet de la mécanographie, mais surtout du fait qu'en 1958, la mécanographie était déjà clairement surclassée : maintenir la philosophie des fichiers de cartes en la subordonnant à l'ordinateur ne paraissait pas assez important pour justifier la construction en masse de nouveaux périphériques mécaniques, alors que la bande magnétique pouvait jouer ce rôle bien plus économiquement.

Une autre tentative de maintenir une mécanographie modernisée sera lancée vers 1968 par l'établissement de Fort Monmouth de l'armée, avec des cartes en mylar de 3 * 4,5 « et 7,5 mil d'épaisseur, et Magnavox acceptera le contrat d'étude parce que le concept autorisait la récupération des machines de 1958. La carte comprenait cinq champs : un premier champ en forme de bande contient 80 à 320 caractères, dont l'image magnétique est lisible optiquement à l'aide d'une

visionneuse. C'est un champ de titre.
un second champ en forme de bande contient 1016 caractères magnétiques à la densité de 250 bpi. C'est le champ d'information.
une étroite bande sans information sert à l'entraînement.
le champ 4 peut recevoir une image sur film diazo.
le champ 5 est destiné à la signature, qui donne à la carte une authentification légale.

Le système proposé par Magnavox sur cette base groupait ces cartes par boîtes de 1000 et permettait une lecture à 10 cartes par seconde, soit 120 ips et 30000 cps. Les raisons de l'échec sont les mêmes que plus haut et auraient dû éviter le contrat.

Tout à fait indépendant des essais précédents, le 12000 est un écran à plasma de 512 * 512 pixels réalisé pour le système Plato de l'Université d'Illinois, réalisé en 1975. Le terminal incorpore un microprocesseur qui permet de générer soit 46 lignes de 85 caractères, soit des vecteurs.

Devant l'écran se trouve un système de détection tactile : deux groupes de 16 LED disposés à angle droit permettent de découper l'écran en 256 zones, la présence du doigt provoquant une interruption. On renvoie à la section Illinois dans la rubrique Universités en 585.

Voué depuis la guerre à un rôle de simple fabricant en masse de produits conçus ailleurs, Magnavox s'est plusieurs fois essayée à la conception de système pour le compte des armées. Le principal effort est AFATDS (Advanced Field Artillery Tactical Data System), qui doit succéder au Tacfire jugé désormais trop encombrant, trop bavard et trop lent. L'US Army est confrontée à une pléthore de propositions et peine à définir son besoin, dont la description passe par une succession d'exigences contradictoires suivies de regroupements imposés. L'idée directrice serait que toute information puisse être emmagasinée dans la base de données du QG, et que tous les terminaux puissent y accéder ; mais on voit bien que sans pondération et filtrage, des données contradictoires s'accumuleront et interdiront toute conclusion. Il y a donc un gros problème de logiciel, et d'abord de définition des filtres à créer. Pour le reste, la technique de communication progresse très rapidement, et il devient effectivement possible de multiplier les liaisons sans saturer les ordinateurs.

En attendant que l'Armée se décide, les industriels s'organisent en vue de l'indispensable lobbying : Litton Data Systems s'associe à Loral (Rolm), Magnavox à TRW, et Norden à RCA.

Après une phase 1 consacrée au problème des communications, l'Armée décide de confier les postes centraux CCS (Communications Control System) à Singer-Librascope (3 / 82). Une version plus avancée de ce matériel sera expérimentée en fin 83, et peu à peu incorporée au réseau Tacfire saturé pour gérer toutes les transmissions aux points nodaux. Ce CCS deviendra ainsi processeur principal des communications pour tous les futurs systèmes de l'US Army, y compris le MCS du commandement et le SHORAD de la défense aérienne.

La deuxième étape du programme AFATDS a pour but d'étudier la répartition des traitements de données, qui doit se faire en trois étages :

une banque de détails, où on trouve tous les renseignements, mais qui n'est normalement exploitée que par les groupes spécialisés. Ce sont ces groupes qui font le filtrage. une banque de commandement, composée par les spécialistes précédents à l'usage du commandement, qui y trouve les éléments de ses décisions. des banques provisoires, composées par les spécialistes en tant qu'outils de travail. L'idée directrice est que les terminaux accédant au CCS ont des capacités propres de traitement et qu'ils édifient ces banques provisoires. Il semble que la décision de mi 84 a été de confier à Magnavox la production de ces terminaux, FST (Fire Support Terminal) pour les PC, et DMD (Digital Message Device) pour les échelons subalternes. En 1986, le logiciel nécessaire pour le programme est évalué à 770000 lignes ADA, et 493000 de ces lignes ont déjà été testées.

382 - Les compatibles de Magnuson

Le 30 mai 1978, la société Magnuson, jusque là peu connue, annonce ses premiers compatibles IBM, qui visent la 138 en cherchant à se placer un peu au dessus d'elle en performances. La M80/3 est totalement compatible IBM, y compris les options imprimante de pupitre et console à distance. Elle est construite en logique TTLS, et microprogrammée sur une ROM de 8 à 64 KB en mots de 32 bits, cycle 45 ns, qui, pour des raisons de compatibilité, bloque les premiers 256 KB de l'adressage : dans cette architecture, il n'y a qu'un seul bus, sur lequel s'attachent la micromachine, la mémoire et les canaux, ainsi que l'émulateur 3215 et 3270 de la console.

Le cycle de base de la micromachine est 100 ns. La mémoire est une DRAM NMOS 64 bits qui peut varier de 1 à 8 MB par module de 512 KB, cycle 600 ns ; elle est perçue comme un bloc par la programmation. Les canaux sont 3 à 4 BMUX 2,5 MB/s, 0 à 5 sélecteurs 2,5 MB/s, et 1 à 5 multiplex 100 KB/s : tous contiennent 256 sous-canaux. Le logiciel (acheté à IBM) comprend DOS/VS, VSE, OS/VS1, SVS, MVS, et VM/370, y compris leurs éventuels assistances microprogrammées. Cependant, Magnuson n'offre pas la compatibilité 1401.

En même temps est annoncée une M80/4 qui diffère de la précédente par l'addition d'un cache de 16 ou 32 KB, divisé en blocs de 64 bits, et réalisé en SRAM TTL avec un cycle de 400 ns. En outre, la répartition des canaux proposés est différente. C'est une machine de ce modèle qui sera livrée la première, le 30/9/78 ; la première M80/3 n'entrera en service que le 12/6/79.

L'apparition des 4331 et 4341 oblige Magnuson à une réaction rapide, et l'annonce des successeurs intervient le 30/3/79, alors que les commandes précédentes ne sont pour l'essentiel pas livrées. L'annonce porte sur trois machines M80/3X dont la technologie n'est pas réellement nouvelle, et qui ne peuvent donc se distinguer d'IBM que par les prix et les configurations.

Si, sur une échelle de puissance, la 4331 est notée 11, les estimations de Magnuson sont 16 pour le modèle 30 sans cache, 26 pour un modèle 31 disposant d'un cache 16 KB, et 32 pour un modèle 32 à cache 32 KB. Les machines sont livrables en 5/80, uniquement pour ne pas nuire aux M80/3 et 4.

La mémoire DRAM NMOS 600 ns avec ECC est proposée en 1 à 8 MB par modules de 1 MB. Les canaux sont 2 à 5 BMUX 2,5 MB/s et un byte multiplex de 36 KB/s pour la machine minimale ; le débit global maximum est 13,3 MB/s et les configurations vont de 2 à 6 BMUX, 0 à 7 sélecteurs, 1 à 7 multiplex de 100 MB/s. La mémoire de commande comprend 4 à 16 Kmots de 32 bits.

Prix : K\$ 135 pour une 31 à mémoire 1 MB avec le minimum de canaux, contre 166176 \$ pour une IBM 4331 bloc 2 ; et K\$ 185 pour une 32 de même configuration. La M80/43, qui vise la 4341, a été annoncé en même temps que la précédente, mais comme elle est réalisée en ECL, il y aura des difficultés de mise au point et la première ne sera livrée qu'en 2/81. Toujours en jouant sur le cache, elle est proposée en trois versions : pour une 4341.1 estimée à 40, les évaluations Magnuson sont 45 pour le modèle 42 et 54 pour le modèle 43. Il y aura plus tard un modèle 44 pour faire concurrence à la 4341.2 .

Prix : \$ 357500 pour une 42 avec 16 MB de mémoire, cache 16 KB, 16 canaux. Le prix passe à \$ 409500 pour une 43 qui n'en diffère que par le cache de 32 KB. Pour le logiciel, Magnuson prend dans la panoplie IBM les DOS, DOS/VS, DOS/VSE, OS/VS1, MVS/SP et VM, avec les assistances associées.

La M80/20, annoncée en 1982, est une machine purement commerciale, avec une mémoire de 512 KB et la performance d'une 4331, proposée à \$ 59000 contre 62000 pour son équivalent IBM.

383 - Les produits de Martin Marietta Corporation

La firme Martin est l'héritière de la compagnie aéronautique Glen Martin, qui a construit avant la guerre et au début de celle-ci des bombardiers que l'évolution ultérieure fera considérer comme légers. Estimant que la construction aéronautique militaire était trop encombrée pour les besoins du temps de paix, la firme s'est tout de suite reconvertie dans les équipements électroniques de défense, un domaine important lorsqu'il est devenu évident, avec la guerre de Corée, que le monde entraînait dans la guerre froide. A cet effet, elle avait conservé deux implantations importantes, Marietta en Georgie et Orlando, en Floride.

La société porte désormais le nom de Martin Marietta Corporation.

Le thème majeur de cette époque était la défense contre avions, confiée d'une part à des intercepteurs avec ou sans pilote, sur désignation d'objectifs par le SAGE, d'autre part à des missiles de plusieurs catégories. En attendant que les expérimentations aient désigné les meilleures solutions, l'US Army avait défini des gros missiles de défense lointaine, les Nikè Hercules et Nikè Ajax , et des missiles plus mobiles pour les unités de combat, les Hawk.

Dans la conception initiale, les batteries de Nikè assuraient la défense des villes à partir de positions fixes disposées sur le territoire de manière à ne laisser aucun site important sans protection, quelle que soit la route (plausible) des avions ennemis, c'est-à-dire soviétiques. Compte tenu de leur procédure de tir, ces batteries recevaient leur désignation d'objectif de sites radars spécialisés, eux-mêmes alertés par les centres SAGE les plus proches. Ces AAOC, AntiAircraft Operating Centers, devaient diffuser leurs ordres par liaisons protégées, téléphoniques au départ, aux diverses batteries en dépendant, éventuellement assez éloignées : il en était prévu trois autour de chaque centre SAGE.

Pour tester le concept, l' US Army travaillait depuis 1950 sur une maquette fixe qui regroupait, autour du calculateur Burroughs MATABE réaffecté, un radar de veille et deux radars de site, un central information AN / GSQ 9, et une pseudobatterie AN / MSQ 9 avec son radar AN / MPG 5.

La responsabilité de Martin, dans cette perspective, était donc de construire les AAOC, baptisés Missile Masters, AN / FSG 1. Ces AAOC, à base de calculateurs et de radars, étaient interconnectés par des liaisons numériques AN / TSQ 7, et chacun d'eux relié à 24 batteries fixes de DAT par des liaisons transistorisées AN / TSQ 8, remplaçant un AN / TSQ 1 à tubes. Ces groupements de batteries étaient commandés par des postes de direction de lancement baptisés Birdie, code AN / FSG 5.

Le concept comprend:

des opérateurs de tracking, travaillant sur des écrans où apparaissent la vidéo brute des radars propres (un veille, deux altimétrie) et la vidéo synthétique du SAGE. Ils sélectionnent avec un pistolet optique d'éventuels échos qui n'auraient pas été identifiés par le SAGE, pour provoquer un « track while scan ».

un contrôleur tactique, chargé d'affecter les buts aux batteries en évitant les doubles emplois et la saturation du dispositif. Il place directement les buts sur les écrans de batteries à partir de sa console, et il est prévenu en retour dès que la batterie a pris le but en charge. Exceptionnellement, il peut shunter le chef de batterie.

un protecteur de l'aviation amie, qui en connaît les plans de vol et peut éventuellement suspendre le feu inopportun d'une batterie.

Les consoles permettent d'afficher de façon codée synthétique les particularités des diverses pistes, et les commandes autorisent diverses sélections catégorielles (amis, ennemis, tranches d'altitude, par exemple).

Avant même que les matériels de Martin fussent au point et bons pour lancer la série, cette conception trop figée était apparue inacceptable aux Etats-Majors qui décidèrent de rendre tout l'équipement déplaçable. Ainsi le Missile Master devint AN / GSG 5, avec un nouveau système de calcul transistorisé installé en remorques. Ce nouvel équipement occupait trois remorques de 5,5 * 2,44 * 2,28 m, soit respectivement :

équipement, 2700 Kg, consommation 8 KW

équipement plus une console PPI, 3310 Kg, 9 KW

AN / TSQ 8 plus deux autres consoles PPI, 2676 Kg, 3 KW.

Cet équipement a pour but principal de créer puis de suivre par « track while scan » des pistes fournies par des radars Raytheon qui ne font pas partie de la fourniture Martin.

Dans un même mouvement, les Birdie furent eux aussi rendus mobiles, et rebaptisés AN / GSG 6. Ces équipements pouvaient présenter la situation et désigner des objectifs aux batteries, mais ils ne disposaient eux-mêmes ni de radar ni de track while scan.

Il semble probable que l'expérimentation tactique des premiers matériels n'a pas été convaincante, car il aurait existé seulement huit AN / FSG1 à 11 M\$ pièce, et dix-neuf AN / GSG 5 et 6, soit beaucoup moins que le plan initial.

Après les débuts décrits ci-dessus, le produit le plus important de Martin est un missile balistique intercontinental à propulsion par liquide, le Titan, dont la carrière s'est

longuement poursuivie au profit de l'espace après qu'il s'est trouvé dépassé techniquement dans les armées.

Pour cette raison Martin s'est équipé à partir de 1966, comme tous ses concurrents participant de près ou de loin à l'opération Apollo, d'un simulateur hybride à base de matériels Electronic Associates : calculateur numérique EAI 8400, matériel analogique EAI 8800. Le but des essais était l'installation sur le lanceur Titan III d'un calculateur de guidage Univac 1824, et il s'agissait de contrôler le fonctionnement de la relation entre le calculateur et le système de pilotage du lanceur. Voir étude en 257-225/32.

La compagnie s'intéresse aussi fortement aux applications du laser, principalement pour les armées :

1972 : 1900 AN/GVS 3, télémètres laser pour l'US Army.

1972 : Désignation d'objectif expérimentale par laser pour le F4D

1975 : 1103 pods laser pour A10 et A7D

1989 : livraison, après 6 ans d'étude, de LANTIRN, 561 pods AN/AAQ 13 de navigation (FLIR + radar)

et de 321 pods AN/AAQ 14 de tir (FLIR + télémètre laser) pour F16 C/D et F 15 E.

Le CA de Martin Marietta s'élève en 1985 à 4410 M\$, avec 249,4 M\$ de bénéfices et 66000 employés. Bien que tous les produits de la société aient besoin d'ordinateurs, la part de l'informatique dans le CA est pratiquement nulle jusque vers 1980, car les réalisations internes ne sont pas commercialisées, ou en tous cas pas sous cette étiquette :

MARTEC 420 (1959) est un testeur construit autour d'un petit calculateur universel, avec jusqu'à 256 points d'entrée et 256 points de sortie. Construction modulaire. Photo au dossier dans la boîte 86.

AN/MSQ 45 (1962) est un testeur semi automatique pour système d'arme, combinant la commande de gestes par phonie et la commande des mesures par bande magnétique.

DDA en virgule flottante pour guidage spatial (1965), voir article 242-929/49.

Technologie de production d'équipements numériques (1966) : photos en couleur au dossier dans 86. Le but de cette étude effectuée à Orlando concerne les composants et le câblage :

Les composants sont des flatpack DTL de Westinghouse, encapsulés chez Martin avec un code de couleur : 6 types parmi lesquels une bascule JK ayant la particularité de ne plus pouvoir changer d'état jusqu'au prochain CP : on évite ainsi que des flip-flops rapides puissent envoyer de faux signaux à des flip-flops lents, ce qui permet de ne plus tenir compte de la longueur des lignes de transmission.

Le câblage est défini par des équations logiques et des composants placés manuellement sur une grille xy. Sur ce postulat, le logiciel calcule fan in et fan out, définit le câblage, et génère la bande perforée qui commandera la machine à câbler. Les performances sont malheureusement alignées sur le circuit le plus lent, du fait des bascules précitées, mais c'est peu gênant pour un testeur.

Martron 1200 (Marietta 1971) est un testeur construit autour d'un petit calculateur français de Matra, commandé par bande perforée. Voir photo.

Cependant, vers 1980, la société est amenée à organiser, pour ses besoins propres et pour ses relations avec les administrations techniques, une MMDS, Martin Marietta Data System, et une MM Information & Communications Systems, qui obtiennent assez vite d'excellents résultats : le CA de 1984 est 361,5 M\$ avec 18,9 M\$ de bénéfices, et celui de 1985 grimpe à 430 M\$. Comme le résultat de cette année est une perte de 10 M\$, il y a lieu évidemment de faire quelque chose, cependant : ce sera fait en fin 85 par la fusion des deux filiales et quelques réorganisations.

La nouvelle MMDS fera surtout du logiciel et des packages orientés vers l'administration, mais nous avons noté quelques contrats plus originaux :

Série 5100 RP (Marietta 1989) est une commande militaire de stations de travail robustes, édifiées autour du Q Bus à partir des modèles standard de DEC : VAX GPX, VAX II, VAX 3200 / 3500 / 3800. Les livraisons 1989 portent sur 18 portables et 89 machines de table, une seconde commande de 85 portables et 11 machines de table a suivi en 1990.

Série 5200 RP (Marietta 1990) est un travail analogue portant sur des stations Sun 3 et 4 qui sont militarisées autour des normes de bus VME.

ASAP (1990) est une étude de processeur parallèle, signifiant Advanced Systolic Array Processor. Le concept de réseau systolique signifie que les résultats de calcul d'un processeur élémentaire servent de donnée pour un ou plusieurs de ses voisins au cycle suivant de la synchro générale.

La version II de ce système comprend des AUA de 256 éléments, chacun d'eux, capable de 500 Mops, étant placé sur une carte VME 9U * 220 mm, ou sur deux cartes 6U * 160 formant module. 2 bus de 80 MB/s servent à bâtir des réseaux. Jusqu'à 8 AUA peuvent être groupées dans un SMSP 205 qui, géré par un ordinateur hôte tel qu'une station Sun, peut par exemple commander en temps les faisceaux d'un radar (beam forming). Un tel ordinateur peut être utilisé en SIMD ou en MIMD selon l'application. Il est cependant plus facile d'écrire cette affirmation que de réaliser le logiciel qui fera effectivement ce travail. C'est peut-être pour cela qu'on n'a guère parlé de débouché pour ce produit.

Pour en terminer avec Martin, rappelons que cette firme a été, vers 1999, mariée autoritairement par le gouvernement avec Lockheed, autre grand des études militaires et spatiales. L'informatique, également très minoritaire chez Lockheed, n'a joué aucun rôle dans cette fusion.

384 - Masscomp

Cette petite société s'est créée dès le début de la carrière très réussie du microprocesseur 68000 de Motorola, autour d'un concept simple et ambitieux : confier à deux microprocesseurs coopérants les calculs d'une part et les entrées / sorties d'autre part : la Workstation 500 de 1983 confie le système d'exploitation et les calculs en virgule fixe à un 68010 qui gère une mémoire virtuelle, les calculs en virgule flottante à un ou plusieurs processeurs propriétaires construits en TTL, et les entrées / sorties à un 68000 qui travaille avec un Multibus, offrant une solution industrielle sûre aux extensions.

Il semble que la qualité technique ne suffise pas, et que cette station, faute d'être connue, n'a pu lutter avec les produits des constructeurs spécialisés. Cependant, si la clientèle privée n'a pas reconnu l'intérêt de la tentative, les armées ne l'ont pas ignoré : en 9/86, la société C3, de Virginie, est chargée par le SAC de lui organiser un réseau sûr interbases pour la planification des missions : elle utilise à cet effet les stations MC 5400 et MC 5600, à base de 680X0, certifiées Tempest.

Le succès local obtenu par le fabricant lui a cependant permis de suivre l'évolution de Motorola : Masscomp propose en 1985 le MC 5700, un multiprocesseur groupant autour d'une mémoire de 32 MB de un à quatre processeurs 68020, un processeur de calcul flottant optionnel, et un cache de 8 KB organisé en deux rangs.

Chaque 68020 est associé à un Multibus propre (IEEE 796) de 3 MB/s sur lequel on peut connecter :

un contrôleur Ethernet.

un contrôleur de bandes magnétiques

un contrôleur de disques

un processeur graphique avec souris

un processeur d'acquisition de données.

Le processeur de calcul peut être un 68881, ou un processeur câblé étudié par Masscomp. Ce dernier dispose d'une queue de 16 instructions, et d'un pipeline d'exécution.

Le processeur graphique existe en plusieurs variantes. Le plus performant, conçu pour écran Aurora 19 », dispose de deux frame buffers de 1152 * 910 pixels, d'un maximum de 28 plans de mémoire, et de son propre processeur 68020.

Le processeur d'acquisition dispose d'un bus STD pour A/D et D/A, de lignes série et/ou parallèles, et d'une interface IEEE 488 pour l'instrumentation.

Le logiciel est, comme pour la Workstation, une combinaison de UNIX V et BSD 4.2 .

385 - Masspar

Vers 1990, un grand engouement pour les processeurs parallèles s'est manifesté dans l'industrie sous la forme principale de petites startup issues d'universités, expérimentant les multiples façons de connecter des processeurs puissants en réseaux bi, tri, ou multi-dimensionnels. Masspar est l'une de ces entreprises, proposant une matrice carrée de 32 à 16384 processeurs.

Son succès aurait pu être aussi faible que celui de nombreux concurrents si Masspar n'avait eu l'habileté de s'associer avec Digital Equipment pour construire le MPP 12000, un couple processeur/hôte combinant un MP 1 avec une DECstation 5000. Voir fiche MP1.

Malgré cette aide, le succès est resté confidentiel : nos sources font état de 25 MP1 en service en 3/91, et de quelques machines supplémentaires sous l'étiquette MPP 12000.

Une autre source, International Data Corporation, fait état de 52 ventes en 1991, 61 en 1992, et 40 seulement en 1993.

En 3/93, Masspar qui ne progresse plus est obligé d'annoncer une suite, ou d'abandonner . Ce MP 2 utilisait un nouveau processeur élémentaire capable de 4 Mips ou

3,2 KFlops sur 32 bits, et pouvait s'organiser en configurations de 1024, 4096, 8192 ou 16384 processeurs : soit donc une puissance un peu plus que doublée par rapport au MP1. Mais à cette date, la mode était passée, plusieurs faillites s'étaient produites, et la presse informatique cessait de soutenir le calcul parallèle ; en outre DEC commençait à avoir des difficultés financières et ne souhaitait plus se disperser. Masspar tomba dans l'oubli.

386 - Le MACS de Matrox

Matrox est une des innombrables sociétés qui ont tenté de s'introduire sur le marché de la gestion dans les entreprises à partir d'un microprocesseur 8 bits et du logiciel CP/M de Digital Research : une tâche difficile dans la mesure où la valeur ajoutée est pour l'essentiel dans les fournitures que l'assembleur obtient de ses fournisseurs.

Le point de départ est une carte OEM, ZBC 80, qui regroupe :

un microprocesseur Z80A 8 bits à 4 MHz, amélioration substantielle de l'Intel 8080.

un coprocesseur de virgule flottante AMD 9511.

une mémoire RAM de 16 ou 64K bytes.

cinq socles pour EPROM destinées au système d'exploitation

48 bits d'entrées / sorties dont certaines associées à une UART.

6 compteurs / timers

16 voies d'interruption

et une interface Multibus.

Une autre carte peut lui être associée, contenant 128 KB de RAM avec temps d'accès de 350 ns, les circuits de rafraîchissement transparents pour l'utilisateur, une alimentation de secours par batterie, et une interface Multibus.

Ces éléments constituant le vrai produit de Matrox, cette société croit pouvoir améliorer ses ventes en complétant ces produits de base par quelques additions permettant de construire un minicalculateur de gestion, à savoir :

un châssis à 7 slots, avec une alimentation principale à choisir parmi trois : 6A, 12 A ou 24 A sous 5 volts, plus des alimentations de moindre puissance pour + 12, - 12, et - 5 volts.

un châssis disques contenant une puce contrôleur de floppy FD 1791, un à 4 tourne-disques DF 28 double densité, deux voies d'adressage avec DMA, et 32 KB de mémoire.

un logiciel standard de Digital Research, comprenant le système d'exploitation CP/M2, l'interpréteur BASIC, des compilateurs COBOL, Fortran et Pascal, et quelques applications.

387 - System 2000 de Medical Computer Science

Un exemple de plus de ces petits systèmes de gestion construits par des amateurs autour de minicalculateurs du commerce, pour satisfaire un besoin particulier, et dont les créateurs n'avaient pas l'étoffe, ou les relations nécessaires pour devenir des industriels.

Ici le besoin est la gestion hospitalière, et le matériel choisi un HP 2108, associé à une mémoire MOS de 4 à 384 KB, cycle 650 ns. Le logiciel est une monoprogrammation, orientée vers la gestion de tous fichiers sur tous supports, lesquels sont optionnels, et

vers la connexion d'un maximum de 64 lignes. Une IP 1200 est prévue pour générer du papier, mais elle n'est pas comprise dans le prix de base de \$ 15000.

Le logiciel comprend assembleur, Basic, Algol, Fortran, un package de gestion et une petite base de données qui pourrait n'être qu'une gestion de fichiers.

Vente immédiate et locale de 15 exemplaires, mais pas de suite.

388 - MEGA 1 / 8 de Megasystem

Il est difficile de trouver une logique dans cette machine annoncée le 1 / 3 / 79, installée dès le 21 / 5 / 79, et réalisée en un très petit nombre d'exemplaires, peut-être un seul.

Nous ne connaissons que les caractéristiques de cette première livraison.

La machine est un V32 du constructeur Two Pi, qui avait misé sur la compatibilité IBM dans le bas de gamme, niveau 138. La société Megasystem se proposait certainement d'en vendre plusieurs, car elle annonçait des possibilités de variation sur les mémoires et les canaux. Prix de base \$ 62400, ou \$ 2184 / mois, chiffres très bas, à la limite de la vraisemblance: s'il n'y a pas d'erreur, le prix seul explique que le premier essai n'ait pas eu de suite.

Le constructeur avait choisi de faire des économies en débarrassant la machine de tout ce qui n'était pas utile à une application d'informatique distribuée, mais en utilisant les systèmes d'exploitation d'IBM; par contre Megasystem offrait de nombreux packages pour ces types d'applications : MegaAPL (interpréteur), SHELL, Insight, Grafit, QED (interrogation de bases de données), MAIL (communication entre écrans), PPC, Statpack. L'explication la plus plausible de cet échec du vendeur Megasystem réside dans les problèmes du constructeur Two Pi, racheté d'abord par Philips puis revendu à Four Phase System.

389 - Produits de Megatek

Cette firme de San Diego, Cal, a choisi de produire des sous-systèmes graphiques s'appliquant à des

processeurs du commerce et d'en composer des logiciels d'application. Par exemple : Megraphic 5000 (document) est une extension graphique en deux cartes, pour machines Data General des types Nova ou Eclipse. Le document dont nous disposons décrit le répertoire additionnel apporté par ces extensions.

Megraphic 6014 est un remplaçant compatible de la console Tektronix 4014, construit autour d'un calculateur Nova 3 avec mémoire de 8 KB, cycle 700 ns : écran 17 », processeur graphique MG 752 propriétaire, clavier ASCII avec joystick, interface RS 232 et logiciel d'émulation. Il en existe une version poussée avec écran 21 », mémoire 128 KB, disquette, tablette, plotteur, bande magnétique, formant un ensemble autonome qui ne cherche plus la compatibilité mais rend les mêmes services.

Megraphic 7000 est un système complet, comprenant écran 21 « , processeur, mémoire, alimentation, pour connexion à n'importe quel mini tel que DEC 11 ou Data General Eclipse. Voir le document du 5000.

Whizzard 5014 reprend en 1979 le même objectif de compatibilité Tektronix, avec un CPU 32 bits à base d'AMD 2903, un écran 4096 * 4096 rafraîchi à 30 Hz. Grâce à un

système de visualisation qui produit des vecteurs en un temps proportionnel à leur longueur, il peut atteindre 20000 vecteurs par image.

X-Cellerator, proposé en 1990, est une carte VME 6U qui améliore dans de très fortes proportions, un facteur 3 à 5 par exemple, les performances de tout système travaillant sous Unix avec X Window. Par exemple, les stations Sun 4, ou encore la station Sigma de Megatek. Voir fiche et photo.

390 - La Computing Surface de Meiko Scientific

Cette société se manifeste pour la première fois en 1985, construisant à base de Transputer T414 un réseau matriciel de 128 cellules, avec une mémoire de 48 KB pour un groupe de 4 processeurs.

La Computing Surface de 1989 est un processeur parallèle de beaucoup plus grande envergure, à usage de traitement du signal. Elle est construite au moyen de cartes MK086 comprenant :

un processeur principal i 860 capable de 66 MFlops

un Transputer T800 capable de 1,75 MFlops ou 12 Mips

un autre Transputer pour les communications

jusqu'à 8 MB de mémoire vive

deux portes capables de 130 MB / s.

Nous ignorons malheureusement le mode d'interconnexion de ces cartes, mais nous avons une idée des performances accessibles : une carte exécute une FFT de 1024 points en 1,33 ms.

A titre d'exemple, on peut citer un modèle M40 en commande en 1990, comprenant 64 noeuds du type ci-dessus. La puissance d'une telle machine est 1,5 GFlops.

Selon International Data Corporation, Meiko aurait vendu 60 machines en 1991, 34 en 1992, 28 en 1993. Il est clair que, l'engouement passé, les laboratoires qui constituent les seuls clients possibles sont saturés, et que le marché disparaît.

391 - Les produits japonais de Melcom Business Systems, Inc.

Avec ce nom de Melcom 80, cette société installée à Compton, Cal, est à coup sûr une filiale de la société japonaise Mitsubishi. Une information impossible à vérifier fait état de 9000 machines vendues par cette firme, ce qui est tout à fait invraisemblable, à moins que ce chiffre n'englobe les machines de même type vendues au Japon. Mais..... il n'y a pas de machine de ce numéro dans la production japonaise.

Le Model 8 de 12 / 76 utiliserait un mot de 63 bits comprenant 48 bits d'information, 8 bits de signe (?), et 7 flags, qui peut être soit un ensemble de 12 chiffres décimaux, soit une instruction. Une telle organisation paraît bizarrement périmée à cette date.

La mémoire MOS occupe 16 à 24 KB avec un cycle de 800 ns, c'est une capacité insuffisante.

Le bloc de calcul comprend seulement trois registres. L'addition sur un mot dure 900 µs, la multiplication et la division sont standard.

Le bloc de commande est microprogrammé sur une ROM de 1,5 KB, taille de microinstruction inconnue.

Le débit des entrées/sorties est de 40 KB/s, ce qui encore une fois paraît inacceptablement faible. Il n'y a qu'une interruption, donc l'analyse en est programmée. On évoque les périphériques suivants : floppy de 486 ou 973 KB, ME 120, ligne à 9600 bauds, écran de 16 * 32 caractères.

Le logiciel est entièrement sur ROM.

Ces renseignements sont au moins surprenants, car les structures décrites sont désuètes et inadaptées, les chiffres trop faibles souvent pour être crédibles en 1976. Une partie des difficultés d'interprétation pourrait provenir de la traduction du japonais en anglais.

Le Model 38 annoncé en août 77 est complètement différent du précédent, plus moderne et plus crédible. La mémoire est MOS, formée de mots de 16 bits avec un cycle de 750 ns, la capacité pouvant varier de 32 à 192 KB : il est donc un peu étonnant que notre source spécifie un adressage limité à 64 KB. Protection de mémoire, Batterie de sauvegarde en option.

Le bloc de calcul travaille sur le byte de 8 bits + parité., et comporte deux accus et deux index. L'addition sur 5 chiffres dure 51 µs.

Le bloc de commande utilise 7,7 KB de ROM pour la microprogrammation : cela permet de composer une architecture inspirée d' IBM, avec des instructions de 2, 4 ou 6 bytes.

Les entrées/sorties ont un débit cumulé de 2,35 MB/s et s'appuient sur 7 interruptions.

Parmi les périphériques, on peut citer une RTC, des floppies de 243 ou 486 KB, des disques en cartouche ou en pack jusqu'à 400 MB, des cassettes travaillant à 750 bps, des bandes magnétiques de 20 ou 40 KB/s, LC 300 ou 600, IP 110 ou 600, une ligne à 9600 bauds, et un écran 25 * 80 caractères.

Le logiciel s'appuie sur un OS qui pratique batch et interactivité. Les langages sont assembleur, COBOL et RPG, et un PROGRESS non identifié.

Le prix de la machine est en moyenne de 45000 \$.

392 - Memorex

Cette compagnie naît vers 1965 comme conséquence de la définition par IBM d'interfaces normalisés pour la connexion de périphériques aux calculateurs de la famille S/360 : il est désormais possible de produire des périphériques directement interchangeables avec ceux d' IBM et, compte tenu de la politique de prix de ce constructeur (l'ombrelle IBM), de les vendre moins cher et cependant avec bénéfice.

Appliquée d'abord aux disques 2314, que Memorex achète au japonais NEC, et aux bandes magnétiques 2420, que Memorex trouve chez Fujitsu, cette politique procure à la société des bénéfices importants et une part de marché notable, jusqu'à 35% pour les disques semble-t-il.

L'avènement de la mémoire MOS, provoqué par IBM avec les 370, ouvre la voie à une nouvelle sorte de compatibilité, celle des ordinateurs eux-mêmes : l'architecture 370 est dans le domaine public.

Memorex choisit son créneau en bas de gamme, où la 360/20 présente l'intérêt de n'être pas une authentique 360 : il est donc plus facile de prendre quelques libertés avec

les spécifications. Ce sera la MRX 40 (fiche et manuel) qui obtiendra quelque succès. A noter que cette machine, certes conçue pour profiter de la compatibilité, n'est cependant pas une copie servile et comporte plusieurs originalités.

Au moment où Memorex se lance dans cette aventure, IBM commence à manifester quelque agacement devant le grignotage de ses marchés que représente ce copiage systématique. Tout en lançant la nouvelle famille de disques 3330, qui va d'ailleurs être copiée immédiatement, IBM met aussi sur le marché, à un prix très bas mais parfaitement rentable s'agissant de matériels amortis, des disques 2319 qui sont des 2314 restitués et remis en état : la clientèle de Memorex s'effondre, et les MRX 40 doivent être abandonnés faute d'un budget de publicité et de service après-vente.

Memorex fait à IBM un procès pour « predatory pricing » mais n'est pas en état de soutenir cet effort assez longtemps. C'est un autre compatible, Telex, nettement plus petit mais appuyé par toute la profession, qui reprend ce flambeau en 1973 : ce n'est pas un soutien très honorable, car Telex s'est introduit sur ce marché en soudoyant un ingénieur d'IBM qui lui a apporté les plans des 3330. IBM contre-attaque en faisant à Telex un procès pour vol.

Le double procès, très médiatisé, a lieu à Tulsa, Oklahoma, siège du plaignant. Après une étude approfondie des dossiers, qui met en évidence, entre autres choses, qu'IBM a délibérément acculé Memorex à la faillite, le juge Christensen en conclut qu'IBM use de pratiques monopolistiques sur le marché en cause, celui de ses propres périphériques et, tout en condamnant Telex à M\$ 21,9 de dépens pour vol qualifié, condamne IBM à lui verser M\$ 260, soit environ trois fois le CA de Telex. Le juge reconnaît qu'IBM n'a pas fait de

dumping, tirant même de ses disques un bénéfice de 20%, mais il estime que sa position dominante lui crée des obligations.

L'émotion est considérable dans la profession, et tous les indépendants viennent à tour de rôle déposer des plaintes contre IBM, désormais coupable de défendre par des pratiques commerciales reconnues normales un marché qu'elle a créé. Cependant, bien sûr, IBM fait appel, et cet appel est suspensif, ce qui ne laisse pas de poser des problèmes à Telex, très à court de trésorerie.

Le second procès a lieu à Denver, Colorado, en 1974, et toute l'industrie informatique reste suspendue à cette décision. En 1975, elle tombe : Telex reste condamné pour vol, mais IBM est lavée de toute accusation. Le juge estime que son collègue de Tulsa s'est trompé en isolant le marché des périphériques IBM, car tout fabricant est naturellement majoritaire dans un marché qu'il crée ; il faut donc s'intéresser au marché d'ensemble des périphériques d'ordinateurs, et puisque IBM ne détient que 37,5% de ce marché, il n'est plus question de monopole.

Cette victoire d'IBM met fin aux espoirs des indépendants dont la plupart retirent leurs plaintes. Telex annonce qu'il va faire appel à la Cour Suprême mais, exsangue, sera bien heureux d'accepter fin 75 la transaction proposée par IBM, selon laquelle les deux parties mettent fin au conflit sans paiement de part ni d'autre. Désormais les conditions du marché des compatibles sont claires : on peut copier IBM et profiter de sa vaste implantation, mais on le fait à ses risques et périls sous la seule réserve qu'IBM ne fasse pas de dumping, ce qui n'est en fait jamais le cas.

Pour Memorex, qui a assisté en spectateur à tous ces épisodes, le grignotage d'IBM à base de produits d'origine japonaise reprend avec succès dans les limites nouvellement définies. Le tableau suivant montre l'évolution de la situation financière de la société :

Année	CA (M\$)	Bénéfice (M\$)	Effectif
1974	218		
1975	264		
1976	345	25	6100
1977	450	56	8823
1978	633	42	11085
1979	738	31,5	12264
1980	769	- 92	11300

En apparence tout à fait saine au départ, avec 40% d'exportations, 4% de R&D ce qui est correct pour une firme essentiellement commerciale, Memorex voit donc son CA croître mais, assez vite, ses bénéfices diminuer, jusqu'à la catastrophe finale : IBM a simplement augmenté le rythme de ses inventions, et les fournisseurs de Memorex, qui ne peuvent pas commencer à copier avant les premières livraisons d'un nouveau produit, n'ont pas pu suivre.

En 1980, Memorex est rachetée par Burroughs et en devient la filiale « périphériques ». Son nom ne semble pas disparaître, cependant, et survivra à la fusion de Burroughs dans Unisys en 1987.

392 - Meteor de Mentec Computer

Encore une tentative, vite abandonnée, de s'introduire sur le créneau supposé des processeurs parallèles. L'essai est pourtant prudent, le parallélisme portant sur un maximum de 16 cartes M860, soit une puissance de 500 Mips.

Cette carte de base contient un processeur RISC i860 à 40 MHz, 8 ou 32 MB de DRAM, et une interface Multibus II, qui donne accès à tous réseaux LAN et aux produits de nombreux constructeurs, DEC, Sun, Apple. Prix à partir de \$ 10995.

Logiciel : compilateurs C ANSI et Fortran, outillage Opal, Tuplex, C.Linda.

Parmi les causes d'échec, il y a sans doute le fait qu'Intel, promoteur du Multibus II, ne l'a pas réellement soutenu .

393 - Compute Engine de Mentor Graphic

Il s'agit ici d'une station de travail monoposte, plus particulièrement une station Apollo considérée à cette époque précise comme le symbole d'excellence, et dont on cherche à améliorer la performance de calcul par addition d'un processeur enfichable limité à 2 cartes, qui supprime complètement le processeur original. En fait, ce dernier ne s'occupe plus que du système d'exploitation et des entrées / sorties, les calculs étant confiés au processeur additionnel.

Les deux cartes contiennent le CPU, une mémoire 2 (2) 20 MB, un bus local de 32 bits de large, 32 MB / s, et un DMA pour relier ce bus à celui de la station hôte.

Le processeur flottant est construit avec des réseaux de portes de VLSI Logic Inc. , en CMOS 16 MHz, et se compose de 6 unités simultanées :

deux unités arithmétiques spécialisées, probablement add et mpy.

un jeu de 872 registres de données

un bloc de commande avec cache d'instructions

un générateur d'adresses avec 1024 registres, index et compteurs

un BIU, interface avec le bus mémoire.

Le processeur travaille en adresses réelles avec un seul flot de données. Il est capable de 8 MFlops, ou 2,75 M Whetstone / s ; pour obtenir ce résultat, il est fortement d'un compilateur optimiseur qui traite un énoncé en langage C, et délivre des primitives de type RISC qui tirent le meilleur parti du parallélisme.

Bien que les performances annoncées n'impressionnent plus en 2000, on notera que cette conception est exactement celle qui a prévalu dans les années 90, lorsque s'est généralisé le recours à des microprocesseurs superscalaires.

394 - Mergenthaler et l'imprimerie

Dans les années 60, les techniques d'imprimerie se caractérisent par un passage de la typographie, où le texte à imprimer est composé par juxtaposition de caractères matériels (plomb) dans un cadre support, à la photocomposition, où interviennent l'ordinateur et un opérateur travaillant sur écran, pour composer un support d'impression plus léger, tel que les plaques offset.

Mergenthaler , fabricant de machines de tirage linotype, s'efforçait de proposer en même temps des logiciels de préparation.

Linasec, qui date de 1963, est une machine complètement spécialisée. Elle reçoit du texte en vrac sur une bande perforée continue, et délivre au rythme de 6600 à 7500 lignes / heure une bande perforée de texte justifié sur la largeur appropriée (les colonnes de journaux). La mémoire de travail correspond à un peu plus d'une ligne, de façon à prévoir les mots à couper par des tirets.

18 de ces machines sont en service en 1966.

Le Linotron de 1966 est électronique, comme son nom le suggère, et fait lui aussi passer d'une bande perforée d'entrée à une bande de commande pour la photocomposeuse

Linotype.

Il s'agit cette fois d'une calculatrice quasi universelle, à cela près que son programme est câblé ; il est cependant facile à changer. Le répertoire de 160 opérations s'exécute dans deux unités arithmétiques décimales, parallèles sur 5 chiffres, capables d'une addition en 1,5 μ s. Cette unité comprend 5 registres de calcul, et 12 autres registres, ce qui ne nous apprend pas grand chose, sinon pour donner un ordre de grandeur de la sophistication du dispositif.

Plus significatif est le découpage des mémoires :

un tampon d'entrée de 8 K bits.

une mémoire de page de 16 K * 6 bits, ce qui limite curieusement la richesse typographique.

une mémoire de travail de 2048 mots de 17 bits.

Une véritable compréhension de ce dispositif impliquerait une connaissance précise du fonctionnement de la photocomposeuse, ce qui n'est pas notre cas.

Il semble que la baisse des prix de l'électronique et l'amélioration des techniques d'imprimerie de masse aient fait disparaître Mergenthaler, alors que la photocomposition est aujourd'hui généralisée.

395 - MESA Technology Corp

Ce titre géographique cache probablement un modeste transformateur, acceptant des contrats de remise en boîte de calculateurs connus, en vue de les amener au niveau Tempest de résistance aux indiscretions. On rappelle que les conditions Tempest sont civiles plutôt que militaires, et nettement moins sévères que les normes MIL, mais néanmoins exigeantes.

Ce prestataire de services ne paraît pas figé dans ses choix : tout ce qui utilise les microprocesseurs Intel 386 ou 486 semble acceptable pour lui. Le produit est baptisé Model 521 T.

Matériel : 2 baies 12 slots, simple ou double hauteur, pour loger une alimentation de 1 KW, jusqu'à 16 MB de mémoire DRAM, le CPU, jusqu'à 1,5 GB de disques amovibles, et jusqu'à 36 lignes. Les périphériques sont connectés sur un fond de panier Multibus II. Logiciel : au choix ou simultanément : UNIX V, MS/DOS, et les logiciels Intel RMX et RMK. L'équipementier cherche donc à satisfaire autant les applications temps réel des machines Intel que les besoins des PC.

396 - Les petits systèmes de Micro V

Cette société de Irvine, Cal, est l'un des innombrables producteurs de micros de très petite gestion. Son premier produit de 1978 est une simple carte OEM, la Microstar / 5, qui contient un microprocesseur Intel 8085, 16 à 64KB de RAM, une RTC, un système d'interruptions, un bootstrap, 2 interfaces RS232C, et un contrôleur de floppy Intel 8271. Le prix de cette carte, par lot de 100, est \$ 1270 pour une mémoire de 32 KB, un macroassembleur, un debugging interactif, un éditeur et un rudiment de traitement de texte.

Pour \$ 3995, on peut avoir un boîtier contenant, outre la carte, 2 floppies, des interfaces pour l'écran et l'imprimante, le système d'exploitation CP/M, un interpréteur Basic, et des compilateurs Fortran IV, Cobol et Pascal.

Fin 78, Micro V propose encore, sous le nom de Microstar / 45 et pour \$ 10000, outre le boîtier précédent, un écran, une imprimante 132 colonnes, et la maintenance par Calcomp. Deux ans plus tard, la même société, dont ce micro a du assurer la subsistance, sans plus, propose un boîtier contenant cette fois un microprocesseur 16 bits, très probablement un 8086. On y trouve aussi jusqu'à 512 KB de mémoire, un DMA, un disque Winchester de 8 », un floppy de 8 », une cartouche de sauvegarde en 1 / 4 de pouce. Ce système, complètement indépendant du PC qui pourtant existe désormais, est présenté comme supportant jusqu'à 10 écrans, mais on ignore avec quel logiciel.

Cette attitude désinvolte, due probablement à l'ignorance du marché, s'est traduite par un échec et la disparition de la compagnie.

397 - Le PIC de Microchip

Cette société est probablement un simple bureau d'études, recourant à un fondeur pour transformer ses dessins en produit. Le PIC est un contrôleur 8 bits, construit avec une architecture genre RISC, à base de registres.

La mémoire de programme peut être construite avec des puces 512 * 12 ou 64 * 16, au choix ROM, PROM, EPROM ou EEPROM.

La mémoire de travail comprend de 25 à 192 bytes, plus 64 bytes d'EEPROM pour des données non effaçables comme le numéro de série.

Les périphériques sont 1 à 4 timers, un chien de garde, un port série, 12 à 33 ports accessibles en parallèle, et un codeur A/D 4 à 8 voies, précision 8 bits.

Le logiciel enfin est C.

Les boîtiers sont disponibles dans presque toutes les configurations: DIP, SO, SSOP, PLCC, QFP. L'abondance des variations possibles pose un problème de nomenclature, que je n'ai pas résolu.

Exemple : le PIC 16C54A correspond à un boîtier DIL 18 broches !!

398 - Microdata Corporation

Cette société est née Micro System, Inc. pour produire en 1969 le Micro 800, un calculateur 8 bits qui dispose de 89 opérations microprogrammées sur une ROM de 256 mots. Cette machine très réussie a donné lieu aux variantes suivantes :

un contrôleur sans mémoire, vendu \$ 2950.

un ordinateur temps réel avec une mémoire de 0 à 32 KB proposée en 8 bits (minimum), 9 bits (contrôle de parité), ou 10 bits (protection de mémoire). Il s'agit d'une mémoire à tores, cycle 1,1 µs, en modules de 2 ou 4 KB, donc une technologie très simple. En complément, horloge, interruptions pour coupure de courant et reprise, et DMA 910 KB/s.

la programmation est normalement sur ROM, en trois tailles : 512 mots dans le 811, 768 mots dans le 810, 1024 mots dans le 812.

en 1971, extension à 102 opérations (Mle 820, lui aussi en trois variantes).

Cette première machine s'est très bien vendue : 550 Mle 800, 400 Mle 810, 290 Mle 812, 400 Mle 820, et des licences dans plusieurs directions, dont une en France : le Multi 8 de Intertechnique.

La réussite de la société conduit à des investissements et à un changement de nom, elle devient Microdata Corporation et crée le Microdata 1600, qui est une extension compatible du répertoire 800 sur 2K * 16 bits de mémoire ROM ou WCS, cycle 200 ns. Cette micromachine va trouver une foule de débouchés :

le Mle 30 est un mini scientifique avec mémoire à tores de 8 (8) 128 KB, cycle 1 µs.

Le répertoire de 107 opérations peut être complété par une option VF. Performances typiques : addition 4,6 µs, multiplication 49 µs, division 64 µs.

Les entrées / sorties peuvent se faire en accès direct à 35200 mots / s, sur 32 voies. En option, jusqu'à 4 DMA portent le débit à 1 Mmots/s. Ce système est complété par 3 à 66 interruptions, avec un temps de réponse de 24,8 µs. Prix \$ 5700.

le Mle 60 est un biprocesseur de gestion de lignes téléphoniques, jusqu'à 256 pour un débit global de 40000 car / s. Ce modèle est fourni avec un logiciel de gestion de messages.

la micromachine donnera lieu à de nombreuses ventes OEM, en vue d'applications diverses : CIP 4400 de Cincinnati Milacron, Insight de Display Data (82 machines à partir de 1 / 74), BDS 1000 de Northrop (50 machines à partir de 6 / 72), et bien d'autres.

il y aura aussi deux grosses licences de fabrication : MAI - Basic Four aux USA, Intertechnique en France. On renvoie à la documentation française pour une analyse détaillée.

Le Micro - One de 1974 est une nouvelle extension compatible de la formule, tant pour l'OEM que comme miniordinateur. Voir fiche.

En même temps, Microdata devenu suffisamment puissant aborde les micros 16 bits avec le Microdata 3200 (fiche), une machine qui est commercialisée en deux variantes de microprogrammation : un modèle standard pour toutes applications temps réel, et un modèle 32 / S conçu pour faciliter la compilation et l'exécution d'un sous-ensemble de PL / I. Un accord est passé avec Olivetti pour vendre cette machine comme petit système de gestion.

En 1977 Microdata franchit un nouveau pas en proposant non plus seulement des micromachines, mais un système de gestion complet, Reality 11 : les ambitions sont encore modestes, et le processeur est un Microdata 1600, associé à une mémoire à tores de 16KB et à un disque de 5 MB formant mémoire virtuelle. La machine est complétée par un écran PRISM, et par une imprimante SCRIBE, 120 ou 165 cps dans un jeu de 96 caractères produits par une matrice 7 * 9 sur 132 caractères de large; deux jeux de ROM permettent de changer la police sur une commande du programme.

Le logiciel Reality se compose du système d'exploitation PICK et du langage de programmation ENGLISH, ainsi appelé pour donner l'impression d'une programmation en langage naturel. Prix \$ 31500.

Reality est une réussite, mais ses possibilités sont limitées par sa mémoire 8 bits.

Microdata prend le risque de s'introduire dans la cour des grands en profitant de l'apparition du microprocesseur en tranches AMD 2901 et crée, en 1978, le Express 3, un mini 32 bits à mémoire virtuelle, multiprogrammation, multiutilisateurs.

Cette machine a été vendue en Europe par Olivetti sous le nom de 1900, avec 256 KB de mémoire, 2 à 4 floppies de 1 MB, ou jusqu'à 300 MB de disques de 10, 25 ou 75 MB. L'exploitation peut se faire depuis 6 à 30 écrans de 260, 480 ou 1920 caractères, et déboucher sur 1 à 30 imprimantes de 90, 200 ou 300 cps. Il n'est pas prévu de lignes. Le logiciel est COBOL, Fortran, PL / I, ou Business BASIC.

Cette approche européenne sera suivie, en 1981, d'une variante américaine, Sequel, conçue comme compatible avec Reality, dans un espace très agrandi : jusqu'à 2 MB de

mémoire de travail et 1 GB de disques, et une organisation d'entrées / sorties révisée, avec un IOP à base de 2901, et des Z80 dans les contrôleurs de disques et de lignes. Prix typique : K\$ 155 pour 1 MB de mémoire, 256 MB de disque, un dérouleur de bande, une IP 300 et 4 écrans.

C'est vers ce moment, et peut-être à cause des frais consentis pour cette expansion, que Microdata devient, en plein succès, une filiale de McDonnell Douglas. On renvoie à ce constructeur en rubrique 380.

399 - Production d' ASIC

Les ASIC sont des circuits intégrés spécialisés étudiés et réalisés pour un besoin spécifique d'une firme particulière. Il est clair que, si le circuit est à composer en totalité au moment du besoin, on ne peut amortir l'étude que sur une production de masse ; d'autre part, si le besoin quantitatif est faible, la solution la plus économique est la logique programmable, malgré le prix élevé de chaque circuit, qui de surcroît sera médiocrement utilisé.

Pour ouvrir l'accès aux ASIC à un plus grand nombre d'applications, la solution consiste à composer des bibliothèques de schémas de circuits intégrés dont chacun représente une fonctionnalité, dans l'espoir que l'ASIC à créer puisse être entièrement construit avec de tels fragments, convenablement disposés et interconnectés. L'enrichissement de telles bibliothèques avec des fonctions bien adaptées aux besoins est l'une des activités des spécialistes de ce métier.

Les bibliothèques elles-mêmes étaient, à l'origine, des collections d'images graphiques représentant des masques, avec tout un système de repères précis pour une exacte superposition des divers masques concourant à la réalisation d'une fonction. On voit que l'efficacité du système imposait que toutes les fonctions soient matérialisées selon le même processus physique, souvent propriétaire.

Vers 2000 on a franchi une étape supplémentaire grâce à deux nouveautés techniques, anciennes mais arrivées à maturité sous la pression de la nécessité :

représentation des masques par un langage de dessin, formellement équivalent mais beaucoup plus aisé à manipuler par l'ordinateur.

possibilité de paramétrer ces descriptions, dans une certaine mesure, en fonction de caractéristiques du processus de fabrication : fréquence de fonctionnement, géométrie des transistors MOSFET, caractéristiques électriques de l'isolant intercouches (SiO₂ en général) et du métal de câblage (aluminium, cuivre).

On augmente ainsi la généralité des descriptions composées par les bureaux d'études, qui atteignent une clientèle plus large et de ce fait coûtent moins cher à chaque usager, et restent valables plus longtemps.

Mietec est l'un de ces spécialistes, qui a réalisé le MTC 8308 en 11 / 94, une époque où on stockait encore les composants sous forme graphique. C'est un coeur RISC étudié en liaison avec la société Nordic VLSI, et on n'est pas en mesure de définir le partage des responsabilités.

Technologie : CMOS 0,7 μ , surface totale de la fonction 2 mm².

Processeur : architecture Harvard (ce qui veut dire que les mémoires de programme et de données ne communiquent pas), avec 64 registres généraux, et une pile de CO de profondeur 3. Répertoire de 31 opérations de durée 1 ou 2 CP, sur 8 bits. Pipeline. Une estimation de la puissance à 40 Mips suggère alors une fréquence de l'ordre de 60 MHz, qui n'est pas invraisemblable à l'époque.

Mémoire de programme : 4096 * 16 bits

Mémoire de travail : 192 * 8 bits.

On peut encore citer Atmel, Altera, Lightspeed Semi en rubrique 351, LSI Logic avec Coreware en 378, Lucent avec CX Cores en 379, etc.....

400 - Mk 16 de Mikros Systems Corporation

Les caractéristiques de ce matériel suggèrent une origine universitaire californienne. Il s'agit d'une machine 16 bits, mais sachant manipuler le byte et les mots de 32 bits. Le bloc de calcul comprend 14 registres de 16 bits, tous pouvant être accus ou pointeurs de pile. Un multiplieur 16 * 16 est prévu, délivrant un produit de 32 bits en 9,6 µs, avec option sur un composant plus rapide, 2,8 µs.

20 modes d'adressage sont disponibles, délivrant des adresses 24 bits qui permettent une mémoire virtuelle de 16 MB. Construction à partir de tranches, microprogrammation par WCS, technologie au choix bipolaire ou CMOS / SOS.

Logiciel : le package Pascal UCSD.

Prix typique : \$ 12500 avec 56 KB de mémoire, un floppy , et le logiciel UCSD.

401 - Model 2000 de Miller Ellis

Il s'agit d'un calculateur à usage comptable, défini pour un besoin très local (sans doute à San Francisco) et qui n'a pas du trouver plus que quelques clients. Se présentant comme un petit bureau, il pouvait choisir entre trois fonctions :

faire de la comptabilité en local sur ledger cards.

travailler en temps partagé sur le CDC 3800 de Palo Alto.

concentrer des terminaux Burroughs TC 500 ou IBM 2741.

Organisé autour d'un calculateur Nova , il dispose de 4 KB de mémoire, un écran, un dataset, 3 cassettes et un télétype 33. Ce strict minimum n'autorise à chaque instant qu'une des tâches précitées.

Extension possible à 8 KB de mémoire, une imprimante 356 lpm, 6 dérouleurs de bande magnétique. On ne sait à quelle configuration correspond le prix de \$ 46950 cité par notre source.

On comparera utilement ce produit à une IBM 1401, pour trouver son auteur soit génial, soit farfelu. Il ne pouvait en aucun cas réussir, faute d'un logiciel d'intérêt général.

402 - Machines de gestion de Minicomp

Minicomp s'introduit sur le marché de l'informatique en proposant, en 1969, un système de temps partagé pour jusqu'à 32 télétypes ASR 33, basé sur un minicalculateur BIT 480 avec 16 ou 32 KB de mémoire 12 bits. Il y a là une difficulté d'interprétation, car le BIT 480 est un contrôleur 10 bits.

Prix de vente \$ 45000 avec 8 terminaux.

Le logiciel de base était MINITOK, une calculatrice de bureau qui pouvait ainsi desservir toute une classe. Le vendeur annonçait un interpréteur Basic et un compilateur Fortran. L'intérêt suscité par ce matériel économique incite le constructeur à en tirer, en décembre 70, une version de petite gestion, baptisée Administrator 2. Prix \$ 52000 pour une mémoire 32 K * 16 bits. Aucune indication sur le genre de périphériques, ce qui enlève beaucoup d'intérêt à la nouvelle.

D'autre part, Minicomp proposera aussi, en novembre, pour K\$ 67, un petit système de bureau un peu plus important, utilisant un CPU 16 bits.

Tout à fait indépendamment de ce qui précède, une minuscule société, nommée Monitor Data, construit en 1970 un miniprocesseur 8 bits, logé dans un tiroir de rack standard de 3,5 » (89 mm) de haut, et baptisé MD 708. Il comprend une alimentation de 170 watts, une mémoire de 1 à 64 KB avec cycle de 1,6 µs, et un processeur à 8 registres (2 accus, 6 index) avec un répertoire de 101 opérations, dont une addition exécutable en 1,6 µs. L'adressage se fait par pages de 4 KB, et il existe des options pour l'adressage direct de l'ensemble de la mémoire, et pour l'adressage indirect. Les entrées / sorties, enfin, se font sur un canal de 625 KB/s ; il peut en exister jusqu'à 32.

Cette machine était proposée pour un prix inférieur à 3000 \$, par lots de 25. En fait, il semble qu'il en existait à peu près 25 en service en 7 / 72, et que ce total atteignait 50 en 1974.

Nous ignorons de quelle manière l'opération s'est produite, mais nos informations indiquent qu'en 1974, le créateur de MD 708 et son produit appartiennent à la société Minicomp. Il est dommage qu'au moment où nous constatons cette fusion, nous cessions d'entendre parler de Minicomp.

403 - Machines de gestion de Minicomputer Systems

La société Mini-Computer System propose en 1974 un véritable système de gestion construit autour du Nova 3.12, qui se vend à plus de 600 exemplaires en quatre ans. Cette machine, baptisée MICOS, dispose d'une mémoire de 64 à 256 KB avec cycle de 800 ns, d'un lecteur de cartes 300 ou 1000 cpm, d'une ME 165 et/ou d'une imprimante 300 ou 600 lpm, de disque en cartouche 9,8 MB, ou en pack de 80 MB, éventuellement d'une bande magnétique à 120 Kbps. Une ligne synchrone 50 Kbauds peut transformer ce système en terminal lourd, utilisant le protocole 2780 et, à l'arrivée, HASP sur IBM ou 200 UT sur Univac.

Le logiciel est un OS permettant une multiprogrammation à 16 partitions, complétée par un BASIC et un package comptable. Prix \$ 49900.

Ce matériel sera modernisé en 1977 avec un NOVA 3.4 à mémoire 64 KB, cycle de 700 ns, sans variante. Le prix tombe à \$ 28750 ou \$ 995 / mois, grâce à une réduction des ambitions : 2 partitions seulement, disque limité à la version cartouches.

Ce matériel sera un succès, plus de 800 vendus en un an.

404 - Machines de gestion de Minuteman Computer Corp.

Programme tout à fait semblable au précédent, même support NOVA 3. Le Mle 1774 dispose de 16 à 64 KB de mémoire à tores à cycle de 800 ns, le Mle 1775 peut en comporter 192 KB, la différence de prix de base est de \$ 1000.

Disque en cartouches 80 MB, packs jusqu'à 1280 MB, ME 165, IP 900, une ligne.

Vendu \$ 34995 pour la partie matérielle, logiciel en sus. Ce logiciel comprend assembleur, Basic, Cobol, Fortran, base de données, package de gestion.

Vendu à 80 exemplaires en fin 77 pour des applications de petite distribution, clé en main.

405 - Les microprocesseurs de MIPS

En 1983, une équipe de chercheurs en électronique de l'Université de Stanford se lance dans la définition d'un microprocesseur RISC comportant une idée nouvelle : la progression de l'information à travers les étages du pipeline ne sera pas empêchée par des verrouillages, mais seulement abandonnée s'il s'avère, dans la suite du programme séquentiel, que l'instruction correspondante n'avait pas lieu d'être exécutée. Une telle conception peut évidemment conduire à exécuter beaucoup de travail inutile mais, dans la majorité des cas, elle fera gagner du temps ; la seconde idée est alors de demander au compilateur d'optimiser la séquence d'instructions générée de manière à minimiser le nombre de ces ratages. Sur benchmark, le couple microprocesseur + compilateur s'est révélé jusqu'à 5 fois plus performant que le 68000, son célèbre contemporain : une partie du bénéfice doit être attribué à l'architecture RISC, une autre au compilateur. En tous cas, le résultat de cet exercice a été double :

faire prendre au sérieux l'équipe MIPS, devant laquelle s'ouvre alors un bel avenir industriel.

souligner l'importance de la préoptimisation par compilateur, devenue la norme avec les microprocesseurs ultérieurs de tous les constructeurs, qu'il s'agisse de CISC ou de RISC. Pour l'histoire, ce prototype comportait 24000 transistors NMOS, travaillant à 4 MHz. Le nom du projet, MIPS, signifiait Microprocessor without Interlocked Pipeline Stages.

L'équipe, qui ne compte pas s'arrêter là, publie ses résultats et propose des licences de ses puces à divers fondeurs et équipementiers : IDT, LSI Logic, NEC, Performance Semi, Siemens, et bien d'autres par la suite.

En 1992, l'équipe est rachetée par Silicon Graphics, fabricant de stations de travail encore peu important, dont elle devient la division MIPS Technology. Elle continuera à vendre des licences avec un peu plus de discernement critique, et cela met fin au projet d'un consortium ACE, première solution envisagée pour diffuser la technique.

Le succès du bureau d'étude MIPS se maintiendra pendant la décennie suivante, et chaque modèle s'incarnera dans une foule de réalisations chez de nombreux fabricants de microprocesseurs et, à travers eux, dans des stations de travail et des serveurs.

Dans le présent paragraphe, nous examinerons la dizaine de dessins ayant donné lieu à industrialisation. On retrouvera ces modèles dans une centaine de produits chez plus de dix licenciés.

R 2000 (1986) Voir fiche. L'équipe MIPS s'est essayée, avec ce premier modèle industriel, à une commer-

cialisation directe. C'est l'échec de cette approche qui l'a conduite à sous-traiter la commercialisation à travers une politique de licences.

R 3000 (1988) : très grand succès de Mips, qui vend sa licence à quelque 90 fabricants divers : le 3000 est encore un RISC 32 bits, assez modeste (115000 transistors), généralement accompagné de son coprocesseur FPU 3010. Il s'en vendra 100000 exemplaires en 1989, dont 6000 en Europe.

Matériellement, c'est un circuit CMOS travaillant à 24, 33 ou 40 MHz, avec un pipeline à 5 étages sur 32 bits de large ; le 3010 utilise un pipeline de 6 étages sur 64 bits de large. A titre d'exemple, la version 24 MHz a été mesurée 27 Mips, 4 MFlops, 18,3 Specmarks. Ces chiffres indiquent que la nouvelle organisation rend complètement simultanés le bloc de calcul et le bloc de commande, et que le multiplieur travaille en un seul cycle.

En 1990, un R3000A fonctionnant à 66 MHz, grâce à une réduction photographique des masques, a été expérimenté pour évaluer la méthode et l'aptitude de l'architecture à faire face aux besoins du marché. La conclusion est qu'il faut faire mieux.

R 6000 / 6010 (1991) : transposition de l'organisation 3000 / 3010 pour la technologie bipolaire ECL, 66

MHz, matérialisée par le fondeur BIT pour le compte de MIPS : on a mesuré 60 Mips, 45 Specmarks. Cependant, ce produit ne sera pas suivi, car à peu près à la même date le R4000 est annoncé et s'avère plus efficace.

R 4000 (1992) : en effet, un an plus tard, MIPS est en mesure de regrouper sur une seule puce deux caches I et D de chacun 16 KB rechargeables sur 128 bits de large, un FXU 64 bits présentant une compatibilité ascendante avec le 3000, et un FPU. Ce circuit de 1,3 Mtransistors fonctionne à 40 ou 50 MHz, délivrant 50 Mips avec une consommation de seulement 10 watts. Ce chiffre montre que malgré la simultanéité des deux processeurs, et la possibilité pour le bloc de commande de lancer deux instructions à chaque CP, la performance réelle est de l'ordre de une instruction par cycle.

C'est le succès du 3000 qui a éveillé l'intérêt de Silicon Graphics, un des licenciés, pour l'équipe MIPS, mais les discussions dureront longtemps et nécessiteront d'habiles manoeuvres de MIPS : essai de création du consortium ACE, introduction sur le marché d'un PC, le Magnum 4000, et d'un serveur, le Millenium 4000. MIPS devient cette année-là (1992) MIPS Technology, filiale de SG.

R 4400 (1993) : la rapidité du progrès technologique fait que, presque immédiatement après sa mise en service, le 4000 paraît un peu faible. MIPS reprend sa copie et annonce un 4000A qui est en pratique un produit entièrement nouveau et sera vite rebaptisé 4400.

Sur le même thème général que le 4000, cette puce de 2,2 Mtransistors, réalisée en CMOS 0,6 μ avec deux couches métalliques, en diffère par un doubleur de fréquence interne qui amène la fréquence de travail du bloc de calcul à 150 MHz, et par un cache

L2 externe de 4 MHz. Livrable en trois fréquences 50, 67 et 75 MHz, ce produit sera mesuré 85,9 Specint 92 et 93,6 Specfp 92 dans sa version la plus performante.

Il sera commercialisé en trois versions : SC pour les applications techniques vendu 50 \$ dès 12/93 ; PC pour les desktops, comme son nom l'indique; et MC pour les gros calculs et les serveurs.

En 10/95 on en sera à un 250 MHz capable de 175/178 Spec92.

Ce circuit utilisé par Silicon Graphics a été licencié à Siemens, Toshiba, IDT, Performance Semi, entre autres. Ils ont d'ailleurs choisi des créneaux différents.

C'est ainsi que IDT s'est intéressé à la version SC 100/50 MHz, 64/60 Specmarks, dont la puce limitée à 77 mm² ne consomme que 5,5 watts, et se présente en boîtier PGA 179 broches. C'est l'Orion 4600, qui peut être utilisé sous Unix V ou sous Windows NT.

NEC, autre licencié, en tire (6/95) un R4300 à 100 MHz, destiné au marché des jeux vidéo (Nintendo 64) et vendu \$ 35. L'économie est obtenue en limitant à 32 bits le bus externe, mais le schéma interne est bien amélioré puisque la durée d'une opération entière est réduite de 13 à 5 CP.

R 5000 (9/93) : comme précédemment mais plus vite, du fait de la pression des concurrents, MIPS explore la possibilité de reprendre la même architecture, un peu améliorée, avec une géométrie plus fine. Le R 5000, réalisé en CMOS 0,45 μ, comprend deux caches portés à 32 KB, et une prédiction de branchement ; il fonctionne à 100 MHz sans doubleur, et délivre 130 à 150 Specmarks. Il contient 3,7 Mtransistors et vise plus particulièrement le domaine 3D.

Il y a même une variante T5 en CMOS 0,35 μ qui doit atteindre 250 MHz, et pourrait sortir en 1995. Elle sort finalement en 200 MHz, avec des performances de 5,5 Specint95 et autant de Specfp95 : c'est deux fois le Pentium Pro 200, 7 fois le Pentium 133, 80% de mieux que le PowerPC 604, mais le délai avant sortie enlève beaucoup de signification à cette supériorité. Préparant les 8000 et 10000 compatibles, c'est un superscalaire à deux pipelines, comprenant deux caches 32 KB et la gestion d'un cache secondaire de 2 MB ; il exécute le MAC en un CP.

Ces deux versions seront licenciées à NEC, IDT et NKK. La version NEC, baptisée VR5500, fabriquée en CMOS 0.35 μ, comporte des versions 180 à 250 MHz, pouvant donner jusqu'à 400 MFlops. La version 200 MHz est vendue 285 \$ en quantités OEM, en boîtiers PGA ou BGA (2/96).

La version IDT est produite en CMOS 0.32 μ dans 84 mm², avec des caches à 4 transistors/bit, et se présente en boîtiers BGA 272 billes (4 rangs), dans les fréquences 180 et 200 MHz, vendus < \$ 300.

R 8000 TFP (1994) est une étude commune à MIPS et Toshiba, essayant d'optimiser les prix et les performances en revenant à une organisation multipuce. Réalisé en CMOS 0,5 μ, c'est un 64 bits à 4 Mtransistors, alimenté en 3,3 volts, capable de deux load/store et de deux mpy/add par CP, et fonctionnant à 75 MHz. Il comprend 4 puces, le FXU, un FPU très complet en deux puces, et un cache secondaire de 16 MB, renforçant les deux caches primaires de 16 KB capables de 21,6 GB/s.

Les mesures indiquent 108 Specint92, 310 Specfp92, 265 MFlops au test Linpack 1000 * 1000.

Ce chipset vendu \$ 2000, dont on voit qu'il vise essentiellement la performance de calcul, sera utilisé par Silicon Graphics pour sa station de travail Power Challenge.

R 10000 (9/95) : la pression est de plus en plus forte, et MIPS se voit contrainte de proposer un circuit
superscalaire beaucoup plus ambitieux : voir fiche.

Jade (3/99) : en 1999, MIPS s'essaie à son tour au concept des coeurs configurables et annonce trois produits, Ruby, Jade et Opal. Le premier prêt en mai, Jade ou R4Kc, offre l'architecture du R3000 avec quelques dispositifs tirés des R4000, et la compatibilité avec ces deux modèles du point de vue du programmeur ; il contient deux caches de 8 KB et un pipeline de 5 étages. Il sera suivi en septembre d'un 4Kc, accéléré par la présence d'un opérateur de multiplication / division pour nombres entiers. Opal (10/99) : les coeurs R5Kc Opal annoncés en octobre sont 64 bits (32 registres, bus internes et externes) et synthétisables, avec le même répertoire que les précédents, et une inspiration architecturale prise sur le R5000, avec en outre des instructions de style DSP. L'exécution se fait dans l'ordre dans un pipeline à 6 étages, et la prédiction de branchement est statique. Pourvus de caches 64 KB, ils sont prévus pour fonctionner à 300 MHz dans la version CMOS 0.18 μ , et délivreront 360 Mips Dhrystone. Une interface coprocesseur est incluse dans le schéma, pour une éventuelle extension VF ou graphique. Echantillonnage prévu en mars 2000.

Ruby (3/00) : les coeurs R20Kc Ruby seront disponibles fin 2000 pour les plus fidèles clients de MIPS, NEC et Toshiba. Réalisés en CMOS 0.18 μ avec 6 couches métalliques, contenant 7,2 Mtransistors, ils pourront travailler entre 450 et 600 MHz tout en consommant 2 Watts sous 1,5 Volt. Ils disposeront d'opérateurs entiers et flottants sur 64 bits, permettant 1200 Mips ou 2,4 GFlops ; en outre, ils auront aussi une extension 3D formée de 13 opérations SIMD, permettant 30 Mpolygones / s. Une évolution vers une géométrie 0,15 μ est prévue un peu plus tard, améliorant ces chiffres dans un rapport $18/15 = 1,2$, tout en réduisant encore la consommation à 2,6 mW / MHz.

Les coeurs R20Kc concernent les ASIC et sont, au moins au départ, non synthétisables : ils sont compatibles seulement avec le procédé CMOS 0.18 μ du fondeur taïwanais TSMC. Le coeur occupe 34 mm² dont 9 pour le CPU proprement dit, le reste concernant les caches de 32 KB, 4 lignes, et les TLB. Ce Ruby est proposable à la mi 2001.

406 - Le MIT, Massachusetts Institute of Technology

Extrêmement célèbre aux USA comme à l'étranger, cette université installée à Cambridge, près de Boston, a commencé à faire parler d'elle en organisant pendant la guerre, à la demande du gouvernement, le célèbre Lincoln Laboratory, qui est à l'origine d'une foule

d'inventions techniques dont certaines, comme le radar à ondes courtes ou le MAD, ont joué un rôle important en faveur de la victoire.

La guerre terminée, le ministère de la Défense demande que le Lincoln Lab continue à travailler, et lui confie une tâche immense, la définition du système de défense aérienne du territoire. Si ce travail très technique est en effet plus du domaine d'un laboratoire subventionné que de la science pure, le MIT se souvient qu'il est un Institut de Technologie et décide très tôt de se consacrer à l'emploi interactif de l'ordinateur, le « temps partagé », dont l'utilité scientifique et pédagogique est évidente.

Le MIT équippa son centre de calcul d'une 7090 dès 1959, et la remplacera par du matériel plus moderne dès que des annonces interviendront chez les constructeurs, IBM en particulier.

En novembre 1961, le centre utilise une 7094 avec 64 Kmots de mémoire, tambour, disque, bandes, et 24 terminaux. Ce premier système va s'étoffer au fur et à mesure des disponibilités de crédits, auxquels participe la DARPA, la direction des recherches du Ministère de la Défense : un projet prend forme, MAC, qui commence par du logiciel. La 7094 s'étoffe, et comprendra finalement 54 télétypes Mle 35, 56 IBM 1050, un Telex et trois TWX (pour étudier les divers protocoles), 2 écrans, 36 Mmots sur disques, 500000 mots sur tambour, 12 dérouleurs de bandes, et 30 clients : c'est le CTSS, Conversational Time Sharing System, premier TS historique.

Sur la base de cette expérience, le Centre de Calcul est en mesure de mettre en service en mai 63, au Département d'Ingénierie Electrique, un très modeste système de temps partagé d'enseignement, avec 4 télétypes autour d'un calculateur PDP 1 disposant de 12 Kmots de mémoire principale et de 88 Kmots sur tambour magnétique. La programmation se fait seulement en assembleur.

Ces essais ayant confirmé les principes qui président à un temps partagé efficace, une coopération du MIT avec General Electric et les Bell Labs aboutira en 1966 à l'installation du système biprocesseur GE 645 doté d'une mémoire virtuelle segmentée de 128 Kmots, plus 4 Mmots de disques et de tambours, 8 bandes et 150 terminaux TTY 37. Ce matériel, modifié selon les besoins du projet, restera seul de son espèce (trois machines produites, MIT, Bell Murray Hills, Ohio State U. à Columbus) pendant une longue période, l'industriel estimant qu'il n'existe pas de clientèle pour les coûteuses extensions définies par le projet Multics (MULTiplexed Information & Computing Services).

Voir multiples articles en 242-185/247, 252-187/99, 254 - 621/7, 258-571/83, 259-507/14, 266 I-237/41.

Profitant de l'intérêt soutenu de l'ARPA pour le temps partagé, le projet MAC une fois réalisé en temps que service sera le prétexte à une foule d'études conversationnelles touchant à des domaines très divers, tels que :

un package conversationnel pour les calculs vectoriel et matriciel, TERMAC (1969).

le langage PAL pour l'enseignement des aspects linguistiques de la programmation (247-395/403). Plus tard (1970), le système conversationnel TEACH pour l'enseignement de la programmation.

le projet Intrex de documentation, très ambitieux puisqu'il voulait amener le texte du document lui-même sur l'écran des postes de consultation, à partir de microfilms (249-

255/65). Après cette présentation, on trouvera les réalisations dans cinq articles, 251-457/90, illustrées de photos de tous les appareils réalisés.

la création du langage BCPL d'écriture de systèmes par un chercheur anglais de passage, profitant du soutien financier de l'ARPA. Ce langage sera dans les années suivantes un fort stimulant intellectuel pour les concepteurs de langages et de systèmes.

IBM, un peu abandonnée pendant cet intermède, revient doublement au premier plan, d'une part parce que le logiciel Multics du projet MAC est programmé en PL/I, d'autre part en créant le Système 360/67 dont le MIT sera un des premiers clients : en janvier 67, le 67 biprocesseur installé au Centre de calcul dispose de 256 KB de mémoire, de 56 MB de disques, et de 800 terminaux. On sait que le travail intensif mené par les équipes IBM pour rédiger le système d'exploitation de ce système, le TSS, échouera, et que la compagnie décidera d'adopter provisoirement la combinaison CP/CMS rédigée par l'équipe du MIT : un provisoire qui durera longtemps, devenant le noyau du système VM promis à un bel avenir.

Le deuxième grand thème de recherche du MIT, après la réussite et la diffusion du thème « temps partagé », est l'intelligence artificielle, avec les travaux de Newell, Shaw et Simon sur le General Problem Solver et l'étude de divers langages de manipulation de symboles.

Le premier travail espérait aboutir à des programmes capables de démontrer des théorèmes mais le sujet était trop ambitieux et trop médiatisé, et se termina par un échec caractérisé.

Le second a commencé par un travail assez empirique avec le langage COMIT de Yngve, qui utilise les méthodes des langages de listes pour manipuler des données largement non numériques. Voir boîte 143.

Des théoriciens, cependant, ne pouvaient pas longtemps se contenter d'un tel exercice. Mc Carthy entreprend d'abord d'édifier un langage de programmation autodescriptif, c'est-à-dire dont la grammaire peut être décrite rigoureusement par le langage lui-même. Ayant réussi, il trouve des appuis pour transformer cette abstraction en un système de programmation pratique, et c'est un grand succès.

Le système LISP 1.5 (voir manuel en boîte 145) est dès 1965 disponible sur tous les calculateurs de recherche du monde, et à partir de 1975 on commence à essayer de construire des processeurs LISP : c'est le projet CADR du MIT qui, ayant réussi, conduira à l'édification d'une société LISP Machine, Inc. Voir rubrique 367.

Autres travaux logiciels touchant à l'intelligence artificielle, de plus ou moins près : la reconnaissance de caractères manuscrits. Voir par exemple 240 - 559/75.

la reconnaissance sémantique, avec l'exercice STUDENT (Voir 240 - 591/614), et plus tard avec le programme ELIZA de conversation thématique entre homme et ordinateur (247-85/92).

la reconnaissance de scènes, avec le programme SEE rédigé en LISP, qui parvient à individualiser des objets tridimensionnels dans une image 2D en suivant les contours pour discerner les arêtes partiellement cachées (249-291/304).

le jeu d'échecs, avec l'étude MAC Hack Six de Greenblatt (246-801/10).

la robotique, discipline de synthèse qui ne trouve qu'assez tard une première concrétisation, mais avec tous les soutiens concevables : NASA Applications, NASA Electronique, Air Force Office of Scientific Research, et Wright Patterson AFB. C'est que l'on commence à envisager des missions planétaires, à des distances telles que la télécommande en temps réel sera impossible. Voir cette première approche, qui ressemble à un plan de travail, en 251-113/137.

Plusieurs langages de « démonstration de théorèmes », cad s'efforçant de permettre des déductions, apparaissent dans cette période : Planner de Hewitt, MicroPlanner de Sussmann, puis Conniver de Mc Dermott (260 - 1171/9). Ils inspireront les travaux contemporains du SRI.

En annexe, on peut citer le langage D. SCRIPT qui permet d'introduire des connaissances dans un ordinateur d'une manière compatible avec les préoccupations de l'IA. Voir TIEEE, C25, 4 / 76, P 366.

L'étape suivante est, bien entendu, la tentative de placer sur une puce la logique d'une machine LISP, et ce travail sera entrepris par G. Sussmann sous le nom de Scheme 79. Nous disposons d'un article de cet auteur paru dans la revue Computer en juillet 81; les allusions figurant dans le numéro de juin 82 de cette même revue reprennent textuellement une petite fraction de cet article. Voir Documentation « Universités » en boîte 138.

Il ne semble pas que ce microprocesseur expérimental ait débouché sur une machine commerciale, ni d'ailleurs que la société LISP Machine ait survécu à ses premiers et modestes succès : en pratique, aucun produit n'ayant comme clientèle que les centres de recherche ne peut devenir un succès commercial.

On peut aussi mentionner ici le CPL 1, le calculateur autoadaptatif construit pour le projet Météo, évoqué dans un article de 11 / 78 des TIEEE, C27. Il aurait été affecté en 1970 à une station radar.

Un troisième thème concerne l'analyse du cerveau, en vue de comprendre les mécanismes de l'intelligence. Cet énoncé est un peu trop ambitieux, mais les recherches entreprises sur l'oeil de la grenouille (structure en couches de la rétine) et sur sa connexion au cortex cervical ont réellement fait avancer la connaissance des mécanismes du cerveau. Voir 222-24, 1959 et 223-77, 1962.

La modeste contribution de l'informatique est ARC 1, un appareil construit pour l'exploitation statistique de signaux physiologiques recueillis dans le cerveau d'animal. Voir fiche.

En parallèle avec cette grande variété d'études du département informatique, il existe d'autres études et d'autres équipements dans d'autres départements. Le plus intéressant est le département de mécanique, qui emploie l'informatique dès 1961, avec le logiciel DYNAMO, abondamment commenté : publications dans CACM 10 / 66 p 740 et 12 / 76 p 660, SIGPLAN Notices 9 / 72 p 6 - 11 / 74 p 23 - 11 / 78 p 67.

On peut aussi évoquer STRUDEL, STRUctural DESign Language, un programme de R.D. Logcher qui soulage le constructeur de structures en l'aidant dans ses choix.

Evocation dans CACM 12 / 76 p 668 - SIGPLAN Notices 9 / 72 p 11 et 11 / 79 p 83.

Pour exploiter ces outils et quelques autres, le Civil Engineering Department met en service, en 12 / 66, un système spécialisé de temps partagé (ICES) fonctionnant sur une

IBM 360/40 avec mémoire de 32 KB et 1,8 Mmots sur trois disques. Depuis 5 machines à écrire IBM 2741 et une console graphique 2250, ce système permet d'étudier des structures mécaniques avec les logiciels ICETRAN, STRESS et COGO-90 (voir CACM 12/76 p 659, SIGPLAN Notices 9/72 p 5 et 11/78 p 64).

407 - Mitel Semiconductors

Ce fabricant de composants semble avoir choisi de s'introduire sur le marché avec une variante personnelle de l'architecture CMOS, variante baptisée isoCMOS, caractérisée par un socle n, un isolement en oxyde SiO₂, et des grilles silicium.

Son premier produit, MO 46802 est une licence du microprocesseur 6802 de Motorola. Totalement statique, en ce sens qu'il peut être ralenti jusqu'à ne plus consommer que 10 µA, il accepte toutes tensions d'alimentation entre 1 et 7 volts, et toute fréquence jusqu'à 5 MHz : la consommation de 15 mW à 1 MHz est purement indicative. La puce mesure 185 * 185 mil (2,87 mm au carré).

Ce fabricant ne semble pas avoir réussi à prendre de l'importance, et a du disparaître ou être absorbé.

408 - MITRE Corporation

La Mitre Corporation est ce qu'on appelle une société « non profit », c'est -à -dire un bureau d'études financé par une Administration - ici l'USAF - et non susceptible de faire des bénéfices : plus de liberté qu'une administration pour les embauches, les salaires, les choix méthodologiques et les investissements, mais des comptes à rendre et des objectifs fixés par l'extérieur.

Cette société est née aux alentours de Boston, sur la célèbre Route 128, pour se trouver rapidement impliquée dans les programmes militaires les plus spectaculaires, le SAGE et le SACCS 465 L. Plus particulièrement, la Mitre paraît avoir été chargée du programme SATIN, qui devait étendre les méthodes du SAGE à l'Aviation civile; après l'arrêt de ce projet, elle a participé de plus loin à la tentative autonome de la FAA avec Librascope, et créé pour ce système le langage de base de données COLINGO, dont on trouvera un manuel dans la boîte 86.

En 1964, la Mitre Corp s'est équipée d'un IBM Stretch, sur lequel elle a programmé de nombreuses applications. On ne peut prétendre connaître toutes les activités de la Mitre dans les années qui ont suivi ces premiers travaux, mais on peut en citer quelques-unes :

FORSIM (1964) est un langage de simulation discrète construit autour de Fortran IV, qui fait concurrence au SIMSCRIPT de la Rand Corporation mais qui n'aura pas le même succès.

Seules références en CACM 10 / 66 pp 726 et 740.

TREET (1965) est un langage de liste écrit pour la Stretch, faisant l'objet d'un manuel interne publié par Haines (E. C.) en 4 / 65. Il a servi à construire en particulier AESOP.

AESOP (1965) est un système conversationnel pour la gestion documentaire sur la Stretch. Il est décrit par Bennett (E.), Haines (E. C.) et Summers (J. K.) dans FJCC 1965 p 435. Il est écrit en TREET.

ADAM (début 65) est un gros programme de base de données (90000 lignes) destiné à la simulation : il permet de décrire une structure spécialisée de base de données en vue d'en tester les réactions aux interrogations, et a été utilisé pour des problèmes variés : gestion de ressources à bord d'un satellite habité, gestion de forces tactiques surveillés par senseurs aéroportés, affectations de personnels en fonction des besoins et compétences, etc... ADAM fonctionne sur Stretch.

C 10, ex Colingo 10, est un système de gestion de fichiers formant petite base de données, écrit par la MITRE sur IBM 1410 à partir de 12 / 64. Initialement considérée comme une reprise du travail Colingo sur une machine un peu plus importante, mais avec de nouvelles exigences de souplesse et de services, l'étude a en fait été conduite sur des bases entièrement différentes, en utilisant comme langage de programmation une sorte d'interpréteur LISP. Les performances étaient si mauvaises qu'il a fallu remplacer l'interpréteur par un compilateur, et d'abord écrire celui-ci, et bien sûr le délai de six mois initialement prévu n'a pu être tenu.

TDAS (1969) semble être un équipement très interactif du Tactical Air Command, capable de préparer en 5 minutes jusqu'à 60 opérations d'appui tactique. Etudié pour la division électronique de l' Air Force, ce système comporte un IBM 1800 avec mémoire de masse et bande magnétique Kennedy 1400R (1000 cps), conduisant trois écrans Sanders / PDP, et plusieurs postes de commande équipés d'un PDP 8.

TICCET (1970) est un système éducatif fonctionnant en temps partagé, Time shared Interactive Computer Controlled Education Tv. Système de CAI complètement civil, ce TICCET avait l'ambition de fournir en 1974 un ensemble pédagogique de 128 terminaux dont le fonctionnement coûterait 25 cents / heure.

La particularité du projet est d'employer des terminaux qui sont des moniteurs TV avec casque, alimentés chacun par deux pistes séparées, image et son, de deux disques vidéo entretenus par l'ordinateur.

Pour \$ 15000, Mitre comptait fournir à une école de 500 élèves un ensemble composé d'un calculateur DDP 516 avec 64 Kmots de mémoire et 4 disques, un minicalculateur pour la gestion des 128 claviers, un dérouleur de bandes pour enregistrer les historiques et les statistiques, et une imprimante.

La préparation des cours se fait sous forme de dispacs, sur une 360 / 50 qui reçoit son texte d'un tube cathodique vidicon numérisé.

409 - les Altair de MITS

L'apparition des microprocesseurs, rendant possible la construction de petits calculateurs familiaux, déclencha immédiatement diverses tentatives de créer une nouvelle clientèle : jusque là les familles n'avaient accès qu'à des consoles de jeux au format de poche, essentiellement japonaises.

MITS, Inc. , à Albuquerque, NM, aborde ce domaine en 1975 avec l' Altair 680, un kit à \$ 420 construit autour de la puce Motorola 6800, et limité à un clavier, la visualisation se faisant sur l'écran de la télévision. C'est la démarche minimale, que l'on retrouve chez Amiga et Commodore, par exemple.

Pour ne pas être suspect d'inféodation à un fabricant de microcircuits, MITS propose simultanément un kit analogue à \$ 439, construit autour du microprocesseur Intel 8080. Il serait peut-être intéressant de comparer les ventes de ces deux produits, pour apprécier la notoriété naissante des deux sociétés, mais le phénomène n'a pas duré suffisamment longtemps.

En effet, MITS propose aussi son 8080 en boîtier : c'est un châssis 16 slots, avec en fond de panier le bus S100, dont c'est la première apparition, et dont le succès sera suffisant pour provoquer une normalisation IEEE. Cette version à \$ 621 comprend une mémoire 16 bits, extensible à 64 KB, un bus capable de recevoir jusqu'à 256 périphériques, et une collection de cartes : mémoire DRAM 4 KB, mémoire statique 1 KB, interface parallèle, interface série en trois versions (T2L, TTY, RS 232C), clavier, écran avec tampon, et un extenseur de bus. D'autres cartes étaient promises, en particulier un jeu de 8 interruptions, un processeur flottant, un DMA, une PROM pour stabiliser ses programmes, un contrôleur de floppy disk, etc...

Cette variété de possibilités, chacune d'un prix assez modeste, n'est pas étrangère au succès de l' Altair 8800, qui s'est vendu en quelque 4000 exemplaires.

Le seul langage était un Basic occupant 8 KB, MITS estimant que les clients familiaux ne pourraient comprendre les subtilités et contraintes de l'assembleur.

Ainsi MITS se joint à Apple et IMSAI sur un créneau de niveau supérieur à celui des consoles de jeu. Le résultat principal de ce succès est l'achat de MITS par Pertec, un fabricant de périphériques légers, en 1977. Pertec soutiendra quelque temps la vente des Altair, mais renoncera quand naîtra le vrai PC 16 bits d' IBM.

410 - le Commander de Mobydata

Il ne s'agit ici que d'un minicalculateur de gestion de plus, construit autour d'un Nova 1200 à l'usage des commerçants de détail. La fourniture comprend un disque de 1,8 MB (débit 200 KB/s), une imprimante 100 lpm, une ME 10, et un tiroir-caisse avec petit écran.

Le logiciel est important, probablement parce que disponible chez Data General avec le Nova : système DOS à multiprogrammation tenant dans 8 KB, assembleur, Basic interprétatif, compilateur Cobol, utilitaire de tri, et quelques applications de petite gestion. Prix pour Nova, 8 KB de mémoire, IP et disque (cad, notons-le, un peu moins que le minimum indispensable !) : \$ 25100 + 100 \$ /mois pour entretien, ou \$ 577 /mois tout compris.

411 - Modcomp

La compagnie Modular Computer Systems apparaît à Fort Lauderdale, Floride, où existe déjà une compagnie Systems Engng Laboratories qui vient de réussir dans les calculateurs temps réel. Elle se donne exactement le même programme ; une telle situation résulte

souvent de la création de la seconde société par un transfuge de la première, mais on n'a pu trouver de preuve de cette hypothèse.

La compagnie Modular Computer Systems est en 1970 un simple fabricant de contrôleurs programmables, qui annonce deux machines 16 bits, Modcomp I et II, jouissant d'une compatibilité ascendante, pour toutes applications en temps réel. Comme toujours à cette époque, le processeur est câblé en circuits intégrés SSI, et la mémoire est à choisir entre tores magnétiques et DRAM/ROM.

Modcomp I (voir fiche) est conçu principalement pour la commutation de lignes téléphoniques au profit de machines plus puissantes. Voir Communication handbook.

Modcomp II (voir fiche) doit son accroissement de puissance à un répertoire plus étoffé et à de vastes possibilités d'extensions, soit par accès direct comme dans le I, soit à travers des DMA pour des périphériques performants, soit même par communication directe avec des blocs de mémoire à double accès ; deux systèmes d'exploitation différents, MAX2 du type batch, et MAX3 du type RTOS, permettent d'exploiter efficacement ces périphériques à travers un système de dispatching à 128 tâches activé par interruptions.

Modcomp III est la même machine, accélérée d'un tiers par une mémoire de microprogrammation plus rapide, mais sans changement conceptuel.

Avec le Modcomp IV, la compagnie, qui a réussi à s'imposer, change de niveau en offrant un processeur 32 bits, qui continue d'ailleurs à s'approvisionner dans des mémoires 16 bits grâce à une structure multimodules entrelacée. Un système d'exploitation MAX IV à mémoire virtuelle, multiprogrammation en 256 tâches, avec spool et RJE, s'efforce d'amener ce système au niveau des grands comme IBM, même si le constructeur n'a pas réellement cette ambition : ce qu'il souhaite, c'est plutôt que le client temps réel en train de grossir, et se proposant d'ajouter des programmes d'optimisation globale à une série d'applications temps réel, prenne conscience qu'il n'a besoin de changer ni ses méthodes de travail ni son matériel, parce qu'il trouve chez Modcomp les matériels appropriés et compatibles. Voir fiche.

En réalité, le Modcomp IV câblé n'est pas du tout compétitif pour cette mission, et n'aura que peu de succès, alors que la réussite des machines temps réel se maintient. Les ingénieurs de Modcomp, confrontés à un problème technique nouveau, celui de l'apparition des microprocesseurs en tranches, se lancent dans la définition d'une nouvelle architecture, baptisée Classic, deux fois plus rapide au plan de la technologie (10 MHz) et beaucoup plus ambitieuse grâce à une microprogrammation généralisée (trois processeurs ayant chacun la leur) et complexe (68 bits pour le CPU).

Le résultat de ce travail, accompli dans l'enthousiasme créateur et un peu trop déconnecté du marché, est la machine Classic 7860, très intéressante mais beaucoup trop coûteuse.

Nous disposons de deux niveaux de manuels, le Référence Manual orange qui décrit l'architecture Classic, et le Technical Manual bleu qui décrit les micromachines : un résumé détaillé en français est inclus dans la fiche.

Le produit final est très modulaire afin de pouvoir, avec ces briques, composer à la demande des clients exactement la machine adaptée à ses besoins:

deux CPU de même répertoire très riche, le 7860 à cycle de 200 ns, et le 7870 à cycle de 125 ns.

un EAU pour le calcul scientifique en virgule flottante, complètement subordonné.

un ou deux IOP pouvant gérer jusqu'à 64 canaux et tous périphériques, y compris les lignes qui peuvent cependant être regroupées sur un multiplex. indépendant à 256 voies.

une mémoire monobloc à tores magnétiques, 128 KB, comme solution économique.

une m

moire modulaire en DRAM MOS 16 bits, entrelacement 4, 512 (512) 4096 KB, pour la performance maximale.

Ce magnifique travail échoue commercialement à cause de son prix trop élevé, et les ingénieurs doivent dès 1979 revoir leur copie : la microprogrammation est reprise entièrement pour une meilleure efficacité, la mémoire modulaire et la virgule flottante deviennent dispositifs optionnels, le CPU 125 ns reste seul en lice quitte à être détimbré dans le 7820 de 1980.

Notre documentation permet de décrire et de comparer les deux microprogrammations qui, notons le, concernent la même micromachine et la même architecture cible. C'est un intéressant exercice d'optimisation technico-économique. Il réussira à remettre Modcomp en accord avec sa mission et ses clients.

On dispose également en archives d'un gros manuel du système d'exploitation MAX IV, qui s'applique à toutes les machines CLASSIC, du 7870 au 7820.

Se focaliser sur ces nouvelles machines conduirait à oublier le bas de gamme, qui a été la source du succès de Modcomp. Pour éviter cela, on définit en 1978 un CPU bas de gamme que l'on baptisera Classic 7810, mais qui en réalité ne dispose que de 169 opérations du répertoire sur 367. Il exploite une mémoire de 64 (32) 128 KB à cycle de 600 ns, avec un bus 16 bits. Le processeur en virgule fixe contient un seul jeu de 15 registres, et exécute des instructions de 16, 32 ou 48 bits, parmi lesquelles multiplication et division câblées. L'addition dure 2,7 μ s. Il n'y a pas de virgule flottante.

Puissance estimée 400 Kips.

Les entrées/sorties sont assurées par 16 canaux cumulant 500 KB/s, associés à 16 niveaux d'interruption et 128 sous-niveaux. Pour les applications proprement industrielles, on propose MODACS III, un système d'acquisition pouvant comporter jusqu'à 64 modules, 2048 entrées ou sorties numériques, 1024 entrées et 256 sorties analogiques; le langage de programmation associé est MAXINE.

La machine peut fonctionner seule sous le RTOS MAX III de la génération précédente, ou intégrée avec d'autres dans un réseau MAXNET III.

Le progrès technologique laissant peu de temps aux ingénieurs pour se reposer, le passage à l'architecture Classic II intervient dès 1980. En fait, elle diffère peu de la précédente, le II voulant seulement signaler qu'on ne perd pas de vue la nécessité de se tenir à jour. De toutes façons, la micromachine ne fait pas partie de l'architecture, et le mécanisme de mémoire virtuelle non plus.

C'est ainsi que le processeur sur une carte Classic II/15 revendique légitimement cette étiquette, puisqu'il dispose du répertoire Classic complet et fonctionne sous MAX IV avec 8 mémoires de mapping.

Revenant à l'objectif manqué du Modcomp IV, la société propose en 1985 un vrai 32 bits, le haut de gamme Classic 32 / 85, microprogrammé sur 104 bits de WCS avec un répertoire très riche, un cycle descendu à 110 ns, une mémoire physique à modules 32 bits à base de puces 64 Kbits, une mémoire virtuelle à adressage 32 bits. Bref, une machine moderne, riche de tous les gadgets de la concurrence, et performante (2,3 Mips) pour son objectif temps réel.

Peu de succès, peut-être parce que trop chère, non pour ce qu'elle offre, mais pour ce que ses clients sont disposés à payer chez un fournisseur qu'ils perçoivent toujours comme un fabricant de minicalculateurs.

En 1990, la mode est à Unix quand on n'est pas suffisamment solide pour imposer son logiciel, et c'est le cas de Modcomp qui doit renouveler complètement son matériel : c'est la famille Real / Star, introduite en 5 / 91, et caractérisée par un système d'exploitation REAL / IX, une version temps réel maison du système Unix qui utilise les commodités usuelles à la supervision de modules spécialisés PSOS.

Voir les trois Real-Star dans une fiche avec photo. On ignore leur sort en cette fin de période marquée radicalement par la miniaturisation.

412 - Modicon

Modicon est en 1980 une filiale de Gould, Inc. , un groupe purement financier qui ne cesse d'acheter et de vendre des compagnies en essayant de gagner de l'argent à chacune de ces transactions. Le Modicon 584 est un calculateur 16 bits de process control, vendu en 1980 avec une mémoire de 32 Kmots ; il est prévu d'offrir, en 1981, une extension de mémoire jusqu'à 128 Kmots et une arithmétique en virgule flottante. On peut cependant douter de l'intérêt de cette évolution, car il semble que la compétence de la société soit essentiellement centrée sur le contrôle industriel.

Le principal intérêt de ce produit est son aptitude à diriger un réseau de 250 processeurs subordonnés, à travers une ligne à 19200 bauds. Il faut bien reconnaître que notre ignorance des débouchés de cette solution lui enlève une notable part de son intérêt.

413 - Mohawk Data System

Dès la généralisation de la bande magnétique normalisée dans les ordinateurs, donc dès l'annonce du system IBM S / 360, cette compagnie s'est spécialisée dans la saisie sur bande. Pendant de nombreuses années, qui voient la production et la vente de quelque 40000 unités, son unique produit est un monoposte nommé MDS 1100 : logique câblée, clavier, petit écran, et dérouleur de bande standard. Cette machine permettait l'écriture, la relecture, la recherche d'un enregistrement, la vérification.

En 1970, la concurrence des terminaux lourds incite MDS à étudier la question. Le MDS 7500 est un tel terminal, avec multiples options : LC 400 ou 1000, PC 200, LR 400, PR 300, IP 300 ou 200, et un dérouleur de bande à trois vitesses contenant le processeur câblé et l'interface de ligne, synchrone 600 à 9600 bauds. On ne connaît pas la réussite de ce matériel, qui avait beaucoup de concurrents.

En 1970 également, la question des multipostes se pose, car le coût d'un dérouleur par poste, même avec des performances limitées, commence à paraître peu compétitif. Le problème est que des postes différents saisissent en général des fichiers distincts,

différant en particulier par le format des fiches. Dans un premier essai, le MDS 9000, Mohawk prévoit plusieurs dérouleurs sur un calculateur à logique câblée, mémoire à cycle 2 μ s, contenant 1000 caractères de programme et une série de mémoires de données juxtaposant des fiches de 100 caractères en provenance de postes de saisie dont chacun est affecté à un dérouleur particulier, partagé.

Cette formule est finalement trop coûteuse, et en 1974 Mohawk retient le MDS 1200, un multiposte économique qui comporte de 4 à 12 stations reliées à une armoire contenant une mémoire intermédiaire à disque et le dérouleur collectif. Pour éviter de produire des bandes hétérogènes, le disque transfère une série de fiches sur la bande quand l'opératrice déclare son paquet de données épuisé et vérifié.

Pour plus d'ouverture sur le marché, Mohawk propose aussi le MDS 2400, qui pour la première fois contient un processeur programmable, un ATRON 501 de la société Artron. Sur une telle machine, on peut installer un logiciel à la demande, qui donne un grand choix de possibilités : saisie multiposte sur bandes, terminal lourd pour un choix de périphériques cartes / bandes perforées / imprimantes, conversions de support, accès direct à l'ordinateur pour temps partagé ou interrogation de base de données, etc...

A titre d'exemple, il existe une fiche sur le MDS 2501, imprimante programmable qui joue le même rôle qu'une 1401, avec quelques années de retard.

Ces diverses variantes du 2400 (voir fiche) dureront plusieurs années sur le plan commercial.

Vers 1978, MDS reprend le même thème général en changeant les priorités : le processeur est un 8080, et les terminaux sont désormais des écrans, qui peuvent faire du traitement de texte en local, ou expédier leurs messages à l'ordinateur distant. La bande magnétique n'est plus qu'une sauvegarde locale, et de façon générale les fonctions de terminaux lourds ne sont pas disponibles.

A partir de 1985, l'avènement du PC change les comportements dans les entreprises, et les services proposés par Mohawk n'intéressent plus personne. La société se reconvertit ou disparaît, en tous cas on n'en entend plus parler.

414 - Monolithic Memories, Inc.

Il s'agit d'une parmi les nombreuses sociétés apparues au moment où le circuit intégré à grande échelle (LSI) est devenu une réalité. Le qualificatif « grand » est purement relatif, mais il a une signification concrète à cette époque : il s'agit d'un circuit ayant une existence fonctionnelle autonome, et assez d'intérêt propre pour que l'acheteur ait envie d'acheter, outre cet objet, les divers composants mineurs, tels que condensateurs et résistances, qui vont permettre de s'en servir. Compte tenu des densités de cette époque débutante, il s'agit forcément d'un coeur de microprocesseur ou d'une mémoire multibits. Chez MMI, cet objet nouveau est un microprocesseur en tranche de 4 bits, très analogue au produit fondateur, l'AMD 2901. Il comprend donc deux composants, le contrôleur et la tranche, cette dernière intervenant normalement en 2 à 4 exemplaires pour former une unité centrale à 16 registres. Voir fiche.

Faute d'avoir réussi à vendre son produit à un quelconque constructeur, MMI a construit son propre minicalculateur et a essayé de lui trouver un marché. Cela aussi a échoué. Le premier essai de ce type, MMI 605, est un calculeur 16 bits sur une carte vendue en OEM, d'une surface de 406 cm². On y trouve :

- un bloc de commande à 5 modes d'adressage, dont un mode direct dans une page de 256 mots présélectionnée. La mémoire adressée ne fait pas partie de la carte. Il y a aussi une interruption.
- un bloc de calcul à 38 opérations, dont l'addition en 0,9 µs et la multiplication en 9,2 µs. Ces durées, dans un tel contexte, ne tiennent pas compte des temps d'accès.

La carte consomme au maximum 17,5 watts en + 5 Volts, mais cette alimentation non plus ne fait pas partie de la fourniture.

Un an plus tard, le marché restant désespérément plat, MMI propose le minicalculeur MMI 300, également construit autour du microprocesseur en tranches 2701 : c'est un compatible Nova, qui réalise cela en 125 microinstructions et qui existe en deux versions : le 301 à cycle de 300 ns, et le 304 à cycle de 600 ns. Le système comprend :

- un châssis composé d'un panneau avant, d'une alimentation, et de deux bacs de chacun 6 slots pour cartes de 6,6 * 9,6 «, soit 167,6 * 244 mm.
- une carte CPU du modèle ci-dessus, avec le répertoire NOVA.
- une carte maîtresse de mémoire, type 308, comportant l'interface bus, l'adressage 32 Kmots, la logique de rafraîchissement, et 4 Kmots de mémoire.
- des cartes d'extension de mémoire, type 309, contenant 16 Kmots.
- des cartes d'interface pour périphériques, type 32X, pour TTY, RS 232C, bande perforée.

La carte CPU était vendue \$ 625, un microcalculateur avec 16 KB de mémoire coûtait \$ 2100. Mais on ne pouvait guère s'attendre à ce que ce succédané de Nova, vendu en OEM sans le logiciel qu'il fallait acheter à Data General, soit un gros succès. On n'a rapidement plus de nouvelle de MMI.

415 - MSC 8004 de Monolithic Systems

Calculateur sur une carte, sans originalité ni succès particulier : le processeur principal est un Z80, renforcé par un coprocesseur AMD 9511, tous deux connectés sur un bus interne. La carte comporte aussi 16 ou 32 KB de RAM, 16 KB d'EPROM ou 32 KB de ROM. Le MMU comporte deux mémoires topographiques pour programme et données. En ce qui concerne les entrées / sorties, il y a 48 bornes parallèles et une interface série avec débit programmable, qui peut être physiquement une RS232C, ou une TTL, ou une boucle de courant 25 mA.

Toute cette structure est vendue en OEM au tarif de \$ 1440 pour une mémoire de 16 KB.

416 - les périphériques de Benson Lehner

La société Benson Lehner est, dans l'immédiat après-guerre, spécialiste de l'exploitation des mesures par conversion semi-automatique de support. Ses appareils existent partout où on effectue des mesures, et tout particulièrement dans les organismes d'essais de missiles,

par exemple en France où existe une filiale prospère. Donnons des exemples de cette production :

Oscar E (1955) sert à lire, avec un pointeur / suiveur, des tracés de bandes d'oscillographes, en appuyant de temps à autre sur un poussoir. Le dispositif code alors la valeur pointée, en appliquant les corrections d'étalonnages préparées, et sort cette valeur sur ME et / ou Perforatrice de bande.

Boscar N (1956) fait le même travail à partir d'un enregistrement sur film.

Oscar N (1958) est un nouveau codeur de bandes d'oscillographe, plus simple parce qu'il n'applique pas de correction d'étalonnage (elle est rejetée dans la partie numérique).

Electroplotter E (1958) est un traceur à plat, 11 * 17 » (279 * 432 mm) recevant des ordres numériques de clavier, cartes ou bandes perforées.

Electroplotter H (1958) fait de même en 30 * 30 » (760 * 760 mm).

Transdata 944 (1962) est un convertisseur de données numériques en plot sur tube cathodique et sur microfilm, à la vitesse de 62500 cps pour le texte, 33000 points /s pour les graphiques. La source peut être un ordinateur, ou une bande magnétique IBM 729 dans le cas off line. Générateur de 64 caractères selon code du système Stromberg Carlson SC 4020, par matrice 15 * 16. Résolution 1360 * 1360 pixels. Dimensions 69 * 32 * 67,5 « , soit 1753 * 813 * 1715 mm.

Il existe une variante 943, qui ne fonctionne qu'en ligne sur données binaires.

LTE (1965) : grande table traçante horizontale commandée par bande magnétique.

Benson 341 / 1341 (1965) : traceur incrémental à tambour, papier continu de 34 cm de large, deux versions 300 et 1000 points/s avec plume capable de déplacement dans 8 directions.

Benson 751 / 1751 (1965) : le même en 75 cm de large.

Benson 501 (1956) : traceur incrémental 8 directions autorisant jusqu'à 127 pas en X et / ou Y, sur attaque par cartes ou bandes magnétiques. Précision 0,01 » = ¼ mm, 300 pas par seconde sur table de 267 ou 736 mm de côté, dans un meuble de 36 * 42 * 30 » (914 * 1067 * 762 mm). La plume se relève en 35 ms et s'abaisse en 100 ms, sur commande de la source. Prix \$ 13000 à 30000.

Benson 180 (1967) : convertisseur de bande magnétique en microfilm à travers un tube monoscope reconnaissant un alphabet de 64 caractères, fonctionnant à 36 KHz. Mise en page 76 lignes de 132 caractères, formattage par panneau de commande.

Benson 111 (1969) : traceur incrémental 1000 points / s de pas 0,1 mm, sur tambour de 34 cm de large.

Benson 120 (1969) : traceur incrémental 500 points / s de pas 0,1 mm, ou 250 points / s au pas de 0,2 mm, sur tambour de 74 cm de large.

Benson 121 (1969) : le même en 900 points / s.

Benson 210 (1969) : table traçante XY de 50 * 75 cm, 600 points/s au pas de 0,1 mm.

Benson 220 (1969) : table traçante XY de 120 * 84 cm, 600 points / s au pas de 0,1 ou 0,05 mm, 4 plumes à commande séparée .

Benson 310 (1970) : conversion de bande magnétique en traceur incrémental électronique sur écran et / ou film 35 mm ou 16 mm, au pas de 200000 incréments/s, ou en pseudoimprimante à 30000 lpm.

Benson 112 / 122 / 132 (1975) : nouvelle génération de traceur incrémental sur papier continu en rouleaux de 50 mètres et largeurs 34, 74 ou 94 cm. 3 plumes indépendantes, pas de 0,1 mm, interpolateur incorporé. Il semble que cela signifie que le traceur remplace par un seul trait une suite de 127 steps de même direction.

Benson 222 / 232 (1975) : table traçante 4 plumes indépendantes, existe en deux tailles 1200 * 840 et 1500 * 840 mm, avec vitesse jusqu'à 7,5 cm/s et interpolateur incorporé. Cette société a probablement été absorbée ensuite par son rival Calcomp.

417 - Les disques et tambours de Bryant

La société Bryant semble n'avoir fonctionné que pendant une dizaine d'années, entièrement consacrées à la conception et à la production de mémoires à tambour, car on peut négliger l'expérience des disques que la société a essayés en 1961, et jamais reprise ensuite ; c'est d'ailleurs ce choix qui a probablement causé la disparition de Bryant, car en 1970 plus aucune société ne produisait de tambours, et la performance des disques était déjà à cette époque nettement supérieure à celle des tambours, notamment en ce qui concerne le poids et la capacité.

La liste qui suit n'est certainement pas exhaustive, et elle contient peu de détails techniques ; on a donc choisi l'ordre chronologique, qui peut au moins faire apparaître l'influence du progrès technique.

1960 : construction du tambour A 5003 , destiné à l'avion E2A Hawkeye, où il sert à mémoriser les pistes actives suivies par le radar AEW.

1961 : les disques 4000 A tiennent dans un meuble 46 * 60 * 62 » = 1168 * 1524 * 1575 mm. Ce sont des piles de 1 à 6 disques de 990 mm de diamètre, tournant à 1200 t/min, chaque disque contenant 65 Mbits. Le temps d'accès se décompose en 75 ms pour le positionnement des têtes radiales, et 25 ms de temps d'attente moyen.

Début 65, le Model 2 utilisant une densité d'inscription de 600 bpi sera proposé en trois versions :

A, 6 disques d'information plus un de synchronisation, un seul bras.

B, 13 disques d'information plus un de synchronisation, option deux bras.

C, 25 disques d'information plus un disque de synchronisation, option deux bras.

Le disque de synchronisation comprend deux faces équipées de têtes fixes. Les autres disques disposent de 6 têtes par face, déplacées hydrauliquement en 200 ms.

1964 : le C105 est un tambour économique de 400000 bits ; le C675 est un autre tambour, encore plus économique, de 29400 bits. On peut douter qu'une aussi petite capacité justifie un tambour.

1965 : la série 5000 propose des tambours de 5 » (127 mm) de diamètre, capacité 706 à 3617 Kbits. Cette série cesse d'être commercialisée en 1967.

1965 : la série 10000 propose des tambours de 10 » (254 mm) de diamètre, capacité 2,4 à 14,5 Mbits.

1965 : la série 75000 propose des tambours de 7,5 » (190,5 mm) de diamètre, 1060 à 5426 Kbits.

1965 : la série 185000 propose des tambours de 18,5 » (470 mm) de diamètre, 4,5 à 47,6 Mbits.

1965 : le PhD 170 est un tambour de 20 » (508 mm) de diamètre, tournant à 1200 ou 1800 t/min selon variante, offrant une capacité de 172,8 Mbits sur 2752 pistes métalliques. Il contient quatre mécanismes indépendants d'accès, chacun à 43 têtes pouvant prendre 64 positions accédant par conséquent à la totalité de l'information ; il existe en outre 6 Mbits de pistes auxiliaires à têtes fixes pour la base de temps et des registres.

Sur la base d'une fiche de 2000 caractères, un tel tambour autorise 198720 transactions par heure, avec 2 mécanismes et 1200 t/min ; on passe à 241920 TPH avec 3 mécanismes et 1800 t/min.

1966 : le PhD 340 est vraisemblablement, à en croire son sigle, analogue au précédent. Il est à axe vertical et contient 42 millions de caractères accessibles par un maximum de 4 mécanismes indépendants.

1967 : le PhD 85 contient jusqu'à 1376 pistes de 62800 bits, avec une densité de 1000 bpi. Il tourne à 1200 ou 1800 t/min selon modèle. Un calcul simple montre qu'il s'agit toujours d'un tambour de 20 » de diamètre, avec une capacité de 86 Mbits : la famille des PhD utilise donc toujours le même mécanisme, jouant sur le nombre de pistes pour adapter la capacité aux besoins.

1968 : le CPhD est au contraire un tambour tout à fait nouveau, 3600 t/min, 192 pistes et 37680 bits par piste, soit environ 900000 caractères de 8 bits avec un temps d'accès moyen de 60 ms. On peut acquérir 1 à 3 mécanismes de 64 têtes, et le transfert s'effectue à 2,2 Mbits/s.

Il semble que ces caractéristiques (vitesse de rotation, densité, diamètre, débit) soient celles de la série 100000 proposée cette année-là, par exemple un modèle à 1024 pistes. Les patins sont flottants, cad soulevés aérodynamiquement à la mise en route.

1970 : AB et CD sont deux tambours à axe vertical, respectivement 18 et 10 » (457 et 254 mm) de haut, mais on n'a pas de détail sur les caractéristiques essentielles, pas même sur son diamètre.

CLC 1, annoncé la même année, est un tambour plat, cad de hauteur faible par rapport à son diamètre. Compte tenu de la date de cette annonce, on peut penser que la technologie est la même.

La société Bryant se retrouve en 1971 dans le cadre du groupe financier Ex Cell O Corp, qui lui donne le nom sans imagination de XLO Corporation.

418 - Les périphériques de Burroughs

Comme IBM et à la différence de beaucoup d'autres constructeurs, Burroughs tint toujours à coeur de vendre avec ses ordinateurs des périphériques portant son nom, même si bien sûr une partie d'entre eux étaient en pratique achetés en OEM. Cette ouverture, s'appuyant sur une recherche soutenue, et très ouverte sur des technologies variées, justifie qu'on consacre une rubrique complète aux périphériques de la compagnie.

Du point de vue conceptuel, les premiers calculateurs de Burroughs, essentiellement bancaires, actionnaient leurs périphériques par liaison directe : chaque périphérique doit alors avoir son propre contrôleur, et dans l'ordinateur des instructions spécifiques activent l'un ou l'autre.

Dès la deuxième génération, Burroughs sépare complètement les fonctions de calcul des fonctions d'entrées / sorties, créant des canaux actionnés par des contrôleurs banalisés baptisés Exchanges ; la fiabilité est assurée par une politique systématique consistant à relier les périphériques importants à deux échanges au moins. Des commutateurs de canaux permettent de changer l'affectation des périphériques importants, trop coûteux pour être doublés : on trouvera donc ci-après quelques descriptions de contrôleurs polyvalents. Conséquence de cette philosophie : même lorsqu'un périphérique est acheté en OEM, son contrôleur est étudié et produit par Burroughs.

Bandes magnétiques

1967 : B 9381 / 2 / 3 est un groupement de 2, 3 ou 4 dérouleurs 45 ips fonctionnant à plat, qui ont été

utilisés pour les B2500 et 3500, et même un peu plus tard pour le B6500.

Présentation dans SJCC 1967, pp 245 / 52, avec photos et nombreux schémas.

Caractéristiques dans les documentations des ordinateurs précités.

1969 : B 9391 / 2 / 3 est une famille de dérouleurs 90 ips, avec chambres à vide mais entraînement par

pinch roller. Double accès possible, jusqu'à 10 dérouleurs par contrôleur.

Voir documentations de B3500 et B6500.

8 / 73 : B 9495 sont des dérouleurs 9 pistes, avec bobines coaxiales, une seule chambre à vide, et un

entraînement par cabestan. En jouant sur l'électronique, ces mécaniques se sont adaptées, dans les années suivantes, à toutes les inventions du domaine, donnant lieu à une très grande variété de modèles, plus ou moins décrits ci-après. Ces dérouleurs pouvaient accepter plusieurs connexions et les contrôleurs pouvaient se grouper autour d'un échange modulaire : il existe des échanges 9499 pour les combinaisons 1 / 4 (1 contrôleur et 4 dérouleurs), 1 / 8, 2 / 8, 2 / 16, 3 / 16 et 4 / 16.

B 9495. 6, 250 ips, 400 KB/s, rebobinage 700 ips, enregistrement 1600 bpi en modulation de phase

B 9495. 5, 200 ips, 320 KB/s, reste idem.

B 9495. 3, 125 ips, 200 KB/s, enregistrement 1600 bpi et, en option, 800 NRZI.

B 9495. 2, 75 ips, 120 KB/s, reste idem.

Un peu plus tard, les deux derniers modèles ont été remplacés par les .83 et .82, probablement pour faire des économies sur la partie mécanique, moins sollicitée que dans les modèles rapides, et deux nouveaux modèles lents sont ajoutés :

B 9495.8, 50 ips, 80 KB/s et B 9495.7, 25 ips, 40 KB/s.

Du fait de cette variation de structure, les contrôleurs aussi doivent être distingués : la version performante subsiste avec un descripteur 5X, tandis que les bandes lentes utilisent le 9499.33 pour 1/4, le .34 pour 1/8, et le .35 pour 2/8.

Par la suite, l'introduction de la modulation 6250 bpi GCR se traduit par de nouveaux modèles, le 9495.22 en 75 ips, le .23 en 125 ips, et le .24 en 200 ips. Les contrôleurs, qui doivent assumer le décodage et les contrôles, deviennent des 9499.2X pour les modèles à 8 dérouleurs, .4X pour les modèles à 16 bandes.

8/73 : B 9496 est un dérouleur économique, 1600 bpi, en armoire de 44 » (1117 mm) de haut. Compatible avec les organisations 1/4, 1/8 et 2/8. Il en existe deux modèles, .4 en 50 ips, 80 KB/s et .2 en 25 ips., 40 KB/s.

Archivage sur film

Pour cette technique qui n'a eu qu'un temps, Burroughs avait construit en 1970 le B.COM, un convertisseur bande/film, proposé en deux versions à 50000 et 96000 cps. Il acceptait des bandes 7 ou 9 canaux, et générait des bobines de film équivalent à 23000 pages.

Pour être pratique, le générateur se voyait adjoindre un lecteur de film avec recherche visuelle, disposant aussi de deux modes automatiques utilisant un numéro de référence tapé sur un clavier.

Bande perforée

Ces équipements ont été mis au point pour les calculateurs les plus anciens, voir caractéristiques dans les dossiers B3500 et B6500.

B 9120 est un lecteur complètement polyvalent, capable de 1500 cps en continu, ou 500 cps en coup par coup, acceptant des bobines de 5,5 et 7 » (140 ou 178 mm de diamètre) et les largeurs 5, 6, 7, 8 trous, avec un panneau d'affichage permettant toutes adaptations de code. Il acceptait même, mais seulement à basse vitesse, les bandes en accordéon de DEC.

B 9220 est une perforatrice 100 cps, universelle comme le lecteur.

Carte perforée

B 122 est un modèle de 1963, 200 cpm, série par colonne, acceptant le binaire aussi bien que le code

Hollerith en provenance d'un hopper de 500 cartes. Délai du premier accès 85 ms.

B 9110 est le lecteur 200 cpm du B 3500. Voir cette documentation.

B 9111 à 800 cpm et B 9112 à 1400 cpm sont les lecteurs standard des calculateurs B 3500 et B 6500,

aux documentations desquels on renvoie. Travaillant colonne par colonne avec hopper et stacker de 2000 cartes, ces appareils sont particulièrement polyvalents : ils peuvent lire

51, 60, 66 ou 80 colonnes, en EBCDIC ou en binaire, et acceptent en option les treasury checks à 40 colonnes et les postal money orders à trous ronds.

B 9115 à 300 cpm, 9116 à 600 cpm, 9117 à 800 cpm remplacent ces modèles lourds lorsque en 12/75 les cartes ne sont plus qu'un accessoire. Ce sont des modèles de table à lecture photoélectrique, doublée pour comparaison. Hopper et stacker contiennent 1000 cartes. Le contrôleur est un DLP3.

B 9210 est le PC 100 cpm du calculateur B 3500. Voir cette documentation.

B 9211 est un PC 300 d'origine Bull, même finalité.

B 9212 à 150 cpm et B 9213 à 300 cpm sont des perforatrices de cartes polyvalentes, contemporaines

des 9111./2. Elles disposent d'un hopper de 2000 cartes, de trois stacker de 1400 cartes avec clapets, et d'un tampon d'une carte. Voir documentation des ordinateurs. A partir de 1975, il n'y a plus de perforatrice connectable.

Disques magnétiques

On trouve trace chez Burroughs d'expérimentation sur les disques en mai 59, mais c'est en 1963 que les premiers disques opérationnels sont proposés avec les calculateurs B200 et B5000 : ce B472 se voulait tout à fait universel, offert en trois gammes de performances et de mode de connexion. Il s'agissait de disques à têtes fixes, rétractables automatiquement quand le disque ralentit; la capacité était de 9,6 millions de caractères par module, avec deux modules par armoire.

B9370 est destiné au calculateur B3500, voir documentation. C'est un disque unique, tournant à 1745 t/min autour d'un axe horizontal, contenant sur chaque face 100 pistes de 100 fiches de 100 caractères, un choix idéal pour une machine décimale; débit 291 Kcar/s, accès 20 ms. 2 disques au plus par calculateur.

B9372 reprend ces techniques un peu plus tard pour les B3500 et 6500, voir documentation. La densité est améliorée en divisant la surface du disque en trois zones contenant respectivement 70, 90 et 90 fiches de 100 octets par piste, avec un accès de 23 ms, une vitesse réduite à 1500 t/min, un débit de 240 KB/s, et une capacité totale de 10 MB / unité contenant 4 disques. Il y a jusqu'à 5 unités par contrôleur, connectable à 4 canaux. Il en a existé plusieurs modèles, le plus récent étant B9373. 20 .

B6375 est en 1970 un optimiseur intercalé entre le contrôleur et les disques. Il dispose d'une mémoire scratchpad de 8 à 32 mots de 49 bits, où il stocke les instructions de l'ordinateur dans l'ordre des génératrices de disques qui défilent sous les têtes, distribuant une requête tous les 4 pas, jusqu'à un optimum de 32 accès par tour. Il peut desservir jusqu'à 20 unités de disques, mais il est cher, \$ 135000 ou \$ 3500 / mois.

Le disque associé, 91 cm de diamètre, est celui des B6700 et 7700, avec têtes fixes donnant un temps d'accès de 2 à 6 ms. A la densité de 3400 bpi, la capacité est 200 MB et le débit 569 KB/s; deux unités peuvent être superposées.

Les mêmes ordinateurs pouvaient aussi utiliser des dispacks, en deux versions de temps d'accès 30 ms :

le petit modèle est 2200 bpi, 121 à 970 MB, 312 KB/s, positionnement du bras en 12,5 ms.

le grand modèle est 4000 bpi, 200 à 1600 MB, 806 KB/s, positionnement 8,4 ms.

B9383 est en décembre 74 un tourne-dispack à 2 axes, chacun portant une pile de 11 disques de capacité 87,2 MB divisés en fiches de 180 bytes. Le contrôle s'effectue par un block count check qui dénombre les 1 dans une fiche, et par un mot de contrôle de 11 bits pour 90 bytes, qui correspond à un SECDED, un système un peu léger pour des disques.. Le débit est 625 KB/s, la vitesse de rotation de 2400 t/min correspond à 12,5 ms de temps d'attente moyen, auquel il faut ajouter 30 ms moyen pour le bras.

Ce produit existe en trois configurations:

Modèle 6 pour un contrôleur, 1 à 4 tourne-disques

Modèle 7 pour deux contrôleurs, 1 à 4 tourne-disques.

Modèle 8 pour deux contrôleurs, 5 à 8 tourne-disques.

En 12 / 75 est annoncée la double densité 4400 bpi, avec des packs de 174,4 MB, 11 disques, 20 faces, et une électronique qui corrige les erreurs jusqu'à 11 bits consécutifs. Cela donne lieu à des modèles 16, 17, 18, faisant pendant aux précédents. Un B9984 sera aussi proposé, commutateur permettant à chaque tourne-disque de choisir son contrôleur parmi deux.

Intervient à cette époque une discussion sur les vertus respectives des disques à têtes fixes et des dispacs, à l'occasion de l'apparition de la technologie Winchester qui va se généraliser. La conclusion étant très favorable aux disques à têtes fixes, il faut alors choisir entre diverses techniques de découpage de l'information : la plus souple, dont les enregistrements physiques se calquent sur les enregistrements conceptuels du programmeur, ou une forme plus rigide par blocs de longueur fixe.

Burroughs ne pouvant se payer le luxe, comme IBM, de mettre en catalogue toutes les versions possibles, propose pour la transition des contrôleurs qui acceptent des ordres destinés à des disques à têtes fixes et les appliquent à des dispacs:

le B384 s'applique à des ensembles à 4 dispacs de 64, 8 MB, 312 KB/s.

le B388 concerne des ensembles de 16 dispacs totalisant 1,39 GB, accès en 625 KB/s.

Ces contrôleurs microprogrammés reçoivent par cassettes leurs programmes de conversion de format.

Le B9470, disque à têtes fixes que les contrôleurs précédents permettaient d'attendre, sort en 12 / 75. Le module de base, B9470. 1, 6000 t/min, accès moyen 5 ms, débit 650 KB/s, est organisé en fiches de 100 bytes et contient 5,5 MB ; il peut être complété par trois unités B9470. 2 de même capacité et supporté par un contrôleur B9471. 6 qui optimise les consultations par RPS, et par des commutateurs B377. 6 qui prennent place entre DLP (contrôleur) et DEU (tourne-disque) : configurations 4 * 4, 8 * 8, 8 * 12, 8 * 16, 8 * 20. Ces disques conviennent aussi aux calculateurs B2900 / 3900 à travers des DLP B373. 90 .

B9484. 5 : le modèle précédent étant beaucoup trop cher, donc réservé au système, Burroughs en reste aux dispacs, une nouvelle fois repensés. Ce tourne-disques 3600 t/min, 605 KB/s, autorise 25 ms pour le positionnement moyen du bras, et 8,3 ms pour le temps de latence moyen. Il comprend deux axes où prennent place des dispacs 9974. 5 à 5 plateaux, soit 5 surfaces de stockage et une de guidage, protégées : ce pack offre 814

cylindres d'information et un de maintenance, 5 pistes par cylindre, 90 fiches de 180 bytes par piste, soit un total de 65,2 MB.

L'électronique associée, ou DEU, B9387.1 pour un contrôleur et deux tourne-disques, assure l'autocorrection de blocs d'erreur jusqu'à 11 bits, les reprises et des réglages marginaux programmables ; le B9387.2 convient pour un contrôleur et 4 tourne-disques. Le sous-système se construit en ajoutant des échanges B387.5/6/7/8 pour deux 9387.2 et 4, 8, 12 ou 16 axes. Ils ont été remplacés ensuite par des modèles 41, 42, 46 plus condensés.

B9489 (1977) est une disquette compatible IBM, vendue en OEM. D'une capacité de 243 KB, elle comprend 77 pistes (plus 3 rechanges) divisées en 26 fiches de 128 bytes. L'accès moyen est 343 ms, le débit 31 KB/s.

B9494 (1979) est un disque fixe à un axe (.21) ou deux axes (.41) de chacun 180 MB. Chaque axe porte 4 disques, soit 8 surfaces, tournant à 3600 t/min ; la technique est 6551 bpi, 714 tpi, accès moyen 28 ms par bras, et il y en a quatre, indépendants. Le débit est 650 KB/s.

Le contrôleur est le 9387.4X, de sorte que ces disques peuvent être mélangés avec les 9584.51.

Les fournitures groupées sont le .42, en deux armoires pour 720 MB ; le .43 de 1080 MB en trois armoires ; et le .44 = 1440 MB en 4 armoires.

Imprimantes

S 202 Whippett est une étude de 1959, financée par l'armée. A cette époque Burroughs vend peu de calculateurs qui pourraient utiliser cette solution chère et peu performante. Par la suite, devenue grand producteur d'ordinateurs, Burroughs achètera ses imprimantes en OEM.

B320 est l'imprimante de la série B100 de calculateurs bancaires : c'est une IP à tambour de 120 car/l, choix de 64 caractères, 475 lpm maxi, 385 lpm à l'interligne 1 ». Papier de 5 à 20 « de large (127 à 508 mm), 10 cpi, 6 ou 8 lpi, 6 copies. Saut de papier 25 ou 40 ips par bande pilote 12 canaux.

B321 est l'imprimante de la série B200 de calculateurs bancaires. Elle est dérivée de la machine précédente avec tambour porté à 132 car/ligne, vitesse 700/518 lpm.

B9240/1 est l'imprimante de la série bancaire B3500, voir documentation. Tamponnée, 700 lpm avec 120 ou 132 car/ligne.

B9242 du même groupe est toujours à tambour, 810 lpm.

B9243 est la même, 1040 lpm.

B9244 est une mécanique voisine, listeuse à 6 bandes de papier pouvant commander deux autres machines du même type, 1565 lpm.

B9245 est une imprimante à chaîne, 315 lpm sur 80, 120 ou 132 caractères. Il existe des chaînes de 16 à 192 caractères, correspondant à des débits réels de 800 à 115 lpm. Voir documentation B3500.

B9246 (1975) est une imprimante à tambour poussée aux limites de la technique, avec tambours interchangeable pour performances adaptées : 1250 lpm avec jeu de 64 caractères, 1800 lpm avec 36 caractères, 925 lpm avec le jeu OCRA complet augmenté de 4 caractères spéciaux, 1200 lpm avec le jeu OCRA réduit à 48 caractères. Elle travaille sur 132 caractères de large, saut de papier 36 ips.

B9247 (1973) est une imprimante à chaîne polyvalente, exploitant toutes les possibilités de la méthode : 132 caractères de large, bande pilote 12 voies, choix de 4 chaînes 16 / 48 / 64 / 96 caractères, cette dernière avec majuscules et minuscules. 4 modèles sont proposés, utilisant un contrôleur DLP5 :

Model 12 est 400 lpm avec la chaîne 48.

Model 13 est 750 lpm avec la chaîne 48.

Model 14 est 1100 lpm avec la chaîne 48.

Model 15 de 12 / 75 donne 1500 lpm avec la chaîne 48, accepte aussi des chaînes 72 (1100 lpm) et 96 (850 lpm). Le saut de papier atteint 90 ips.

Ces machines utilisent du papier de 4 à 17,875 » de large (102 à 454 mm) et peut composer des pages jusqu'à 14 » (356 mm) de haut. La bande pilote est transférée dans un tampon et toutes les commandes et contrôles sont électroniques.

B9346 est un terminal construit autour d'une machine à écrire matricielle, 60 cps en ASCII, associée à un contrôleur DLP4. Tampon de 64 caractères, impression de 150 car / ligne sur papier de 3 à 16,75 » de large (76 à 425 mm). Transmission en bande de base jusqu'à 300 m du CPU.

B9270.35 (1979) est une imprimante laser à hautes performances, 18000 lpm, construite autour d'une mécanique Xerox (à courroie électrostatique) mais dotée d'une électronique Burroughs pour exploitation on / off line : tampon jusqu'à 800 pages, 12 polices de 128 caractères pouvant être mélangées, résolution 300 * 300 points pour un caractère, permettant qualité photocomposition, et jusqu'à 359 car / lignes.

Incorpore un contrôleur qui est un ordinateur complet, acceptant dérouleur 1600 ou 6250 bpi en entrée, 50 MB de disques en tampon, un écran pour la commande.

L'imprimante proprement dite comprend deux hopper de 2500 et 400 pages, et deux stacker de 1500 pages, et peut fonctionner en alternat sur des imprimés 21 * 29,7 cm jusqu'à 240 g. L'impression est verticale, horizontale, ou vertical inversé (arabe, israélien) par programme. La bibliothèque peut stocker jusqu'à 300 polices, corps 4 à 24 », et utiliser jusqu'à 12 polices dans une page.

Dimensions : 1040 * 1630 * 3430 mm, 1297 Kg pour l'imprimante,

1780 * 660 * 1190 mm, 649 Kg pour le contrôleur.

Prix : achat : 1 805 408 FFHT + 21758 F / mois pour la maintenance.

location : 35390 FFHT pour deux mois.

Lecteur de documents et de chèques

Très liée à sa clientèle bancaire, Burroughs a très tôt fourni des équipements de ce type avec ses machines de la série 200, et toutes les suivantes.

B102 / 103 (1960), lecteur E13B reconnaissant les chiffres et 4 caractères, pour \$ 91000. Le débit de 3200 cps correspond à 100 à 1565 doc / min de 5,94 * 2,69 » (151 * 69 mm, chèques) à 9,06 * 4,06 » (230 * 103 mm). Le traitement des caractères est analogique, l'alimentation se fait par friction, l'entraînement par courroie.

B9131/2 est un lecteur / trieuse de chèques, 1565 doc/min, 12 casiers. Voir documentation B3500.

B9134.1 (1969) est un lecteur / trieuse complètement polyvalent, acceptant les documents optiques et magnétiques et pouvant les mélanger ; le code magnétique est au choix E13B ou CMC7, le code optique est ASCII ou OCR. B. La performance de 3000 cps permet un débit de l'ordre de 1650 doc/min.

La mécanique de base à \$ 80400 peut être suivie de casiers de trieuses, de 4 à 32 par groupes de 4 : la trieuse magnétique standard coûte \$ 91000.

B9137 est une extension de la même machine, avec double lecture et comparaison pour la sécurité, et des options d'impression au dos du chèque et de microfilmage au passage.

B9138 de 1978 reprend ces objectifs avec une technologie améliorée, basée sur un microprocesseur doté d'une mémoire 16 (4) 44 KB et d'un floppy de 234 KB pour changer de programmes de tri off line, de bootstrap et de maintenance, ainsi que d'un écran de 480 caractères.

Deux hopper 4400 documents dont un annexe, double lecture, débit de l'ordre de 150000 doc/heure, trieuse comprenant de 4 à 32 cases de 950 documents.

Contrôleurs de lignes

B6350 est le contrôleur de lignes du calculateur B6500, maximum 256 lignes. Voir documentation.

B6353 est sa version finale, utilisée avec le B6800. C'est un calculateur universel, mais il est spécialisé par son logiciel, qui sait prendre en compte :

une mémoire de programme à temps d'accès 250 ns, qui peut être 1 ou 2 * 6359.1 de 4096 mots de 24 bits, ou jusqu'à 3 * 6359.2 de 8192 mots.

une mémoire commune programme / données en tores 2D, 393 KB, accès 325 ns.

un contrôleur de disques tampons

un contrôleur large bande attaquant directement la mémoire du 6800.

un choix d'adaptateurs connectables toutes vitesses, jusqu'à 16 de chacun 16 lignes au plus.

un système de réponse audio à tambour, capable de 2 à 128 lignes.

DC 1100 est un produit OEM, destiné au marché des 2701 / 2 / 3 d' IBM, et basé sur le calculateur Varian 520 i. La mémoire est extensible de 4 à 32 KB par modules de 4 KB,

les lignes peuvent débiter 1200 à 4800 bauds. Prix : \$ 35760 à 62280, ou \$ 778 à 1411 / mois.

DC 1200 vise le même objectif, en plus puissant : mémoire de 4 à 64 KB, 64 lignes qui peuvent débiter de 45 à 1200 bauds en contrôleur, ou 4800 bauds en concentrateur. Prix \$ 40800 à 281420 à l'achat, ou \$ 938 à 4992 / mois.

DC 1800 est plus spécialement destinée à concentrer des terminaux Burroughs TC 500 au profit d'un ordinateur IBM, et son logiciel contient à cet effet quelques dispositifs qui ne sont pas supportés par BTAM : choix du terminal, polling.

Terminaux sans écran

Cer 1130 (1965) est un terminal lourd pour télétraitement avec B5500 : il comprend lecteur de cartes et imprimante et utilise une liaison Telpak 40800 bauds. Coût \$ 99900 ou \$ 1860 / mois.

B487 est un contemporain d'ambition plus universelle, contrôleur acceptant télétypes, telex, bande perforée du type Dataspeed, Univac 1004, IBM 1050, au choix.

B606 est une machine de guichet destinée aux calculateurs bancaires du type B2500, travaillant à 167 Hz à travers un modem de type Dataphone 202D. Ce terminal comprend un clavier et une imprimante assez primitive, qui ne sait taper que les chiffres et 4 codes pouvant prendre 12 valeurs. Le transfert est contrôlé par parité et, en cas d'erreur, il y a simplement répétition du caractère. Prix \$ 8100 ou 205 / mois.

TU 920 est un système de saisie qui peut concentrer jusqu'à 20 terminaux TU 100 par l'intermédiaire de lignes 150 bauds, et qui communique par ligne 1200 bauds avec le calculateur central.

Le terminal TU 100 (1970) peut comporter clavier numérique, lecteur de cartes, lecteur de badges 22 colonnes, et/ou imprimante 15 cps avec alphabet de 48 caractères. Il transmet 150 bit/s.

Self Scan (1972) est un tube au néon contenant, dans une seule enveloppe, 16 / 18 / 32 / 37 / 80 / 240 / 480 caractères selon modèle, à raison de 35 points par caractère de 0,9 mm ; espacement 0,6 mm. Alimentation des néons en 28 volts.

TD 700 (1972) est un terminal construit autour d'un écran Selfscan de 256 caractères, en 8 lignes de 32. La surface utile de l'écran est 368 * 238 mm, l'épaisseur est 56 mm. Le clavier alphabétique, accompagné ou non d'un pavé numérique, est séparé.

Le contrôleur logé dans une boîte séparée contient un tampon de 256 caractères, ou 1024 car en 4 pages ; il accepte les commandes curseur, insertion, suppression, tab. La liaison avec l'ordinateur se fait sur ligne asynchrone 75 à 4800 bauds, ou synchrone 150 à 9600 bauds.

RT 3000 / 4000 (1974) est un guichet automatique toutes opérations, existant en deux versions, blindée ou non.

TC 4000 (1975) est un terminal imprimant à matrice 5 * 7, 60 cps, avec périphériques Cassette et Self scan. Le clavier comporte 16 clés de commande. L'imprimante dispose d'un jeu de 64 caractères et accepte jusqu'à 150 car / ligne à la densité de 10 lignes par pouce ; le papier peut varier de 3 à 16,75 « de large (76 à 425 mm). Il y a enfin choix de un ou deux tampons jusqu'à 1536 car, et du débit de la ligne entre 75 et 9600 bauds. Fourni au choix en KSR, ASR ou RO, le terminal coûte de \$ 5000 à 9400.

AE 412 (11 / 76) est un terminal de saisie centré sur un CPU 8 bits, avec 4 KB ROM et 28 KB RAM, et 4 canaux jusqu'à 1 MB/s. Les périphériques disponibles sont :

clavier alphanumérique

clavier numérique, fonctions, 16 clés de sélection de programmes

machine à écrire matricielle 60 cps.

écran self scan 240 caractères.

disquette 243 KB

une ligne téléphonique autorisant tous modes et protocoles : synchrone ou asynchrone en réseaux, paire téléphonique jusqu'à 300 m, bande de base jusqu'à 4500 m, protocole point à point ou BDLC.

Il en existe diverses variantes : AE 422 sans ME, AE 513 avec floppy de 1 MB, AE 511 remplaçant le floppy par une cassette de 239 KB.

AE 501 (1977) reprend le programme ci-dessus avec un microprocesseur travaillant à 1 MHz. La ME est portée à 160 cps, la disquette est remplacée par deux cassettes.

TD 730 (1977) est une amélioration du 700 vu plus haut, avec un self scan de 12 lignes de 40 caractères ASCII, une cassette, une ME type 9249, un lecteur de cartes magnétiques. Le mode de connexion est très libre: Mle 731 est asynchrone 150 à 1800 bauds, ou 9600 bauds sur paire téléphonique < 300 m.

Mle 733 est synchrone 2400 à 4800 bauds, ou 64000 bauds en bande de base < 4500 m.

Mle 732 / 4 / 8 sont les versions avec périphériques, et les numéros se combinent par addition.

Terminaux avec écran

B9351 (1967) est un écran de 9 * 12 « (229 * 305 mm) pour 25 lignes de 80 caractères, à déflexion électromagnétique, avec clavier, et contrôleur comprenant tampon à tores jusqu'à 1020 caractères, générateur de caractères par strokes, curseur non destructif, insertion et suppression de ligne ou de caractère, tab. Le contrôleur peut être autonome, ou maître pour une grappe jusqu'à 64 écrans.

Prix : achat à partir de \$ 5990, location \$ 124 à 295 / mois.

TD 800 (1973) est un écran à 12 ou 24 lignes de 80 caractères, choix de claviers. Il diffère du précédent par une technologie plus récente, et la possibilité de choisir entre 11 modes de connexion précâblés : 600 / 1200 / 2400 bd synchrone, 75 / 150 / 200 / 300 / 600 / 1200 / 1800 asynchrone, 9600 asynchrone local.

B9348 (12/75) est une console à écran 9,5 * 7,5 » (241 * 190 mm), 24 lignes de 80 caractères pris dans un alphabet de 69 caractères majuscule et minuscules, réalisés par matrice 5 * 7. Contrôleur DLP 4.

TD 830 (12/76) se présente comme la version CRT du 730 vu plus haut, il accepte 24 lignes de 80 caractères 5 * 7, un tampon jusqu'à 4080 caractères permettant scroll, et tous modes de transmission.

MT X00 (1979) est une famille de terminaux à écran centrés sur le microprocesseur Intel 8086, avec 16 à 96 KB de mémoire, et un logiciel étoffé comprenant :

BFD, Burroughs Forms Definition, un langage pour formattage d'écran et préparation d'états.

une séquence d'autocontrôle intervenant automatiquement à la mise en route.

un programme de maintenance détaillé.

Extrême modularité, avec choix entre 12 claviers, 4 microdisques, 12 imprimantes, 7 lecteurs, 14 visualisations, et tous les types de lignes. Plus particulièrement :

les MT 200 choisissent des écrans 5/9/12 », 15 lignes de 40 caractères ASCII 96 crac, choix de claviers, ME matricielle sur 4, 5 ou 8,5 « de large, lecteur de cartes de crédit, touches fonction pour choix de programme.

les MT 300 sont centrés sur la ME 90 cps en trois largeurs, les écrans sont optionnels.

les MT 600 utilisent un écran 12 » avec 28 lignes de 80 caractères et une disquette de 160 KB, ils sont programmables.

Divers

B9410 est un commutateur de bus I/O pour partage d'un périphérique, tel que LC ou IP, entre deux contrôleurs. La commande est manuelle, ou par programme.

419 - Monroe Calculating Machines Company

Cette société existait pendant et aussitôt après la guerre et se consacrait à la production de calculatrices mécaniques. Convaincue par les travaux de Stibitz, puis de Von Neuman, que des technologies plus rapides allaient révolutionner cette industrie, Monroe décide vers 1950 d'expérimenter sur le calcul électronique et réalise un prototype baptisé Monrobot, qui ne nous est pas connu. Cependant, la période de tâtonnement n'est pas longue, car la société parvient - sans difficulté ! - à intéresser l' Air Force, de sorte que la suite des études est sponsorisée . La compagnie filialise son groupe d'étude sous le nom de Monrobot Corporation, et rapidement des applications émergent :

Monrobot III est une étude financée par l' AFCRC, sur le thème de calculs d'antennes.

Monrobot IV est construite pour la maison mère et se veut généraliste : il s'agit de déterminer à l'usage si on peut trouver intérêt à faire des calculs comptables avec une machine du nouveau type.

Monrobot V est construite pour le Corps du Génie de l' Armée, qui veut utiliser cet appareil pour aider à la construction de cartes, et profite de l'occasion pour soumettre la machine aux secousses du transport en camion : c'est d'abord les composants et leur assemblage qu'il faut renforcer.

Monrobot VI est fabriqué pour le Rome Air Development Center, qui se pose la question de la fiabilité : un article des Western JCC présente MAID, Monrobot Automatic Internal Diagnosis, un ensemble de circuits et de programmes qui permet de détecter les erreurs dues à des pannes, très fréquentes avec la technologie à tubes de cette époque ; on en trouve un résumé en français dans la fiche M III.

Monrobot MU, machine spécialement construite pour l' AFCRC, est un monument en 7 grandes armoires, conclusion d'une étude pour appliquer pratiquement les méthodes Monrobot à une petite gestion comptable utilisant des machines IBM. La seule conclusion possible en voyant ce déploiement est qu'il serait plus économique d'utiliser des produits IBM. Voir fiche.

Cependant, avec tous ces travaux et peut-être encore les Monrobot VII et VIII dont on ne sait rien, Monrobot a réussi à définir une petite machine de la taille d'un bureau, adaptée à la comptabilité et d'un prix suffisamment bas pour organiser une commercialisation. L'héritage des expérimentations antérieures est la mémoire à tambour magnétique, supportant une arithmétique série. Ce Monrobot IX à tubes se vendra à quelque 140 exemplaires (voir fiche).

A ce stade intervient Litton Industries, un conglomérat dont le principal centre d'intérêt paraît être militaire, mais qui veut étendre aux applications civiles sa maîtrise informatique.

Tout d'abord, le Monrobot XI reprend, avec une logique à transistors, l'architecture du IX. Le succès se maintient de 1960 à 1965.

A cette date, Litton Business Systems a étendu son domaine en achetant Kimball (étiquettes perforées) et Mc Bee (qui semble être un support de diffusion en Europe), et le nom de Monroe disparaît progressivement. Les facturières sont des EBS, Electronic Business Systems et on a des fiches sur le 1210 de 1965, et la famille 12X1 de 1969. Mais, au delà de cette date, on ne trouve plus dans la presse informatique d'allusion à cette classe de produits. On ignore si Litton s'est désintéressé de cette branche d'activité. L'achat de 1960 ne portait pas, semble-t'il, sur l'ensemble de Monroe, mais seulement sur sa filiale Monrobot. La Monroe Calculating Machine Company subsiste et cherche à nouveau, avec des moyens plus réalistes, à moderniser ses machines de table.

L' EPIC 2000, en 1965, inaugure les méthodes que populariseront plus tard les calculettes de HP et Texas : frappe du programme décrit par une série de touches, puis exécution répétée de la séquence mémorisée. On ne connaît pas le nombre d'étapes disponible. Voir photo et fiche.

La Monroe 1600, en 1971, est un calculateur de table programmable avec 128 étapes de programme et des circuits en MOS / LSI, comprenant, outre la mémoire de programme,

trois registres de calcul et dix registres de travail. Les entrées se font sur un clavier 10 touches et sont des nombres flottants de mantisse 14 chiffres plus signe, et d'exposant 2 chiffres plus signe. Les calculs donnent des résultats 14 chiffres, qui peuvent être sortis par une imprimante à tambour capable de 2,5 lignes/seconde : les nombres y apparaissent avec 10 chiffres de mantisse et 2 d'exposant.

Les nombreuses commandes se font par touches : + - * / = , CHG, SIGN, PRINT X, EXP, CLR X, RESET, a X, log10 , L, SIN / COS, ArcSin/ArcCos, conversion radians / degrés, écarts types, factorielle, réciproque, pi, e, conversions polaires / rectangulaires, suppression d'impression.

Matériellement, cette machine va être déclinée en plusieurs variantes, programmables par clavier ou par lecteur de carte, avec les résultats sur écran ou sur imprimante. Par exemple, la 1655 de 1970, programmée par cartes, pèse 545 g et mesure 330 * 343 * 165 mm. La 1666 de 1972, résolutement scientifique, peut être portée à 256 étapes . La 1766 à 256 étapes comporte plusieurs touches statistiques supplémentaires.

En résumé, Monroe exploite la même veine que Hewlett Packard, mais il ne semble pas qu'elle l'ait fait avec autant de bonheur. Après cette date, on ne voit plus guère de publicité pour Monroe.

420 - Moore School of Engineering

Cette école d'ingénieurs, dépendant de l'Université de Pennsylvanie, doit sa célébrité à la conception de l'ENIAC, première calculatrice électronique du monde, construite sur commande du Laboratoire de balistique d'Aberdeen, Maryland, et directement dans les murs de cet établissement militaire. Une fiche est consacrée à cette machine qui transposait dans le domaine électronique les principes des calculatrices mécaniques à manivelle, utilisées partout dans le monde avant la guerre : c'est une réalisation « héroïque », en ce sens qu'elle avait tout contre elle, architecture très peu optimale et technologie fragile, le seul point fort étant le soutien financier de l'Armée.

Parmi les techniciens anonymes du temps de guerre, il faut détacher les noms de Eckert et Mauchly qui, ayant achevé l'ENIAC avec une conscience aigüe de ses insuffisances conceptuelles, proposaient dès 1944 d'étudier et de construire un successeur qui devait être une vraie machine universelle. Dans leur équipe se trouvait un affecté spécial de qualité, le mathématicien Von Neuman ; son « first draft report on the EDVAC », moins célèbre que le document de l'IAS paru après la fin de la guerre, contenait déjà deux idées qui ont depuis fait une belle carrière : l'unicité de la mémoire regroupant programmes et données, et l'attachement des entrées / sorties à cette mémoire pour éviter les interférences avec le calcul.

La réussite de l'EDVAC a lancé la carrière de MM Eckert et Mauchly qui, sitôt la machine livrée dans sa première version, ont quitté la Moore School pour fonder leur propre société, vite rachetée par Remington Rand après de sérieuses difficultés financières.

Connue désormais comme un centre de compétence, malgré le départ de ses étoiles, la Moore School fut contrainte après leur départ à des tâches de moindre ambition, consistant à construire une machine pour un client capable de payer, en s'inspirant étroitement de plans conçus ailleurs :

MSAC, achevée en décembre 1954, est sponsorisée par le Signal Corps, établissement de Fort Monmouth. L'architecture et la logique sont celles de SEAC, la machine créée par Alexander pour le National Bureau of Standard de la côte Est ; mais la mémoire est une copie de celle de l'EDVAC et assure l'originalité de la réalisation, à une époque où cette mémoire était l'élément critique d'une machine.

Le sigle MSAC, Moore School Automatic Computer, suggère que le Signal Corps faisait du mécénat en cette affaire, mais cette réflexion est peut-être un peu aventurée.

Il ne semble pas, par contre, à en juger par les critères techniques, que la Moore School soit intervenue dans la construction de la machine propre de son université mère, Pennstac (1955). Ce qui peut donner lieu à d'amusantes réflexions sur les rivalités entre départements au sein des campus.

Par la suite, la Moore School retombe dans l'anonymat de la vie universitaire, et ses travaux ne sont plus inspirés que par sa mission pédagogique. En 1965, l'Ecole est dotée d'un ordinateur IBM 7040 à mémoire de 32 Kmots, avec canal B type 7904 accédant à 56 millions de caractères sur disques, et lecteur de cartes 1402 sur le canal A. Les services sont, comme d'habitude à cette époque, assurés par une 1401 off line avec 1402 et 1403, gérant des bandes commutables entre 1401 et 7040. La 1401 deviendra assez vite connectée, pour éviter le passage par les bandes.

Au canal B est également attaché un PDP 5 avec 4 Kmots de mémoire, relié par Dataphone 201B à un tampon qui gère des consoles Bunker Ramo 203. Le temps partagé que toute école se doit de posséder à cette époque utilise des programmes Multilist et Multilang fonctionnant sur la 7040, le PDP 5 assurant l'édition au profit des consoles. Il y a aussi un langage de listes, SPRINT, et une étude de mémoire associative, à la mode à cette époque (voir 228-42, 1963).

421 - Mostek Corporation

Il s'agit d'un fabricant de circuits intégrés qui apparaît en 1975, proposant un microprocesseur PMOS 8 bits, le MK 5065, capable de travailler à 1,4 MHz. Répertoire 51 opérations, alimentations +5 et -12 volts, présentation en DIL 40 broches. Prix de départ : \$ 58 par lots de 100.

La société commercialise simultanément le GEMS 8, un système d'évaluation en deux cartes. Voir fiche.

S'il est bon pour son image d'avoir un microprocesseur original, un fabricant de circuits intégrés débutant doit d'abord s'assurer du travail en devenant seconde source pour un produit connu, ce qui constitue une reconnaissance officielle. Pour Mostek, ce produit est le Z80 de Zilog, commercialisé à partir de 1976 sous le sigle MK 3880 et présenté en DIL 40 broches, alimentation 5 Volts.

Comme toujours dans ce cas, Mostek propose en même temps divers circuits d'appui, utiles pour composer un microcalculateur:

MK 3886 est une extension de bus regroupant 256 bytes de RAM (dont 64 protégés en écriture), une sortie série, deux timers programmables, quatre interruptions vectorisées, dans un DIL 40 broches, 5 volts.

MK 14007 est le SCU1, serial control unit, qui gère une interface externe de 16 bits et suppose l'installation préalable d'un 3880. Présentation DIL 40 broches, consommation 275 mW sous 5 V.

MK 50808 offert à partir de 1980 est un convertisseur A/D 8 bits fonctionnant par approximations successives, 8 voies, réalisé en CMOS 5 V. avec une consommation typique de 1,5 mW. 28 broches.

MK 50816 est le même en 16 voies, 40 broches, avec une durée de conversion de 110 µs et la garantie d'une erreur inférieure à une unité du dernier ordre. Proposé en deux versions, 0 - 70° et - 40 à + 85° .

Ayant créé les circuits, la tentation est forte de les utiliser pour construire et commercialiser un minicalculateur de table, l' AID 80 F comprenant boîtier 6 slots avec CPU, mémoire jusqu'à 64 KB, contrôleur pour deux floppies 256 KB. Prix \$ 5995 avec assembleur, éditeur de lien relogeable, bibliothécaire 2 passes, éditeur de texte sur disque ; en option à \$ 1195, un débogueur sur PROM capable de simuler le pas à pas du Z80. L'histoire ne dit pas si ce calculeur a trouvé des clients ; à cette époque, l'usage le plus courant pour de telles machines était un système d'évaluation.

Autre licence de seconde source en 1977, celle du F8/1 de Fairchild, qui est un microprocesseur en deux puces, MK 3850 et 3851 : le produit englobe 1 ou 2 KB de ROM, 64 bytes de RAM, 32 bornes d'entrées / sorties, deux alimentations + 5 et + 12 volts.

Mostek propose aux nouveaux utilisateurs une carte d'essai , SBC 80, qui contient le CPU, 16 KB de RAM en 8 circuits, des socles pour 5 KB de PROM ou 20 KB de ROM, une puce de sortie série SMI 3853 offrant une interface ASCII ajustable de 110 à 9600 bauds, deux PIO 3871 pour sortie parallèle, un CTC 3882, une interface bus élaborée, le tout pour \$ 995 .

Mais surtout, Mostek fait mieux en annonçant une version monochip du F8, sous le sigle MK 3870, qui va rapidement se décliner en nombreuses variantes : 3872 à mémoire accrue, 3873 avec accès série, 3874 avec PROM externe, SCU1 qui est préprogrammé en contrôleur série, etc...

Gros succès puisque Fairchild prendra la licence de ce contre-produit !

En 1978 Mostek a désormais une existence propre, et se décide à aborder le marché des microcalculateurs, d'ailleurs mal défini. Son approche prend la forme d'un jeu de cartes SD qui peuvent s'enficher dans le boîtier Matrix, pour constituer ce qui apparaît comme un outil de développement : le support est le microprocesseur Z80, soutenu par un important logiciel qui comporte notamment des émulations pour tous les microprocesseurs du moment, Z80, MK3870, Intel 8086 et 8088. Voir fiche.

Le Matrix se vendra mal, probablement parce que trop ouvert dans un monde encore très timoré, auquel il n'apporte pas d'application définie. En 4 / 79, Mostek officialise alors l'aspect « système de développement » en annonçant un produit spécifique, SYS 80 FT, qui comprend :

un boîtier parallélépipédique à 7 slots, pour Eurocartes double largeur ;

une carte OEM 80E, avec CPU Z80, 16 KB de RAM, et quelques entrées / sorties;

une carte RAM 80E d'extension mémoire, 32 K * 16 à base de puces MK 8005;

une carte FLP 80E pour un contrôleur de disquettes;
une carte VDI-P/S comme interface clavier et écran;
une option AIM 80E pour l'émulation en ligne;
une option PPG-08/16 pour la préparation de PROM

Le système d'exploitation proprement consacré au développement peut être renforcé de compilateurs Basic et Fortran. Voir en fait la fiche SD.

Cependant, ces cartes SD sont trop grandes, et Matrix ne peut se mesurer aux applications temps réel. En 1979, Mostek sort une nouvelle gamme de microcartes, toujours basées sur le Z80, et adaptées au bus normalisé STD.Z80 : ces cartes 114 * 165 mm sont variées et nombreuses, et peuvent être prises en compte par un important logiciel. Ce sera un succès modéré.

Quelques années plus tard, on retrouve Mostek en train de passer au microprocesseur 16 bits, dans la foulée des 68000 de Motorola. Voir fiche de ce MK 68200.

On ne dispose plus d'information sur les produits Mostek au delà de 1984. Il est probable que, pour n'avoir pas su participer à la course aux PC, Mostek a dû se limiter aux seuls contrôleurs ou se faire absorber.

422 - Produits informatiques de Motorola, Inc.

La société Motorola existe de longue date, peut-être même avant la guerre ; après celle-ci, elle consacre une partie importante de ses efforts à la production d'appareils de transmission pour les Armées.

1950 : AN / APS 23, radar de bombardement, 2520 produits partagés entre Motorola et un autre.

AN / MRR 4, récepteur de relais radar bde C, 7,6 GHz.

1951 : AN / UPA 26, indicateur d'altitude pour le radar Raytheon AN / MPS 4, fait partie du Central

Information AN / TSQ 6, en grandes huttes démontables.

1952 : AN / ALR 3 récepteur de contremesures 1 à 10 GHz, et AN / ALT 2 brouilleur correspondant.

1953 : indicateurs et synchroniseur pour le radar AN / APS 64 du B52.

1954 : gamme d'émetteurs / récepteurs HF AM / FM : AN / FRC 36, AN / PRC 29, AN / VRC 26 et 27.

1957 : AN / PPN 13, appareil de mesure de distances géodésiques utilisant deux radars 440 MHz.

1958 : AN / MRC 66, émetteur / récepteur VHF / SSB, multivoie, sur véhicule.

AN / URC 10, contrat pour 14000 balises 243 MHz pour aviateurs abattus.

AN / VRC 6, contrat pour 740 émetteurs / récepteurs.

1959 : AN / ASQ 43, système de navigation intégré pour le bombardier B70 (non suivi).
AN / FPS 23, radar de veille aérienne 450 MHz.
AN / PRC 43, émetteur / récepteur transistorisé en bande HF / SSB.
AN / SPA 25, PPI transistorisé pour navires.

1960 : AN / APS 85 et AN / APS 94, radars à faisceau latéral pour drones.
AN / APX 105, balise de rendez-vous, version durcie de l'AN / APX 78.

1961 : AN / APN 132, transpondeur bande X.
AN / TRC 87, data link UHF pour le projet SS 412 L de General Electric

1962 : AN / UPD 2, équipement de reconnaissance de l'avion AO1 Mohawk, comprenant un radar latéral

1963 : AN / APS 94, émetteur AN / AKT 16, récepteur / enregistreur AN / TKQ 1, transpondeur AN / DPN 63.

1967 : AN / APN 154, transpondeur travaillant avec AN / TPQ 10 de GE.
AN / TRC 105, câble herzien à 5 GHz.

1968 : AN / APQ 133, radar latéral permettant à l'avion canon AC119K de ne pas tirer sur les amis.
AN / FRC 147, émetteur / récepteur SHF de 1 watt.
AN / URC 67 et 69, émetteurs / récepteurs UHF 3500 canaux, versions auto et manuelle.

1970 : AN / PRC 68, émetteur / récepteur VHF.
AN / USA 26, PPI polyvalent.
AN / USW 3, émetteur de guidage pour plusieurs missiles simultanés., avec AN / DKW 1 à bord des
drones, AN / PSW 1 au sol. Le système s'appelle AN / MSW 10.

1971 : AN / USQ 56, système PASS de localisation d'équipements au sol à partir d'un OV1 disposant d'une référence inertielle.

1973 : AN / ALQ 122, brouilleur à bruit blanc pour le B52, contre le missile SA3 soviétique.
AN / SSQ 36, contrat pour 47000 bathythermographes consommables, exploités depuis le récepteur
RD 308 / SSQ 36 à bord du navire lanceur.
AN / TSW 10, reprise du système MSW 10 avec une balise DKW3A à bord des cibles.

1974 : AN / BRT 1, bouée émettrice pour sous-marin, poids 7 lbs.
AN / SSR 1, commande de 532 récepteurs de satellites pour broadcast TTY de USAF et Navy.

1975 : AN/USW 4, nouvelle commande d'avion cible.
AN/UYQ 18, visualisation à plasma, 512 * 512 pixels.

1980 : AN/URC 100, communication universelle, HF / FM - VHF - UHF, 8360 canaux

1982 : AN/URC 104, communication HFD / FM et UHF, 9320 canaux, compatible VRC 12 et PRC 77.

1983 : AN/DSQ 37, évaluateur de misdistance pour cibles remorquées.

1985 : AN/TSQ 132, exploitation rediffusable des radars aéroportés de l'avion E8 (JSTARS). A la différence des précédents, ce contrat est de nature informatique, puisque Motorola est responsable du module terrestre d'exploitation des signaux transmis par le radar de l'avion, constitué de consoles graphiques interconnectées. Ces consoles sont d'architecture VME, utilisent des disques sur interface SCSI, communiquent entre elles par réseaux Ethernet ou FDDI, sont programmées en ADA, travaillent sous Unix avec X Window et GKS ; le sous-système graphique, militarisation du CX 2000 de la société Chromatics, dispose de toute la richesse du graphique 2D avec une performance atteignant 300 Mops.

1986 : AN/PPN 19, transpondeur multibande pour les tirs décalés du Marine Corps.

1991 : AN/PRC 112, émetteur / récepteur pour hommes perdus dans la jungle, travaille avec AN/ARS 6
de Cubic, en UHF.

Une activité aussi soutenue au profit des Armées pourrait saturer un industriel, mais celui-ci dispose aussi d'une division Instrumentation & Control, et c'est dans celle-ci, sise à Phoenix, Arizona, que naît en 1968 le premier produit informatique de la compagnie : le minicalculetteur MDP 1000, voir fiche.

Cependant, c'est avec les microprocesseurs que Motorola découvre en 1974 sa seconde vocation, celle de concepteur de circuits et fondeur de silicium. Elle va prendre une importance de plus en plus grande et conduire Motorola aux tous premiers rangs de l'industrie des composants. Ces diverses activités, électronique, informatique, composants, font de Motorola une firme très diversifiée : bien que nous ayons l'intention de développer surtout le dernier terme de cette trilogie, il faut parler de l'informatique en tant que telle.

L'année 1985, très mauvaise année au plan financier, est une bonne occasion pour une telle segmentation.

Le chiffre d'affaires global, 5443 M\$, est en baisse de 2% par rapport à 1984, et les bénéfices sont tombés de 387 à 72 M\$. Les effectifs sont stagnants à 90000 personnes, et l'effort de recherche se maintient à 8,5%, soit 464 M\$. Les diverses branches d'activité contribuent très inégalement à cette situation :

les productions fédérales, toujours rentables, mais trop irrégulières pour qu'on en accroisse la proportion, se montent cette année là à 800 M\$ environ.

les communications, CA 2,3 B\$, sont cette année profitables, alors qu'elles étaient antérieurement à la traîne. Le bénéfice de 10,5% est flatteur.

les composants, 1,7 B\$, chutent brutalement de 23% et occasionnent une perte de 38 M\$. Il semble bien que ce soit du uniquement à la très mauvaise conjoncture de l'informatique, car les produits Motorola du moment, 68020 principalement, sont très bien accueillis depuis deux ans.

l'informatique proprement dite a augmenté son CA de 14% à 704 M\$, mais elle perd 17 M\$. Cette branche, construite principalement par des acquisitions, devra être réorganisée. Elle comprend:

Four Phase Systems Inc. achetée en 1984, et dont la réorganisation coûte cher: elle sera affectée au General System Group et développera non seulement ses calculateurs (la série 2000), mais surtout son logiciel avec les packages Business Assistant (bureautique) et Transtext (communication avec le système IBM Disoss d'informatique distribuée).

Codex vient d'introduire le 2680, un modem à 19 Kbit/s, et s'occupe de gestion de réseaux. Elle produit aussi la série 6700 de processeurs pour informatique distribuée.

Universal Data Systems produit aussi des modems, 16 modèles de 1200 à 14400 bauds.

ISG International, principal composant de l'Information System Group, produit des processeurs 650 et 660 qui permettent l'édification de réseaux X25 de 100 à 500 terminaux, principalement en Europe.

En gros, la répartition des activités consiste en 128 M\$ de miniordinateurs, 300 M\$ de communications, 210 M\$ de périphériques, et 85 M\$ de maintenance. Un beau succès de Four Phase en 1986 est un contrat de fournitures aux Services Sociaux de l'Etat de Californie, consistant en un réseau national de miniordinateurs de la série 2000, avec des réseaux locaux Codex dans les chefs-lieux et des modems UDS pour les liaisons principales.

Après cet aperçu sur une informatique qui demeure mineure, on peut maintenant traiter des composants, tous tournés également vers cette discipline et qui vont progressivement prendre la première place dans l'activité de la société.

Les premiers microprocesseurs

Le 6800, premier microprocesseur de Motorola n'est pas le premier microprocesseur 8 bits des USA, puisque cet honneur revient au 8080 d'Intel, mais il a suivi de près cette annonce et ne doit rien à Intel. Une fiche détaillée présente ce circuit, réalisé en NMOS 1 MHz et encore très modeste puisque la puce ne contient que le processeur, 5400 transistors seulement: mémoire, périphériques et interruptions sont rejetés dans des circuits séparés. La fiche en présente quelques-uns et détaille le 6820 PIA, cad l'interface parallèle, dans un document d'un réel intérêt pédagogique. Le succès sera comparable à celui d'Intel et Motorola vendra très vite des licences: à AMI aux USA (document joint), à Thomson / Sescosem en Europe.

Les années suivantes sont dures pour Motorola qui découvre l'obligation de créer sans cesse de nouvelles puces pour maintenir l'intérêt de la clientèle et garder sa position de leader. Il produira:

le 6801, microcontrôleur 8 bits, voir fiche : pour la première fois, Motorola parvient à placer sur une seule puce tous les composants d'un microprocesseur 8 bits. Les mémoires incorporées sont trop petites pour les applications de microcalculateur, mais le produit est capable de nombreuses applications temps réel et Motorola s'installe sur ce nouveau créneau.

le 6802, reprise compatible du 6800 permettant la construction d'un microcalculateur en deux puces : le 6802 proprement regroupe un processeur conforme au 6800, une base de temps 1 - 4 MHz semblable au 6875, et une RAM de 128 B équivalant au 6810, adresses hexadécimales 00 à 7F. Cette puce consomme 8 mA sous 5 volts et tient dans un DIL 40 broches : la borne 35 est Vcc standby et permet la sauvegarde de 32 bytes (00 à 1F), la borne 36 est RAM enable.

Le second circuit 6846 contient une ROM de 2048 B avec registre d'accès, 8 bits d'accès équivalent à la moitié d'un PIA, un timer 16 bits correspondant à un tiers de 6840, et une logique d'interruption associée.

Ce chipset, vendu \$ 15 par lot de 10000, semble avoir été réalisé pour les besoins du constructeur automobile GMC, mais il a trouvé d'autres clients.

le 6803 est une version sans ROM du 6801, pour études ou applications courtes.

le 6809 (1978) est un microprocesseur puissant, extension du 6800 facilitant la création d'une architecture 16 bits, et appuyé sur un logiciel substantiel. Licencié à AMI et Sescossem, il n'aura qu'une courte carrière en raison de l'annonce du 68000. Nous disposons du document en français de la Sescossem.

Le 6809 dispose d'un bus interne 16 bits, de 4 index dont deux pointeurs de piles, d'un accu long qui juxtapose les deux accus courts, d'un multiplieur $8 * 8$ incorporé. Bien que son bus externe soit 8 bits, il peut accepter des adressages jusqu'à 24 bits grâce à un MMU 6829. On voit bien se dessiner l'évolution dont le 68000 sera l'apogée.

le 6805 de 1979 reprend en la stabilisant la tentative du 6801 : il s'agit d'un microcontrôleur pensé comme tel, et réalisé en HMOS, un processus NMOS propriétaire et très performant. Le répertoire comprend l'essentiel de celui du 6800, les deux mémoires ont des capacités suffisantes pour l'essentiel des besoins, les entrées / sorties sont nombreuses et un timer est incorporé. Le succès sera grand, et le 6805 sera produit dans un grand nombre de variétés sur une durée de six ans, au moins, avant d'être supplanté par des contrôleurs compatibles réalisés en HCMOS.

le MC 14.6805 de 1980 est la première réalisation de ce contrôleur en HCMOS, avec une géométrie de 5μ qui lui donne une taille importante et oblige à quelques sacrifices fonctionnels, prix à payer pour une consommation réduite. La fiche détaille ces contraintes et comment la technologie des mémoires mises en service par Motorola pour travailler avec cette puce.

Le prix de la version de départ, E2, présentée en DI 40 broches avec 112 bytes de RAM mais sans ROM, reliée au monde extérieur par un bus de 13 bits seulement, est 22,25 \$ pièce en lots de 1000.

le MC 6804 de 1983 est une tentative de faire baisser plus encore les prix d'un contrôleur 8 bits compatible, grâce à une construction série du processeur et un boîtier 28 broches. Le premier 6804, avec 1K ROM et 64 bytes RAM, sera vendu \$ 1,95 pièce en lots de 10000. La production se diversifiera en 1984 avec des modèles plus légers en NMOS, et des modèles plus performants en HCMOS, mais finalement Motorola

constatera qu'il est possible de réaliser des prix bas avec le HCMOS 3 μ et le 6804 sera abandonné.

le MC 68HC05 de 1983 correspond à la version définitive du contrôleur parallèle 6805 en HCMOS 3 μ , avec de nombreuses variantes de capacité de mémoire et de périphériques. Cette version supplantera complètement les 6805 et 6804 et deviendra le plus populaire des microcontrôleurs 8 bits du monde, face à une forte compétition telle que Hitachi et Philips.

le MC 68HC11 qui apparaît en 1986 et va durer dix ans, correspond à la domination totale du HCMOS Motorola, toujours compatible 6805, probablement associée à une nouvelle réduction de géométrie. Grande variété de tailles de mémoires et de périphériques, associée à de spectaculaires baisses de prix.

A partir de 1981, General Motors généralise l'emploi de microprocesseurs dans ses voitures et commande à Motorola une série spécialement conçue, clairement dérivée du 6802. Ce chipset en 5 puces, baptisé GMCM, comprend :

le microprocesseur en boîtier 40 broches dérive du 6802 par addition de 10 nouvelles opérations, dont la multiplication, l'addition / soustraction sur 16 bits, et la mise en pile, ainsi que par une révision logique accélérant 32 opérations antérieures conservées.

l'engine control unit est un IOP microprogrammé qui fournit 6 accumulateurs d'impulsions pour les entrées, et 8 sorties PWM pour actionner divers équipements. Ce circuit englobe un BITE qui fournit un signal en cas d'incident. - la puce mémoire contient 4096 bytes de ROM pour la programmation, 128 bytes de RAM dont 64 non volatiles, et 8 portes IO programmables. L'adaptation spécifique aux divers types de voitures est faite par des PROM externes.

le convertisseur A/D est un CMOS 40 broches contenant un multiplexeur, 16 voies de conversion coûtant 300 μ s par échantillon, et des voies numériques.

la dernière puce contient une combinaison de TTL, ECL et I²L pour l'horloge, la régulation, la remise à zéro, le secours et la sécurité. Le programme contient une instruction d'autotest dont l'échec lance un timer de 12 ms. Il y a alors remise à zéro et passage en secours, qui gère l'allumage et l'injection.

L'ensemble des circuits consomme 2,5 watts en +5 Volts et fonctionne entre -40 et +85°.

Motorola avait également été consulté par Ford pour un microprocesseur de voiture, et avait réalisé à cet effet un microprocesseur en deux puces comportant une ROM de 2048 * 10 bits pour les instructions, une RAM de 128 bytes, et une entrée / sortie série. Ce circuit a été utilisé par Ford, sous le sigle EEC III, pour les Lincoln 1981-83, où il assurait une commande bouclée du carburateur, l'injection et la commande du convertisseur de couple.

A la suite de cette expérience, Motorola s'est efforcé de la rationaliser en créant un microprocesseur NMOS MC 67002 en une seule puce comprenant bloc de commande à instructions 10 bits, et bloc de calcul 8 bits avec multiplication et division câblée. Mais cette architecture Harvard ne faisait pas le poids en face de l'architecture Von Neuman 16 bits annoncée par le 6809, qui allait devenir la famille 68000.

Malgré le succès de sa série 68XX, Motorola n'est pas du tout assuré, en 1976, de l'avenir de sa technologie NMOS dont la faible puissance est incompatible avec les

besoins des grosses machines. Laissant le TTL à son concurrent AMD qui remporte à cette époque de gros succès, Motorola propose une famille de microprocesseurs ECL en tranches de 4 bits, les MC 10800, qui trouveront au moins un client chez Univac avec les 1100 / 60. Voir fiche.

Trois ans plus tard, Motorola, qui a accepté Fairchild comme seconde source de son produit, le modernise avec des tranches de 8 bits, formant la famille MC 10900, toujours compatible électriquement avec la famille ECL 10K de Fairchild. La puce, qui est vendue \$ 100 dans un boîtier 68 broches, consomme 3,9 watts en - 5 V et nécessite un fort refroidissement. Elle exécute l'addition CLA avec un délai de propagation de 8,6 ns par puce, 12,8 ns sur deux puces, et incorpore des possibilités de décalages sur 1 et sur 4 positions. Malgré ces performances honorables, la puce 10900 ne trouvera pas de client, les gros ordinateurs s'orientant à cette époque vers les « réseaux de portes ».

Autre expérience plutôt marginale : Motorola, qui vient en 1978 de lancer son procédé HCMOS en 5 μ , décide de produire sous le nom de MC 14. 1000 une version CMOS de la puce Texas TMS 1000. Présenté dans un boîtier 28 broches, ce circuit comprend 8 KB de ROM, 256 bytes de RAM statique, et une interface qui peut au choix être TTL ou CMOS ; il fonctionne avec une alimentation entre 3 et 6 volts, et peut délivrer jusqu'à 20 mA.

Ce produit obtint un succès intéressant, de sorte que Motorola réalisa plusieurs circuits d'accompagnement et plusieurs variantes :

MC 14. 1200 est une variante 40 broches du précédent.

MC 14. 1099 est une variante 48 broches où ROM et PLA sont séparées, pour les mises au point.

MC 14. 5101 est une RAM CMOS 256 * 4 bits.

MC 14. 053B est un multiplexeur CMOS pour signaux 8 bits d'entrée.

MC 14. 443 et 447 sont des convertisseurs A / D en CMOS, précision 8 et 12 bits.

MC 14. 469 est un modem pour liaison série asynchrone.

Bref, Motorola profite de cette opération pour élargir sa maîtrise du processus CMOS et sa gamme de périphériques.

La famille 68000

En 1979, Motorola aborde le 16 bits avec une famille nouvelle, non compatible bien que développant à l'évidence la formule 6809. C'est un pari important, car il s'agit de proposer, face au 8086 d'Intel appuyé sur le succès écrasant du PC, une alternative crédible ; ce sera une réussite exceptionnelle, ce 68000 apparaissant dès sa naissance comme le plus puissant microprocesseur du marché, architecturalement mieux conçu que son concurrent et potentiellement susceptible de plus d'extensions.

La vague du PC ne pouvait être surmontée, à cause de la masse des logiciels qui entretenaient son succès, de sorte que le 68000 ne put creuser la moindre brèche dans ce marché. Mais Motorola réussit à s'introduire dans deux domaines d'excellence, assurant son architecture de plus de quinze ans d'une vie d'ailleurs tumultueuse, sans cesse relancée par l'annonce de versions plus puissantes quoique compatibles:

les calculateurs de table de Apple, formant la famille Mac Intosh, égale en notoriété à la famille PC même si ses débouchés sont moindres et sa stature commerciale un peu fragile.

les applications temps réel construites autour du bus VME, qui domine nettement son concurrent, le Multibus d'Intel. Un système d'exploitation temps réel, VRTX, produit en dehors de Motorola, viendra supporter les produits du consortium VME dont Motorola est l'initiateur.

en outre, Motorola saura adapter son architecture pour créer des microcontrôleurs 16 et 32 bits qui profiteront de l'effort logiciel autour des 68000 et réussiront à susciter de nombreuses applications.

Le 68000 est révolutionnaire parce qu'à l'époque où les microprocesseurs 16 bits cherchent encore leur voie, Motorola propose une architecture interne 32 bits et un adressage 24 bits, qui offrent d'impressionnantes possibilités de développement. Le bus, cependant, est 16 bits, car il ne faut affoler ni les clients ni les fabricants de périphériques, qui viennent tout juste d'amorcer leur mutation.

Plus généralement, l'architecture 68000 se propose de mettre à disposition des programmeurs la totalité des dispositifs qui permettent de bâtir un système d'exploitation performant, notamment la mémoire virtuelle et les piles de contexte, aussi bien que des applications sophistiquées, notamment la virgule flottante et les listes. A cet effet, l'organisation logique est à deux adresses, avec pas moins de 14 modes d'adressage, et les entrées/sorties peuvent, au choix, être ou non « mappées » dans l'espace des données. La technologie est HMOS 3, un NMOS à géométrie $2\ \mu$, qui permettra des fréquences de 4 à 16 MHz. Elle n'autorise certainement pas le placement de tout ce qui précède sur une seule puce que les préoccupations de rendement de fabrication limitent à $45\ \text{mm}^2$, soit environ 68000 transistors. Aussi a-t'il fallu prendre plusieurs décisions cruciales : la puce 68000 de base contiendra le bloc de commande complet, mais seulement le processeur de virgule fixe ; la complexité du répertoire de 77 opérations sera obtenue à travers une microprogrammation raffinée, avec des microinstructions de 70 bits qui distribuent quelque 180 signaux : l'exécution d'une instruction, qui peut comprendre de 1 à 5 mots, dure de 4 à 20 CP, selon la complexité des adressages demandés.

l'organisation des relations avec la mémoire, clé de la performance, est complètement câblée, prenant en compte non seulement le cas standard d'une mémoire 16 bits alignée sur le mot, mais la possibilité de mémoires 8 bits et l'adressage du byte. Le cycle normal de mémoire dure 8 CP pour les mémoires proposées avec le 68000, mais l'efficacité de certaines instructions a conduit à proposer aussi des cycles décomposés en read/modify/write, qui durent 18 CP.

En outre, trois bits forts poids de l'adresse sont manipulés par la microprogrammation de manière à distinguer automatiquement quatre espaces d'adressage : données et instructions du mode user, données et instructions du mode superviseur.

les dispositifs architecturaux les plus complexes, à savoir le MMU qui réalise la mémoire virtuelle, et le FPU qui exécute les opérations flottantes de la norme IEEE 754, sont confiés à des coprocesseurs facultatifs, respectivement MC 68451 et MC 68881. Dans cette première réalisation, ces coprocesseurs sont perçus par le CPU comme des périphériques : lorsque la microprogrammation décèle une situation qui exige le recours à l'un d'eux, elle lance un programme d'entrée/sortie qui active le coprocesseur, teste l'achèvement du calcul, puis recueille le résultat.

Le 68000, qui marqua son époque, nous est très bien connu. On trouvera dans la documentation deux éditions (très proches) du manuel Motorola de l'utilisateur, et un document ENSTA décrivant en français AUTOGENE, un autocodeur interprétatif pour ce microprocesseur.

Le 68000 a été licencié à EFCIS en Europe, Hitachi au Japon, Rockwell et Signetics aux USA. Le gouvernement français a soutenu l'opération EFCIS et les Armées ont choisi le microprocesseur produit par cette firme pour de nombreuses applications temps réel.

Le succès du 68000 et l'attribution de licences ont abouti rapidement à la mise en place de périphériques variés, dont on donne ci-après une liste probablement non exhaustive, avec les indications permettant de trouver des détails techniques:

MC 68120 (1981) est un des plus anciens périphériques utilisable avec le 68000, ayant été conçu en réalité pour le 6809. Il regroupe autour d'un 6801 une ROM de programme de 2 KB, une RAM de 128 bytes à deux accès, 21 bits d'entrées/sorties parallèles partageables, un timer 16 bits multifonctions, et un SCI (interface série lié à des bits précédents). Il est réalisé comme le 68000 en HMOS et présenté dans un DIL 48 broches ; son principal défaut est d'utiliser un bus plus étroit que celui du 68000, 8 bits d'adresse multiplexable, 8 bits de données bidirectionnels, et 3 signaux ; le programme interne assure une gestion par sémaphores internes des accès partagés à la RAM.

MC 68153 Bus arbitration module, destiné aux cartes VME.

MC 68184 (1986) est le « broadband interface controller » de la norme MAP = 802.4, qui décrit un réseau local en anneau avec jeton. Utilisé dans une carte VME.

MC 68230 (1983), toujours en HMOS, regroupe trois interfaces parallèles 8 bits avec des timers, et remplace le 68120. Existe en 8 et 10 MHz. Voir fiche et document Picaud, Vol II p 3.

MC 68440 (1983) regroupe deux DMA et s'adapte à n'importe quel périphérique full duplex, avec un débit maximum de 5 MB/s ; il existe en 8 et 10 MHz. Voir fiche et document Picaud, Vol II p 101.

MC 68450 (1984), très voisin, comprend quatre DMA. Mêmes fréquences

MC 68451 est un MMU, plus particulièrement destiné au 68010 (voir plus loin).

MC 68452 est une gestion d'interruption pour association au bus VME.

MC 68454 est un contrôleur de disques proposé par Signetics.

MC 68459 également Signetics, est disk phase lock loop, c'est-à-dire probablement un optimiseur activant un sous-canal au passage d'un secteur particulier du disque.

MC 68461 paraît être une variante du 68451, destinée au 68020 (voir plus loin).

MC 68561 est un « multiple protocol communication control », produit par Signetics.

MC 68562 est un « dual universal serial communication control ». Voir 68681.

MC 68564 est un accès série du à Signetics. Voir fiche et 68681.

MC 68590/1/2 est un chipset formant contrôleur Ethernet, créé par AMD, produit sous licence par Mostek et Motorola, licencié en France à SGS Thomson. C'est un périphérique polyvalent, utilisable avec tous les microprocesseurs 16 bits : 8086, Z8000, LSI 11, 68000.

MC 68652 est la version Motorola du 68561.

MC 68653 est un « polynomial generator checker », circuit série permettant de construire le code cyclique à joindre à une séquence série (disque, bande, ligne) pour en permettre la régénération en cas d'erreur.

MC 68661 est un « programmable communication interface » 8 bits. Conçu pour le 6800, il est aisément adaptable au 68000.

MC 68681 est un double UART full duplex, interface série. Voir fiche, et document Picaud Vol II p 49.

MC 68824 est un contrôleur pour connexion à un réseau Token Ring, norme IEEE 802.5. Il peut travailler à 10, 12 ou 16 MHz, et soutenir des réseaux entre 1,5 et 10 Mbits/s. Il incorpore un DMA 4 canaux, 40 bytes de FIFO, un bus d'adresse 32 bits et un bus de données de 8 ou 16 bits.

MC 68836/7/8/9 est un chipset de 1991, réalisant une liaison FDDI à 100 Mbit/s au prix de \$ 265 par lot de 1000 jeux. Dans cet ensemble, les deux intermédiaires sont de conception DEC :

le 68836 est le FGC, circuit bipolaire contenant le générateur 125 MHz et le convertisseur du flot série en mots de 5 bits transmis en parallèle au suivant.

le 68837 est l'ELM, qui gère la couche physique. Il peut attaquer directement le câble en cuivre, ou passer par l'intermédiaire de convertisseurs pour les liaisons coaxiales.

le 68838 gère la couche MAC, Media Access Control.

le 68839 réalisé en CMOS est l'interface du bus interne 128 bits, comprenant deux ports 32 bits capables de 1,6 Gbit/s, et un tampon de 8 Kbits.

MC 68851 est un puissant MMU pour 68020, réalisé en CMOS, assurant une conversion d'adresse en 60 ns. Il contient un cache et sait manipuler des pages de taille variable.

Voir son répertoire dispersé dans les deux volumes du Répertoire des 68XXX.

Fréquences : 12 / 16 / 20 MHz.

On trouvera une description fonctionnelle de ce circuit dans le manuel de l'utilisateur du 68030, Volume I, pp 9.1 à 66 : le MMU du 68030 est équivalent au 68851.

MC 68881 est un coprocesseur HMOS destiné au 68020. Voir fiche 68000 et document Picaud Vol II p 165, ainsi que la fiche spécialisée 68881. Fréquences 12 / 16 / 20 / 25 MHz.

MC 68882 (1987) est une reprise de ce coprocesseur en CMOS, 1,5 fois plus performant à cause de certaines modifications logiques, permettant la simultanéité des conversions d'opérandes avec le calcul, ainsi que des extensions de format pour les sauvegardes. On trouvera en archives un document spécifique Motorola. Fréquences 16 / 20 / 25 / 33 MHz. Prix \$ 400 à 16 MHz, \$ 550 à 20 MHz, par quantités.

MC 68901 est un IOC, baptisé « multifunction peripheral ».

Dès la sortie du 68000, Motorola l'introduit sur le marché du temps réel sous la forme de Monoboard, une carte 3 MHz contenant CPU, 64 KB de ROM, 32 ou 64 KB de RAM, et deux interfaces série et parallèle avec timer. Cette carte était vendue \$ 1300 en quantité.

Cette carte, destinée aux applications à la demande, était complétée par une carte pour 128 KB de RAM, une carte contrôleur de floppy, une carte multiplexeur de communication, une carte contrôleur universel, une alimentation et un châssis : ces éléments d'un microcalculateur étaient baptisés Versamodules.

En 1986, le bus VME étant bien installé (voir deux documents de la norme), la production temps réel de Motorola s'inscrit dans ce cadre et prend la forme de boîtiers standard dans lesquels sont enfichables des cartes 68020 ou 68010, des disques

Winchester 40 ou 70 MB, de la mémoire jusqu'à 2 MB : ces microprocesseurs qui ne s'avouent pas tels peuvent servir jusqu'à 8 utilisateurs.

Motorola propose aussi, à cette époque, la carte MVME 372 qui englobe 68020 et 68824 pour matérialiser les 7 couches du protocole MAP 2.1, et la carte MVME 371 FS qui est le modem large bande associé. Le tout est servi par un logiciel MicroMAD, écrit en C, qui donne accès à toutes les couches.

Le succès du 68000 est immédiat, mais ce n'est qu'un peu plus tard que l'architecture correspondante prend sa forme définitive avec l'apparition de puces plus élaborées qui mettent l'accent sur l'un ou l'autre de ses aspects :

a) le 68010 de 1981 est une variante du 68000 spécialement conçue pour l'adressage virtuel. On y trouve un tampon d'instructions de 3 mots, et les registres SFC, DFC, VDR qui manipulent les 3 bits d'espace et permettent donc d'organiser des échanges entre ces espaces : en particulier, ils permettent d'atteindre commodément l'espace 7 affecté à la commande des coprocesseurs, plus particulièrement du MMA 68451. Au lieu de la programmation prévue dans le 68000, trop lente pour être couramment utilisée, l'adressage est ici microprogrammé, et les défauts de page provoquent trap et sauvegarde en pile de l'état courant de l'instruction : il existe deux formats de sauvegarde, 0 et 8.

Motorola matérialise cette solution en mi 84 avec le Versamodule VM03.4, comprenant 68010, 68451, 1 KB de RAM, et un logiciel, Unix 2.2 ou DOS 4.3 . Prix \$ 6050.

Cartes associées : VM 22 est un disk control capable de 3 MB/s, comprenant pour \$ 2690 un 68000, ROM et RAM. VM 12.2 à \$ 13400 fournit 4 MB de DRAM.

On trouvera le répertoire du 68010 et celui du dernier modèle de MMU, le 68851, dans les deux volumes du document global Répertoire de la famille 68XXX. Le 68010 était disponible en trois fréquences, 8, 10 et 12 MHz et proposé dans tous les types de boîtiers connus à son époque.

b) le 68012 est une variante du 68010, spécialement produite pour Hewlett Packard, et qui diffère du modèle standard par un adressage 31 bits. La présentation est un boîtier carré avec 21 broches sur chacun des côtés. Le répertoire est celui du 68010.

c) le 68008 de fin 82 est un produit Motorola, qui se propose d'offrir les avantages de l'architecture 68000 à des utilisateurs bloqués par leur investissement dans les 680X. La différence avec le 68000 réside dans le bus limité à 8 bits et compatible 6800, et dans un adressage limité à 20 bits ; de plus, il n'existe que des versions 8 et 10 MHz. La présentation est en DIL 48 broches. Pour le répertoire, voir le document Répertoire de la famille 68XXX.

d) le 68020 de 1983 est la forme achevée du 68000, qui dispose désormais d'un bus d'adresse de 32 bits, et d'un bus de données bidirectionnel de 32 bits également, utilisable avec des mémoires de 8 / 16 / 32 bits. Un cache d'instructions assez simple, 1 * 64 * 32 bits, fonctionnant en 2 CP, isole le processeur du bus, mais pour les données il faut encore utiliser un coprocesseur 68461 ou 68851.

Le processus de production est maintenant HCMOS 2 μ , ce qui permet de loger 192000 transistors (dont le cache) dans 81 mm² environ, et d'accroître la fréquence de fonctionnement, 12 / 16 / 20 / 25 / 33 MHz. La présentation est uniquement PGA, avec une grille 13 * 13 dont 114 positions sont utilisées.

Le 68020, dont les relations avec les coprocesseurs sont maintenant microprogrammées, et qui dispose de nouveaux modes d'adressage, est tellement supérieur au 68000 qu'il va le remplacer totalement, créant pour quelque temps un nouveau standard en matière de stations de travail. Plus de 20 constructeurs adopteront le 68020 et une variante d' Unix pour cette mission, en plus de la seconde génération des Mac Intosh d'Apple et de nombreuses applications plus exotiques.

Motorola presse le mouvement en proposant formellement des microcalculateurs sous le nom de série 8000. Les caractéristiques de cette série destinée au temps réel sont : la présence d'un 68020 et d'un 68881 pour des calculs performants, mais pas de mémoire virtuelle.

un cache de données 16 KB sépare le CPU de la mémoire, 2 à 8 MB, normalement reliée par un bus interne rapide MVMX qui minimise les temps d'accès.

l'emploi du bus VME pour la structuration du châssis et pour tous les périphériques.

En particulier, on trouve sur ce bus:

une carte contrôleur de disque où un 68000 joue le rôle de multiple DMA pour un maximum de deux Winchester de 85 MB et un floppy de 655 KB.

jusqu'à quatre contrôleurs de terminaux dont chacun offre 8 interfaces RS 232 C.

en option, un contrôleur pour une bande 9 pistes de sauvegarde et un Ethernet 2.0.

Le logiciel est Unix, dans une version spécifique baptisée V68, qui se rattache à la version V. Prix typique 300 KFF pour une mémoire de 2 MB, un disque de 85 MB, un floppy, un streamer de 60 MB, et Unix.

La documentation est constituée essentiellement par le Volume I de Picaud (boîte 89), par la norme VME (boîte 90) et par le Répertoire de la famille 68XXX (boîte 91).

e) le 68030 annoncé en 1987 suit la voie ouverte par le 80386 d'Intel pour les PC, et profite des progrès du LSI pour introduire sur la puce deux petits caches I et D de 256 bytes et l'équivalent du MMU 68851. L'adressage virtuel est donc désormais institutionnalisé, malheureusement un peu tard, en ce sens que certains des licenciés de Motorola (notamment Sun) ont déjà fait choix de mémoires virtuelles différentes.

Le 68030 s'imposera cependant, au moins chez Apple. L'apparition du 68882 permet d'accélérer les calculs sans rien changer à la méthode de connexion du coprocesseur.

Le progrès technique réside dans le passage à un process HCMOS à géométrie 1,2 μ , avec un équivalent de 325000 transistors (CPU inchangé) et un débit interne accru. La fréquence se déplace vers le haut, avec un maximum de 33 MHz, mais rien n'est changé pour les périphériques.

La documentation se compose d'un manuel de l'utilisateur en deux volumes, et du Répertoire de la famille 68XXX qui montre quelques subtiles différences avec le 68020..

Motorola ne manquera pas d'adapter le 68030 aux usages temps réel, grâce à la carte MVME 141, qui propose un 68030 à 25 ou 33 MHz, un 68882 et un cache de 64 KB. Cette carte peut se substituer sur un châssis VME à la carte 68020 antérieure.

Une carte plus modeste, MVME 147, est proposée pour les machines à 20 MHz, incluant 4 ou 8 MB de mémoire locale 32 bits, 200 ns ; une horloge TOD avec battery backup ; une interface SCSI capable de 7 périphériques avec un débit de 4 MB/s en synchrone ou 1,5 MB/s en asynchrone ; 4 portes RS 232 C capables de 110 à 19200 bauds ; une porte parallèle ; un Ethernet 2.0 à 10 Mbits/s ; et, bien entendu, une interface VME. Comme on peut le voir à cette liste, la carte 147 contient tous les ingrédients d'une unité centrale : Motorola propose donc en 1988 le microcalculateur Delta 3600, présenté dans un boîtier tour, qui ajoute à ce circuit de base 4 cartes MVME 224 de mémoire 4 ou 8 MB, 2 portes, accessibles à travers le bus VME, des disques et un streamer qui trouvent place sur les connecteurs SCSI, et de nouveaux contrôleurs tournés vers les réseaux, WAN et LAN.

f) le 68040 de 1990 peut être décrit comme la combinaison d'un 68030 et d'un 68882, les deux caches de premier niveau étant en outre étendus à 4 KB chacun dans une organisation en 4 lignes. Il est réalisé avec un HCMOS de géométrie 0,8 μ avec deux couches métalliques, permettant de grouper 1,2 Mtransistors dans plus de 2 cm², ce qui compromet le rendement de fabrication et cause d'importants retards : en 12/90, il y a 300000 circuits en commande, et la pénurie est prévue pour durer jusqu'en juin 91.

Le 68040 sera une réussite et intéressera autant Apple que le temps réel, car il est possible d'ignorer la partie MMU pour les applications temps réel. La carte MVME 167 de 11/91 groupe un 68040 à 25 MHz avec un contrôleur SCSI, un Ethernet, des ports série et parallèle, une gestion d'interruptions, et quatre timers 32 bits. Elle coûte \$ 3995. Elle peut s'associer, sous le nouveau protocole VME 64, un choix complet de contrôleurs périphériques en CMOS, avec un débit soutenu de 40 MB/s. Cependant, la clientèle des 68XXX n'est pas la même que celle des PC, et l'apparition, chez Motorola même, de processeurs RISC, va provoquer une mutation des stations de travail et le déclin assez rapide, à partir de 1993, des 68XXX universels. Motorola, qui avait prévu cette évolution, sauvegardera longtemps cette famille en se tournant vers les fonctions de contrôleurs.

La documentation sur le 68040 se compose d'un manuel d'utilisateur (boite 90) et du Répertoire de la famille 68XXX (boite 91).

g) le 68060 de 1994 se présente comme une continuation du 68040, mais il a perdu sa clientèle de base, à savoir Apple, car même avec les améliorations technologiques il n'est plus concurrentiel avec les RISC. Il reste par contre une clientèle importante pour les applications temps réel où il apporte un supplément de puissance sans augmentation de dépense, et sans changer de logiciel. Voir fiche MVME 177.

Réalisé en HCMOS 0,5 μ , ce circuit contient 2,5 Mtransistors, à savoir :

un bus interne 32 bits

deux processeurs virgule fixe avec pipeline 4 étages.

un processeur de branchement avec cache d'historique.

un processeur de virgule flottante, qui exécute les opérations principales du 68882 avec bénéfice, et émule les autres avec plus ou moins de succès.

deux caches I et D de 8 KB chacun.

Il est capable de trois opérations simultanées dont un branchement, et peut travailler jusqu'à 66 MHz, ce qui correspond à 250 Mips crête. Il ne consomme cependant que 3,5 watts en 3,3 Volts.

Nous disposons d'un manuel de l'utilisateur. Par rapport au 68040 qu'il supplante, ce microprocesseur traite par microprogrammation non seulement toute la virgule flottante, mais aussi CHK2, CMP2, FDBcc, FScC, FTRAPcc, MOVEP, et une partie de FMOVEM. Il offre une opération nouvelle, PLPA, qui peut se décrire par :

```
IF Supervisor State THEN adresse réelle calculée va dans An
ELSE TRAP
```

De nombreuses autres différences de taille et de performances sont à retrouver dans le manuel.

Les contrôleurs

Dès la sortie du 68000, Motorola se penche sur son application aux contrôleurs, produits à grands débouchés qui doivent être économiques, tant à fabriquer (grandes séries, performances modérées) qu'à exploiter (faible consommation). La question se pose, à cette époque, de l'utilité de contrôleurs aussi puissants (32 bits internes) et même de contrôleurs 16 bits. Le pari de Motorola est de jouer sur le succès de son 68000 pour créer le besoin.

le premier produit, baptisé 68200, sort en 1983 et se compose d'un processeur 68000 associé sur un chip avec 4 KB ROM et 256 bytes de RAM. Il y a eu certainement des restrictions par rapport au 68000 de base, et par exemple une simplification du bus d'adresse, mais il s'agissait surtout d'un test. On en ignore d'ailleurs le résultat précis, mais on voit se dessiner deux tendances:

d'une part, la création d'une famille de contrôleurs 32 bits, CPU 32, pour les applications ambitieuses qui se dessinent dans le domaine des communications. Ils se distinguent architecturalement des 68XXX.

d'autre part, la définition de coeurs reproductibles photographiquement, selon une technique naissante, autour desquels on pourra construire des processeurs à la demande disposant automatiquement de toutes les caractéristiques et du logiciel de leur modèle. Après un essai en 1990 baptisé 68HC000, consistant à transposer le 68000 en un CMOS compatible exactement, il en existera deux variantes qui toutes les deux sont à consommation réduite par rapport aux originaux 68XXX :

les 68ECXXX n'ont ni FPU ni MMU, mais conservent le répertoire et les caches du 68XXX. Le 68EC000 est vendu \$ 2,95 en lot de 10000, le 68EC020 coûte \$ 15 dans les mêmes conditions, le 68EC040 disponible à partir du 4ème trimestre 91 délivre 22 Mips et se vend \$ 140 pièce ; un 68EC060 est annoncé en 1994.

les 68LCXXX n'ont pas de FPU, mais ils gardent le MMU, les caches et tout l'interface de bus. Ils peuvent donc travailler en mémoire virtuelle.

Dans le premier groupe, qui correspond à l'état de la technique de définition de circuits de 1988, le CPU 32 est une architecture nouvelle, proche de celle du 68020 et directement inspirée par elle, avec quelques simplifications et quelques extensions.

La principale simplification est l'absence de la virgule flottante : il n'est pas prévu de coprocesseur et les instructions correspondantes sont simplement des codes invalides. Les

adresses sont limitées à 16 MB par espace, soit 24 bits, et ces longueurs surabondantes sont exploitables à travers la mémoire virtuelle, qui facilite la programmation en langages de haut niveau.

Les améliorations portent sur les possibilités de répétitions, sur les recherches de tables, sur l'exploitation des interruptions, et sur les modes de mise au point. L'adressage dispose de toutes les possibilités du 68020.

La fréquence de fonctionnement est plafonnée à 16,7 MHz, ce qui est inférieur aux possibilités technologiques mais largement suffisant pour la majorité des applications. En outre, il est possible d'arrêter la machine à tout moment, car la logique est purement statique, et un état stoppé économique a été prévu.

Nous disposons d'une présentation générale de l'architecture, avec une évaluation détaillée de la durée de toutes les opérations, évaluée en CP pour rester universelle.

MC 68330 (fiche) est un contrôleur industriel 16 MHz qui comprend, en plus du CPU 32, 2 KB de RAM rapide à double accès le reliant à un processeur auxiliaire programmable, 7 interruptions, un timer, et deux canaux rapides série à 125 Kbits/s. Les systèmes d'exploitation proposés sont OS9, VRTX, VxWorks.

MC 68331 est une variante, probablement spécifique, contenant 9 timers et deux canaux série 4 Mbit/s, avec 9 interruptions.

MC 68332 destiné à l'automobile est encore plus complexe, avec 17 timers, 7 interruptions et les mêmes canaux série. C'est apparemment le processeur auxiliaire RISC qui fournit les timers. Ce processeur est proposé avec un compilateur C, provenant soit de Cosmic, soit d'Intermetrics ; pour \$ 332, on obtient un programme éducatif sur disquette, une carte VME formant kit de développement avec le 68332, 128 KB de PROM, 64 KB de RAM, une interface RS 232 C, trois manuels et une disquette assembleur.

La fréquence peut être poussée à 20 MHz.

MC 68340 (1991) est destiné à des systèmes plus ambitieux : non seulement la fréquence peut être 16 ou 20 MHz, mais l'adressage peut atteindre 4 GB, et le bus mémoire sait travailler en 8/16/32 bits. Sur le bus interne on trouve deux DMA totalisant 33 MB/s, deux contrôleurs série à 3 Mbits/s capables de full duplex, deux compteurs/timers de 24 bits, et une interface d'arbitrage de bus. Le timing est assuré à partir d'un quartz externe économique à 32 KHz. Tout est contrôlable par Jtag.

MC 68341 (5/93) est un processeur de 6 VAX Mips destiné à un lecteur de CD interactif grand public. Il diffère du précédent par une horloge temps réel, une fréquence pouvant atteindre 25 MHz, et une alimentation optionnelle 3,3 volts (variante V).

MC 68349 (5/93) atteint 8 à 10 VAX Mips grâce à un coeur 68030, mais pour le reste il est semblable au précédent. Il est utilisé pour les communications. Mêmes fréquences et alimentations, mais il est significatif de constater qu'il ne consomme que 300 mW en 5 Volts.

MC 68360 QUICC (5/93) est aussi destiné aux communications, et encore plus puissant : réalisé en CMOS 0,8 μ , avec 1 Mtransistors, il délivre 4,5 Mips à 25 MHz. Il se présente soit en boîtier PGA 18 * 18 broches, soit en QFP 4 * 60 broches. Il consomme 1 watt en 5 V, une version 3,3 V est prévue fin 93.

Le CPU peut être inhibé par une broche si un CPU externe le remplace. Ses fonctions sont la protection, le séquençement, l'horloge, la commande des DRAM, et la gestion des interruptions.

Le RISC est plus particulièrement chargé des communications. Il comprend deux DMA et quatre séquenceurs d'usage général. Il gère 4 canaux série à 2,048 Mbit/s du type SCC et dispose de 8 protocoles. Une version 68EN360 fournit les fonctionnalités d'Ethernet. Cette puce est vendue \$ 49,9 en lots de 10000 dans sa présentation QFP, \$ 59,9 pour le 68EN360. Son succès a été immédiat, et il en existe des cartes produites par Force, Matrix, Microprocess, PeP, Radstone.

Motorola appuie ce succès en proposant la carte d'évaluation SBC 360 QUADS, à partir de 10000 FF. On y trouve 2 à 16 MB de DRAM, 256 à 512 KB de SRAM, 128 KB à 1 MB de flash, un connecteur pour carte fille Ethernet, et trois connecteurs VME 96 broches.

La société Embedded Support Tool Corporation propose un système de développement « System 360 » qui offre trois niveaux de liaison vers un PC ou une station de travail : BDM port fournit la gestion de mémoire cible, un breakpoint pour initialisation des registres et chip select, et la programmation des flash. Prix 15000 FF.

EST série 300 à 32000 FF y ajoute la simulation de code, l'analyse de performances, et un débogueur multitâches.

Net 300 à 55000 FF autorise en outre le téléchargement par Ethernet.

Cette société peut aussi fournir quelques compléments matériels :

un module Trace 36, permettant une trace en temps réel jusqu'à 32 KB.

une mémoire d'émulation jusqu'à 1 MB.

et Sim 360, pour la gestion des registres et des chip select.

Dans le second groupe, l'élément central est un coeur 68000 avec un bus mémoire 8 / 16 bits standard, et le premier circuit produit est le MC 68302 (fiche) destiné aux communications. Mais presque tout de suite, la production se scinde en deux catégories : des familles destinées à une fabrication de masse, pour usages industriels tels que l'automobile : ils sont placés sur catalogue, fréquemment remis à jour en fonction de la demande.

des familles étudiées à la demande autour de coeurs 68EC ou 68LC, pour des besoins plus spécifiques.

Nous ne pouvons espérer être exhaustifs, et ce qui suit est une collection d'exemples : MC 68HC16 (1990) prolonge vers le haut la famille 68HC11 en y ajoutant, au profit des communications, des opérations inspirées par les DSP. Il est présenté en flatquad soudable à 132 broches. Ces contrôleurs sont produits en assemblant, comme pour un ASIC, 4 à 6 des 12 modules ci-dessous :

CPU 16 bits, 16 MHz avec bus 20 bits d'adresse et 16 bits de données.

48 KB de ROM

2 ou 48 KB de flash, programmable à l'aide d'un signal 12 Volts.

GPT est une paire de compteurs 16 bits dont l'un peut être splitté en deux sorties 8 bits PWM.

TPU est un timer 16 voies avec 2 KB de RAM.

CTM est une collection de timers / comparateurs programmables.
SIM est une horloge, SCIM une possible extension.
ADC est un codeur A/D 8 bits, QADC sa version 16 bits.
Il y a aussi une possibilité de SRAM avec sauvegarde.

En pratique, il en a existé 6 versions préfabriquées, mais il était toujours possible d'en créer une autre en cas de commande substantielle. Un exemple de cette situation se produit en 1991 avec le MC 68HC16Z1 destiné à l'automobile : le processeur est pratiquement spécifique, avec deux accus A et B couplables en un registre long D, 3 index de 16 bits, un SP et un CO de 16 bits, un registre d'état de 16 bits, deux accus MAC 16 bits et deux registres DSP de 16 bits. Il fonctionne à 16,78 MHz. Il s'y ajoute :
une RAM de 1024 bytes, mais pas de ROM
un CTM de 10 timers
un convertisseur A/D à 8 voies de 10 bits.
un UART de type SCI
un QSPI, Queue serial peripheral interface.
Ce produit exploitait le logiciel MCX 11 de Motorola.

Encore plus spécifique, le MC 68F333 est aussi destiné à l'automobile et se présente comme un rectangle de 1 * 1,6 cm, sous boîtier QFP à 160 broches. Ce rectangle est divisé en deux bandes égales dans le sens de la longueur, comprenant:

partie supérieure : QSM = UART full duplex programmable avec FIFO pour IO série
SRAM de 512 bytes

SRAM de 3584 bytes destinée au TPU suivant.

TPU, temporisateur programmable 16 bits, 16 voies.

16 KB de mémoire flash.

partie inférieure : Codeur 8 voies sur 10 bits.

48 KB de mémoire flash, pouvant être remplacée par une ROM pour la série.

CPU conforme à la spécification 68LC020.

Une mince bande verticale à l'extrémité droite contient l'interface bus, pour intégration système.

Cette puce était vendue \$ 199,95 pièce, le prix de série tombant à \$ 30.

En 6/93, et de façon analogue, le MC 68HC08 remplace la famille 68HC05 par un contrôleur 8 bits réalisé en CMOS 0,8 μ avec deux couches métalliques, fonctionnant à 8 MHz au lieu de 2, et doté de 78 nouvelles opérations dont la logique économise 20 à 30% de cycles. Il y a un SP de 16 bits au lieu de 8, un index de 16 bits, et une opération Move capable d'un transfert de mémoire à mémoire sans perturbation de l'accu. A titre d'exemple, la version XL36 qui sort au 2ème semestre 94 comprend:

le nouveau CPU avec 36 KB d'EPROM et 1 KB de RAM.

un DMA

un SPI, bus duplex 3 fils pour liaisons internes ou subordonnées.

un SCI, liaison série duplex pour interCPU.

un TIM, compteur 16 bits.

un SCM, gestion d'énergie et horloge.

un CGM, synthétiseur d'horloge à partir de la synchro quartz externe, avec verrouillage de phase.

les diverses entrées/sorties comprennent 41 bornes, dont une partie ci-dessus.

Cette famille évoluera vers le CMOS 0.5 μ et abandonnera en 1996 les ROM ou PROM OTP au profit de flash, ce type de mémoire morte réinscriptible ayant fait d'importants progrès de vitesse. Motorola définira jusqu'à 10 configurations nouvelles par an de cette famille MC 68HC908 qui se vendra selon modèle entre 1 et 5 \$ pièce par lots de 50000, bien au delà de l'année 2000. Voir fiche.

En 10/96, le 68HC12 est un 16 bits 8 MHz, compatible au plan logiciel avec les 68HC11. L'alimentation pourra descendre jusqu'à 2,7 Volts. La société irlandaise Ashling Microsystem réalise pour cette nouvelle famille un émulateur In Circuit à 50000 FF, capable de 50 MHz et disposant de 256 KB à 16 MB de mémoire d'émulation. Ce système permet le marquage de l'heure de breakpoints (jusqu'à 256000), la visualisation en temps réel non intrusive grâce à un double accès aux DRAM, et une liaison série à 115 Kbit/s avec le calculateur hôte.

L'évolution des communications vers de très hautes performances, du fait des satellites et du téléphone portable, conduiront à partir de 1994 à de nouveaux développements dont on cite ci-après trois exemples. Ils répondront aux premiers besoins, mais ne suffiront pas. C'est pourquoi il sera nécessaire de remplacer les 68000 par des RISC.

MC 68307 (1994) travaille à 16,67 MHz, conçu pour les téléphones portables où il est associé à un DDLC

MC 145488 et à un traducteur MC 145474 qui attaque l'ISDN. Il regroupe :

un coeur 68EC008

un bus principal multiplexé, transportant soit une adresse 24 bits, soit des données (8 bits bidirectionnels plus 8 autres bits de données).

un bus 8051 comprenant 16 bits d'adresse dont 8 multiplexés avec les données, et doté de ses propres fils de commande RD, WR et ALE (commande du Mux).

un M Bus série bifilaire pour périphériques légers, réglable de 3830 Hz à 757 KHz.

un peu de gestion d'énergie.

Cette puce consomme 150 mW en version 5 V, 50 mW en version 3,3 V. La consommation tombe à 28 mW quand on arrête les périphériques, à 170 μ W en léthargie.

MC 68322 (1994) est destiné aux imprimantes laser et fonctionne à 16 ou 20 MHz. Il comprend :

un coeur 68EC000 avec bus 16 bits.

une unité SIM à 8 chip select permettant une mémoire importante.

une interface ICE vers l'émulation (?).

un port parallèle avec interface IEEE 1284 comprenant un DMA.

un contrôleur de rafraîchissement pour les DRAM.

une unité graphique composée d'un processeur RISC et d'un contrôleur vidéo allant à l'imprimante. La programmation permet de prendre en compte tous les systèmes

normalisés. L'image est stockée en bandes comprimées, et traitée bande par bande, une étant en traitement pendant que la précédente est transmise.

MC 68356 (1994) sert à construire un modem selon protocole V34. Il occupe 12,7 * 12,7 mm² et fonctionne à 20 MHz avec une alimentation 3,3 V., 25 MHz en 5 V. Il comprend :

un processeur 68302 complet.

un DSP 56002 complet, avec 5250 * 24 bits de programme, 5500 * 24 bits de données partagées, un bus comprenant 24 bits de données et 16 bits d'adresse, une PLL et des interruptions.

une interface PCMCIA 2.1 avec 11 bits d'adresse, 16 / 8 bits de données, reliée aux bus des deux processeurs précédents.

une interface d'accès direct du bus 68302 sur le bus 58002.

une interface entre le bus périphérique du 56002 et le bus principal 68302.

un SSI destiné au codec sur le bus périphérique du 56002.

un SCI sur ce même bus, commutable sur les bornes du SCC1 du 68302.

Ces diverses dispositions permettent une étroite coopération des deux processeurs qui disposent à tout instant des mêmes données, si nécessaire.

Les réseaux de portes

Fin 91, Motorola annonce la famille H4C de réseaux de portes CMOS, à l'opposé de son activité très structurée en matière de microprocesseurs. Ces circuits, réalisés en 0,7 µ avec une dissipation de 3 µW/MHz et par porte, et un délai typique de 180 ps par porte, comportent une couche polySi et 3 couches métal : ces dernières sont construites à la demande du client. Les puces à 57000, 183000 et 195000 portes sont disponibles en 4 / 91, les configurations de 27000, 35000, 86000, 161000 et 318000 portes en 10 / 91. Dans la dernière citée, H4C318, le dessin peut matérialiser 270 cellules logiques qui peuvent représenter plus de 150 fonctions à prendre dans une bibliothèque, auxquelles on peut associer des SRAM de diverses tailles jusqu'à 256 Kbits ; il y a aussi plus de 400 cellules périphériques, et l'option du boundary scan et de plusieurs PLL, Phase locked loops cells, qui servent à recalibrer la synchro entre l'ASIC en construction et les circuits extérieurs.

Le logiciel OACS, Open Architecture CAD System, permet la spécification du schéma à réaliser, la simulation multichip et multiniveau du circuit à construire, les analyses temporelles, le routage des liaisons à travers les trois couches métalliques, et la génération d'autotests. Les entrées / sorties peuvent être programmées individuellement pour 2, 4 ou 8 mA, et éventuellement on peut grouper jusqu'à 6 cellules de sortie pour atteindre des débits supérieurs. Le client peut même introduire ses propres fonctions, ce qui prend 4 semaines.

Les circuits peuvent être montés en boîtiers de 128 à 500 bornes, dans les formats quadflat du JIDEC ou de l'EIAJ, ou en PGA, ou en TAB Tape Automated bonding. Prix typique : un H4C57 en package QFP 160 pourra être disponible en 6 à 8 semaines, avec un investissement de base de K\$ 35 à 200 selon complexité du schéma, et une dépense de \$ 27 par pièce, en lots de 10000.

Il s'agit d'un métier très différent de la prestation habituelle de Motorola, et il serait intéressant de savoir si le fondeur a réussi cette percée. On n'a là-dessus aucune indication.

Les DSP

Le DSP, ou processeur de traitement du signal, reçoit de capteurs un signal analogique, l'échantillonne avec une fréquence adaptée à la bande passante des informations, traite ces échantillons pour en extraire les propriétés spectrales, et restitue en analogique les données extraites. Créé pour l'exploitation des données sonar et radar, qui constituaient une application difficile mais ne représentant qu'un petit nombre d'équipement, il a pu être placé sur une puce quand il s'est agi de traiter la voix, qui n'exige pas de trop forte bande passante : cette miniaturisation a rendu possible le téléphone portable, et c'est le moment où Motorola s'est introduit sur ce marché, qui a lentement évolué ensuite vers le traitement vidéo, au fur et à mesure qu'augmentait la fréquence des appareils.

Le premier produit de Motorola, MC 56000 (1987), travaille à 20,5 MHz et peut exécuter 10,25 Mips 24 bits. L'architecture, classique en ce domaine, sépare les mémoires de programme et de données, ces dernières étant dédoublées de manière à pouvoir traiter simultanément deux indexations indépendantes; quatre bus internes permettent la simultanéité de toutes les phases, interprétation, calcul d'adresses, appel des opérandes, calcul et rangement du résultat.. Une version 33 MHz, capable de 16,8 Mips, apparaîtra en 1990.

La réalisation, encore modeste, en CMOS 1,5 μ avec deux couches métalliques, comprend une ROM de programme de 3840 mots, chargée en usine et donc spécifique de l'application, et deux mémoires de données composées chacune de 256 mots de ROM (constantes) et de 256 mots de RAM (variables); ces trois mémoires sont extensibles à 65536 mots au moyen d'un seul bus multiplexé comportant 16 bits d'adresse, 24 bits de données ou d'instruction, et 7 bits de commande.

Le bloc de calcul contient principalement deux accus de 56 bits et un multiplieur 24 * 24, ainsi que divers générateurs d'adresses associés à des jeux de registres 24 bits.

Les périphériques incorporés comprennent 15 bits parallèles configurables soit en interface hôte soit en DMA, et 9 bits configurables en 3 bits pour SCI (communications) et 6 pour SSI (tous périphériques série).

Le logiciel n'arrive à maturité qu'en 1996 sous la forme d'un atelier logiciel comprenant un macroassembleur, deux compilateurs C et C++, un éditeur de lien, des utilitaires, et un débogueur baptisé Crossview.

Le 56001 est la même machine, avec programme presque complètement externe (le bus de programme accède seulement à 512 mots de DRAM en interne, pour quelques algorithmes critiques).

Nous disposons d'un manuel de l'utilisateur en deux volumes pour ces deux DSP.

Le 56004, annoncé trois ans plus tard correspond à une démocratisation du matériel, qui entre dans les postes radio de voitures et peut aussi servir aux bricolages d'amateurs, son prix tombant à \$ 36,8 pièce en lots de 1000. Présenté en QFP 80 bornes, il est caractérisé par la présence de toutes les interfaces audio normalisées.

On a pu voir plus haut, dans la description du 68356, qu'en 1994 il est devenu possible d'intégrer un 56000 complet dans une puce aux côtés d'un contrôleur 683XX, pour des réalisations nettement plus complexes comme un modem V34.

L'abandon du 96002, décrit plus loin, élargit légèrement le domaine des DSP en virgule fixe, et c'est son architecture à 9 bus que l'on retrouve dans la nouvelle génération des 56000, poussée à 100 MHz. Cette famille inaugurée en 1995 avec le 56301 va rapidement se développer. Voir fiche.

En 1990, Motorola reprend la même architecture en 16 bits : c'est le 56100 qui comporte un multiplieur $16 * 16$ et deux accus 40 bits, et peut fournir 40 Mips à 40 MHz.

Cependant, à l'expérience du 56000, Motorola sortira d'abord la version de développement sans mémoire de programme, annonçant seulement qu'il pourra sur demande intégrer une ROM interne substantielle préchargée, si une application particulière en série suffisante le justifie.

Les 56100 contiennent 2 à 12 Kmots de RAM et 12 Kmots de ROM, l'adressage 16 bits permettant d'atteindre 128 KB dans chacune des mémoires I et D. Ils disposent de 4 interruptions, de deux interfaces série synchrones, d'un timer, d'un codec, et d'une émulation intégrée.

La réussite de ce modèle donnera lieu aux versions suivantes:

56116 (1991) contenant 8 Kmots de SRAM CMOS tous usages et divers périphériques.

56156 (1991) intégrant un convertisseur A/D 16 bits, 8 voies, et une sortie D/A sigma / delta.

56154 (1992) destiné au téléphone mobile et contenant la mémoire et les périphériques appropriés.

Il y aura aussi un 566XX à 60 MHz, qui allie les opérateurs 16 bits du 56100 au répertoire 24 bits du 56000. Il contient 24 Kmots de mémoire interne avec cache, ainsi que de la ROM ; il peut adresser trois mémoires externes de 16 Mmots ; il dispose de 5 interruptions. Sa consommation est 0,85 mA / MHz sous 2,7 Volts.

Encore un peu plus tard, il y aura un 56824, délibérément plus modeste parce qu'il est destiné à des applications très simples comme les répondeurs téléphoniques et les lecteurs de CD. Limité à 70 MHz, il est organisé autour de 3 bus 16 bits et ses opérateurs, y compris le décaleur barrel, sont 16 bits ; l'accumulateur est limité à 36 bits, il n'y a qu'un seul générateur d'adresses partagé. Mémoire RAM de 57344 bits, ROM de 34 Kmots, adressage global 128 Kmots de 16 bits. 10 interruptions, 4 ports série, pas de port parallèle.

A partir de mi 96, Motorola annonce de nouveaux 568XX qui réunissent les fonctions de DSP à celles de microcontrôleur. Cette famille va très bien réussir et se développer à partir d'un 56L811 de 20 Mips jusqu'à un 56F807 de 40 Mips, bien plus riche, en 2000. Voir fiche.

En 1990 encore, Motorola franchit un pas de plus et, pour disposer de tous les outils qu'exigeront ses prétentions dans le domaine des transmissions, crée le MC 96002, un DSP 32 bits en virgule flottante, supérieur sous tous aspects au 56000 dont il développe l'architecture:

tous les bus internes, trois d'adresse (X, Y, P) et cinq de données (X, Y, P, D pour les DMA, G global pour tous autres besoins), sont en 32 bits.

chaque CP comprend deux phases d'accès aux mémoires internes : une pour le D bus qui peut donc toujours faire les transferts à vitesse maximale, et une pour les calculs qui ont simultanément accès aux trois mémoires internes (1024 instructions dans P, 512 constantes et 512 variables pour X et pour Y).

le programme dispose d'une pile interne câblée, à 15 niveaux de 64 bits, qui sauvegarde le CO et le registre d'état lors des appels de sous-programmes et lors des interruptions. il existe pratiquement 10 opérateurs simultanés, de sorte qu'à 40 MHz qui correspondent à 20 Mips, il peut produire 200 Mops qui se combinent en 60 MFlops. Les opérations d'adresse 32 bits disposent de 8 jeux de 3 registres pour gérer jusqu'à 8 espaces simultanés, et deux calculs sont possibles à chaque cycle. Les opérations arithmétiques disposent de 10 registres de 96 bits comme SRC1 et comme destination, l'arithmétique fixe s'effectuant en 32 ou 64 bits et l'arithmétique flottante IEEE 754 en 96 bits; l'arithmétique entière charge les 24 registres d'adresse et les 12 registres des DMA à travers le bus G.

les principaux opérateurs arithmétiques sont un FPA / FXA et un Multiplieur $32 * 32$ simultanés, travaillant en un seul CP. Les opérateurs de division et de racine carrée sont itératifs et recourent aux précédents. Le décaleur intervient automatiquement dans toutes les opérations flottantes, et peut être utilisé séparément en fixe; il existe aussi un opérateur logique.

il existe deux bus externes simultanés arbitrables indépendamment, chacun avec 32 bits d'adresse et 32 de données. Il est ainsi possible d'avoir simultanément deux accès à des espaces mémoire, ou un accès mémoire et une entrée / sortie. Cette dernière peut être un microprocesseur hôte quelconque, et une interface de 16 mots, bidirectionnelle, est prévue à cet effet dans chaque bus.

Les deux DMA qui gèrent ces transferts externes disposent chacun de deux jeux de trois registres d'adresse, simultanés avec le reste de la machine. Ils peuvent ensemble débiter 66 MB /s.

l'ensemble de la puce est contrôlable par 4 bornes matérialisant l'interface normalisé JTag.

une collection de circuits spécialisés permet l'exécution de programmes sur le 96002 tout en observant le contenu des registres impliqués : c'est l'On Chip Emulation.

le processeur dispose de deux états à faible consommation, Wait et Stop. Ce dernier, où la synchro est arrêtée, ne permet pas une reprise instantanée.

Le 96002 est construit en CMOS $0,8 \mu$ avec deux couches métalliques, et comprend 850000 transistors. La première version à 33 MHz était proposée au prix de \$ 750, et la version à 40 MHz a suivi rapidement. La présentation pouvait être au choix PGA ou QFP.

Son marché était le même que celui du i 850 de Intel, cad les plus exigeantes applications portant sur l'image et le son. Mais la décision de Motorola, de s'impliquer dans l'association PowerPC, a rapidement arrêté son expansion. Cet abandon ne concerne que les DSP à virgule flottante, mais bon nombre des innovations du 96002 se retrouveront dans les DSP en virgule fixe, en constante évolution.

Consciente que le domaine des communications est un de ceux qui a le plus fort potentiel, Motorola n'a eu de cesse de disposer de DSP adaptés à tous les types de besoin, comme on a pu le voir plus haut avec les deux classes 24 et 16 bits de DSP en virgule fixe. Ce n'était pas suffisant, à en juger par le succès constant de Texas Instrument, leader du domaine. Motorola établit alors, vers 1999, une alliance baptisée Starcore avec Lucent Technology pour définir un nouvel et ambitieux projet de DSP, le SC 140, dont elle réalisera le prototype matériel.

Le MSC 8101 est cette première puce, contenant un SC140 : elle a une architecture VLIW, Very Long Instruction Word, ce qui signifie que chaque instruction commande explicitement l'action d'un nombre important d'opérateurs, 16 en l'occurrence, dont 4 MAC et 4 UAL : ce phénomène peut exécuter, à 300 MHz, pas moins de 1,2 Md de MAC 16 bits par seconde. Ses caractéristiques internes comprennent deux bus 64 bits, deux générateurs d'adresse, un accumulateur 40 bits avec décaleur barrel, un processeur de filtrage indépendant, et une mémoire de 4 Mbits (256K * 16) ; vers l'extérieur il y a un bus 64 bits aux normes PowerPC à 100 MHz avec 16 canaux DMA, et un processeur auxiliaire RISC 150 MHz gérant 13 ports série et 4 ports parallèles, pour tous protocoles (pex ATM 155 Mbit/s).

La puce occupe 17 * 17 mm et consomme 500 mW sous 1,5 V, dont la moitié pour le coeur.

Là-dessus Lucent annonce sa version StarPro 2000 contenant trois coeurs SC140.

Motorola riposte en annonçant, en décembre 2000, une puce MSC 8102 réalisée en CMOS 0.13 μ avec 6 couches cuivre, contenant quatre coeurs SC 140 (4,8 Md de MAC ou 12000 Mips), quatre coprocesseurs dédiés au filtrage, 1,436 MB de SRAM. La façade externe de cette puce est également impressionnante : deux bus PowerPC cumulant 9,6 Gbit/s, avec un contrôleur de mémoire polyvalent (SRAM, SDRAM, Eprom, Flash, etc...) et un contrôleur DMA pour 32 canaux., sans compter 4 interfaces TDM cumulant 400 Mbit/s.

Ce processeur serait capable, selon Motorola, de supporter 8 voies ADSL, ou 80 canaux voix avec compression et annulation d'écho, ou encore 600 canaux téléphoniques au format PCM G.711. Il sera présenté au 3ème trimestre 2001 dans un boîtier BGA 18 * 18 billes, au prix prévisionnel de 180 \$ pièce en lots de 10000 pièces. Consommation annoncée 1,6 W à 300 MHz.

Une très importante application des DSP, naissante en 1997, est la transmission ADSL à grande vitesse sur lignes téléphoniques cuivre existantes, clé du développement Internet. Motorola est aussi partie prenante dans ce grand projet de fin du siècle, avec son transceiver MC 145650 Coppergold. On trouvera au dossier un article sur ce sujet.

Les RISC

Le concept RISC, Reduced Instruction Set Computer est né en 1976 chez IBM (projet 801) et n'a d'abord débouché que sur des réalisations internes, des microprocesseurs RISC étant utilisés pour des tâches ponctuelles au sein des grosses machines 3900. Puis l'Université de Stanford réalisa un prototype de puce RISC LSI et le concept conquiert une certaine notoriété, qui dépassa le niveau purement intellectuel lorsque l'équipe se transforma en bureau d'études sous le nom de MIPS.

Dans la mesure où les produits de MIPS étaient considérés comme capables de constituer le coeur de stations de travail, Motorola ne pouvait les ignorer, de sorte que la définition d'une architecture fut entreprise à Austin, centre de Motorola Computer, dès 1984, aboutissant en 1986 à un projet concret baptisé Aspen. Une simulation complète et un logiciel de cross development étaient en place au début 87, permettant d'approcher un groupe d'indépendants que l'on voulait inciter à utiliser la puce dans des cartes OEM et à écrire pour elle des applications. Ce programme était en place à mi 87, et le prototype sur silicium sortait à l'automne; et finalement, un 88000 tournant sous Unix pouvait être présenté au début de 1988.

A cette date, le produit était complet et avait trouvé deux supporters parmi les constructeurs sérieux, Data General se lançant dans la construction d'une famille de serveurs nommés AVIION, et Harris créant les Night Hawk. Le produit comprend quatre puces :

le processeur RISC 88100, 160000 transistors, qui sera notamment licencié à Thomson / Sescosem en France. Motorola annonce immédiatement une carte MVME 187, 25 MHz, 23 Mips, qui supplanterait à l'évidence les cartes 68XXX si Motorola n'avait pas intérêt à les laisser vivre. Voir également dans la boîte 93 un document Motorola sur les Hypermodules multiprocesseurs.

Motorola propose aussi des microcalculateurs tous montés, la série 900.

le CMMU 88200, qui incorpore une structure de cache 16 KB. Voir boîte 93.

le 88204, qui permet d'étendre cette structure à 64 KB.

le 88300, contrôleur dédié dérivé du modèle.

Une étude du 88100 et du 88200 faite à l'ENSTA par M. A. Picaud est jointe au dossier et montre un microprocesseur assez banal, avec 32 registres de 32 bits en fixe et 4 registres flottants capables de la norme IEEE 754, avec deux opérateurs simultanés FAD et FMP ; la performance provient d'une part de la technologie, d'autre part de la rigueur avec laquelle les instructions sont maintenues à l'intérieur du format 32 bits.

Le lancement réussi, il était urgent d'améliorer le processeur, car la concurrence était très présente, avec MIPS qui distribuait généreusement ses licences, et Sun qui avait lancé le consortium SPARC. Dès 1991, Motorola annonce donc le 88110, une nouvelle puce de 1 Mtransistors en CMOS 0,8 μ à deux couches métalliques, englobant les fonctions du CPU et du MMU ainsi que deux caches de 64 Kbits. Outre cette plus grande densité, les améliorations sont:

l'existence d'une unité graphique 3D, sommaire par rapport au MMX qui apparaîtra plus tard chez Intel.

un bloc de commande superscalaire, dont le pipeline autorise un peu plus d'une instruction par CP.

un chemin de données large de 80 bits.

une interface bus conçue pour permettre l'extension des caches à l'extérieur de la puce, et le snooping, cad l'examen de ces caches dans les cas de multiprocesseurs.

des exceptions précises, cad qu'il est possible d'associer strictement avec l'incident qui les a provoquées.

des possibilités de branchement améliorées, mais pas encore de prédiction.

une amélioration de la procédure de load / store.

Au total, un facteur 3 à 5 entre le 88110 et la précédente combinaison 88100 / 88200.

La compatibilité étant à très peu près préservée, Data General et Harris annoncèrent la seconde version de leurs serveurs, et en 1993 Motorola annonça ses produits temps réel : MVME 197 est une monocarte VME en deux variantes :

la carte SP contient un 88110 à 50 MHz avec 128 MB de DRAM ECC, et un cache secondaire de 256 KB. L'efficacité est mesurée 153 Dhrystone et le prix s'élève à \$ 32995.

la carte DP comprenait deux CPU, la même mémoire, et un cache secondaire porté à 512 KB. La performance mesurée montait à 306 Dhrystones, et le prix seulement à \$ 44995.

Les deux cartes contenaient encore un ASIC d'économie d'énergie, une adaptation du bus VME 32 bits

en bus local 64 bits plus performant, et un socle mezzanine pour des extensions de mémoire, 32 MB

pour \$ 9995 ou 64 MB pour \$ 13995. Tout cela paraît cher.

Série 900 : cette série, commencée dès 1988, permettait de bâtir un processeur meccano à partir de:

un châssis standard VME avec alimentation

une carte CPU, qui peut être seulement une MVME 187 à \$ 4200, mais aussi bien, à partir de 1993, une MVME 197DP portant l'ensemble de la fourniture à \$ 55000.

jusqu'à 4 cartes VME Eurocard 6U pour extensions de mémoire ou périphériques.

un module d'extension SCSI2, avec 4 baies pour disques ou sauvegardes.

le logiciel Unix SVR4.1.

Plus économique mais moins modulaire, le 900 R propose les mêmes composants avec 12 slots VME

et 5 baies SCSI.

Les PowerPC

La famille 88000 paraissait bien lancée, lorsque les déboires d'IBM en 1993 et la situation sérieuse d'Apple, à bout de souffle avec ses MacIntosh 680XX, amenèrent Motorola à examiner une proposition radicale et déchirante:

abandonner la série 88000 et les alliances avec Data General et Harris, jugés petits joueurs sans grand avenir.

s'allier avec IBM, dont l'architecture Power faisait depuis plusieurs années la preuve de sa vitalité, pour réaliser et commercialiser un PowerPC dont l'architecture bien rodée était reconnue excellente et appuyée sur un logiciel important, et qui pouvait aisément être placé sur une seule puce. L'avantage majeur de cette puce potentielle était que l'architecture PowerPC, très proche de celle d'un DSP, pouvait être utilisée de façon très compétitive dans les applications de communications.

rentabiliser études et production de masse grâce à Apple, qui obtiendrait ainsi une nouvelle jeunesse, le PowerPC étant à coup sûr bien plus puissant que les derniers 68XXX.

et peut-être, s'attaquer à Intel en participant à l'étude d'une architecture micrologicielle d'adaptation de la puce aux PC, marché 10 fois supérieur à celui d'Apple.

Au passif du projet, il y avait:

la puissance d'IBM, qui fournissait son architecture, mais se gardait la fabrication de ses propres besoins et ne constituait donc pas un débouché, seulement un soutien.

les réticences d'IBM et d'Apple, ennemis depuis toujours, à travailler en commun.

De fait, après des années de discussions difficiles et malgré le rassemblement d'un consortium nippon-taiwanais tout disposé à soutenir le produit, l'architecture logicielle commune est abandonnée à peine annoncée et IBM choisit clairement de ne pas lancer de PC basés sur la puce PowerPC. D'autre part Apple, toujours réticente à laisser cloner ses produits, a pratiquement découragé les taiwanais qui se sont tournés vers le Alpha de DEC (Samsung).

Résultat : IBM et Motorola ont défini successivement, plus ou moins en accord, quelques incarnations réussies de l'architecture Power PC, avec trois usages distincts :

les versions les plus performantes sont produites pour Apple par Motorola, et par IBM pour ses stations de travail RS 6000 et leurs dérivés parallèles ; les logiciels ne sont pas compatibles.

Motorola utilise des versions du Power PC créées par lui pour ses applications temps réel.

IBM crée également, et indépendamment, des versions temps réel pour certaines de ses applications, et le potentiel du PowerPC est largement gaspillé.

Le PowerPC, produit conçu par IBM, est présenté essentiellement dans les rubriques consacrées à cette société. Cependant, on ne peut ignorer que Motorola a accepté de jouer son va-tout sur ce produit. Bien que l'essentiel de la documentation figure dans les archives d'IBM, on présente ici le produit du point de vue de Motorola.

Le PowerPC est une architecture 64 bits, qui englobe un sous-ensemble 32 bits. C'est ce dernier qui fera l'objet de toutes les réalisations, dans la période qui nous intéresse et qui se termine en fin 2000. Les modèles réalisés par Motorola sont :

MC 98601 (ancienne nomenclature interne) rebaptisé MPC 601, sort en 1993 et équipe immédiatement la première série des Power Mac d'Apple, les 6100 / 7100 / 8100 / 8500, avec des versions à 60, 66, 80 et 100 MHz respectivement (1994). Il est inopportun de citer les RS 6000 d'IBM équipés de 601, car ce constructeur utilise en général sa propre production, sauf en cas d'urgence.

Notre documentation comprend un manuel de l'utilisateur en trois volumes, rédigé par Motorola, qui fait double emploi avec le manuel très semblable en un seul volume contenu dans le dossier IBM. Le Vol III contient les corrections de la 2ème édition, la première étant constituée par les volumes I et II ; afin de rendre possible l'usage de ces corrections, des crossréférences existent en marge dans les deux éditions.

Cette correction est importante parce qu'elle montre que le 601 n'a pas pu tenir toutes les promesses de l'architecture : il n'est pas complètement conforme à l'architecture PowerPC, et contient même certaines opérations de complaisance destinées à faciliter la transition des machines IBM entre Power et PowerPC. Au total, le 601 a certes prouvé la supériorité considérable de la nouvelle puce sur les anciennes, mais il n'a pas démontré que l'architecture PowerPC était meilleure que ses diverses concurrentes du domaine Unix ; il fallait, très clairement, réaliser rapidement une implantation plus efficace.

MPC 603 de 11 / 93 est une version destinée aux portables, et qui a bien réussi dans cette mission. IBM l'a utilisé pour une démonstration (Thinkpad 850) à laquelle le marketing a mis fin très rapidement, de sorte que seule Apple, à nouveau, s'en est servi : le 603, dans sa version EV, a été utilisé pour les Power Mac 5500 et 6500 de 4 / 96.

Le 603, dont nous possédons un Technical Summary, est très proche de la spécification PowerPC 32 bits, et bien réussi. Il n'a cependant pas trouvé de gros débouché au départ . Il sera amélioré en un 603e, dont une version embarquée à 200 MHz (MPC 8240 à bus PCI), débarrassée de la virgule flottante, sera réalisée par Motorola pour ses applications temps réel.

Autre application, plus inattendue : Motorola annonce, le 7 / 3 / 94, un notebook à base de 603, l' Envoy. Cet assistant électronique de 190 * 145 * 30 mm pesant 730 g ne contient pas de clavier, bien qu'on puisse en faire apparaître un par logiciel ; volontairement limité, il ne contient aucun connecteur et ne peut s'associer à un socle d'extension pour les périphériques qui lui manquent.

Le couvercle peut devenir un écran 114 * 76 mm à 4 niveaux de gris, dans une définition 480 * 320 pixels. Un modem intégré permet une connexion fax à 9600 bauds, un transfert de données à 2400 bauds, et encore une liaison 4800 bauds par le réseau radio Ardis (qui n'existe qu'aux USA). Le logiciel est Magic Cap, de General Magic. Le prix est \$ 1500 environ.

Fin 94, Motorola va caresser l'idée de devenir vendeur de serveurs performants, basés sur ses processeurs PowerPC et sur le logiciel AIX 4.1 d'IBM. Ce sera la famille Powerstack MP, qui comprendra :

un produit de base, utilisant 2, 4, puis 8 PPC 601 à 75 MHz, avec bus PCI et bus MCA en standard, à partir de 200 KF.

un modèle E à 38000 F utilisant le PPC 603 à 66 MHz, et un autre à 51000 F à base de PPC 604 à 100 MHz .

une station de travail 603 à 21000 FFHT, 66B MHz, bus ISA.

Ces produits étaient apparemment de conception Bull, produit en France par cette société au titre d'un accord de licence avec IBM. Motorola a d'abord testé le marché avec des achats OEM chez Bull, mais elle pensait fabriquer les Powerstack avec sa propre production de microprocesseurs et les vendre aux USA, où Bull n'avait guère accès. Il était envisagé d'adapter progressivement la famille à tous les environnements du marché US, soit Windows NT 3.5 en fin 94, Mac OS et OS2.

La tentative ne semble pas avoir duré, sans doute à cause de l'encombrement de ce marché.

MPC 604 est un PowerPC plus satisfaisant, pratiquement conforme à la spécification, et suffisamment puissant pour équiper le Power Mac 9500 de 5 / 95. IBM l'utilisera, à la même époque, dans des variantes à 100, 120 et 133 MHz, pour des stations RS / 6000. C'est cependant sa variante 604e, largement redessinée et capable de 250 MHz, qui donnera lieu aux meilleurs résultats, tant chez Apple (Power Mac 7300 et 9600 de 1997) que chez IBM (RS 6000. E30 et F50 de 4 / 96, 43P150 de 1999). Nous ne possédons aucune documentation sur la version Motorola du 604.

En 1995, les études s'orientent vers un 620, qui doit être la première incarnation de l'architecture complète, avec bus 64 bits. Cependant, il s'avère difficile d'en tirer, pour les applications 32 bits courantes, une puissance franchement supérieure à celle du 604, et IBM s'en désintéresse longuement, faute de lui trouver un débouché réellement significatif. Il semble que le 620 d'IBM ait finalement trouvé une niche, non négligeable en volume, dans les derniers AS/400.

Quant au 620 de Motorola, il sera réalisé et testé, mais personne ne souhaitera l'utiliser. Après cet échec politique, Motorola et IBM, qui continuent à coopérer dans la définition de produits, divergent presque complètement : Motorola va produire un MPC 750 sur plan 603 qui sera le G3 des Power Mac (1997), puis un MPC 760/G4 sur plan 604 orienté vers le multimédia. IBM, pendant ce temps, va pratiquement reprendre son indépendance en définissant une architecture Power3 64 bits, puis une Power3 II, pour ses RS/6000 les plus puissants ; les serveurs départementaux AS/400, cependant, adopteront les PowerPC 32 bits.

Le G3 s'est très bien implanté dans la clientèle Apple, et existe en 9 fréquences : 233 / 266 / 300 / 333 / 350 / 366 / 400 / 450 / 500 MHz. Une analyse de performances, faite par la revue indépendante Byte en fin 2000 sur cinq de ces modèles, leur attribue un indice variant de 7,8 pour 233 à 13,3 pour 400 MHz ; l'intérêt essentiel de ces mesures est que Byte a mené les mêmes tests sur des Pentium, et que l'indice du PIII à 500 MHz n'est que 6,7. Intel ne s'émeut pas de ces chiffres, car Apple n'est pas réellement son concurrent, et aucun des fabricants de cartes mères PC ne songe à y placer un G3, après que la division PC d'IBM a, sur ordre du marketing, renoncé à le faire.

On peut ajouter que ce G3 n'est pas gourmand : à 400 MHz, il consomme 4,5 Watts. Disponible depuis 8/99, le MPC 7400/G4 existe en 350 / 400 / 450 / 466 / 500 / 667 / 733 MHz. Il semble que ce soit un dérivé à connexions cuivre du PowerPC 760, réalisé en 0.22 μ . Il loge 10,5 Mtransistors sur 83 mm² et consomme seulement 8 Watts sous 1,8 Volt. Les nouveautés du G4 sont :

un cache de 2ème niveau de 2 MB, et un bus mémoire 100 MB/s .

un bus interne 128 bits

un opérateur flottant travaillant sur 64 bits.

un groupe de 162 nouvelles opérations SIMD exécutées sur 128 bits de large. Grâce à cet opérateur, associé à 32 registres propres de 128 bits qui permettent une structure d'opération à 3 adresses (parfois 4), G4 est 10 à 15 fois plus rapide que G3 dans les calculs multimédia en virgule fixe.

Utilisé d'abord par Apple, ce G4 a été aussi choisi pour le temps réel, par exemple par Force Computer.

En dehors de sa production tournée vers l'extérieur, Motorola a maintenu son action particulière dans le temps réel, comme leader du groupe VME, en proposant en 9/94 une carte MVME 1604/4, à base de CPU PowerPC 603 ou 604. Le prix est 25 KFF pour une 1603 à 66 MHz, portant 8 MB de mémoire, et 32 KFF pour une 1604 à 100 MHz, même mémoire.

La nouveauté est que la carte, avec son interface VME, ne concerne que les périphériques. Elles contiennent un connecteur mezzanine pour le bus PCI, sur lequel on peut placer l'une ou l'autre carte CPU, avec un MP 105, l' horloge, et les quantités

minimales de ROM et de DRAM ; une seconde mezzanine éventuelle permet de rajouter de la DRAM.

La carte de base contient un convertisseur PCI/ISA qui dessert tous les périphériques locaux, port parallèle, port série, clavier et souris ; un contrôleur SCSI2 16 bits utilisant une puce isp1020 de QLogic; un contrôleur Ethernet ; et un branchement pour écran VGA. Ces cartes sont donc des cartes mères pour construire un microcalculateur.

Motorola utilise d'ailleurs ses cartes pour construire de véritables calculateurs, comme les Powerstacks de 1 à 4 CPU, supportant jusqu'à 500 utilisateurs sous AIX 4.1, ou le monoprocesseur EC 604 pour 128 usagers.

Dans les années suivantes, Motorola modernisera son offre VME, en renouvelant le format des mezzanines pour l'adapter à une miniaturisation croissante. On peut citer la carte MVME 2100 , évoquée plus loin à cause du processeur qu'elle contient.

Vers 2000, Motorola crée une nouvelle famille, MGT 5000, destinée aux applications embarquées demandant à la fois puissance et faible consommation, mais moins exigeantes en temps de réponse, dont le prototype est la navigation automobile, avec sa contrainte de température (- 40 à + 85°).

La nouvelle architecture, baptisée MobileGT, est une architecture ouverte, compatible Java, pour la mise en place de laquelle Motorola a coopéré avec de nombreuses sociétés :

Temic pour la reconnaissance de la parole, Object Technology International (filiale d'IBM) pour la machine virtuelle Java, Embedded Planet pour le développement de cartes électroniques, Virtual Prototypes pour les interfaces homme / machine, et QNX Software Systems pour l' OS temps réel. Un système de développement adapté, à base de PowerPC 823e, est déjà disponible. On voit que le nouveau système est très ambitieux, et vise à terme une voiture parlante et largement autonome grâce à Internet et GPS.

Dans l'immédiat, un circuit MGT 560, basé sur un PowerPC 601e, a été échantillonné pour dégrossir le problème. Le premier circuit de la nouvelle famille, MGT 5100, à base de PowerPC 603e, le sera en 9/2001. Réalisé en CMOS 0,25 μ , il est doté de tous les périphériques imaginables pour communication et temps réel (notamment A/N), et de gestion de consommation ; il est capable de 326 Mips.

Des évolutions dépassant 1000 Mips sont prévues pour 2003.

Contrôleurs RISC

Dès 1996, Motorola décide de ne pas laisser périliter son énorme capital de contrôleurs, un domaine où la société est leader mondial. Tout en conservant les familles 8 et 16 bits produites en masse, Motorola décide de renouveler les leaders (68302, 68360) en remplaçant l'étiquette 68XXX par une étiquette RISC, mais en conservant l'essentiel du logiciel.

Dans le domaine des supercontrôleurs, Motorola annonce en 11/95 le MPC 860 PowerQUICC, successeur des 68360 et 68302 qui continuent à servir de référence pour les faibles fréquences. On peut en tirer 52 Mips à 40 MHz, 33 Mips à 25 MHz. Autour d'un coeur PowerPC cette puce rassemble 2 caches 4 KB, chacun avec son TLB à 32 entrées supportant plusieurs tailles de pages et 16 espaces virtuels, et divers interfaces externes comme le bus mémoire avec son contrôleur, un PCMCIA, une horloge temps réel. Une RAM double port de 5 KB fait communiquer le bus avec un second

processeur, un RISC autonome et complètement équipé (MAC, ROM de programme, 3 timers, générateur de « baud rate ») dont la mission est de gérer toutes les entrées/sorties, ports parallèles et une grande variété de protocoles adaptables aux interfaces série (USB, SSC, SMC, SPI, I2C, etc...); 16 DMA sont à sa disposition. Il peut exister aussi un contrôleur pour vidéo couleur ou LCD.

Ce produit est tout de suite diffusé en cinq versions:

Modèle standard 860 contenant quatre contrôleurs série.

Modèle 860 EN contenant toutes les couches du protocole Ethernet.

Modèle 860 DC à deux contrôleurs série.

Modèle 860 DE avec deux contrôleurs série et Ethernet.

Modèle 860 MH avec 32 voies HDLC.

De là à la fin du siècle, Motorola va décliner cette nouvelle formule de microcontrôleur en trois versions, qui toutes travaillent avec 4 GB de mémoire de programme, 4 timers, 7 niveaux de priorité, chien de garde et codeur A/N intégré :

la famille 860 d'origine, poussée à 50 et 66 MHz (87 Mips), vouée au support d' ATM et d'Ethernet. Le 860 d'origine, 57 bits d'entrées / sorties dont 9 ports série, se présente en BGA 357 ; un 850 plus économique, réduit à 47 bornes I/O dont 7 ports série, se contente d'un BGA 256 ; un 823 est capable en outre des fréquences 75 et 81 MHz (107 Mips) avec les mêmes limites.

une famille PowerQuicc II repousse les limites de la série précédente avec un MPC 8240 qui peut atteindre les fréquences 100 / 133 / 166 / 200 / 233 / 266 MHz (372 Mips), mais au prix de la suppression de toutes bornes d'entrée/sortie (boîtier TBGA 352) ; ou avec un 8260 qui dispose de 128 bornes I/O dont 13 ports série, mais en se limitant à 200 MHz (280 Mips). Ces processeurs seront proposés dans des cartes VME standard, baptisées MVME 2100. Voir fiche.

une famille économique et modeste, renonçant aux applications ATM, limitée à 50 MHz : le MPC 801 en boîtier BGA 256 est limité à 16 bornes I/O dont 4 ports série ; le 821 à 57 bornes dont 6 ports série exige un boîtier BGA 357 et existe en deux variantes, sans et avec Ethernet.

On peut y ajouter le MPC 555, conçu spécialement pour l'automobile, mais qui a trouvé aussi des débouchés dans la robotique, le médical et les récepteurs GPS, à cause de sa grande souplesse. Autour d'un coeur PowerPC à 40 MHz (52,7 Dhrystones), on trouve 448 KB de flash pour la programmation, 26 KB de SRAM pour le travail, jusqu'à 42 interruptions et 32 niveaux de priorité, 2 timers et deux chiens de garde, jusqu'à 200 bits I/O dont 20 ports série et 10 sorties PWM, un codeur de tension à 16 ou 32 voies sur 10 bits, le tout conduisant à un boîtier PBGA 256. La consommation ne dépasse pas 1 Watt à 40 MHz.

La série Coldfire introduite en 1994 est formée de processeurs qui assurent une sorte de compatibilité avec le 68EC040 en convertissant, après un tampon d'instructions où convergent des formats 8 / 16 / 24 / 32 bits, ces divers formats en microinstructions plus régulières qui ramènent le pipeline à la norme RISC 32 bits et permettent une exécution par CP. Ce sont des CMOS 0,6 μ alimentés en 3,3 Volts, avec un répertoire de longueur variable. Il y en aura de nombreuses variétés :

le MCF 5102, TQFP 144, division câblée, avec deux caches I 2 KB et D 1 KB, délivre 44 Dhrystones à 44 MHz. Il a peu d'entrées / sorties.

le MCF 5202 / 3 recherche l'économie par un cache unifié 2 KB et un boîtier TQFP 100. Il ne délivre que 25 Dhrystones à 40 MHz.

le MCF 5204 est organisé différemment : deux caches de 512 bytes, 4 interruptions dont la priorité est programmable, deux timers dont un peut être programmé comme chien de garde, un UART. Ces améliorations se payent d'une fréquence réduite à 33 MHz (13,5 Mips). Boîtier TQFP 10.

le MCF 5206 développe ce thème : mêmes caches et même CPU, 2 UART plus un bus parallèle, 2 timers, chien de garde câblé, boîtier QFP 160.

le MCF 5206e, malgré cette similitude de sigle, est très différent : caches 4 et 8 KB, fréquence portée à 54 MHz (50 Dhrystones), MAC et division câblée, 2 DMA, en plus des mêmes I/O. Même boîtier.

le MCF 5307 de début 98 va encore plus loin, grâce à une géométrie 0.35 μ et à des modifications architecturales : cache unifié 8 KB, buffer de 8 instructions, pipeline d'instructions à 4 niveaux, pipeline d'exécution à 2 niveaux, fréquence 90 MHz (70 Dhrystones), 4 DMA, gestion de consommation, reste inchangé. Boîtier QFP 208.

Motorola met à la disposition des usagers le programme PortASM / 68K, de la société MicroAPL, qui permet de passer du binaire 68000 au binaire Coldfire, incompatibles : il fonctionne sous toutes les versions de Windows, MS-DOS, Solaris et SunOS.

Motorola a licencié la production des Coldfire à Mitsubishi, en échange de sa technologie DRAM 0.35 μ .

Voir aussi une fiche sur la tentative Core +, combinaison de Coldfire et de FPGA.

En 10 / 1997, Motorola, sans renier ses accords PowerPC qui lui apportent une clientèle et un soutien d'étude, décide de réactiver ses études propres pour produire un coeur bas de gamme 32 bits, limité à l'arithmétique entière, pour l'automobile, le GPS, le radiotéléphone : ce sera le MCore, qui utilisera d'abord un process CMOS 0.36 μ , pour passer à 0.32 μ au 2ème trimestre, puis à 0.26 μ au 3ème.

Le véritable produit est la M200 de 2,4 mm², 80000 transistors, répertoire de 96 opérations, pipeline de 4 étages. La logique est statique, ce qui permet de choisir la fréquence: tous les registres sont 32 bits ainsi que la pile, l'UAL et le barillet, mais le bus est optimisé pour 16 bits. La multiplication et la division sont microprogrammées. Les performances mesurées sont 47,6 Mips à 50 MHz, avec une consommation de 69 mW en 3,6 Volts ; mais il est possible d'obtenir encore 31,4 Mips à 33 MHz, avec seulement 13,6 mW de consommation sous 1,8 Volt. Toutes les opérations durent un CP, sauf les branchements et les entrées / sorties qui en nécessitent deux.

La puce est présentée dans un BGA de 384 billes, avec une carte d'évaluation XKIT EVSMCORE. Des circuits utilisant ce coeur pourront être produits dès la mi 98.

Cette première réalisation est suivie en 3 / 99 d'un M240 à 80 MHz en CMOS 0.25 μ : cette puce contient un cache unifié de 8 KB, et se signale par une consommation très faible de 0,25 mW / MHz. Il en est prévu une version synthétisable M200S, et aussi une variante M300 à 100 MHz avec une organisation repensée, qui devrait donner une puissance 1,4 fois supérieure.

423 - Logiciels temps réel pour l'embarqué

Un système embarqué est, à la fin des années 80, un ordinateur temps réel intégré à un équipement, où il prend la place d'une logique câblée qui était, dans la période précédente, la seule solution possible. A cette époque, l'ordinateur est certes un microprocesseur mais il occupe encore une carte, avec sa mémoire et ses quelques périphériques temps réel d'interface.

Le prototype de ce dispositif est le bus VME de fond de panier, normalisé pour recevoir des cartes de formats également normalisés. Motorola et de nombreux équipementiers défendent ce système, qui avait été précédé par les systèmes temps réel construits autour du Multibus d'Intel et du Q Bus de DEC.

L'évolution va être rapide à partir de cette fin de décennie, avec la miniaturisation accélérée des composants. Elle passera par les étapes suivantes :

augmentation de la puissance individuelle des microprocesseurs, qui peuvent d'ailleurs se grouper à plusieurs sur une même carte pour augmenter la puissance de calcul.

création de nouveaux bus permettant de plus grandes densités, comme le Compact PCI ou le VRX

miniaturisation des composants permettant de réaliser des équipements de masse qui n'ont plus besoin de bus, par exemple les téléphones portables.

Une minicarte au format PC104 (10 * 10 cm) de la norme IEEE 996.1 devient pratiquement un composant.

création de systèmes d'exploitation spécialisés pour ces équipements, logés sur ROM à côté de l'ordinateur qu'il servent. Les principaux critères de choix de tels systèmes sont leur modularité, qui permet de les réduire au minimum indispensable, et leur environnement de développement, choix de l'hôte, forme et commodité du service.

miniaturisation encore accrue groupant sur une seule puce plusieurs ordinateurs, le système d'exploitation et une partie des périphériques, ceux qui ne sont pas handicapés par l'obligation de communication avec les utilisateurs, non miniaturisables. Le recours aux ordinateurs synthétisables permet de paramétrer l'ordinateur choisi pour réduire au minimum la surface occupée et la consommation.

On a rassemblé ci-après, un peu en vrac, les pauvres renseignements glanés sur les composants, matériels et logiciels, dont on vient de parler.

Bus pour l'embarqué : voir rubrique 689 Bus

Compact PCI, en constant développement à partir de 1995. Voir armoires pour ce bus dans les fiches MVME de Motorola et CPCI de Force Computers.

PXI, sous-ensemble du précédent.

VME, leader en 1989, le reste largement en 1996

VXI, sous-ensemble du précédent.

Cartes et châssis pour l'embarqué : voir rubriques 422 Motorola, 263 Force Computer, 564 Themis .

D'autres vendeurs de moindre envergure sont décrits dans un document de la boîte 149.

Le marché de ces cartes, qui de montait à 1,76 B\$ en 1979, monte à 2,431 B\$ en 1996 et à 4,572 B\$ en 2001, mais une part non négligeable de cet accroissement est due à la dévaluation du dollar.

La répartition de 1996 donne 51,9% de ce total aux bus VME et VXI, 10% au PCI assez récent (dont 0,2 au cPCI débutant), 18,6% au bus ISA et 4,7% à son concurrent direct EISA, 4,5% aux Multibus en fin de carrière, 1,9% aux autres bus pour PC. Les cartes mères pour PC embarqués (ce qui exclut la production pour les PC desktop) représentent 5,1% .

La répartition de 2001 augmente à 57,5% la part de VME, double celle du PCI dont cPCI prend 5,4% , réduit à 9,8% la part des anciens bus pour PC complètement supplantés par le PCI, et accorde 12,7% aux cartes-mères, puisque les ventes de PC ne cessent de se développer.

Les PC embarqués n'utilisent pas les cartes-mères de l'énorme production bureautique, mais des cartes de moindre format, comme la Little Board d'Ampro Computers, ou le format PC 104 créé par un consortium. La Little Board est une carte rectangulaire de 203 * 146 mm, la PC 104 une miniature de 91,5 * 97,5 mm largement utilisée comme un composant ou au moins en mezzanine sur les précédentes.

Plus récemment, les Encore de cette même Ampro sont des minicartes 100 * 145 mm qui contiennent tout l'équipement d'un ordinateur en économisant de la place grâce à l'absence de connecteur, remplacé par des bornes comme pour un composant. Voir la fiche Encore.

Systèmes d'exploitation embarqués : voir un dossier de Electronique (6 / 2000) en boîte 149.

Nés pour résoudre des problèmes assez simples, les premiers systèmes temps réel se voulaient d'abord peu encombrants, ce qu'ils avaient obtenu au prix de suppressions drastiques. L'une de ces suppressions concernait les protections.

Cette solution n'est plus acceptable dans les applications des années 2000, qui comportent toujours de multiples tâches pas toujours interdépendantes ; la sécurité exige alors que les incidents dans une tâche ne perturbent pas les autres tâches, ce qui implique la protection de mémoire . On notera qu'à cette époque, cette protection est largement assurée dans la logique même des CPU utilisés, mais il est désormais nécessaire que les versions spécifiques des systèmes temps réel supportent cet aspect des processeurs.

Lynux Works est le nouveau nom (2000) de Lynx Real Time System, qui a choisi de recueillir Linux sur Internet, d'en assurer la vérification et d'en commercialiser une version mise en forme avec un soutien logiciel, l'OS lui-même étant gratuit. Un comité ELC = Embedded Linux Consortium s'organise en juin 2000 pour essayer de normaliser la partie commune et gratuite de Linux, chacun s'efforçant ensuite de valoriser sa prestation par quelques additions. Wind River (voir plus bas) est entré dans ce comité.

Microsoft n'a pas voulu rester à l'écart d'un mouvement très fort et propose Windows CE

Microware auteur vers 1988 d'un OS 9, offre en 1992 OS 9000, un OS modulaire permettant le développement soit sur la cible, soit sur un PC, soit sur une station Unix. Il accepte le langage C et les communications en réseau par protocole TCP / IP .

Ready System est l'auteur de VRTX, un système destiné initialement aux 68xxx de Motorola, occupant 24 KB. Gros succès, qui conduit la société à le réécrire en 1992 sous la forme d'un noyau 6 KB, avec une couche spécifique VRTXsa, qui se superpose au noyau pour reconstituer VRTX par émulation. Cet ensemble occupe 12 à 30 KB de ROM. Les programmes et les tâches écrites par l'utilisateur s'interfacent avec le noyau à travers 6 familles d'appels systèmes :

gestion de tâches : création, suppression, etc...

envoi ou réception de messages entre tâches

gestion de mémoire

gestion d'une horloge temps réel

transmission de caractères vers les périphériques

gestion d'interruptions.

La demande devient considérable, avec des noyaux différents permettant de s'adapter à d'autres microprocesseurs, et la définition d'outils comme le KernerBuilder pour construire les applications autour du seul noyau. Des variantes de VRTXsa pour 68040, 683xx, MIPS, H8 de Hitachi, sont livrées aux USA, au Japon, en France, et la licence du langage est commercialisée.

Le VRTX Velocity est un atelier logiciel pour 680X0 et 88000, comprenant le noyau temps réel VRTX 32, une gestion de communications hôte/cible sous TCP/IP, le compilateur C d'Oasis, le débogueur source C de RT Source, un débogueur source déporté de UDB. Il est disponible sur Sun 3, sur la carte CPU30VME de Force Computers, et sur la carte TSVME133 de Themis.

Le VRTX PC comprend un noyau en version 386, un débogueur RT Scope, une bibliothèque d'exécution et un multifenêtrage. Il supporte les dispositifs DOS sans recourir au DOS, le C de Microsoft, et le TurboC de Borland avec Turbodebug.

Le VRTX mc de Microtec, destiné aux microcontrôleurs, se présente comme une bibliothèque où on ne prélève que les modules dont on a besoin pour une application. Sa version pour les Motorola 68302 et CPU 32, qui coûte 25 KFF, tient en 4 KB, contre 8 KB ROM et 2 KB RAM pour VRTX 32. Ces chiffres assez proches nécessiteraient de mieux connaître le logiciel pour être discutés.

Software Component Group, Inc. est à l'origine de pSOS, qui connaît les mêmes avatars.

Le pSoS+ de Integrated System Inc., en 11/94, est un générateur nécessitant 15 KB ROM et 4 KB RAM ; son exploitation permet de construire le système opérationnel pSoSelect qui peut se réduire à 1,8 KB ROM et 314 + 46 B de RAM par tâche avec un minimum de 32 tâches dans son dispatcher. Il est extensible de façon modulaire jusqu'au maximum. Prix typique : 30 KFF pour Motorola CPU 32.

A noter que ISI a été racheté par Wind River en 1999, ce qui condamne pSOS à terme.

Wind Rivers Systems, Inc. d'Emeryville, Cal., est à l'origine de VxWorks, un système d'exploitation temps réel et système de développement fonctionnant sous UNIX, et datant de 1986. Nous possédons la documentation en deux volumes de la version 4.00.

Leader des systèmes embarqués, Wind River était menacé de débordement par les développements technologiques tels que les multiprocesseurs temps réel. En 2000, la dernière mouture de son système, VxWorks AE, dont le noyau a été restructuré, prend en compte et protège mutuellement des « domaines » d'application et le noyau, grâce à des barrières placées entre eux. Ces domaines de l'espace virtuel peuvent contenir chacun leur tas (heap), leur file d'attente, et leurs multiples tâches avec leur pile propre ; ils peuvent cependant partager des données et la bibliothèque. Ce nouveau système offre aussi une interface vers les logiciels clé en main de haute disponibilité, qui supposent l'existence de deux cartes CPU: Wind River a signé un accord à ce sujet avec GoAhead Software.

424 - Les compatibles de Instrument Technology

En 1978, alors que l'industrie des mémoires à circuits intégrés et des composants MSI trouve son régime de croisière, toutes les sociétés d'électronique croient pouvoir cloner IBM, en profitant de son « ombrelle », c'est-à-dire de ses marges élevées. Instrument Technology, par ailleurs inconnue, est une de ces sociétés, qui chargera de la commercialisation une entreprise purement commerciale, Multiprocessor.

En pratique, son existence éphémère ne lui permettra d'annoncer que deux machines, dont les ventes modestes ou nulles ne gêneront pas IBM.

30/4 est un clone de la 148, annoncée en 12/78 comme livrable en 3/80. Elle était censée fournir une puissance 1,5 fois celle de l'original. Bien entendu, elle pouvait seulement être vendue, au prix de K\$ 250.

Mémoire : DRAM NMOS 1 (1) 2 MB en 32 bits avec ECC, entrelacée jusqu'à 4 fois. Cycle 400 ns.

Bloc de commande : pas de cache. Mémoire de commande 4 à 16 Kmots de 32 bits, en SRAM NMOS à cycle de 55 ns, incluant des microinstructions de soutien pour le système d'exploitation.

Canaux : débit global 3 MB/s, à répartir entre 4 BMUX de 2 MB/s à 64 sous-canaux, et un Multiplex par bytes à 150 KB/s, lui aussi 64 sous-canaux.

Logiciel (pris chez IBM) : DOS/VS, OS/VS1, SVS, MVS, VM 370 en option.

30/5 est un clone de la 3031, présenté à K\$ 750 comme équivalente en puissance, avec les mêmes délais. L'énoncé des caractéristiques donne l'impression qu'il suffit de prendre des composants sur le marché pour réaliser un pari que le technicien juge déraisonnable.

Mémoire : DRAM NMOS 2 (1) 16 MB en 32 bits avec ECC, entrelacée jusqu'à 4 fois, cycle 300 ns.

Bloc de commande : Mémoire de commande de 4 à 16 K * 32 bits en SRAM NMOS, cycle 35 ns

Pas de cache.

Canaux : 5 BMUX et un MUX de mêmes performances que ci-dessus, mais avec 256 sous-canaux chacun.

Logiciel : comme ci-dessus.

Il est à peu près évident que ces prévisions très optimistes, qui ne mentionnent même pas l'architecture réelle du bloc de calcul, étaient intenables. On ignore combien de

temps il a fallu au couple Instrument Technology / Multiprocessor pour s'en rendre compte.

425 - Le micro MPF1+ de Multitech

Pour \$ 199, la société Multitech propose un kit en forme de livre, à raison de 2 cartes pour chacune des deux pages. On y trouve un microprocesseur Z80, 4 KB de RAM et 8 KB de ROM, un clavier 49 touches, un haut-parleur, une interface de cassette, une visualisation comprenant 20 caractères de 14 segments en électroluminescent vert, et 48 lignes d'entrées / sorties. L'alimentation est incluse, et la mémoire est protégée par une batterie.

Le logiciel de base, tenant dans 8 KB, comprend un moniteur interactif, un assembleur conversationnel, un assembleur 2 passes, un éditeur de texte, et un désassembleur. Il est possible, moyennant un supplément de 8 KB, d'étendre ce logiciel de deux interpréteurs, BASIC et FORTH. L'impression est que l'auteur aura des difficultés à tenir son prix, même s'il néglige de payer son temps. On ignore le nombre de ces objets vendus.

426 - Les PS / 2 de Oconics

La division Infosec de la société Oconics SPL fabrique pour la clientèle des usagers travaillant sur des programmes confidentiels des versions protégées contre les rayonnements (Tempest) des calculateurs IBM PS/2. Puisque ces productions sont en fait des reconstructions, l'opération implique une licence et une compatibilité, mais non l'achat de PS / 2 au vendeur, IBM dans le cas présent.

La norme à respecter est UKBTR / 01 / 202(4).

Le PS 1255SX est inspiré par le PS/2 Model 55SX, qui comprend un microprocesseur 386SX à 16 MHz, 2 à 16 MB de mémoire, et un moniteur couleur 14 ». Les options sont des disques durs fixes ou amovibles de 30 ou 60 MB, des cartouches amovibles Syquest, et des cartes d'interface pour fibre optique.

Le PS 1270 reproduit les fonctionnalités du PS / 2 Model 70, avec un 386 à 25 MHz, mêmes mémoire et moniteur, et des options pour des disques amovibles 40 MB usuel et 100 MB Winchester, des lecteurs de disquettes 5,25 » de 360 ou 1,2 MB, un streamer de 150 MB, et des cartes d'interface pour fibre optique comme ci-dessus. Ce genre de machine n'ayant qu'une vie très courte, il est hautement probable que le travail d'Oconics a été effectué sur une commande précise, portant sur un nombre d'équipements qui rentabilisait l'opération. On ignore le nom de l'Administration ou de la société à l'origine de l'opération, mais la revue qui en parle est essentiellement militaire.

427 - Le 3056 de Mylee Digital Sciences

Cette microsociété est installée à Maryland Heights, dans le Missouri, et a mis au point un CPU 16 bits baptisé Mylee 3000. Equipée de 56 à 152 KB de mémoire MOS 800 ns, cette machine additionne deux nombres de 5 chiffres décimaux en 125 µs.

Pour 37500 \$, plus la maintenance, on obtient le processeur avec le maximum de mémoire, un écran, une machine à écrire, une IP 300, des cartes, et 16 lignes synchrones 2780 ; le système d'exploitation ACE propose 12 partitions, une gestion de fichiers séquentiels indexés sur cartouches, et un package de 8 applications, à l'exclusion de tout langage.

En variante, pour \$ 24950 on peut avoir 56 KB de mémoire, un écran 12 * 32 ou 24 * 80, 16 MB de disques, une ME 165, et le logiciel. Ce prix est clé en main, installation comprise.

Bilan : 62 machines vendues fin 77, 125 fin 78.

428 - Mylex

Cette société est un petit équipementier de 1990, qui tire parti des microprocesseurs du moment pour fabriquer et vendre des cartes OEM. La MAE 486.33 est simplement un exemple de son activité, et sert à situer la société et le niveau technologique de 1990. Cette carte contient un microprocesseur Intel 486, un socle pouvant recevoir le coprocesseur Weitek 4167 FPU, et un cache writeback de 128 KB. La carte est destinée au bus EISA, ce qui indique une clientèle européenne et un objectif PC : à cette époque, il n'existe pas encore de bus PCI et la performance du bus EISA pour la mémoire principale est modeste. Fréquence 33 MHz, prix \$ 4620 à 5200 selon quantité.

429 - Myriad Solutions Ltd

Autre équipementier mineur, probablement d'origine anglaise d'après son nom. Son produit Dash 860/50 est un accélérateur pour PC/AT, présenté en une carte qui occupe un slot 16 bits. Cette carte contient 8 MB de DRAM, une unité graphique 3D, et le CPU avec VF à 100 MFlops, UAL 50 Mips, et deux caches 16 KB.

Une telle carte, capable d'un débit de 160 Mbits, transforme un modeste PC en station de travail.

430 - Mosel Corporation

Ce bureau d'études inconnu cherche en 1991 une place sur le marché en proposant aux constructeurs de microordinateurs un chipset représentant un cache performant et paramétrable. Ce chipset comprend deux composants :

Le contrôleur MS 441 se présente comme un flatpack soudable à 184 broches, vendu \$ 65 à 114 en lots de 10000 selon la fréquence 25 ou 33 MHz du processeur. Il permet d'ajouter un cache de premier niveau à un 386, ou un cache de 2ème niveau à un 486.

Il contient deux interfaces de bus, et la logique programmable pour organiser un cache writeback divisé en 4 régions, indépendamment ajustable en mode non cacheable, cacheable ou cacheable write protect.. La puce contient aussi un TLB à 2000 entrées, associatif sur deux lignes.

Le cache est construit au moyen de la puce MS 443, SRAM double accès de 144 Kbits, présentée en quadflat soudable 64 bornes au prix de \$ 9 en lots de 10000. L'organisation est en deux bancs de 4 plans, chacun 2048 * 9 bits, plus des registres pour les données read et write, et pour les adresses hit ou miss. Chaque puce contient un bus interne et

peut être mis en parallèle avec trois autres pour constituer un cache de 64 KB, accessible sur 128 + 16 bits de large (2 lignes et 2048 colonnes de tels blocs). Ce cache accepte un mode rafale à 256 MB/s sur deux bus de 36 bits pour le chargement depuis la mémoire ; il peut aussi être shunté en 5 ns.

431 - Marvell Semiconductors

Cette petite société s'est formée en 1995 autour d'un savoir-faire en traitement numérique du signal et circuits HF : c'est un simple bureau d'études qui sous-traite la fabrication de ses créations au fondeur taïwanais TSMC. Ses spécialités sont en 2000 les réseaux à haut débit, et les contrôleurs pour disques durs.

Sur le second thème, on renvoie à la fiche illustrée de la puce 88i5220, annoncée fin 2000.

Dans le secteur réseau, Marvell a conçu un convertisseur série / parallèle (Serdes) capable de 3,125 Gbit/s sur 4 voies. Réalisé en CMOS 0,15 μ , cet Alaska Quad+ ne consomme que 150 mW. En regroupant un contrôleur Gigabit Ethernet GT48360, un commutateur 12 ports GT48304, et trois Alaska Quad+, Marvell a réalisé une plateforme complète traitant 12 canaux à 1 Gbit/s, supportant indifféremment les interfaces cuivre ou fibre optique, et n'occupant que une unité de rack.

432 - Nanodata Corporation

Cette société semble s'être créée à Williamsville, NY, pour concrétiser les recherches de Rosin à l'Université d'Etat de New York (SUNY), avec l'idée d'utiliser le produit de son travail pour faire des bénéfices, si possible, et sinon de se reconvertir dans une activité plus rémunératrice, en profitant de ce que les difficultés initiales étaient en pratique assumées et payées par l'Etat.

Le sujet de l'étude de Rosin était un émulateur universel de sa conception, avec lequel il se proposait d'étudier des architectures nouvelles, le QM1. L'originalité principale du projet résidait dans l'existence de deux niveaux de microprogrammation, permettant de combiner, dans des proportions qui sont un des objets de l'expérimentation, une microprogrammation horizontale et un second niveau de microprogrammation verticale. Voir fiche.

Compte tenu de la date du travail, 1972, on peut considérer le projet comme une réussite, en ce qu'il a fonctionné correctement et permis de nombreuses émulations. Cependant, il était impossible de rentabiliser une telle machine en en faisant le cœur d'un projet industriel, de sorte que le nombre d'émulateurs construits est inférieur à 10. La machine nous est connue à travers une série d'articles dont nous ne possédons que des microfilms, cités ci-après. Cependant, la matière de ces articles est dans l'ensemble, résumée dans la fiche.

Transactions of the IEEE, C23, 8/74, p 830 sq

SIGMICRO, articles de 1/75 p 58 - 11/76 p 20 - 9/77 pp 7 et 26 - 12/81 pp 124 et 205

Cette courte production réalisée, Nanodata ne pouvait survivre à la disparition de son contrat d'étude. Elle choisit de se reconverter dans la construction de compatibles IBM, activité qui paraissait, dans les années 78 de démarrage des circuits intégrés et sous l'ombrelle IBM, aisément rémunératrice.

VMX 200, annoncée en 1978 pour livraison entre 3 et 6 / 79, vise la 138 et coûte K\$ 185 avec une mémoire de 512 KB. Elle est essentiellement proposée sous VM, c'est-à-dire plutôt comme outil de recherche que de gestion.

VMX 400, mêmes dates, émulait la 148 et se vendait K\$ 500 avec une mémoire de 2 MB, maximum prévu par le logiciel IBM.

Ces deux machines cessent d'être rentables à l'annonce des 4300, dont la technologie, prévue pour durer et orientée plutôt haut de gamme, était assez chère intrinsèquement, mais performante. Nanodata proposait trois versions de sa nouvelle QMX 6000, présentant essentiellement des différences de microprogrammation qui pouvaient être modifiées chez le client, si celui-ci voulait accroître la puissance de son installation.

Cette puissance variait de 1,3 fois la 148 à 1,1 fois la 4341, apparemment en jouant sur le cycle de microprogramme, 175 à 350 ns. La mémoire principale, commune aux trois modèles 6333, 6336, 6343, variait de 1 à 4 MB par modules de 1 MB, un cycle de 495 ns donnant accès à 8 bytes simultanément.

Prix : 6333 est 98 à 123 K\$: elle peut exploiter DOS, DOS / VS, DOS / VSE, OS / VS1 et VM.

6336 coûte 163 à 212 K\$, avec 2 à 4 BMUX de 2 MB/s et un MUX de 50 KB/s, tous susceptibles de travailler au débit maximum. Logiciel : ajouter OS / VS2, SVS et MVS aux précédents.

Sur cette machine, voir SIGMICRO 12 / 80 p 181.

Nanodata a dû abandonner ce type d'activité, et probablement disparaître, lorsque IBM a déplacé vers le haut le centre de gravité de ses prestations, avec les 4381.

433 - National Bureau of Standards

Cet organisme officiel existe depuis l'avant-guerre, et sa mission consiste à établir des normes et à vérifier qu'elles sont appliquées. L'une de ces normes est le Système Métrique, que les USA n'ont aucune intention d'imposer à la population, même si les scientifiques l'ont généralement adopté, mais ce n'est pas notre sujet.

Les implantations du NBS sont convenablement budgétisées, et donnent du travail à de nombreux ingénieurs, de sorte que l'apparition de l'ordinateur ne prit pas ces équipes par surprise. Dès que la fin de la guerre fut envisageable, chacun des deux établissements principaux, Est et Ouest, se lançait dans un programme d'études et d'équipements. Voir, par exemple, le travail fait pour l'US Post Office (224 -54, 225 -79).

Le programme SEAC

SEAC, Standard Eastern Automatic Computer, est le premier calculateur du Bureau, étudié et construit par S. N. Alexander. L'architecture choisie, à trois adresses, souligne l'objectif scientifique de la machine, bien antérieure à tout effort de programmation ; ce n'est pas, cependant, le principal intérêt de cette réalisation. L'apport essentiel de SEAC est sa logique dynamique série, dans laquelle les fonctions logiques sont évaluées par des

diodes, puis entretenues par des tubes à vide qui recyclent et mémorisent le bit calculé dans des éléments de ligne à retard.

La logique du calculateur peut ainsi être décomposée en blocs enfichables appartenant à une petite collection, dont chaque composant est caractérisé par un faible nombre d'entrées et de sorties normalisées et compatibles. Ce choix entraîne d'intéressantes conséquences :

la définition d'une architecture se résume à dessiner le schéma d'interconnexion entre des blocs pris dans cette collection.

la construction du prototype peut se faire comme un meccano, avec tout de même la réserve que les câbles de liaison doivent être courts.

les erreurs de conception sont aisées à rattraper, les idées nouvelles faciles à introduire après coup.

Le succès de la technologie d'Alexander, largement diffusée, a donc entraîné la réalisation de cinq machines aux Etats-Unis, et suffisamment impressionné le jeune français F. H. Raymond pour qu'il décide de l'adopter dans sa réalisation des premières machines françaises, celles de la SEA.

Voir la fiche, dont l'élément principal est une traduction, illustrée des photos originales, de l'article d'Alexander dans le numéro spécial d'octobre 1953 des PIEE. Des photocopies des articles référencés existent en archives dans la boîte 94, et une partie des originaux dans les Documents fichés. Cette machine nous est donc bien connue, en particulier sous les aspects technologiques qui en font la valeur essentielle.

SEAC mise en service, la recherche s'organise dans les directions suivantes :

la poursuite de travaux techniques visant à améliorer l'efficacité de l'outil, en particulier à le doter de mémoires de plus en plus performantes ; mais aussi de nouveaux I/O, et même d'un bloc de calcul.

quelques travaux sur les applications de l'ordinateur, avec écriture de programmes spécifiques. Voir par exemple la référence 224 pp 221 sq.

et un projet nouveau visant à étudier, assez prudemment au départ, les interactions entre ordinateurs, dans un esprit temps réel.

Cette seconde machine, baptisée DYSEAC, recopie l'architecture de SEAC mais elle est installée dans un semi-remorque pour évaluer les contraintes du temps réel : c'était probablement prématuré, et d'autre part la nature des interactions imaginées (SEAC provoquant une rupture de séquence dans DYSEAC, cette dernière causant un breakpoint dans SEAC) ne permettait pas des expériences vraiment significatives.

La conclusion vite atteinte étant que les études de multiprogrammation ne progresseraient plus avec ces deux machines, le NBS construit et achève en 1959 un multiprocesseur spécialisé, PILOT, qui regroupait trois machines que leurs spécialisations rendait a priori aptes au travail en commun ; la technologie restait celle de DYSEAC.

Les limites d'une telle étude étaient inscrites dans l'architecture, et les essais ne pouvaient guère apporter plus que des statistiques sur le pourcentage de parallélisme réel des trois machines dans diverses applications. C'est pourquoi cette machine n'a guère fait parler d'elle.

Le programme SWAC

Complètement indépendant du précédent, le programme SWAC (Standard Western Automatic Computer) est bâti sur une technologie totalement différente, plus proche de l'évolution ultérieure : bascules à tubes, logique à diodes à cristal. L'initiateur de ce projet est le Wright Air Development Center qui a payé une partie de l'étude. L'architecture est à 4 adresses, parce qu'évidemment le projet vise d'abord les applications scientifiques, et que d'autre part la mémoire n'était pas choisie, et aurait pu être dynamique (lignes à retard, tambour). En réalité, la première mémoire fut électrostatique, et donc la programmation séquentielle, de sorte que la 4ème adresse était largement superfétatoire. Par la suite, l'introduction d'une mémoire à tambour ne changea rien à cette remarque, car elle travaillait en mémoire auxiliaire, par transferts blocs. La fiche donne l'historique de cette machine qui a rapidement quitté le NBS au profit des universités.

Autres travaux

Après ces opérations majeures qui d'ailleurs sortaient quelque peu le NBS de son domaine, on n'a plus à citer que des actions ponctuelles où le NBS répond, en général, à une demande de concours. On ne peut prétendre être exhaustif.

DDA mixte - la technique du calculateur analogique est encore, en 1959, la meilleure manière de résoudre des équations différentielles. Le DDA fournit à ce problème une solution numérique, avec une précision aussi grande qu'on le souhaite, mais à un prix au moins proportionnel. L'expérience du NBS, rapportée dans un article du EJCC 59, pp 94/100, vise à combiner les deux techniques, et plus particulièrement à décupler la précision accessible aux calculateurs analogiques du commerce, grâce à un traitement numérique des écarts du dernier ordre. Cette approche semble avoir été rapidement dépassée par les progrès techniques des méthodes numériques.

AMOS IV, Automatic Meteorological Observing Computer, est un calculateur réalisé à la demande du Weather Bureau pour évaluer la possibilité de construire des stations météorologiques automatiques. Le transistor apporte à ce problème une solution encourageante, et bien sûr par la suite cet équipement se généralisera. Voir fiche.

ACCESS, Automatic Computer Controlled Electronic Scanning System, utilise en partie la technologie du travail précédent, mais avec un objectif très différent. C'est en fait un système documentaire, où le matériel de base est le lecteur de documents FOSDIC; l'exploitation est conduite par un calculateur à une adresse, série, avec 1024 mots de mémoire à tores 13 bits + P, gérant un tambour magnétique de 24000 mots et 4 bandes magnétiques. On ne dispose d'aucun compte-rendu d'expériences.

MAGIC, Machine for Automatic Graphic Interface to a Computer, est à peu près contemporain du précédent et sert à manipuler des images stockées sur un tambour magnétique. Après un prototype bricolé avec des surplus, le système comprend essentiellement une console avec light pen sur laquelle l'image est projetée en noir et blanc. Pour appréciation du produit, voir fiche.

434 - National Instrument

Cette firme semble improvisée pour fournir une interface de laboratoire à un calculateur standard MacIntosh SE30, à travers un bus VXI d'instrumentation. La carte, baptisée

VXIpc030, est exploitée par un logiciel LabView, fonctionnant sous système d'exploitation McOS.

Simultanément, la même firme propose la carte VXIpc386/1, qui contient :
un microprocesseur 80386 à 20 MHz, avec option 387.

1 à 8 MB de DRAM

un disque de 20 ou 40 MB

une interface d'écran selon norme VGA

un ASIC Turbo488 qui fournit une interface externe pour bus IEEE 488
d'instrumentation.

un autre ASIC baptisé MIGA, interface VXI avec des registres de messages.

La même carte existe avec un /2, en format double, pour fournir un lecteur de floppy 3,5 » et l'emplacement d'un deuxième disque. Le tout fonctionne avec le logiciel LabWindows, sous système MS / DOS.

435 - National Semiconductors Computer Company (NSCC)

National était avant la guerre un simple fabricant d'appareils de radio et, faute de renseignement précis sur cette question, on peut supposer que sa participation aux hostilités a consisté à continuer, sur quelques modèles bien choisis.

Après la guerre, cette activité se poursuit, à un rythme modéré :

1947 : AN / FRR 24 et 25 sont des émetteurs HF fonctionnant en mode diversity.

1949 : AN / URR 22 est un poste de distraction équipage et de secours sur les navires,
540 - 18600 KHz.

AN / URR 27 est un récepteur VHF de navire

AN / URR 28 est un récepteur UHF de navire.

1951 : AN / URR 30 est un récepteur VHF

AN / URR 36 est un récepteur polyvalent, 50 - 35000 KHz

AN / URR 39 également, en deux gammes 50 - 150 et 540 - 31000 KHz.

AN / WRR 2 est un récepteur HF SSB pour sous-marin .

1966 : AN / SRR 19 est un récepteur LF transistorisé

AN / TRC 60 est un très gros émetteur / récepteur mobile à réflexion

troposphérique, UHF.

En résumé, une activité techniquement mineure et militairement marginale que la société finit, vers 1970, par abandonner pour se reconvertir dans la conception de circuits intégrés.

La production de mémoires en semiconducteurs, NMOS à l'époque, était une activité tout à fait rentable sous l'ombrelle IBM, de sorte que National, devenu National Semiconductors, trouvait un grand intérêt à susciter des ventes massives. C'est ainsi qu'elle commença à fabriquer des compatibles IBM, confiant à une société commerciale, ITEL, créée pour la circonstance, le soin de la commercialisation.

Trop audacieusement, ITEL n'hésitait pas à s'endetter pour soutenir ses ventes, dont le réel succès suscita l'intervention d'un second fabricant de composants, Hitachi, lorsque ITEL demanda à ses fournisseurs de relever la puissance de ses machines au niveau des

grosses IBM. Dans l'euphorie, les deux sociétés n'hésitèrent pas à augmenter leurs cadences de production, et pour cela à investir.

Pour les machines de cette époque, voir la rubrique 345 Intel, et une fiche dans N1 consacrée à la machine de base de National Semiconductors.

La faillite de Intel laissait d'énormes dettes qui représentaient des machines déjà largement construites et des études déjà réalisées, de sorte que Hitachi, et à plus forte raison NSCC plus engagée, ne pouvaient abandonner sans perdre beaucoup d'argent. Les deux sponsors n'eurent pas d'autre solution que d'annuler les dettes en confiant à une filiale commune, National Advanced Systems ou NAS, le soin de continuer la commercialisation sous une surveillance beaucoup plus attentive de la courbe des ventes.

Les produits de NAS

Moyennant ces mesures de contrôle sérieuses, NAS réussit à remonter la pente et à annuler progressivement la dette héritée, cad à rentabiliser les nouveaux produits sans perdre trop de clients. Les machines proposées par NAS en 1980 ne sont pas nouvelles : les nouveaux sigles permettent d'ajuster les prix à l'abri de modifications mineures.

1980 AS 3000, qui équivaut à la 158.3 d'IBM, est proposée pour K\$ 425 avec 2 MB de mémoire.

Une 3000N, vendue K\$ 325 en 2 MB, est une version serrée de la même machine destinée au marché de la 4341.

1980 AS 5000 vise la 3031 d'IBM en mettant l'accent sur une technologie plus raffinée qui améliore la

fiabilité par la simplicité de l'organisation (ce qu'on ne peut certes pas dire de la 3031), sur une consommation moitié moindre (11,4 KVA contre 22,5), sur des dimensions réduites (4,7 m² au sol

contre 7,8). Cette machine pouvait recevoir 2 à 8 MB de mémoire, et 6 canaux. Elle supportait les

logiciels VM/ECPS, MVS/SE, DOS/VSE.

9/80 Annonce de la 5000N, cycle de microprogrammation 92 ns, cache de 16 KB, mémoire à cycle de

1320 ns en lecture et 664 ns en écriture, sur 32 bits. Cette machine est présentée comme 20%

plus rapide que la 4341, et vendue K\$ 335 avec 2 MB, soit aussi 20% plus cher.

Annonce aussi de la 5000E, même machine avec un cache de 32 KB, en compétition avec la

4341.2 au prix de K\$ 500 avec 2 MB. Cette machine supporte MVS, peut accroître sa mémoire

jusqu'à 8 MB et, à partir de mi 81, peut utiliser les disques 3370 FBA, 3375 et 3380.

1980 Les AS 7000 sont les machines Hitachi, proposées en trois modèles 7000N, 7000 et 7000 DPC. Le

cycle commun est 72 ns, la mémoire offre un cycle de 360 ns pour 4 bytes.

7000N dispose d'un cache de 16 KB et de 8 canaux groupés sur un seul processeur d'accès.

Elle est estimée 2,3 Mips.

7000 utilise un cache de 64 KB, 2 processeurs d'accès et 16 canaux ; elle fournit 3 Mips.

7000 DPC contient deux processeurs et deux caches de 64 KB, se partageant trois processeurs

d'accès et 24 canaux, on peut en tirer 5 Mips. Cette machine est la seule à supporter

MVS / SP et VM / SP.

Un DPC avec 16 MB et 16 canaux est vendue 11,27 MFF, soit presque la moitié du prix d'une

3033 IBM, dont la puissance est comparable.

1980 L'AS 9000 est construite autour de la micromachine Hitachi M200H, et offre d'emblée une

puissance double de celle d'une 3033. Le prix s'élève à M\$ 4,52 pour un CPU, 16 MB, 16 canaux.

NAS propose aussi un biprocesseur DPC, dont l'horloge a pu être abaissée à 38 ns.

1982 L'AS 6100 est une tentative de NS de renouveler sa technologie, pour édifier une machine

constituant une meilleure compétition pour le 4341.2. La logique est réalisée à partir de réseaux de

1200 portes ECL, la microprogrammation utilise une WCS 4 KB, et la mémoire principale des

DRAM MOS de 64 Kbits. Le résultat est une machine estimée 2 Mips.

Elle est proposée en deux versions, toutes deux avec 4 (4) 16 MB de mémoire :

6130 à 75 ns / CP, prix K\$ 325 avec 4 MB et 6 canaux.

6150 à 60 ns / Cp, prix K\$ 390 dans les mêmes conditions.

Cette machine dont le prix de revient était trop élevé sera abandonnée après 7 ventes, au profit de la suivante.

1982 L'AS 6600 est construite autour d'une micromachine Hitachi M240 et remplace l'AS 7000.

Les choix techniques sont analogues à ceux de la 6100, mémoire principale en puces NMOS de 64

Kbits, mémoire de microprogrammation et mémoires tampon en RAM bipolaire de 4 Kbits ; par

économie, la logique mélange, selon performances attendues, des réseaux ECL à 500 portes et des

réseaux TTL à 1500 portes. Le refroidissement se fait par air.

Produite en deux versions, toutes deux à mémoire 4 (4) 16 MB:

6630 à 60 ns / CP, 1,8 Mips, 5 à 8 canaux, K\$ 465 avec 4 MB.

6650 à 50 ns / Cp, 2,5 Mips avec l'option arithmétique rapide, 8 à 10 canaux, K\$ 580 idem.

Un supplément de 4 MB coûte K\$ 60, soit 50% plus cher que chez IBM. Cette machine ne

supporte pas l'architecture XA, et fonctionne sous les MVS, VM et DOS / VSE antérieurs.

Un peu plus tard, il sera nécessaire d'introduire une 6620 de 1,5 Mips, avec la même

mémoire et 5 à 8 canaux, au prix de K\$ 370.

1982 L'AS 9080 utilise la même micromachine que l'ancien 9000, mais tout est repensé pour faire face

aux bouleversements introduits par l'architecture XA et le meilleur rapport performance / prix des

3081 : les microprogrammes sont réorganisés, l'horloge est accélérée, et on introduit des possibilités

d'évolution chez le client. Voir fiche

1983 L'AS 8000 est une machine intermédiaire entre les précédentes, à l'occasion de laquelle Hitachi

s'implique davantage dans l'industrie du compatible, que NSCC au contraire abandonne en partie :

NAS ne fournissant que les USA, Hitachi confie le marché européen à BASF, et l'AS 8000 se

confond avec la BASF 7 / 60.

Dans cette famille à base de réseaux de portes ECL, il y a trois modèles :

8040, 1,3 MB, mémoire 8 à 16 MB, 8 à 16 canaux.

8050, cycle 40 ns, mémoire 8 à 32 MB à cycle 400 ns, 8 à 24 canaux, prix 1,8 M\$.

8060, cycle 35 ns, cycle mémoire 350 ns, prix 2,4 M\$. Mêmes caractéristiques.

Livrables en 6 / 83, ces machines disposent de disques compatibles avec le 3380 d'IBM : ce sont

les 7380 d'Hitachi, sous contrôleur 7880 pour 4 disques. Capacité 10 GB.

La mémoire complémentaire est commercialisée à \$ 18750 par MB.

Dès le 3ème trimestre 84, cette offre est restructurée avec quatre modèles visant commercialement

les 3083 d'IBM : 8023 de 3 Mips, 8033 de 3,9 Mips, 8043 de 4,5 Mips, 8053 de 6,8

Mips, 8063 de 8 Mips, et un biprocesseur 8083 de 15,5 Mips avec 32 MB de mémoire et 32

canaux. Toutes les conversions entre modèles peuvent se faire chez le client

1985 La gamme Alliance est annoncée pour contrer les 3090 d'IBM, et organisée comme sa cible

autour d'un unique processeur de 25 Mips, dans des configurations AS / XL comprenant des

monadiques et des dyadiques, avec possibilités de construire des partitions. Voir fiche.

On dispose, cette année -là, de données financières qui montrent NAS sous un jour très favorable. Ses succès soutenus conduisent NSCC à nommer D. N. Martin, président de NAS, à un poste de VP au conseil de NS, et chef d'un Information System Group nouvellement formé. Sur les 650 M\$ de CA de ce groupe (+ 18%), environ 500 proviennent de NAS, unités centrales (300 M\$) et périphériques (250 M\$), le reste étant des services.

1986 Dès 1986, des modèles dégradés par réduction de leur cache à 128 KB et de leurs MDT à 512 KB s'imposeront commercialement, ce seront les 50 et 70. Voir la même fiche.

1987 La famille VL est une autre introduction de Hitachi, désormais actionnaire majoritaire de NAS

redevenu rentable, pour ne pas ignorer le bas de gamme. Ces machines ont la même architecture

que les Alliance XL, mais le cache est réduit à 64 KB, la MDT à 512 KB, tandis que la

mémoire principale reste inchangée entre 32 et 128 MB. Le contrôleur de canaux plafonne à 96

MB/s, distribués entre 8 à 32 canaux, dont les nouveaux IHSA optionnels à 6 MB/s.

La machine sera livrable en 4 modèles, transformables sur place :

VL 40 bridée à 5 Mips, cache 32 KB, pas de MDT, canaux limités à 75 MB/s.

VL 50 à 7 Mips est la même, avec MDT 256 KB.

VL 60 à 9 Mips est la machine de référence, non bridée.

VL 80 est un biprocesseur formé de deux 60 avec deux caches, capable de 18 Mips.

NAS disparaît vers 1990, quand la contre-publicité de la presse informatique laisse entendre que les jours des mainframes sont comptés, et que de fait le prix de vente du Mips diminue très rapidement. National Semiconductors se retire définitivement de cette compétition, mais Hitachi persiste, sous son propre nom, et parviendra à grignoter une part non négligeable d'un marché qui s'avère, finalement, bien plus solide que la presse ne le disait.

National Semiconductors

L'histoire de ce fabricant de circuits intégrés commence par la mise au point de mémoires, et on a vu ci-dessus comment il vendait ces mémoires au public à travers les Advanced Systems de Intel.

NS n'abandonnera pas cette activité, même s'il se cantonne rapidement dans la production de mémoires spécialisées. Citons :

NM 100504, mémoire SRAM 256 Kbits (64K * 4), accès 15 ns en interface ECL 100K

NM 10504, la même en interface ECL 10K, accès 12 ns.

NM 100494 et 10494, mémoires SRAM 64 Kbits en 10, 12 et 15 ns, boîtiers 28 broches DIP ou PLCC.

Comme tous les fabricants ambitieux de circuits intégrés, NS est amené périodiquement à modifier ses processus de fabrication, soit qu'il adopte en payant le processus d'un autre, soit qu'il invente le sien propre. C'est ainsi que NS passera du PMOS au NMOS, puis qu'il réalisera le XMOS, procédé propriétaire offrant à la fois les avantages de consommation du CMOS et les avantages de vitesse du NMOS.

En ECL, NS développera ASPECT (Advanced Simple Poly Emitter Coupled Technology) dont la première version de 1987 est en géométrie 2 μ , la seconde de 1988 en géométrie

1,5 μ , et la 3ème de 2 / 90 en géométrie 0,8 μ . Utilisée pour réaliser des réseaux de portes, ASPECT III permet de placer 50 à 100000 portes sur une puce, et de les consulter à 5 ou 6 GHz. Le délai de propagation est au mieux 50 ps par porte, avec un maximum à 130 ps, et la consommation s'établit entre 0,2 et 0,4 mW par porte.

Exemple d'application : un multiplieur 16 * 16 fonctionnant en 2,5 ns.

Pour notre sujet, les premiers produits proprement informatiques sont, en 1972 :

le microprocesseur en tranches IMP 4, réalisé en PMOS.

la collection MAPS de circuits intégrés.

L'IMP4 est un RALU, cad la combinaison d'une unité arithmétique 4 bits et de son bloc de commande. Il ne peut s'employer seul, et le jeu de circuits nécessaires à sa mise en oeuvre comprend :

le RALU lui-même, dont on trouvera le répertoire dans la colonne Basic Microinstructions Set du document publicitaire de la fiche IMP 16.

le microséquenceur 12 bits contenant registre d'adresse, CO, pile de 6 CO, multiplex pour 8 conditions, et 16 flags. Boitier 40 broches.

une puce d'horloge IMP 00A / 542

un ampli de bus 4 bits, DS 8833

un ampli d'adresse 12 bits, DS 3505

un latch 4 bits (pseudoregistre non statique)

L'ensemble travaille en tétraphasé 500 KHz, avec deux alimentations +5 et -12 volts.

L'interface est MOS pour les liaisons entre puces, TTL pour les liaisons externes.

L'IMP4 en soi, cad la combinaison d'un seul RALU et d'un microséquenceur, plus quelques accessoires, pour faire un microprocesseur, n'est pas très intéressant. Il existe cependant une carte IMP 4 / 100, décrite en colonne 1, page 2, du document publicitaire contenu dans la fiche IMP 16.

Le véritable intérêt de ce jeu de puces est de construire des microcalculateurs à 8 ou 16 bits, commercialisés en OEM.

L'IMP 8 / 200 est ainsi une carte contenant 2 RALU, décrite par les colonnes 2 des pages 1 et 2 du document publicitaire contenu dans la fiche IMP 16.

L'IMP 16 à 4 RALU est le produit phare de la famille, vendu comme carte OEM, comme microcalculateur ou comme station de développement. Voir fiche.

Le MAPS est aussi un meccano, différant du précédent en ce qu'il n'est pas découpé en tranches. Le microprocesseur proprement dit comprend deux puces qui, ensemble, constituent une unité centrale série 500 KHz capable de manipuler des nombres de 19 chiffres décimaux ; en leur associant quelques autres circuits maison, on édifie un microcalculateur de gestion, capable de servir d'élément central à des machines bancaires, des terminaux, etc... Voir fiche.

Le GPC / P est l'équivalent, construit en circuits TTL, d'un minicalculateur IMP 16 : il est 7 fois plus rapide, en s'appuyant sur des RAM 64 bits de type 86568 pour les registres. Un tel calculateur est probablement plus encombrant et certainement beaucoup plus cher que l'original ; plus qu'un engouement pour l'architecture IMP 16, c'est certainement l'intérêt d'accélérer des applications appréciées qui justifie cette dépense, en attendant la naissance de puces plus performantes.

Le succès de ces deux circuits, modéré par le fait qu'il faut encore beaucoup de composants pour n'importe quel objectif significatif, est rapidement dépassé par deux nouveaux circuits que les progrès de l'intégration rendent possible dès 1974.

Le PACE (IPC 16A/500) est cette fois un microprocesseur parallèle 16 bits, toujours PMOS mais porté à 800 KHz. La fiche montre quels composants annexes sont nécessaires pour faire un microprocesseur, et on peut constater que la carte est bien diminuée par rapport à une carte IMP 16.

Le PACE se vendra très bien, au point de susciter un SuperPACE (1976) dans lequel le microprocesseur est remplacé par une carte qui le simule au moyen de près de 50 circuits SSI TTLS. Le calculateur ainsi réalisé est plus riche que le PACE, car on profite des 8 ROM de 2K bits pour étendre le répertoire : 75 opérations dont la normalisation, DPLoad, DPAdd, mpy / div. Cette carte s'insère dans un châssis 6 slots où elle est complétée par :

une carte DRAM 16 K * 16 bits

une carte PROM UV de 8 KB

une carte d'entrées / sorties avec 2 interfaces RS 232

une carte de contrôleur de disquette

Prix : \$ 4500 pour la carte processeur et les trois premières cartes ci-dessus, + \$3500 pour les floppies avec leur contrôleur. Motivations probables comme plus haut pour le GPC / P.

Cette attente est justifiée quand NS crée en 1978 la puce INS 8900, version NMOS du PACE, vendue \$ 10 en quantités. Faute d'une indication sûre, il est logique d'imaginer au moins un doublement des performances de ce circuit par rapport au PACE original.

La seconde nouveauté est le SC / MP (prononcer SCAMP), microcontrôleur 8 bits économique annoncé en 1975, objet d'une fiche. Il est remplacé dès 11 / 76 par le SC / MP II compatible, mais de vitesse doublée parce que NMOS, qui sortira en 2 / 77. La puce alimentée en + 5 Volts consomme moins de 200 mW, et contient un bus de données 8 bits, un bus d'adresse 16 bits, l'ALU à 46 opérations, l'horloge et un I / O série avec une interruption ; le tout dans un boîtier 40 broches.

Dès 6 / 77, le SC / MP II devient un minicalculateur, grâce aux cartes suivantes :

.....ISP 8C / 100 est la carte CPU de 111 * 124 mm, contenant le timing, une RAM 256 B, un socle de PROM 512 B, le bus de données et commande de 8 bits, le bus d'adresse 16 bits avec une logique d'adressage externe pour 16 pages de 4 KB, deux bus série pour entrée et sortie de TTY, et 8 accès parallèles. Consommation 750 mA sous 5 V. Prix \$ 250.

ISP 8C / 002, carte mémoire contenant 2K * 6 bits de RAM statique.

ISP 8C / 004P contient la PROM effaçable par UV, en 8 chips de 512 * 8 bits MM 5204Q, ou encore la variante B de cette carte qui accepte aussi des ROM préprogrammées. Prix \$ 525.

Dans cette même famille, NS annonce en 1978 l'INS 8060, qui semble être le RALU d'un microprocesseur en tranches de 8 bits, conçu en Allemagne et très proche du SC / MP. Les composants suivants sont associés dans la construction d'un microprocesseur 32 bits:

INS 9295 est une ROM 8K * 8 bits contenant un interpréteur BASIC allégé.

INS 8356 est un complément rassemblant 2K * 8 bits de ROM, 128 * 8 bits de RAM, et des I/O.

Le 8060 fonctionne à 500 KHz, avec le répertoire de 46 opérations du SC/MP, et se présente en une puce à 40 broches vendue \$ 17,76, ou \$ 15 en lots de 100. Trois alimentations + 5, - 7 et - 12 Volts.

Ce produit a été licencié à Rockwell et à Western Digital.

Troisième gamme de produits en 1976, des microcontrôleurs 4 bits dont le premier est le MM 5734, avec 630 bytes de ROM et 55 nibbles de RAM. Le cycle, très bas, est 14 µs, suffisant pour des applications de machines à laver et facile à tenir en production de masse.

Un peu plus raffiné mais dans la même veine, le 5782 est un CPU 4 bits comprenant un décodeur PLA, une RAM 160 * 4, quelques registres et un I/O série. Cette puce doit être accompagnée du 5781 qui contient la mémoire de microprogrammes, 2K bytes de ROM avec le compteur ordinal et l'adressage, et quelques I/O.

Sortant en même temps, le MM 5799 (fiche) fournit un service compatible en une seule puce, contenant 1536 B de ROM et 96 B de RAM.

A titre d'exercice technologique plutôt que pour réaliser un produit commercial, NS construit à cette date le 7100, une sorte de calculette scientifique qui tient en une carte de 38 * 63 mm contenant 11 puces:

4 RAM CMOS de 1 Kbits, avec une puce d'interface, forment la mémoire de travail, consommant si peu au repos qu'il est inutile de couper leur alimentation quand on met la machine au repos. On ne perd donc pas les résultats ni les données quand on interrompt un calcul. Capacité 240 étapes de programme et 32 registres.

3 ROM PMOS, chacune 32 * 64 * 8 bits, contiennent les instructions de l'interpréteur. processeur PMOS, capable d'interpréter une notation algébrique jusqu'à 3 niveaux de parenthèses, disposant de 4 niveaux de sous-programmes et 8 flags. Un clavier de 23 touches permet de distinguer 66 fonctions arithmétiques et logiques.

2 interfaces pour la visualisation LED.

Cette calculette programmable peut être proposée en série à \$ 395. Une première option est une cartouche bibliothèque enfichable, PROM de 16 Kbits PMOS représentant 2048 étapes supplémentaires. Une seconde option (\$ 20) est une cartouche privée de 2 * 1 Kbits, en MNOS, pour des programmes propres modifiables.

On arrive ainsi en 1978, où NS se croit assez fort pour construire une machine complète compatible IBM et la faire vendre par NAS, filiale commerciale. Jusque là, rappelons-le, les machines fournies par NS à NAS étaient construites sur plans Digital Scientific.

La machine C400 réalisée, et même lancée sur le marché par NAS sous l'étiquette AS 6000, NS s'aperçoit qu'il ne tient pas les prix : NS abandonne la construction de machines compatibles et NAS se tourne vers Hitachi qui deviendra progressivement son unique fournisseur.

En décembre 1978, NS lance les COPs, une famille de microprocesseurs 4 bits plus économique que les MM, initialement à base de NMOS. Le concept se déploiera en trois familles :

COP 420 est le NMOS, avec un répertoire de 57 opérations exécutables en 4 μ s, une ROM de 1024

bytes, une alimentation 25 mA, et un prix de \$ 2. Une variante COPS 402 sans ROM existe pour les mises au point de programmes destinés au 420

COP 411L est une famille lente à faible consommation, avec un répertoire réduit à 43 opérations, 512

bytes de ROM seulement, une consommation limitée à 5 mA, et un prix de 99 cents.

COP 420 est à l'inverse une version CMOS, à l'époque aussi rapide et moins gourmande que la version

NMOS, avec un prix supérieur à \$ 3. Un COP 440, contenant 2048 bytes de ROM, coûtant \$ 3, permet d'accroître l'envergure des systèmes ainsi construits.

Suit une période de faible créativité, probablement parce que la société doit faire face aux pertes de Intel. On citera donc quelques réalisations dont l'inspiration est extérieure à la maison:

IDM 2901 : depuis 1977, NS a pris la licence de l'AMD 2901, et semble avoir utilisé ce microproces-

seur en tranches pour édifier le C400. Fin 78, soucieuse d'améliorer une production qui rencontre un peu trop de concurrents, NS réalise une version ECL de ce processeur, tout en conservant l'interface TTLS : le cycle est ainsi réduit à moins de 70 ns, la consommation s'élevant à 800 mW. Prix \$ 29.

Suivront rapidement les versions :

A1, CP < 60 ns, add = 87 ns, add shift = 105 ns. Prix en fin 78 = \$ 14,95 par lots de 100 en boîtier céramique, \$ 11,9 en boîtier plastique.

A2, avec add = 67 ns, add shift = 78 ns. Prix \$ 16,5 et 13,1 respectivement.

B, en LP Schottky, avec un cycle de 105 à 145 ns.

Engagé à fond sur cet excellent produit, NS vendra aussi les périphériques ou services ci-après :

2902, générateur pour additionneur CLA

2911A, séquenceur pour le RALU 2901 A

29702 / 3, RAM 16 * 4 bits en open collector ou en tristate

29750 / 1, PROM 32 * 8 mêmes variantes

29760 / 1, PROM 256 * 4 mêmes variantes.

29803, branchement 16 directions

29811, next adress control

29901, 3 bascules avec interfaces en tristate, et 29908, 4 bascules

29902, priority encoder

29903, 16 registres de 4 bits avec consultation edge triggered, interface tristate

29704A / 5A, RAM 16 * 4 double accès, interface tristate.

INS 8050 : c'est une fabrication sous licence du contrôleur 8048 de Intel, intégralement compatible

malgré quelques améliorations : taille réduite de 20%, consommation réduite de 25%, consommation en standby réduite dans un rapport 35. Ces progrès sont dus à

l'emploi du XMOS, un process propriétaire en géométrie 3 μ . Ici encore, NS fermement impliqué fabriquera de nombreuses variantes et services :

8050 de base, est un 8 bits avec 4 KB ROM, 256 bytes RAM, 96 opérations de durée 2,5 μ s pour la fréquence 6 MHz. Comprend un compteur / timer et 27 broches I / O. Consommation à cette fréquence 25 mA typique, 75 mA maximum, 8,5 mA en standby. Prix \$ 22 / 19 selon boîtier céramique / plastique.

Une version à 11 MHz est étudiée pour sortie fin 1980.

8040 est le même circuit sans les ROM, pour les mises au point. Prix \$ 21,55 par lots de 100, uniquement en boîtiers plastiques.

8048L, 8049L, 8050L sont des versions basse consommation, réduction au tiers (1982).

80C48, version CMOS consommant le quart des précédents.

80CX48, variante du précédent soumettant la régulation de consommation au logiciel, à travers un registre supplémentaire de commande des alimentations.

87P50 est un piggy back pour les précédents, 6 ou 11 MHz, avec 1 à 4 KB de mémoire.

Appuyée sur la popularité du 8048, cette production sera prospère et durable. On trouvera une fiche consacrée à une application, le contrôleur d'écran INS 456, construit en 1984.

INS 8070 (1979) est un microprocesseur 16 bits propriétaire, voir fiche.

STARPLEX est l'indispensable station de développement associée à ce circuit : plutôt que de coller de trop près à son produit, NS choisit de réaliser un microcalculateur polyvalent, un peu surpuissant, auquel on donnera des logiciels pour tous les microprocesseurs de la maison. A cet effet, la machine est construite autour de la carte BLC 80 / 20, copie locale du SBC 80 / 20 d' Intel, et comprend :

Boîtier 250 large * 160 haut * 260 prof, décomposable en modules démontables.

Carte mémoire de 64 KB.

Carte contrôleur d'écran BLC 8229 contenant un microprocesseur INS 8080A, associée à un écran 12 »,

24 lignes de 80 caractères, et clavier 96 touches.

Carte contrôleur de floppies BMC 8221, contenant un INS 8080A - boîtier de disques séparé.

ME 50 thermique, connectée à une interface RS 232C de la carte mère.

Option : émulation In Circuit, carte enfichable ISE.

La machine, qui est en pratique un calculateur universel, est vendue \$ 13800 avec Fortran, BASIC, et des assembleurs pour divers microprocesseurs.

INS 800 réalisé en 1980 est un microprocesseur CMOS qui émule le Z 80, dont NS a pris la licence, avec une disposition architecturale qui est celle de la 8085, cad un bus unique multiplexé pour les adresses et les données. Voir fiche.

MSC 6600 est une gamme de microcalculateurs de table, réalisés par NS avec des microprocesseurs fabriqués sous licence ou même achetés, dans l'espoir, assez fallacieux, de prendre une place dans le marché encore balbutiant du calculateur personnel.

6600 est construit autour d'un 8080 ou d'un Z80, et livré avec le système d'exploitation CP / M, des compilateurs Fortran, Basic, et Pascal, l'interpréteur Basic de Microsoft, et le XY Basic temps réel de Mark Williams Company.

6604 et 6608 sont des microcalculateurs à base de 8086 16 bits, avec une mémoire RAM évoluant de 10 Kmot à 1 Mmot, et les mêmes logiciels.

En 1982, NS décide, comme plusieurs autres à la même époque, qu'il est possible de concevoir un microprocesseur 16 bits assez puissant pour construire un calculateur personnel polyvalent. Cependant, comme à ce moment le seul marché visible est celui des 8 bits, NS démarrera assez timidement, avec la famille 16008 / 16016, ce code signifiant que l'ALU est 16 bits et le bus externe (mémoire, accès) 8 ou 16 bits, respectivement. Voir fiche.

Malheureusement, le choix par IBM du 8088 pour son PC concentra l'attention du public sur l'architecture Intel, tandis que le 68000 de Motorola retenait celle des universitaires et, à travers le groupement d'intérêts VME, celle des industriels.

L'architecture 160XX se retrouva évincée des principaux marchés.

En réalité, il s'agit d'une explication a posteriori : sur le moment, les accords de seconde source avec Fairchild étaient sains, et tous les périphériques nécessaires furent développés à temps pour soutenir le CPU :

16008, architecture de base, bus 8 bits, disponible 3ème trimestre 1982. Boîtier 48 broches.

16016, même architecture, bus 16 bits, adresses 24 bits, disponible 3ème trimestre 1983

16032, même architecture, bus 32 bits, adressage toutes tailles à travers le MMU 16082. Voir fiche.

16081, coprocesseur VF selon norme IEEE 754, existe en 6 et 10 MHz, boîtier 24 broches. dispose de ses propres registres mais ne fait que les calculs et les normalisations, laissant au CPU l'adressage des instructions VF qui est standard.

Performances typiques : FFT 1024 points en 3 secondes, Whetstone test en 4,3 s (contre 4 s au VAX 750).

périphériques NS : horloge 16201, disponible en 3 / 82 - gestion d'interruptions
16202, disponible 4 / 82

DMA 16203, disponible 1984 - et par la suite contrôleurs pour terminaux, réseau, disques.

périphériques Fairchild : 16204 extension de bus - 16105 gestion d'entrées / sorties
- 16802 réseau

local - 16456 gestion de protocole - 16425 protocole X25 - 16413
contrôleur de console -

16488 contrôleur d'instrumentation.

Malgré ces efforts, et la qualité certaine du produit, aucun client d'importance ne choisit NS. Il n'y avait pas place sur le marché pour trois constructeurs, et les deux premières places étaient occupées !

Cette constatation conduisit NS à mettre l'accent sur les usages de contrôleurs industriels, pour lesquels on produisit plusieurs versions adaptées :

16010, contrôleur incorporant 8 KB ROM, 1 KB RAM, et I/O, disponible 1985

16003, contrôleur 16 bits, 20 ou 30 MHz. Mémoire de programmation externe, RAM 256 bytes, un port série, 8 timers, 4 registres de capture. Température de fonctionnement - 55 à + 125°. Logiciel MTEC, développé par Telenetwork, mais distribué par NS.

16083, même contrôleur avec 8192 bytes de ROM sur la puce.

16004, même contrôleur que 16003 sans la contrainte de température, ce qui permet de porter la RAM à 512 bytes. De même, le 16084 contient 16384 B de ROM.

HPC 16164, contrôleur spécialisé en communications, CPU 16 bits 20 MHz, 512 bytes de RAM, 16 KB de ROM, 8 timers, 1 port série, convertisseur A/N 8 voies 8 bits. Variante 104 sans ROM, pour mise au point de programmes.

HPC 16400E, contrôleur pour communications, CPU 16 bits 20 MHz, RAM 256 bytes, pas de ROM, 4 timers, 4 DMA, un port série, deux canaux HDLC rapides. Sans attendre, NS met en chantier une famille de processeurs 32 bits, avec bus 16 ou 32 bits, et tous les périphériques indispensables, pour essayer d'occuper la niche du 68020. Voir fiche.

Ce microprocesseur sera utilisé dans les multiprocesseurs Balance de Sequent Computer. NS essaiera également de construire des minicalculateurs avec ses processeurs :

ICM 3216 (1984) est vendu soit comme carte OEM, soit comme minicalcuteur, avec un Maxibus pour la mémoire jusqu'à 14 MB de DRAM 150 ns, un Minibus 16 bits pour les périphériques, un contrôleur SCSI, des ports série et parallèle, et un système d'exploitation Unix V. Prix < \$ 4000 .

ICM 3232 (1986) est très semblable, et vendu dans les mêmes conditions. Plus puissant, il dispose d'un IOP séparé, et de la carte ICM SLU8, contenant 8 interfaces RS232C (\$ 1000 en lots de 100).

C'est une période d'euphorie, car le chiffre d'affaires des semiconducteurs atteint le chiffre symbolique de 1000 M\$. Mais, en ce qui concerne la famille 320XX, elle ne réussira pas à se créer une place comparable à ses concurrents.

Il ne restera donc à NS que l'option de transformer aussi cette famille en contrôleur, comme le faisait Motorola au même moment, mais ces contrôleurs n'atteindront jamais à la diffusion de ceux de la concurrence. Citons :

INS 32AM160 (1991) est un processeur vocal, regroupant autour d'un coeur 32032 à 20 ou 25 MHz :

25 KB de ROM pour programme et constantes

2048 bytes de RAM

un contrôleur de DRAM externe capable de 4 ou 16 MB

un DSP 16 bits avec MAC 16 * 16 et 4 KB de RAM

un contrôleur pour 4 interruptions dont une externe et une par le DSP.

un chien de garde

un générateur d'horloge, mu par le signal d'un quartz externe.

un modulateur PWM

une interface codec.

Ce produit consomme 140 mA sous 5 Volts, avec un mode économique à 2,5 mA ; il est présenté

en boîtier PLCC 68 broches.

Exemple d'application : exécute un filtrage FIR temps réel en 40 ns dans la version 20 MHz, contre

80 ns pour le TMS 320C25 de Texas et 75 ns pour le 56001 à 26,7 MHz de Motorola.

INS 32CG160 (1990) succède à un 32CG16 limité à 10 et 15 MHz. C'est un contrôleur pour périphériques, 15 à 25 MHz, comprenant un CPU entier 32 bits avec multiplieur 16 * 16, deux DMA 8 bits, une interruption, 3 timers, et quelques extensions de répertoire pour la manipulation d'images.

INS 32GX320 (1992) est le même, avec deux DMA 32 bits, 4 interruptions, un cache d'instructions de 512 bytes, un cache de données de 1024 bytes, et une fréquence de 20 à 30 MHz.

INS 32FX16 contient un DSP et de la RAM. Il peut exécuter à 15/25 MHz un noyau temps réel

PX.ROS.

Après cette déconvenue, nous sommes médiocrement renseignés sur l'activité de NS qui s'efforce de maintenir sa technique à niveau en offrant des produits variés, dont nous ne sommes pas en mesure d'évaluer le succès. Les circuits cités ci-après, découverts dans les revues informatiques, ne sont qu'un échantillonnage, pas nécessairement significatif.

INS 32SF641 à 25 MHz est réalisé avec une architecture du genre RISC, incluant des opérations en virgule flottante et d'autres de type DSP. Bus 64 bits, cache 5 KB, 2 DMA.

HPC 46100 est un DSP à 40 MHz, contenant 1 KB de RAM mais pas de programme interne. Il est organisé en contrôleur avec un port série, 6 timers, et un codeur A/N à 8 voies de 8 bits.

Swordfish est le nom de code pour un microprocesseur superscalaire 64 bits étudié en 1991. Inspiré par les derniers 32X32, il y ajoute deux caches I et D de 1 et 4 KB respectivement, et un DSP, le tout capable de délivrer 100 Mips 32 bits.

DP 8025, nom de code Tropic, est un contrôleur de réseau Token Ring réalisé en CMOS, et incluant les interfaces analogiques et numériques nécessaires pour les bus ISA, MCA et 68XXX. Il était capable des deux vitesses standard de ce réseau, 4 MHz et 16 MHz. On comprend qu'IBM, séduite par une telle universalité, ait pris la licence de cette puce. Boîtier PGA 175, prix \$ 129 par lots de 100.

DP 8390 est un chipset né probablement vers 1985, matérialisant la norme Ethernet 10 base S. Il comprend le contrôleur 8390, le codeur 8391 et l'interface coaxial 8392.

DP 83901 V SNIC lui succède en 1990 pour s'adapter aux processeurs 16 bits, réunissant en une seule puce les deux fonctions des 8390CN et 8391AN précédents. Il est compatible avec la norme IEEE 802.3 pour 10 base S et T, et n'a besoin que d'un 8392 existant pour la liaison au câble.

Dans un boîtier PLCC 68 broches, il contient deux DMA 16 bits, 2 FIFO de 16 bytes avec seuils programmables de remplissage et de vidage, et trois registres pour les erreurs : alignement de trame, erreur CRC, paquets perdus. Cet Ethernet peut utiliser trois

types d'adressage : physique, multicast choisissant un groupe parmi 64, et broadcast = à tous.

DP 83902 de 1991 matérialise la norme 10 base T en une seule puce, réalisée en CMOS 1,5 μ consommant 140 mA et présentée en boîtier 84 PLCC ou 100 PQFP (flatpack soudable de 30 * 20 bornes). Une sortie auxiliaire permet de l'utiliser en 10 base S avec un 8392 standard.

DP 83932 SONIC est un contrôleur Ethernet pour CPU 32 bits, capable de 50 MB/s à 25 MHz. Il contient deux bus non multiplexés pour adresses et données, et 64 registres programmables pour toutes les statistiques du réseau. En jouant sur une broche, on peut l'adapter à tous les besoins : VME, Multibus, NS 32532, SPARC... Associé au circuit DP 83922 TPI, il travaille à 10 MHz sur paire torsadée.

DP 832XX est un chipset FDDI réalisé en CMOS et BiCMOS pour ne consommer que 4,8 W ; il tient en 5 puces comme suit : DP 83241 pour l'horloge 125 MHz, CRD 83231 pour les recouvrements d'horloge, DP 83251 pour la couche physique, y compris un commutateur de configuration, DP 83261 pour la couche MAC, la couche SMT étant répartie dans les circuits. Une interface spécifique permet d'adapter le jeu aux bus MCA, VME, AT ou EISA.

COP 800 est un contrôleur 8 bits, probablement conçu vers 1984 et toujours d'actualité en 1994. Il en existe de nombreuses variantes :

mémoire de programme 768 bytes à 16 KB en ROM ou EPROM
mémoire de travail 64 à 512 bytes, plus 64 bytes d'EEPROM pour personnalisation.
Chien de garde, et 1 à 4 timers
1 port série, 16 à 56 bits de port parallèle
codeur A/N, 8 fois 8 bits
contrôleur d'affichage sur LED.

Programmation en langage C. Boîtiers QFP ou S.DIP .

La famille est plus que jamais d'actualité en 1999, avec par exemple le COP8SGR7 : un cycle d'instruction de 1 μ s, et 14 interruptions vectorisées ; les ROM atteignent 32 KB, et les timers se développent en périphériques polyvalents : capture de signaux externes, comparateurs, compteurs, modulateurs PWM. La gestion de consommation est plus raffinée, avec un système de réveil à causes multiples.

INS 486 (10/95) est produit sous licence Intel pour les systèmes embarqués. Il ne subsiste que 256000 transistors du dessin initial, ce qui signifie la disparition de la mémoire virtuelle et de la virgule flottante, ainsi que celle du cache D et la réduction à 1 KB du cache I. La puce ainsi retaillée, qui ajoute au coeur de CPU un éventail de périphériques pour en faire un contrôleur (à mémoire entièrement externe), occupe seulement 29,6 mm², et consomme 600 mW sous 5 Volts. Réalisée en géométrie 0,65 μ , cette version du 486 fonctionne à 33 MHz. NS se propose de descendre à 0,35 μ dès 1996 pour atteindre 66 MHz.

Etant un contrôleur, ce circuit est commercialisé en configurations variées. Exemples :

SXL : contrôleur DRAM, contrôleur DMA, contrôleur pour 15 interruptions, 2 ports série

(UART, IrDA 1.0), timer, chien de garde. PQFP 132.

SXF : PQFP 160 avec en plus contrôleur PCMCIA, port parallèle et contrôleur de LCD, horloge temps réel, gestion de consommation.

Mobile System Solution (4 / 97) est un chipset de 4 puces destiné aux portables, où il incarne la norme

ACPI, qui définit les interfaces du bus PCI et la gestion de consommation. Ce sont : PC 87550, contrôleur PCI interfaçant le microprocesseur avec le bus PCI, gérant la mémoire dynamique (EDO ou DRAM synchrone), le cache de niveau 2, et la gestion de consommation. Boîtier BGA.

PC 87560 est un contrôleur d'entrées / sorties incluant deux interruptions, deux DMA, un timer, un contrôleur de disque IDE, un port série, un port parallèle IEEE 1284, un USB et un IrDA (norme infrarouge). Boîtier BGA.

PC 87570 est un processeur RISC 16 bits, disposant de 2KB ROM, 1 KB RAM, une RTC, un

générateur de base de temps, des convertisseurs N/A et A/N, 76 bits d'I/O non affectés, les interfaces souris et clavier. Boîtier TQFP.

PT80C525, en boîtier TQFP, est un contrôleur PCI / PCI pour permettre l'insertion du portable dans un socle hôte, à chaud.

En 9 / 97 intervient une opération importante : NS achète Cyrix, au prix de M\$ 540. En principe Cyrix est en plein succès, ses processeurs actuellement fabriqués par IBM se vendent bien, NS devrait rapidement rentrer dans ses fonds et trouver de nouvelles idées dans ce bureau d'études dynamique.

Ce qui suit apparaît après cette date frontière, sans qu'on puisse dire si ces nouveautés doivent, ou non, quelque chose à Cyrix.

LM 78 est un circuit de mesures destiné aux PC. IBM, équipant ses ordinateurs haut de gamme de processeurs de surveillance et de logiciels coûteux, a familiarisé le public avec ces notions. La complexité croissante des calculateurs personnels et, au minimum, celle des serveurs, justifie qu'un traitement analogue, mais de coût proportionnel, leur soit appliqué.

Le LM 78 travaille avec un capteur de température de processeur, LM 75, un capteur analogue pour la carte, un convertisseur A / N 8 bits recevant les diverses alimentations, et communique avec le système d'exploitation par une interface de bus ISA.

PC 87200 (5 / 99) est un circuit d'adaptation à l'usage des fabricants peu désireux d'obtempérer à la nouvelle spécification PC99, qui supprime le bus ISA. Ce circuit est compatible avec l'équivalent de Intel, i82380AB, et bien sûr moins cher et capable d'une sortie ISA supplémentaire (4 au lieu de 3). Il permet d'ajuster la fréquence du bus ISA, par programme, entre 8,33 et 11 MHz. Boîtier PQFP 160 broches.

Moins de deux ans plus tard, NS revend Cyrix, dont ils n'ont pas réussi à maîtriser les dépenses : la production de Cyrix est de 10% inférieure au seuil de rentabilité, et les dépenses ne sont pas compressibles. Cependant, NS garde une trace de ce passage, à savoir le droit d'utiliser à son gré le processeur MédiaGX de Cyrix.

Le projet 2000 de NS porte le nom de Géode, et consiste à proposer autour d'un coeur compatible PC de multiples combinaisons de ce que NS appelle « Information Appliance », cad tous les périphériques et interfaces de communication. Le premier produit de cette famille, SC 1400, en beta test en 10 / 99, comprend donc un compatible x86 MMX avec interface 64 bits vers une mémoire SDRAM externe, un accélérateur graphique avec sorties VGA et TV NTSC / PAL, un décompresseur MPEG2, un décodeur Dolby AC3, et un « southbridge » comportant l'interface PCI 33 MHz, une interface IDE / ATA 33, une entrée vidéo éventuellement comprimée, et l'arsenal complet des interfaces d'entrées / sorties (Parallèle, USB, AC 97, ISA, RTC, 2 UART, IrDA, gestion de consommation selon norme ACPI, etc...). Fréquence jusqu'à 266 MHz. Destiné aux boîtiers décodeurs, ce circuit a déjà entraîné l'adhésion de Philips, ACER, Grundig, Wyse, etc...

436 - National Security Agency

Cet organisme créé juste après la guerre a pour mission d'écouter et d'enregistrer tous les messages qui s'échangent dans le monde, et de les traduire en anglais s'ils sont codés. Cette mission est forcément impopulaire dans le monde entier, de sorte que la NSA a choisi un profil bas : elle ne fait jamais parler d'elle et se procure son énorme budget à travers des organismes paravents. Il lui est cependant pas facile de rester aussi discrète, car si les ordinateurs sont aujourd'hui faciles à camoufler, les antennes ne le sont pas, et la NSA est obligée d'en installer ailleurs qu'aux USA, en Angleterre notamment.

En nous limitant à l'aspect informatique, on peut dire que la NSA a commencé tôt : son premier ordinateur de décryptage, baptisé DEMON, date d'octobre 1948. Comme il se doit, on n'en sait pratiquement rien, sinon que sa mémoire était un tambour magnétique. Cette machine expérimentale sera suivie d'ABNER, pour laquelle la technologie de SEAC sera mise au service d'une architecture spécifique, mettant l'accent sur les opérations logiques, utiles en cryptographie. Autres traits originaux d'ABNER, elle disposait de plus de périphériques que toutes les machines contemporaines, à savoir LC, LR, RM, IP, ME, grâce à l'emploi du tambour magnétique à têtes multiples comme tampon. ABNER est en service en octobre 1952, et le rapport ONR l'ignore.

La mission de la NSA n'était pas de fabriquer des ordinateurs, mais de les utiliser. Dès qu'une entreprise privée apparaît, capable de construire un ordinateur, la NSA fonce : ATLAS 1 est le nom du premier calculateur étudié par ERA, Engineering Research Associates, et servira de prototype à la machine commerciale ERA 1101. Il est intéressant de noter que dans le catalogue de l' ONR, les clients de l' ERA 1101 sont simplement cachés derrière le sigle général US Government, pour ne pas avoir à nommer la NSA. Cette première machine est opérationnelle en 10 / 50.

La relation privilégiée de la NSA avec ERA se poursuit après le premier Atlas, et de nouveau le prototype suscité par la NSA deviendra une machine commerciale, cette fois à travers Univac : Atlas II est la première des ERA 1103.

La méthode est avantageuse pour tout le monde, et la NSA recommence l'exercice en 1955 avec Philco, filiale de Ford, qui délivrera SOLO en 3 / 58. C'est le prototype des S1000.

La NSA fera de même avec IBM, lors du concours pour la plus puissante machine du monde. Tandis que le monde scientifique et commercial attend STRETCH, la NSA finance une variante dotée d'un processeur spécial de manipulation non numérique, HARVEST, décrite avec beaucoup de détails techniques dans le livre de Buchholz (référence 202, dernier chapitre).

La NSA est également à l'origine de l'étude par IBM des bandes Tractor en cartouches, capables de performances exceptionnelles (1,1 MB/s) et chargées de fournir à Harvest le flot de données que son processeur attendait. On peut penser que les Hypertapes d' IBM, contemporaines, sont une retombée de cette étude : leur échec relatif vient sans doute de ce qu'elles étaient en avance sur leur temps.

Telles sont les études connues de la NSA, mais il y en a bien d'autres assurément. Il semble qu'après avoir beaucoup cherché à se procurer le calculateur optimal pour le décryptage, la NSA ait choisi de s'équiper de machines du commerce, dont les systèmes d'exploitation rodés assuraient la disponibilité et la maniabilité. Le nombre et la nature de ces machines sont des secrets bien gardés.

La NSA est aussi l'agence gouvernementale chargée de promouvoir les méthodes de transmission à l'abri des curiosités de l'ennemi, méthodes que sa propre activité vise à contourner ; par cette activité, elle est bien en mesure de définir des niveaux de qualité dans la protection, étant entendu qu'il n'existe pas de protection absolue, seulement des méthodes d'une efficacité telle que le temps nécessaire pour les contourner coïncide avec le moment où les informations n'ont plus besoin d'être gardées secrètes. Voir fiche sur les applications de ces méthodes à l'informatique.

437 - Naval Research Laboratory

Ce laboratoire de la Marine est installé dans la banlieue de Washington, et sa raison d'être est de rappeler en permanence, par son existence et son activité, que l' US Navy est un des grands services et ne doit pas être budgétairement oubliée. Dans cet esprit, le NRL a pris soin, pendant la guerre, de commander à Stibitz un de ses calculateurs à relais, et ce Mk IV a été installé en 1945 et s'est montré tout à fait efficace dans son domaine. Voir fiche.

La guerre terminée, et les principes de construction dégagés par Von Neuman, le NRL a souhaité comme tous les grands laboratoires se doter d'un calculateur, et a réalisé NAREC, une machine scientifique à mémoire de Williams renforcée par un tambour magnétique, avec une technologie statique permettant le pas à pas. Commencée en 1952, terminée en 1954, cette machine a tout de suite subi des phases de modifications, pour finalement être remplacée par une machine du commerce. Voir fiche.

Toujours dans le même esprit de lobbying, le NRL a réagi très rapidement au choc politico-médiatique du Sputnik, et passé immédiatement à IBM un contrat pour installer dans ses murs un Vanguard Computing Center, chargé de poursuivre les satellites (voir 224-58/64).

Après cela, l'activité du Laboratoire est retombée dans la routine, et pendant une vingtaine d'années l'informatique n'était pas le thème principal de ses travaux : l'action essentielle qui a conduit à la généralisation du NTDS n'a pas été pilotée par le NRL.

Nous retrouvons le NRL lorsqu'il s'est agi de construire le sonar passif des SSK, un travail qui s'est révélé bien plus difficile qu'imaginé d'abord : dans sa première réalisation, il n'y avait pas grand chose à tirer des bruits innombrables recueillis par les faisceaux d'hydrophones installés tout autour de la coque épaisse des sous-marins. L'exploitation exigeait manifestement des progrès radicaux dans le domaine du traitement du signal, où la Navy a fortement engagé ses fournisseurs : on sait qu'IBM Federal travaillera longuement sur ce thème et fournira plusieurs des processeurs qui équiperont les SSK et les avions ASM.

L'étude AN/UYK 17 concerne un prototype de calculateur parallèle rapide où la finalité traitement du signal est en arrière-plan, tandis que les aspects informatiques viennent au premier rang. Voir fiche.

Ce calculateur ne semble avoir débouché sur aucun produit industriel, mais il a certainement eu des retombées intellectuelles, car il a été longuement évoqué dans SIGMicro et dans TIRE, C23.

438 - NCR, ex National Cash Register

National Cash Register est née à Dayton, Ohio, à la fin du XIXème siècle, pour construire le produit qui lui a donné son nom, les caisses enregistreuses mécaniques. La société devait conserver jusqu'après la dernière guerre un quasi monopole mondial du produit qu'elle avait créé.

Du point de vue de l'informatique, et a posteriori, le plus grand évènement de l'histoire de la compagnie est le départ, en 1911 et pour incompatibilité d'humeur avec son CEO, de Thomas Watson, le futur créateur d'IBM. Sur le moment, bien sûr, cela ne troubla aucunement l'évolution de National Cash Register.

Dès avant la 2ème guerre mondiale, National Cash Register s'était diversifiée vers les banques en construisant, autour de sa technique électromécanique, des machines comptables et des machines à calculer à bande imprimante. Nous n'avons aucune indication sur la nature de la contribution de la compagnie à l'effort de guerre, mais il n'y était pas question d'électronique.

National Cash Register a pris conscience, dès la fin de la guerre, de la place qu'allait prendre l'informatique, et s'y est impliquée en achetant Computer Research Corporation, une petite firme de Hawthorne, Cal, créée par d'anciens chercheurs de l'AFCRC et par la société d'aviation Northrop. Cette CRC avait réalisé plusieurs machines à tubes : un CRC 102 scientifique pour l'AFCRC, une dizaine de DDA CRC 105 pour divers laboratoires et entreprises, et un CRC 106 de gestion pour une administration.

National Cash Register recueillait ainsi un catalogue d'adresses, mais il s'agissait surtout d'une précaution pour l'avenir, car NCR devait son succès à la mécanique et n'était pas pressée de l'abandonner.

Cette attitude d'esprit explique que les débuts de NCR dans l'informatique ne soient pas dignes de beaucoup de commentaires : les 303, 304, 310 (construit autour du CDC 160), 315, sont de petites machines de gestion sans histoire ni brio. Par contre, dans un domaine plus proche de sa clientèle habituelle, NCR réalise de bons scores avec des calculateurs comptables NCR 390 à programmation mixte (bande perforée pour les calculs, mécanique pour l'édition), et même avec un ordinateur de bureau riche en périphériques, le NCR 500 qui sera produit à 2500 exemplaires.

L'avènement du circuit intégré convainc la direction de NCR qu'il est temps de sauter le pas, et de prendre sans plus attendre le virage de l'électronique. En fin 68, NCR annonce la famille Century, et son intention d'en produire 5000 en 5 ans, ce qui pour l'époque est ambitieux. Simultanément, NCR commence à produire des terminaux de guichet qui vont progressivement, en dix ans, prendre dans tous les magasins la place des caisses enregistreuses mécaniques dont la production est abandonnée.

Par cohérence, National Cash Register annonce en 1975 l'abandon de son nom historique, et devient simplement NCR : le sigle avait pris suffisamment d'importance pour faire oublier les caisses, qui n'étaient plus qu'une facette mineure de l'activité de l'entreprise. Le pari de NCR sur l'informatique a été un succès, et en 1976 il a été possible d'annoncer que CRITERION succédait à CENTURY, construit et vendu à 5500 exemplaires dont près de la moitié placés à l'étranger. Fidèle à son image de marque, NCR ne cherche pas à vendre des machines de gestion, mais des systèmes d'exploitation comptables, très souvent avec terminaux de guichet en ligne. La vente de 50000 de ces terminaux, dont 25000 au seul réseau de grands magasins Montgomery Ward, montre le succès de cette entreprise de télétraitement.

Parallèlement à ce développement, NCR a continué à fournir des ordinateurs de bureau, notamment l'excellent 399 et plus récemment un 8200 qui se présentait un peu abusivement comme membre de la famille Century.

Au niveau de puissance où se place NCR, les périphériques représentent une large part du prix du système, et par conséquent il faut attacher une grande importance à l'accord que la société a passé en 1973 avec Control Data pour constituer Computer Peripherals Inc. Machine de guerre contre les compatibles importateurs et contre IBM, cette société n'était sans doute pas nécessaire à NCR, mais l'attitude était raisonnable dans l'ambiance d'alors ; quand, par la suite, avant même que les imprudences financières de CDC ne condamnent l'entreprise, il fut évident que CDC et NCR n'avaient pas d'intérêt en commun, NCR reprendra sa liberté en 1978 et ses usines sans perte notable.

A partir de 1976, quelques hésitations se dessinent dans la politique commerciale de NCR, qui paraît avoir du mal à suivre l'évolution technologique qui laisse à peine le temps de l'amortissement. Le nom de Criterion, qui imposait un concept de gamme, n'est pas suivi, et progressivement se dessine une séparation de la production en deux familles :

un haut de gamme à mémoire virtuelle, s'étendant jusqu'à des modèles V8650 et V8670 qui se mesurent avec les plus grands. La masse de la production, cependant, concerne des puissances modérées et vise essentiellement la gestion, en batch et en temps réel. Ces machines microprogrammées peuvent émuler les Century pour assurer la continuité, et peuvent aussi fonctionner comme « machines COBOL ». On estime à 4620 le total installé de cette catégorie au 1 / 1 / 83 avec 625 commandes pour une dizaine de modèles qui ont d'ailleurs beaucoup en commun.

un bas de gamme à base de petits multipostes construits autour de minis de fabrication interne (les

I 8200), ou autour de micros (les I 8100), auxquels succèdent vers 1980 quatre modèles I 9000 qui ne sont qu'une nouvelle présentation physique du même matériel. Le parc comprendrait au 1 / 1 / 83 quelque 4500 * 8100, 13000 * 8200, et 6600 * 9000.

L'avènement du calculateur personnel en 1981 gêne NCR qui avait établi avec ses clients un type de relations différent. L'adaptation passe par la commercialisation de produits fabriqués sous licence, comme Tower, un multiposte de gestion centré sur le micro 68000, ou comme Worksaver qui est le traitement de texte de Convergent Technology. Il s'agissait d'un interim, en attendant qu'aboutisse une politique beaucoup plus audacieuse au titre de laquelle NCR fabrique désormais les deux tiers de ses composants, envisageant même de les vendre. L'annonce du NCR 9300, construit autour du chipset NCR 32, un puissant micro 32 bits, marque ce virage ; la tentative de commercialiser le nouveau circuit échouera complètement, mais le développement prudent de la série NCR 32 permettra de construire sur 5 ans une famille complète d'ordinateurs transactionnels autour de deux versions de ce microprocesseur.

En tous cas NCR se bat. Elle achète Applied Digital Data System pour ne pas dépendre de l'extérieur pour ses terminaux écrans d'usage général, et Comten pour s'adapter à l'évolution de l'informatique distribuée.

Le tableau ci-dessous décrit une évolution financière qui paraît satisfaisante :

(M\$)	année	CA (M\$)	Bénéf (M\$)	Effectif	% Inform.	R & D
	1974	1919				
	1975	2198				
	1976	2313	96	69000	45	219
	1977	2522	144	64000	62	
	1978	2611	194	62000	74	
	1979	3003	235	67000	80	
	1980	3322	255	65500	85	
	1981	3433	208	65000	90	
	1982	3526	234	56637	90	223
	1983	3731	288	55365	89,3	257
	1984	4070	342			289
	1985	4317	315			299

Les tendances sont évidentes : réduction des effectifs grâce à une automatisation croissante, conversion presque complète de l'activité à l'informatique, exportation soutenue à 50% environ. Le chiffre d'affaires de 1985 se décompose, estime la revue Datamation, en 485,5 M\$ de mainframes, 400 M\$ de minis, 100 M\$ de micros, 200 M\$ de communications, 1 G\$ de périphériques, 400 M\$ de logiciel, 300 M\$ de services, et 1 G\$ de maintenance, pour la partie informatique de l'activité.

L'activité informatique traditionnelle est bénéficiaire, avec une croissance de 15% dans le domaine des terminaux. L'activité calculateur personnel, les semiconducteurs et la bureautique, cad toutes les activités nouvelles, sont déficitaires.

Dans les années suivantes, NCR analyse le marché et sous la pression de la presse informatique, se laisse convaincre que les clients de gestion ne sont plus intéressés que

par le mode transactionnel et la communication en mode client / serveur. Reconnaissant que la création de composants est un métier en soi, dans lequel elle n'est pas réellement compétitive, NCR décide brusquement en 1989 d'abandonner son architecture propriétaire et de se fournir désormais chez Intel pour produire une gamme complète, du calculateur individuel au serveur lourd, la gamme 3000. Cette « Libre Informatique » était quelque peu suicidaire, car l'essentiel des succès de NCR venait de ses machines propriétaires. En 1991 l'ATT, qui depuis des années cherche sa voie en informatique, achète pour 7,5 B\$ un NCR à bout de souffle, qui a vu disparaître nombre de ses concurrents. Mais ATT commet l'erreur de ne pas conserver la marque NCR, le secteur devenant GIS Informatique. Une information de 1995 indique que le CA de cette division stagne ou même décroît légèrement, et que le bénéfice est pratiquement nul.

439 - Les produits NCR

Le classement principal étant alphabétique, on trouvera plutôt ici un panorama chronologique, qui permettra une autre approche de la documentation.

CRC 102 A (1953), version de série du CADAC 102 de l'AFCRC, produite par CRC et soutenue

ensuite par NCR. Voir fiche.

CRC 105 (1953), DDA décimal d'origine Northrop (MADDIDA), fabriqué par CRC, diffusé et supporté ensuite par NCR. Voir fiche.

CRC 106 WHITESAC (4 / 53), machine de gestion réalisée par CRC pour le White Sands Proving

Ground, en s'inspirant du 102 A. On notera dans la référence 201 le nom erroné CRC 107, et l'existence d'une deuxième machine installée à Washington.

CRC 102 D (1954), développement de la réalisation précédente pour en faire un calculateur de gestion à part entière, doté notamment de mémoires externes. Après la 4ème vente, NCR estima plus avantageux d'oublier la référence CRC, et le commercialisa sous le nom de NCR 303.

NCR 303 (1956), nouvelle appellation marketing de la machine précédente. Peu de succès.

NCR 304 (S 11 / 59), machine complètement nouvelle à usage commercial. L'unité de manipulation est le caractère de 6 bits et non plus le chiffre décimal de 4 bits. La technologie est également bouleversée, transistors et tores remplaçant tubes et tambours. Les périphériques subissent également un changement complet, sous l'influence des succès IBM, à laquelle société NCR achète d'ailleurs les machines qu'il n'est pas raisonnable de produire elle-même (Flexowriter, perforatrice).

Tous ces changements sont trop importants pour l'atelier californien, et NCR, qui n'a pas encore pris la décision de changer de métier, confie la fabrication à General Electric.

NCR 310 (5 / 61), trieuse de chèques magnétiques à usage bancaire, commandée par un calculateur CDC

160 acheté en OEM. NCR n'est toujours pas décidée à investir dans l'ordinateur, et en attendant l'équipe ex CRC vit de petits travaux en préparant son futur produit.

NCR 390 (1961) est une machine comptable extensible, un produit périmé aux yeux des informaticiens, mais encore extrêmement demandé dans les banques : NCR se trouve vis à vis de celles-ci dans la même situation que Burroughs, et continue imperturbablement à fournir à des personnels peu désireux de se réformer le matériel exact qui convient à leurs habitudes.

Nous disposons d'un cours de programmation en français.

NCR 315 (5 / 62) : la décision tant attendue intervient en 1962, avec une machine qui nous paraît bien

lente, trois fois plus lente notamment que la 304, mais dont les périphériques font preuve de maturité. Il faut en particulier souligner la nouveauté et l'efficacité de l'unité NCR 353 CRAM, qui fournit un moyen économique de stockage illimité à accès direct, par opposition aux bandes à accès séquentiel, et bien plus économique (à l'époque) que les disques. Un CRAM contient 256 cartes magnétiques, de chacune 7 pistes de 3100 caractères, soit 1792 grandes fiches de 22000 caractères en bacs interchangeable ; l'accès, évidemment handicapé au départ par le temps d'accès à la carte, peut se faire ensuite à 100000 cps.

Nous disposons, dans la boîte d'archives 95, d'un jeu de fiches sur 25 périphériques proposés avec le 315, d'un cours de programmation (assembleur NEAT) en français avec un complément en anglais pour trois périphériques ajoutés après coup, et d'une notice décrivant un programme de tri sur CRAM.

Il y a eu également un compilateur BEST, ayant exigé 18 hommes*années pour sa réalisation, qui disposait d'opérations complexes telles que collate, rearrange, report, match merge. Il nécessitait une mémoire d'au moins 10 Kmots, et 5 bandes ou deux CRAM, et produisait du NEAT.

Le NCR 315 sera un succès, et il faut notamment souligner l'achat de 25 exemplaires par Elliott Automation, une firme anglaise qui n'eut guère de difficulté à leur trouver des clients.

Dans l'ambiance créée par les universités et l'ARPA en faveur du fonctionnement en temps partagé, NCR a cru devoir expérimenter, à usage interne au moins, ce mode d'exploitation très différent de ses préoccupations usuelles, essentiellement batch à cette époque. Nous avons un compte-rendu de cette expérience baptisée Baronet, qui était aussi le premier contact de la société avec les terminaux à écran.

Voir en 247-53/9 cette tentative qui ne semble pas avoir eu beaucoup de retombées.

NCR 315 RMC (1964) : exactement compatible avec la 315, cette nouvelle machine en diffère par la nature

de sa mémoire, à base de film mince sur tiges rectilignes bobinées qui apportent à la fois un gros bond en avant en matière de performances (cycle 800 ns au lieu de 6 μ s)

et des économies de fabrication parce que leur câblage peut être automatisé. La capacité de cette mémoire peut monter à 160 Kcar.

Voir articles sur ce dispositif dans 1959 IRE WESCON San Francisco, Part 4, pp 27 / 31 (ref 230-27), et dans Electronics 2/2/62 (rèf 223-28)

Le RMC sera un grand succès, et on peut citer à titre d'exemple la fourniture au groupe japonais Sumitomo Bank (1968), comprenant 9 NCR 315 RMC avec 45 CRAM et tous périphériques associés, y compris des MICR. L'installation fonctionne en temps réel avec plus de 1000 terminaux de guichet NCR 42, dotés de machines à écrire en caractères katakana : le système dessert 141 agences en fin 69.

NCR 395 (9 / 64) : simple perfectionnement de la 390, grâce à un petit disque magnétique et à un système

de programmation par plots enfoncés dans une plaque perforée. Voir fiche.

Imprimante thermique (1964) : étude faite pour les besoins de l'établissement de Fort Monmouth de l' Armée de terre, mais dont les conclusions font l'objet d'un rapport interne. Voir 246-261/7.

NCR 500 (1965) est au contraire l'extension ultime de la 390, dont elle garde la technologie en lui offrant

le moyen de connecter tous les périphériques usuels de la gestion de fichiers non informatique : bandes perforées, cartes perforées, ledgers (fiches renseignées avec mémoire à bande magnétique au dos), lecteur optique, regroupés autour de la machine comptable et d'une modeste mémoire à tores. La seule programmation porte sur des fusions et des changements de supports. Voir fiche.

NCR 400 (1967) reprend le thème de la 395 avec un nouveau disque un peu plus dense, et une programmation par bande perforée. Voir fiche.

NCR 446 (1967) : tout à fait en bas de gamme, c'est une simple facturière dont la logique est à base de

relais Reed. Pas de mémoire, seulement des registres. Pas de programme. Voir fiche.

NCR 653 CRAM 5 : le succès du CRAM ne se démentant pas, NCR reprend son étude en vue d'améliorer

chacune des performances. Le nouveau CRAM 5 est réorganisé pour lire la carte à travers un bloc de 36 têtes susceptible de prendre 4 positions : la fiche comporte ainsi 144 pistes, chacune longue de 1120 caractères, tandis que le bac est porté à 384 cartes. La capacité du CRAM passe à 62 MB, et jusqu'à 16 unités peuvent être reliées à un ordinateur, avec un temps d'accès de 150 ms.

Le débit de cette version n'est que de 38000 cps, mais il passera à 71250 cps dans le Mle 653.101 destiné aux Century (ci-après).

En 1970, nouveau progrès : débit de 83000 cps, fiches allongées à 2623 bytes sur des cartes dont le poids est réduit à 5 grammes, ce qui donne à une unité CRAM une capacité de 145 MB, un accès moyen réduit à 110 ms, un changement de piste en 23 ms. Ces résultats, comparables à ce qui se fait dans le même temps sur les bandes et les disques, ne correspondent encore qu'à 1750 bpi en modulation de phase.

Cette quête de la performance devait tout naturellement se terminer mal, avec l'application de ces perfectionnements aux disques sous la forme amovible des dispsacs. Moyennant quoi, ils prendront la place des CRAM avec un important avantage de temps d'accès, et les CRAM disparaîtront.

NCR 615 (1968) : NCR a pris conscience, en analysant le succès du S/360 d'IBM, de l'importance du

concept de gamme. Sans avoir d'ambition comparable, puisqu'elle se cantonne dans la gestion, NCR décide qu'il est temps d'annoncer la famille Century, qui va d'ailleurs débiter modestement, avec seulement deux machines. Au coeur de ce concept, voué à s'étendre rapidement, une micromachine prévue pour exister en trois tailles de mot, 8 / 16 / 32 bits, réalisée en film mince sur aiguilles, la technologie des 315 RMC.

Apparemment, ce n'est pas du tout ce qui s'est produit : la technologie RMC était probablement trop chère, et inutilement, car elle a cédé la place, après les deux premières Century, à des tores de cycle 650 ns, bon marché parce que d'organisation 2 ½ D. Il n'est même pas certain que les Century aient été microprogrammées, quoique la possibilité d'émulation 1401 le suggère fortement.

En tous cas, les 615 ont constamment évolué au cours de leur existence, qui s'étend jusqu'à la fin de la famille Century, avec les 350. Voir aussi la technologie en 251-215/20.

Une brochure de référence sur les Century, techniquement assez sommaire, figure dans la boîte 98.

Les forces armées ont acheté 148 Century, sous le sigle AN/MYK 7, pour la gestion de stock dans les dépôts. On ignore de quel modèle il s'agit.

Century 100 (1968) : bas de gamme centré sur une unité centrale 8 bits, avec répertoire et logiciel intégral-

lement compatible, ce qui est bien plus facile qu'à IBM puisque aucune activité scientifique n'est prévue. Voir fiche et documentation générale abondamment illustrée. On notera que l'apparition des Century coïncide avec celle d'un nouveau CRAM 5, beaucoup plus performant que l'original.

La brochure « modularité unique » ne laisse volontairement rien deviner des différences entre structures des CPU, tout étant fait pour que le lecteur ait le sentiment que la croissance sera facile.

Le Century 1 est une petite machine : il peut émuler la 1401, mais sans bénéfice de vitesse.

Prix : \$ 1600 à 6000 par mois. En achat, le prix est \$ 71500 pour un CPU avec 165 KB, un disque de 8,4 MB, un LC 300 et une IP 450.

Century 200 (1968) : de ce fait, le document souligne seulement que le C 100 n'est guère extensible par lui-même, ni en capacité de mémoire ni en diversité de périphériques, alors que le 200 accepte toutes les extensions. Il n'y a aucune indication de performance. Nous savons cependant que le C200 manipule des mots de 16 bits + 2 P, ce qui signifie qu'une

extension à partir du 100 implique échange de CPU. NCR le prévoit dans ses contrats de location. Voir fiche.

Prix : \$ 4000 à 25000 par mois selon périphériques.

QUICKDRAW (1969) est un logiciel de service permettant, à partir d'énoncés symboliques, de préparer des organigrammes et des listings de crossréférence. Destiné initialement aux Century, ce logiciel a été commercialisé et appliqué à de nombreux langages : Autocoder, BAL, PL/I, Cobol, Fortran.

Century 50 (S 12/1970) : destinée à lutter contre l'IBM S/3, cette machine est simplement un Century 100

vendu au rabais pour \$ 1075 par mois, ou \$ 32000 à l'achat pour 16 KB de mémoire ; le prix monte à \$ 47000 en y ajoutant 8,2 MB de disques, un LC 300 et une IP 125, et on peut étendre la mémoire en payant \$ 3500 par bloc de 16 KB. Les périphériques sont ceux du 100, à part les bandes qui ont disparu, et un contrôleur de communications pour lignes de 110 à 50000 bds qui a été ajouté.

Après cette annonce, il n'est plus question de vendre un C100.

Century 300 (A 2/72) : ce matériel a été annoncé avec retard pour éviter que l'annonce des 370 IBM ne

lui fasse du tort. C'est un 32 bits avec multiprogrammation, mémoire à tores poussée à 2 MB, et répertoire étendu à l'arithmétique décimale complète.

L'un des premiers clients sera Sumitomo Bank, remplaçant ses 315 par quatre 300, gérant les appels de 1500 terminaux.

Century 150 (A 5/72) est une modernisation technologique du C200 16 bits, remplaçant les films minces

800 ns par des tores à cycle 1,2 μ s sans changer le répertoire assez modeste. Les entrées/sorties plafonnent globalement à 870 KB/s pour un total de 4 canaux, 3 sélecteurs (avec choix entre trois débits instantanés) et un byte multiplex. Les disques 657 sont des analogues des 2314 IBM., mais on peut se contenter du 656 de 10 MB. Le logiciel niveau B2 n'autorise pas la multiprogrammation mais en obtient un pôle équivalent avec le package OMAR, qui condense préalablement plusieurs applications indépendantes en un seul job.

NCR 605 (1972) : à cette époque, la famille Century, annoncée en 1968 pour 5000 exemplaires, marque un

essoufflement certain, alors qu'elle est encore assez loin de compte. On ne s'en étonnera pas en voyant le répertoire des 100 et 200. NCR lance l'étude d'une nouvelle micromachine, la 605, encore conçue pour la mémoire à tores. Elle est baptisée GPMC, General Purpose Micro Computer, et malgré ce nom ce n'est pas du tout un microprocesseur : construit avec quelques MSI et beaucoup de SSI, son bus mémoire et sa structure interne sont 16 + 2P bits, et d'ailleurs toute une famille de mémoires à tores, cycle 1,2 μ s, est immédiatement créée pour s'adapter à lui : 2 (1) 8 KB, 8 (4) 32 KB, 32 (8) 64 KB, grâce à des cartes modulaires de 4, 8 et 16 Kmots.

Nous disposons de la documentation technique et fonctionnelle sur ce produit, clé de toutes les machines des dix années suivantes.. Voir boîtes 95, 96.

Cette année là, destinée aux tests, le 605 est utilisé comme moteur d'un nouveau calculateur bureautique, le 399, qui rompt définitivement avec l'électromécanique : NCR, à la différence de Burroughs, n'a pas les moyens de mener de front l'usage intensif de deux technologies. Les Century n'en profiteront que plus tard, car il reste de nombreux 615 en stock, tout à fait convenables pour les besoins de la série : il s'agit seulement de les situer correctement au plan marketing.

NCR 399 (1972) : voici donc la nouvelle conception de machine bureautique, intégralement programmable

par l'emploi d'un langage d'une simplicité appropriée, excluant désormais toutes les formules de programmation par plots, colonne par colonne, qui caractérisaient les machines comptables. La 399 utilise le nouveau 605 et dispose d'un assembleur NEAT, fonctionnant sur 399 ou sur Century.

La machine comptable subsiste, mais seulement comme imprimante, pour ses facilités de gestion de multiples imprimés en bandes, auxquelles le personnel d'exploitation est habitué.

Century 75 (1973) : produit purement marketing, ce 75 destiné à l'Europe n'est rien d'autre qu'un 150 avec

une configuration de périphériques un peu modifiée, et présenté comme le nouveau bas de gamme de la famille. Il comprend :

un sélecteur à 416 KB/s, qui peut recevoir LC 300, LR 1000, IP type 649, et jusqu'à 2 disques 656.

deux sélecteurs optionnels 166 ou 276 KB/s

un byte multiplex 166 KB/s pour 10 lignes et consoles, et notamment le pupitre, équipé d'une ME thermique 30 cps, ou tout simplement d'un TTY.

Le logiciel est au choix B1, B2 ou RIRO, avec tous les langages (NEAT, Cobol, Fortran).

Le CPU est un 615.950, que l'on peut caractériser par le temps, 28,8 μ s, d'une addition 5 + 5 chiffres décimaux. Le prix typique est \$ 56850 avec 16 KB, un disque de 10 MB, LC et IP ; les extensions de mémoire coûtent \$ 5000 par 8 KB. Ventes réalisées 50 machines.

Le 75 peut être transformé en 150 chez le client par une option d'entrées / sorties.

Century 101 (1973) : c'est le nom de la machine bas de gamme proposée aux USA, qui ne diffère de la

précédente que par un processeur 615.952, qui fait en 25,2 μ s l'addition 5 + 5 chiffres.

Prix : \$ 2005 / mois ou à l'achat \$ 69520 pour 16 KB, 8,4 MB de disques, LC 300, IP 450.

Cette machine livrée pour la première fois en 8 / 72 s'est vendue à 900 exemplaires.

Century 251 (1973) : toujours avec une mémoire à tores de 32 + 4P bits, qui montera progressivement

jusqu'à 512 KB, cette machine est une version bridée du 300, qui disposera à mi 74 des nouvelles imprimantes à chaîne 646 et 647. Elle est, tout naturellement, convertible en 300 chez le client.

System 150 (1973) : depuis dix ans au moins, NCR offre à ses clients le téléprocessing et dispose en ce

domaine d'une bonne expérience. Maintenant qu'elle est en mesure de fabriquer un processeur économique capable de ce type de travail, NCR décide de filialiser la division Communications, sous le nom de NCR Data Pathing System : elle commercialisera un ordinateur baptisé System 150, capable de relier jusqu'à 31 lignes BSC à un hôte, chaque ligne pouvant supporter jusqu'à 15 stations en polling.

La mémoire de cette machine peut croître jusqu'à 320 * 16 bits, cycle de 1 µs. Le logiciel DCOS6 traite toutes les liaisons par DMA, et sait aussi gérer des disques, avec des logiciels DAF, RDM, BDM, qui jouent un peu le rôle d'une base de données. Cette machine commercialisée \$ 2200 / mois, ou à l'achat à partir de K\$ 105, sera vendue à 200 exemplaires entre 1973 et 1979, date d'un changement de politique en ce domaine.

Century 151 (1974) : à cette date de nouveaux progrès sont nécessaires pour maintenir en vie la famille

Century, progrès qui s'expriment par l'emploi d'une mémoire 32 à 128 KB, cycle 750 ns pour 2 bytes, à base de puces MOS 1 KB ; et par un processeur 615.955 capable de l'addition 5 + 5 chiffres en 15,8 µs. Ce processeur dispose de 63 index, de registres de protection, de 37 opérations câblées, de la multiplication et de la division décimales en option. Le canal d'entrées / sorties est porté à 900 KB/s.

Cette machine est un bas de gamme, travaillant en B1 ou B2 pour s'attaquer à l'IBM S/3. 15 .

300 exemplaires seront installés en fin 78, après une première livraison en 2 / 75.

Prix typiques : en Europe : Mle 32 KB pour 412900 FF, ou 10935 F / mois avec engagement de 2 ans.

Mle 128 KB pour 797700 FF, ou 21135 F / mois avec engagement de 2 ans.

aux USA : Mle 64 KB pour \$ 119925 ou \$ 2975 / mois, plus \$ 20000 par extension de 64 KB.

Century 201 (1974) : c'est un modèle moyen qui utilise les mémoires à tores 32 bits des 251 et 300, avec

une capacité de 64 à 512 KB. Le processeur comprend 63 index, 39 opérations câblées et 28 options. Les entrées / sorties disposent de deux sélecteurs de 800 KB/s, et d'un multiplex par byte à 8 sous-canaux. Le logiciel est B3.

Prix en Europe : 722300 FF à l'achat, ou 19035 FF / mois avec engagement de 2 ans.

Century 350 (1974) : cette machine haut de gamme, 3 fois plus rapide que le 300, a été pratiquement

réalisée à la demande de Sumitomo Bank, achetant 5 CPU pour M\$ 23 pour remplacer ses 300 et passer à 3000 terminaux. Dès cette époque, il est prévu de continuer la croissance avec des Criterion.

Voir photo dans la fiche Century 300.

Century 8200 (1974) : ne cessant pas de pousser vers le haut sa gamme Century, afin d'en maintenir la compétitivité, NCR constate en 1974 que la famille n'a plus de bas de gamme. NCR décide de produire artificiellement un nouveau bas de gamme autour d'un processeur 606 ou 607, avec une compatibilité obtenue par émulation et qui n'existe, en réalité, qu'à travers l'assembleur NEAT et le compilateur Cobol.

Pour les anciens clients attachés à un gros passé logiciel, une véritable émulation Century 101, avec système B1, sera proposée. Quoiqu'il en soit des motivations, le 8200 fut un succès : 1500 exemplaires étaient installés en 1976.

Voir fiche. La documentation d'origine, très incomplète, forme la liasse RM 0182, logée dans la boîte 98. Elle comprend quelques généralités sur le 8200, suivie d'une présentation détaillée des logiciels NCR Century 101 Simulator et Remote Batch Communication, deux applications fréquentes du NCR 8200.

NCR 299 (1974) : il s'agit d'une modeste facturière, composée d'une machine comptable à boule, 88

caractères ISO, 220 cps en impression, associée à un mini MOS / LSI (un 605 ?) et à une mémoire à tores composée de 1 à 4 plaques de 4096 bits. Le temps d'accès est de 7 μ s par bit, ce qui conduit à un temps d'addition de 220 ms.

La programmation, de type calculette, utilise 12 K mots de 64 bits sur ROM pour loger l'interpréteur qui matérialise dans les tores une mémoire de travail de 10 à 50 mots, et 46 pas de programme.

Ce programme d'application est introduit en RAM (qui peut devenir NDRO) à partir de cartes préimprimées marquées au crayon et lues ligne par ligne par une optique solidaire du chariot, à travers l'introducteur de comptes. Une de ces cartes contient jusqu'à 63 lignes de programme, et la lecture / chargement dure 1,5 minute.

La machine existe en deux modèles :

Mod 100, livrable en 11 / 74, comprend contrôle de parité, multiplication / division, PR 50, interpréteur et assembleur sur ROM, pour \$ 7250 en 4K, plus 325 \$ par plaque 4K supplémentaire.

Mod 200, livrable en 3 / 75, contient 8 Kbits de base et, en plus des dispositifs précédents, un lecteur de cassettes à 750 cps, une ligne 1200 bauds, et un lecteur de ledger. Prix : \$ 9300 en 8 Kbits.

Ce matériel s'est très bien vendu : plus de 15000 en fin 78, dont 650 en France.

NCR 7530 (1975) : cette machine est un convertisseur de support, cassette ou disquette vers bande magnétique, avec contrôle sur écran / clavier et possibilité d'impression. Le travail est accompli par un microprocesseur avec 48 KB de RAM et ROM.

NCR 726 (1975) utilise un 605 comme coeur d'un concentrateur de terminaux à l'usage des grands magasins, ce qui souligne la bonne implantation de NCR dans ce domaine.

NCR 499 (2 / 76) est une simple modernisation de la 399, après 4 ans, et ce sera un grand succès de relance puisqu'au total 17500 machines comptable 399 et 499 auront été produites, au prix moyen de \$ 17900. Le 605 dispose d'une mémoire à tores de 12 à 32 Kmots de 16 + 2P, cycle 1,2 μ s inchangé, et il effectue l'addition 5 + 5 en 1,7 ms ; multiplication et division sont câblées. Le débit global d'entrées / sorties atteint 833 Kmots/s, orchestré par 8 interruptions.

Les périphériques sont variés : LR 125, PR 75, LC 300, ME 75 ou 130, IP 55 à 300, jusqu'à deux disques en cartouche de 9,8 MB, cassettes 750 cps, ledger dont la bande est accessible à 47 cpm, écran standard 24 * 80 caractères, et enfin deux lignes, jusqu'à 9600 bauds en BSC ou 1800 bauds en asynchrone.

Le langage est NEAT / AM, mais l'essentiel du travail se fait sous forme de packages comptables payables séparément, y compris la gestion de fichiers directs ou séquentiels indexés.

NCR 721 est un concentrateur de lignes programmable, basé sur un 605 assorti d'une mémoire à tores de

128 K * 16 + 2P. Il gère 2 lignes hôte BSC, et jusqu'à 253 lignes half duplex à 1800 bauds, ou 10 trunks à 56 Kbauds, ou la moitié de ces chiffres en full duplex.

Un système d'exploitation TOX concrétise l'architecture d'un réseau propriétaire baptisé DNA, acceptant de nombreux protocoles : ASCII asynchrone, BSC, HDLC, SDLC, et le DLC particulier à NCR. Seul problème : on ne voit pas bien comment ce type de matériel n'entre pas en conflit avec les System 150 de NCR Data Pathing ! Plus de 50 de ces 721 seront installés en 3 / 79, quand NCR achètera Comten.

Prix : très ouvert, 5 à 125 K\$ pour le matériel, plus \$ 32500 de logiciel de communications. En location, 1650 à 4500 \$ / mois, plus 150 \$ / mois pour le logiciel. Criterion (4 / 76) : la nouvelle famille d'ordinateurs d'entreprises fait son apparition en avril 76, mais le nom

se perdra en un peu plus d'un an, tant l'approche « gamme » apparaît dépassée dans les entreprises qui sont les clients de NCR. Elle a néanmoins eu le temps de s'installer, et nous disposons de documents originaux qui permettent de mettre un peu d'ordre dans le foisonnement des numérotages.

La famille Criterion est caractérisée par un bus fond de panier synchrone, l'ITB Internal Transfer Bus, en français Infobus, comportant 36 slots et 148 fils. Une base de temps et un gérant de bus occupent les slots A et B ; en dehors d'eux le bus peut recevoir un processeur de calcul et un processeur de service, des modules de mémoire, et des contrôleurs d'entrées / sorties, au total un maximum de 16 connexions.

La technologie est ECL, donc rapide et probablement capable de la performance maximale, CP = 56 ns. Il semble possible, bien qu'on n'en ait pas trouvé de preuve écrite, qu'il n'existe qu'une seule micromachine capable de la performance maximale 56 ns, et que les autres vitesses (84 et 112 ns) soient obtenues par simple changement de la base de temps.

Il existe trois systèmes d'exploitation, qui s'appuient chacun sur une ou plusieurs « machines » spécifiques, concrétisées par microprogrammes. Les systèmes ne peuvent

coexister que si tous les microprogrammes sont présents, et le passage de l'un à l'autre est lourd ; cette liberté est donc en réalité très restreinte. On offre à la clientèle: les machines N, appuyées sur une émulation RS1 utilisant 8K * 16 bits de CROM (10K avec la VF), et compatibles avec les Century. Le système NCS regroupe les services B1, B2, B3 des Century.

les machines V, qui permettent de travailler soit sous le système virtuel VRX (microprogramme VS1 définissant deux machines base et Cobol), soit sous le système NCS avec le microprogramme RS1. La CROM occupe alors un minimum de 24K * 16 bits, avec un plafond de 32K, et comme cela ne suffit pas une partie des microprogrammes sont lus directement en mémoire principale.

les machines I interactives utilisent le système IRX qui est un perfectionnement de IMOS, et en général ce système, plutôt bas de gamme, exclut les deux autres.

En théorie toutes les combinaisons de ces diverses techniques sont possibles, et le marketing en joue pleinement pour offrir à chaque époque la gamme de service que demande la clientèle. On est donc conduit à quitter la stricte chronologie pour examiner les classes de machines définies par les sigles, classes qui ont en général une homogénéité technique et des finalités voisines.

Famille 8500 : cette famille apparaît en 4/76 avec le modèle 8550 alors baptisé Criterion. La synthèse

indispensable a été faite dans une fiche NCR 8500 qui décrit en français, à partir de multiples documents originaux en anglais, les structures communes à une quinzaine de modèles dont l'exploitation s'est faite sur environ 6 ans. L'évolution se fait vers le haut, avec plusieurs modèles 56 ns, et plusieurs biprocesseurs pour les versions les plus rapides.

Trois documents principaux, d'origine NCR, nous ont donné accès à cette architecture:

1) RM 625, Field Service Information, décrit l'aspect technique des machines Criterion. C'est une collection de petits documents, tous étiquetés ST 9175. XX, destinés à être fréquemment corrigés par remplacement partiel ; dans son état actuel, il représente la famille Criterion à la fin de 1979.

On y trouve essentiellement :

des fiches d'une page contenant la description matérielle, illustrée par un dessin, de chacune des machines Criterion encore commercialisées à cette échéance.

quelques pages présentant factuellement l'organisation d'une armoire de calculateur Criterion.

la description détaillée des procédures de transfert sur l' Infobus

15 pages décrivant le répertoire du processeur de service, caractéristique des 8500.

37 pages décrivant le répertoire du processeur principal, indépendamment de sa fréquence de travail. Il s'agit donc de la micromachine essentielle, coeur du système.

65 pages décrivant les microprogrammes VS1

62 pages détaillant les microprogrammes RS1

66 pages de listes complémentaires décrivant les services accessibles depuis la console de commande .

Ce document se trouve dans la boîte 95.

2) RM 142, Product Information, décrit l'aspect opérationnel des machines Criterion. Contemporain du précédent et construit de la même manière, il comprend de petits documents étiquetés ST 9124. XX :

courtes fiches décrivant en 4/76 les 8550 et 8570.

description, indépendante du matériel, du processeur principal et des mémoires communs aux diverses machines Criterion, telles que les perçoit un programmeur.

description conceptuelle des divers types d'entrées/sorties utilisées dans la famille Criterion de 1976 à fin 79, à savoir canaux parallèles (trunks), canaux série, et contrôleurs intégrés. De nombreuses tables précisent les configurations permises pour chacune des machines de la famille, et les quantités de chaque type de périphérique qui peuvent s'y connecter.

64 pages décrivant le répertoire de la machine de base commune à tous les Criterion : c'est, à peu de chose près, une machine Century, et la compatibilité est assurée.

61 pages décrivant le répertoire de la machine VRX à mémoire virtuelle, qui gère le système d'exploitation et qui dispose d'un assembleur NEAT/VS.

41 pages décrivant la machine COBOL interprétée, cible du compilateur Cobol du système V.

Ce document se trouve dans la boîte 96, avec un document commercial sur VRX. On dispose en outre, dans la boîte 103, des documents complets sur le logiciel, comme suit: Manuel RM 232 décrivant le système d'exploitation VRX, mis à jour en version 6 (2/80).

Manuel RM 233 décrivant le Macroassembleur NEAT/VS, mis à jour en 1980.

3) RM 143 est le Peripheral Product Information, qui devrait rassembler tous les documents décrivant les aspects fonctionnels des périphériques Criterion. Nous ne disposons que d'une infime partie de cet ensemble, consacrée au NCR 6539 IOLA, Input/Output Link Adapter, dans une seule de ses applications, l'interface de disques. C'est en réalité un document austère et incomplet, dans la boîte 96.

4) le reste de la boîte 96 est consacré, de façon beaucoup plus agréable parce qu'il s'agit de documents commerciaux illustrés, à l'ensemble des périphériques susceptibles d'être utilisés avec les Criterion. Ces fiches parlent d'elles-mêmes et ne seront pas commentées en dehors de leur insertion dans la base de données.

Par rapport au concept Criterion le plus général, les 8500 se caractérisent par un ITB et un processeur principal de même vitesse, ce qui n'est pas obligatoire techniquement. Ils comprennent un processeur de service pour l'initialisation et la surveillance.

8550 (4/76) : 112 ns, mémoire à base de MOS 4Kbits, I/O 3,2 MB/s en 2 à 4 canaux libres plus un contrôleur intégré pour jusqu'à 8 disques et un multiplex intégré pour 20 lignes. Prix \$ 2900 / mois pour N, \$ 4900 / mois pour V.

8570 (4/76) : 56 ns, virgule flottante, même mémoire 256 (128, 256) 2048 KB, I/O 4,5 MB/s en 3 à 6 canaux libres, un contrôleur intégré jusqu'à 24 disques, le même multiplex, et toutes extensions possibles.

Prix \$ 6900 / mois pour N et \$ 7900 / mois pour V.

8560 (4 / 77) : 84 ns, virgule flottante, même mémoire 192 (64, 128, 256) 1536 KB, I/O 3,3 MB/s en 3 à 5 canaux libres, un contrôleur intégré jusqu'à 16 disques, reste idem. Prix : \$ 5030 / mois ou \$ 195200 achat pour une machine N avec 192 KB, \$ 6330 / mois ou \$ 237050 achat pour une machine V avec le minimum de 384 KB.

8580 (11 / 77) : 56 ns avec virgule flottante et anticipation, CROM de 32 K*16, mémoire MOS 1024 (1024) 4096 KB à base de puces 16K bits, I/O 6,5 MB/s en 3 à 8 canaux libres et les canaux intégrés du 8570. Existe uniquement en version V, \$ 12850 / mois ou \$ 517600 à l'achat.

8590 (11 / 77) est la version biprocesseur du précédent, tout est doublé à part la capacité maximale de mémoire, qui plafonne à 6 MB. Le firmware est VS2 (64K * 16) qui prend en compte le multiprocessing, avec accès de chacun des CPU à toute la mémoire grâce à un pont entre les Infobus. De nouveaux périphériques sont proposés, disques 6540 et bandes 6370, pour lesquels on dispose de 12000 KB/s en 0 à 7 canaux parallèles standard, jusqu'à 6 IOLC (série 2 MB/s) comportant chacun jusqu'à 4 IOLA, deux contrôleurs pour 24 disques chacun, et un contrôleur de communications externe pour un maximum de 256 lignes. Le prix d'achat de base de \$ 720000 est très avantageux, location pour \$ 20900 / mois.

Série m de 8555 à 8585mp en 1979, voir fiche page 5.

Série II de 8535 à 8595 en 1982, voir fiche page 5.

NCR 6080 (3 / 77) : NCR a réalisé plusieurs machines avec le 605 ou ses dérivés immédiats 606 ou 607, mais en 1977 il devient urgent d'adopter les mémoires MOS, plus économiques en production de masse et plus aisément extensible. Le processeur proprement dit étant conservé, la nouveauté du dispositif est que la mémoire MOS exige une autocorrection dont le prix au bit diminue rapidement avec les mots longs. Le choix de NCR est de réaliser une mémoire à mots de 32 bits + 7 ECC, dont l'interface avec un CPU 16 + 2P est évidemment nouveau : la machine est compatible avec une mémoire 8 (8) 64K mots, cycle de 750 ns.

Le nouveau processeur, baptisé 6080, équipera d'abord les nouveaux modèles de la famille 8200.

NCR 8250 (3 / 77) : après deux années, le temps de mettre au point le processeur 6080, la famille 8200

change d'apparence et prend place dans un rack dont le 6080 occupe la partie supérieure. Une disquette logée dans la même armoire permet aux usagers de configurer le système en chargeant les microprogrammes.

La machine est d'abord présentée comme universelle, sans lui associer une lettre. Comme pour la 8200 avec laquelle elle est compatible, ses logiciels de base sont le NCR Century 101 Simulator et le Remote Batch Communication system. Cependant, la véritable finalité de cette machine est maintenant le mode transactionnel avec nombreux terminaux, et la version I 8250 voit le jour avec le système d'exploitation IMOS ou sa version IMOS III à 14 terminaux.

La documentation est, pour l'essentiel, constituée par la fiche NCR 8200 et le document RM 182, boîte 98.

Famille NCR 8400 (4 / 77) : peu après l'annonce des 8500, il apparut que, dans la mesure où ces machines succédaient aux Century, le bas de gamme 8550 était un peu trop puissant et donc cher pour les PME. On imagina donc de construire, sur la technologie Criterion à 112 ns, une architecture plus économique basée sur les idées suivantes : associer un processeur 112 ns avec un Infobus 56 ns, ce qui laisserait un maximum de performances aux périphériques autorisés. supprimer le processeur de service et en confier les tâches au processeur principal, à travers des versions révisées des microprogrammes, baptisées RS3 et VS3. prévoir une microgrammation IS3 émulant IMOS III pour supporter le système interactif IRX, qui devait permettre de recueillir les anciens clients des 8200 désireux de croître. Techniquement, tout cela était faisable, et la première concrétisation 8450 en était capable, proposée en trois versions N, I et V. Cependant, elle était trop chère pour les petites entreprises. Dès la fin de 1977, c'était évident et le marketing choisit de séparer les fonctions en proposant deux variantes de la même machine : d'une part, une V8455 fonctionnant sous VRX, avec NCS en prime ; d'autre part, une I 8430, avec un minimum de périphériques et le seul système IRX. Cette dernière fut elle-même remplacée dès 1978 par la I 8410, toujours le même CPU mais avec une mémoire en MOS 16K bits. Finalement, en 1979, il apparut que la N8450 était périmée, que la V 8455 était trop faible par rapport à la compétition, et que les services I pouvaient être fournis plus économiquement. La V8455 fut donc remplacée par la V8555m, et les nouvelles familles 8100 et 8300 apparurent pour offrir en bas de gamme des solutions interactives plus économiques .

Le dossier NCR de ce matériel est le RM 241, d'ailleurs incomplet : après quelques généralités sur l'organisation du système, on y trouve une fiche de 4 pages sur le I 8410, 95 pages consacrées à NCS, le logiciel de compatibilité avec Century, 10 pages sur le système interactif IRX, 8 pages d'introduction sur VRX qui est apparemment considéré comme suffisamment décrit ailleurs, et 25 pages sur le pupitre, ses périphériques et ses procédures.

I 8230 (6 / 77) : il s'agit d'une configuration marketing de gestion transactionnelle, construite autour du processeur 16 bits NCR 6080. Matériel et logiciel sont les mêmes que pour le 8250, la seule différence résidant dans le nombre de terminaux acceptables, ici limité à 5. Le système est IMOS.

T 8255 (1977) : c'est encore la même machine, dans sa version la plus lourde, mais cette fois le matériel est spécialisé dans sa finalité, qui est de gérer un nombre important de terminaux POS (Point of sale) reliés à travers des concentrateurs depuis un ou plusieurs magasins multicaisse.

On trouvera dans le document RM 182, boîte 98, 16 pages consacrées à cette machine, certainement réalisée sur une commande particulière de grand magasin.

I 8130 (1977) : fin 1977, et bien que le I 8230 se vende correctement, il est clair qu'il est trop cher pour une partie de la clientèle. La nouvelle idée est donc de constituer les processeurs, qu'il s'agisse du calcul ou des contrôleurs, avec des microprocesseurs 8080 très bon marché, et d'offrir un service conversationnel qui s'apparente clairement à ce que sera, cinq ans plus tard, le calculateur personnel. Cependant, ici, le nombre de terminaux est extensible, et la compatibilité vers le haut est assurée si ce nombre excède les possibilités du bas de gamme. Le logiciel, exclusivement conversationnel, se compose de IMOS et d'un Cobol interactif.

I 8150 (1977) : le même extensible à 4 postes et quelques disques.

I 8350 (1977) : la disparition de la série 8200 n'est pas totale, mais le marketing estime sans doute qu'il faut donner l'impression d'un gros changement pour justifier une notable variation de prix. Cette machine qui doit allier les possibilités interactives d'un I et les possibilités batch d'un N est très probablement construite avec les mêmes ingrédients que le 8250, pour \$ 2210 / mois. La mémoire est plafonnée à 128 KB, ce qui reste compatible avec le calculateur 6080, et on offre en même temps cassette et disque en cartouche de 9,8 MB. La cible est constituée par les bas de gamme des concurrents, IBM S/3, Burroughs B1712, Univac 90/25.

NCR 6081 (1978) : c'est exactement la même machine que le 6080, mais avec une carte UDAT qui permet l'extension de la mémoire au delà de 64K mots. La nouvelle machine, utilisable pour allonger la mémoire de tous les dispositifs utilisant actuellement la 6080, accepte 8 (8) 256 K mots de mémoire, entre temps réalisée avec des puces 16K bits. Cette mémoire, ainsi réduite à deux cartes, est divisée en 1024 pages de 256 mots selon l'un de trois modes : un adressage direct plafonné, et deux adressages indirects à travers des mémoires topographiques A et B de chacune 256 * 12 bits. 11 de ces bits viennent des bits 9 à 19 de l'adresse brute, et le bit de fort poids permet une protection de mémoire. Un registre programmable MMR à 3 bits permet d'employer des modes différents pour le CPU et pour les I/O : les combinaisons 00, 0A, 0B, A0, B0, AA, BB et AB ont un sens.

System 15 (1978) : après des années de succès avec son produit System 150, la filiale NCR Data Pathing System commercialise une nouvelle machine qui offre à peu près les mêmes services et vise la même clientèle, mais avec un prix bien diminué : le calculateur, très probablement un 6081, supporte une ligne synchrone BSC vers l'hôte et 23 lignes BSC de collecte, avec jusqu'à 10 poste en polling sur chacune. La capacité de mémoire est extensible à 256 K * 16 bits, cycle de 1 µs. Prix de base : \$ 28000 ou \$ 1300 / mois. Malgré ce tarif avantageux, il est improbable que cette machine ait eu une longue carrière, car c'est cette même année que NCR règle ses problèmes de communication en achetant Comten.

I 8410 (1978) : cette machine d'architecture Criterion 112 ns accepte 256 à 1024 KB, jusqu'à 900 MB de disques, et 21 consoles. Elle fonctionne sous IRX et exige 80 KB de mémoire de contrôle. Il peut être intéressant de noter les caractéristiques de remplissage de l'Infobus, telles qu'elles existent pour cette machine et donc, certainement, pour tous ses contemporains : 1 slot par carte mémoire de 256 KB, 2 slots pour un canal parallèle, 2 slots pour un IOLC, 4 slots pour un IDC (contrôleur intégré de disques), 1 slot pour le CLC et 1 par MLA pour les communications intégrées.
Prix typique : 694 KFF ou 15817 FF / mois (contrat de 5 ans) pour 256 KB de mémoire, 135 MB de disques, une IP 300 et 6 écrans, plus CPU et logiciel.

I 8270 (S 10 / 79) : cette machine est un haut de gamme de la série 8200 et dispose à cette date du processeur 6081 avec UDAT qui permet de porter la mémoire à 256 Kmots ou 512 KB, avec un cycle de mémoire de 800 ns / 16 bits. Elle peut recevoir de 54 à 324 MB de disques fixes ou amovibles, de 3 à 24 terminaux, une IP 125 à 900, cassette, floppy, bande magnétique. Logiciel IMOS avec Cobol 74.
Prix typique : \$ 62305 ou \$ 1633 / mois pour 128 KB, 54 MB de disques, 3 écrans, IP 125.

Cette machine et la précédente sont tout à fait comparables, mais représentent l'aboutissement de deux solutions techniques différentes pour le CPU. On sait que NCR, effectuant cette comparaison dans le cadre de son marketing, condamnera la famille 8400.

V 8455 (1979) : on rappelle seulement la chronologie décrite plus haut. 1979 est l'année du renouvellement pour tous les 8500 dont la mémoire passe en 64 KB. C'est aussi le cas de la dernière des 8400, dont le CPU 112 ns dispose de 96 KB de contrôle, et de 512 à 1024 KB de mémoire. L'infobus est plafonné à 112 ns, soit 36 MB/s, ce qui est une option différente des 8400 antérieurs, tous disparus : ce bus donne accès à un maximum de 4 canaux, soit parallèles au choix 50 (multiplex) ou 1200 KB/s, soit IOLC série 2 MB/s capables de 4 IOLA. Plus de canaux intégrés.

NCR 8600 (A 12 / 78) : avec cette famille, il s'agit de prolonger la série Criterion vers le haut, sans cependant essayer de sortir de la gestion, seule préoccupation des clients de NCR. Les nouvelles machines disposent d'un nouveau processeur 28 ns, à technologie ECL 100K ; d'une mémoire construite avec des puces 64K bits et organisée en modules de 2 MB, cycle effectif 380 ns (y compris ECC), entrelacés : d'un cache découpé en blocs de 16 bytes.....
autour d'un Infobus maintenu à 56 ns par transfert et de l'architecture virtuelle 24 bits des Criterion. Le système d'exploitation unique est VRX, amélioré avec trois machines virtuelles (système et assembleur, Cobol, Fortran) et un nombre quelconque de tâches disposant chacune de 16 MB, dont 8 partagées pour le système.
Les processeurs peuvent communiquer et partager leurs périphériques à travers leurs IOLC, qui jouent localement, et en plus modeste, le rôle qu'IBM donnera plus tard aux canons ESCON.

Nous ne disposons d'aucune documentation sur le processeur, mais les périphériques des Criterion sont communs aux 8400, 8500, et 8600, et nous les traiterons en bloc.

V 8650 (S 3 / 80) : première livraison de la nouvelle famille, cette configuration monoprocesseur dispose de 4 à 8 MB de mémoire, d'un cache 32 KB, de deux processeurs de service se contrôlant mutuellement, et d'un grand nombre de canaux série ou parallèles (jusqu'à 128). Les IOLA multicanaux permettent, à travers des logiciels payants, d'organiser des partages d'information entre plusieurs V 8650, jusqu'à un maximum de 8.

L'annonce est assortie de celle d'un nouveau disque, le 6570, capacité 1 GB en deux axes, débit 1,2 MB/s.

NCR 6082 (1980) : nouveau GPMC construit autour du microprocesseur en tranches AMD 2901, c'est un 16 bits compatible par microprogrammation avec les 6080, et capable d'extensions de mémoire au delà de 128 KB grâce au UDAT préexistant. Voir fiche et documentation dans la boîte 97.

Ce mini qui tient dans 6 unités d'un rack standard sera le composant de base des nouveaux I 9200, à annoncer l'année suivante, et de quelques autres produits. La famille 9200, selon une unique source qui n'est confirmée par aucune documentation NCR, aurait compris les 9220 / 30 / 50 / 55 / 58 / 70 : on ne voit pas de créneau temporel où une telle famille aurait pu trouver place, car les 9300 et la nouvelle technologie à base de microprocesseurs apparaissent dès 1983. Il se peut que le télescopage des technologies ait obligé NCR à abandonner la série 9200 avant même de l'avoir commercialisée ; après tout, ce malheur est arrivé à presque toutes les compagnies d'informatique, à un moment ou un autre de leur histoire.

I 8140 (1980) : conçu comme les deux précédents 81XX autour de microprocesseurs 8080, cette machine est physiquement beaucoup plus petite et disparaît au milieu de ses périphériques : boîtier pour deux lecteurs de floppies 1 MB, machine à écrire à matrice 70 cps. Elle est fournie avec divers logiciels, interpréteur Basic, compilateur COBOL, et émulateur 299 pour les manipulations de fichiers.

V 8670 (S 10 / 80) : version biprocesseur du nouveau modèle 8600, présentée par NCR comme 15% plus puissant qu'un IBM 3033. Selon la pratique NCR, il y a bien deux processeurs simultanés dans deux armoires reliées par un pont Infobus, mais les deux mémoires sont perçues par eux comme n'en faisant qu'une, qui peut monter à 16 MB. Les canaux ne sont pas doublés, étant partageables comme la mémoire, et leur nombre reste plafonné à 128.

Le logiciel VRX semble s'être étoffé d'un moniteur transactionnel TRANPRO, et d'une BD TOTAL.

I 9000 (1981) : c'est apparemment le marketing qui décide, cette année-là, de présenter aux PME une famille de machines transactionnelles, unifiée sous IRX et Cobol, fabriquée dans l'urgence avec des matériels existants, mais présentées sous une nouvelle enveloppe. Techniquement, il n'y a rien de nouveau là-dedans :

I 9010 est construite autour d'un micro 8 bits et fonctionne sous CP/M. La seule compatibilité avec la suite est le langage Cobol .

I 9020 est une rapide modernisation du concept 8200, centré sur un calculateur 6083 qui n'est pas une amélioration du 6082, mais une adaptation au nouveau besoin du 6081 bien rodé. Il fonctionne sous IMOS.

I 9040 est simplement une remise en boîte d'un I 8400, processeur à 112 ns. Il fonctionne sous IRX, dont on sait qu'il émule IMOS. Il peut supporter jusqu'à 48 terminaux.

I 9050 est une remise en boîte d'un I 8500, processeur à 84 ou même 56 ns, mais fonctionnant aussi sous IRX avec un maximum de 256 postes de travail.

Il a fallu une grande urgence marketing pour que soit prise la décision de composer une famille aussi disparate ; il est remarquable au plan technique que cela ait été possible pratiquement sans frais, grâce au soin apporté, les années précédente, aux interfaces matérielles et logicielles.

NCR 32 (1982) : peut-être l'une des raisons du recours à cette solution transitoire réside-t-elle dans l'étude

en cours du microprocesseur NCR 32, un chipset permettant de construire en 4 puces un équivalent du 6080. Dans la mesure où ce chipset trouve une application rentable dans la nouvelle famille dont la nécessité était claire, ce choix était raisonnable ; NCR a fait preuve d'un peu de présomption en essayant de le mettre sur le marché, et cette tentative fut un échec complet, mais sans conséquence pour la maison.

Le chipset nous est connu par une fiche de synthèse et par les multiples illustrations de la brochure I 9300, à trouver dans la boîte 96.

NCR 9300 (S 6 / 83) est la première machine construite à San Diego autour du chipset NCR 32. Sa taille

physique est comparable à celle du 6082, mais sa puissance est celle du 9040, soit à peu près 1 Mips car les photographies contenues dans la brochure montrent que la carte mère contient les 4 puces de base. Prix typique : 22295 \$ pour unité centrale avec 1 MB et 7 lignes ,

19800 \$ pour un disque de 81 MB ,

9100 \$ pour une imprimante 360 lpm ,

3440 \$ pour les logiciels ITX et Cobol, appuyés sur deux machines microprogrammées ,

5100 \$ pour six terminaux.

Le système est donc un I 9300 et peut supporter jusqu'à 42 lignes, synchrones ou asynchrones.

La même architecture sera proposée en 1986 sous une forme révisée, où le processeur en 4 puces est accéléré par une géométrie 2 μ , et où l'armoire contient en outre un streamer et deux Winchester cumulant 72 MB. Des adaptateurs sont prévus pour des périphériques

selon les normes Multibus I et SCSI, permettant une expansion jusqu'à 19 GB de disques et 210 lignes.

NCR 6500 / 1 (1983) : la réussite de la conception d'un chipset LSI par la division NCR Electronic conduit

naturellement celle-ci à essayer de démontrer sa compétence en développant d'autres puces. Dans cette veine, le 6500 / 1 de 1983 est un contrôleur construit sous une licence assez libre, avec les caractéristiques suivantes

base de temps externe 6 MHz, diminuée dans la puce à 2 MHz comme fréquence de travail, et 200 KHz pour certaines tâches de service.

processus NMOS à grille silicium à déplétion, alimenté en + 5 Volt. Il existe un mode veille économique en énergie.

CPU exécutant le répertoire complet avec deux registres pour pré et postindexation, push / pop du stack pointer dans les mouvements de pile pour interruptions, 13 modes d'adressage, pipeline pour arithmétique décimale et binaire.

ROM de 2048 * 8 bits mask programmable à la commande, et 64 bytes de RAM statique dans les adresses hex 800 à FFF.

compteur TTL bidirectionnel organisé en 16 bits formant décrémenteur et 16 bits de latch, chacun divisé en deux parts de 8 bits. 4 modes sont disponibles pour ce périphérique : interval timer, pulse generator, event counter, pulse width measure.

4 ports I/O de 8 bits, chacun avec registre associé adressable en page 0. Deux des 32 lignes I/O ainsi définies sont équipées d'un circuit edge sensitive.

6 interruptions dont quatre externes associées aux quatre ports, une interruption non masquable, et un débordement de compteur.

Nous n'avons aucune indication sur les applications de ce contrôleur. A moins que NCR n'en ait eu besoin pour son propre usage, la vente de contrôleurs est un métier très différent de la vente de calculateurs de gestion, et NCR n'était pas équipé pour y réussir.

Tower 1632 (1983) : le succès du 68000 de Motorola révélait une clientèle jusque là complètement ignorée

chez NCR, et qu'il paraissait possible d'attirer avec le personnel commercial existant. Ce premier Tower est vendu en OEM comme processeur multiconsole à usage de gestion, dans une boîte verticale de 737 mm de haut et 152 mm d'épaisseur, contenant :

un 68000 à 10 MHz avec 256 KB à 2 MB de mémoire

des contrôleurs pour un floppy de 1 MB et un Winchester 5,25 », 10 / 46 / 80 MB.

Extension possible à 230 MB, probablement extérieurs.

huit ports série RS 232 C pour terminaux non fournis.

Ce matériel était vendu \$ 11495 en 512 KB, auxquels il fallait ajouter \$ 1500 pour un Unix 7 + BSD.

Pour sa part, NCR vendait directement un I Tower comprenant 2 MB de mémoire ECC, avec une interface Multibus capable de 260 MB de disques et 16 usagers, et fonctionnant sous un logiciel RM / COS avec un compilateur RM / Cobol.

Prix typique : \$ 28900 pour 512 KB de mémoire, un floppy, un Winchester 46 MB, une cartouche 20 MB de sauvegarde, une ME 125, un écran, 8 interfaces série RS 232C et un émulateur 2780.

Ce produit sera une réussite, et nous en retrouverons les descendants un an plus tard : 20000 exemplaires des Tower 1632, I, XP et Mini seront vendus en deux ans.

V 8635 (1983) : la famille 8600 prend progressivement la relève des 8500 : on a vu que les processeurs à

112, 84 et 56 ns se recyclent dans la famille I 9000. Pour ne pas perdre de client en milieu de gamme, NCR introduit, probablement par simple bridage, un processeur 8635 monadique à 38 ns concurrent de l' IBM 4341 Mod 11, et un 8645 biprocesseur. La famille antérieure 8650 / 70 se dilue sans modification technique en 5 processeurs 8655 / 65 / 75 / 85 / 95 qui diffèrent par les capacités et peut-être les caches, le plus puissant étant comparable à l' IBM 3083J. La mémoire peut monter à 16 MB et son prix s'établit vers K\$ 10 par MB, le répertoire VRX / E s'étend à 255 opérations.

Les nouveautés sont dans les entrées / sorties, avec le Dynamic Channel Director et les Dynamic Channel Exchange. Le logiciel supporte toutes combinaisons de couplages serrés ou lâche (clustering), et comprend en standard NEAT / VS, Cobol, Fortran et Basic.

Les prix varient de \$ 495000 pour un 8635 à 3 M\$ pour un 8695, plus les entrées / sorties.

Worksaver 300 (1983) est le produit standard de Convergent Technology, dont on pourra trouver une

description sous la rubrique Burroughs B25. Le succès de ces petits systèmes, qu' ils soient vendus par NCR, Burroughs ou Thomson en France montre que les fabricants étaient uniformément passés à côté d'un souhait du public né probablement des premiers PC. Tous s'efforceront, en deux années environ, de ramener leurs clients aux matériels maison, en ajoutant tous les services personnels aux logiciels généraux des machines d'entreprises.

Chez NCR, les Worksavers extrêmement modulaires et montés en réseau peuvent offrir tous les langages de base (Basic, Cobol, Pascal, Fortran), et les services Wordready 1 (traitement de texte), Wordready 2 qui y ajoute un générateur de rapports, Multiplan avec des extensions graphiques, et Multiliste qui élargit la structure de fichiers. Tous les types de liaison sont proposés, y compris l'insertion dans SNA.

Decision V (1984) : pour NCR, c'est l'année de l'entrée dans le monde du calculateur personnel. Comme

IBM, NCR n'imagine pas au départ de (et ne souhaitera jamais) proposer un calculateur familial, mais ne sait pas encore quel genre d'intérêt l'entreprise va éprouver pour cette machine. Le premier PC de NCR, bâti autour du microprocesseur 8088, n'est qu'approximativement compatible et peut choisir parmi de nombreux systèmes d'exploitation, dont CP / M pour la compatibilité avec les 8 bits, divers Unix pour les universitaires, et bien sûr MS / DOS.

Outre ces logiciels généraux, NCR propose des usages industriels, avec des matériels (UDI 100) et des sous-systèmes de saisie (DPS 5 = 32 terminaux d'atelier NCR 2841 / 2). Le DPS 21 est le même matériel, mais adapté plutôt à la série I 9000 sous IMOS 5, qui peut continuer à faire de la gestion tout en dirigeant jusqu'à 60 postes de saisie.

I 9030 (1984) : la décision d'ajouter à la famille I 9000, vieille de trois ans, un nouveau processeur 16 bits, est probablement un écran de fumée devant l'annonce imminente de la nouvelle famille I 9X00. Pour rester plausible, la machine offre tout de même des nouveautés : une bande 6325 à 800 bpi pour les sauvegardes, un disque 6540 de 135 MB, avec un logiciel qui lui crée un cache de taille ajustable, simplement prélevé sur la mémoire centrale, plafonnée à 1 MB. Le logiciel IMOS 5 est une amélioration de IMOS III, autorisant 5 tâches simultanées et disposant d'un algorithme de tri plus efficace. Prix en France : 200 KFFHT pour 256 KB de mémoire et 27 MB de disque.

I 9100 (1984) : très probablement, il s'agit de la même machine que ci-dessus, avec un nom différent qui en fait le bas de gamme de la famille naissant avec le 9300. La cible est le S / 36 compact d' IBM. Le boîtier vertical, 25 cm large * 78 cm haut * 68 cm prof contient un CPU 16 bits sur une carte, 1 MB de mémoire en puces de 64 Kbits, un disque Winchester de 40 MB, un floppy de 650 KB et un streamer de 20 MB. Le logiciel est IMOS V, ce qui suffit à séparer ce 9100 de la famille 9300. On peut lui subordonner le logiciel de saisie DPS 21, mentionné un peu plus haut sous la rubrique Décision V.

Tower XP (1984) vient relayer le succès du Tower 1632 en renouvelant le microprocesseur, qui devient un 68010 : la mémoire de 1 à 8 MB avec ECC est désormais accélérée par un cache de 2 KB, et devient virtuelle avec une mémoire topographique de 4 KB en SRAM. Les disques peuvent atteindre 260 MB dont deux floppies, Ethernet apparaît en option, jusqu'à 16 terminaux sont possibles. Le boîtier contient 7 slots pour les extensions. Prix à partir de 208000 FF.

Minitower (1984) est la même machine, avec des limitations délibérées qui abaissent le prix : pas de cache, mémoire de 0,5 à 2 MB en puces de 256K bits, temps d'accès 150 ns ; disque 46 MB, seulement trois slots Multibus I et 8 terminaux. Une ROM de 64 KB contient des diagnostics en cas de panne.

Le système supporte tous protocoles de lignes, de TTY à Ethernet en passant par BSC, X25 et SNA, ainsi qu'un logiciel DRS de base de données distribuée.

NCR 9400 (1985) : cette machine reprend toutes les particularités du 9300 en lui ajoutant une puce VAC

de calcul arithmétique qui se comporte comme un coprocesseur : la conversion d'un 9300 en 9400, qui donne un facteur 1,7 en puissance, coûte 200 KF. Le logiciel est ITX, qui reprend exactement la logique de IRX mais en l'adaptant aux puces NCR 32, de sorte que l'exploitation est inchangée.

375 machines seront vendues dès cette première année.

NCR 9500 (1985) : version biprocesseur du précédent, cette machine accepte jusqu'à 16 MB de mémoire en puces 256K bits, un streamer 45 MB, une IP 600, jusqu'à 19 GB de disques et 420 lignes. La machine de base comprend 2 MB de mémoire, le streamer, 405 MB de disques et 24 terminaux.

GAPP (1985) est un Geometric Arithmetic Parallel Processor, étudié en participation par NCR Electronic et Martin Marietta, très probablement sur un contrat DARPA. La puce contient 72 processeurs de 1 bit, chacun avec 4 registres et 128 bits de RAM, disposés en matrice 6 * 12, chacun connecté à ses 4 voisins. L'horloge interne fonctionne à 10 MHz. Le tout est présenté en boîtier céramique 84 broches, dont un bus de données de 22 bits et 13 bits de commande par la machine hôte. Le prix du circuit est 6780 FF, plus 5890 FF pour une carte de développement. On ignore l'usage fait par Martin Marietta de ce produit.

Tower 32 (1985) poursuit le succès du Tower avec un 68020, 1 à 16 MB de mémoire, 44 à 4600 MB de disques, et 32 terminaux. La machine de base comporte un floppy de 1 MB, un streamer 45 MB en option, un port série et 4 ports parallèles. Le logiciel est Unix V5R2. Prix typique pour 1 MB de mémoire, un disque de 45 MB, le streamer, une batterie de sauvegarde des mémoires, et les logiciels Unix et Business Basic : \$ 21900.

PC 4i (1985) : le public ayant boudé la version standard de Décision V, NCR décide de produire une machine exactement compatible qui sera baptisée PC : Dans un boîtier de Décision V, produit à Augsburg par la même usine que ce dernier, il offre un Intel 8088 avec 256 KB de mémoire, un contrôleur graphique avec 32 KB de mémoire vidéo et un écran 600 * 400 mono ou couleur, 2 floppies (ou un floppy et un Winchester de 10 MB), des interfaces parallèles et série, le logiciel MS-DOS avec GW Basic et un logiciel autoéducatif. Toutes les applications nées du PC sont ainsi accessibles. En option, un disque 64 MB et un streamer 45 MB. Le prix varie de 24600 FFHT à 45200 FFHT, ce qui est un peu trop pour le client moyen : le succès restera médiocre.

PC 6i (1985) : ce PC est cette fois non seulement compatible, mais encore physiquement très proche des PC contemporains, puisque l'analyse par NCR des réactions de ses clients a montré que le PC 4i ne l'était pas assez pour inspirer confiance. On peut noter : deux choix de base de temps, 4,77 MHz pour la stricte compatibilité, et 8 MHz pour la performance. mémoire 256 à 640 KB ; la limite fixée par l'architecture 8086 bloque encore l'expansion. 4 baies intégrées reçoivent en standard un floppy 360 KB, un disque dur 20 MB, et un streamer 10 MB. La baie libre peut recevoir un second disque, 10 / 20 / 30 / 40 MB. Un streamer de 45 MB est optionnel en externe. la carte mère contient 8 slots d'expansion.

écran 14 » couleur ou 15 » mono, 640 * 400 pixels,
système d'exploitation MS/DOS 2.11, avec GW Basic et NCR Autoformation. Toutes
les applications des PC IBM sont utilisables.

PC 8 (9/85) : c'est le premier PC à microprocesseur 286 chez NCR, avec mémoire
256 à 4096 KB, cinq
baies pour deux floppies 360 KB et 1,2 MB, disque 20 MB et streamer 60 MB, option
287, écran comme pour le PC6, connecteurs série et parallèle.

Logiciels MS/DOS 3.10 et Xenix 3.1 au choix, GW Basic, NCR Autoformation, et
toutes applications possibles mais non incluses dans la fourniture.

NCR 7300 (1986) est un processeur graphique réalisé en CMOS 2 μ sur deux circuits
intégrés : le 7300 est le contrôleur graphique lui-même, le 7301 est une interface
mémoire de 64 K*8 bits réalisée en deux puces simultanées de 64K*4 bits. Il est prévu
qu'à la sortie effective en 1987, on sera parvenu à fusionner les deux puces en une
seule.

La mémoire vidéo prévue pour ce dispositif est 1024 * 1024 pixels de 8 bits, avec une
vidéo à 30 MHz. L'interface avec le CPU est constituée par deux FIFO de 16 * 16 bits,
un registre d'état et un registre de commande, ces deux derniers adressables par deux
adresses de l'espace I/O .NCR 9800 (1986) : est l'aboutissement de l'effort entrepris
avec le NCR 32, c'est un multiprocesseur
parallèle qui peut comprendre jusqu'à huit de ces chipsets pour le calcul, et plusieurs
autres pour le système, les disques et les autres périphériques. Voir fiche.

Ce système, qu'il est prévu de faire grossir au fur et à mesure des progrès de la
technologie VLSI, rend caducs tous les 8600 antérieurs.

Tower 32/800 (1987) est une version parmi d'autres 32/XXX destinée à élargir les
possibilités de cette famille réussie. Les processeurs coopérants se multiplient autour de la
mémoire :

les AP, processeurs d'application, sont des 68020 à 16,67 MHz, et on passera à 25 MHz
en 1988 dans la version 32/850.

les FP à base de 68020 gèrent les fichiers et leurs supports, disques et streamer.

les TP, formés chacun d'une paire de 68010, gèrent chacun 8 terminaux.

les CP s'occupent des communications, chacun comprenant un 68010 et jusqu'à 8
cartes comprenant chacune un 8085 avec 8 interfaces RS 232 C.

le réseau utilise un 68010 pour la gestion, un 80186 et un 82586 pour la technique.

La capacité de tels systèmes peut monter à 6,5 GB de disques et 128 lignes.

NCR 10000 (1989) : les ingénieurs de NCR, continuant dans le même sens, annoncent
une nouvelle famille

qui exploite une deuxième génération de NCR 32, pour une relève des I 9X00 avec la
même ambition. Quatre modèles étaient annoncés, 35/55/65/75.

Cette famille ne fut pas industrialisée, NCR ayant pris la décision, intitulée par le
marketing « Libre Informatique », de renoncer à ses processeurs propriétaires pour utiliser
les X86 de Intel. La compatibilité est assurée, cependant, pour les usagers qui ont un
gros capital d'applications.

System 3000 (1990) : la « Libre Informatique » fait son apparition avec cette nouvelle et large famille, qui est caractérisée comme suit :

processeurs Intel standard, 286 / 386 / 486 : l'offre comprend trois uniprocésseurs et quatre multiprocésseurs, avec une puissance s'étalant de 7,5 à 320 Mips, pour des prix entre K\$ 10 et 800.

choix du bus ISA ou du bus MCA. Les stations client travaillent en MS / DOS, et il est prévu de leur offrir ultérieurement OS / 2 et Unix. Les serveurs MCA utilisent OS / 2 ou UNIX SVR4 ; il est prévu de mettre en service les clients DOS avec serveurs OS / 2 en 3 / 91, avec serveur Unix en 8 / 91.

le tout est organisé en réseau à travers le logiciel Coopération, composé de 53 modules acheteables séparément, en deux versions pour 12 et 24 utilisateurs : e-mail complète pour données et images, réseaux Token Ring ou Ethernet, organisation OSI, SNA ou X25, base de données accessible en langage SQL, échange de fichiers.

On a l'impression, à lire cette liste de services, que NCR est encore très impressionné par IBM et estime qu'une part importante de la clientèle choisira des solutions de ce type : le cataclysme de 1993 est encore dans l'avenir. Il est probable que les malheurs d'IBM se sont traduits pour NCR par une perte sévère, les investissements proIBM étant largement perdus (au moins MCA, OS / 2).

Pour les clients de NCR, encore nombreux à utiliser des équipements des familles 8000 et 9000, un système d'exploitation Galaxy doit leur permettre, à partir de 1992, de transférer leurs applications non modifiées sur système 3000.

NCR 3320 (9 / 90) : voir fiche avec illustration pour ce PC à base de 386SX à 20 MHz et bus MCA . La

présentation est absolument semblable pour les 3340 à base de 486 à 25 MHz et les 3350 à base de 486 à 33 MHz.

NCR 3445 (9 / 90) : c'est un exemple de serveur du même système, à base de 486 à 33 MHz capable de

27 Mips, et de bus MCA. Sa capacité théorique est de 128 connexions, mais le document commercial disponible ne mentionne que deux interfaces série et pas de réseau. On constate aussi qu'en 1991, date du document, la performance graphique restait encore modeste : la vidéo normale est un VGA 80* 600, il faut un adaptateur spécial pour obtenir 1024 * 768 sur un écran 16 « lui aussi spécial.

Prix KFF 108 à 460.

Une version plus puissante était prévue, basée sur le 486 / 50 dont on sait qu'il a du être retiré par Intel. NCR a proposé un peu plus tard, dans le même boîtier, un serveur construit autour du 486 DX2 / 66 .

NCR 3120 (7 / 91) : est un petit portable de 296 * 210 * 44 mm, pesant 2,6 Kg , proposé au prix assez

élevé de 31000 FFHT. Il est complet avec BIOS à économie d'énergie, processeur 386SX à 20 MHz avec option 387, mémoire 1 à 5 MB, floppy 3,5 » de 1,44 MB ,

disque dur 2,5 » de 30 ou 60 MB, écran LCD rétroéclairé de 8,5 » monochrome à 16 nuances de gris 640 * 480 points, ports parallèle / série / clavier / souris / vidéo, option modem interne. Le clavier 86 touches comporte en option un pavé numérique. Batterie amovible au NiCd avec autonomie de 3 heures.

Le logiciel est MS / DOS. Une certaine sécurité est incorporée avec mot de passe, création de niveaux d'utilisation avec accès sélectif, possibilité de blocage sur l'accès au floppy.

NCR 3125 (7 / 91) : voir fiche pour ce notebook de taille assez grande, complet avec MS / DOS et en option, le Windows for pen et Go Penpoint.. Il n'a pas eu plus de succès que ses concurrents, étant de surcroît très coûteux.

NCR 3550 (1991) : exemple de puissant serveur, 80 à 320 Mips, comprenant 2 à 8 CPU Intel 486.

Mémoire 16 à 256 MB, 16 slots MCA à 80 MHz permettant conceptuellement jusqu'à 1000 connexions, prix KFF 540 à 4300. Bus mémoire 133 MHz, capable même de 200 MHz en rafale.

La fiabilité a fait l'objet d'un grand soin : processeur de diagnostic, protection contre les microcoupures, disques en grappe jusqu'à 50 GB organisés en RAID 2 (miroir) ou RAID 5 6298 coûtant KFF 110 à 550.

Une version plus économique, 3450, est proposée en même temps, qui utilise un bus mémoire à 100 MHz et dispose d'une moindre garantie de fiabilité.

NCR 3600 (1992) : cette annonce porte le concept à son maximum, avec l'inconvénient de processeurs un peu légers qui peut-être ne méritaient pas cet honneur. La fiche donne une idée de cette entrée percutante dans le domaine du parallélisme, accomplie en liaison avec la société Teradata, fournisseur de base de données. On notera que l'architecture reprend exactement le concept 9800, simplement en remplaçant le processeur maison par un processeur du marché, jugé plus porteur.

NCR 35XX (6 / 93) : l'apparition des Pentium oblige NCR à réorganiser ses serveurs moyens, comme suit :

les bas de gamme à base de 486 sont rebaptisés 3520 et comprennent 1 à 5 CPU, 320 à 550 KFF. Le nouveau modèle 3520 dispose d'un cache de 256 KB, et peut en option accueillir une carte Pentium en remplacement de leur CPU d'origine. Le 3525 à cache de 512 KB et bus 200 MB/s peut monter à 8 processeurs, 4 GB de mémoire, 110 GB de disques, et délivrer jusqu'à 760 tps.

les 3550 sont vendus avec un cache de 512 KB et un Pentium 66 ou 90, un 3555 est proposé qui peut monter à 8 MB et 8 CPU autour d'un bus de 400 MB/s, et qui coûte 950 à 1250 KFF. Cette machine dispose d'un cache secondaire de 8 MB, de 32 MB à 4 GB de mémoire, de 1 à 110 GB de disques sur un ou 2 bus à 80 MB/s. Elle peut délivrer jusqu'à 820 tps.

un 3455 à sécurité moins raffinée continue à être proposé avec le Pentium. Sans mémoire ni disque, il vaut 250 KFF en mono, 400 KFF en bi, et jusqu'à 600 KFF en quadriprocesseur.

440 - les processeurs parallèles de N-Cube

N Cube Corporation, qui apparaît en 1986, est une des nombreuses compagnies tentées par le parallélisme, sur la foi de commentaires exaltés dus à des universitaires, et qui seront durement confrontées aux réalités du marché, c'est-à-dire des clients demandant des preuves de l'efficacité de ces solutions face à leurs problèmes concrets.

Dans le N Cube 1, la société introduit prudemment son cheval de bataille, une puce produite selon ses dessins par VLSI Technology, Inc. C'est un MOS de 400 * 400 mil, soit à peu près 1 cm², géométrie 2,5 μ, contenant un processeur flottant 32 / 64 bits, un DMA et un circuit d'ECC, pour travailler avec une mémoire locale de 6 puces de 256K bits de DRAM, groupées pour composer 64K mots de 16 bits + 6 bits ECC + 2 bits inutilisés. La puce contient 160000 transistors dans un boîtier carré de 68 broches. Quatre de ces processeurs forment une carte d'extension, et jusqu'à quatre de ces cartes peuvent prendre place sur les slots d'un PC / AT, formant un petit hypercube de 16 processeurs. Logiciel Axis.

Plus ambitieux est le vrai projet N Cube 1, utilisant de grandes cartes 16 * 22 », soit 406 * 559 mm, contenant 4 * 16 ensembles CPU + 6 mémoires. Une photo de cette carte figure dans la revue Pour la Science, 12 / 87, p 30, au sein d'un article un peu exalté sur les vertus du parallélisme. La carte comprend donc 64 noeuds et coûte 100000 \$, ce qui est réfrigérant. 16 de ces cartes peuvent être assemblées dans un châssis pour former un hypercube de 1024 processeurs, qui contient 10 paires de DMA pour assurer les liaisons à 10 Mbit/s au sein de la structure, et deux autres paires pour les entrées/sorties.

L'organisation, de style Dataflow, utilise un système d'exploitation baptisé Vertex.

La société affirme, de façon certainement très optimiste, avoir vendu en 1990 (donc sur 4 ans) 250 installations, dont une dizaine à 1024 processeurs et deux à 2048 processeurs. Le chiffre d'affaire de 1990 se monterait à 13 M\$.

En 1991, année où, selon l'analyste de marché International Data Corporation, N Cube aurait effectivement vendu 35 machines, est annoncé le N Cube 2 : la technologie est maintenant CMOS 1 μ avec deux couches métalliques. Chaque noeud est un micro 64 bits composé de FXU, FPU, MMU, IOP, associé à 4 MB de mémoire et 14 canaux (à 2 DMA) au débit de 2,2 Mbit/s : 13 vers d'autres noeuds de l'hypercube, un vers les entrées / sorties. La puissance de cette puce est 7,5 Mips, ou 3,25 MFlops SP.

Le système se compose de 32 à 8192 CPU ; il est capable de 105 MFlops dans sa version minimale, et cette puissance croît linéairement jusqu'à 27 GFlops pour 8192 CPU.

Physiquement, le système se présente en armoires bicubiques (format n * n * 2n) empilables en deux couches de huit, chacune contenant 256 processeurs. N Cube commercialise les modèles 1 (une armoire), 10 (3 armoires), 20 (6), 40 (8), et 80 (16 armoires), fournis avec un hôte Sun.

Du point de vue logiciel, le N Cube 2 est présenté comme compatible avec la base de données Oracle. Mais la programmation est considérée comme très délicate, et c'est le genre d'appréciation qui fait du tort à une machine, quand la compétition est si sévère. Les ventes de N Cube 2 furent de 51 machines en 1992, 60 en 1993. Cette année là, N Cube laisse entendre qu'il va y avoir un Model 3, mais en attendant elle baisse de 35% le prix des Model 2, et propose en 10/92 une version 2E d'entrée de gamme, prix 40 à 50 K\$, utilisable pour calcul intensif ou consultation de la base de données Oracle. Un modèle 2S, capable de 40 GFlops avec 8192 CPU et 512 GB de mémoire, est d'autre part proposé au prix de l'ancienne version 2 à 27 GFlops. Le problème de l'adaptation de Unix à ces calculateurs parallèles qui relient n (grand) éléments de calcul à m voies d'entrées/sorties à travers un réseau programmable comportant $\log(m + n)$ noeuds fait l'objet d'une étude (Computer IEEE, 11/93, pp 43/53) curieusement conduite par une société distincte de N Cube, dont proviennent pourtant les deux auteurs. Voir boîte 142, Scalable Computing.

L'annonce du N Cube 3 est une fuite en avant. La nouvelle puce, produite par Hewlett Packard, réalisée en CMOS $0,6 \mu$, travaille à 50 MHz ; elle contient 3 Mtransistors, et délivre 100 MFlops.

Chaque noeud comprend un CPU 64 bits, une mémoire locale et 40 canaux d'interconnexion. Chaque CPU adresse 1 GB avec une bande passante de 500 MB/s. La réalisation comprend un module processeur de 512 puces, avec un maximum de 20 modules par machine, auxquels on pouvait ajouter jusqu'à 10 modules d'entrée/sortie, chacun 128 canaux de débit individuel 44 MB/s, et jusqu'à 20 modules de disques, chacun comprenant jusqu'à 120 disques de 4 GB. Bien entendu, il s'agit de capacités théoriques déduites des adressages ; ces chiffres sont d'ailleurs incompatibles avec la publicité parlant de 65536 CPU en parallèle.

Il était prévu de refroidir ces ensembles par air jusqu'à 2000 CPU, par eau au delà ; il était question dans ce dernier cas d'une surface au sol de 22 m² !

Logiciel : Unix parallèle de OSF/1, code Whopper. Commercialisation en 1994.

Bien qu'on n'ait pas d'indication précise sur ce point, il semble bien que le N Cube 3 n'ait pas réellement vu le jour et que la société N Cube ait disparu vers cette époque.

441 - Neuralogix

Cette société semble être un bureau d'études de composants « neuroniques », startup financée principalement par le constructeur coréen Samsung. Elle nous est connue seulement par trois produits datés de mars 1992, mais il est improbable qu'elle s'en soit tenue là : l'explication la plus probable est une absorption par Samsung après un premier succès.

Le NLX 110 est un comparateur, capable de confronter huit motifs inconnus à un motif connu logé en mémoire externe, ou un motif inconnu à huit motifs connus. Le circuit est parallélisable jusqu'à 256 motifs, dans un sens ou dans l'autre. La taille des motifs est quelconque jusqu'à 1 Mbit.

Le circuit contient 8 accus 32 bits, dont l'usage n'est pas clair, et un réseau neuronal d'apprentissage. Si on voit bien la finalité du circuit, son fonctionnement est peu clair, et il manque une indication de performance.

Le NLX 112/3 semble analogue, mais travaille sur 128 bits. Il évalue le nombre de bits par lequel la donnée diffère d'un motif de référence (distance de Hamming), et selon le contenu d'un registre de seuil décide si le résultat est bon ou non. Il peut envoyer le résultat au calculateur hôte.

Le 112 est un CMOS à 50 MHz, logé dans un boîtier DIL 28 broches, et son interface externe se limite à 8 bits. Le 113 est le même, partitionné en 4 * 32 bits, et logé en boîtier PLCC 44 broches.

Le NLX 230 contient 16 « fuzzyfiers », circuits logiques de classification dont chacun dispose de 64 règles logées dans une mémoire 24 bits. Il reçoit de l'extérieur 8 entrées de 8 bits, et les soumet en parallèle à un des fuzzyfiers pour savoir si ces signaux appartiennent à la classe représentée.

Le circuit est vendu avec un système de développement à \$ 395 composé d'une carte enfichable pour PC et d'un logiciel fonctionnant sous Windows.

442 - Nestor, Inc.

Cette société est un simple bureau d'« études » qui a obtenu un contrat DARPA pour une étude de neuristors. Le circuit ainsi défini a été réalisé par Intel et livré en février 1993. Il comprend un contrôleur 16 bits qui assure les connexions avec l'hôte et dirige la politique d'apprentissage, et 1024 « neurones » capables simultanément de 20 milliards d'opérations d'arithmétique entière par seconde dans le cadre d'un apprentissage. Cela paraît signifier que le circuit travaille à 20 MHz.

L'information est de faible portée, dans la mesure où on ne dispose pas des résultats de l'étude.

443 - Netscape

Cette société est née avec la généralisation d'Internet, afin de mettre à la disposition de tout propriétaire de microordinateur, indépendamment de son système d'exploitation, un moyen de consulter le réseau, d'y retrouver une information, de consulter un moteur de recherche, d'échanger des e-mails, de participer à des forums, etc...

Le succès fut rapide et grand, car Netscape détenait un monopole de fait: vers 1998, la version 3 était bien implantée et Netscape commençait à rédiger la version 4. Mais la majorité des clients étaient des PC, équipés en pratique de Windows ; et, à partir de 1998, son créateur Microsoft, estimant ne devoir accepter aucun concurrent en matière de système, décide d'intégrer un Microsoft Explorer à son Windows 98, et de vendre le service en bloc. C'était condamner Netscape à la faillite car il perdait du coup la plupart de ses clients, le conflit Windows / OS2 ayant déjà démontré que même IBM avec un produit supérieur était incapable de surmonter la tendance du public à la facilité.

Ce fut l'occasion d'un spectaculaire procès antitrust, gouvernement contre Microsoft, ayant pour objectif immédiat d'obliger Microsoft à facturer séparément Microsoft Explorer et

Windows, et à s'abstenir de diverses autres pratiques monopolistiques, et pour enjeu le fractionnement de la société en deux entités concurrentes, une pour le système et une pour le réseau. Mais si le premier résultat fut atteint, le juge ne put se décider à fragmenter Microsoft, faute de savoir définir clairement, à l'usage des autorités juridiques de répression, les domaines en cause ; en pratique, un coup d'épée dans l'eau !

Entre temps, Netscape qui disposait de 24 millions de clients avec un CA 97 de 533,8 M\$, avait perdu cette année là 115,5 M\$ et l'année 98 ne s'annonçait pas meilleure. En novembre 98, Netscape se résignait à accepter une OPA d' AOL pour 4,3 B\$, chiffre impressionnant si l'on note qu'en 1998 AOL, avec 24 millions d'abonnés, a eu un CA de 2,6 B\$ seulement, avec 134 M\$ de bénéfice ; l'affaire a été soutenue moralement par toute l'industrie du logiciel, très hostile au monopole de Microsoft, et matériellement par Sun , qui a donné à cette occasion 350 M\$ à AOL pour promouvoir l'emploi généralisé de son langage JAVA dans les relations des PC avec le réseau.

En 2001, année du jugement antitrust, Netscape 3 et 4 sont toujours en service et compatibles Windows, mais le public adopte sans réfléchir Microsoft Explorer avec Windows 2000 , et le succès d' AOL est sérieusement compromis par une très mauvaise année boursière due à la saturation du marché des téléphones portables. L'avenir n'est pas clair.

444 - Nexgen

Cette société est un simple bureau d'études de composants, sis à Milpitas, Cal ; il fait fabriquer ses modèles par IBM Microelectronics. Son entrée dans le domaine sévèrement compétitif des x86 date du 4ème trimestre 1994 et c'était d'ailleurs à peu près son premier produit significatif, le Nx586, travaillant à 93 MHz, et non compatible avec le Pentium en ce qui concerne le bornage. Malgré cette audace qui interdisait d'utiliser les cartes mères Intel, le nouveau micro fut adopté par Compaq.

La nouveauté architecturale de cette puce, que ses auteurs baptisaient RISC86, consistait à soumettre les lourdes instructions CISC du 86, dans les premiers des 7 à 9 étages du pipeline, à un découpage en microopérations qui pouvaient être traitées dans le style RISC ; cette idée sera reprise ensuite dans le P6 d'Intel et dans le K5 d' AMD.

Ce 586 commence par un BIU, derrière lequel se situe un contrôleur de cache L2, qui peut être ignoré dans les applications bas de gamme, le cache proprement dit étant extérieur. Suit un contrôleur de cache L1, et deux caches I et D de chacun 16 KB. Le 586 n'exploite qu'une instruction 86 par CP, mais il dispose d'un vrai parallélisme parce que son décodeur, puisant dans une zone tampon en aval du cache I, fonctionne en distributeur de microopérations à la partie RISC, qui peut lancer 5 actions simultanées :
logique de prédiction de branchement agissant sur le rechargement du cache I
opérateur de calcul d'adresse provoquant des appels au contrôleur de cache
opérateur d'arithmétique entière, add / sub et logique
opérateur d'arithmétique entière, multiplication et division
opérateur de virgule flottante, hors puce : c'est un coprocesseur

Les quatre derniers opérateurs puisent dans un ensemble de registres qui comprend les registres de l'architecture 86 et une collection de registres de renomination. Le cache D communique avec ces registres et avec les opérateurs par un bus de données.

Dans son avant-dernière version réalisée en CMOS 0,5 μ , la puce occupait 118 mm². Au moment de l'absorption évoquée ci-dessous, IBM préparait une version 0,35 μ . Fin 1995, Nexgen préparait dans le secret son prochain produit, provisoirement baptisé Nx686, lorsque AMD, empêtré dans les difficultés de mise au point du K5, décida d'acheter Nexgen, de commercialiser à son compte le Nx586 pour combler le vide et faire oublier le ratage, et de miser sur le 686 rebaptisé K6 pour l'avenir. On sait que ce fut un net succès.

445 - NeXt Computer

En 1985, Steve Jobs, ancien patron de Apple, est démissionné par ses actionnaires pour cause de mauvais résultats. A la recherche d'une nouvelle activité, il exerce d'abord ses talents au service de l'Université dont il sortait, mettant au point au profit des étudiants des améliorations pour les compatibles Apple haut de gamme :

processeur de traitement du signal (Motorola 56001) pour le son numérisé, qualité Compact disc.

adaptateur vidéo 16 M de couleurs, 1120 * 832 pixels.

compresseur / décompresseur utilisant un hardware C Cube.

convertisseur A/D et D/A de Genlock pour le son.

et le logiciel pour mettre tout cela en oeuvre, le tout (baptisé Nextcube) au prix de 120 KF.

Puis, ayant quelque peu réfléchi, Steve Jobs estime qu'il y a matière à un produit commercial, entreprend un tour de table auquel participe notamment le japonais Canon (16,67 %), et finalement crée la société Next Computer et la Nextstation, qui fait en 1988 une entrée fracassante aux Etats-Unis à grand renfort de publicité : il s'agit, commente la presse informatique convenablement chapitrée, d'un produit génial qui va révolutionner l'industrie des stations de travail pour le prix d'un gros PC. Ce qui est génial, c'est Nextstep, le système d'exploitation multitâche construit autour du micronoyau Mach de Carnegie Mellon, c'est le gestionnaire de ressources d'affichage Display Postscript, et c'est Workspace Manager, l'interface graphique utilisateur; le lien entre ces modules étant l'Unix 4.3 de Berkeley. Au vu de tout cela, une centaine d'éditeurs parmi les détenteurs des meilleurs logiciels, semblent décidés à créer des versions adaptées de leurs produits divers, action indispensable car Nextstep n'est pas compatible PC.

Sortie en septembre 1988, la Nextstation ne semble pas au point, et c'est seulement en septembre 1989 qu'elle sera réellement commercialisée, obtenant 8000 ventes en trois mois. Cette première version est construite autour d'un Motorola 68030 à 25 MHz, avec 8 MB de mémoire et un disque de 40 MB : elle est conçue pour le travail personnel, mais elle est ouverte sur le groupe, grâce à une messagerie et un partage de ressources inscrits dans le système. Le boîtier processeur, baptisé Nextcube à cause de sa forme, peut en cas de besoin être étoffé en disques jusqu'à 660 MB. Définissant ses machines comme des « stations de travail sous Unix pour utilisateurs non spécialisés », Steve Jobs se présente alors comme le deuxième constructeur de stations professionnelles, derrière Sun mais devant HP et DEC ; ces commentaires imprudents et

prématurés provoquent des réactions méprisantes des deux derniers fabricants, et quelques critiques plus motivées se font jour en 1990, soulignant les déficiences du système d'exploitation et le mauvais choix de disques optiques réinscriptibles.

Les Nextstations sont introduites en France en avril 1990, le bas de gamme monochrome coûtant 31750 FFHT. Pour 45000 F, les développeurs disposent du meilleur outil du moment. La version couleurs 16 bits est commercialisée 50845 FF, ce qui la place en concurrence avec les PC 386.

En octobre 1990, le succès se fait toujours attendre, les logiciels les plus intéressants ayant du retard et la production du 68040 ayant du mal à suivre la demande alors que les PC à base de 486 se vendent très bien. Certes Next peut dire que sa station ne vise pas la même clientèle que les PC, mais le public ne le perçoit pas ainsi, et les commentateurs les plus favorables commencent à chercher des explications. Quelques annonces relancent l'intérêt, comme un Baby Next à 5000 \$, le remplacement du disque optique Canon par une disquette 2,88 MB en 3,5 », et surtout l'apparition d'une carte graphique couleur 24 bits animée par un processeur i860 d'Intel ; d'autre part, certains logiciels trop longtemps attendus, les tableurs Improv de Lotus et Powerstep d'Ashton-Tate, la base de données Wingz d'Informix, sortent enfin, ainsi que des produits plus spécialisés pour le traitement du son dans les studios.

Rien n'y fait. En 2 / 93, Next dont le CA 92 s'est élevé à 129 M\$ et qui se situe au 6ème rang de la vente des stations de travail avec 4,9%, décide d'abandonner la production de stations. Le japonais Canon, bien que fortement impliqué (disque optique, imprimante), renonce en mai à reprendre cette activité.

Ainsi Next se cantonnera donc désormais dans la commercialisation du système Nextstep, vendu à ce moment à 50000 exemplaires, et dont des versions pour 486 doivent sortir en 5 / 93. C'est une dure reconversion après les rododromes du départ et les espoirs suscités ensuite.

Nextstep 3.2 optimisé Pentium sort en 11 / 93, doté de la couleur 32 bits, de nouveaux drivers, et de l'émulateur Windows d'Insigna Solutions, le tout pour 5000 FFHT. L'exemple de l'OS2 d'IBM permet à tout le monde de mesurer la difficulté de survivre sur une telle base quand Windows apparaît en pratique comme une fourniture gratuite chez tous les vendeurs de PC.

Le réalisme impose à Next d'ouvrir son système à tous les matériels qui se vendent : au delà de la version indispensable pour l'environnement x86, Next réalise une version pour les Sparc et, avec l'accord de HP, pour les PA Risc.

Vers l'extérieur, c'est-à-dire vers les applications, Nextstep est complètement orienté objet. Une couche de communication entre de tels objets, DO pour Distributed Objects, est d'abord définie, puis elle est rendue portable pour s'adapter, vers l'intérieur, à d'autres systèmes que Nextstep : ce sont les PDO, Portable DO. Ainsi, incontestablement le meilleur en matière de gestion d'objets, Next est en mesure de proposer à tout le monde son API Openstep, une méthode complète d'application indépendante du support. Cette possibilité sera la raison d'accords en règle avec Digital, pour le système OSF/1 fonctionnant sur Alpha, et avec Sun, pour Solaris fonctionnant sur Sparc, tous deux adoptant avec Openstep l'environnement de développement de Nextstep, sinon ce système lui-même.

Openstep est un ensemble d' API objets, offrant environ 4000 points d'entrée et 150 classes, soit beaucoup moins que le Taligent d' IBM et Apple, mais ce dernier est à cette époque en train d'échouer. Openstep se décompose en cinq pavés logiciels : un runtime (gestion de fonctionnement à l'exécution), les fondations (les objets que l'on retrouve dans toutes les applications), les objets distribués (DO, déjà cité), Display Postscript pour l'affichage, et quelques fragments plus spécifiques. Ces cinq boîtes sont compatibles avec tous les matériels (486, Pentium, RA Risc, Sparc, PowerPC, Alpha) et tous les systèmes (Digital Unix, Solaris, Mach, Windows 95 et NT).

Les commentaires des diverses parties prenantes, HP, DEC, Sun, ne sont que modérément encourageantes pour Next : chacun d'eux avoue sans vergogne que Openstep est, au plus, une corde à leur arc., et qu'en conséquence les accords ne dureront que tant qu'il y aura des clients pour cet environnement.

Next, de son côté, ne lésine pas à fragmenter son offre pour garder, dans toutes éventualités, au moins quelques-uns de ses composants : ainsi, il est possible d'adopter les PDO avec n'importe quel système d'exploitation, et sans même faire allégeance à Openstep.

Le pavé PDO s'adapte assez bien à Corba, le modèle de distribution d'objets de l'OMG.. Cependant, Next ne peut ignorer Microsoft, qui a sur cette question développé un modèle tout à fait différent, OLE/COM : Next a donc entrepris, en 1995, de construire une sorte de convertisseur de protocole, capable de prendre un objet OLE/COM pour le présenter à Openstep, et inversement, de rendre visible tout objet Openstep sous l'apparence d'un service OLE.

En 2000, notre limite, il semble que Nextstep en tant que système ait à peu près disparu, et que Openstep existe encore comme une interface possible dans un certain nombre de systèmes d'exploitation qui ne semblent plus, licence obtenue, devoir faire référence à Next. Mais tout cela n'est guère important, puisque Apple a racheté ce qui reste de Next, et réembauché Steve Jobs, pour la plus grande satisfaction de ses clients privés.

446 - Non Linear Systems

Réalisateur de longue date de voltmètres numériques, la société Non Linear Systems devait, un jour ou l'autre, s'intéresser à l'informatique qui, dans les années 80, paraît encore facile et très rentable.

Son produit sera un portable, baptisé Kaycomp II ou Kaypro II, dont le nom laisse supposer qu'il fait suite à un prototype obscur. Centré sur un microprocesseur Z80A, il comporte 64 KB de RAM, un écran de 9 » en diagonale capable de 24 * 80 caractères, un clavier QWERTY avec pavé numérique logé dans le couvercle, deux minifloppies superposés, une interface Centronics pour imprimante extérieure 80 ou 120 colonnes, et une interface RS 232C.

Le logiciel se compose du système d'exploitation CP/M, de deux langages dont probablement un interpréteur BASIC, et un traitement de texte.

Poids 11,3 Kg évidemment excessif, prix \$ 1795 très raisonnable. Le Kaypro ne se vendra pas bien, mais NLS, rebaptisée Kaypro, persistera longtemps. Voir Kaypro.

447 - Norden Division, United Technologies

Norden est pendant la guerre une société indépendante, spécialisée dans la mécanique fine. Elle se fera connaître en réalisant le « viseur Norden », un calculateur de bombardement pour les forteresses volantes B17. Ce matériel assez primitif sera successivement amélioré par un calculateur analogique Reeves CP66 et par un radar bande X, et deviendra en 1948 l'AN/ASB 1.

Après la guerre, Norden se lance donc dans la production de radars militaires, et gardera cette spécialité en devenant, assez vite, la filiale électronique du groupe aéronautique United Aircraft. Ce groupe, qui ne produit plus d'avions, deviendra dans les années 80 United Technologies, spécialiste des propulseurs à poudre et des travaux sous-marins, mais Norden, largement autonome, maintiendra ses activités.

On peut citer, de 1960 à 1980, tous les radars des nombreuses variantes de l'avion A6, AN/APQ 92, 103, 112, 148, 156 ; un radar néphélométrique bifréquence AN/APQ 70 ; des radars d'hélicoptères lourds AN/APQ 118 et 141; et, en 1995, le radar latéral AN/APY3 de l'avion E8A JSTARS, qui a fait avec succès ses essais lors de la guerre du golfe.

Il y a aussi des radars pour la Marine, comme l'AN/SPS 67 de veille surface antimissile (1979), ou les extracteurs vidéo sophistiqués et informatisés qui construisent à partir de 3 ou 4 radars une vidéo synthétique distribuée à bord : AN/SYS 1 des bâtiments Tartar (256 pistes, calculateur UYK 20) en 1975, et l'équivalent AN/SYS 2 des frégates FFG 7 en 1990.

Norden s'intéresse très tôt à l'informatique, puisque la plupart des équipements qu'elle conçoit l'utilisent directement ou indirectement, mais il semble qu'elle reste en marge, utilisant généralement les calculateurs d'autres constructeurs. Exemple : dans le système de bombardement ASB 7 prévu pour l'avion Douglas A3D, le calculateur est un DDA CP 209A de Librascope.

Certaines réalisations sont anecdotiques : à une époque où la mécanographie est déjà en déclin, la société fabrique en deux exemplaires SCRIBE, une machine chargée de dépouiller les feuilles de tests de l' Educational Testing Service, à partir d'un lecteur photoélectrique de marques.

Norden se signale vers 1978 par une activité de militarisation : il s'agit, à partir d'une licence en règles et, dans certains cas, de cartes OEM fabriquées par un constructeur connu, de produire pour le compte d'administrations travaillant sur le terrain ou pour les forces armées des calculateurs robustes, à l'épreuve du camion selon les normes MIL appropriées. Les applications n'étant en général pas critiques, le logiciel est simplement celui du constructeur, acheté.

Le principal constructeur concerné est à l'époque Digital Equipment ; le principal client est constitué par les forces armées, qui souhaitent en général des compatibilités d'interfaces avec leurs normes, telles que le bus 1553A des avions ou les liaisons 11 et 16 du NTDS des navires. Voir photos dans la fiche SCRIBE, bien qu'elle ne soit nullement concernée.

en bas de gamme, et pour des applications de mini, le PDP 11/34 M est proposé pour l'aviation et devient l'AN/UYK 42, offert en deux variantes : pour les capacités de mémoire à tores de 16 ou 32 KB, le boîtier est un demi-ATR. La technologie est

compatible, le cycle de mémoire 900 ns, le répertoire complet, le débit d'entrées / sorties atteint 2,5 Mmots/s. Prix \$ 15000 à 20000 selon mémoire.

Pour des applications plus lourdes, la mémoire à tores 16 bits peut être portée à 128 KB exigeant un boîtier ATR . Prix \$ 18500 à 24700.

en haut de gamme, à la même époque, le PDP 11 / 70 devient AN / UYK 41 et peut être fourni avec mémoire jusqu'à 2 MB, mais il occupe trois ATR (photo). Cache réalisé en bipolaire, option VF avec répertoire de 46 opérations, option Massbus 32 bits avec débit jusqu'à 5,8 MB/s.

plus récent, le PDP 11 / 44 M reprend le jeu complet des opérations du 70 avec 10 GPR, cache 8 KB, mode superviseur, 3 modes de protection mémoire, option VF, interruptions fail / restart, option télédiagnostic.

Les entrées / sorties se font sur Unibus, auquel s'attachent notamment les options militaires 1553A et NTDS, ainsi que les disques. L'exploitation est dirigée par une console ASCII à microprocesseur, et un sous-système de bandes TU58 est proposé pour les diagnostics.

Le système d'exploitation est RSX 11 M, qui supporte la base de données DBMS 11. Les applications envisagées sont donc principalement transactionnelles (renseignement ?).

Vers 1983, Norden militarise le VAX, sous la double forme d'un Rugged VAX et d'un MIL VAX I, ce dernier coûtant K\$ 200. Sitôt après l'abandon du projet MCF, Norden propose comme participation aux programmes MILSTAR et JSTARS un MIL VAX II, à base de puces CMOS 10000 portes, livrable en décembre 1985. Cette machine peut fournir 1,4 Mips et consomme 400 watts, et peut être vendue K\$ 150.

Il y a aussi une carte MIL MicroVAX, qui ne coûtera que (!) K\$ 100. Pas de suite. Norden fabriquera aussi, sous licence Marconi, le calculateur britannique MC 1800, qui deviendra le calculateur d'artillerie AN / GYK 29, successeur du FADAC (1979). On a la trace d'un marché complémentaire de 3 machines, pour 3,8 M\$, en 7/83.

Il a existé une firme Norden-Ketay qui produisait des codeurs de rotation de très haute précision, à usages militaires. Voir à ce sujet 223-40, 1960, qui la présente bien comme filiale de United Technology.

La France est intéressée à cette question parce que des codeurs de cette provenance étaient utilisés pour le périscope de visée astrale des sous-marins stratégiques (SNLE) de première génération, Redoutable et suivants (vers 1965).

448 - Northern Telecom, Inc.

Cette entreprise semble être responsable de l'ensemble des télécommunications du Canada, avec un statut monopolistique analogue à celui de l' ATT, et peut-être d'ailleurs comme une lointaine émanation de la Bell Telephone. Pour ce qui nous concerne ici, cette société a fait l'acquisition de diverses petites firmes américaines (Sycor, Data 100) qui lui donnent les mains libres sur le territoire des USA en matière d'électronique et d'informatique ; et, après la dérégulation, elle est partie prenante sur le marché du téléphone. Elle a d'ailleurs fourni des équipements aux 22 compagnies ex Bell issues de la rupture de l' ATT, et en 1985, il reste 1 B\$ de contrats courant avec quatre d'entre elles.

Northern Telecom est aussi leader dans le domaine des PBX, les centraux privés aujourd'hui tous numériques, et vend aux USA plus d'un million de lignes par an avec ses Meridian SL1, SL100 et DV1. Au point d'ailleurs, d'obtenir aux USA 68% de son CA 1985, qui s'élève à 4246,9 M\$, et de publier ses résultats en dollars américains. Les bénéfices s'élèvent à 275 M\$. On estime à 1240,8 M\$ la part du CA 1985 qui concerne l'informatique, sans très bien savoir ce qu'on y inclut.

Spécialisées en terminaux et périphériques, les sociétés absorbées en 1979 profitent de leur puissant parrainage pour élargir leurs ambitions en créant d'abord le 585, processeur distribué qui se présente en concurrent de l'IBM 8100. A base de 8085, le système proposé en 5/81 comprend 256 KB de mémoire, un disque Winchester de 11 ou 22 MB géré par microprocesseur, une cartouche de sauvegarde de 15 MB, une imprimante et jusqu'à 16 terminaux ; disques et bande sont des produits maison, et le contrôleur insère ses informations de commande entre les secteurs d'information.

A titre d'exemple, on dépense \$ 46900 pour un disque 11 MB, une ME à marguerite, et 4 terminaux .

En 1984, quand il apparaît que le PC va s'introduire dans l'entreprise, la firme prend la licence d'un produit finlandais de Nokia, et produit Vienna : le contrôleur de grappe est un 286 doté de 512 KB à 2 MB de mémoire, il peut s'associer :

un contrôleur de disque 80186 avec 40 à 570 MB de disques.

jusqu'à 4 contrôleurs de terminaux à base de 80188, capables chacun de 8 terminaux.

un contrôleur Ethernet à base de 80186.

un contrôleur de lignes dont le 8088 travaille sous iRMX pour émuler tous protocoles : X21, X25, SNA, télétext, 2780, 32670, BSC.

Les terminaux à base de 80186 disposent d'un écran de 800 * 420 pixels, rafraîchi à 71 Hz, et d'une mémoire de 64 KB, ce qui les rend capables d'une foule de services. Il en existe quatre modèles :

Intelligent est le plus simple, donnant simplement accès au central pour les mouvements de données.

Computer est capable de travail local en MS/DOS et peut recevoir une mémoire de 256 à 512 KB, recevant son logiciel du central par téléchargement.

System fait de même mais peut disposer en outre de 5 à 15 MB de disques, d'un floppy et d'une imprimante.

Color est le même, agrémenté d'une console à 8 couleurs.

Le logiciel de ce système distribué est riche, construit autour du système d'exploitation Xenix. Celui-ci gère un interpréteur BASIC, un compilateur C, le compilateur Cobol ANSI niveau 2 de Microfocus, et de nombreux packages.

449 - Northrop Aircraft Corporation et dérivés

Northrop est un constructeur d'avions aux idées révolutionnaires, trop en avance sur son temps pour qu'on prenne le risque de le suivre en temps de guerre - pour une question de délais - et en temps de paix - pour des raisons économiques. Ainsi, après avoir pendant toute la guerre construit les avions de la concurrence sur commandes

gouvernementales, ce constructeur se lance dans l'immédiat après guerre dans l'étude d'un bombardier en forme d'aile volante, le B 70 : le prototype volera, mais ne sera pas suivi. Northrop étudiera ensuite, pour vivre, des avions moins ambitieux, et il réussira très bien avec le F5 Freedom Fighter, un chasseur économique destiné à l'exportation (sept versions de 1968 à 1980), et avec le F/A18 Hornet, un avion de combat embarqué (cinq versions de 1976 à 2000), sans compter des compétitions perdues après étude financée des prototypes (A9, YF17 Cobra 1974, F20 Tigershark 1980, F23 1992). Mais surtout, il réussira à vendre à l' USAF le concept d'une aile volante invisible (stealth), le B2, qui sera construit à 21 exemplaires malgré son prix gigantesque (1993-2000). Bref, alors que la compétition aéronautique est terriblement sévère et que la plupart des constructeurs de la guerre ont disparu 50 ans plus tard, le bureau d'études Northrop survit, probablement grâce à une certaine complicité de l' USAF et de la Navy qui ne veulent pas se priver d'un constructeur aussi créatif.

A côté d'un avionneur, il y a toujours, depuis la guerre, un électronicien, car le prix de l'électronique est au moins le tiers du prix d'un avion de combat, et faute d'obtenir tous les contrats de cette fraction il faut au minimum en percevoir pleinement l'impact sur cellule et moteurs. Dans le cas de Northrop, la curiosité s'est avérée un motif d'action puissant, bien avant que les interactions évoquées ci-dessus commencent à jouer. De proche en proche, la branche électronique de Northrop, qui deviendra largement autonome vers 1965 sous le nom de Nortronics, deviendra un acteur notable de l'électronique aéroportée. Examinons les principales étapes de cette évolution :

1947 : VALE - premier calculateur Northrop, et l'une des toutes premières application de l'électronique au calcul numérique. De la taille d'un bureau, la machine accepte des entrées manuelles - c'est une sorte de très grosse calculette programmable.

1948 : DIDA - premier DDA américain, avec une toute petite mémoire constituée de registres à recirculation à base de bascules. Il pouvait se poser sur une table, mais sa puissance de calcul modeste ne lui permettait que la démonstration du principe.

1949 : VALE II - reprise du concept de VALE, avec entrée par bande perforée sur la façade verticale du fond de bureau. Cette apparence est incompatible avec l'affirmation lue ailleurs que l'appareil pouvait se poser sur une table.

1949 : MADDIDA - convaincu par l'expérience DIDA, les ingénieurs de Northrop construisent un modèle

22 où les 22 intégrateurs sont inscrits sur 6 pistes d'un tambour magnétique tournant à 3600 t/min, ce qui permet d'obtenir un cycle de calcul complet en 10 ms : le préfixe MAD signifie MAGnetic Drum. La démonstration étant jugée convaincante, le Laboratoire d'électronique de la Marine à San Diego commande une version améliorée à 44 intégrateurs, qui sera livrée en 1950. Voir fiche.

Un peu plus tard, Northrop hébergera la jeune équipe de Computer Research Corporation, puis lui confiera le Maddida qui devient le CRC 105, un grand succès. Ensuite, estimant que l'activité purement commerciale n'est pas de son ressort, Northrop laissera CRC se fondre dans NCR, et décidera de se cantonner dans les applications aéronautiques et spatiales.

1952 : QUAC - ce premier modèle, expérimental, du Quadratic Arc Computer, est une application militaire

du concept de DDA. En forme de parallélépipède d'environ 1 m³, il contient 32 intégrateurs seulement et se programme par cartes perforées. Le constructeur essaie d'évaluer, sur un problème simple, une trajectoire de vol le long d'un arc de grand cercle, l'encombrement et les performances d'une machine à tubes. Il semble qu'une version aéroportée, purement expérimentale avec le même objectif d'évaluation, ait été réalisée à la même époque.

1955 : GFC - calculateur au sol pour la préparation de tirs du missile Atlas, en liaison avec la machine suivante. C'est, comme toujours à l'époque, une machine à tambour magnétique. Voir fiche.

1956 : QUAC 2 - modèle au sol, en forme de bureau, commandé par l' USAF à deux exemplaires. Le

problème du suivi d'un arc de grand cercle est inscrit en permanence sur le tambour et dispose, avec ses accessoires d'entrée / sortie, de 48 intégrateurs. L'appareil sert, en somme, de simulateur de vol du SNARK, un missile de croisière qui ne sera d'ailleurs pas suivi. Voir fiche.

1957 : APAC - Cet Airborne Parabolic Arc Computer est la version transistorisée et embarquable du

calculateur précédent, destinée au missile SNARK. Il se présentait comme un tiroir de rack de 4 unités de haut, enfichable dans le bloc électronique du missile .

1959 : LINC - avec ce Lightweight Inertial Navigation Computer, Northrop aborde vraiment le problème du

guidage des véhicules aériens. Les gyroscopes ne sont pas de sa responsabilité, mais à l'époque le calculateur occupe un volume égal ou supérieur et sa réalisation est donc une importante fraction du projet, qui d'ailleurs n'aura pas de suite.

La réalisation comprend 20000 composants par cuft, soit environ 700 par litre, un chiffre encore peu convaincant : il existe une mémoire à tores de 2048 mots de 12 bits, cycle 8 μ s, et un bloc de calcul à 48 opérations, mais il semble qu'il subsiste un tambour, peut-être pour les 16 entrées/sorties analogiques, 30000 échantillons de 8 bits par seconde. La technologie est hybride.

1960 : calculateur aéroporté de lancement du missile GAM 87A, apparemment une sorte de bombe guidée.

La technologie est encore hybride, la mémoire à tores représente quelque 500 Kbits, et il n'y a plus de tambour.

1960 : Northrop effectue, comme tous ses concurrents, ses simulations de vol sur calculateurs analogiques, mais l'affichage de ces machines est un gros travail. L'étude ANATRAN permet de décrire les calculs à effectuer à partir de formules, de compiler ces formules sur IBM 704 pour en déduire les consignes d'affichage du calculateur analogique, qui sortent sous forme de listing.

1961 : nouvelle tentative pour un calculateur de centrale à inertie, cette fois le SINS Mk IV. La densité de ce processeur, qui se présente comme un tiroir de 3 unités, atteint 1200 composants par litre.

1963 : le projet AN/USQ 28 de la société Kollsman Instruments concerne un système de navigation à inertie, recalable par doppler et astrotracker, pour un avion cartographique RC135, cad un Boeing 707 spécialement équipé. La participation de Northrop est, une nouvelle fois, le calculateur de cet ensemble, baptisé CP 720/USQ 28. La taille de l'avion autorise le recours à un tambour magnétique, qui facilite le travail de Northrop. Technologie hybride.

1964 : NDC 1000 - après toutes ces expériences, Northrop s'estime en mesure de réaliser un calculateur universel d'avion, pour prendre rang dans la compétition pour les contrats de l'USAF. Le NDC 1000 est réalisé avec 95% de circuits intégrés SSI, soit 1400 flatpacks Signetics travaillant à 1 MHz, en liaison avec une mémoire à tores ou à film mince, majoritairement NDRO. Ces nouveaux choix technologiques permettent de réduire le poids à 15,5 Kg et le volume à 18 litres, de sorte que Northrop est désormais inscrit parmi les fournisseurs possibles. Voir fiche.

1964 : NDC 1050 - adaptation de la technologie ainsi démontrée à un problème précis pour le compte de

Holloman AFB : il s'agit du projet NIS 105, Suitcase Navigator, un système de navigation complet comprenant centrale à inertie FLIP et radar doppler qui doit tenir dans le volume d'une valise. Northrop n'est aucunement engagé par sa précédente démonstration, et tout est nouveau dans cette réalisation qui travaille à 268 KHz, et qui emploie 1024 mots de 20 bits en mémoire, et une majorité de circuits intégrés. Nortronics passe le test et reçoit une petite commande d'un Low cost Airborne Inertial Navigation System, centré sur le calculateur NDC 1050 A, et livrable en 11/66. Voir fiche.

1965 : NDC 1051 - Northrop est à nouveau sollicitée pour réaliser un calculateur aux normes militaires, destiné à un radar antimortiers construit par Gilfillan, l'AN/TPQ 28. Il s'agit de supporter le transport routier et les secousses des tirs d'artillerie de contrebatterie. Northrop réutilise la mémoire des 1050 et définit un nouveau packaging pour sa technologie, réalisant un calculateur parallèle 24 bits avec 632 SSI et un millier de composants discrets. Voir fiche.

1967 : NDC 1051 A - cette nouvelle démonstration de compétence apporte enfin à Northrop une véritable commande de série, avec le matériel de navigation de l'avion géant C5A Galaxy : il s'agit de fournir deux calculateurs NDC 1051 A se partageant la responsabilité de la centrale à inertie, du radar doppler, du Loran et du calculateur de données aérodynamiques, toutes ces informations convergeant vers un autre calculateur, NDC 1060, qui assure l'intégration. Voir fiche.
Le 1060 trouvera plusieurs autres applications chez Boeing et Sikorski.

1967 : AN / SSM 5, testeur universel (radio, radar, sonar) informatisé pour les frégates DE 1052.

1968 : NDC 1070 - bien admis désormais par les militaires, Northrop améliore sa technologie avec des modules de mémoire à tores magnétiques plus importants, des mémoires « core rope », et l'introduction de quelques circuits MSI TTL, pour réaliser un calculateur universel 16 bits qu'il propose à la communauté. Ce calculateur sera utilisé dans le récepteur Omega AN / ARN 99 en 1971 (66 exemplaires).

Autre exercice militaire : AN / ASH 19, un dispositif qui annonce vocalement les pannes de tous équipements (20 à 40 points de mesure) à bord des hélicoptères lourds CH54 et CH47 et de l'avion OV1, pour dispenser le pilote de regarder sans cesse le tableau de bord.

1971 : NDC 1071 - variante du précédent destinée au lanceur Delta 1, ce calculateur utilise une mémoire à tores de 4 à 16 KB à cycle de 1 μ s, et un répertoire de 31 opérations dont une addition en 3 μ s, une multiplication 20 μ s et une division 50 μ s, microprogrammées sur une ROM LSI ; il est même possible d'obtenir la virgule flottante. Entrées / sorties par un canal unique. Réalisation en circuits intégrés dans un poids de 7,2 Kg et un volume de 7,7 litres, la consommation s'élevant à 150 watts pour une mémoire de 4 KB.

Autre contrat informatique : AN / GSQ 168, définition et réalisation d' USTRICOM, un centre d'exploitation du renseignement tactique avec ordinateur, archivage, écrans de projection, etc... L'ordinateur, cependant, est un H 316 et non un matériel Northrop.

6 / 72 : BDS 700 - Annonce surprenante d'un mini de gestion, construit autour du minicalculateur Microdata 1600, qui aurait été vendu à 20 exemplaires au prix de \$ 38900 pour le matériel, logiciel en plus. Cette activité complètement à contrecourant de l'activité antérieure de Nortronic, et attribuée à une nouvelle société Northrop Data System à la carrière fugitive, est tout à fait surprenante, d'autant qu'après cette annonce on n'entend plus parler des calculateurs Nortronic, seulement de l'avion B2.
Rien d'important à signaler sur ce produit, mémoire à tores 16 à 64 KB avec cycle de 1 μ s, écran, IP 200, ME 120, 4 lignes, fichiers tous formats sur disques en cartouches ou sur bandes ; le logiciel comprend un modeste système d'exploitation à 3 partitions, un

assembleur, un Basic, une base de données, et quelques utilitaires en forme de packages payants.

1976 : AN / ARN 120, nouveau récepteur Oméga d'avion avec ordinateur (type inconnu).

1980 - 85 : Northrop s'implique dans l'étude de contremesures :

AN / ALQ 143 équipement polyvalent porté par hélicoptère derrière le front, et assurant une réaction immédiate à toute apparition d'un signal non ami.

AN / ALQ 155, équipement de brouillage pour les B52, avec commande par ordinateur pour contrer à chaque instant la menace la plus dangereuse.

AN / ALQ 171, équipement de contremesure des avions F5 et F20, logé dans des pods ne perturbant que peu l'aérodynamique du fuselage.

1990 : AN / ALQ 162, récepteur de contremesures associé à un ordinateur, 300 ensembles commandés.

On voit que Northrop a choisi de se spécialiser, avec probablement l'obligation d'utiliser des ordinateurs fournis par les forces armées qui dans cette période passent aux constructeurs des commandes massives et non spécifiques (CDC AN / AYK 14, Univac AN / UYK 15 et 20, puis AN / UYK 43).

450 - Novix

La Novix Corporation est un bureau d'études qui se crée, en 1985, pour promouvoir le langage Forth, lequel existe de longue date en tant qu'interpréteur. Leur produit est une puce de 4000 portes en CMOS 2 μ , avec 2 couches métalliques, fonctionnant à 8 MHz, contenant une incarnation 2 Mips de la machine virtuelle Forth, 16 bits.

Le circuit se présente en boîtier 13 * 13 broches, comprenant 118 broches. Il n'aura aucun succès.

451 - Mars 432, de Numerix Corporation

Cette machine, dont le constructeur ne nous est pas autrement connu, est un array processor 32 bits. Son prix élevé, K\$ 100 pour une mémoire de données de 64 KB, est une condamnation a priori s'il ne trouve pas rapidement un mécène / absorbeur. Il ne semble pas que c'ait été le cas.

La machine, sur laquelle on a peu de détails architecturaux, comporte une mémoire de programme de 4 à 64 Kmots, avec cache de 4 KB, et une mémoire de données de 64 KB à 16 MB, avec cycle de 100 ns et un DMA autorisant un débit de 20 MB / s associé à un tampon FIFO. Le temps de calcul est 100 ns pour l'addition comme pour la multiplication, il réalise une FFT de 1024 points en 1,7 ms.

Le logiciel comprend un macroassembleur, un éditeur de lien, un débogueur, probablement un crossassembleur sur IBM, et un Fortran 66.

452 - Oak Ridge National Laboratory

Le laboratoire nucléaire d'Oak Ridge, dans le Tennessee, est un de ceux qui ont concouru à la mise au point de la bombe atomique. Chargé d'expérimenter une des

méthodes possibles pour enrichir l'uranium 235, sa compétence était principalement mécanique et ses besoins de guerre en calcul furent des plus modestes. Il ne disposait probablement pas d'un laboratoire d'électronique, et c'est la raison pour laquelle son ordinateur d'après guerre fut construit par les techniciens du laboratoire nucléaire d'Argonne, dans l'Illinois, qui venaient de terminer leur propre AVIDAC.

Le calculateur ORACLE - acronyme élégant pour Oak Ridge Automatic Computer & Logical Engine - est la 7ème copie du calculateur de Princeton. Son existence active a été une des plus longues parmi les ordinateurs à tubes, peut-être parce que le laboratoire n'avait pas de gros besoin, certainement parce qu'il avait été soigneusement réalisé. Par exemple, la duplication de sa mémoire électrostatique semble lui avoir donné une qualité de fonctionnement suffisante pour qu'il n'ait jamais été question de la remplacer par une mémoire à tores magnétiques. Voir fiche.

Tout de suite après la guerre, Oak Ridge est reconvertie, la filière d'enrichissement que le laboratoire expérimentait ne devant pas être suivie. La nouvelle tâche, d'une ambition démesurée - mais on n'avait aucun moyen de le savoir - consistait à mettre au point un moteur d'avion nucléaire. C'est le programme NEPA, Nuclear Energy for Propulsion of Aircrafts.

Pour ce projet, l'USAF avait demandé à Fairchild la construction d'un calculateur spécialisé, plus particulièrement adapté au problème de l'inversion de matrices, cad la solution de systèmes d'équations linéaires. La machine, composée de 2000 tubes, 20 diodes et 50 relais, est en service dès juin 1950, bien avant donc que commence la construction d'ORACLE.

Cette machine travaille en base 10 (XS3), arithmétique en complément à 9, fractionnaire. Les mots sont longs de 4 chiffres décimaux seulement et circulent en mode série / parallèle. Le répertoire est très court, addition, soustraction, multiplication sont câblées ; une mémoire auxiliaire comprenant 6 boucles magnétiques de 40 « de long (350 mots) fournit des sous-programmes spécialisés comme la méthode itérative de Gauss-Seidel. A la fréquence de 50 KHz, les temps proprement consacrés au calcul sont 20 µs pour l'addition, 320 µs pour la multiplication, mais l'accès à l'instruction et à son unique adresse sur les mémoires à boucle introduisent de tels délais que toute opération dure 7 ms.

La machine comportait encore un dérouleur de bande magnétique dont la bande de 1200 ft logeait 90000 mots sur 5 pistes (chiffre + parité) et travaillait, comme les boucles, à 20 «/s. Les entrées/sorties utilisaient une simple machine à additionner, capable de 1 mot/s. Malgré cette austérité, elle consommait 15 KW et exigeait 43 m³/h d'air de refroidissement.

La machine comportait divers dispositifs de sécurité, et un test de débordement, de sorte que les utilisateurs ont cru pouvoir déclarer qu'il n'y avait jamais de calcul erroné. Cependant, sur une semaine de 40 heures, il fallait compter sur un maximum de 28 heures de travail utile, le reste se partageant entre la maintenance planifiée et la réparation des pannes inopinées : il y a quelque mérite à travailler dans de telles conditions.

453 - Office of Naval Research

Cet organisme de la Marine est essentiellement une structure administrative, n'assumant aucune recherche par lui-même. Sa raison d'être est que, reconnu par le Budget, l'ONR est autorisé à signer des contrats de recherche, de sorte que tous les contrats de la Marine passent par lui, et parfois même ceux d'autres administrations qui n'ont pas ses moyens.

L'ONR fut un des premiers organismes des armées à ressentir le besoin d'un ordinateur comptable, et demanda à l'Université Georges Washington, de Washington DC, de lui construire cette machine avec les technologies du moment, à savoir les relais, à la manière de Stibitz.

ABEL, le ordinateur à relais de l'ONR, fut terminé en janvier 1951. C'était un compromis, avec une mémoire à tambour tournant à très faible vitesse (440 t/min, 15 KHz) et une logique à relais. Voir fiche. Il semble que l'équipe qui a construit Abel soit la même qui peu après s'est attaquée, dans cette même université Georges Washington, et sur contrat ONR, à la construction du Logistic Computer, un projet de recherche opérationnelle : c'est-à-dire la future équipe d'ERA, plus tard Univac.

454 - Onyx Systems, Inc.

Petite société créée pour exploiter la filière de petite gestion en utilisant le Z80, microprocesseur supérieur au 8080 d'Intel qui l'a inspiré.

La première réalisation, C8000, est un mini doté d'une mémoire de 64 KB, réalisée à base de puces RAM 16K bits, et d'un microprocesseur Z80 à 4 MHz. L'assembleur y a ajouté un DMA pour le disque, et trois ports série RS 232 C. Le disque de 8 » est un 10 MB du à International Memory, temps d'accès 50 ms. Sur le même contrôleur Onyx propose aussi un lecteur de cartouches 3M du à Data Electronics, Inc.

Le succès modéré de ce premier jet permet à Onyx une étude plus raffinée, C 8002, autour d'un Z8000 de 16 bits. La mémoire de base est 64 Kmots avec parité par byte, extensible à 256, 512 ou 1024 KB. Une gestion de mémoire est prévue, avec un MMU à 16 entrées permettant de distinguer les zones données et instructions, toutes deux découpées en pages de 2 KB.

Le CPU peut se voir associer une unité arithmétique VF AMD 9512.

Le châssis 6U peut encore loger un Winchester 8 » de 10 MB, et une cartouche de sauvegarde de 12 MB, mais leur gestion est maintenant confiée à un Z 80A qui joue le rôle d'une paire de DMA. Il y a aussi dix ports série RS 232 C pour des postes de travail, et une interface parallèle pour imprimante Centronics.

Le logiciel est Unix version 7 avec langage C, accompagné d'un Basic, d'un Cobol, et d'un émulateur du protocole 2780 pour faire du système un terminal lourd. Un Fortran et un package Business Basic étaient prévus pour renforcer l'autonomie du produit, vendu \$ 16000 dans sa version de base 128 KB.

Comme il n'y a pas eu de suite, le plus probable est que l'opération s'est terminée par une faillite, car il faut de gros capitaux pour suivre l'évolution technologique.

455 - Pacific Cyber / Metrix, Inc.

Calculateur conçu pour exploiter le marché, encore fort important, du DEC PDP 8. Il est construit autour de la puce IM 1600, un microprocesseur CMOS 12 bits compatible avec le PDP 8. Le produit est une carte OEM, alimentée en 5 Volts, et enfichable dans tout Multibus.

Outre le micro, la carte contient des socles pour EPROM CMOS 6653, 4K mots de RAM CMOS, un MMU, une RTC, trois portes parallèles, un port série RS 232 C, une boucle de courant 20 mA optiquement isolée, et un débogueur mémorisé sur ROM.

La carte vaut \$ 990 et peut être livrée sous 30 jours. Il est clair qu'un tel produit, qui se présente comme un contrôleur de périphériques pour le Multibus, doit un éventuel succès exclusivement à la popularité du PDP 8 et à celle du Multibus. On ignore complètement le sort de cette éphémère société.

456 - Pacific Data System

Née vers 1962, cette petite société choisit la voie originale d'une machine série construite autour de lignes à retard à magnétostriction, avec l'encombrement d'un petit bureau et un programme de simple calculatrice actionné par une machine à écrire Selectric.

La commercialisation est assurée par Electronic Associates, dont PDS est une filiale, pratiquement dès le début. On a l'impression que EAI, qui doit son succès au calcul analogique, et qui ne peut ignorer où se situe l'avenir du calcul, tâte le terrain où elle va devoir s'engager. Le succès sera modeste, mais suffisant : environ 100 machines installées aux USA en 9 / 66, et 25 à l'étranger.

La deuxième machine de la société sera simplement une nouvelle présentation du même matériel, destiné cette fois au temps réel. Le matériel, convenable pour le data logging, prend 4U dans un rack 19 « où on peut installer codeur et multiplexeur, bien que ce type de matériel ne soit pas mentionné dans notre documentation.

Il n'y aura pas de suite car PDS, ayant fait la preuve de sa compétence, sera en 1965 englobée dans la maison mère.

457 - Packard Bell

Cette société d'origine inconnue se signale en 1957 en proposant le Multiverter, un codeur / multiplexeur de signaux analogiques. Dans le même temps, elle obtient des marchés de production pour les armées : les AN / APX 6 et AN / APX 7 dont elle reçoit commande sont des contrats de renouvellement pour des IFF mis au point par Hazeltine 12 ans plus tôt, et toujours en service.

Cependant, cette production la familiarisera suffisamment avec le problème pour que Burroughs, maître d'oeuvre de l'AN / USQ 25, système de navigation des avions radars du système SAGE, lui confie la production de l'AN / APX 49, IFF Mk 10 de ce système. Après quoi, en 1958, Packard Bell obtiendra lui-même une tâche d'intégration, avec l'AN / ASQ 17 pour la navigation des avions A4D et F8U.

L'entrée de Packard Bell dans l'informatique a lieu la même année, sans que nous puissions établir de lien entre ces domaines d'intérêt. TRICE est un DDA parallèle où chaque intégrateur est matériel. Le prix est exorbitant, de sorte qu'aucune clientèle n'est envisageable en dehors des administrations ou des sociétés d'aviation qui travaillent pour elle ; mais les performances sont très supérieures à celles des DDA inventés par

Northrop, soit 100000 itérations par seconde au lieu d'une par tour de tambour. Il y aura donc des TRICE à la NASA et chez North American. Voir fiche.

La programmation du TRICE est d'abord manuelle, ce qui pose le problème des choix d'échelles. Le problème est commun à tous les DDA, mais plus irritant à cause du prix du matériel immobilisé pendant ces préparatifs. Aussi Packard Bell se tourne très vite vers le calcul numérique, auquel la prédisposait une activité alimentaire tournée vers le data logging.

Le premier calculateur numérique de PB est le PB 250, une petite machine série dont la mémoire est constituée par des lignes à magnétostriction de diverses longueurs, jouant donc au choix un rôle d'accu ou de mémoire ; la programmation en est difficile. Voir fiche.

Malgré cela, la machine aura du succès, d'autant qu'elle est très fiable. Vendue d'abord comme accompagnement pour le TRICE, ou pour le data logging, elle aura aux USA une carrière honorable dans ce domaine, où PB la cantonne en proposant en 1964 un système complet de mesure, le CDS 250. Commercialisée en Europe par la SETI, elle y sera développée comme calculatrice universelle.

On peut comparer cette machine au PDP 8 de DEC, auquel elle fait penser par son esthétique et ses dimensions. Cependant, l'ampleur des succès ne sera pas comparable, en particulier parce que la machine initiale n'aura pas de successeur.

En 1963, PB propose le PB 440, qui se présente comme un émulateur universel, sans effort particulier pour la miniaturisation. Le mot « micromachine » n'est pas mentionné parce que le concept n'est pas encore populaire, et PB ne recherche pas du tout l'économie, seulement la souplesse. Cette approche éthérée n'aura aucun succès, 20 machines seulement étant réalisées.

Résultat de cet échec commercial : Packard Bell est racheté par Raytheon Computer, simple filiale du Raytheon des radars et des sonars, qui sera toujours marginale.

Raytheon annexe les oeuvres de PB, dont le nom disparaîtrait certainement si Raytheon Computer n'était elle-même une compagnie timorée.

Pendant cette période, PB revient à son activité d'origine, les codeurs de signaux : les ADC 20 à 24 forment une gamme de convertisseurs présentés en tiroirs 3 U, dont les performances sont plus définies par la demande que par la technique : durée 1,2 à 4 μ s par échantillon, précision 12 à 15 bits, fréquence 16 à 70 KHz.

les DAC 20 à 24 sont en sens inverse des décodeurs de 10, 12, ou 14 bits, uni ou bipolaires, délivrant des signaux 10 volts avec une précision de 0,01%. Le 22, plus modeste, bipolaire, n'accepte que 8 bits et délivre du 5 Volts avec une précision de 0,5%.

La compagnie retrouve une nouvelle jeunesse avec l'invention du PC, et se taille dans cette compétition une place notable, sinon de premier rang. Les productions en cause en font une compagnie beaucoup plus importante que pendant sa période initiale créatrice, de sorte que vers 1990 la Compagnie des Machines Bull, en France, soucieuse de ne pas abandonner le domaine du PC ni le marché américain, prend une participation au capital :

cela n'aura apparemment aucune influence sur la position de PB, qui retrouvera son indépendance vers 1997 quand l'étoile de Bull déclinera.

En 2000, notre date limite, Packard Bell est toujours un honorable acteur du marché PC, avec une gamme complète de produits grand public. On trouve ci-dessous un extrait de la publicité interne du supermarché informatique Surcouf, à Paris :

Gamme Club : machines économiques à base de Celeron 466 MHz, 64 MB de SDRAM 100 MHz, avec

disque dur 6,4 GB, son stéréo, carte graphique Intel i810 sans VRAM, modem 56 Kbauds,

DVD 6x, écran 15 »), pour 6990 FF TTC

Gamme multimédia : machines familiales améliorées pour le son et l'image (cartes 3D de Voodoo avec 8

MB de VRAM), à base de Pentium III 500 MHz, 64 MB de SDRAM 100 MHz, disque dur 10,2 GB, modem, DVD, 9990 FF TTC.

Gamme Spirit : autour d'un Pentium III 500 MHz, on paye le design et certaines technologies spectaculaires, comme l'écran plat LCD et les hauts-parleurs ultraplats : 19990 FF TTC.

Gamme Platinum : c'est réellement le haut de gamme avec un Pentium III 600 MHz et cache 512 KB, 128 MB de SDRAM 100 MHz, disque dur de 20 GB, carte son 16 bits stéréo, carte graphique NVidia TNT2 avec 32 MB de VRAM, modem 56 Kbauds, DVD, graveur, écran 17 in, contrat Internet inclus pour 16990 FF TTC.

Gamme Easy Note : ce sont les portables, avec au sommet un Pentium III 600 MHz avec cache 256 KB, 64 MB de SDRAM, disque dur 6 GB, son stéréo, VRAM 4 MB, DVD 6x, modem, sortie TV, écran à matrice active, pour 23990 FF TTC. C'est en réalité un produit NEC.

Toutes ces machines sont proposées avec Windows 98, plus 15 (Club) à 35 (portables) logiciels installés. On trouvera quelques images de cette offre dans la boîte d'archive 98, chemise Packard Bell.

458 - Pako Corporation

En 6/75, cette société offre pour \$ 29205 (logiciel en sus) une petite machine de gestion qui est qualifiée de facturière mais peut apparemment beaucoup plus. Le processeur est un LSI 2/20, carte OEM de Computer Automation. Pako lui associe une mémoire à tores de 16 à 64 KB, cycle de 1,2 µs.

Les périphériques disponibles sont un écran avec clavier, un lecteur de cartes, une IP 300, une ligne téléphonique pour connexion à un calculateur, et une mémoire à fichiers, au choix disques souples, disque en cartouche, ou bandes magnétiques.

Le logiciel comprend un système d'exploitation gérant 10 à 15 partitions, une gestion de fichiers sur le support choisi, et un package de base de données. Pour ce dernier, il n'est pas dit clairement si la BD est locale ou située sur le calculateur auquel la machine sert de terminal lourd.

459 - Les notebooks de Palm Computing

La société Palm, Inc. a été créée dans les années 90 par la société 3Com pour commercialiser, à l'exclusion de tout autre produit, un notebook : c'est-à-dire un calculateur de format agenda, sans clavier, destiné précisément aux fonctions d'agenda, et plus si le logiciel peut tenir dans ce volume.

Contrairement à la concurrence, qui a adopté le système d'exploitation Windows CE de Microsoft, et qui semble avoir du mal à percer, Palm a choisi un OS spécial, baptisé Palm OS, dont les versions successives ont équipé des machines réussies, Symbol, Palm V, Palm III, et le tout dernier Palm IIIe dont la mémoire est portée à 8 MB ; l'un des défauts de Palm OS, cependant, est qu'il ne fonctionne qu'en noir et blanc, au moins jusqu'en 2000.

La réussite de Palm, qui achète son processeur à Motorola, et qui s'exprime par des ventes supérieures à 5 millions d'exemplaires, justifie l'introduction de la compagnie au Nasdaq en février 2000, avec une redistribution des capitaux à la suite d'une augmentation de capital de l'ordre de 100 M\$: Motorola, Sony, AOL, Nokia, apportent des fonds avec l'idée que ce produit pourrait être une voie d'accès pour le téléphone portable de 2ème génération.

Le produit de lancement de la nouvelle société, baptisée Palm Computing, est le Palm IIIc, qui profite d'un processeur plus performant supportant 256 couleurs, et d'un OS 3.5 qui sait l'utiliser.

460 - Les serveurs de Parallan

Ces produits, vendus en France par Métrologie, sont des serveurs de réseaux exploitant le logiciel OS2 LAN Manager, de Microsoft.

Dans chacun de ces appareils, on trouve un IP Bus de 64 bits, sur lequel convergent :

deux contrôleurs pour bus SCSI, gérant les disques

un contrôleur pour bus IBM MCA avec 8 slots pour tous périphériques de service

un ou plusieurs processeurs principaux de type Intel 486 / 33

un contrôleur de gestion de mémoire avec ECC

un processeur de service et de maintenance avec console

Sur ce principe, Parallan propose les modèles suivants :

Model 10 à un seul processeur, avec 8 MB ECC de mémoire, et jusqu'à 676 MB de disques.

Model 20 à deux processeurs, 16 MB ECC et 1,3 GB de disques

Model 50 à quatre processeurs, 24 MB ECC et 5,4 GB de disques

Model 60 à quatre processeurs, 32 MB ECC et 10,8 GB de disques.

461 - Processeurs à tolérance de pannes de Parallel Computers

Dans cette machine, la fiabilité recherchée est obtenue par duplication matérielle autour d'un Multibus I, complété par un bus de distribution d'état. On trouve dans l'installation deux alimentations dotées chacune d'une batterie assurant 10 minutes d'autonomie, et deux slots OS pour chaque processeur.

Quatre configurations sont proposées :

pour 350000 FFHT, le 200 XR est formé de deux ensembles comprenant chacun un 68010 à 10 MHz avec 2 MB de mémoire et deux disques de 86 MB.

pour 410000 FFHT, le 400 XR est formé de deux ensembles comprenant chacun un 68020 à 16,7 MHz avec 4 MB de mémoire et les mêmes disques que ci-dessus. 2 slots d'extension.

le 300 XR est semblable au 200 XR, mais avec 6 slots d'extension sur le Multibus.

le 500 XR est de même un 400 avec 6 slots d'extension. A titre d'exemple, un 500 avec 2 CPU, 2 fois 4 MB de mémoire, deux fois 334 MB de disques, et deux fois 16 lignes, coûte 750000 FFHT.

Pour les extensions, pas nécessairement doublées, on propose :

un contrôleur de communications, 68000 avec 512 KB de mémoire et 128 ports série RS 232 C.

plus modestement, un 80186 avec 512 KB, et 8 lignes RS 232 C, avec protocoles BSC, SNA, X25 .

des réseaux, Ethernet ou le NFS de Sun.

462 - Staran de Goodyear

La société Goodyear, de Akron dans l'Ohio, est un fabricant de pneus et autres objets en caoutchouc. Très éclectique, elle s'était rendue célèbre avant guerre en construisant les deux dirigeables rigides américains, Akron et Macon, et pendant la guerre en produisant des petits dirigeables souples pour la Marine. Il n'est donc pas très étonnant qu'elle se soit dotée vers 1958 d'une division électronique à laquelle l'USAF a assuré quelques petits contrats :

1964 AN/APQ 102, radar latéral de l'avion de reconnaissance RF4C

1974 AN/ALE 39, 522 exemplaires d'un distributeur de chaff (antiradar pour avions).

1976 AN/APD 10, radar latéral bande X du drone AN/UPD 4.

Pour ne pas rester dans cette seule routine, cette équipe s'est orientée, sur crédits USAF et NASA, vers la construction de mémoires associatives. Voir à ce sujet 228-41, 1963.

Plus accrocheur que la plupart des industriels ayant eu des contrats de ce type, Goodyear décide d'utiliser son produit dans une architecture spécialisée et réalise le premier Staran.

Cette machine a pu démontrer, de 69 à 72, son efficacité dans des problèmes aéronautiques de type parallèle comme l'encombrement du ciel, justifiant la mise en chantier d'une machine plus ambitieuse, la Staran S réalisée en LSI. Au total, trois machines ont été livrées:

en 1973, le RADCAP, processeur associatif du RADC, qui associe le Staran et divers émulateurs universels à un processeur HIS 645 Multics pour des mesures sur diverses architectures. Voir 261-7/15.

en 1974, un Staran est relié par un canal spécialisé, ordres et données, à la mémoire d'extension à tores d'un CDC 6400, en vue d'études de traitement de cartes au Laboratoire topographique de la Defense Mapping Agency, à Fort Belvoir, Virginie.

en 1975, un Staran a été installé au MSCC de Houston pour participer au projet LACIE, Large Area Crop Inventory Experiment, qui par parenthèse semble plutôt relever des satellites de Goddard.

Ces expérimentations ont donné satisfaction mais aucune ne correspondait, semble-t-il, à un besoin justiciable d'une production en série. On retrouve cinq ans plus tard la même équipe Goodyear dans une étude de processeur VLSI pour l'avion radar E2C de la marine, qui pourrait justifier une série si la refonte correspondante était décidée ; et dans l'étude d'un processeur massivement parallèle pour l'exploitation des images de satellites dits « de ressources terrestres ». Il n'est toujours pas question de série.

Cependant :

il semble que l'étude ASPRO (Associative Processor) pour l' E2C ait abouti : le processeur fait simultanément toutes les mises à jour de pistes à chaque tour d'antenne, et détecte les nouvelles. La société Loral aurait en outre récupéré le brevet pour un système de visée au delà de l'horizon dans les sonars des sous-marins de chasse SSN 688, et pour une visualisation de navire amiral.

D'autre part, le matériel atteint le grand public en 7/91 sous la forme d'une carte VME d'extension destinée aux VAX de Digital Equipment. Cette carte à base de CMOS 1μ et d'ASIC VHSIC est capable de 150 MFlops avec 512 processeurs, et jusqu'à 16 cartes peuvent être couplées : programmation en ADA.

par contre, le MPP n'a bien été réalisé qu'en un exemplaire, avec le concours de Hugues qui a spécialement étudié une technologie SOS à cet effet. Les chiffres cités, de 6553 Madd/s et 1861 MFImpy/s, sont probablement des mesures obtenues sur un cas particulier et leur généralisation n'aurait pas grande signification.

On notera d'ailleurs que l'idée des processeurs sur 1 bit travaillant en parallèle est dans le vent à cette époque. On pourra se référer au DAP anglais d'ICL, et à une réalisation française, le Propal ; mais ni l'une ni l'autre de ces études ne paraît avoir débouché.

463 - Le chipset Viper de Opti

Cette société, probablement simple bureau d'études, semble avoir réalisé des chipsets pour PC à l'époque des 486. Fin 1995, Opti propose un chipset pour les Pentium : ce Viper-M tient en 3 puces, le jeu se vendant 25 \$.

Les caractéristiques de ce chipset n'ont rien d'exceptionnel :

taille maximale du cache de niveau 2 : 2 MB

cache de niveau 1 : une seule ligne

mémoire principale plafonnée à 512 MB

accès en rafale non prévu, ni sur la mémoire ni même sur le cache, le temps d'accès à ce dernier étant 3 CP pour chaque mot de la rafale.

situation du contrôleur de disque : IDE enrichi en situation maître.

Il est probable que ces performances « banales » ont contribué à la perte de prestige de Opti, dont on cesse de parler en fin de période.

464 - Les circuits de Performance Semi

La société Performance Semiconductors Technology apparaît en 1986 comme fabricant , ou au minimum dessinateur et vendeur, d'une puce CMOS $0,8\mu$, microprocesseur 16 bits réalisant par microprogrammation interne les caractéristiques de la norme 1750 A de l'Armée. Consommant peu, plus rapide que son concurrent contemporain produit par LSI

Logic, ce circuit PACE - voir fiche - aura suffisamment de succès pour introduire pour quelque temps PST dans le cercle des grands bureaux d'études.

PST se rend cependant compte que la clientèle militaire n'est plus ce qu'elle était au début de l'informatique, et qu'il vaut mieux s'adresser aux civils. Il faut alors faire allégeance à une famille de microprocesseurs, car il n'y a aucune chance (exemples de NCR, de NS) d'imposer une nouvelle architecture.

PST choisit l'architecture MIPS R3000 et propose en 1991 le PIMM, un composant hybride regroupant, sous un seul boîtier 144 broches, divers composants CMOS 0,8 μ :

un CPU virgule fixe PR 3000 A, compatible MIPS

un FPU PR 3010A, compatible MIPS

quatre SRAM P4C92815 de chacune 2 * 8K * 15 bits organisées en caches D et I.

une interface conforme au bus S100, incluant un tampon d'écriture de 8 mots et une FIFO de 32 mots pour la lecture.

Ce calculateur est proposé en trois vitesses 30, 35 et 40 MHz, avec des performances en fixe de 25, 29 et 33 Mips VAX, ou en flottant de 8,6 / 10 / 11,5 MFlops. Le circuit consomme 8 watts sous 5 Volts, et son dessin est tel qu'aucune interconnexion ne dépasse 1,5 mm de long.

Néanmoins, il consomme trop, et PST annonce qu'il va réduire l'alimentation à 3,3 Volts ; ce n'est possible, à performances égales, qu'en réduisant la géométrie ce qu'on ne sait pas encore faire en 1991.

Autre produit contemporain, le PIPER est un contrôleur 32 bits compatible R3000 qui correspond à la même organisation, contenant 10 KB de cache configurable au choix en 4D + 4I, ou 8I + 2D. Ce circuit incorpore le circuit de distribution d'horloge avec ses lignes à retard, les tampons entrée et sortie du bus éliminant les parasites HF sur les broches.

465 - PEP Modular Computers, Inc.

Très bien introduite en Allemagne, cette entreprise fabrique essentiellement des cartes VME aux Etats-Unis et des Eurocards en Europe, où elle est connue sous le sigle EuroPEP. Nous disposons d'une collection étoffée de photographies montrant les cartes et boîtiers du catalogue 85 / 86, qui couvrent la gamme des produits Motorola, du 6809 au 68020 avec coprocesseurs, en passant par le 68008 et le 68010.

Puisque les cartes proposent des bus de 8, 16 ou 32 bits, les systèmes d'exploitation proposés offrent également une grande variété, OS 9 pour le temps réel embarqué, RMS68K comme système universel, CP/M pour le bas de gamme 8 bits, FLEX pour la virgule flottante.

Cette double introduction réussira à PEP Modular, qui est toujours prospère en 2000. Sur son cheminement, notons quelques étapes, qui le montrent fidèle à Motorola:

Septembre 1995 : introduction de la puissante carte VME 62, groupant le calculateur 68060 à 50 MHz

avec un contrôleur 68360 QUICC en « mode compagnon » pour obtenir 80 Mips. Cette carte consomme 5 Watts en 3,3 Volts, tourne sous OS9, Vrtx/OS, VxWorks ou pSOS+.

Le QUICC se consacre aux communications et ramène un de ses ports série SCC sur la

face avant, pour Ethernet, Profibus (bus de terrain) ou modem, selon le module fille enfiché ; trois autres SCC se retrouvent sur le connecteur CXM pour carte mezzanine, et deux RS 232 simples sont aussi ramenés en face avant.

Cette carte coûte 23 KF.

Par comparaison, la carte précédente de même fonction, VM 42 avec 68040 à 33 MHz, 35 Mips, consommait 7 watts en 5 Volts, et coûtait 18 KFF.

Avril 1997 : la carte VSBC 860 contient un PowerQUICC, union d'un PowerPC et d'un DSP, capable de 87 Mips à 66 MHz et donnant encore 33 Mips à 25 MHz. Tout à fait comme les précédentes, cette carte dialogue avec l'extérieur par le bus VME et par la carte mezzanine CXC, tout en offrant une grande variété d'interfaces de communication, quatre SCC, un Ethernet, un PCMCIA, deux TDM. Elle consomme 5 Watts en 3,3 Volts et dispose de tous les logiciels antérieurs.

Avril 2000 : Voir photo de la carte Compact PCI 3U, la CP 302, équipée d'un Pentium III mobile en géométrie 0,18 μ à boîtier microBGA résistant aux vibrations, supportant - 40 à + 85°C, et consommant au plus 6 Watts à 400 MHz. Cette carte peut tourner sous Windows NTE, VxWorks, QNX et Linux ; elle comporte des emplacements pour mémoires flash ou Disk-on-chip pour les applications embarquées temps réel sans disque.

466 - Perkin Elmer Data Systems

La Perkin Elmer Corporation s'est constituée à Norwalk, Connecticut, pour la réalisation de systèmes optiques et mécaniques de précision, tels que les télescopes des astronomes et les télémètres des navires de combat. Ces appareils d'optique nécessitant beaucoup de calculs, elle s'est dotée en décembre 1965 d'un SDS 9300, à côté duquel elle a développé sur un SDS 930 un système de temps partagé, capable de 16 terminaux, télétypes, machines à écrire et terminaux télégraphiques. Le langage est Fortran IV. On a vu à la rubrique 323 qu'en 1978, PE a absorbé Interdata, qui devient la Computer Systems division de cette entreprise, avec une large autonomie due à la non pénétration des techniques. En fait, le statut de cette division changera rapidement, devenant la filiale Perkin Elmer Data Systems, mais sans jamais oublier de mettre en exergue le nom de la corporation. Elle est installée à Holmdel, New Jersey, et dispose d'un effectif modeste de 3000 personnes, dont 65 en France.

La nouvelle PEDS va donc poursuivre l'exploitation des modèles 8/16 et 8/32, en abandonnant toutefois très vite l'orientation gestion que Interdata avait donnée à sa série Sixteen. Il sera donc brièvement question, dans la publicité, des modèles suivants :

le 1610, mémoire 64 KB, remplace le 8/16

le 1620, mémoire 256 KB, remplace le 8/16 E

le 1630 est la même machine équipée en outre d'une protection de mémoire.

le 1635 est un retour à l'orthodoxie, une machine orientée vers le temps réel avec insistance sur l'intégrité des données, avec battery backup, interruptions coupure de courant et reprise, mode privilégié, ECC sur la mémoire, protection de mémoire optionnelle, et test d'intégrité de mémoire effectué automatiquement à chaque invocation du chargeur de l'OS/16. Voir fiche.

Cependant, l'effet le plus évident du changement d'actionnaire est le passage aux 32 bits, basé sur une rationalisation des concepts du 8/32 sous le nom de famille PEDS 3200, fonctionnant sous OS/32. Le calculateur 3220, premier système de cette famille, est déclaré compatible avec 7/32 et 8/32, à l'exception d'une instruction disparue du répertoire, et du dispositif d'expansion de la microprogrammation par WCS, qui n'est pas à la portée de tous les usagers et qui n'est pas supporté par les anciens logiciels des deux machines d'origine. La continuité est donc assurée. Voir fiche.

Le 3240, annoncé en 1980, est probablement la même machine, mais avec une mémoire poussée à 16 MB, un cache de 8KB, probablement une microprogrammation un peu plus poussée qui peut en outre être améliorée par l'utilisateur à travers la WCS, des entrées / sortie à débit très accru, et un système d'exploitation doté de quelques raffinements, notamment un log de tous incidents ; il n'y a pas de mémoire virtuelle, simplement un MMU permettant de générer les adresses de 24 bits pour atteindre divers secteurs de la mémoire réelle..

Voir fiche et important dossier technique du constructeur.

En 1981, le passage aux puces de 64 Kbits permet d'annoncer une 3230 qui va reprendre avec une baisse de prix l'essentiel des services du 3240. Le cache est plus petit 2 KB seulement, la mémoire extensible à 8 MB n'est pas modulaire, et surtout le débit des accès est celui du 3220, mais le système est celui du 3240 : il s'agit donc clairement d'une opération marketing, sans véritable nouveauté. Voir document dans la fiche 3240.

La même année, PEDS propose aussi un 3210, pour ne pas oublier les clients qui s'intéressent au modeste temps réel, en l'occurrence le mode transactionnel avec un petit nombre de terminaux. Donc présentation condensée, pas de cache, pas de mémoire virtuelle, une puissance plafonnée à 1 Mips, et presque certainement le même processeur que dans le 3230. Exemple de prix : 500 KFF pour une mémoire de 512 KB, 32 MB de disques, une machine à écrire et 4 terminaux.

La course à la puissance est plus passionnante que la sauvegarde des clients bas de gamme, et pour PEDS comme pour d'autres (Data General, Prime) la cible est le VAX de DEC. En 1982, PEDS annonce les multiprocesseurs, 3200 MPS, qui fonctionnent comme suit :

un CPU (C pour central) et jusqu'à 9 APU (A pour auxiliaire) se partagent un bus 64 bits, 64 MB/s....

.....qui est la voie d'accès à une mémoire modulaire, entrelacement 2 ou 4 selon capacité, maxi 16 MB avec ECC et protection de mémoire

jusqu'à 4 canaux, chacun matérialisé par un bus portant les périphériques, peuvent cumuler un débit de 40 MB/s qui correspond à l'équipement maximum d'un 3240.

Les processeurs sont pris dans la gamme des produits maison, le CPU étant le gérant du système et de la mémoire. Les APU peuvent disposer de caches, d'un processeur flottant, de la WCS ; on peut en déconnecter un en marche pour maintenance. Le concept ne se concrétisera guère avant 1985.

Exemple de prix : 1,76 MFFHT pour un CPU avec cache 8K, virgule flottante et horloge temps réel, 2 MB de mémoire entrelacée 2, et un seul APU.

Pour que le concept ne reste pas confiné au 3230, PEDS annonce cette même année un 3250 qui ne donne pas l'impression d'être réellement nouveau : toujours réalisé en circuits TTLS avec une mémoire modulaire à base de puces 64 Kbits, il est estimé selon les sources à 3 ou 4 Mips, cad la puissance du 3240. La nouveauté viendrait plutôt du logiciel car au delà de l'OS/32 on offre maintenant Xelos, une variante de Unix V, et des connexions SNA. Voir fiche.

Nouvelle mise à jour en bas de gamme en 1983 avec un 3205, qui représente un gros effort d'économie :

une carte de base à \$ 9950 fournit un processeur incluant la virgule flottante, 1 MB de mémoire et un canal sélecteur. Il est évalué à 0,5 Mips, avec 1,5 MB/s d'entrées / sorties.

une deuxième carte offre un multicontrôleur pour les terminaux,...

et une troisième permet de porter la mémoire à 4 MB.

Le logiciel est OS 32 temps réel ou sa variante MTM de temps partagé.

Prix typique : une boîte contenant le processeur, 512 KB de mémoire, l'alimentation et 40 MB de disques, plus une console d'exploitation, coûte \$ 24950.

On arrive ainsi en 1985, date à laquelle le concept MPS atteint sa maturité. Perkin Elmer, dont le CA consolidé s'élève à 1310 M\$, décide de redonner une certaine liberté à sa filiale qui représente 20% de ce chiffre et leur inspire toujours confiance. 17% du capital est vendu en bourse, les dirigeants achètent 1%, et PE garde 82% de la nouvelle entité, rebaptisée Concurrent Computer Corporation : CCC fait en 1985 un CA de M\$ 259 (+ 11%).

CCC met donc l'accent sur MPS. On peut chiffrer quelques exemples précis:

a) le MPS de base, avec un 3230 XP et un cache de 4 KB, plus 4 KB de WCS, le contrôle ECC, les interruptions coupure / reprise, une carte de commande multipériphériques, et jusqu'à 2 DMA de 10 MB/s chacun, est fournie dans un châssis de 56 » de haut (1422 mm) contenant le bus local, le bus mémoire partageable, un châssis d'entrées / sorties à 8 slots, une alimentation 300 A sous 5 Volts avec battery backup et panneau de distribution.

Prix \$ 85000 en 1 MB, la mémoire pouvant croître jusqu'à 16 MB par modules de 1 ou 2 MB.

Le MPS commence avec l'installation d'un à cinq APU à \$ 44000, ou d'APU / IOP à 49800 \$ offrant plus de souplesse : ce dernier modèle incorpore une horloge, un chien de garde, une interface d'imprimante, 8 ports série pour lignes synchrones ou asynchrones au choix, et un peu de logiciel : chargeur 8 KB, data handler.

b) le 3260 MPS se compose de 2 à 10 processeurs 3250 réunis sur le bus rapide , dont un IOP pouvant supporter 1 à 4 sélecteurs à 10 MB/s et un byte multiplex, pour un débit cumulé de 40 MB/s .

Pour un prix de 186000 \$, on obtient deux processeurs représentant 7,2 Mips, avec les deux logiciels OS / 32 pour le temps réel et Xelos pour le transactionnel.

c) cette même année, CCC propose le 3280, un processeur plus puissant (4 Mips) avec jeu d'instructions étendu, un pipeline 4 étages, 2 caches légèrement accélérés, un cycle réduit à 120 ns (on est toujours en TTL !). La machine de base vaut \$ 250000, les processeurs suivants seulement 120000 \$. Voir photo.

Le logiciel s'étoffe de plusieurs processeurs et d'une gestion de réseau.

Parallèlement à cet effort vers le haut, PEDS / Concurrent propose le 3203, une variante sur le thème du mini transactionnel qui ne paraît pas très différent du 3205. Dans une armoire verticale, dont le prix de base est \$ 10292, on trouve le processeur (probablement le même que pour le 3205), jusqu'à 4 MB de mémoire vive et 170 MB de disque, un streamer pour les sauvegardes, un bus SCSI pour les disques, et un maximum de 16 connexions d'utilisateurs.

Autour de l'OS/32, le logiciel est très complet, avec un macroassembleur, Fortran, Cobol, RPG, C, Pascal, ADA, Basic, et des services de réseau : TCP/IP, PENNet le réseau maison, Ethernet, les protocoles X25 et X29, une passerelle vers les écrans 3270 du SNA, et en option, une liaison vers les PC.

On voit que PEDS se trouve devant le même problème que ses concurrents DEC ou Data General : passer d'une clientèle pratiquant le modèle VAX, d'abord au mode transactionnel d'accès aux bases de données, puis à l'univers des stations de travail, à l'exclusion du domaine des PC, hystérique et encombré.

Perkin Elmer aborde cette question dès 1984 avec le 7350, un micro de table basé sur le 68000 et le logiciel Unix III. Le premier modèle utilise une mémoire à puces de 64 Kbits et un disque de 15 MB, mais dès 1985 on passe à la version A, avec des puces 256 Kbits et un disque de 28 MB ; le CPU travaille alors à 8 MHz, la mémoire peut croître jusqu'à 1 MB et se renforcer d'un cache de 64 KB, l'écran offre 720 * 300 pixels en 16 couleurs, et une connexion Ethernet est optionnelle.

500 exemplaires du premier modèle étaient placés au 1 / 1 / 85 quand apparaît le A, deux fois plus performant, et dont le prix de base est 85000 FFHT. 1 à 5 postes sont envisagés.

Ce modèle sera développé au cours de l'année 85 avec mémoire de 512 KB à 3 MB, et plus de choix : disque dur de 15 ou de 40 MB, écran mono 12 ou 15 », écran couleur 13 », et jusqu'à 4 RS 232. En somme il s'agit d'un concurrent du PC, pas particulièrement impressionnant et plutôt cher, mais doté d'un logiciel considérable qui vise plus l'universitaire que le public familial : UNIX III avec C, Shell et MenuMaker, traitement de texte, graphique, Fortran, Basic+, RM Cobol, Sibol. Aux USA, ce produit est vendu \$ 3900 en tant que matériel, \$ 5115 par lot de 100 en tant que système. PEDS / Concurrent choisit alors de pousser cette formule puisque la précédente est en perte de vitesse dans les entreprises. Ce sera la famille XF, unifiée sous XelOS qui est un Unix V plus à la mode que le III ; elle comprend en 1986, dans une présentation type PC :

XF 200 commençant à \$ 10150, mémoire 1 à 3 MB, disque 51 MB, floppy 320 KB, carte graphique, 4 ports. pour terminaux.

XF 210 est la même machine avec les maxima portés à 75 MB pour les disques, 4 MB pour la mémoire, et 6 ports. Prix \$ 10500 qui pousse visiblement à l'extension.

XF 400 plus important repousse à nouveau les maxima avec 2 à 4 MB de mémoire, 51 à 170 MB de disques, 8 à 16 ports, et tout le logiciel. Prix 21995 \$.

XF 600 est un serveur qui commence à \$ 27000 avec 2 MB de mémoire, un cache de 1 KB, un coprocesseur, une batterie de secours, 16 portes. Les extensions sont possibles jusqu'à 16 MB de mémoire, 2,4 GB de disques, 64 ports.

XF 610 à \$ 45000 rationalise cette explosion en prévoyant un DIOS, processeur d'entrées / sorties acceptant 32 terminaux ; pour ce prix, la mémoire est 4 MB.

XF 800 reprend la même machine en remplaçant le 68000 par un 3230, nettement plus puissant et probablement amorti.

On voit que Concurrent n'a pas encore assimilé le concept de réseau, probablement parce que sa clientèle ne le lui demande pas. On trouvera la suite de l'évolution à la rubrique 154, consacrée à la société Concurrent. Clairement, son nouveau visage est celui des seules stations de travail, pour lesquelles 3C va devoir choisir un microprocesseur : après avoir soutenu Motorola jusqu'au 68040, 3C fera le choix de MIPS, probablement à cause de l'absence de contrainte sur la gestion de mémoire que permet cette architecture.

467 - Pertec Computer Corporation

Pertec Computer est initialement un fabricant de petits périphériques, floppies, claviers, ainsi que disques Winchester pour petites machines. Son chiffre d'affaire atteint M\$ 100 vers 1976, tandis que sa filiale CMC, spécialisée dans la saisie de données, obtient un gros succès avec 32000 terminaux fin 76, 50000 vers fin 77.

Pertec se développe lentement, avec un CA de M\$ 132 en 1978, M\$ 171 en 1979, date à laquelle elle absorbe MITS, la petite société d'Albuquerque, NM, qui fabrique les ordinateurs familiaux Altair. Ce succès honorable quoique non impressionnant dans le contexte de l'époque provoque plusieurs tentatives d'OPA, qui se terminent cette année-là par un rachat par Triumph-Adler. Il s'agit d'une société américaine à capitaux allemands, qui s'est détachée peu auparavant de Litton ABS, l'entreprise de diversification de Litton vers la petite gestion dont les meilleurs succès étaient européens.

Le nom de Pertec disparaît, et la société fusionnée sous le nom de Triumph Adler voit son chiffre d'affaires gonfler rapidement jusqu'à 325 M\$ en 1980, avec d'ailleurs un résultat déficitaire de 4 M\$ à cause des difficultés de la fusion, qui porte aussi sur l'organisation commerciale internationale Royal Computer System, connue en d'autres temps par ses succès avec les machines Librascope. La société fusionnée comprend quelque 5000 personnes, et travaille à 40% pour l'exportation, mais elle peine à faire des bénéfices. Il semble qu'elle ait finalement été rachetée par Volkswagen : elle figure pour 390,4 M\$ en 1984 (42ème rang), pour 452,9 M\$ en 1985 (56ème rang mondial) dans l'inventaire de la revue Datamation sur les 100 premières firmes mondiales d'informatique. Cette dilution dans une firme dont les véritables intérêts sont ailleurs fait que l'entreprise disparaît des statistiques, et a probablement été vendue assez rapidement, mais on ignore à qui.

Dans le domaine des périphériques, citons :

D5000 (1971) tourne-disque compatible avec la cartouche IBM 2315, présentés en tiroirs de rack 19 ». Le 5101 offre une capacité de 12 Mbit avec une densité de 1100 bpi,

lisible à 720 KHz. Le 5201 est la même mécanique avec la densité 2200 bpi. Les 5121 et 5221 sont respectivement les mêmes, avec un disque fixe et une cartouche.

D3000 (1972) porte la capacité à 50 Mbits ; et en 1974 est annoncée une variante 100 Mbits = 12 MB.

D1400 (1975) est un disque de 50,75 Mbits ou 5 MB organisé en 812 pistes, 200 tpi. Il tourne à 1500 ou 2400 t/min au choix du client, ce qui correspond à 2,5 Mbit/s pour le plus rapide. Prix \$ 1625 par lot de 100. Un peu plus tard il y aura un 1450 de 6 MB en 2200 bpi, puis un 1460 de 12 MB en deux plateaux. Le D1600, disponible d'autre part dès l'origine, est une version double densité.

D3400 (1977) reprend la technologie des 3000 dans les diverses présentations qui ont réussi dans le public. Ainsi le D3461 est il un ensemble de trois disques fixes et une cartouche à chargement supérieur (genre IBM 5440), soit 24 MB en 2200 bpi, 1500 t/min. Le 3462 est le même à 2400 t/min. Les 3481 et 3482 sont respectivement les mêmes ensembles, mais avec une cartouche à chargement avant comme la 2315 d'IBM.

D8000 (1979) est un disque de 20 MB en deux plateaux alu, dont trois faces d'information et une de servo. Le produit est conçu pour occuper le même volume qu'un lecteur de floppy 8,25 », soit 217 mm de large, 362 mm de profondeur et 117 mm de haut. La technologie est cependant bien supérieure, densité 6000 bpi * 476 tpi, débit 870 KB/s, positionneur à bras tournant d'accès moyen 50 ms, maxi 80 ms.

Prix \$ 1800 en OEM, livraison en janvier 80.

FD400 (1974) est un lecteur de disquettes compatible IBM, soit 3,2 Mbits non formatés, avec un débit de 250000 bit/s. La norme ne s'étant pas encore complètement imposée, il existe aussi un FD360 à deux axes, compatible avec les microprocesseurs de Intel et de National Semiconductors.

FD200 (1977) est un minifloppy de 250 KB, physiquement compatible avec le Shugart SA400 (146 * 203 * 82,5 mm) mais de capacité supérieure. L'information est répartie sur deux faces, 40 pistes par face, avec la densité 5536 bpi. Le prix est \$ 405 .

FD511 (1977) est un modernisation du FD400, avec une capacité de 256 KB et la compatibilité IBM. Il sera commercialisé sous la forme FD5200, combinant un FD511 avec un formatteur programmable, vendu au prix de \$ 1000.

7100 (1974) est un terminal à écran vendu en OEM pour \$ 2025 par lot de 100. Il se présente comme un parallélépipède de 457 mm de large * 330 mm de haut * 483 mm de profondeur, contenant l'écran de 140 * 210 mm, avec un clavier séparé de 203 mm de large, 76 mm de profondeur et 46 mm de haut. Sur ce petit écran, la présentation standard est en 12 lignes, 24 en option. Le générateur inclus produit les caractères ASCII dans une matrice 7 * 9 points, fournie par ROM ; l'appareil contient un microprocesseur et un programme sur ROM, PROM ou éventuellement EAROM. La

connexion à un ordinateur se fait par ligne téléphonique 9600 bauds, au choix en synchrone ou asynchrone.

La période proprement informatique de Perdec est assez courte, et concerne la division Microsystem, ex MITS, sise à Chatsworth, Cal. Son premier produit, Attaché, n'est autre que l' Altair, machine de table fondée sur le microprocesseur Intel 8080 : cette boîte contient un bus S100 avec 10 slots dont trois occupés par le CPU, la vidéo (sortie par jack vers un moniteur 16 * 64 caractères), et le logiciel. La mémoire plafonne à 64 KB.

Pour \$ 1449, on dispose d'un minisystème d'exploitation sur PROM et de 1 KB de RAM ; des extensions sont possibles, Basic 16 KB sur ROM, cassettes, double disquette en boîtier externe. Il s'agit clairement d'un très bas de gamme, comme le produit Altair de base.

Un peu plus tard cette même année, le PCC 2000 est un véritable ordinateur de table en un seul boîtier, mais son prix de \$ 13000 avec logiciel et imprimante paraît élevé. Voir fiche.

Toujours en 1978, le XL40 relève plutôt de la filiale CMC. C'est un multiclavier centré sur un microprocesseur en tranches Intel 3000 servant une mémoire MOS de 512 KB, un à quatre floppies de tous types, et un à quatre disques de 8,8 ou 17,6 MB. Ces disques sont à deux axes pour cartouches, plus éventuellement un axe fixe, tournant à 2400 t /min pour le 8,8 , ou à 1500 t/min pour le 17,6 . Techniquement, la densité est 2200 bpi longitudinale, 200 tpi transversale, avec un total de 406 pistes de 4 * 16 * 88 bytes.

L'accès moyen se fait en 70 ou 40 ms, respectivement.

Ce système supporte lecteur de cartes 300 ou 600 cpm, imprimante de 60 cps à 900 lpm, 1 à 4 dérouleurs de bandes, 1 à 4 lignes téléphoniques capables de 1200 bauds en asynchrone ou 9600 bauds en synchrone, et de 1 à 16 postes de saisie à écran 480 ou 2000 caractères, pouvant être déportés par groupes de 4.

Le logiciel du système comprend un assembleur, un Basic, un Cobol, un RPG, un package de tri / fusion, un logiciel de communications, et un packages de saisie / vérification / formattage, très souple et général et intégré au compilateur Cobol.

468 - L'équipement du Pentagone

Le Pentagone a été construit pendant la guerre, mais ce n'est que vers 1963 qu'on s'est avisé que l'ordinateur devrait permettre de mettre de l'ordre dans le flot monstrueux des informations convergeant vers ce Ministère.

Le premier équipement semble avoir été confié à IBM. Limité par la faible capacité de mémoire des premiers ordinateurs, il pouvait au mieux gérer des droits d'accès des personnels à une documentation maintenue sur papiers et stockée dans les sous-sols, peut-être sous forme condensée de microfiches, mais certainement pas en mémoire. Ce premier système comprenait trois IBM 7090, respectivement affectées aux documents non classifiés, secret, et top secret : ces derniers étaient protégés par un système de sécurité baptisé ACF2, dont on ignore s'il portait uniquement sur les personnels ou s'il comportait un chiffrement.

Ce premier projet était très en dessous des ambitions du Pentagone, qui voulait amener la totalité de la documentation au meilleur niveau de sécurité reconnu par la NSA. On peut imaginer qu'il a d'abord évolué sous IBM, se gonflant de deux Access Control Modules et 16 Communication Control Modules à base de calculateurs Gemini et de disques protégés, pour gérer 1000 terminaux au service de 10000 usagers dont 3000 habilités au secret.

Vers 1970, cette solution ne suffit plus et IBM installe TABLON, un système constitué par deux mémoires photographiques IBM 1360 encadrées de mémoires tampons de 10**6 bits, de disques et de bandes, et gérés par une paire de PDP 10 à 196 KB de mémoire, reliée aux ordinateurs principaux.

Créé en 1968 pour la Commission de l' Energie Atomique, le système 1360 loge l'information sur des cartes plastiques contenant chacune 4,7 Mbits ; il y a 32 cartes dans une cellule, 450 cellules dans un tiroir, 5 tiroirs par fichier, et au maximum 7 fichiers par 1360. Le système permet de sélectionner une cellule et de la diriger pneumatiquement, en 2,5 à 5 secondes, vers un poste de lecture 1364 ou vers un poste d'écriture 1365, le tout géré par un contrôleur local 1367 qui est une 1800 avec 16 KB de mémoire et un disque. Voir description en 256-345/56.

La capacité maximale d'une armoire fichier est 340 Gbits, impressionnante pour l'époque, mais qui deviendra vite trop petite. Le premier système sera alors renforcé (1972) par un Ampex Terabit à base de bandes magnétiques, comportant jusqu'à 64 dérouleurs gérés par un PDP 9, autorisant 10**12 bits en ligne et une capacité illimitée avec les stockages.

La troisième génération d'ordinateurs sera composée de HIS 6000, la politique gouvernementale étant de ne pas trop soutenir le monopole d' IBM, des VAX remplaçant les PDP 10. Il y aura jusqu'à 16 ordinateurs HIS, au fur et à mesure que l'on prendra l'habitude de demander aux ordinateurs, en plus de simples accès aux archives, des exercices de modélisation des forces et même l'exécution de jeux stratégiques.

En 1990, la firme Grumman Data System est chargée de renouveler une quatrième fois ces matériels, à l'occasion d'un HSRP, Headquarter System Replacement Program. La mission reste la même, mais on ignore le choix de matériels effectué par Grumman, qui n'est pas un fabricant de machines.

469 - Philco et autres filiales électroniques de Ford

Philco nous est d'abord connue par son activité importante pendant la guerre, activité d'ailleurs sans rapport avec l'informatique

1943 : AN/APS2 (aussi SCR 717, ASG) radar bande S pour avions patrouilleurs et blimps. Divers

systèmes de balayage, AN/APA 12 / 13 / 14, pour les aériens de ces radars, sont aussi Philco.

AN/APS 17 (aussi ASJ), radar avertisseur de queue pour patrouilleurs.

AN/APN2, interrogateur de balises UHF

AN/APN 4, récepteur Loran de navigation

AN/APN 7, interrogateur / répondeur IFF bande S

AN/CPN 3, balise de homing en bande S, pour travail avec APN 2.

1944 : AN/APS 15, radar bande X pour avions B17 ou B24, avec atténuateur de puissance AN/APA 31

AN/APS 30, radar bande X pour avion AF2S antisous-marin.

AN/APS 31, 33, radar bande X pour patrouilleurs ASM. Variantes diverses reconduites

jusqu'en 1951, avec distributeurs de vidéo AN/APA 91 et 116, intégrateur AN/UPA 34.

AN/APS 32, 34, radar bande K pour PBM, PBY6, PB4Y, P2V

AN/ART 18 et AN/ARR 17, liaison répéteur FM/VHF en 74 à 118 MHz.

1945 : AN/APS 35, radar pour patrouilleurs, version 70 MW du 33.

AN/AXA 1, ensemble camera/émetteur TV en 780/900 MHz, et récepteur AXR 4.

AN/ART 2 et AN/ARR 19, répéteur pour la liaison précédente.

Cette activité soutenue se poursuit après la guerre dans la même ligne, avant de se diversifier avec l'apparition de nouvelles armes et de nouvelles techniques de communication :

1948 : AN/APS 36, radar de bombardement en bande K 35 GHz .

AN/APS 44, radar de veille bibande, X et C.

1949 : AN/APS 45, radar d'altimétrie des avions picket expérimentaux (WV2, EC 121 H du SAGE).

1950 : AN/ARA 33, plot pour présentation des sonobuoys AN/SSQ2 reçues par Philco AN/ARR 26.

1951 : AN/APS 52, 53, radars bande X pour recherche de schnorkel.

1952 : AN/URQ 3, 4, récepteurs de contremesures, respectivement HF et VHF.

AN/APS 38, reprise de l'APS 33 avec video AN/APA 91B pour l'avion naval S2F1.

1954 : AN/APS 54, radar des premiers B52, partie HF (la vidéo est Motorola).

L'entrée de Philco dans l'informatique date de 1954, consistant à embaucher une équipe d'ingénieurs recrutés à Princeton, et plus particulièrement compétents en matière de circuits. Cette équipe décide de ne pas passer par l'étape des tubes, qu'elle estime avoir suffisamment connue à Princeton avec le calculateur de Von Neuman, et elle se lance dans la mise au point d'une technologie à transistors originale, TRANSAC : elle utilise le transistor à barrière de surface, avec liaison directe entre étages (logique DCTL).

La mise au point acquise, vers 1957, Philco aborde le marché commercial, tout en continuant à accepter des contrats militaires :

1960 : AN/GRC 59, relais radar terrestre.

AN/TYK 3 et 5, calculateurs BasicPAC de l'Armée, voir plus loin.

Contrat du Signal Corps pour le réseau AUTODIN, à base de calculateurs Philco 102.

La réussite intellectuellement séduisante de ces machines attire l'attention de Ford, qui croit à l'avenir de l'informatique sans avoir en ce domaine la moindre compétence. Ford achète Philco en 1962 et s'implique fortement en prenant la décision de principe d'acheter dans sa filiale tous les calculateurs pour ses besoins propres.

Voir en particulier dans la fiche S2000.212 l'organisation du centre de calcul de Ford à Dearborn.

1962 : contrat pour les calculateurs du premier QG NORAD, le SS 425 L, à base de calculateurs Philco 2000 / 212 et de mémoires auxiliaires à tambours magnétiques.
1963 : contrat de système AN / FYQ 9 pour l'équipement radar de l'Alaska au profit du NORAD, utilise des calculateurs RW 130.
1965 : AN / LRC 3, liaison troposphérique autour de 2000 MHz, vastes aériens paraboloides.
AN / FTC 31, commutateurs numériques avec possibilité de codage, 100 prévus.
1970 : AN / UYA 5, multiplexeur pour 16 terminaux d'ordinateurs, polyvalent.
AN / AVQ 10, pod laser pour illumination de cibles et guidage de bombes, pour F4D, A6A.
1973 : AN / MSC 60, terminal pour liaison satellite DSCS 2, paraboloïde de 60 ft.

Ford disposait déjà, dans l'immédiat après-guerre, d'une petite filiale d'électronique, Aéronutronics, qui s'était lancée dans des travaux de recherche sur les mémoires magnétiques, et qui avait inventé le BIAX, petit cube de ferrite à deux trous perpendiculaires (voir rubriques 51 et 160) ; cette société récoltera plusieurs contrats militaires dont certains sont justifiés par l'emploi des BIAX, mais dont d'autres semblent interférer avec Philco :

1952 : AN / ASN 6 et 7, calculateurs d'estime pour avions
1961 : AN / GLA 12, analyseur de signaux électroniques pour contremesures, mémoire à BIAX.
1967 : AN / GSQ 38, analyseur de signaux sur bandes magnétiques pour diffusion vers LR / PR / ME. Idem.
1969 : AN / DPD 2, radar latéral pour drones
1975 : AN / AVQ 26, intégration du pod Pave Track pour avions F4 et F111 : on y trouve un télémètre laser AN / AVQ 25 du à Aéronutronics, un FLIR AN / AAQ 9 et un ordinateur IBM.

Il semble que vers 1970, examinant le bilan très modeste des ventes d'ordinateurs par Philco, Ford ait pris la décision d'abandonner ce domaine industriel, où ses propres besoins pouvaient être satisfaits par le marché, et de ne conserver de Philco que les activités militaires : la distinction entre Philco ainsi réduit et Aéronutronics ne s'imposait plus, dans ces conditions.

Un peu plus tard, d'autres commandes semblent indiquer que Ford a finalement rapatrié ses diverses activités d'électronique dans une société Ford Aerospace, dont le recouvrement avec l'ancien Philco est patent. On ne parle d'ailleurs plus de Philco à cette époque :

1972 : contrat 427 M de renouvellement des installations du NORAD, le QG enterré de Cheyenne Mountains construit sur contrat Burroughs (rubrique 116). Le nouveau système comprend :
un groupe de commandement, avec un ordinateur HIS 6080 et un équipement de visualisation comprenant des panneaux synthétiques d'ambiance et 29 consoles d'exploitation. Programmation effectuée localement par le personnel du NORAD.

un groupe spatial, avec deux calculateurs HIS 6080, des disques et des visualisations gérés par deux Nova 800, et 11 groupes locaux de visualisation comportant chacun Nova 1200, console et hard copy. Programmation confiée à System Development Corporation. un groupe de communication, reliant les deux précédents aux systèmes BMEWS et SAGE, et aux satellites IMEWS, pour une fiabilité exceptionnelle grâce à la multiplicité des voies de secours à remplacement automatique. Comprend deux HIS 6050 et 6 consoles graphiques.

Le système sera opérationnel en 1979, et c'est dès 1985 qu'on chargera le groupe Sperry de préparer la suite, car les capteurs auront beaucoup évolué entre temps.

1983 : AN/FSC 78, terminal lourd avec paraboloïde de 18 m pour la liaison satellite DSCS 2.

AN/AAS 38, pod FLIR + laser de l'avion F18.

Notre étude de Philco porte donc sur une courte période, 1955 - 1970, dont la moitié sous l'égide de Ford. Lorsqu'en 1957 la mise au point de Transac est terminée, la question se pose de son application : entrer dans la compétition commerciale, ou continuer à chercher des contrats militaires, ou les deux ?

A cette date, IBM et Univac ont déjà abordé le marché commercial, et avec succès : respectivement 704/709 et ERA 1103 en scientifique, 705 et Univac I en gestion. Vue l'origine de son équipe, Philco décide de réaliser un ordinateur scientifique de puissance comparable à la 704, et annonce deux machines :

un S 2000 de grande puissance, cad plus puissante que la 704.

un S 1000 plus modeste, mais tout de même 36 bits, avec une mémoire à tores achetée à Remington.

Toutes deux utilisaient le DCTL dans une organisation asynchrone, un choix de théoricien ignorant un peu trop les questions de maintenance. On trouvera dans la fiche S1000 un texte original sur la technologie Transac, base des deux machines.

La S2000 était réellement une machine compétitive, avec sa technologie moderne et a priori plus fiable que les machines à tubes de la concurrence, sa virgule flottante câblée sur 48 bits (en option), ses nombreux registres d'index, et ses entrées/sorties simultanées. Probablement par manque de savoir-faire commercial, elle n'a pourtant trouvé que peu d'acquéreurs : 9 pour le produit initial à processeur 210 (dont un chez Ford Motor en Californie, et un chez Babcock et Wilcox), et 9 pour le modèle de 1960 à processeur 211, au moins deux fois plus rapide (dont un au NORAD, pour plus de 3,5 M\$).

Voir ces deux fiches.

Le choix de garder le même sigle S2000 malgré le changement majeur du 210 au 211 est probablement une des erreurs psychologiques de la compagnie.

Le S1000 était une machine déséquilibrée, trop puissante pour sa courte mémoire et ses périphériques pauvres. Elle ne trouva aucun client, et Philco ne semble pas avoir fait grand chose pour sa promotion.

En parallèle sur cette action commerciale - très pauvre - Philco a aussi proposé des calculateurs aux militaires, en commençant dès 1958 par une architecture C 1100 à mot de 20 bits proposée pour des applications aéronautiques. Il y a probablement eu au moins une expérimentation, mais on ignore si elle est due au promoteur ou à un client. Quoi qu'il en soit, Philco est désormais reconnu comme fournisseur potentiel de calculateurs aux forces armées, et se trouve à ce titre engagé, en 1960, dans le programme Fieldata. Ce programme de l'US Army, très en avance sur la technique, se proposait de normaliser un alphabet et certaines structures, en vue de produire des calculateurs universels applicables indifféremment à diverses applications militaires.

En réalité, on est encore loin, en 1960, de produits aussi ambitieux.

le BASICPAC, identité militaire AN/TYK 3 dans la version livrée à Fort Monmouth, est simplement un calculateur universel 36 bits transportable, et exploitable sur camion. Les utilisations prévues étaient le guidage d'un drone AN/USD 4 (abandonné), et la préparation de tirs d'artillerie. Ce dernier cas se présentait plutôt comme un programme d'évaluation que comme un vrai système, et il eut le même sort que plusieurs contemporains (IMPac et INFORMER d'IBM, par exemple).

La fiche illustre le prototype, d'allure fort peu militaire.

le LOGICPAC devait être une autre présentation de la même machine, plus riche en périphérique. Non convaincu par le programme de base, le client renonça rapidement à ce projet.

le COMPAC AN/TYK 5 devait être le bas de gamme, « portable » c'est-à-dire transportable (0,25 m³) de la même famille 36 bits, conçu comme adaptable à diverses consoles, spécifiquement construites pour des applications variées. La machine fut réalisée, mais pas les applications. Voir fiche.

Plus sérieuse est l'implication de Philco dans le programme AUTODIN, un système de commutation de messages militaire qui devait progressivement couvrir toute la planète. Voir à ce sigle.

Le 102, construit à plus de 60 exemplaires pour ce projet, a aussi été proposé par Philco comme contrôleur de communications pour les S2000 à installer.

En 1962, la multiplication de ses contrats militaires convainc Philco de renouveler son calculateur phare, le S2000, en proposant une machine nouvelle, le 212 compatible. Cette machine puissante sera installée chez Ford à Dearborn, au NORAD et au Pentagone, mais au total il ne s'en vendra que 9.

La principale nouveauté architecturale du 212 est la complète décentralisation des périphériques. Le processeur 2400 était déjà proposé comme IOP autonome (fiche) avant l'annonce du 212, pour permettre aux anciens clients d'améliorer leur organisation ; avec le 212, on retrouve cette machine légèrement réorganisée sous le nom de processeur 1000 (fiche). Dans le contexte informatique de 1962, Philco espère voir cette machine jouer pour ses installations le même rôle que les 1401 pour celles d'IBM ; mais la promotion commerciale de cette idée fut faite avec si peu d'efficacité que pratiquement aucune machine autonome n'a été vendue.

Peu après le 212, Philco propose d'en étendre l'architecture pour la rendre multiprocesseur. Le 213 (fiche) contient de nombreuses idées qui feront leur chemin, et c'est l'époque des essais IBM sur la 360/67 et le système TSS ; mais l'échec d'IBM

est de nature à refroidir les enthousiasmes, et aucun des peu nombreux clients de Philco ne prendra ce risque.

A partir de 1964, Philco prépare déjà, sous le nom de projet 9000, la machine suivante compatible, comportant 4 processeurs microprogrammés autour d'une mémoire virtuelle appuyée sur une hiérarchie de mémoires physiques commençant par des films minces à temps d'accès 250 ns. Cette machine, pas particulièrement urgente dans le médiocre contexte commercial de ces années, ne verra pas le jour.

En dehors de cette ligne principale, on trouve dans la production Philco plusieurs machines aux objectifs peu clairs, dont la plupart n'ont eu aucun succès. Le défaut principal de cette production est de n'obéir à aucun plan, évidemment aggravé par l'absence de service commercial. Citons :

C 3000 (1962) (fiche) est une machine série 20 bits à tambour magnétique. L'étiquette « scientifique » de la fiche ne s'appuie sur rien, car nous ignorons tout de son logiciel. A comparer avec LGP 30, par exemple.

La 4100 (8 / 63) (fiche) venait d'être annoncée lorsque Philco fut acheté par Ford, provoquant un repli de la firme sur la seule clientèle militaire. Travaillant sur le caractère, et capable d'exploiter diverses longueurs de mot, elle était conçue pour aborder souplement le domaine de la gestion. Abandonnée avant toute vente, elle n'a pu être confrontée aux désirs du public.

La CPS de 7 / 65 est une machine 30 bits, ce qui suggère qu'elle était proposée pour le système naval NTDS. Mémoire de 16 à 64 Kmots à cycle de 2,5 μ s, addition 5 + 5 chiffres décimaux en 39 μ s, 4 registres d'index, interruptions, ce sont des performances un peu faibles pour cette mission, cependant.

Les périphériques proposés sont par contre puissants : disques 42 Mmots, accès moyen 140 ms - bandes toutes catégories, de 9000 à 240000 cps - LC 2000 ou 900, PC 200 ou 100, LR 1000, PR 60, IP 900, et bien sûr machine à écrire. Débouché indéterminé et, en tout état de cause, à peu près nul.

La PCP 150, non datée, semble être une variante du précédent destinée à la gestion de communications. Il peut s'associer tambours, disques et bandes, et toutes lignes de 45 à 40800 bauds.

Le 1200 de 1969 est un projet tardif de calculateur ultra souple à finalité « contrôle industriel », voir fiche. Il n'a pas débouché, Philco ayant abandonné dès l'année suivante toute étude informatique.

Philco s'est aussi occupée de fabriquer quelques périphériques, parmi lesquels on peut citer :

D20 est un terminal de table, pour usage non multiplexé à travers une liaison ASCII par modem Bell 103D2 à 110 bauds. Sur un écran de 264 * 188 mm à déflexion électromagnétique, il présente 24 lignes de 32 caractères en provenance d'un tampon de 768 caractères ; les caractères de 0.21 * 0.20 » sont renouvelés 60 fois par seconde dans

une matrice 5 * 7 points ; les fonctions curseur, delete, partial transmit et tab sont disponibles.

D21 relève de la même technologie, avec un tampon de 1536 caractères plaçant 26 lignes de 64 caractères (0.26 * 0.11 ») sur un écran de 272 * 229 mm. La liaison, toujours non multiplexée, se fait à 1200 bauds par modem 201, ou à 1800 bauds par modem 202D, en half duplex. Prix \$ 9200.

D22 est multiplexable par 3 à 7 écrans 467 * 350 mm portant 12 ou 16 lignes de 32 ou 64 caractères de 0.512 * 0.359 », toujours produits 60 fois par seconde par une matrice 5 * 7 points à déflexion électromagnétique. Le tampon partagé est à tores, 2 ou 4 KB, chargé à 1200 bauds.

Print Reader, produit à 4 exemplaires (1 pour RADC, 3 pour les postes) en 1964, est un lecteur optique de textes imprimés, explorant le document par flying spot et reconnaissant 1000 cps. On peut introduire et mémoriser n'importe quelle police, sous forme de matrice de points, et chaque caractère est comparé pour « voisinage optimal » avec tous les modèles. Autocorrection et corrections manuelles sont possibles.

Les documents étaient prélevés par aspiration et transportés par courroie, avec un débit de 360 doc/min pour la dimension 76 * 127 mm, 180 doc/min pour la taille 216 * 279 mm. La faiblesse des commandes suggère que le prix était exorbitant et le taux d'erreurs trop important.

P6600 reprend ce type de performance, 1000 cps, 600 doc/min en 1969 en multiplexant l'équipement de reconnaissance sur un maximum de 30 postes de lecture équipés de tubes Vidicon, l'alphabet complet et quelques symboles étant reconnus dans les polices Futura et 1403. Prix \$ 70000.

P6700 contemporain est conçu pour la lecture de 1000 chiffres / s sur des microfilms 35 mm, en bobines de 100 ft, par un tube flying spot.

En résumé, une équipe de concepteurs plutôt brillante, mais totalement déconnectée du marché et des réalités économiques, faisant pratiquement de l'architecture pour son plaisir sans que personne ne s'occupe de vendre le produit de leur imagination (un peu comme la SEA en France !). On comprend que Ford ait fini par renacler.

470 - AUTODIN

ComLogNet - Fiche au dossier RCA

En dehors de ses liaisons opérationnelles, l'activité courante de l'USAF est essentiellement administrative, avec des aspects budgétaires et logistiques. Il n'est pas souhaitable d'encombrer le réseau Spacecom de ces volumineuses transactions, et des réseaux séparés ont été mis en place : AUTOPHON pour les communications téléphoniques vocales, AUTODIN pour les transmissions de données, couvrant un large éventail de vitesse depuis le télétype à 75 bauds jusqu'aux échanges entre ordinateurs

qui, à cette époque, ne dépassaient pas 2400 bauds. Une partie de ces échanges des deux types sont classées « secret » et doivent être protégés, ce qui implique une organisation particulière des extrémités, étant admis que les lignes elles-mêmes sont fournies par le monopole.

Ces réseaux, dans leur forme initiale, ont été construits par la Western Union Telegraph Company, et nous disposons de deux articles sur la phase 1 de cette opération, baptisée COMLOGNET :

Genetta (T. L.), Guerber (H. P.), Rettig (A. S.) : RCA's Automatic Store and Forward Message Switching System, dans Proceedings of the 1960 Western Joint Computer Conference, San Francisco 5 / 60, Vol 17 des publications de l' AFIPS, référence 237-365 / 9.

Segal (R. J.) et Guerber (H. P.), de RCA : Four Advanced Computers - Key to Air Force digital data

communication system, dans Proceedings of the 1961 Eastern Joint Computer Conference,

Washington DC, 12 / 61, Vol 20 des publications de l' AFIPS, référence 238-264 / 78.

Le premier article n'énonce que des principes, car à son époque le matériel n'existait pas encore ; le second est beaucoup plus complet et décrit en détails, avec photographies, schémas et cartes, le réseau réellement installé, construit autour de cinq AESC,

Automatic Electronic Switching Center , logés respectivement à :

Mc Clellan AFB, Sacramento, Cal (NE de San Francisco)

Norton AFB, San Bernardino, Cal (SE de Los Angeles)

Tinker AFB, Oklahoma City, Okl (Centre)

Gentile AFB = Wright Patterson, Dayton, Ohio

Andrews AFB, Washington DC

Chacun des centres est réuni aux quatre autres par une liaison à gros débit, et rassemble les messages d'une cinquantaine de lignes, à l'exception d'Oklahoma City qui en collecte plus de 80. A l'origine de chaque ligne il y a un équipement informatique, TTY, LC / PC / TTY, Dérouleur de bande magnétique, ou parfois même un véritable commutateur téléphonique regroupant plusieurs correspondants de ces divers types. Western Union fait étudier plusieurs équipements collecteurs :

le Compound Terminal étudié par IBM rassemble les messages de télétypes (avec ou sans bande perforée) ou les cartes à 12 cpm de perforatrices IBM 536 dans un meuble émetteur / récepteur réalisé en technologie 1401. Liaison 150 bauds sur ligne télégraphique.

le Magnetic Tape Terminal étudié par RCA est destiné aux centres qui disposent d'ordinateurs. L'absence de normalisation impose que les lecteurs de bande de la station acceptent tous les types de bandes et que l'électronique associée soit un véritable ordinateur (à programme câblé ?) pour assumer les fonctions de conversion et de tampon. Liaison 2400 bauds.

le High Speed Card & Teletype Terminal est construit par IBM autour d'une 1410 simplifiée et utilise une reproductrice adaptée (IBM 1931) à 100 cpm pour les deux

fonctions d'entrée et de sortie, ainsi que des télétypes. Il utilise une liaison 1200 bauds sur ligne téléphonique.

de Sacramento et Washington partent des lignes vers le Pacifique (Alaska, Hawaï, Japon) et l'Europe (Angleterre, Allemagne, France), respectivement, utilisant logiquement les câbles de la Western Union.

Les centres, qui utilisent une paire de calculateurs RCA (deux paires à Oklahoma City) avec des tampons à tambours et à bandes, assument la tâche principale d'aiguillage baptisée « store and forward », qui peut entraîner conversion de code et/ou cryptage, et diffusions multiples ; ils tiennent en outre un journal de toutes les communications (origine, destination, longueur, date / heure), gardent copie de tous les messages transmis, et peuvent enfin, sur demande explicite, procéder à des interceptions (repérer et stocker à part certaines classes de messages) et à des recherches spécifiques (retrouver un message dans les bandes d'archive sur la base de certaines caractéristiques). Ils sont capables, grâce à une maintenance périodique et à des duplications, d'accomplir ce travail 24 heures sur 24.

De plus, grâce à l'interconnexion des centres, ils suppléent aux rares pannes complètes de l'un d'eux par la mise en place de voies de contournement. D'autre part, ils dressent des statistiques de toutes sortes, telles que débit, pannes et disponibilité par origine, par destination, par ligne, par type d'équipement, par longueur de message, par code, etc... Ce réseau de phase 1 a été mis en service en février 1963.

La DCA et son DCS

Bien avant que ce projet, le plus important de ceux consacrés par les quatre armes à leurs communications, soit achevé, le DOD se préoccupait des duplications inévitables dans une organisation aussi fractionnée, et l'on sait que des réformes successives devaient aboutir, vers 1965, à l'unification des budgets sous un chef d'Etat-Major Général interarmes.. Pour le sujet qui nous intéresse présentement, cette unification a été une des premières, avec la création en mai 1960 de la DCA (Defense Communication Agency), chargée d'unifier les méthodes et de coordonner les programmes à travers un DCS, Defense Communications System, capable de contrôler en permanence le fonctionnement des divers réseaux, et d'utiliser leurs redondances pour améliorer la disponibilité de l'ensemble.

Pour en quelque sorte « forcer la main » des services auxquels il n'était pas question d'enlever la gestion de leurs réalisations, la DCA installe à Washington, près de son siège, le DNCCC, Defense National Communication Control Center : il recevra les informations de quatre DACCC, centres de zone situés au NORAD, en Alaska, à Hawaï et en France, eux mêmes regroupant les indications de six DRCCC, centres régionaux situés au Japon, aux Philippines, au Labrador, en Espagne, en Grande-Bretagne et en Turquie. Pressée d'être en état d'intervenir, avant que la compétition des services n'ait mis en place trop de concepts irréversibles, la DCA avait fixé à mars 61 l'achèvement du DNCCC, au début de 1962 celui des DRCCC; il semble que ce calendrier ait été à peu près tenu, pour la phase 1 manuelle où la collecte des données se faisait par 148 stations télétypes distribuées dans les diverses stations des réseaux. Le passage à un complet automatisme est décidé en juillet 1963.

Le DNCCC, façade spectaculaire du système, comporte un ordinateur Philco S 2000 / 212, de vastes écrans avec cartes et tableaux de situation, de vastes pupitres pour commander les sélections de sous-réseaux à étudier et les catégories de statistiques à établir, ainsi que pour diffuser les ordres de restructuration élaborés par le système à la suite d'éventuels incidents de toutes natures (perturbations ionosphériques par les taches solaires, brouillages, explosions nucléaires dans l'espace, destructions accidentelles ou délibérées de parties du réseau). Le DNCCC connaît en permanence la structure générale et les constituants techniques de chacun des sous-réseaux, avec tous les aspects de leurs performances, et il donne à la DCA les moyens d'intervenir dans les décisions concernant tous les investissements postérieurs à sa création.

On trouvera la description technique du DNCCC dans l'article :

Heckleman (T. J.) et Lazinski (R. H.) : Information handling in the Defense Communication Complex,

dans les Proceedings of the 1961 Eastern Joint Computer Conference, Washington DC 12/61,

Vol 20 des publications de l' AFIPS, pp 241 / 56.

Référence 238-

241/56

et diverses illustrations dans la fiche du ordinateur Philco 102.

Autodin étendu - fiche au dossier Philco

C'est ainsi que la décision sera prise vers 1964 d'étendre l' AUTODIN au monde entier par la création de nouveaux ADMS, Automatic Digital Message Switches, constitués chacun par 4 à 6 ordinateurs Philco 102, soit un LTC = Line Traffic Coordinator pour 100 lignes et une paire redondante de MP = Message Processors pour les tâches de stockage provisoire, archivage, tenue du journal, interception et recherche : en somme, exactement la conception antérieure avec des machines plus performantes que les premiers produits trop spécialisés de RCA.

Il y aura de tels centres au Japon, à Okinawa, aux Philippines, à Guam, en Corée, à Taiwan, en Thaïlande, en Alaska (Anchorage), en Allemagne, en Angleterre, etc... Ces centres sont conçus pour un débit moyen d'entrées de 57600 bits/s (pointes à 70000), et un débit moyen de sortie de 86400 bps, avec la garantie (probabilité 10^{-5} de dépasser) de minima de 10000 bps en entrée et 15000 en sortie grâce à la redondance des matériels et à l'organisation des commutations, acquise en 2 à 20 secondes sans perte d'aucun message. Le système était complet vers 1967.

471 - Plessey Peripherals System

La firme Plessey est anglaise, et cette société de périphériques est sans doute une filiale créée ou achetée pour tenter de s'introduire sur le marché américain, d'une manière pas trop risquée.

Son Micro 1 est en effet un clone de PDP 11, dont il utilise le logiciel : il est construit autour du LSI 11, puce produite par DEC, et Plessey n'est donc ici qu'un assembleur, qui fournit :

le fond de panier dans un châssis, à choisir entre deux tailles, 5,25 ou 10,5 « (133 ou 267 mm .

32, 64 ou 128 KB de mémoire à tores sur 16 bits de large.

un bootstrap sur ROM, au choix PM.REV 11 ou RL 11 B :

Le premier est compatible directement avec le Q Bus du LSI 11, et comprend 512 mots dont l'adresse se situe dans la zone réservée aux périphériques (173000 octal). Ce bootstrap sait gérer la mémoire, TM 11, le DECTape TC 11, les disques à têtes fixes RC 11 et RF 11, les disques à tête mobile RK 11 ou RP 11, les floppies RX 11, et la bande perforée PC 11 / PR 11 / TTY. Le second rend les mêmes services sur Unibus, qu'il faut avoir installé à travers le convertisseur de bus PM.VU11 .

des adaptateurs de ligne téléphonique, PM.DLV 11 pour Q Bus ou PM.DL11W pour Unibus.

des périphériques Plessey, justification économique de l'opération : cartouches PM.BS 11, bandes magnétiques PM.TS 11, disquettes PM.XS 11, lecteur de bande perforée PM.PC 11 et des périphériques DEC, imprimante .LA 36 et écran VT 52.

Le système d'exploitation est RT 11.

Avec un produit aussi porteur, le succès était assuré si les prix étaient bien choisis.

Aussi, l'année suivante, Plessey peut reprendre l'opération avec le 33VHT qui comprend, dans 3 unités de rack, un microprocesseur LSI 11/23, 256 KB à 1 MB de mémoire, un disque dur Winchester 5,25 » de 10 à 40 MB compatible RL01, et une bande de sauvegarde de 20 MB, 1,25 » et 90 ips. Une disquette est en option.

Le logiciel offre du choix : RT 11, RSX 11M, ISM 11 ou Xenix pour le système, supportant Macro 11, COBOL DDL, Fortran IV, Basic 11, MUMPS. Prix 65000 FFHT en OEM, ce qui paraît cher.

De ce fait, il existe une version encore plus économique, à base de LSI 11/2 sous RT 11 /TSX, vendue sous le nom de System 3VHT.

Les périphériques Plessey, dont la vente est l'objectif de ces réalisations, comprennent en 1977:

les disques DD11, enregistrement 2200 bpi, densité 100 ou 200 tpi, dans pas moins de 6 variantes en disques fixes simples ou doubles, combinés ou non avec des cartouches amovibles, très proches des RK05 de Digital Equipment.

les XS11 sont des disquettes compatibles DEC, capacité 256 KB, présentées en platine de rack pour un ou deux lecteurs.

l'Alphagraf est une imprimante 45 cps sur 132 colonnes, à base de marguerite 96 caractères. Cette machine est présentée avec ou sans clavier et dispose d'une interface compatible avec celle de Diablo, le fournisseur le plus connu de ce type de matériel.

472 - Plexus Computers, Inc.

Cette société apparaît en 1981 en choisissant le thème porteur d'un petit système de temps partagé, le P40, construit autour du microprocesseur 16 bits Z8000 de Zilog et du Multibus de Intel, pour offrir une ouverture vers d'autres applications. Il devrait pouvoir servir de 5 à 15 utilisateurs.

Caractéristiques : Mémoire MOS ECC, 256 KB à 1 MB, et des contrôleurs intelligents également à base de Z 8000 pour 8 RS 232C + 1 interface parallèle ; pour 4 Winchester ; pour 4 bandes 9 pistes. Les débits sont

19,2 Kbauds sur les lignes. Le système supporte 5 contrôleurs : 3 de terminaux, un de disques et un de bandes. Prix typique : \$ 49500 pour 512 KB, 72 MB de disques, et une bande.

Logiciel : système UNIX V7, C, COBOL, Pascal et Basic.

La réussite permet à Plexus de vivre 4 ans avant de sortir le P15, dont le prix commence à \$ 11000. Le processeur est maintenant un 68010 à 10 MHz, avec une mémoire virtuelle de 8 MB et un coprocesseur 68881 selon norme IEEE. La mémoire physique extensible à 2 MB est réalisée avec des puces de 256 Kbits organisées en mots de 16 bits, et un autre 68010 supporte les périphériques, à savoir 2 Winchester = 54 MB + un floppy 5,25 » et 8 portes série full duplex. Le logiciel est UNIX.

Dimensions : Boîtier 34 Kg, hauteur 635 mm. Alimentation 115 volts.

L'année suivante, l'annonce du 68020 est l'occasion de proposer un véritable serveur, le P75, dans un boîtier de 15 slots, dont quatre pour des cartes de 4 MB avec ECC. Le système peut s'étendre avec des cartes ACP comprenant un 68000 avec 512 KB à 2 MB de mémoire, et un DMA, pour supporter soit des disques, soit 16 portes pour terminaux. Le système de base comprend 1 MB de mémoire ECC, un ACP de disques avec un ou deux disques 8 » de 145 MB, et un streamer de 60 MB. Il peut être étendu avec des armoires pour 4 disques de 8 ou 9 », ou 2 disques de 10,5 », jusqu'à un maximum de 6,5 GB.

473 - Les périphériques de Potter Instrument Corporation

La société Potter Instrument Company, de Plainview, Long Island, NY, se manifeste pour la première fois en 1956, en proposant une mémoire de masse de 500 Mbits, formée par des sortes de cadres hissables en dehors d'un réceptacle en forme de bac : chaque cadre porte plusieurs morceaux de bandes magnétiques. Le produit n'est pas particulièrement attractif au plan de la fiabilité, mais c'est un premier jalon dans la voie qui produira, chez plusieurs constructeurs (IBM, NCR, RCA) les mémoires à cartes magnétiques.

En fait Potter va essentiellement s'établir comme un fabricant de dérouleurs de bandes, proposant ses premiers modèles, 902, 905, 908, à l'époque des tubes. Le 906 de 1960 reprend avec une logique à transistors la mécanique du 905, et la propose en 4 vitesses : le modèle le plus performant atteint 150 ips en marche normale, rebobine à 400 ips, avec un start en 3 ms et un stop en 1,5 ms.

En 1964, cad avant l'annonce des 360 par IBM, Potter propose encore des modèles propres :

MT 36 travaille en trois densités (200, 556 et 800 bpi) aux vitesses de 30 à 50 ips, avec un rebobinage à 190 ips et un start / stop de 5 / 2 ms. Ce petit modèle à platine verticale dispose de deux chambres à vide superposées et peut donc concourir pour les périphériques d'ordinateurs.

MT 75 est un compatible IBM à 3 densités, deux vitesses 60 et 75 ips, cabestan pneumatique, deux chambres à vide, mais il peut encore choisir entre les largeurs 1 » et 1 / 2 ».

MTB 1501 est une bande incrémentale qui utilise une mécanique de MT 75, exploitée à 200 bpi compatibles avec un débit de 0 à 300 cps ; elle peut aussi fonctionner en continu à 36 ips, pour créer des gaps ou faire marche arrière. Les bobines de 270 mm

de diamètre portent de la bande de $\frac{1}{2}$ ». Le dérouleur est présenté comme une platine de 623 mm de haut et 305 mm de profondeur, à placer sur un rack 19 » standard.

L'année suivante, les IBM S/360 existent, et le nouveau dérouleur MT 24 à faible vitesse, 3 à 36 ips, offre 3 vitesses et deux formatages, 7 et 9 pistes compatibles. Autrement, il semble s'agir de la mécanique des MT 36, start/stop en 5/2 ms, rebobinage à 190 ips. Potter produit aussi le SC 1150M, un dérouleur pour les militaires avec monocabestan pneumatique, capable de supporter 50 g, refroidi. Le chargement est automatique, le dérouleur peut être télécommandé. Les performances sont 800 bpi, 7 ou 9 pistes, 150 ips. Cette bande donnera lieu à une version civile, le SC 1050, start/stop en 3 ms, qui aura une assez longue vie : en 1970, elle sera encore proposée sous le sigle SC 1051, détimbrée à 75 ips pour réduire l'usure.

La SC 1060 proposée simultanément en est une version à 120 ips, capable de rebobiner 2400 ft en 75 secondes ; un peu plus tard, il y en aura une version à 150 ips, la SC 1080, qui diffère de la 1050 parce qu'elle est capable de la modulation de phase 1600 bpi.

Vers 1960, Potter reprend son initiative de mémoire de masse à bandes avec des groupes de 10 bacs, où chaque bande porte 14 pistes et peut être lue à 30 ou 60 ips. C'est le modèle 3219, encore une ébauche semble-t'il ; il sera suivi en 1964 du TLM 4505, dont l'élément amovible, le pack AC 8606 interchangeable en 15 secondes, contient 8 bandes magnétiques représentant une capacité de 50 MB, avec un temps d'accès inférieur à 100 ms. La fiabilité est assurée par relecture automatique des caractères écrits. Le prix de ce produit qui paraît compétitif avec les cartes magnétiques est de K\$ 12 à 18, plus 150 à 200 \$ par cartouche amovible. Le prototype de ce matériel est décrit dans :

Gabor (A.), Barany (J. T.), Metzger (L. G.), Poumakis (E.) - Design considerations of a random access storage device using magnetic tape loops, in AFIPS Vol 26, Proceedings of the Fall Joint Computer Conference, pp 435 / 41, 4 photos.

A la mi 65, le TLM 4550 est une nouvelle version du matériel précédent, comportant deux cartouches de façon à pouvoir faire des mouvements de mémoire à mémoire. Il y a 112 pistes par boucle, avec un bloc de têtes comportant 4 têtes par bande et pouvant prendre 28 positions. La densité d'enregistrement atteint 1000 bpi, le temps d'accès moyen (tour de boucle) est 65 ms, le débit atteint 600 KHz. Prix \$ 18000.

Bien que le produit soit maintenant au point, il n'aura pas beaucoup de succès, car presque aussitôt après seront inventés les disques, solution beaucoup plus fiable.

Potter continue cependant à s'occuper de dérouleurs de bandes, et annonce en 1967 le LT1500, un dérouleur traitant des cartouches amovibles de 240 ft, contenant 35 Mbits d'information. A part cette disposition qui cherche à accroître la fiabilité en réduisant les manipulations, le système de lecture est tout à fait standard, 800 bpi, 192 KHz, 60 à 120 ips.

Potter est à la recherche d'une diversification dans son domaine de compétence. Ainsi, en 1968, il présente le KDR 3100, une console regroupant un dérouleur de bande

magnétique 800 bpi, 7 ou 9 pistes, alimenté à travers un tampon de 80 caractères (ou plus) par un clavier et un petit processeur spécialisé câblé. Exact pendant du Mohawk, ce poste dispose des modes entry, verify, search, display, record/read. La société ICL en commandera 1000 exemplaires en fin 68, mais il n'y aura pas de suite.

Dans la même veine, le PS 3800 de 1972 est une ensemble d'impression off line composé d'un dérouleur, d'une imprimante et d'un contrôleur câblé. Le DTC 6500 est un terminal lourd qui ajoute à ces constituants un système de transmission en BSC et un programme de conversions. Petits succès.

Retour donc aux dérouleurs compatibles IBM :

le AT 1082 de 1970 est un mécanisme de SC 1080 à 150 ips associé à un autochargement.

le AT 1092 est le même, porté à 200 ips.

le AT 2426 de 1970 est strictement interchangeable avec les IBM 2401 Mod 2 à 6, autochargeable en 8 secondes, et plus rapide que le Mod 2. Un contrôleur compatible, 5803, est aussi propos.

le SC 1030 de 1971 est une platine pour rack offrant toutes les caractéristiques contemporaines de fiabilité, monocabestan et colonnes à vide dans 622 mm haut * 279 mm de profondeur, et des paramètres économiques, 5 à 45 ips en 7 ou 9 pistes, acceptant toutes les modulations normalisées par IBM, NRZI 200 à 800 bpi, 1600 bpi en PE.

le AT 3420/3/5/7 est strictement interchangeable avec la série 3420 d'IBM, et bien sûr moins cher.

Quand IBM invente le disque, Potter abandonne sans trop de regret sa mémoire de masse à cartouches, et se lance dans la copie compatible avec le DD 4311, strictement interchangeable avec le 2311 IBM. Utilisant des servos hydrauliques, il est vendu 18100 \$.

En 1970, paraîtra la copie de l'IBM 2314, composée d'un contrôleur DC5314 et de 8 tourne-disques DD4314. Capacité du pack 29,176 MB, débit 312 KB/s. Le contrôleur peut se lier à deux canaux et dispose de services programmables, file scan (recherche d'enregistrements), overflow record (signalisation de saturation).

En 1972, ce sera le DD4330, ensemble de 4 tourne-disques compatibles avec l'IBM 3330, chaque unité comprenant deux axes : capacité 800 MB, débit 806 KB/s, Accès moyen 25 ms, maxi 45 ms, piste à piste 3,5 ms. Un contrôleur DC 5830 est aussi disponible.

En 1973, on annoncera aussi le DD480, lecteur de disquettes Potter FD239, 650 Kbits, débit 33,3 Kbit/s, 90 t/min. Sur une largeur de un inch, l'information occupe 32 pistes divisées en 8 secteurs, enregistrées à 1600 bpi ; le temps d'accès piste à piste est 80 ms. Pour un prix de \$ 735, ces caractéristiques ne sont pas compétitives et ce lecteur aura peu de succès.

Potter s'est lancé dans la mécanique dès 1962, proposant un lecteur de bande perforée, le PTR 500. Une version militaire, le PTR 5000, sera fabriquée en 1966.

L'une des applications de la bande perforée étant l'introduction de consignes dans les machines à commande numérique, Potter sera conduit à étudier en 1968 le PC 9600

PICOMM, destiné à créer de telles bandes directement à partir de plans. Pour \$ 12000, on obtenait un calculateur BIT 480 avec 2/4/8 KB de mémoire, un coordinatographe, un télétype perforateur, et un logiciel : il n'y avait la dedans pas assez de valeur ajoutée pour rentabiliser cette tentative.

Plus sérieuse est l'entrée de Potter dans le marché des imprimantes, avec le Flying Typewriter et le Magnetyper, vers 1956. La première est basée sur une roue de 51 caractères, sur laquelle un marteau mu par solénoïde vient brièvement coller le papier quand le caractère cherché passe devant lui. Débit 300 lpm, avec 120 car/ligne au plus. Exactement dans la même veine technique, le second est une imprimante à tambour, 120 car/ligne, 900 lpm, avec commande du papier par bande perforée. Tampon d'une ligne, police de 63 caractères, possibilité de papier multiple avec carbone.

Après ces deux premiers produits, Potter devient fournisseur reconnu d'imprimantes de tous types :

LP 1200 (non datée) paraît, de par sa technologie, dater de 1960 environ. C'est une IP à tambour, avec un seul jeu de 64 caractères, disponible en 48 à 132 car/ligne. Débit 1000 lpm maxi, 650 lpm si on veut insérer un espace de 1 » entre lignes. Elle est dotée d'un tampon utilisant une ligne à retard à magnétostriktion, chargeable en synchrone à 2 MHz, en asynchrone à 12500 Hz.

Le papier, ajustable de 107 à 452 mm, commandé par bande pilote à 8 trous, peut avancer de 635 à 2280 mm/s (25 à 90 ips). L'impression se fait à 10 car/« en largeur, 6 ou 8 lignes/« en hauteur.

imprimante d'avion, 30 cps sur bande de papier 5/16 » (8 mm de large), en forme d'instrument de tableau de bord, diamètre 76 mm, profondeur 235 mm, papier inclus. Ce dispositif vendu \$ 500 doit servir pour le contrôle des appareils de bord et comme récepteur de data link.

Mle 3260, pour calculatrices imprimantes et caisses enregistreuses, 20 lps sur 40 car/l, choix de 63 caractères, possibilité de carbones. Pas de tampon.

Mle 3314 (1963), même programme pour racks, 4 lps, 20 car/l.

Mle 3317 (1963), même programme en version militaire, 12 lps, 12 car/l.

Mle 3501 (1964), est une imprimante pour ordinateurs, 160 colonnes, alphabet de 64 caractères. Le débit est de 1000 à 1200 lpm en alphanumérique, 2400 lpm en numérique, sans qu'on sache le type de mécanisme. Le saut de papier fonctionne à 75 ips.

Mle 3502 (1965) est une imprimante à chaîne, 128 car/ligne, avec ou sans tampon en circuits intégrés. 3 chaînes sont proposées, contenant respectivement 4 jeux de 48 caractères = 600 lpm, 2 jeux de 96 caractères = 300 lpm, ou un jeu de 192 caractères = 190 lpm. Le saut de papier fonctionne à 17,5 ips = 445 mm/s. Prix de base \$ 5800, \$12140 avec le tampon incorporé.

Ce modèle semble avoir été employé pour réaliser, en 1966, un ensemble off line d'impression, à partir d'un dérouleur de bande compatible IBM (Mle 6020).

Mle 3604 (1965) est une imprimante militaire, 10 lps sur 26 colonnes de large, compatible avec toutes les normes des armées.

LP 3000 est alimentée par ligne téléphonique à 2400 bauds, 300 cps, et peut imprimer 135 lpm sur 132 colonnes.

LP 3403 (1972) est compatible avec l'IBM 1403 dont elle recopie les densités. C'est une imprimante à chaîne, capable de 1240 à 1500 lpm avec la chaîne 6 * 48, de 1020 à

1500 lpm avec la chaîne 4 * 64. Son prix est 7168 F / mois avec contrôleur et maintenance, pour un contrat de 2 ans, 5555 F/m pour 5 ans.

Grand SLAM est une imprimante à chaîne, à contrôleur intégré, exploitable en connexion IBM, ou off line associée à un dérouleur de bandes AT 2405 à 120 ips. Dimensions 1180 mm ht * 740 mm prof * 910 mm large. Elle utilise une très grande chaîne de 9 * 48 caractères, avec un débit de 1260 à 1550 lpm. Elle emploie de fortes densités, 132 car à 15 car / « en largeur, 8 ou 9 lignes / « (par commutateur) en hauteur, pour économiser le papier.

Le prix est 7699 FFHT / mois sur 2 ans, ou 7442 FFHT / mois sur 5 ans pour la version connectée, 13169 FFHT / mois sur 2 ans pour la version autonome, bande incluse.

On trouvera une étude de cette imprimante dans la revue Computer, 9 / 75, pp 28 / 36 (référence 210).

Toute mention de la Potter Instrument Company disparaît brusquement de nos sources vers 1974, alors qu'un article technique venait d'être soumis - et accepté - à une revue de vulgarisation très connue (ci-dessus). Le plus probable est que la société a été achetée, probablement par un fabricant de compatibles.

474 - Prime Computers

Créée par Ken Fisher, transfuge de Honeywell, cette société s'est installée d'abord à Natick, développant rapidement d'autres implantations à Wellesley Hill, le long de la route 128, puis à Framingham, toujours dans le Massachussets. La rapide croissance de la société s'explique par la décision d'adopter la structure du Honeywell 316, de façon à disposer (sous licence) de son logiciel, tout en préservant l'avenir grâce à la microprogrammation.

Les deux premières machines de la firme, le 100 et le 200, utilisent donc la même micromachine asynchrone synchronisée avec des mémoires de microprogramme différentes et d'ailleurs aussi une mémoire principale

différente, permettant à la première de se comporter en processeur temps réel économique, et à la seconde de disposer de la virgule flottante et du logiciel complet des H316. Ces deux machines, travaillant en adresses réelles, ne disposent que de 64 Kmots de 16 bits, de sorte que leur système d'exploitation PRIMOS II est fortement limité : sa fraction DOS est une monoprogrammation interactive gérant les enchaînements nécessaires aux assemblages, aux compilations du Fortran ou aux interprétations du Basic, et pouvant créer des fichiers sur disques grâce à un éditeur.

sa fraction RTOS est un temps réel multitâche, géré par interruptions en provenance des périphériques, avec une tâche de premier plan qui peut accéder aux fichiers.

Nous ne disposons d'aucun document de cette époque, à l'exception peut-être du MAN 1676, General Purpose Interface User's Guide, clairement destiné aux applications temps réel (boite 101), et du MAN 1857, Microcoders user guide, qui traite de la possibilité d'une WCS et fait explicitement référence aux trois modèles 100, 200, 300.

Avec le 300 annoncé en 6 / 73, on voit poindre le véritable objectif de la société. Utilisant toujours le processeur 16 bits précédent, avec une nouvelle mémoire MOS un peu plus rapide, cette machine est dotée d'une mémoire virtuelle et donc d'un nouveau système d'exploitation, PRIMOS III qui ne tardera pas à devenir simplement PRIMOS :

dans ce système, le RTOS accepte 63 tâches, supporte les disques et accepte le DOS comme tâche de fond. Quant au DOS, il est désormais multitâche et peut accorder 128 KB de mémoire virtuelle à chacun de ses 32 usagers (dont le système, usager 0).

De cette époque, nous disposons de plusieurs documents :

MAN 1671 System Reference User guide de 7/75, contenant une brève description du répertoire.

MAN 1948 Fixed and Moving heads disks de 8/75, décrivant les instructions de gestion de disques.

PDR 3104 User guide to Editor & Runoff de 11/77, document préliminaire à une nouvelle rédaction, mais suffisamment général pour s'appliquer au 300. C'est le premier d'une nouvelle famille.

En 1976 en effet, Prime annonce son architecture 32 bits et lui donne un nom, la famille Tempus dont le premier exemplaire sera le 400 (fiche). Il s'agit cette fois d'un nouveau processeur en deux cartes, qui devait être l'occasion d'une nouvelle approche commerciale. Elle durera peu, et deux ans plus tard on reviendra à la présentation par modèles autour d'un système d'exploitation présenté comme unificateur.

La fiche Tempus 400 est donc simplement la fiche du Prime 400 et du système d'exploitation PRIMOS IV, qui diffère du III par une nouvelle mémoire virtuelle segmentée de 512 MB et par la fusion des fonctions RTOS et DOS. Matériellement la 400 dispose d'une mémoire physique accrue à 8 MB par entrelacement des modules 16 bits antérieurs, et un cache bipolaire de 2 KB accélère le fonctionnement d'un processeur qui simule par interruptions et sous-programmes une partie des dispositions de la nouvelle architecture. 90 * P400 seront en service au 1/1/80.

Le Prime 500 annoncé en 1978 également utilise la même architecture, mais elle est câblée : registres généraux physiques, nouveau processeur flottant, nouvelles instructions décimales. Le système PRIMOS V ne diffère du IV que par l'inclusion de toutes ces nouveautés dans le langage d'assemblage, supprimant les interruptions chargées de la simulation dans le P IV. Prix 3,5 à 4 MFF.

Le Prime 350 semble être une nouvelle microprogrammation du 300 qui lui permet d'utiliser PRIMOS IV ; le cache de 2 KB du 400 est associé à une mémoire MOS de cycle 600 ns. Pour K\$ 100 à 150, on peut étendre la configuration jusqu'à 512 KB de mémoire, 1,2 GB de disques, 4 dérouleurs de bandes, 16 lignes téléphoniques asynchrones avec le logiciel de communication.

Grâce à cette modification, il y aura au 1/1/80 quelque 800 Prime 300 et 350 installés.

Nous disposons sur cette famille 32 bits d'une importante documentation (boite 101): trois fiches constructeur sur les machines 350, 400 et 500, indiquant les limites de chacun des services dont dispose chaque machine (mémoire, périphérique, système). un tableau synthétique et quatre fiches constructeur sur les matériels périphériques connectables à la famille, bandes (deux versions dont une illustrée), cartes, communications .

document sur les systèmes d'exploitation PRIMOS IV et V, située dans la fiche Tempus 400 parce qu'il contient la description des nouvelles instructions du 400. Une version française est aussi dans le dossier .

trois fiches décrivant les extensions de communication des systèmes PrimOS : RJE 2780 qui permet de considérer un ordinateur Prime comme un terminal lourd pour un central IBM, DPTX qui introduit le ordinateur Prime dans un réseau SNA d' IBM, et PrimeNet (deux éditions 1978 et 1980). Ce dernier, beaucoup plus ambitieux et d'ailleurs compatible avec les précédents, permet l'intégration d'un ordinateur Prime dans un réseau X25 à commutation de paquets, et l'échange transparent de fichiers entre plusieurs Prime intégrés au réseau.

douze fiches logicielles constructeur présentant les langages accessibles sous PRIMOS : Fortran compatible avec la norme 1966 (1978, 1980), Fortran 77 compatible avec la norme X3.9-1978 (1979, 1980), BASIC / VM qui est un compilateur, bien plus efficace que l'interpréteur du 300, COBOL 74 (1979, 1980), APL, Pascal (1980), PL/I subset G (1980), RPG II interactif. Les principaux de ces compilateurs travaillent en liaison avec des utilitaires de gestion de fichiers, comme FMS, MIDAS, FORM, Source-level debugger. PDR 3110 document préliminaire de référence de FMS, File Management System, 11 / 77.

PDR 3061 document préliminaire de référence de MIDAS, Multiple Index Data Access System, 11 / 77, ainsi que deux fiches constructeur de 1979 et 1980.

deux fiches constructeur sur DBMS, la base de données maison, et sur le langage de consultation QUERY / Power de cette base.

deux fiches constructeur sur des outils de préparation d'une exploitation transactionnelle, FORMS et TAPS, ce dernier compatible avec l'outil IBM du même nom.

Deux ans plus tard, la compétition oblige Prime à moderniser son offre : en effet, les choix architecturaux de la société l'ont placé en compétition directe avec DEC, comme Data General et PEDS. S'il n'y a pas grand chose à ajouter au répertoire des machines, extrêmement complet, il n'est pas du tout certain que ce répertoire soit équilibré, cad doté d'une efficacité proportionnelle à son usage ; d'autre part, la technologie progresse, en matière de mémoire (puces 16 Kbits) et de circuits (TTLs devra progressivement céder la place à ECL, puis au CMOS).

La nouvelle série 50 annoncée en fin 1978 s'incarne dans la 750 (fiche), réalisée en TTLs sur cinq cartes qui incluent trois processeurs et un cache bipolaire de 16 KB, avec un circuit d'anticipation de 4 instructions. La micromachine est toujours la même (microinstructions de 64 bits) mais la WCS est abandonnée au profit d'une PROM, car un aussi lourd système d'exploitation et un objectif de production intensive s'arrangent mal des initiatives de clients.

Les autres machines de la famille, 650, 550, 450, s'obtiennent par des dégradations successives qui ne compromettent pas le rapport performance / prix, puisqu'elles suppriment des composants coûteux, comme une partie du cache, une fraction de la mémoire physique, et le processeur VF.

La documentation disponible comprend :

PDR 3060 System Architecture Reference Guide, 4 / 79. Son principal intérêt réside dans la couverture complète de la famille et de ses ancêtres, 750 / 650 / 550 / 450, 350, 400 / 300 / 200 / 100, qui constitue une synthèse historique sur les dispositifs intégrés dans les modèles successifs.

PDR 3060 System Architecture Reference Guide, troisième édition de 5 / 80 qui présente une vue décantée de la situation, sans changement substantiel.

FDR 3059 The Assembly Language de 3 / 79, présentant les divers modes d'adressage qui aboutissent à juxtaposer, plutôt qu'à fusionner, anciennes et nouvelles machines dans une mémoire de microprogramme unique qui ne sera complète que dans la 750. A ce prix, les programmes d'application des plus anciennes machines sont acceptés par les plus récentes.

Pour le système d'exploitation, il n'y a pas de brochure nouvelle mais le PDR 3060 indique pour chaque modèle les limites au sein desquelles il travaille. La présentation vise à faire croire qu'il n'existe qu'un PRIMOS pour toutes les machines mais il n'est pas encore tout à fait possible d'obtenir ce résultat par un simple paramétrage d'un système unique.

A partir de 1980, le système n'est plus guère améliorable, et la compétition consiste essentiellement à ne laisser vide aucun créneau, et à créer de nouveaux processeurs compatibles pour améliorer un rapport performance / prix sans cesse remis en cause par l'un ou l'autre concurrent. C'est peut-être pour cela que Fisher abandonne brusquement la société, provoquant quelques inquiétudes boursières.

Cependant la croissance est toujours forte, et le conseil d'administration remplace Fisher par un ancien vice-président de la GPD d' IBM, qui va gérer sagement la poursuite de l'expansion :

le Prime 150 de 1980 est un processeur OEM 32 bits, vendu \$ 49000 à la pièce, \$ 40000 à partir de 25. Il comprend 256 KB de mémoire, un cache 80 ns, une microprogrammation compatible formant sous-ensemble du logiciel 750, la télémaintenance, 32 MB de disque Winchester et un multiplex de 8 lignes.

le Prime 250 est la même machine, mais visant le client final : la mémoire comprend 512 KB, le cache 2 KB, les processeurs VF et décimal sont inclus. Le prix est \$ 59000 et la livraison intervient en 6 / 80.

le Prime 250 II est une reprise du 550 avec des cartes mémoire de 2 MB réalisées avec des puces de 16 Kbits ; des cartes de 1 MB en puces de 64 Kbits sont annoncées. Le prix de 437 KFF (15% de moins qu'un 550) comprend un cache 2 KB, pas de processeur VF / décimal, un débit d'entrées / sorties limité à 2,5 MB/s, et un PRIMOS tronqué à 128 processus et 32 utilisateurs.

le Prime 550 II est probablement une reprise du 650 avec des mémoires à puces de 64 Kbits et un cache porté à 8 KB. Simple adaptation commerciale.

le Prime 850 de cette même année est un biprocesseur 750. La mémoire 2 (2) 8 MB est réalisée en puces 64 Kbits et ses modules sont entrelacés pour transférer 64 bits (+ ECC) simultanément vers l'un ou l'autre de deux caches bipolaires de 16 KB., derrière chacun desquels on trouve le circuit d'anticipation à 4 mots et le CPU à trois processeurs simultanés. Les entrées / sorties cumulées à 8 MB/s sont organisées en 128 sous-canaux, la mémoire virtuelle de 32 MB est découpée en 128 segments divisés en pages de 2 KB ; il s'agit donc bien d'un double 750 complet et la réduction du volume à une seule armoire contenant 11 cartes provient essentiellement des nouvelles puces de mémoire.

Le logiciel comprend PRIMOS, PRIMENET capable de 8 Mbauds et disposant de tous les protocoles de communication, Fortran 77, COBOL 74, Pascal, deux PL/I (76 complet et 80 sous-ensemble), Basic, RPG2, APL, une base de données Codasyl avec langage d'interrogation Query, MIDAS, TAPS.

On dispose d'une brochure en français qui décrit cet état, ultime et performant, d'un système d'exploitation PRIMOS désormais unifié. On y a intégré un document concernant toute la série 50, qui analyse le mécanisme d'invocation de procédures dans la famille. Il y a aussi une brochure décrivant OPTRANS, un package d'aide à la décision qui a été écrit par la société SIG, et que Prime propose à ses clients dans un contexte évoluant rapidement du calcul scientifique à la gestion interactive.

le Prime 2250 de 1982 aborde le problème de la bureautique, avec l'inconvénient de ne pas disposer d'une puce maison pour faire concentré et économique. La mémoire est plafonnée à 4 MB, les disques à 632 MB. 32 utilisateurs sont possibles, dont une fraction importante seront locaux et voués à des tâches mineures comme le traitement de texte, tout en pouvant à tout moment consulter la base de données en mode transactionnel; une compatibilité SNA à travers Primenet permet d'étendre ces consultations hors de la machine locale. Voir une fiche constructeur.

le Prime 9950 de 1983 est une nouvelle machine réalisée en ECL 10K, avec un cycle CPU de 80 ns et un cache 16 KB à cycle de 40 ns, placé devant une mémoire de 16 MB en puces 64 Kbits dont l'interface est 64 bits. Le CPU pipeline occupe 6 cartes: il commence par une anticipation de 5 instructions, qui permet de recouvrir complètement les conversions virtuel/réel, et même les branchements car il existe un cache de branchements à 256 entrées. 8 jeux de 32 registres de 32 bits accélèrent les changements de contexte, protégeant même le microcode et les I/O. Une quadruple précision apparaît, non compatible IBM ni IEEE, avec 96 bits de mantisse et 32 bits d'exposant. Il est enfin prévu un processeur de maintenance, ici un Z8000 disposant de deux floppies 5,25 » pour microchargement et microdiagnostics..

100 exemplaires de cette machine, décrite comme capable d'offrir à 128 terminaux la totalité du logiciel décrit précédemment, ont été vendus en trois mois de 1983. Voir une fiche constructeur.

le Prime 2550 de 1984 est le nouveau sommet de la gamme bureautique, réalisé à base de réseaux de portes, et doté d'une arithmétique décimale câblée pour améliorer ses performances COBOL par rapport au 2250. Il a aussi une virgule flottante quadruple précision câblée, et un cache de 16 KB, ce qui signifie qu'on en attend encore des performances satisfaisantes en scientifique, en mode interactif.

le Prime 9650 de 1984 est le nouveau bas de gamme des centres de calcul, remplaçant le 250 II. Son processeur réalisé en réseaux de portes ECL est organisé en pipeline 2 étages, et paraît être le même que le précédent, la différence consistant dans une orientation batch des entrées/sorties. Le prix de \$ 146000 comprend 2 MB de mémoire, 2 disques de 315 MB, une bande de sauvegarde, et le logiciel.

le Prime 9750 est de même le remplaçant du 750, utilisant le même processeur que le 9950 avec un encadrement allégé. Il supporte toujours 128 terminaux et jusqu'à 255 processus. Prix typique \$ 251000 pour une mémoire de 4 MBV, 2 disques fixes de 315 MB, une bande de sauvegarde à 1600 bpi, et PrimOS.

Situation très exceptionnelle pour une année ressentie comme mauvaise ou catastrophique par la majorité des entreprises d'informatique, Prime n'a souffert d'aucun ralentissement, passant de 642,8 M\$ en 1984 à 769,7 M\$ en 1985, avec 57,8 M\$ de bénéfices, et se plaignant seulement de ne pas trouver assez de vendeurs pour faire face à la demande. De fait, les produits se renouvellent régulièrement, avec une amélioration du rapport performance / prix.

le T 3350 est un ordinateur standard dont la mise en boîte est à l'abri des rayonnements et qui a subi dans son architecture quelques modifications légères lui donnant droit à la certification Tempest, ce qui signifie que Prime essaie d'accéder aux marchés militaires. Voir fiche NSA.

le 2655 de 1985 utilise un processeur 32 bits de 1,3 Mips, réalisé avec une combinaison de TTLS et de réseaux de portes qui forment un pipeline à deux niveaux : gestion de cache et adressage / interprétation. La mémoire principale 4 (2) 8 MB est réalisée avec des puces de 256 Kbits à temps d'accès 132 ns, et le boîtier contient 6 emplacements pour disques Winchester de 315 MB ou streamer.

Le logiciel PRIMOS supporte 64 terminaux et 255 tâches dont chacune dispose de 64 MB de mémoire virtuelle. Le prix s'élève à 1120960 FFHT pour une armoire 16 slots avec 4 MB de mémoire, un disque de 315 MB, un streamer, un processeur de maintenance, une console, et PrimOS 19.4.3 .

Il faut compter 248600 FFHT pour passer d'un 2550 au 2655 ci-dessus.

le 9655 est la même machine, en environnement Centre de calcul : il améliore de 10% la performance du 9650. Il plafonne à 8 MB, 128 terminaux, 255 tâches, 8 canaux. Prix typique : 1617000 FFHT pour le CPU, un disque, un streamer, un contrôleur ICS2 de terminaux, une console et le système.

le 9955 de 4 Mips remplace le 9950 avec une mémoire 4 (2) 16 MB à base de puces 64 Kbits, la carte de 2 MB contenant l'entrelacement sur 64 bits. Le cache est porté à 64 KB, et la prédiction de branchement à 1024 entrées , mais le CPU est inchangé. Les entrées / sorties débitent 9 MB/s.

En cas d'erreur de parité dans un des caches, le rechargement par logiciel est automatique à la suite de l' interruption spécifique sous Primos 19.

Le système plafonne à 254 terminaux, 16 disques, 8 bandes. Il a été mesuré 4000 Whetstone SP, 3200 DP. Prix typique : K\$ 351 pour 4 MB + 350 MB de disques. K\$ 45 pour conversion de 9950 en 9955.

le 9755 II de 1986 dispose de 3,4 Mips. Prix 2,6 MFFHT pour 8 MB, 2 disques de 496 MB, un streamer. Le 9955 II est porté à 5 Mips et peut gérer 10 GB de disques.

le 2350 de 1986 remplace le 2250 : c'est un nouveau CPU à base de réseaux de portes, fournissant 0,8 Mips (+ 80%) . Il comprend une mémoire 2 (2) 8 MB, un cache de 16 KB, un processeur pipeline à deux niveaux avec virgule flottante microprogrammée dans les trois précisions.

Il se présente dans une armoire de 30 cm de large et 70 cm de haut où prend place un disque, 60 ou 120 MB. Ces nouveaux disques sont le 4711 de 85 MB (60 MB formaté) et le 4715 de 170 MB (120 MB formaté), avec un temps d'accès de 28 ms..

Le streamer ¼ », 90 ips, 4585 FFHT, utilise le contrôleur des disques.

Prix 300 KFFHT pour 2 MB, disque 60 MB, streamer, processeur de maintenance.

le 2450 est le même processeur, poussé à 1,3 Mips, 47% moins cher à 481 KFFHT que le 2655 qu'il périmé un an après son annonce. Conversion de 2350 en 2450 : 203 KFFHT.

en 1987 apparaît le 6350, crédité de 10 Mips avec une organisation peu changée (pipeline 5 étages, cache 32 KB). Le système supporte jusqu'à 256 terminaux avec un débit global de 24 MB/s, interfaçant la mémoire sur 128 bits, et les disques précédents les plus performants, 496 et 770 MB.

Le biprocesseur 6550, capable de 18 Mips, obtenu par ajout de cartes, permet une dégradation progressive, car PrimOS traite les processeurs comme des ressources ordinaires.

Il y a d'ailleurs maintenant deux systèmes d'exploitation, PRIMOS et PRIMIX, ce dernier variante privée d' Unix V. Chacun des systèmes peut utiliser les ressources de l' autre. le 2755 annoncé en janvier 1987, pour remplacer le 2655, n'aura qu'une vie très brève, car il est remplacé au début de 1988 par deux machines 4050 et 4150, utilisant un processeur mixte ECL/TTL/CMOS en trois cartes, prélude probable à une puce que Prime devrait commander à un spécialiste. Ces machines bureautiques sont estimées par le constructeur à 2,8 et 4,1 Mips, et ne devraient pas recevoir plus de 70 terminaux. Voir photo et fiche.

En 1987, Prime absorbe Computervision, une société spécialisée dans la CAO (Conception Assistée par Ordinateur), première dans son créneau mais qui marquait un essoufflement. Prime passe ainsi de 9000 à 15000 personnes en élargissant sa clientèle, et en devenant second en CFAO derrière IBM. On ne peut cependant se cacher que la course à la performance dont les listes ci-dessus donnent une idée ne pourront plus être tenues très longtemps. Prime se rapproche donc de Silicon Graphics, fabricant de stations de travail, et définit avec cette société une station graphique de haut niveau, le PCXL 5500, rassemblement sous Unix d'un processeur RISC, d'un processeur graphique 3D, et de réseaux Ethernet pour liaisons vers Prime par TCP/IP et NFS.

Autre produit, l' EXL 316 qui se propose d'établir un pont entre Unix et MS-DOS. Construit autour d'un 386 à 16 ou 20 MHz, d'un Multibus II, et d'un SCSI, ce PC dispose de deux logiciels provenant de Locus Computing pour assurer ses interfaces : Merge 386 lui permet de faire fonctionner simultanément MS-DOS et Unix, PC-Interface assure une émulation de terminal et des conversions de fichiers.

Destinée en premier lieu aux actuels clients de Prime, cette machine est commercialisée par Prime soi-même mais aussi chez les VAR (Value Added Resellers).

Dans les années suivantes, Prime a développé le concept de serveurs Unix à base de microprocesseurs MIPS, sous le sigle EXL 7000. Ces machines à usage transactionnel se renouvellent rapidement :

un EXL 7363 de 33 Mips, avec 32 à 256 MB de mémoire principale et 1 à 20 GB de disques, capable de 300 utilisateurs, succède vers 1990 à un 7360.

un EXL 7660 de 68 Mips est proposé pour jusqu'à 1000 utilisateurs, et remplace un 7680.

prolongeant le concept du 316, le MBX 486 de 12 Mips, 64 MB et 74 utilisateurs maintient une présence Intel en bas de gamme de la famille EXL.

En troisième lieu, le MCXL 5 est une étude de minisupercalculateur entreprise en liaison avec Cydrome, firme californienne. Cette machine de 11 Mips qui s'attaque au domaine du VAX en s'appuyant sur la clientèle de Silicon Graphics n'est nullement garantie de trouver un marché. Voir fiche.

(nb)	Année	CA (M\$)	Bénéf (M\$)	Effectifs	R&D (M\$)	Production
	1976	23				
	1977	50				
	1978	94	8	1712		
	1979	153	16,9		2562	
	1980	268	31,2		4011	
	1981	365	38			1799
	1982	435,8	45	5000	37	2025
	1983	516,5	32,5		6000	51
	1984	642,8				
	1985	769,7	57,8		8115	81,8
	1987	961	64,8	9000		

L'évolution de Prime, depuis sa création, est parfaitement raisonnable et le commentaire de Datamation est un satisfecit : bonne croissance, pas de dettes, investissements convenables., 45 % d'exportations.

La firme est 38ème sur la liste 1985 des sociétés informatiques mondiales et n'a pas cessé de grimper dans cette liste depuis sa création. Son Pdg, J. M. Henson, se donne comme objectif d'atteindre 2 B\$ en 1990., et son achat de Computervision, 57ème société mondiale d'informatique, 441 M\$ de CA à la suite d'une très mauvaise année (- 20%), est une excellente opération. Pourtant, peu d'années plus tard, Prime n'existe plus : il est probable que la société a été absorbée par Silicon Graphics.

475 - Programmed Control Corporation

Prophet 21 est un petit système de gestion, un produit purement local vendu en 20 exemplaires seulement à des distributeurs. Construit autour du processeur Texas Instrument 16 bits TI 960 B ou du TI 990/10 à base de circuits TTL, il dispose de 32 KB à 2 MB de mémoire MOS à cycle de 750 ns ; les fichiers sont placés sur disquettes ou sur disque en cartouche, et les autres périphériques sont une ME 165 servant d'entrée / sortie, une IP 250 lpm, et des lignes pour quelques terminaux.

Prix \$ 42500 avec un système d'exploitation capable de 128 partitions, une gestion de fichiers appelée de façon sans doute abusive DBMS = Base de données, et un package de gestion.

476 - MPS 803 de Prolog Corporation

Ce modeste minicalculateur de 1974 est construit autour du microprocesseur Intel 8008 et n'a de ce fait eu qu'une vie très courte, apparemment sans succès et sans suite. Il était

réalisé sous forme de cartes de 114 * 165 mm, petites donc, et composant un meccano très fragmenté :

Carte CPU

Carte mémoire 1 KB ROM et 2 KB RAM

Carte mémoire 2 KB ROM

Carte mémoire 4 KB RAM

Carte d'entrées / sorties parallèles 28 bits

Carte d'entrées parallèles 32 bits

Carte de sorties parallèles 32 bits

Carte de gestion de priorité à 8 niveaux.

Un jeu minimal coûte 920 \$, mais on ignore la présentation envisagée.

477 - Pyramid Technology Corporation

Cette compagnie paraît s'être édifiée en 1983 autour de l'architecture RISC que des chercheurs de l'Université de Berkeley essayaient au même moment de placer sur circuit intégré. L'objectif de la compagnie est d'exploiter au plus vite ce qui semble être une bonne idée architecturale : un répertoire de structure uniforme RR, une instruction par mot, une ALU pipelinée de manière à exécuter une instruction par cycle, un grand nombre de registres pour que l'essentiel des calculs n'ait pas besoin d'invoquer la mémoire et pour que les empilements d'invocations de sous-programmes ne se traduisent pas par des ralentissements : aucun rangement n'est nécessaire lors des changements de contexte.

La technologie, par contre, est des plus ordinaires, c'est-à-dire TTLS : circuits 74S pour édifier l'ALU, microprocesseurs en tranches pour les IOP, avec des cycles respectifs de 125 et 200 ns, tout à fait sans risque. Le produit de base 90x aura néanmoins du succès, parce qu'on pouvait prouver par benchmark la supériorité de cette architecture sur celle des VAX, dans un rapport de 2 à 3.

Dès l'année suivante Pyramid propose un biprocesseur 98x de même conception, dans lequel le cache de données initialement optionnel est devenu standard. La mémoire, désormais réalisée avec des puces 256 Kbits, est plafonnée à 32 KB, les disques à 5 GB, le nombre de connexions à 256.

Exemple de prix : 8 MB de mémoire, 2 disques de 470 MB, un streamer à 6250 bpi, 32 ports RS 232C, une console couleur, un système d'exploitation optimisé pour 32 usagers = \$ 307000.

Cette machine est baptisée Isoprocesseur pour souligner que les deux processeurs sont des ressources symétriques au service des usagers.

En 1987, nouvelle mise à jour consistant en une augmentation de la fréquence, le cycle descendant à 100 ns toujours prudent, et de la capacité de mémoire, qui suit la technologie : 16 à 128 MB à partir de puces de 1 Mbit. Les entrées/sorties sont un peu réorganisées avec un seul IOP à base d'AMD 29116 pour tous les périphériques à l'exception des lignes qui ont un ITP distinct, capable de 256 RS 232 C.

Le logiciel s'est étoffé et devient polyvalent, avec ouverture sur les bases de données.

Le produit peut être développé en biprocesseur et son succès est tel que Nixdorf en assure la commercialisation en Europe et Sharp au Japon.

En 1991, Pyramid continue à croître prudemment avec l'aide de son nouvel actionnaire ATT, pour lequel la société étudie une série S, à base de processeurs R3000 de MIPS. Cette famille, qui développe de 25 à 300 Mips, fonctionne sous Unix SVR4 et s'organise comme suit :

en bas de gamme, des mono ou biprocesseurs, prix de départ \$ 93000.

serveur départemental, 1 à 4 processeurs, prix de base \$ 272000.

serveur d'entreprise, 1 à 12 processeurs, prix de base \$ 348000.

ATT revend ces machines en OEM à Olivetti et Siemens / Nixdorf. Cette situation apparaissant absurde à Siemens qui se débrouillait fort bien sans l'intermédiaire d' ATT, SNI achète Pyramid au début de 1995 et lui passe commande d'une famille RM 1000, qui reprend la même idée générale en structurant la machine en parallèle pour pouvoir l'étendre jusqu'à des milliers de processeurs MIPS. Les premières machines sont livrables en mars 1995, au prix de base de K\$ 200 pour 4 CPU et 16 GB de disques, avec base de données ORACLE pour commencer, Informix 8 ensuite. Il est clair à ce stade que le gros des applications est passé du scientifique au transactionnel.

478 - Les notebooks de Psion

Cette société de la côte Est s'est lancée dans le domaine des calculettes au moment où le fondateur HP l'abandonnait, avec l'idée que le microprocesseur ferait baisser les prix et que la miniaturisation des mémoires permettrait de placer un véritable calculateur dans les boîtiers de poche. Bien que les commentateurs désignent ces machines sous le nom de notebook, il ne faut pas chercher ici le mythe des calculateurs sans clavier : la présentation est résolument celle des calculettes si le contenu se rapproche de celui d'un PC.

Après un Psion I dont nous ne savons rien, l'Organiseur II (fiche) est un véritable calculateur, même s'il ne revendique aucune parenté avec le PC. Sa contrainte est de tenir dans une poche (2 * 17 * 9 cm, 255 g), après quoi on y entasse tout ce qui peut y entrer. Voir fiche.

En juin 91, le HC 100 qui tient dans la paume de la main est un terminal de saisie qui n'ambitionne pas de calculer lui-même, mais seulement de stocker des données selon des formats préparés, en vue de les restituer en fin de journée à un calculateur véritable. Son prix, à vrai dire, est élevé, 4000 à 5000 F selon la taille de mémoire, de sorte que l'appareil s'adresse aux entreprises.

Le Psion Series 3 de 1992 est encore une machine de poche, très semblable à l'Organizer avec 20 * 165 * 85 mm et 265 g, mais elle revendique sa compatibilité avec le PC, même si les revendeurs avouent qu'il y a quelques lacunes par rapport au modèle. Voir fiche.

Un 3A deux fois plus rapide apparaîtra en 12 / 93, offrant dans un volume inchangé tout le logiciel de son prédécesseur, plus le son (micro et haut-parleur pour une automessagerie modeste) et une option de connexion à un ordinateur, mais pas de possibilité de liaison directe au téléphone.

479 - Les mini de gestion de Q1 Corporation

Il s'agit encore d'une société créée pour exploiter les premiers microprocesseurs 8 bits à travers un petit système de gestion bureautique, mais le Q1 / LMC, première réalisation de 1975 autour d'un Intel 8080, est ambitieuse : multiprogrammation, 8 lignes synchrones ou asynchrones, fichiers directs ou séquentiels sur disquettes, logiciel comprenant assembleur, PL / M, package de gestion, base de données, pour \$ 17950.

Mémoire MOS à cycle de 500 ns, 8 à 64 KB, écran, ME 200, IP 300. 200 machines seront vendues avant la fin de 1977.

Estimant sans doute que 8080 était encore un peu faible, la firme annonce en 1977 un nouveau modèle compatible utilisant un processeur propre 8 bits, avec mémoire 16 à 64 KB en MOS cycle 350 ns, et une ROM de 6 KB comme BIOS avant la lettre. Cette machine qui comprend un écran à plasma avec clavier, une ME 45 de qualité courrier et une IP 300, peut maintenant accepter 16 lignes, et traite sur disquette ou cartouche des fichiers séquentiel-indexés ; le prix est passé à \$ 21000.

Le pari était sans doute risqué, car il n'y a pas eu de suite. Le plus probable est que l'entreprise, comme beaucoup d'autres, n'a pas su dépasser le cadre local dans lequel s'inscrivait son premier succès.

480 - Les mini de gestion de Qantel Corporation

Commencée un peu plus tôt que la précédente, l'entreprise de Qantel, basée à Hayward, Cal, a eu un succès plus prolongé. Son point de départ, en 1969, est le QA2, une machine 8 bits microprogrammée, avec mémoire à tores à cycle très important de 3,5 μ s, bref une machine très inférieure en tous points à la précédente, mais il est vrai antérieure de 5 ans. Voir fiche. Rajeunie assez rapidement par une mémoire MOS à cycle de 1,5 μ s, elle se vendra en une centaine d'exemplaires dans les deux ans suivants.

Un Q7 lui succède en 1974, toujours un 8 bits avec une mémoire 32 à 128 KB en MOS 1,5 μ s et surtout le noyau de ce qui deviendra dans les années suivantes un vrai système de gestion. Les périphériques sont un écran / clavier, une ME 165, une IP 1200, des disques en cartouches ou en packs, et jusqu'à 32 lignes téléphoniques en procédure IBM 2780.

Le système d'exploitation offre 30 partitions, un assembleur, QIC Basic, et un package de gestion. Le prix est élevé, \$ 32000 à 42500, logiciel en sus ; néanmoins, 470 machines auront été placées à la mi 76.

Le System 800 de 1975 est la même machine, présentée en forme de bureau avec l'écran / clavier et la ME sur le plateau et les disques dans le montant gauche. On peut acquérir une mémoire plus rapide, cycle 1,1 μ s, que le produit de base, et le prix baisse : pour \$ 19500 ou \$ 449 / mois sur 66 mois, on obtient 4 KB de mémoire de travail (en plus du système résident), 6 MB de disques (3 MB fixe + 3 MB en cartouche), et une ME 45. Le package SOLUTION, qui supporte la facturation, la gestion de commandes, les statistiques d'entreprise, les cartes ledger, etc... coûte \$ 5 ; avec l'assembleur et QIC Basic, ce package et la machine capable de s'en servir coûtent \$ 27900.

Variante : le 900 comprend une ME sans clavier et un écran de 960 caractères avec clavier.

Dans les années suivantes, le système étend son emprise en variant ses modèles. Un 1400 apparaît dès 1976, avec 16 à 96 KB de mémoire, un disque fixe de 25 MB en provenance de Memorex, une IP 300, un streamer fonctionnant en 1600 bpi, et jusqu'à 64 terminaux. Prix de base \$ 64900.

En sens inverse, le 210 de 1977 comprend un boîtier écran de 27 Kg contenant CPU microprocesseur, mémoire 16 KB, disque souple 1,2 MB, et un logiciel de type foreground / background. Possibilités d'extensions mémoire à 32 KB, disque à 2,4 MB, une ligne téléphonique et une imprimante à choisir parmi trois modèles. Le clavier peut s'éloigner à 4 ft du boîtier.

Ces matériels seront modernisés en 1979 avec les 970 et 1450, qui utilisent un nouveau processeur 16 bits, réalisé en bit slice et tenant sur une carte, contenant la microprogrammation sur 3 KB de ROM.

La mémoire, réalisée en puces de 16 Kbits, est fournie en modules de 32 KB, cycle 950 ns. 16 bases permettent de définir des pages de 2 KB, non contiguës, dans une mémoire plafonnée à 1 MB.

Le modèle 970 est de format bureau, avec 128 à 256 KB de mémoire, 12 MB de disques, un écran et une ME 15. Prix de base \$ 35900.

Le modèle 1450 comporte un boîtier écran sur un pied, dont 4 slots sont utilisés dans la configuration de base, 128 KB et 12 MB de disques. Une IP 300 complète l'ensemble, vendu \$ 44900.

La disparition de Qantel au delà de 1980 est probablement imputable au succès du PC : dès que celui-ci a trouvé sa voie dans l'entreprise, à un prix que les grandes séries rendait compétitif malgré une richesse matérielle et logicielle toujours croissante, il n'y avait plus de place pour des concurrents en dehors de ce modèle écrasant. Qantel a probablement été absorbé par un industriel du compatible, lui-même éliminé peu après par un des créateurs de PC.

481 - Quay Corporation

Le mot de Corporation paraît fort pour qualifier cette éphémère société de Freehold, New Jersey, qui apparaît en 1978 pour commercialiser en OEM le 90 /MPS, un CPU sur une carte à \$ 695 contenant:

un microprocesseur Zilog Z80

mémoire décomposée en 1 KB de SRAM pour les scratchpad, 4 KB de DRAM, et 1KB de PROM

6 socles pour EPROM et un programmeur pour les diverses PROM

un timer, un UART et deux PIO.

Une variante à \$ 995, le 90F /MPS, contient en plus un contrôleur pour un maximum de quatre lecteurs de floppies simple face.

482 - Questronics, Inc.

Cette compagnie propose en 1965 un calculateur pédagogique au prix plutôt élevé de \$ 30000. Pour ce prix, on obtient une mémoire à tores magnétiques de 5 à 10 Kcar avec cycle de 20 μ s, un CPU décimal capable d'addition sur 10 chiffres en 300 à 500 μ s, de

multiplication 10 * 10 chiffres en 10 à 25 ms ; un lecteur et un perforateur de bande papier ou mylar ; une machine à écrire.
Pas de suite connue, et probablement un simple succès local.

483 - le Quota 900 de Zendex

La Zendex Corporation est une entreprise de Dublin, en Californie du Nord, qui touche à l'informatique par sa division Quota Systems. Celle-ci se manifeste en novembre 1981 en s'efforçant, comme une foule d'autres sociétés, de commercialiser une petite machine de gestion construite autour des microprocesseurs de Intel.

Plus particulièrement, le Quota 900 est une famille de processeurs à mémoire 8 bits construits autour du 8085A2, pour le moins cher, ou du 8088 pour le plus élaboré. Les modèles sont vendus comme des packages complètement définis, comprenant CPU, mémoire et disque, en combinaisons variées :

935 comprend une carte CPU 8085A2, avec 64 KB de mémoire, un contrôleur Data Technology DTC 1403D, deux floppies Shugart SA801R et un Winchester Shugart SA1004 de 8», capacité 11 MB non formatés. Prix \$ 14500.

938 comprend en outre une seconde carte CPU, contenant le 8088 avec 192 KB de mémoire, et l'aptitude à adresser jusqu'à 1 MB. Prix \$ 15900.

955 contient le CPU 8085A2 et sa mémoire, avec un contrôleur Data Technology DTC 900 gérant un seul floppy, le SA 1004 fixe et, en outre, un disque amovible DP 100 Lynx de Data Peripherals, Inc. de capacité 10 MB. Prix \$ 20500 .

958 ajoute à cela une carte 8088 avec sa mémoire et coûte \$ 21900.

965 comprend le CPU 8085A2 et sa mémoire, un DPC 900 avec un Lynx et deux SA 1004, en tout 30 MB dont 10 amovibles. Prix \$ 24500.

968 ajoute à cela la carte 8088 avec sa mémoire, prix \$ 25900.

Les cartes CPU contiennent 4 KB de ROM, soit 2 KB comme bootstrap et 2 KB pour le moniteur, qui n'interfèrent pas avec l'adressage de la mémoire client.

Le processeur 8085A2 peut se voir complété par une carte de 320 KB de mémoire, contenant un mécanisme de commutation de banc, pour qu'à un instant donné, le CPU ne voie que les 64 KB qu'il sait adresser. Le processeur 8088 accepte aussi des cartes d'expansion, jusqu'à un maximum de 1 MB.

Les contrôleurs de disques assurent détection et correction d'erreurs, la recherche simultanée de piste sur plusieurs disques avec contrôle positif d'alignement.

La société Zendex prévoit l'annonce d'un ordinateur à base de 8086 pour mars 82, et d'une carte Ethernet pour juin. Tout cela a disparu avec le succès des PC.

484 - Les normes IEEE

L'IEEE, Institute of Electrical & Electronic Engineering, est une association à finalité industrielle qui couvre, par ses comités et ses publications, tous les domaines techniques liés à l'électricité, ce qui va bien au delà de l'informatique.

Dans le domaine de la normalisation, cet institut travaille à la demande de ses membres. En général, l'initiative provient d'un industriel qui a une idée et un prototype ; l'IEEE consulte ses membres et s'il y a suffisamment de marques d'intérêt, organise une commission pour faire le travail, avec des participants qui sont des membres volontaires. En cas de succès, un Draft Report présentant le premier projet est publié dans une revue de l'IEEE, et provoque des réactions écrites. La commission étudie les correspondances, accepte ou rejette les propositions additionnelles, puis publie un rapport final qui est soumis au vote des membres pour devenir une norme industrielle à la majorité des membres concernés.

Ce qui suit est simplement une collection de références à des normes informatiques, avec indication de l'endroit où chacune d'elles se trouve dans le présent fichier, si nous en possédons un exemplaire. Cette liste n'est certainement pas exhaustive, et on constate que dans plusieurs cas, nous avons fréquemment évoqué des normes sur lesquelles nous n'avons que peu de renseignements.

488			
223			
694			
696			
754			
(Picaud 2-165)			
796			
689			
802. 3			
250			
802. 4			
252			
802. 5			
251			
802. 11a			
802. 11b			
896			
996			
1014			
689			
1296			
1301			
1394			

Les dispositifs cités dans la rubrique 689 y sont sommairement décrits, mais nous ne disposons pas de la norme elle-même; il en est de même des références trouvées dans le document 206.

485 - RAIR Microcomputer Corporation

Cette société se manifeste pour la première fois en 1977, en construisant comme beaucoup d'autres un minicalcateur de gestion qui peut trouver sa place sur une table, construit autour du microprocesseur Intel 8085A. Outre le CPU, cette boîte de la taille d'un tiroir de 3 unités de rack contient 64 à 512 KB de mémoire DRAM, un disque Winchester 5,25 » de 5 MB, un lecteur de disquette DFDP de 500 KB proposé comme backup, un port parallèle 16 bits, un port série RS 232C, une interface d'instrumentation IEEE 488, et une alimentation. Ce produit se nomme la Black Box 3/30.

Pour \$ 7500, le matériel fonctionne sous CP/M, MP/M ou CP/Net, supportant Basic, Fortran, Cobol, Pascal et PL/I, ce qui paraît beaucoup.

Le succès semble avoir été suffisant pour que la société existe toujours en 1984, développant son concept dans un Supermicro à base d'Intel 80286 avec option 80287, présenté comme disposant de la puissance du VAX. Mémoire jusqu'à 2 MB, disque Winchester de 100 MB, disquette, streamer, Ethernet, et 16 ports série pour connexion d'utilisateurs; Il y a aussi, comme au départ, un bus IEEE 488, indiquant que la clientèle ne méprise pas les activités de laboratoire en temps réel. Présentation en boîtier plat qui peut être installé à plat ou verticalement.

Le système CP/M assure la compatibilité, mais le temps partagé est fourni par Unix.

486 - Les travaux informatiques de la Radio Corporation of America

La Radio Corporation of America est bien connue avant guerre dans le monde entier pour ses phonographes et disques de la marque La Voix de son Maître.

Pendant la guerre, l'importance de ses ateliers étant plus remarquable que sa compétence en électronique, la reconversion se fait vers des travaux assez simples, tels que :

1943 AN/APG 12 radar FM bande L pour lancement de bombes

AN/APN 1 altimètre FM 450 MHz

AN/ARN 1 radioaltimètre 420 MHz

1944 AN/APG 4 radar FM 410 MHz de bombardement

AN/APN 9 récepteur Loran

AN/APN 11 balise d'avion bande X

AN/ARC 2 E/R HF, matériel Collins

AN/ARR 18 récepteur MF et HF pour avion

AN/AXS 1 et AN/AXT 2 relais TV pour avions

La guerre finie, la firme ne relâche pas son effort et élargit sa compétence, obtenant une grande variété de contrats militaires couvrant tous les domaines :

1946 AN/PRC 7 portable pour liaisons de l'infanterie avec l'aviation d'appui

AN/SPS 1 radar naval bifréquence pour veille air et mer

AN/SPN 2 radar d'appontage pour porte-avions

1949 AN/SPA 4 PPI 10 » pour recopie de vidéo radar
 AN/ARC 34 participation à un vaste contrat de production de l'E/R UHF standard des avions
 AN/AAR 5 système de recherche en infrarouge

1950 multiples contrats portant sur des récepteurs LF/MF/HF toutes applications : fixe au sol AN/FRR 18/19/22/23, mobiles AN/MRR 1/2/3, pour navires AN/SRR 11/12/13, embarquable AN/URR 31 et son convertisseur shift pour montage diversité AN/UR1 12
 AN/FRT 16 émetteur LF 250 KW
 AN/GRC 13 émetteur/récepteur HF pour véhicules
 AN/AAR 3 recherche infrarouge d'échappements de schnorkel
 AN/TPS 10 radar d'altimétrie « queue de castor » en bande X.

1951 AN/APS 57 radar de recherche en bande X pour les avions anglais Meteor et Sea Venom

1952 AN/UPN 12 récepteur Loran à lecture directe (calculateur incorporé)

1953 AN/APN 70 récepteur Loran d'avion
 AN/ARC 21 émetteur/récepteur HF 44000 canaux pour avions USAF

1954 multiples émetteurs/récepteurs portables FM/VHF pour communication de l'infanterie avec
 l'aviation d'appui, modèles dorsaux (AN/PRC 28/35), modèles de casque (AN/PRC 34/36),
 modèles pour le sauvetage AN/PRC 28.
 AN/SPN 18 radar de navigation bande X.

1956 AN/FPS 16 radars de tracking bande C pour lancement de fusées, 50 exemplaires. Son succès
 donnera lieu en 1961 à des variantes comme l'AN/TPQ 18 en containers aérotransportables, le
 MPS 25 sur camion, ou l'AN/FPQ 6 de portée et précision accrues.

1957 Dans le cadre du programme SAGE, RCA reçoit commande du data link entre les ordinateurs au
 sol et les avions : émetteur/récepteur au sol AN/GKA 5 avec sa liaison aux ordinateurs et ses
 multiplexages vers les avions, récepteur AN/DRR 1 de l'avion radioguidé Bomarc, récepteur AN/
 ARR 61 des intercepteurs F106.
 AN/APN 110, altimètre radar de l'avion B 58.

1958 RCA obtient la maîtrise d'oeuvre du projet SS 224 A BMEWS de détection avancée des missiles
 balistiques intercontinentaux attaquant depuis l'URSS à travers les pôles, comprenant trois
 installations à Clear, Alaska - Thulé, Groenland - et Fylingdale, Angleterre. L'étude des radars principaux est confiée à General Electric (AN/FPS 50), celle des calculateurs à Sylvania et IBM (7090), mais RCA est chargée des radars de tracking : AN/FPS 49 à Thulé, AN/FPS 92 à Clear et Fylingdale en Angleterre. La société pourra faire dans ce cadre divers essais techniques, tels que l'AN/FPS 95 Cobra Mist qui devait détecter les

missiles par réflexion ionosphérique (essais peu concluants de 1969 à 1973), ou l'AN / FPT2, sorte de miniBMEWS installé à Trinidad pour surveiller les lancements depuis des navires.

RCA est désormais introduit auprès de toutes les administrations techniques et apporte des contributions non triviales à chaque catégorie de problème. Nous en mentionnerons plusieurs de caractère informatique, mais nous terminerons d'abord une revue de fournitures aux armées :

Equipement de bord d'avions : émetteurs/récepteurs HF SSB et UHF pour divers avions de combat, puisque désormais chaque modèle d'avion a des matériels spécifiques. A la notable exception de l'AN / ASQ 85 qui est un intégré HF / UHF / IFF / gonio / balise / navigation pour le A7, les participations sont plutôt occasionnelles : récepteur de data link pour F111A, HF SSB et UHF auxiliaire pour F111B, data link du P3A, HF SSB et UHF SSB du P3C, radar avertisseur de queue AN / ALQ 127 du B52.

Equipement de champs de tir : radar doppler spatial AN / MPS 36 (1971), radar d'instrumentation AN / TPQ 39 (1973), localisation acoustique de missile AN / TNS 5 (1961), suivi électrooptique de satellites AN / FSR 2 (1966).

Armée de terre et Marine Corps : radar portable de champ de bataille AN / PPS 9 / 12 / 18 (1969-71), télémètre laser pour artillerie AN / GVS 5 (1973), guidage de l'aviation d'appui des troupes au sol AN / TPQ 27 (1980), équipement aérotransportable pour constituer un aérodrome AN / TSQ 47 (1962) dont radar AN / TPS 35, tours de contrôle AN / TSW 6 / 7, contrôle aérien AN / TSW 5.

Equipement de navires : réseau de communications intérieures des LHA (AN / STC 1, 1979) puis de tous les grands navires à partir des CG 47 (AN / STC 2, 1980), et surtout participation au programme des radars de combat des croiseurs Aegis (AN / SPY 1, avec Raytheon), brouilleur radar AN / ULQ 12 (1974).

Radar côtier porté par ballon captif AN / DPS 5 (1984).

Communications générales : d'avion à satellite en UHF AN / ARC 152 (1971) - en 8 GHz (TAC Satcom) : AN / MSC 57 (1969) et 59 (1970) sur camions, AN / TSC 79 (1969) et 85 (1977), 94 et 100 (1982-87) héliportables, AN / ASC 14 (1970) sur avions - relais terrestres en bande C AN / TRC 97 (1964).

Les études proprement informatiques de RCA ont commencé dès la fin de la guerre, parce que le président du groupe, le Général David Sarnoff, s'était passionné pour cette discipline. Nous passerons en revue, dans l'ordre chronologique, ces réalisations qui n'ont pas toutes été heureuses, et qui ont abouti en septembre 1973 à la mise en minorité de Sarnoff, et à l'abandon de la discipline, avec inscription de 500 M\$ de pertes au compte d'exploitation, accompagné du licenciement de 9500 personnes.

FLAC (1953) : RCA accepte la maîtrise d'oeuvre de l'équipement de Patrick AFB, le centre de lancement de missiles de l'USAF. Voir cette rubrique. Ce ordinateur a été réalisé par RCA mais, faute d'expérience, en recopiant presque exactement la machine SEAC.

NIFTE (1956) : RCA expérimente l'emploi du tout récent transistor sur cette machine qui n'est qu'un banc d'essai technologique.

Electrofax (1956) : RCA essaye comme tout le monde, à cette époque où l'informatique cherche sa voie, d'inventer une imprimante. Son procédé utilise un papier recouvert d'un photoconducteur tel que ZnO en milieu résine, sur lequel on dépose des charges électriques au moyen de pointes portées à 7000 volts. Le développement consiste ensuite à projeter sur ce papier une fine poudre de résine pigmentée, qui sera chauffée jusqu'à fusion. Le procédé, finalement non compétitif avec la xérogaphie de Horizon, Inc, ne sera pas suivi et, après cet échec, RCA utilisera exclusivement des imprimantes du commerce.

COMLOGNET (1956) : Western Union est chargée d'organiser les communications des Armées à travers le monde (des forces américaines sont installées au Japon, en Corée et en Europe), et fait appel à RCA pour étudier le CDP, Communication Data Processor, qui sera le coeur de chacun des centraux, et qui ne peut être que transistorisé par besoin de fiabilité. Ce développement prendra des années et n'aboutira qu'en 1961 à un premier réseau, rebaptisé Datacom, puis Autodin.

On trouvera dans une fiche RCA une description de ce premier Autodin, et des références aux articles décrivant les CDP, parus en 1960. Une étude plus générale de l'Autodin initial (= COMLOGNET) et de son évolution figure en rubrique 470.

A une date qu'on n'est pas en mesure de préciser, mais qui se situe après 1961, RCA décide de créer une filiale de communications, RCA Communications, Inc., qui fera de la commutation de messages commerciale au profit de l'Industrie privée en utilisant le CDP comme commutateur et des lignes louées comme support. Voir à ce sujet la fiche CDP de 1960.

BIZMAC (1956) : réalisation d'un immense ordinateur de gestion pour l'Ordnance Tank & Automotive Command (fiche), en réalité une collection de machines largement indépendantes qui travaillent simultanément sur un vaste jeu (183) de dérouleurs de bandes magnétiques, les activités étant distribuées manuellement à travers une énorme matrice de relais Reed, construite par North Electric Company. Cette expérience ne sera sans doute pas un grand succès, puisque le matériel, payé plus de 4 M\$, sera liquidé en 1963 pour la somme ridicule de \$ 6789.

Cette étude très originale a été l'objet de nombreux articles, dont une partie seulement a été gardée en originaux. Cependant les articles non conservés ont été traduits, et l'essentiel des informations se retrouve donc dans la fiche, en français.

BIZMAC II (1958) : reprise du concept précédent, mais en faisant cette fois de l'unité de calcul le chef d'orchestre des opérations. Un seul exemplaire commercialisé,

l'arrivée de machines transistorisées plus fiables, plus économiques et moins encombrantes condamnant sa réalisation plus que son principe.

Sales Recording System (1957) : premier essai de collecte de données de gestion dans un grand magasin, entrepris par accord entre RCA et l'Associated Merchandizing Corporation. La technologie est celle de Bizmac, l'organisation très différente.

BMEWS (1957) : à cette date, on l'a dit plus haut, RCA est choisi comme maître d'oeuvre industriel du projet BMEWS de radar antibalistique, où apparaissent des radars General Electric, des extracteurs Sylvania, des calculateurs IBM, des transmissions Western Electric, du logiciel TRW. Les fournitures propres de RCA dans ce système comprennent :

des radars de tracking, cités plus haut.

des processeurs de surveillance permanente du fonctionnement des radars et de celui des ordinateurs, voir fiche BMEWS / CDP pour Checkout Data Processor .

RCA 501 (1960) : il s'agit bien cette fois d'une machine de série, à finalité gestion, à peu près conforme au modèle 702 inventé par IBM (sans aucune volonté de compatibilité), et construite en transistors. Arrivée un peu trop tard, elle sera néanmoins vendue à 100 exemplaires, uniquement aux USA.

RCA 301 (1961) : au contraire, cette 301 qui entre en compétition avec la 1401 d'IBM est annoncée à temps, et se vendra correctement, en particulier grâce à deux contrats européens avec Bull (Gamma 30) et ICT (ICT 1501). On ne trouvera en boîte 102 qu'une brochure technico-commerciale, mais nous disposons de documents plus complets et plus nombreux dans les boîtes France, sous l'étiquette Gamma 30.

Le succès de cette machine conduira RCA, pour des raisons marketing, à donner des numéros distincts à des configurations particulières de la machine : RCA 350 est une version de gestion transactionnelle (alors que la 301 de base est une machine batch), RCA 354 est une version scientifique à virgule flottante.

RCA 110 (1960) : il s'agit d'un calculateur temps réel étudié avec et pour Foxboro, société spécialisée dans le contrôle industriel. La mémoire principale est à tambour, comme c'était généralement le cas à l'époque pour cette mission. Le principal succès de cette courte tentative est d'avoir servi aux essais en usine des fusées Saturn à Huntsville, Alabama. Il y avait un 110 pour le contrôle du premier étage S1C de Boeing, un autre pour l'anneau électronique construit par IBM, un autre encore pour le contrôle du Saturn assemblé avant lancement ; et bien entendu, tout cela doublé par sécurité.

RCA 601 (11 / 62) : avec cette machine RCA ambitionnait de se lancer dans le calcul scientifique qui réussissait si bien à IBM, mais ce fut l'occasion de graves conflits entre la division EDP et le siège, aboutissant à des retards et à l'abandon de la plus puissante des deux unités centrales envisagées. Comme conséquence, la 601 n'a été vendue qu'à 6 exemplaires.

FC 4100 (1961) : ce calculateur temps réel produit par l'usine de Van Nuys, Cal, paraît avoir été étudié pour la commande de radars, et réalisé en plusieurs exemplaires. Après le matériel prototype, décrit dans la fiche d'après un article de FJCC 1961, on trouvera une application concrète, le SPASEC = SPACe track SENSOR Computer, dans FJCC 1964 ; ce projet utilise un modèle 4102S, numéro qui suggère des adaptations mineures du modèle de base pour un besoin spécifique.

FC 4400 RADAP (1962) : apparemment simple modernisation du précédent, le RADAP (pour RADAR DATA Processor) est associé sur les navires de la NASA aux puissants radars de poursuite des satellites ou encore des capsules Gemini et Apollo. Ces calculateurs reçoivent de la NASA les orbites du satellite et calculent les pointages initiaux pour l'acquisition, puis entretiennent la poursuite et recalculent une orbite affinée, qui pourra être renvoyée au réseau SPASUR.

MicroPAC (1962) : cette machine ne nous est connue que par un article très tardif (1967), qui doit correspondre à une époque où le matériel avait cessé d'intéresser l'Armée de terre. Fruit évident d'un contrat, c'était une machine d'encombrement modéré qui devait permettre des calculs de plan de tir pour l'artillerie, par exemple. Le bref article cité décrivait la démarche suivie pour les tests de dépannage.

RCA 30 NewsCom (1963) : petit calculateur destiné à automatiser la préparation des plaques typographiques, le texte original emploie le mot « typesetting ». Pas de détail.

ADA (1963) : il s'agit d'une application de gestion transactionnelle étudiée pour l'ensemble des usines Lockheed s'occupant de missiles (Polaris) et de satellites (Agena), et qui extrapole les techniques mises au point pour les applications militaires. Il s'agit de trois établissements californiens, Van Nuys, Burbank et Sunnyvale, et de Lockheed Georgia.

Les calculateurs sont une paire de RCA 301, servant des disques Bryant et des bandes magnétiques, qui collectent les données de :

130 postes EDGE de saisie à Van Nuys,) 6 de ces postes peuvent recevoir et présenter des réponses

180 postes EDGE à Sunnyvale,) de l'ordinateur, et il est prévu de porter ce total à 25.

130 postes EDGE à Burbank
50 postes en Georgie

Le calculateur tient un journal sur bande magnétique qui enregistre quelque 28000 transactions par jour, et qui peut être repris pour exploitation off line.

Le poste EDGE, qui est une étude RCA, sait lire les cartes 80 col, les badges 12 col, et 11 chiffres inscrits au clavier, au débit de 27,7 cps, avec un double contrôle, parité et longitudinal. On peut en installer jusqu'à 25 sur une ligne 2 ou 4 fils. Prix d'achat \$ 4100, plus \$ 14800 pour le contrôleur de communications ; en location, \$ 104 et \$ 400 / mois respectivement.

RCA 3301 RealCom (1963) : il s'agit d'un calculateur de gestion transactionnelle, développant la formule du 301 et comme tel d'ailleurs proposé à Bull qui devait en faire son Gamma 40. Son essor est arrêté net en 1964 par l'apparition des IBM 360, que tout le monde perçoit comme une révolution.

C'est à l'occasion de cette machine qu'apparaît le RACE, mémoire de masse à cartes magnétiques achetée à 14 exemplaires par l'US Navy pour ses bases aéronavales, avec 7 RealCom. Une photo de bac RACE, contenant 256 cartes, figure dans la fiche 3301. Une carte mesure 406 * 114 mm et contient 64 bandes de 2 pistes, inscrites en série à 700 bpi et servant à un contrôle par duplication ; chaque bande contient 4 blocs adressables de 650 caractères de 7 bits. L'unité de lecture / écriture, qui coûte \$ 3500 / mois, comprend une tête de lecture et 8 bacs ; une seconde unité à \$ 1500 / mois peut lui être adjointe et partager sa tête ; l'unité de commande à \$ 750 / mois peut accepter 8 paires de ce type.

Il y a donc 166400 car / carte, 42598400 car / bac, 341 Mcar / unité, et au maximum 5,4 milliards de caractères par installation, un chiffre qui se compare avantageusement à la concurrence. Le prix de ce stockage est 12,5 \$ / mois par million de caractères dans la configuration minimale, et peut tomber à 7,5 \$ / mois et par million pour les grosses installations.

RCA essaye également avec cette machine un lecteur optique utilisant un tube Vidicon, le RCA 5820 Videoscan. Le système accepte 90000 documents par heure, dans des formats de 6,35 à 21,6 cm de large sur 6,35 à 10,2 cm de haut. Les caractères sont examinés par balayage vertical, puis reconnus par confrontation avec une liste de 16 symboles (chiffres , . - * \$ marque au crayon) ; la densité du texte est de 79 caractères par ligne. Il n'y a pas de tampon, chaque caractère est introduit directement dans la 301.

RCA 401 (1963) : est une machine improvisée avec des fragments d'études antérieures : la mémoire du 601, une mémoire rapide à microferrites à cycle de 300 ns formant scratchpad, la technologie des calculateurs militaires FC. La mission concerne les communications, c'est à dire la succession des CDP. On ne sait rien de la carrière de cette machine, bloquée elle aussi par l'annonce des IBM S/360.

CCIS 70 (1964) : cette année-là, l'Armée de terre, estimant qu'elle a compris la leçon des travaux Fieldata, lance le programme CCIS 70 (Command, Control & Intelligence System pour les années 70) qui en diffère par l'énoncé d'objectifs tactiques globaux. La participation de RCA semble porter sur un système de visualisation de QG, exploité par le calculateur Mobidic B.

Il semble que le produit retenu ait été l'ARTOC d' Aéronutronics, et que de toutes façons le programme ait encore une fois été trop général pour réussir. Après ce deuxième échec, l'Army fractionnera ses programmes en limitant ses ambitions (TACFIRE, par exemple, pour lequel RCA fournira des tambours. Voir photos).

RCA 6050 : premier terminal à écran de la société, fonctionnant à 1800 bauds et plutôt cher : \$ 10600 à 11600, ou \$ 250 à 275 par mois.

LIMAC (1966) : au cours de la période 63 / 66, les relations de RCA avec l'USAF se focalisent sur des projets de recherche, avec des objectifs pas toujours compatibles d'ailleurs. Ainsi LIMAC, qui intervient au moment où apparaissent les premiers circuits MSI, se donne comme objectif la minimisation du nombre de composants MSI distincts nécessaires à la construction d'une famille d'ordinateurs militaires couvrant une large gamme de besoins.

L'architecture choisie est du type « dataflow », caractérisée par la multiplication des opérateurs simultanés, alimentés de façon asynchrone par plusieurs bus. Il semble cependant, à lire l'article qui nous fait connaître cette étude, que l'on ait lésiné sur le nombre de bus, avec la conséquence que les simultanités de principe n'existent réellement que si les opérateurs sont peu performants. Voir fiche.

VIC 36 A (1966) : cette autre étude architecturale, réalisée par la division aérospatiale de Burlington, Mass. se propose plutôt la fiabilité par duplication et reconfiguration, la souplesse étant obtenue en prime par le second de ces moyens. Le VIC 36 A se présente un peu comme un émulateur universel, à un moment où cette notion n'est pas encore formalisée. La machine sera simulée, puis un prototype réalisé.

Nous disposons d'un article détaillé qui analyse cette machine du point de vue fiabilité. Trois ans plus tard, ce prototype servira comme unité centrale du projet PACCS-ADA (voir plus loin), sa microprogrammation servant à émuler une IBM 7090.

Spectra 70 (1966) : l'annonce par IBM de l'architecture S / 360 et de son incarnation immédiate dans une gamme de 5 machines couvrant un large éventail de puissance constitua un séisme pour beaucoup de constructeurs, dont RCA : les machines existantes, dont une seule, la 301, était un réel succès, devinrent immédiatement obsolètes et leur carnet de commande se vida.

Le choix d'une politique de contre-attaque, dans une entreprise où l'informatique n'était bien considérée que par le président, était particulièrement difficile, même en admettant que RCA ne s'intéressait pas au haut de gamme. On conclut finalement que, en l'absence d'une architecture compétitive, et faute de temps pour en créer une, il fallait accepter de suivre le courant et définir une famille compatible, pour profiter des logiciels d'application suscités en masse par le succès d'IBM. Cependant, même cette approche était difficile, car elle impliquait la microprogrammation et on ne disposait pas d'une technologie satisfaisante pour les mémoires de commande : en adoptant un procédé magnétique, RCA se limitait en performance et se condamnait, au moins au début, à des marges commerciales insuffisantes.

La famille Spectra est donc exactement compatible avec l'architecture S / 360 (les Principles of Operation) pour tous les aspects perceptibles de l'extérieur, en particulier par les applications. Par contre, le système d'exploitation est différent, ce qui permet de s'écarter de la compatibilité pour certains dispositifs que les applications ne connaissent qu'à travers des appels au système : notamment, l'architecture du système d'interruptions. Pour couvrir une gamme de puissances allant de la 360 / 30 à la 360 / 50, RCA se contente de deux micromachines, décrites ci-dessous, avec un seul type de mémoire principale et une seule technologie de mémoire de commande, les transformateurs (comme la 30 d'IBM).

la micromachine 8 bits ne dispose pas de mémoire locale et loge les registres dans la mémoire principale. La mémoire de commande de 1024 * 54 bits, cycle 960 ns, est exploitée en deux microinstructions de 27 bits, 5 champs, équivalant à un cycle de 480 ns. Logique DTL réalisée en SSI.

la micromachine 16 bits emploie une mémoire locale importante. La mémoire de commande, 1024 * 53 bits, 11 champs, peut alors se contenter du cycle de 960 µs. La logique utilise une technologie CML à 8 MHz que RCA essaiera de commercialiser. dans les deux cas, les canaux sont microprogrammés.

Pour les périphériques, RCA est contraint de se passer de disques, jusqu'à ce que les compatibles en aient produit de convenables, économiquement parlant. De ses études antérieures, elle ne garde que peu de produits :

le lecteur optique Videoscan, dans une version modernisée, le RCA 70 / 251, capable de 1800 documents / minute, 1500 cps, prix \$ 126900 ou \$ 2700 / mois.

un terminal de téléprocessing (pas encore d'écran), le RCA 70 / 630 pour lequel il existe des concentrateurs et des mémoires tampons.

un écran de table, Spectra 70 / 750, 8 * 5,6 » (203 * 142 mm), capable de présenter jusqu'à 1080 caractères de 0.12 * 0.08 » générés par monoscope, en 5 / 6 / 12 / 20 lignes de 27 / 54 / 80 / 81 car au choix. Déflexion électromagnétique, régénération 60 fois par seconde, nombreux dispositifs : curseur, car et line delete / insert, écran partagé, tabs. Transfert, éventuellement partiel, en ASCII 1200 ou 2400 bauds. Le tampon de ligne comprend 8640 caractères et peut être multiplexé sur un maximum de 64 écrans.

Prix de base \$ 5730 ou \$ 122 par mois.

un écran 752, analogue dans son principe mais non multiplexé. avec fenêtre 12 » (305 mm), 20 lignes de 54 caractères, tampon de 1080 caractères. Clavier amovible et déplaçable jusqu'à 6 mètres de l'écran.

Prix \$ 8325 ou \$ 190 / mois.

Tout le reste est acheté en OEM.

Cette première génération de Spectra donnera lieu à six modèles :

Spectra 70 / 15 : petit sous-ensemble de l'architecture S / 360, avec même des opérations incompatibles. La machine est câblée et, en réalité, n'appartient pas à la famille Spectra. On a vu cette même situation chez IBM avec la 360 / 20.

Spectra 70 / 25 (1 / 66) : sous-ensemble incomplètement compatible de l'architecture S / 360, utilisant la micromachine 8 bits. La mémoire organisée en mots de 32 bits permettra d'obtenir la plupart des instructions en une seule consultation, pour compenser la lenteur du bloc de calcul. Voir fiche.

Spectra 70 / 35 (7 / 66) : même micromachine, mais répertoire S / 360 complet, plus émulation de la 301 et des IBM 1401 et 1410. Elle se présente comme plus puissante que la 360 / 30, pour un prix à peine plus élevé. Voir fiche.

Spectra 70 / 45 (7 / 66) : cette machine utilise la micromachine 16 bits dont nous possédons toute la documentation. La mémoire locale comprend 128 * 34 bits avec un cycle de 480 ns, et un accès de 120 ns. Le répertoire 360 est complet, mais quatre opérations touchant au système d'exploitation ont un code et un comportement modifiés ; la virgule flottante est optionnelle. L'émulation de la 1401 est possible. Voir fiche.

Spectra 70 / 46 (1967) : même machine que la précédente, mais assortie d'une mémoire virtuelle de 2 MB découpée en 8 ou 32 segments de 64 pages, soutenue par une mémoire de mapping de 1024 bytes, à cycle de 300 ns. Vouée au temps partagé, cette machine utilise une partie de sa mémoire de commande pour loger le résident du système d'exploitation TSOS ; de ce fait, elle n'accepte pas d'émulation.

Spectra 70 / 55 (7 / 66) : même micromachine que la précédente, mais la mémoire locale est portée à 512 mots de 34 bits avec un cycle de 300 ns, et la mémoire est organisée en mots de 32 bits + 4P. Les performances sont donc nettement améliorées. Voir fiche.

Spectra 70 / 60 (1969) : introduite tardivement, cette machine dispose d'importants progrès techniques : nouvelle micromachine 32 bits mue par une mémoire de commande sur ROS, 3072 * 72 bits, avec un cycle réduit à 330 ns; cycle de mémoire à tores diminué à 1 µs; logique en circuits plus intégrés; scratchpad réduite à 128 * 32 bits mais avec un cycle de 100 ns . Voir fiche.

Spectra 70 / 61 (1969) : version temps partagé de la 60, assortie d'une mémoire virtuelle de 2 MB appuyée sur un tambour magnétique et une mémoire physique à cycle accéléré à 765 ns.

La série Spectra, vendue à des tarifs imposés par le marché, obtint de bons résultats mais en ne rapportant que de maigres bénéfices. La famille a été introduite en Europe à travers Siemens, qui renonçait en pratique, de ce fait, à produire lui-même autre chose que des machines de process control. Siemens commercialisait cette famille en France, sous le nom de Siemens 4004 ; de ce fait, nous disposons d'une documentation en français à trouver dans le dossier de cette machine.

BTSS II (1966) : l'entrée en service des Spectra donne l'occasion à RCA de réaliser un rêve déjà ancien, à savoir la construction d'un système de temps partagé fonctionnant sur une machine de sa propre production. Entreprise au début de 1966 au laboratoire RCA de Princeton, cette étude se fixe quelques contraintes de base : utiliser une machine existante pour ne pas retarder l'étude (ce sera donc le Spectra 70/45), utiliser le langage Fortran IV parce qu'il est connu de tous.

Le résultat de l'étude est un système de temps partagé baptisé BTSS II, offrant aux usagers un langage de commande, un éditeur de texte, un compilateur conversationnel baptisé Fortran PI, et META PI. Ce dernier, mis au point au cours de l'étude, est un compilateur de compilateur qui doit permettre, au cours de la phase suivante menée avec un Spectra 70/46 spécialement construit pour le time-sharing, de se procurer rapidement d'autres langages. Voir 249-201.18.

AIRCON (1967) : renouvellement des installations de la filiale RCA Communication, Inc. de New York, au moyen de calculateurs RCA FC 4104 conçus pour le temps réel. Ce réseau de commutation de messages obtiendra la clientèle de Swissair, Japan Airlines et SAS, pour commencer.

RCA 1600 (1968) : calculateur 16 bits, microprogrammé, compatible S/360, répertoire de 29 opérations, un accu, pas d'index, pas d'indirection, mémoire à cycle de 1,8 µs. Peut être associé à disque, bande magnétique, et un TTY ASR 35. On peut supposer qu'il s'agit de la micromachine Spectra 70.

La finalité de ce produit vendu aux OEM est de servir de brique pour toutes sortes d'applications : graphique, enseignement programmé, contrôle de production, concentration de lignes. RCA ne fournit aucun support sinon, peut on supposer , le microassembleur.

UTEC (1968), Universal Test Equipment Compiler. Tentative de RCA de construire un logiciel d'intérêt général pour les nombreux testeurs que tous les constructeurs, et RCA soi-même, sont amenés à construire pour leurs clients militaires ou NASA. Voir 250-929/36 .

PACCS-ADA (1969) : en 1969 le SAC, se posant la question de la sécurité de son QG, décide d'expérimenter l'équipement d'un avion EC 121 (Lockheed Constellation) en QG de secours volant. On récupère à cet effet le calculateur VIC 36A, résultat d'une étude antérieure terminée, calculateur qui est un émulateur universel. En lui installant une mémoire de 32 Kmots, on impose qu'il émule l' IBM 7090 du SAC et qu'il dispose d'un compilateur Jovial J2. La réalisation se compose de :

le calculateur VIC, avec une horloge temps réel à quartz, 20 bits.

deux tambours magnétiques de Magnehead, 100 Mbits en 928 pistes, têtes flottantes, accès 27,5 ms

deux bandes magnétiques Ampex à plat, 7 pistes, 75 ips, vitesse 200 ou 556 bpi.

cinq consoles RCA à monoscope, 20 lignes de 54 caractères, 60 Hz, 64 symboles.

une imprimante thermique série de NCR

une machine à écrire comme poste de maintenance.

Le concept est que l'avion est disponible en permanence, et que le calculateur du QG entretient des bandes de situation qui sont embarquées au décollage. Le chargement des tambours à partir de ces bandes se fait en vol et prend 15 à 20 minutes. Nous disposons de l'article original d' Aviation Week.

Série 200 (1970) : RCA propose ici huit calculateurs militaires aux normes MIL, modulaires et compatibles avec les Spectra 70. Leur microprogrammation, qui est spécifique, utilise une mémoire core rope à cycle de 300 ns, capacité 1024 * 64 qui suggère une micromachine spéciale. Nous disposons d'une fiche du plus puissant modèle de cette famille, le biprocesseur 215, étudié pour dégradation progressive et renforcé à cet effet de quatre opérations nouvelles de multiprocessing.

Par comparaison, le modèle 195, plus modeste, et qui tient dans le volume d'un tiroir de bureau, dispose d'une mémoire de 1 MB de cycle 1,5 µs, et travaille à 290 Kop/s.

Voir, pour la discussion de cette fiabilité, l'article de 252 - 347/57 .

2ème génération des Spectra (1971) : l'apparition, en 1970, de la nouvelle norme S / 370, relance le défi pour RCA. Certes, la compagnie est en mesure de réaliser très rapidement une ou des machines compatibles avec ce modèle, mais ce simple effort de copie est déjà financièrement délicat, et il n'est pas du tout suffisant pour pouvoir vendre ces machines ; car le nouveau système exige aussi dès le départ les nouveaux disques 3330, et exigera très vite les nouvelles bandes 6250 bpi . Tout ce que RCA ne pourra pas faire soi-même devra être acheté pour pouvoir être revendu, et les marges seront grignotées gravement par ces deux étages de transactions, qui portent aussi sur une partie au moins

des logiciels ; sans compter que toute étude s'amortit sur des séries 10 à 100 fois plus courtes que celles d' IBM.

La division EDP, soutenue par Sarnoff, décide qu'il faut le faire, annonce quatre nouvelles machines , et achète pour elles à IBM une grande quantité de disques 3330 : RCA 2, nouveau bas de gamme, extrapole la 70 / 45 à très petits frais, avec la même mémoire, la même micromachine et une mémoire locale accélérée à 300 ns. La vraie nouveauté est dans les disques.

RCA 3 est la version à mémoire virtuelle de la 2 et, à une époque où IBM n'a pas annoncé cette évolution, son domaine est à nouveau le temps partagé seulement : elle utilise d'ailleurs le système d'exploitation de la 70 / 46 et le tambour de la 70 / 61.

RCA 6 est le nouveau haut de gamme, reprenant le matériel de la 70 / 60 et la mémoire de la 70 / 61 avec une nouvelle microprogrammation. Ici aussi, la nouveauté réside dans les disques 3330.

RCA 7 est la version à mémoire virtuelle de la 6, mêmes remarques que ci-dessus.

RCA 8660 est un frontal de communications pour les machines précédentes. Il dispose d'une mémoire de 32 à 64 KB, cycle 1,6 μ s, et sait prendre en compte tous les protocoles d' IBM, notamment 2780, ainsi que les contrôleurs comme l' IBM 2701.

Ainsi RCA, comme la plupart des clients d' IBM, est dupe de la première annonce 370 et s'imagine que sa nouvelle famille est compétitive, techniquement, avec celle d' IBM. Economiquement, c'est évidemment une autre affaire, les marges restant à RCA après ses achats de disques étant faibles.

Aussi, lorsqu'en 1973, l'annonce par IBM de la famille S/370 VS, avec les mémoires principales à circuits intégrés, fait comprendre que tout est à recommencer, le choc est trop dur : c'est là que le conseil d'administration de la corporation, mettant Sarnoff en minorité, décide de liquider sèchement la division EDP en abandonnant les clients. A partir de là, il n'y a plus chez RCA d'autres calculateurs que des matériels militaires et des microprocesseurs.

Siemens, abandonné sans préavis, sera la principale victime de cette décision.

En réalité, la chute n'a pas été tout à fait aussi dure, car le parc de RCA a trouvé acquéreur chez Univac, qui avait fait en 1964 le même choix que RCA pour ses machines de gestion, à savoir la compatibilité IBM. Au prix de 50 M\$ cash, plus un pourcentage modeste sur les ventes des deux années suivantes, soit au total M\$ 120 environ, Univac a racheté un parc d'environ 136 machines et embauché 2500 personnes, choisies pour leur utilité : globalement une bonne affaire. Mais, pour notre présent propos, un drame et un virage majeur chez RCA.

GOLD (1972) est un outil graphique (Graphic On Line Design) mis au point au centre de recherche de la corporation à Princeton pour faciliter la conception de circuits intégrés, en liaison avec les travaux logiciels de la division Solid State de Somerville, NJ. Voir en 258-461/70 la description de ce système.

RCA 100 (1972) est un nouveau CDP, capable de commutation de messages jusqu'à 2500 voies, phonie et données mélangées. Clientèle inconnue.

CDP 1801 COSMAC (1975) : l'arrêt des activités EDP n'empêche pas les travaux de la division Electronique, qui entreprend, à partir de 1973, d'élaborer un microprocesseur à large spectre d'applications, avec une architecture peu coûteuse. Voir fiche, dans laquelle on trouvera deux articles d'applications, FRED et CDP.

FRED (1974) : décrit de façon détaillée par l'article cité ci-dessus, FRED est ce qu'on appellera plus tard une console de jeu, Flexible Recreational & Educational Device qui ne coûte que \$ 500. Le calculateur inclus est un CDP 1801 COSMAC, et la console contient le convertisseur vidéo qui permet de la connecter à une télévision ordinaire. L'article décrit une abondance d'applications mineures.

CDP 1802 (1976) : le succès initial du 1801 poussera RCA à améliorer son produit, raffinant son procédé de fabrication qui devient C2L et permet de baisser les prix. Elle développe simultanément des fabrications que l'on peut qualifier de périphériques, y compris des mémoires compatibles. Les prix baissent et les ventes s'envolent : dans les 6 années suivantes, 2 millions de microprocesseurs seront vendus. RCA l'utilisera pour le travail de commutation de messages antérieurement confié à des machines beaucoup plus grosses. Voir à ce sujet 261-439/45.

COSMAC VIP (1977) : comme ces périphériques le suggéraient aux clients, RCA dispose désormais de tous les composants nécessaires pour réaliser un calculateur, et cède à la tentation l'année suivante.

Ce COSMAC VIP est placé sur une carte 216 * 280 mm, où l'on trouve aussi un petit OS de 512 mots sur ROM, 8 KB de SRAM, un clavier hexa, une interface TV, une interface pour une cassette commerciale, et une alimentation régulée. Ce « calculateur personnel » avant la lettre est vendu \$ 275 avec CHIP 8, un interpréteur sommaire comprenant 31 ordres.

La mémoire est extensible jusqu'à 32 KB, au moyen de cartes 4 KB connectées par un bus 19 bits. On peut aussi se procurer quelques applications de jeu, et utiliser un débogueur fourni sous forme de texte.

CDP 1802 S (1977) : reprise du dessin précédent, mais en technologie CMOS / SOS (silicon on sapphire) que RCA vient de développer avec l'argent du NRL dans le but d'améliorer la résistance aux radiations, et accessoirement d'augmenter la performance. Le saphir synthétique étant un excellent isolant, 1000 fois meilleur que le silicium, cette technique est réellement efficace, mais elle est aussi nettement plus chère que le CMOS standard sur silicium.

Outre cette puce qui rassemble 5400 transistors sur un carré de 5 mm de côté, RCA utilise aussi cette technologie pour quelques mémoires RAM : 1821 = 1024 * 1, 1822 = 256 * 4, 7500 transistors dans un carré de 3,5 mm de côté, et 1823 = 128 * 8 bits.

CDP 1804 (1978) : industrialisation du procédé CMOS / SOS qui permet maintenant de regrouper sur la puce, autour du microprocesseur, 2KB de ROM et 64 bytes de RAM, une base de temps et un timer, tout en accélérant à 8 MHz. Ce monochip, que le CMOS permet de placer sans problème près du moteur, sera utilisé de 1982 à 1985 par

Chrysler pour le réglage du carburateur et la recirculation des gaz d'échappement dans ses voitures.

A partir de ce succès les contrôleurs 180X se déclinent en variantes nombreuses, avec ou sans ROM ou RAM, et disposent d'un grand nombre de périphériques, tous CMOS / SOS. Voir fiche.

TCS 074 (1977) : l'USAF ayant participé financièrement à la mise au point par RCA de la technologie CMOS / SOS, le fondeur ne pouvait refuser à la firme Tracor, travaillant pour l'USAF, de lui mettre sur silicium son émulateur TCS 074, résistant aux radiations. Cette résistance était pour l'USAF le facteur décisif, mais l'intérêt de Tracor résidait plutôt dans l'architecture de la puce, qui est une tranche de 8 bits chaînable et programmable pour émuler divers autres microprocesseurs.

La puce se présente en boîtier DIL 48 broches et peut s'associer à ses semblables jusqu'à 32 bits. La puce mesure 200 * 220 mil, soit 5 * 5,6 mm, et contient 16 GPR à 2 portes, 8 entrées, 8 sorties. Addition 100 ns.

En même temps que ce microprocesseur, RCA réalise pour l'USAF une ROM 1024 bits en DIL 16 broches, un multiplieur 8 * 8 bits, et le TCS 091, une collection de 300 portes à personnaliser par un dernier masque à la demande, présentée en flat 40 broches. Voir photo en boîte 149.

ATMAC (1977) : nous disposons à cette même époque d'un gros article de la revue Computer qui décrit une paire de circuits CMOS / SOS formant un microprocesseur en deux puces, extensible en réseau. Le programme ne paraît pas identique au précédent et on doit probablement considérer que la publication d'un article d'architecture signifie qu'en fin de compte les Armées, destinataire logique du produit, ne lui ont pas trouvé d'application.

MCF et MISP (1983) : RCA n'a plus de division informatique, mais s'occupe toujours de technologie et travaille toujours pour les Armées. C'est ainsi que RCA présentera des prototypes - dont nous ne savons rien - au concours MCF de l'Armée de terre. Après l'annulation de ce programme, RCA transformera son projet en une offre explicite pour MISP, un Multiple Instruction-set Processor, capable simultanément des jeux d'instructions 1750A de la DARPA et 1862 de l'Armée, réalisé en CMOS / SOS et capable de 3 MIPS en 32 bits. Mais il ne trouvera pas de client.

Sarnoff Engine (1993) : après 1978, nous n'avons plus de trace d'activités de RCA dans aucun domaine informatique et, par exemple, cette société n'est pas mentionnée en 1984 parmi les 100 premières sociétés américaines s'occupant d'informatique.

Cependant la Corporation n'a pas disparu, elle s'est seulement reconvertie. Et il semble qu'elle n'a pas oublié le président qui lui a, pendant les premières années de l'informatique, donné un statut de « grand » en ce domaine. Le Laboratoire de Technologies Avancées qui avait réalisé l'ATMAC existe toujours en 1990 et s'appelle désormais le David Sarnoff Research Center. On y étudie, sur contrat DARPA, un processeur SIMD pour la vidéo en temps réel (radar, sonar, simulation) capable de 30 images dynamiques par seconde, recevant jusqu'à 1,4 Gbit/s en entrée, délivrant jusqu'à

1,9 Gbit/s en sortie. Le concept, baptisé Princeton Engine, serait extensible à 2048 PE, doit 28000 Mips, la synchro étant 14 MHz.

La DARPA en a commandé deux en 3 / 91, dont un pour l' US National Institute of Standard & Technology (NIST), suivi d'un compilateur Fortran en 9 / 91.

Le travail s'est poursuivi après cette commande, même si le projet d'une version GaAs fonctionnant à 140 MHz ne semble pas avoir été suivi. En 1993, un nouveau contrat DARPA de durée 42 mois, d'un montant de M\$ 13, porte sur un ensemble de 1024 PE fonctionnant à 38 MHz, avec une arithmétique 32 bits en fixe ou VF. Le concept repensé est extensible à 8192 PE et 312000 Mips. C'est le Sarnoff Engine.

487 - Le programme Fielddata de l' US Army

Annoncé en 1959, ce programme extrêmement ambitieux visait l'application de l'informatique aux besoins tactiques de l' Armée de terre, se proposant pour commencer de voir ce qu'il était possible de faire autour de quelques idées générales de bon sens : définir un langage commun à tous les équipements qui pourraient être réalisés.

examiner la possibilité de réaliser une gamme de calculateurs compatibles, du minimum transportable en première ligne au grand système pour QG, en passant par divers modèles sur camion. On étudierait d'abord les problèmes de fiabilité, d'encombrement et d'alimentation, et ensuite seulement les éventuelles applications.

s'assurer que les informations pourraient circuler entre ces machines, à travers les matériels standard de l' armée, radio et filaires.

Puisqu'il apparaissait prématuré de se donner un objectif militaire précis, il n'y avait pas de maître d'oeuvre industriel, et des contrats furent passés à de très nombreuses sociétés, plus ou moins bien coordonnés. On ne doit donc pas s'étonner que ce premier travail n'ait pas conduit à des réalisations vraiment utiles, mais il a largement déblayé le terrain pour le programme suivant, CCIS 70, qui avait des objectifs bien mieux définis.

On peut donc seulement conduire une brève revue des contrats partiels :

a) définition de l' alphabet Fielddata : on notera d'abord qu'au moment de cette étude, il n'existe qu'un seul code normalisé, le Baudot des télégraphistes, dont on sait bien qu'il n'est pas adapté aux ordinateurs. Il n'existe encore ni ASCII ni EBCDIC : le choix de l'Armée correspond aux appareils qu'on imagine à l'époque, bande perforée, bande magnétique, lignes téléphoniques.

Le code choisi est à 6 bits, plus un bit de contrôle facultatif dépendant du matériel, et un bit de parité qui n'est exigé que lors des transmissions.

	code	00	01	10	11	00	01
10	11						
	0000	rien	rien	rien	rien	espace	K)
0	0001	blank	dial 8	RCA	RCH	majusc	L
-	1						
	0010	rien	rien	rien	rien	minusc	M
+	2						

<	0011	dial 1	dial 9	RCB	RCJ	tab	N
=	0100	rien	rien	rien	rien	CR	O
>	0101	dial 2	dial 0	RCC	RCK	space	P
-	0110	rien	rien	rien	rien	A	Q
\$	0111	dial 3	start B	RCD	RCL	B	R
*	1000	rien	rien	rien	rien	C	S
(1001	dial 4	MD A	fin B	RCM	D	T
«	1010	rien	rien	rien	rien	E	U
V	1011	dial 5	MD B	RCE	RCN	F	
W	1100	rien	rien	rien	rien	G	
	1101	dial 6	MD C	RCF	RCP	H	X
Y	1110	rien spécial	rien	rien	rien	I	
stop	1111	dial 7	MD D	RCG	del	J	Z
		AR					

Le tableau de gauche contient des caractères de commande, destinés à l'appareil distant : ils ne sont pas affectés explicitement, pour réserver l'avenir, sauf start et fin de bande ; les dial permettent de télécommander un téléphone à cadran, les RC sont disponibles. Le bit de contrôle servira à activer le tableau de droite ou celui de gauche, mais le procédé sera variable :

imprimantes : elles ignorent le tableau de gauche et ont par conséquent le bit de contrôle égal à 1

bande perforée : le bit de contrôle est 0 pour les lignes paires, 1 pour les lignes impaires, et joue donc le rôle d'un bit de parité. Motif : il n'y a pas de bande perforée à 8 bits à l'époque.

bande magnétique : pour la même raison, le bit de contrôle sert de bit d'imparité, inverse du précédent.

C'est donc sur les seules lignes téléphoniques que le bit de contrôle joue le rôle de télécommande, valant 0 à gauche et 1 à droite du tableau.

b) calculateurs : tous les constructeurs qui ont reçu un contrat ont fourni une machine capable de passer les tests prescrits en fonction de leur mode d'emploi présumé. A défaut d'application, ils ont donc contribué à familiariser les entreprises avec les exigences des

normes MIL, et entraîné les laboratoires de l'Armée à tester des équipements entièrement nouveaux. On se bornera à renvoyer aux fiches des machines.

Installation et exploitation en semi-remorques : MOBIDIC de Sylvania, Data Communicator d' IBM

Fonctionnement sur camion : BasicPAC de Philco, IMPAC d' IBM

Transport sur véhicule, emploi sur le terrain : COMPAC de Philco, MicroPAC de RCA

c) logiciel : les responsables de l'étude estimaient que les activités demandées aux ordinateurs seraient variées et généralement incompréhensibles aux personnels chargés de les mettre en oeuvre. Sur de telles bases, il apparaissait souhaitable de privilégier la facilité de mise en oeuvre et l'universalité plutôt que l'efficacité. La première idée des concepteurs était de définir un langage de programmation commun aux diverses machines du programme, ce qui à l'époque était encore original, et qui a donné naissance au concept - non réalisé - d'UNCOL.

Pour aider à cette tâche, le contractant Remington Rand a sous-traité à sa voisine, l'Université de Pennsylvanie, la réalisation de ACT, une série de procédures facilitant les conversions de support entre les diverses machines du programme. Voir cet ensemble ACT en 236 - 329/39.

d) transmissions : les moyens de transmission étant ceux du moment, il s'agit de définir des équipements de conversion et s'il y a lieu de codage capables de s'insérer entre eux et les appareils d'extrémité.

AN/TSQ 32 de Stelma, Inc. Un calculateur Fieldata délivre soit une transmission série à 1200 bauds, soit une transmission parallèle de 150 caractères de 8 bits par seconde, à l'entrée de l'appareil. Celui-ci fournit à sa sortie des impulsions de commande pour un modulateur FSK, applicable à un émetteur HF.

AN/TSQ 33 de Collins Radio : c'est l'équivalent simplifié du kineplex inventé pour la Navy. Le signal est transformé en une modulation de phase à 4 sous porteuses, adaptable à une voie téléphonique standard, filaire ou radio. Le débit de la ligne peut être 2400, 1200 ou 600 bauds selon la qualité de la ligne.

AN/TSQ 35 de Bendix Pacific : principe analogue, mais avec 8 sous-porteuses et un débit de 19200 bauds, les fréquences s'étalant dans la bande 12-60 KHz des équipements de transmission AN/TCC 7, 8 et 11. Les 8 bits d'un caractère sont ainsi transmis simultanément.

Nous disposons aussi d'un article tiré de IEEE 1963 Convention Record, part 8, pp 49/57, qui décrit un poste d'entrée de messages formatés permettant de transmettre à 300 bauds, en modulation FSK, sur un poste portatif AN/PRC 10 équipant les troupes de première ligne ; l'article décrit aussi un système de visualisation de ces messages, fonctionnant avec un tube charactron, et associé à un émetteur / récepteur AN/TRC 75. Un tel dispositif n'est pas imaginable en dessous d'un QG de régiment ou de brigade. Le produit est l'oeuvre de la division électronique de la General Dynamics, San Diego, Cal.

488 - Les calculateurs de Ramo-Wooldridge

Cette société qui apparaît peu après la guerre s'est tout de suite impliquée dans des activités de haute technologie, et en particulier dans des études de calculateurs pour les Armées.

Une regrettable ambiguïté existe, vue de France, entre les sociétés constituées par MM Ramo et Wooldridge: à leurs noms sont associés, selon les circonstances, ceux de Thompson et de Bunker, de sorte que, de 1960 à 1965, une même machine peut faire l'objet de documentations RW, TRW, ou BR. La seule certitude est qu'après 1965, Bunker - Ramo hérite des ordinateurs, tandis que TRW se consacre à la technologie et à l'espace. Les machines ci-après appartiennent à la période ambiguë.

RW 30 : cette machine à tambour magnétique destinée à la navigation de précision d'un avion, en vue de bombardement, est une sous-traitance de Westinghouse. Elle constituait le calculateur WEDAC formant le coeur du radar pulse doppler AN/APQ 56, construit par cette société pour le RB47E.

Elle semble avoir eu des successeurs RW 31 et 33, sur lesquels on ne sait rien, mais qui sont probablement aussi des sous-traitances Westinghouse.

RW 130 : ce calculateur a été d'abord étudié spécialement pour la Marine, comme calculateur polyvalent sous le sigle AN/UYK 1. Choisi alors comme calculateur pour le projet Transit de satellite de navigation, il sera installé à ce titre sur les premiers SSBN sous le sigle AN/BRN 3. L'USAF lui trouvera ensuite des applications pour l'interprétation photographique des images du radar latéral de l'avion OV1 et des drones : 180 camions AN/TSQ 43 contenant un exemplaire seront construits par Link.

Le RW 130 sera ensuite proposé, avec une certaine prudence à cause du coût élevé de son boîtier militaire, pour des usages civils : ce sera le TRW 230, qui d'ailleurs se vendra peu.

Le RW 130 a été acheté en quelques exemplaires par la CAE et proposé à la Marine française comme calculateur des SNLE; c'est en fait le RW 133 qui sera adopté pour cette mission. On trouvera donc une partie de la documentation dans la section France.

RW 133 : successeur compatible du RW 130, le RW 133 était dans les cartons de la compagnie RW lorsque la CAE, cherchant chez son licencieur une machine capable des missions prévues pour les SNLE français, le découvrit. L'étude était incomplète, et la Marine dut payer assez cher pour achever la mise au point et amener la machine, au demeurant simple amélioration technologique du RW 130, à un état opérationnel (4 CPU par SNLE).

Par la suite, RW a donc fait adopter le RW 133 par l'US Navy comme machine universelle AN/UYK 3, ce qui est légitime compte tenu de son architecture, qui est celle d'un émulateur universel. L'AN/UYK 3 est compatible, à travers ses canaux, avec les besoins du programme NTDS de l'US Navy : ce sont ces besoins qui limitent à 15 bits (un demi-mot NTDS) la taille du mot dans cette machine.

RW 300 : réalisée en 1959, c'est une des toutes premières machines réalisées en série pour les besoins civils du contrôle industriel, bien entendu autour d'un tambour magnétique. La licence en sera prise très tôt en France par la CAE, filiale de la CSF.
RW 400 : dès 1959, s'inspirant peut-être du travail de RCA sur BIZMAC, RW avait imaginé une organisation de grosse machine à calculer où une multitude d'unités, processeurs et périphériques, pourraient être connectés l'un à l'autre de toutes les manières possibles à travers une matrice « crossbar ». Ce concept baptisé calculateur polymorphique RW 40 fut proposé au RADC (Rome Air Development Center, NY) qui objecta immédiatement que le crossbar serait le point faible du système.

RW proposa alors de réaliser la matrice à base de transfluxors, un composant magnétique multitrans dont l'expérience récente montrait la fiabilité, très supérieure à celle de l'électronique ; et obtint un contrat AN/FSQ 27 pour une machine RW 400 regroupant effectivement des processeurs, des mémoires auxiliaires à tambours magnétiques, et des tampons pour périphériques. Sans application immédiate prévue, le système pouvait comparer son ambition locale à celle d'un calculateur IBM AN/FSQ 7 du SAGE, au moins sous l'angle de la fiabilité, d'emblée meilleure a priori du fait du recours aux transistors.

L'échec - qui s'exprime par le fait que le prototype n'a pas eu de suite - provient probablement de raisons plus psychologiques que techniques, car le fonctionnement des divers constituants a été honorable : un seul mécanisme, la commutation, était proposé pour gérer l'exploitation normale et pour faire face aux incidents. En l'absence d'un programme d'applications assurant une charge mesurable du système, et d'un programme d'études ou d'essais orienté vers la question de la fiabilité et de la disponibilité, comparable au FIX du SAGE, on a seulement vérifié le bon fonctionnement des commutations ; sans échapper à l'impression que la fiabilité était chèrement payée par le non emploi de nombreuses ressources. Par la suite, les systèmes d'exploitation assureront, à la satisfaction générale, la solution de ce problème de plein emploi d'un complexe de ressources qui à l'époque n'était pas correctement formulé, peut-être pas même perçu.
RW, qui avait mis à son programme de travail pour 1962 la construction d'un calculateur CM 403 beaucoup plus puissant que le CM 400 du contrat initial, dut l'abandonner.

RW 330 : le succès du RW 300 décida RW à proposer, dès l'année suivante (1961) un RW 330, à tambour magnétique comme son prédécesseur, mais avec un beaucoup plus grand nombre de voies de mesure et/ou de commandes réparties sur les nombreuses pistes (jusqu'à 512) d'importants tambours disposés verticalement. Pour les industries nécessitant un très grand nombre de mesures, mais avec une bande passante modérée, un processeur d'extension 3030 permettant de nombreuses fonctions permanentes et spécifiques pouvait s'ajouter au calculateur de base, chef d'orchestre et gérant des commandes plus dynamiques. Cette formule, proche dans son esprit des solutions analogiques qu'elle cherchait à remplacer, obtint un honnête succès.

RW 340 : successeur en 1962 du 330, avec une mémoire à tores remplaçant le tambour et accélérant considérablement les calculs. Bons résultats auprès des mêmes types de clients, mais sur une durée plus courte, car il devient alors évident que les

besoins de l'industrie ne se limitent pas à améliorer la fiabilité sans changer des habitudes devenues obsolètes.

TRW 530 : l'échec commercial du TRW 230 résultait en partie de son mot de 15 bits, tout à fait inadapté aux besoins d'une industrie qui faisait du calcul scientifique sur 36 bits et de la gestion avec des caractères de 6 bits. Se dégageant des contraintes de l' US Navy, RW construit alors un ordinateur à mot de 18 bits sur le même principe général d'un émulateur universel exploité dans un mode interprétatif.

Ce 530 n'aura aux USA qu'un succès limité, du fait de l'existence de nombreuses machines demandant aux clients un effort moindre pour des résultats voisins. Par contre, licenciée pour l' Europe à la CAE, le 530 aura de ce côté de l' Atlantique une carrière beaucoup plus durable qu'aux USA, où la séparation entre TRW et Bunker - Ramo mettra fin à sa fabrication.

C'est donc dans la section France qu'on trouvera l'essentiel de la documentation sur le CAE 530.

489 - Les activités informatiques de l' USAF

Nous nous proposons, dans cette rubrique, de faire une synthèse des missions de l' US Air Force dans la période de 50 années qui sépare la fin de la guerre de la fin du siècle, afin de mieux situer ses activités très diverses, dans lesquelles, presque toujours, l'informatique joue un rôle central. Il ne s'agit donc que d'un guide, qui renvoie à des fiches ou à des rubriques chaque fois que le rôle de l'informatique mérite d'être commenté.

De la fin de la guerre à 1965, l' USAF est une subdivision du Ministère de la Défense, en compétition féroce avec les autres Armes pour les crédits. Il n'y a pas de chef militaire commun autre que le Président, donc tout conflit d'intérêt remonte au plus haut niveau.

Le DOD, Department of Defense, organisme purement administratif, fait la chasse aux duplications et s'efforce d'imposer des programmes communs, quand il ne peut pas particulariser les responsabilités. Mais justement, en 1945 /50, c'est possible:

La bombe atomique est la seule arme réellement stratégique. L'USAF est chargée de créer une aviation stratégique capable de la transporter en n'importe quel point du monde. Le Strategic Air Command (SAC) en sera responsable, avec QG à Offutt AFB, Omaha, Nebraska. Il s'équippa successivement de bombardiers géants, B36, B47, B52, expérimenta l'aile volante B70. La prévision météorologique à l'échelle mondiale sera automatisée par le réseau de collectes et les puissants calculateurs de l' Air Weather Network (AWN, rubrique 676). Les émetteurs Loran et Omega couvriront la planète d'un réseau d'hyperboles, et les calculateurs de bord les exploiteront pour conduire les avions jusqu'à leur cible.

Un système SACCS (SS 465L) à base d'ordinateurs reliera le QG du SAC à toutes ses bases dans le monde. Voir fiche en boîte 149, USAF .

Les bombardiers ennemis ne doivent pas atteindre le continent américain. L'USAF est aussi chargée de la défense et créera le NORAD (SS 425L) , un système de surveillance du ciel basé sur des chaînes de radars installées à travers le Canada (DEW Line,

Pinetree Line), et sur un ensemble de calculateurs et de radars métropolitains, le SAGE (SS 416L) et son équipement de secours le BUIC, permettant de guider de façon semi automatique vers l'ennemi les intercepteurs F101, F102 et F106 et les avions sans pilote BOMARC. Le QG du NORAD est enfoui sous les Cheyenne Mountains, Colorado. Les USA sont sanctuarisés par leur bombe atomique et les deux océans qui les coupent du reste du monde. Les guerres, si on ne peut les éviter, auront lieu en Europe et en Asie, où d'ailleurs les USA acceptent de laisser des troupes comme garantie pour leurs alliés. L'USAF doit créer un Tactical Air Command très mobile, capable d'assurer à ces troupes amies un appui aérien précis. Des chasseurs-bombardiers A7, F105, F111, et des intercepteurs F86, F100, F104, guidés sur le terrain par des infrastructures mobiles composées de radars et d'ordinateurs (TACS, BADGE) seront construits à cet effet.

Pour toutes ces tâches d'un haut niveau scientifique, l'USAF supplée à ses propres insuffisances techniques en créant des organisations dites « non profit », de statut civil pour supprimer le problème des salaires, mais non autorisées à distribuer leurs bénéfices puisqu'elles n'ont pas d'actionnaire. La Rand Corporation (rubrique 490), la MITRE Corporation (rubrique 408), la System Development Corporation (rubrique 166), serviront de « Think tanks » pour l'USAF et contribueront notamment beaucoup au développement des applications militaires de l'informatique.

L'USAF ne laisse à Washington, où le DOD s'incarne désormais dans le Pentagone, que les personnels nécessaires à l'activité - essentielle - de lobbying auprès du Congrès. Des établissements spécialisés, de plus en plus importants avec le temps, naissent en divers points du pays pour l'action technique. Citons :

l'AFCRC, à Cambridge, Mass, pour la recherche en Informatique et électronique appliquée aux problèmes militaires. Voir rubrique 36.

le RADC à Rome, NY (Griffiss AFB), pour le développement d'applications des sciences et notamment de l'informatique aux besoins de l'aviation. Voir rubrique 502.

l'Air Force Weapons Laboratory à Kirtland AFB, équipé de supercalculateurs pour les études de charges nucléaires. Voir boîte 149, USAF..

le Wright Air Development Center, à Dayton, Ohio, pour le développement des techniques de pilotage et de navigation.

le White Sands Proving Ground, dans le désert du Nouveau Mexique, pour les essais en vol de tous les prototypes d'avions. Il est puissamment équipé en moyens de mesure et en ordinateurs pour leur gestion et pour les dépouillements. Voir rubrique 243 et boîte 149, USAF.

Enfin, on peut comprendre que l'USAF se trouve en face d'un considérable et constant problème de formation de ses personnels volants, qu'elle résous en créant des écoles de pilotage équipées de simulateurs nombreux et diversifiés. En gros, il faut des simulateurs d'initiation banalisés, puis des simulateurs de spécialisation à raison d'au moins deux par type d'avion entré en escadres, sans compter des simulateurs d'application particuliers pour les armes, pour la guerre électronique, pour les travaux en équipe, et pour le combat aérien. La rubrique 688 ne fournit qu'un échantillonnage, et les photos sont en boîte 149.

L'USAF s'acquittera de sa tâche et sera prête avant 1960. Mais la bombe atomique russe (1949), puis les premiers missiles à longue portée et le Spoutnik (1957) dessinent

de nouvelles menaces. Le gouvernement étend les responsabilités de l'USAF et plus particulièrement celles du SAC et du NORAD :

en attaque, le SAC est responsable de la construction de missiles balistiques intercontinentaux (ICBM) Atlas, puis Titan, puis Minuteman, capables de transporter avec précision des bombes H sur les villes ennemies. Il faudra créer des ordinateurs miniaturisés et des centrales inertielles pour les guider, des silos de lancement protégés, et des réseaux de commandement sûrs. Patrick AFB, en Floride, devient le centre d'essai des missiles.

en défense, en attendant d'imaginer des moyens d'arrêter les missiles de l'ennemi, il faut au moins s'assurer le délai le plus grand possible entre leur lancement et leur arrivée, afin de pouvoir démontrer à cet ennemi qu'aucune attaque ne resterait impunie. C'est la doctrine MAD, Mutual Assured Destruction, qui doit dissuader l'ennemi de tirer le premier. L'USAF est chargée de créer le réseau BMEWS de radars de détection et de le relier au NORAD par des moyens indestructibles.

L'USAF se considère, par simple continuité, comme responsable de l'espace. Elle crée la SAMSO pour réfléchir à une politique et mettre en place les premiers moyens, elle organise la surveillance de l'espace avec le SPADATS, fait des plans pour un Manned Orbital Laboratory (MOL), crée sur la côte Pacifique un centre de lancement à Vandenberg AFB, met en place une Satellite Communication Facility (SCF) d'ampleur mondiale, et définit toute une série d'applications militaires pour les satellites.

Le premier homme dans l'espace, qui est russe, fait basculer tous ces plans en quelques années, pour des raisons au moins autant politiques que militaires. Kennedy décide la course à la lune, et crée la NASA pour la conduire. D'importantes ressources et responsabilités sont retirées à l'USAF au profit de ce nouvel organisme, et notamment les satellites scientifiques, l'AFCRC et la base de lancements Patrick AFB, peut-être aussi White Sands Proving Ground.

D'ailleurs le DOD réorganisé coiffe maintenant les trois armées avec un Etat-Major Interarmes, et développe dans la Marine une seconde arme stratégique, le SSBM. L'USAF ne se définit plus elle-même ses missions, elle les reçoit du DOD, qui arbitre les conflits budgétaires sur la base d'une Défense globale.

Le RADC, de moins en moins aéronautique, travaille désormais principalement au profit de la DARPA, l'organisation de recherche du DOD.

en défense, le NORAD doit sans cesse raffiner et étendre son arsenal, avec les satellites de détection de lancements (10 MIDAS puis 6 BMEWS) et d'explosions nucléaires (12 VELA), ensuite intégrés par TRW en IMEWS (13 de 70 à 82) puis en DSP (17 de 84 à 93); il y a aussi de nouveaux radars pour détecter les missiles lancés par sous-marins. Les changements sont tellement importants que le NORAD devra subir, à partir de 1985, une complète redéfinition.

Un énorme effort est entrepris dans le domaine des avions espions (U2, TR1, SR71), des satellites de renseignement optique (SAMOS, KH), radar (SAR) et radioélectrique (Ferret), des satellites météorologiques (USAFMET) et des satellites de communication (SYNCOM, programmes DSCS 2 puis 3). L'USAF n'a plus nécessairement l'initiative ni l'exploitation des programmes, elle en est seulement le gestionnaire administratif et technique par décision du DOD.

en attaque, les bombardiers lourds ont beaucoup perdu de leur importance stratégique et si on les conserve, en nombre d'ailleurs réduit, c'est à cause de leur rayon d'action mondial ; les défenses de l'ennemi compliquent grandement leur tâche et les obligent à devenir plus discrets (stealth) de sorte que de nouveaux prototypes doivent être étudiés, F117, B1, B2, d'un prix exorbitant et donc produits en très petit nombre ; leurs bombes sont d'ailleurs devenues des missiles, ALCM, SRAM, largués loin des cibles et guidés vers elles par des ordinateurs embarqués miniaturisés.

Le SAC, qui existe toujours, consacre le gros de ses efforts aux ICBM plutôt qu'aux avions.

l'USAF concentre donc ses études sur les avions tactiques, puisque le monde passe d'une guerre à la suivante : les nouveaux avions de combat (A10, F4, F5, F15, F16) sont bourrés d'électronique (navigation inertielle, guerre électronique, viseurs lasers, bombes autoguidées, missiles radar et infrarouge) dont l'emploi est orchestré par les multiples ordinateurs de bord et par des avions radar (E3 AWACS). Des systèmes de communication raffinés (PLRS, JTIDS, JSTARS) intègrent ces avions dans le dispositif tactique.

Les USA ont désormais un rôle mondial et sont appelés à intervenir en tout point de la planète avec

des moyens substantiels, toujours en urgence. L'USAF a donc du développer un Transport Command équipé d'avions lourds, C141 puis C5 puis C17 pour transporter ces forces dans des délais très courts. Des ravitailleurs (KC135, KC10) dérivés des avions commerciaux étendent au monde entier le rayon d'action de l'aviation tactique.

Au tournant du siècle l'USAF a conservé un énorme pouvoir administratif et de gigantesques moyens, mais nulle part elle n'agit plus de sa propre initiative. Toute action militaire de ses avions s'insère dans un plan d'ensemble auquel participent les diverses armes, tout nouveau programme d'étude est évalué a priori dans une perspective globale et interactive, puis surveillé sur toute sa durée par le bras séculier (GAO) des autorités politiques (Congrès)..

490 - Rand Corporation

Cette société « non profit », la première du genre, a été créée dans l'immédiat après-guerre pour énoncer puis exécuter de vastes calculs de recherche opérationnelle, comme on appelait alors les problèmes d'optimisation, qu'ils soient statiques (grands systèmes d'inéquations linéaires) ou dynamiques (grands systèmes d'équations aux dérivées partielles). Les forces armées, en effet, ne pouvaient espérer recruter ni garder les scientifiques hautement qualifiés qu'exigeait cette nouvelle classe de problèmes nés de la guerre, intéressant la logistique et la stratégie, et plus généralement l'économie.

La Rand Corporation a bien entendu éprouvé tout de suite le besoin d'un ordinateur, et choisi de construire dans son site californien un dérivé de la machine de l'IAS, JOHNNIAC, ainsi baptisée en l'honneur de John Von Neuman, créateur du concept d'ordinateur.

Brièvement équipée d'une mémoire à Sélectrons qui ne fonctionnera pas mieux là qu'ailleurs, JOHNNIAC sera la première des descendantes de l'IAS à recevoir une

mémoire à tores magnétiques construite à la demande par Telemeter Magnetic, appuyée sur un tambour de 12288 mots.

Cette machine sera exploitée de 3 / 54 à 1965, disposant depuis mai 63 d'un système interprétatif conversationnel à 10 machines à écrire, JOSS, évidemment très modeste dans ses ambitions faute d'une mémoire assez importante. Elle sera démantelée le 18 / 2 / 66, après qu'un JOSS II plus important aura été installé sur un DEC PDP 6.

La Rand Corporation naturellement dépassé rapidement les limites de sa définition, s'ouvrant à la recherche pure, par exemple avec la Logic Theory Machine de Shaw, Newell et Simon. C'est pour mener à bien cette recherche qu'y furent créés les langages de listes IPL I à V. Voir boîte 145.

On notera que IPL V au moins a dépassé son objet initial, et, devenu langage de liste standard, a été installé sur d'autres machines, notamment l'IBM 1620 au SRI.

Voir aussi, dans 251-321/30, les travaux sur le système graphique POGO, soutenus par l'USAF, et en 251-567/80 le travail EXDAMS de définition d'un débogueur intégré à l'exploitation, financé par l'ARPA : cette méthode alors originale est devenue par la suite une norme pratique avec les travaux du Xerox PARC, et par exemple le PADS chez Univac. Sous le nom de DYDE, la Rand l'a appliquée aux IBM 360, voir 252-179/86.

491 - Randal Data System

Un exemple supplémentaire de petite machine de gestion, plutôt réussie : 200 exemplaires vendus après un an de production. Pourtant, compte tenu de la date d'annonce, cette machine a pris un certain risque en n'utilisant pas un microprocesseur, mais un processeur maison, le Randal 200, associé à une mémoire MOS 16 bits, 32 à 64 KB, cycle 600 ns. Les performances sont standard, addition en 1,2 µs, et les périphériques également : clavier / écran, cartes perforées, disques en cartouche, ME 180 ou IP 600, et jusqu'à 8 lignes téléphoniques synchrones utilisant les protocoles IBM 2780 ou DCT 1000.

Le logiciel, plutôt léger, comprend un Basic interactif, un package de gestion, et une gestion de fichiers englobant tous les modes d'accès et tous les supports connectés.

La machine est offerte en trois versions 100 / 200 / 500, avec un prix variant de \$ 12750 à \$ 20000, ou \$ 280 à 450 par mois en fin 77.

492 - Les travaux informatiques de Raytheon

La société Raytheon, de Waltham, Mass. apparaît à la fin de la guerre (1944) avec de petits travaux : un brouilleur AN / APQ 20 dans la bande 2,5 - 4 GHz, un émetteur / récepteur HF en phonie AN / ARC 23. Si elle existait avant la guerre, son rôle était manifestement mineur. Cependant, dans l'immédiat après-guerre, Raytheon s'exprime davantage, et s'introduit progressivement dans deux domaines fort éloignés l'un de l'autre, les radars et les sonars à basse fréquence :

1946 / 50 : guidage des engins cibles XSAM. N2 et N4 en 10 GHz : AN / APN 23, AN / APN 54

1950 / 53 : guidage et tests du missile air / air Sparrow III : AN / DPN 15 et 24, AN / DPM 2 à 5, AN / DSM 15 et 16, AN / USM 49, AN / APA 165...

1949 / 55 : radars variés pour sous-marins (AN / BPS 2 et 6);

pour la météo AN / CPS 9;
pour entrée de port AN / FPN 29;
pour veille aérienne AN / FPS 19 et 28, AN / SPS 4;
pour veille surface AN / SPS 5, 17, 18, 21;
pour altimétrie AN / MPS 3 et 4;
pour appontage AN / SPN 6 stabilisé par AN / SSQ 17, AN / SPN 12;
pour la navigation AN / SPS 35, version militarisée d'un matériel très réussi pour petits navires civils; pour atterrissage AN / MPQ 20; etc...
Raytheon n'hésitera pas à accepter des contrats sans suite mais originaux qui lui assurent une réputation :
AN / GSQ 36, AN / MPS 4, système de capteurs, de mesure et d'enregistrement pour les essais nucléaires de Bikini et Eniwetok .

1948 / 60 : radars divers pour conduite de lancement de missiles antiaériens : AN / FPS 56, 61, 69, 70, 71 pour le Nike Hercules ; AN / MPQ 37 et 39, AN / TPQ 14 et 15 pour le Hawk ; AN / SPA 44 pour le Talos ; AN / SPG 51 guidage du Tartar

1948 / 70 : sonar remorqué 25 KHz pour dirigeable AN / AQS 2,
sonars remorqués 21 et 15 KHz pour hélicoptères AN / AQS 4 / 6 / 12,
téléphone sous-marin AN / BQA 2 et AN / WQC 2,
flûte remorquée d'écoute passive AN / BQH 6,
sonar actif 10 KHz AN / SQS 14,
sonar côtier de veille 22 / 29 KHz AN / FQS 3.

1950 / 60 : nombreuses commandes de relais radio à réflexion troposphérique, tels que AN / TRC 16 à 8 GHz, AN / TRC 27 à 5 GHz, ainsi que les multiplexeurs PCM qui transforment 4 à 96 voies phonie en trains d'impulsions entrelacés, AN / TCC 44 et 73. Ce succès se prolongera de 1976 à 1990 avec des commandes répétées des AN / TRC 170 à 5 GHz pour les systèmes TACS et TRITAC de communication de l'armée de terre. Ces contrats lui ayant assuré des niches de compétence, et une notoriété plus large, Raytheon accepte désormais des contrats de systèmes franchement originaux et franchement difficiles, alliant les techniques avancées du radar à l'emploi d'ordinateurs :
1976: AN / FPS 108 Cobra Dane à balayage électronique, pour la surveillance des lancements de missiles du Kamtchatka, installé sur l'île de Shemya dans la mer de Bering. Calculateur CDC Cyber 74. 18 . Fiche.

AN / SPQ 11 Cobra Judy, radar à balayage électronique installé sur le navire Observation Island pour le tracking des missiles balistiques pendant la rentrée. Calculateur CDC Cyber 175.

1979 : AN / FPS 115 Pave Paw, nouveaux radars à balayage électronique pour la DEW line.

1980 : radars de guidage pour batteries de missiles Patriot : AN / MPQ 53 et 55, et centre de commandement et d'exploitation AN / MSQ 104.

1983 : radar AN/SPY1 Aegis à balayage électronique pour les croiseurs de la série Ticonderoga et les destroyers de la série Arleigh Burke, associé à des calculateurs AN/UYK 7.

1983 : sonar de chasse aux mines AN/SQQ 32 à poisson remorqué, étudié avec Thomson/CSF, associé à un calculateur AN/UYK 44.

1984 : trois radars OTH bistatiques en bande HF, pour surveillance antimissile de l'Atlantique.

1985 / 6 : remplacement des radars du BMEWS par des radars à pointage électronique, variantes du FPS 115 vu plus haut. L'aérien de ces radars est constitué de deux faces octogonales hautes de 25,6 m, chacune présentant les 2560 éléments actifs et 1024 réflecteurs, l'ensemble émettant 870 KW. Ce nouveau matériel est géré par un calculateur CDC 170. 865 exploitant un logiciel TRW.

Ce dynamisme technique explique que Raytheon se soit penché très tôt sur la construction d'ordinateurs, sans véritable préoccupation commerciale :

Raydac : mise en service en 7 / 53, ce calculateur utilisant une mémoire à lignes à retard à mercure est installé au Naval Air Missile Test Center de Point Mugu, Cal. où il a fait principalement du travail de dépouillement d'essais jusqu'en 1960, avant d'être remplacé par une IBM 709.

Le nom de Hurricane, plutôt qu'un acronyme, est dépourvu de signification : à l'époque, on baptisait les machines, mais le nom évocateur donné par Raytheon a primé, historiquement, le baptême des marins.

Raycom : à partir de 1955, considérant que le Raydac était plutôt réussi pour l'époque, et observant les succès d'IBM et d'Univac depuis 1953, Raytheon croit pouvoir tenter sa chance dans l'informatique de gestion. Toutefois, reconnaissant sa totale incompétence en matière de relation avec le public, la compagnie choisit de s'associer avec Honeywell qui souhaite aborder ce thème: les deux compagnies créent une filiale, Datamatic. La machine définie en commun dispose d'une mémoire à tores (trop petite), de bandes magnétiques et de cartes et elle fonctionnera, révélant très vite ses faiblesses conceptuelles et logicielles .

Raytheon, constatant que les problèmes ainsi mis à jour sont en dehors de ses préoccupations, abandonne le projet en 1957 et vend sa participation à Honeywell, qui tentera - vainement - de commercialiser le produit sous le nom de Datamatic 1000. Voir à ce nom.

EDP 1 h : à partir de cet échec, Raytheon renonce au calculateur de gestion, mais pas à l'informatique. En fait, la compagnie espère trouver des besoins informatiques chez ses clients militaires, et prépare donc, dans le cadre de sa division Missiles, une machine temps réel aux normes MIL.

Autant qu'on puisse en juger, la machine, conçue autour d'un problème de conduite de tir, ne trouvera pas de client, mais Raytheon assurera la publicité technique appropriée à

sa réalisation, préparant l'avenir. Nous disposons de deux articles techniques, d'ailleurs des mêmes auteurs et très proches.

M3X : il s'agit d'un ordinateur embarqué sur un missile, sans doute une variante de Sparrow, et donc forcément très petit et très léger : apparemment pas trop pressé par la bande passante, Raytheon choisit la formule du DDA série, avec 12 registres circulants de 17 bits réalisés en circuits intégrés. Dans un volume de $2 * 6,5 * 7$ « (51 * 165 * 178 mm), avec un poids de 2585 grammes et une consommation de 5 watts, Raytheon place 8 modules logiques et 6 modules de mémoire, avec un maximum de 42 circuits flatpacks 10 broches disposés $7 * 3$ en double face, au total 850 portes en 425 circuits, des SSI par conséquent.

520 : Raytheon décide de revenir à l'informatique civile et, à cet effet, prend en 1965 le contrôle de Packard Bell, traumatisée par le départ de Palewski, mais apportant un assez bel héritage : TRICE, les PB 250 et 440. Reprenant l'idée du 440 mais sans le dire pour ne pas effrayer le client, la nouvelle équipe de Raytheon Computer propose donc une petite machine scientifique microprogrammée, avec des performances très bonnes mais un logiciel peut-être un peu léger ; en outre, Raytheon propose un contrôleur polyvalent adapté, permettant d'associer ce ordinateur à des mesures industrielles ou de laboratoire.

Cette machine se vend mal, 27 exemplaires, sans raison bien claire : notoriété insuffisante certainement, prix trop élevé peut-être. Pourtant, le succès de la machine contemporaine IBM 1620, moins performante, et bien sûr celui du DEC LINC, montrent qu'il y a une clientèle pour ce type de machine !

DIDS 400 (1965) : cette même année, Raytheon aborde l'exploitation à distance en proposant le DIDS 400, un terminal à écran décomposable en trois meubles, contrôleur, écran / clavier, imprimante optionnelle. Le modem et un Telpak, permettant un débit de 40000 cps, pour charger une mémoire locale à magnétostriction. Le matériel standard peut présenter 520 caractères en $13 * 40$ sur un écran de $6 * 9$ « (152 * 229 mm) à phosphore vert P31, grâce à un générateur de caractère à tube monoscope ; en option, on peut passer à $13 * 80$ ou $26 * 40$. Prix \$ 4000 à 6000, plus \$ 5100 d'adaptation au central. Il existe une variante DIDS 402 sans contrôleur, connectable par ligne 1200 bauds. Ce matériel réussi a fait l'objet de licences vers Cossor en Grande Bretagne, vers Dassault en France.

703 (1967) : Raytheon abandonne donc une ambition trop vaste, et décide de se limiter à un mini 16 bits, puisque tout le monde semble réussir dans cette catégorie. De fait, le 703, proposé au prix de base de \$ 15000, se vendra à 220 exemplaires aux USA, plus 40 à l'étranger. Sa finalité est le temps réel civil, avec une préférence pour les applications scientifiques, comme le montre l'annonce corrélatrice d'un ATP, Array Transform Processor 79010, coprocesseur partageant la mémoire du 703 : ce dispositif donne un gain de 80 sur les traitements du signal xcomme FFT, corrélation, etc...

725 (1967) : simultanément, à l'image de DEC, Raytheon présente un bas de gamme à mot de 12 bits, avec une mémoire de 4 Kmoths, et un choix de périphériques :

télétype ou IBM Selectric, tambour Bryant, bande magnétique, photocomposer ZIP 901. Résultats inconnus, probablement médiocres.

R11, R25, R31 (1967) : cette année-là encore, c'est probablement la Missile division qui met sur le marché le R11 et le R25, calculateurs à caractéristiques militaires, aérotransportables. Ainsi le R11, qui paraît avoir été proposé pour un besoin de l'étude Poseidon, utilise une mémoire de programme fixe, 1024 mots de 96 bits en une chaîne de tores de type « braid », associée à une mémoire de programme NDRO à film magnétique sur fil, 1024 mots de 24 bits, extensible, cycle 950 ns. Répertoire 70 opérations, 1 index. Poids 45 Kg, volume 53 litres, MTBF estimé 3500 heures.

L'image à notre disposition est très trompeuse, montrant un panneau de lampes témoins et poussoirs qui doit servir exclusivement aux essais.

A la même époque, le R25 nous est présenté dans une fiche très pauvre sous la forme d'une petite installation scientifique, qui ne paraît pas du tout appropriée à sa conception militaire. Il est aussi question d'un R31 destiné au matériel de lancement du missile Hawk, sur lequel on ne sait rien.

RAC 230 (1968) : les travaux entrepris par de nombreuses compagnies, dont Raytheon, en vue de doter d'une électronique efficace et endurante les missiles balistiques Polaris et Poseidon ont abouti à une technologie que les sociétés, et ici Raytheon, peuvent utiliser pour des problèmes moins secrets. Le R230 est une application concrète à la réalisation, en liaison avec le MIT, d'une centrale à inertie strapdown, cad sans pièce mobile (pas de gyroscope). Voir fiche.

RAC 251, 261 (1969) : les 251 et 261, par contre, ne semblent pas avoir trouvé d'application, mais probablement des sponsors militaires. Ces deux machines, respectivement en 32 et en 16 bits, se proposent de minimiser le nombre de composants intégrés spécifiques réalisés pour construire un ordinateur de 4^{ème} génération, amortissable sur une série : ce concept évoluera, quelques années plus tard, vers le « microprocesseur en tranches ».

704 (1969) : reprise de la formule du 703, avec quelques simplifications pour abaisser les prix à \$ 10000 : mémoire de 4 à 16 Kmots de 16 bits, cycle 1,5 μ s, 16 interruptions hiérarchisées, options parité, mpy/div, DMA. Cette machine sera vendue en 185 exemplaires aux USA, plus 65 à l'étranger.

Une autre 704 sera annoncée en 1970, avec une mémoire portée à 32 Kmots et un cycle de 1 μ s, un répertoire de 74 opérations, une RTC, et 4 registres adressables cablés.

706 (1969) : cette machine ne diffère pas logiquement du 703, mais elle utilise une technologie accélérée et quelques additions utiles : mémoire 4 à 32 Kmots à cycle réduit à 900 ns, options parité et protection, addition abaissée à 1,8 μ s, bootstrap cablé, répertoire porté à 75 opérations.

Le logiciel aussi a été amélioré, avec moniteur temps réel, Fortran temps réel, et programme de diagnostic Sensor, conversationnel, permettant de déterminer le circuit intégré contenant la panne.

Vendue à 95 exemplaires aux USA, 25 à l'étranger.

1016 (1970) : à cette époque, Raytheon semble avoir abandonné sa main-mise sur Packard Bell, et transformé sa division Computer en une filiale Raytheon Data System, installée à Norwood, Mass. entre Boston et Providence.

Cette nouvelle machine est une licence de la société française Sintra, offrant 4 à 32 KB de mémoire à tores, cycle 1 μ s, et un répertoire de 76 opérations. Les périphériques peuvent être des télétypes ASR 35, imprimantes 360 / 600 / 1000 lpm, lecteurs de cartes 400 / 1100 cpm, PC 400, LR 300, PR 110, des bandes magnétiques 800 bpi à 36 ou 75 ips, et un maximum de 4 disques de 385000 mots. Il y a encore divers terminaux écran dont un produit Sintra, un modem, et un traceur Calcomp.

Le logiciel comprend un choix de 4 systèmes d'exploitation, un assembleur conversationnel 4 KB, et un Fortran 8K en deux passes : bref un ensemble plus proche du calcul scientifique que du temps réel.

RACON 4 (1970) : à cette époque où la complexité des circuits intégrés augmente rapidement, du MSI au LSI, Raytheon comme beaucoup d'autres sociétés se pose un problème méthodologique : puisque le prix des circuits intégrés est principalement celui des masques, il faut en réduire le nombre par un choix judicieux de l'architecture à réaliser, aussi répétitive que possible. D'où de nombreux essais comme l'ensemble logique AS 80, ou à un niveau plus élevé le modèle purement expérimental RACON 4 de machine microprogrammée.

Voir à ce sujet l'article, cité dans la fiche RAC 251, présenté par Raytheon à la FJCC 1968, pp 856 / 65.

Après les travaux évoqués par l'article, il semble que l'étude AS 80 ait été développée jusqu'à la réalisation d'un calculateur aéroporté 16 bits, doté de scratchpad 32 mots à cycle de 100 ns, d'entrées / sorties programmées, et d'un répertoire de 25 opérations, le tout tenant dans 8,5 litres et pesant 4,5 Kg.

L'élément de base est un LSI du à Sylvania, où des matrices de cellules 4 portes sont personnalisées en 8 fonctions logiques à choisir par 3 couches de métallisation. Un registre à décalage 4 bits est réalisé avec un seul LSI de 20 cellules, remplaçant 28 SSI et réduisant le nombre de bornes de 292 à 28 ; le timing de cette réalisation est CP = 60 ns.

PTS 100 (1971-75) : en 1971, Raytheon Data System, à la recherche d'un produit capable de rapporter réellement des revenus, plutôt que seulement les honneurs de la critique récomposant un prototype inventif mais non vendable, s'attaque à nouveau au thème du terminal écran, devenu entre temps « intelligent ». Il s'agit de réaliser un dispositif modulaire, regroupant dans la dimension usuelle d'un couple écran / clavier le terminal et un miniprocesseur.

L'écran, balayé par lignes (raster scan) peut présenter 512, 1024 ou 2048 caractères, sur une face carrée de 9 ou 14 « (229 ou 356 mm) de côté. Le socle contient 2 à 64 KB de RAM, cycle 800 ns, accès 500 ns, pour la programmation, plus un tampon de régénération à base de RAM 1024 * 1 bit, et une mémoire de police tenant en deux ROM de 1024 * 1 bit. Le processeur dispose de 20 opérations dont des manipulations sur les bytes, de 16 index autoincrémenteurs ou autodécémenteurs. Le tout se vend \$ 7500.

L'étude de marché faisant suite à un nouvel échec commercial montrera que la clientèle ne veut pas d'innovation, mais souhaite un produit compatible IBM et moins cher. En conséquence, ce prototype évoluera en 1973 en un système PTS 100 dont le processeur/contrôleur est capable d'émuler l'écran IBM 3270 et d'appliquer le protocole 2780. C'est un 16 bits à mémoire MOS de 48 à 128 KB, cycle 1,28 µs, exécutant l'addition en 2,28 µs. Le logiciel MACROL permet de définir jusqu'à 20 partitions, et de supporter des cartouches de disques, des cassettes, une IP 300, une ME 165, pour composer un terminal lourd coûtant \$ 30580. L'écran lui-même, régénéré 60 fois par seconde, construit ses caractères par une matrice de 7 * 7 points, et présente 12 * 40, 12 * 80 ou 30 * 64 caractères. Ce produit cher, mais bien adapté, se vendra très bien.

AADC (1973) : les idées de Raytheon sur le calculateur modulaire l'ont suffisamment fait connaître pour que, vers 1972, la société reçoive un contrat en vue de concrétiser une étude architecturale du Naval Air Development Center, de Warminster, Pa. Dans cette affaire, on ne demande à Raytheon que son expérience en électronique, et on n'utilise guère ses autres compétences.

Le AADC, All Applications Digital Computer, est un projet modulaire multiprocesseur ambitieux dont Raytheon ne réalise qu'un élément. Cette machine puissante (2 Mips) comprend deux processeurs microprogrammés, un bloc de commande sachant interpréter les ordres d'une variante du langage APL, et un bloc de calcul en virgule flottante exploitant des données en pile. Voir fiche.

RDS 500 (2 / 74) : autant qu'on puisse en juger, ce calculateur est une modernisation des concepts du 703, très enrichi et même quelque peu renouvelé par l'implantation de 8 registres généraux, mais exploitant le même logiciel qui entre temps s'est bien étoffé et contribue à attirer la clientèle. Comme précédemment le 703, il peut recevoir un coprocesseur du type array processor, en l'occurrence un produit de la firme Apollo. On ignore si ce RDS 5001 a renouvelé le succès des 703 / 4 / 6.

PTS 1200 : par contre, Raytheon obtiendra de bons résultats avec une extrapolation de son concept PTS 100, vendu à une centaine d'exemplaires. Il peut gérer jusqu'à 40 MB de disques et 3 bandes magnétiques, et supporte un logiciel de RJE et une base de données, en plus de MACROL.

RP 16 (5 / 75) : les essais architecturaux répétés de Raytheon devaient aboutir, dès que possible, à la réalisation d'un microprocesseur en VLSI. Il semble qu'en le faisant en 5 / 75 Raytheon s'y soit pris un peu tôt, à cause il est vrai d'un choix ambitieux, puisque la logique est ECL et le fonctionnement à 10 MHz, sous une alimentation de 5 Volts : il a en effet fallu 7 puces sous boîtier DIL 48 bits pour réaliser ce calculateur 16 bits riche de 38 opérations.

Malgré cette vitesse, une telle complexité n'était pas vraiment pratique, et il ne semble pas que Raytheon ait jamais renouvelé ses essais de microprocesseurs, ni tiré grand chose du RP 16.

Calculateur spatial (1977) : le problème d'un calculateur auto réparateur pour missions de très longue durée s'est posé dès que les lancements de sondes ont dépassé les orbites basses, car personne n'imaginait le niveau de fiabilité auquel on allait arriver quelques années plus tard. La NASA a fait construire STAR par le JPL, et dans le même but l'USAF a confié une étude architecturale à Raytheon et celle des circuits résistants au rayonnement à Hugues et RCA.

On sait que RCA a réussi sa part en mettant au point la technologie CMOS / SOS qu'il a utilisée ensuite à des fins civiles. Raytheon, de son côté, a réalisé pour la SAMSO (Space & Missile System Organization) une maquette d'architecture qui s'est avérée capable de 200000 op/s. Cette première réussite a conduit l'USAF à passer contrat à Raytheon pour une version de vol de cette machine, prévue pour être satellisée en janvier 1982 sur un véhicule expérimental. Voir fiche.

On ne sait rien de la suite de l'expérience, dont la première phase nous a été communiquée par la revue Aviation week. On peut penser qu'elle a réussi mais, comme pour STAR, on a conclu entre temps que la fiabilité des circuits avait atteint un point tel que des missions de 7 ans à travers le système solaire pouvaient être menées à bien avec une simple duplication des circuits, surveillés depuis le sol par télémétrie et réparables en vol par téléchargement de nouveaux programmes (Voyager, et plusieurs autres). Le calculateur spatial autoréparateur n'a donc pas été utilisé.

RDS 7500 (1980) : présentée comme le successeur du RDS 500, cette machine est conçue spécialement comme calculateur de communication, ce qui jette un jour nouveau sur le sort du prédécesseur, au sujet duquel on s'interrogeait plus haut.

Cette machine est prévue dès l'origine comme multiprocesseur : le Superbus interne qui reçoit le CPU 500 et jusqu'à 4 modules de 64 KB de mémoire multiporte, ainsi que des cartes de périphériques baptisées communication features, standard features, et extended features, supporte maintenant, en outre, un contrôleur interprocesseurs qui peut donc relier plusieurs tels groupes au bus externe.

Autour de ce matériel, Raytheon a développé un logiciel RAYnet en cinq modules fonctionnels : concentrateur, multihost, multiprotocole, message queuing / stockage / routeur, lien internodes. Entre autres possibilités, ce logiciel autorise le report automatique d'un message trop long sur plusieurs tampons.

Prix : \$ 9200 ou \$ 1900 / mois pour un processeur simple.

\$ 360 K ou \$ 10000 / mois pour un processeur à 192 KB avec 62 lignes à gérer

\$ 250 K pour 256 KB de mémoire et 15 lignes.

493 - ADS1 de RCS Data System

Ce mini de gestion est construit autour du minicalculateur Varian 620 F, et n'offre aucune originalité particulière dans sa catégorie. Le constructeur n'est qu'un assembleur, comme beaucoup d'autres.

Le choix de périphériques comprend LC 300, PC 35, IP 600, ME 30, un éventuel tambour magnétique de 786 Kcar débitant 486 Kcps, un disque en cartouche de 2,5 MB débitant 195 Kcps, et un dérouleur de bande magnétique à 20 ips.

Le logiciel comprend un DOS qui tient dans 8 KB, un assembleur, un interpréteur Basic, un compilateur RPG avec un tri, et quelques applications.

Le prix s'élève à \$ 25000 (pour une mémoire de 8 KB), plus 160 \$/mois pour l'entretien.

494 - RD11C de RDA, Inc.

Encore plus minimal si l'on peut dire, ce produit prend la forme d'une boîte verticale contenant un processeur DEC LSI 11 avec 64 KB de mémoire MOS, deux minifloppies disposés verticalement et superposés offrant une capacité totale de 205 KB, une alimentation, 4 interfaces série et deux slots d'extension, dans un volume de 29 litres.

Délai de réalisation 30 jours.

Prix \$ 4595 avec une mémoire de 4 KB, \$ 7975 avec une mémoire de 40 KB.

495 - Travaux de J. B. Rea

En 1954, Monsieur J. B. Rea, ingénieur, travaillant pour le compte de l'USAF, réalise une maquette d'étude, strictement spécialisée, à base de tambour magnétique partiellement à recirculation, de la voie tangage d'un pilote automatique d'avion. A cette époque, les pilotes automatiques étaient purement analogiques, et aucune théorie n'existait pour les asservissements échantillonnés. On imaginait donc que, si on échantillonnait à très grande fréquence, on obtiendrait l'équivalent d'une mesure continue, et on voulait essayer de diminuer cette fréquence pour trouver la fréquence entraînant un décrochage.

Un calculateur analogique fournissait, pendant les essais, toutes les données aérodynamiques de l'avion et une simulation de l'environnement. Aucune installation sur avion n'était envisagée, que le poids n'aurait de toutes façons pas permis. Voir fiche. La conclusion satisfaisante de l'étude laissant cet ingénieur sans travail, il construisit en 1955 une calculatrice universelle en base 10 sur commande du Wright Air Development Center de Dayton, Ohio. Le prototype était inutilement encombrant, mais d'autres commandes permirent de ramener l'ensemble à la taille d'un petit bureau.. Réel succès pour cette lointaine époque. Voir fiche.

496 - Z100 de Realistic

En même temps qu'une foule de sociétés pratiquement constituées par un seul homme, Realistic se propose d'utiliser le nouveau microprocesseur Intel 8080 comme unité centrale d'un petit système bricolé, avec cependant une différence: on vise ici une clientèle scientifique.

La mémoire se compose de 3 KB de PROM pour un minuscule BIOS, et de 33 à 64 KB de mémoire modifiable DRAM pour les applications, pour lesquelles on fournissait un Fortran IV tenant dans 11 KB. 2 lecteurs de disquettes 512 KB faisaient partie de la fourniture de base.

Trois modèles étaient proposés:

\$ 7995 pour la mémoire minimale et deux interfaces RS 232C.

\$ 8934 pour la mémoire minimale et une ME 60.

\$ 9795 pour la mémoire minimale, un écran 1920 caractères, et une interface RS 232C résiduelle ; en option, on proposait ici une IP 300.

Dans tous les cas, le compilateur Fortran IV était en sus, au prix de \$ 780.

497 - Remington Rand

Remington est avant la guerre une marque de rasoirs qui s'est intégrée au groupe Sperry Rand et qui, sans renoncer à son produit de base devenu électrique, s'est principalement consacrée à la mécanographie, autour d'une carte perforée à 90 colonnes, en réalité deux groupes de 6 lignes et 45 colonnes percés de trous ronds. Cette mécanographie n'a pas la notoriété de celle d'IBM mais la qualité de ses machines est excellente ; voici quelques-unes des machines de sa gamme :

Perforatrice :

RR 306 : alphanumérique, 86 cpm, hopper 400, stacker 460, dimension 965 * 813 * 1002 mm, 156 Kg. Peut incorporer la fonction vérificatrice, qui se manifeste par élongation des trous ronds.

Mle 1963 : n'est plus seulement manuelle, mais asservie, 30 frappes/s. Programme mémorisé, reproduc-

tion et éjection en une seconde, duplication et saut à 80 µs / col. Vérification photoélectrique, duplication et sauts à 160 µs / col.

Reproductrice :

RR 310 : à programme, combinant 10 alimentations avec 2 hopper 600, 4 réceptions avec deux stacker 750, 4 perforatrices, 3 arrêts, comparaison sur 90 caractères. Dim : 571 * 762 * 1295 mm, 318 Kg.

RR 315 : perfectionnement de la précédente, lui ajoutant une fonction d'interclassement. Poids 330 Kg.

Interpréteuse :

RR 312 : hopper 650, 45 colonnes par passage, 90 cpm, comporte une imprimante à 45 roues mue par moteur de 1/4 CV. Dim : 610 * 610 * 1193 mm, 295 Kg. Existe en 7 variantes.

Interclasseuse :

RR 319 : 240 cpm, 3 casiers de sortie. Dimensions 1320 * 508 * 1397 mm, 426 Kg.

Trieuse :

RR 320 : hopper 600, 13 stackers 350, contrôle numérique, 2 vitesses 250 ou 420 cpm. Dimensions 610 * 1625 * 1003 mm, 163 Kg.

RR 420 / 1 : hopper 1200, 14 stackers 1000 éventuellement équipés de compteurs combinables. Electronique, alphanumérique, 800 cpm. Dimensions 686 * 610 * 1168 mm, 274 Kg.

Calculatrice :

RR 330 (1949) : calculatrice et perforatrice, hopper 750, stacker 275. Existe en deux modèles : mle 3 à 180 cpm ne faisant que la multiplication, mle 4 à 220 cpm faisant aussi une division de 11 chiffres par 6 chiffres avec un résultat de 6 chiffres. Dimensions : 1676 * 661 * 1473 mm, 590 Kg.

Lorsque après la guerre IBM, concurrent principal aux USA, se lance dans l'informatique, RR en fait autant à travers deux décisions importantes :

achat de ERA, Engineering Research Associates, une compagnie qui vient de se former avec très peu de fonds pour réaliser des calculateurs pour la NSA. Le capital de cette société, outre des dettes, réside dans une compétence en matière de tambours magnétiques, et deux machines installées, plus un projet ambitieux de machine à finalité scientifique..

achat de Eckert-Mauchly, la compagnie formée par les créateurs de l' ENIAC et de l' EDVAC pour concrétiser leurs nouveaux projets, BINAC et surtout UNIVAC. La seconde de ces machines, déjà célèbre au moment de l'achat, apporte une architecture de gestion et un nom.

Le double succès de l' Univac I et de l' ERA 1103 entraînent de tels besoins de financement que le groupe Sperry Rand dut décider très vite une réorganisation : la division Computers de RR, rebaptisée Univac, devint une société d'informatique à part entière, tandis que Remington , revenant à sa vocation initiale, redonnait une nouvelle vigueur à ses activités de mécanographie et de bureautique, sans oublier les rasoirs. Nous ne parlerons donc que de RR, traitant ailleurs de l'ascension et de la décadence d' Univac.

Pendant la courte période où RR avait officiellement une division Computers, des relations de travail s'étaient organisées entre la compagnie et les agences gouvernementales, avides de techniques nouvelles et prêtes à subventionner. En particulier, RR avait obtenu deux contrats avec l' AFCRC de Cambridge, Mass. :

le calculateur magnétique X308 BOGART, voir Univac

le système SS 314L de l' USAF, visant à automatiser les relations de l'aviation tactique et de l'armée pour le soutien rapproché. Ce système TACS, Tactical Air Control Support, spécification AN / TSQ 13, ne semble pas avoir été poussé plus loin que le prototype, et l'étude d'ensemble correspondante a été fusionnée avec le SS 312L BADGE de General Electric. Voir fiche et photo.

En dehors de ces contrats, l'activité de RR est essentiellement mécanographique. On peut citer :

RR 409 (1949) : cette machine électronique relève de la même préoccupation que la 604 d' IBM, même si son succès a été bien moindre : à savoir compléter par une calculatrice un ensemble mécanographique à cartes perforées. Après l'achat de Eckert-Mauchly, elle fut rebaptisée Univac 60, ce nombre évoquant une capacité de mémoire, exprimée en chiffres.

RR 409.2 (1951) : version à mémoire doublée, soit 12 nombres ou 120 chiffres, de la 409, expliquant le nouveau nom de Univac 120.

Au total, une centaine de machines de chaque version ont été vendues.

RR 400F (1968) : facturière comportant sur un meuble de bureau une machine à écrire complète associée à un clavier numérique et un jeu de fonctions. Les entrées sont des nombres de 12 chiffres, les sorties sont de 13 chiffres avec arrondi automatique ; la logique comprend 3 registres de travail, 3 / 5 / 12 totalisateurs selon modèle, 2 ou 4 mémoires de facteur constant, 1 mémoire de répétition (date par exemple). En option ; lecteur et perforateur de cartes.

OCS 2 (1971) : modernisation du concept de machine comptable, avec mémoire très accrue, options arithmétiques poussées (multiplication, division), programmation par bande perforée.

498 - les produits Rexon

Rexon Business Machines a été fondée en 1978 en Californie par un chinois de 51 ans, nommé Wang (apparemment pas de relation avec les Wang Labs), qui propose au début de 1979:

un terminal lourd à \$ 18600, le RX 10.

un mini de gestion, le RX 30, capable d'une mémoire de 128 KB, de 40 MB de disques (cartouches 10 + 10 de Wangco), et d'un maximum de 8 terminaux., avec une machine à écrire 150 cps ou une IP 300.

Les deux machines sont construites autour du microprocesseur Intel 8086.

Le logiciel RECAP comprend un multitasking, une gestion de fichiers, et un Business Basic. En option, la base de données IDOL de Data Technology Industries, et les BASIC du marché (Wang Labs, Qantel, Basic / Four) peuvent être installés.

Livré en 7 / 79, le RX 30 était placé à 150 exemplaires à la mi 80. Il a été commercialisé en France par CMC, sous le sigle 7030.

Cette réussite honorable permet à Wang de s'étendre en créant une autre société,

Wangtek. Mais en 1985 il regroupe ses deux sociétés en une Rexon, Inc. qui propose la série 5, une famille de petites machines de gestion construite autour du Intel 80286.

Cette série, qui fonctionne à 10 MHz, dispose de 0,5 à 2 MB de mémoire, 4 à 16 ports série, 2 à 6 ports parallèles, un streamer de 60 MB, et bien sûr des disques qui définissent quatre modèles :

RX 55, 20 à 40 MB.

RX 105, 40 à 80 MB.

RX 205, 85 à 170 MB.

RX 405, 225 à 450 MB. Extensible à 32 ports série pour 32 terminaux, et 8 ports parallèles.

Tous ces modèles fonctionnent sous Xenix V, il ne s'agit donc pas de se lancer dans la concurrence PC. Cependant, Rexon prévoit des ponts vers le PC : un PC peut être utilisé comme terminal vers un Série 5, il peut échanger des fichiers (logiciel Tango), et recevoir ses fichiers sous forme PC (logiciel PC Harmony).

499 - Ridge Computers

Cette société apparaît en 1982 pour commercialiser, sous le nom de THIRTY-TWO, ou Ridge 32, une architecture de type RISC 32 bits orientée vers la CAO sous une variante propre de Unix. Le modèle initial fait l'objet d'une commande de 2000 exemplaires par Bull, actionnaire à 11%, mais apparemment les ventes n'atteindront pas ce chiffre.

Vers 1985 apparaît un modèle 32 / 330 utilisant un processeur renouvelé, estimé 5 Mips, construit en circuits FAST TTL de Fairchild avec une meilleure virgule flottante, et assorti de périphériques renforcés : nouveaux disques, Ethernet. Apparemment la lutte contre les machines basées sur le 68000 (et suivants) est difficile ; en 1986 le produit principal s'appelle 3200 / 90 et diffère peu du 330, à l'exception des mémoires qui

profitent des nouvelles puces 256 Kbits; et en 1987 on annonce un 5100 évalué 14 Mips, forcément tout à fait nouveau mais sur lequel on ne sait rien.

On trouvera un peu plus de documentation dans la section française, où cette machine figure sous le sigle Bull SPS 9.

500 - Rockwell, ex North American

Cette société est en 1973 l'héritière de Autonetics, qui appartient de longue date au groupe North American, mais qui a besoin de financement depuis que l'USAF ne lui donne plus de contrats. L'intérêt du groupe pour sa filiale résulte de sa compétence toute fraîche en matière de circuits intégrés, manifestée dans l'épisode du contrat avec le japonais Busicom. Le financement prend la forme d'une absorption / fusion, car les ennuis d'Autonetics sont aussi ceux de North American : l'USAF n'a plus besoin de sa compétence aéronautique.

Le principal legs d'Autonetics est le PPS 4, un microprocesseur 4 bits : un tel circuit, non prévu pour permettre un chaînage, n'a guère que deux applications de masse possibles : les calculettes, qui n'ont pas encore fait leur apparition aux Etats-Unis, et des contrôleurs industriels dont chacun rêve, sans la moindre expérience. Rockwell apparemment fait un bon pari, puisque ce circuit se vendra à 225000 exemplaires en un an et demi, au point de justifier la licence d'une seconde source chez National Semiconductors.

Rockwell s'attaque immédiatement à un microprocesseur 8 bits, mais l'expérience manque encore : la première réalisation sera un échec, le PPS 8 réussira finalement une percée en 1976, autorisant l'introduction du système de freinage ABS dans les automobiles. Lui aussi devra être pourvu d'une seconde source.

Sur la route difficile d'un microcontrôleur en une seule puce, Rockwell réalise, pour livraison en janvier 76, un PPS 4/2 en deux puces :

la puce processeur, travaillant à 200 KHz, contient l'horloge, l'ALU 4 bits avec ses registres, et 12 lignes d'entrées / sorties parallèles mais indépendantes. Ce circuit est capable de réaliser par programme une addition de nombres 8 bits en 240 μ s. Adressage 13 bits de 8192 nibbles.

la puce mémoire contient 2 KB de ROM pour le programme, une mémoire de travail de 128 nibbles (4 bits), et 16 autres lignes bidirectionnelles d'entrées / sorties.

L'alimentation est unique, probablement - 5 volts. Les entrées/sorties permettent la connexion directe des contrôleurs existants, pour cassettes, imprimantes, communications. Le prix de cette nouvelle version est \$ 80 pièce jusqu'à 99, \$ 36 jusqu'à 999, \$ 35 au delà.

Egalement cette année, Rockwell réalise un processeur 16 bits de démonstration aux normes militaires, le μ P16, comprenant 15 puces MOS/LSI sur une carte de 102 * 152 * 12,7 mm, consommant 4 watts et interfacée 16 bits. Le processeur proprement dit tient en deux puces, bloc de commande et bloc de calcul, avec un répertoire de 76 opérations, dont addition en 5 μ s et multiplication en 95 μ s.

Il était prévu de produire cette carte en série fin 75 pour \$ 2500, avec 8 Kbits de ROM et 512 mots de RAM. On ignore l'ampleur réelle de cette production.

L'année 1976 verra l'aboutissement du projet, un contrôleur PPS 4 / 1 en une seule puce, à la vérité incompatible avec l'original, mais suffisamment ressemblant pour ne pas dépayser la clientèle. Rockwell sera le premier industriel à atteindre ce résultat, vite suivi par National Semi. Voir fiche.

Suit un PPS 8 / 2 qui réalise en deux puces ce que son prédécesseur faisait en cinq, un microcontrôleur 8 bits avec alimentation unique, horloge incorporée, adressage 32 KB. Logique PMOS.

Le chipset reçoit de l'extérieur le signal à 3,57 MHz d'un quartz, et produit une synchro générale à 256 KHz. La première puce est le CPU, avec le même jeu de 109 opérations que le PPS 8 original, un adressage direct de la mémoire, et trois interruptions. La seconde est un fourre-tout regroupant 2 KB de ROM, 64 bytes de RAM, 16 portes bidirectionnelles d'entrées / sorties, un timer 16 bits, un port série, et l'horloge. Prix \$ 30 pièce par lot de 1000.

Nous arrivons en 1977. Rockwell se lance dans la réalisation et la fabrication de mémoires à bulles, fait une démonstration convaincante, et se voit confier un contrat de mémoire pour l'enregistrement de données, capacité 100 Mbits, pour un véhicule spatial de la NASA. Malgré la réussite du contrat, le produit est trop cher pour les applications civiles, et n'aura pas de suite.

Le thème prioritaire reste le microprocesseur. Cette année-là, Motorola invente le 6800, microprocesseur 8 bits, et Rockwell estime, comme les autres fabricants, qu'il est trop risqué de chercher à inventer une troisième architecture après le 8080 de Intel et ce 6800. D'autant plus que des transfuges de Motorola viennent de créer MOS Technology, une autre société de micros dont le premier produit, le MCS 6501, est compatible avec le 6800 quoique différent; Rockwell décide d'acheter la licence du 6501 et, s'associant avec Synertek, en produit rapidement une version NMOS et monopuce, qui va s'imposer sur le marché: MOS Technology et Synertek deviendront seconde source.

Ce 6502 est un NMOS alimenté en + 5 Volts, processeur 53 opérations, mémoire de programme 2048 bytes de ROM, mémoire de travail 64 bytes, 34 I/O: manifestement un microcontrôleur puissant qui ne fait pas d'ombre au 6800 et à ses successeurs, plutôt orientés vers les ordinateurs. Premières livraisons en 1 / 78.

Il donnera lieu ensuite, comme tous les microcontrôleurs, à de nombreuses versions ne différant que par des détails, pour coller au moindre prix à la demande précise des clients. Voir fiche 6500 / 1

Rockwell s'installe dans ce succès, et commercialise le System 65, un minicalculateur de mise au point pour les usagers du 6502. Voir fiche.

Une version allégée, monocarte quoique intégrant clavier, imprimante et visualisation, sera proposée un peu plus tard sous le nom de AIM 65. Voir fiche. Elle disposera de CSL / 65, un mini PL/I fonctionnant sous RT 11 sur PDP 11, et produisant du langage d'assemblage MINMIC 1165. Prix \$ 1000.

Après ce succès qui installe Rockwell dans le domaine des microcontrôleurs, nous n'avons plus que des flashes sur la production de la société, tout à fait insuffisants pour comprendre de quoi elle vit. Nous nous bornerons à indiquer ce qui nous est connu, sans tirer aucune conclusion.

AAMP est une puce produite en 1981, pour répondre à un besoin interne de la société Collins (une filiale) et non en vue de commercialisation. Rockwell joue ici le rôle de fondateur pour le bureau d'études de Collins. Il semble que Collins avait construit pour son propre compte, à base de microprocesseurs en tranche AMD 2901, un processeur adaptatif baptisé CAPS7, Collins Adaptive Processing System. Il s'agit de le remplacer par une puce processeur, travaillant avec une mémoire externe. Voir fiche et photo.

R65F11 est probablement, à en juger par son sigle, une variante du 6500. C'est en tous cas un microcon- trôleur, commercialisé en trois tailles d'adressage, 8, 16 et 48 KB. Son originalité est d'englober un interpréteur du langage Forth, ce qui l'apparente en quelque sorte à l'étude précédente.

Prix \$ 80 à la pièce, tombant à \$ 10 pour une commande (improbable) de 100000 pièces.

R65C816 apparu en 1986 est une extension 16 bits du 6500. Une carte RMX 65-1600, contenant cette puce et 128 KB de mémoire, avec un adressage 24 bits, est vendue en fin 86 par la société Dynatem Inc. pour \$ 399, afin de rendre les System 65 compatibles 16 bits.

RI 1750B est l'offre de Rockwell International Autonetics, dont on retrouve le nom pour valoriser une proposition destinée aux Armées, pour le programme Small ICBM. Réalisé en 2 puces CMOS/SOS de géométrie 1,25 μ , durci au stade II tel que défini par la SDIO, et tournant à 12,5 MHz, il offre une puissance de 3 Mips exprimée dans l'architecture 1750 A de l' USAF qui lui a fait passer les tests de certification. Il ne consomme que 2 W et son MTBF calculé est de 20 Mheures !
Le programme sera abandonné.

SPPD de 1991 est un processeur parallèle, pouvant grouper jusqu'à 16 processeurs Texas TMS 320C3D : il a été réalisé pour le traitement du signal dans la guerre des étoiles, où il s'agit de distinguer en un temps très bref entre une tête balistique nucléaire et les leurres qui l'accompagnent, car le missile qui doit détruire la tête balistique fonctionne par impact direct, et non plus par explosion nucléaire.

Nous disposons d'un article technologique largement illustré (Computer IEEE, 4/93, pp 13/21). Voir Etudes Industrie en boîte 142.

501 - L'aventure de Rolm Corporation

Comme Norden s'était fait une spécialité de militariser les PDP 11 de DEC, la Rolm Corporation se crée en 1969 à Santa Clara, Cal, pour militariser le concept Nova de Data General. Le calculateur réalisé, le 1601, ne doit à DG que son architecture, mais Rolm récupère le vaste logiciel des Nova à travers un accord de licence, ce qui lui permet d'être prêt, dès 1970, à toutes les applications temps réel : pendant une dizaine d'années, la compagnie va s'afficher, à travers une publicité agressive, comme un des grands fournisseurs de la Défense, annonçant un nouveau matériel chaque année sans

prendre beaucoup de risques réels puisque chacun de ces matériels s'avance dans l'ombre des produits Data General.

Un article de la revue Computer, en octobre 1977, explore cette première génération de machines et, joint à quelques fiches, nous dispense d'entrer dans les détails:

1601 (1970) : introduction du concept. Rolm respecte les normes les plus difficiles des militaires, le fait savoir et obtient des contrats pour des applications qui n'en demandaient probablement pas tant. Cette première réalisation est plutôt encombrante, puisque composée d'un châssis étanche et d'un important panneau d'exploitation, avec éventuellement un second châssis si la mémoire dépasse 16 Kmots. Elle n'est en outre pas très performante, puisqu'elle adopte l'organisation série/parallèle sur 4 bits du Nova original.

Probablement vendu à 80 exemplaires, au prix de base de \$ 20000, et sous la référence AN / UYK 12.

Ce modèle sera amélioré à deux reprises, en 1973 par un 1603 qui utilise des cartes mémoire de 8 Kmots et fournit de meilleures performances ; puis en 1976 avec un 1603A dont la mémoire se réduit à une ou deux cartes de 16 Kmots, libérant de la place pour les cartes d'entrée / sorties dans un boîtier par ailleurs réduit à un volume de 26 litres. Prix de base \$ 9950 en 8 Kmots et sans panneau de commande.

Les prix indiqués dans l'article précité, bien supérieurs aux prix de la publicité, correspondent probablement à une configuration maximale.

1602 (1973) : ayant assuré sa position, Rolm construit un nouvel ordinateur microprogrammé qui permet de construire une version très améliorée du Nova, compatible vers le haut : mémoire jusqu'à 64 Kmots organisée en modules de 8 Kmots, interruptions vectorisées et susceptibles d'être imbriquées, pile en mémoire, virgule flottante en option. Ce modèle propre, qui continue à profiter du logiciel Nova au prix modeste d'une extension du seul assembleur, sera accepté par les Armées sous le repère AN / UYK 19 et fera dans les années suivantes l'objet de multiples commandes, plus de 800 semble-t-il.

1664 (1975) : cette machine continue le développement du 1602, avec une mémoire extensible à 184 Kmots et pas plus coûteuse parce que réalisée en modules de 16 Kmots, un nouveau processeur flottant plus performant et simultané, un répertoire à nouveau étendu en matière de pile et de manipulations de bytes et de bits, la protection de mémoire et des I/O et un mode privilégié.

Bien que l'article précité indique que les armées font de ce modèle un élément de la famille UYK 19, du fait de la compatibilité ascendante, c'est en réalité une machine nouvelle qui a reçu, un peu plus tard, le repère militaire AN / UYK 28.

Dès cette époque, Rolm propose le bus MCA Multiprocessor Communication Adapter qui permet à un maximum de 15 UYK 19 de communiquer entre eux pour se partager des données ou du travail. Une photo jointe à la fiche montre la disposition physique de ce canal.

En 1977, Rolm sera en mesure d'abaisser substantiellement le prix de la mémoire des 1664, et introduira un 1666 qui en diffère par l'apparition d'une mémoire de mapping (CPU complet = 11 cartes) et un nouveau maximum de 1024 Kmots, toujours en

modules de 16 Kmots. A cette occasion, Rolm offre simultanément un compilateur ADA certifié, de quoi donner confiance au DOD.

1650 (1976) : on pourra trouver une photo de ce calculateur dans l'article de Computer, et une autre au dos de la fiche 1602. Il s'agit d'une amélioration du packaging du 1602 grâce à la technologie LSI, qui permet de réaliser le même CPU en un seul module au lieu de 9, et corrélativement de rassembler la même puissance de calcul dans un demi ATR (127 * 197 * 318 mm = 7,6 litres), et d'obtenir une sensible baisse de prix ; seul inconvénient, la mémoire est plafonnée par le boîtier à 32 Kmots. Le cycle de mémoire est 1 µs, la virgule flottante est obtenue par microprogrammes, la ventilation est très soignée et peut être proposée en trois variantes : ailettes sur le boîtier, échangeur interne, refroidisseur propre.

5605 (1976) : carte CPU du 1650 proposée en OEM.

1606 (1977) : variante du 1666 consistant à supprimer le processeur VF autonome, qui peut être remplacé par des microprogrammes.

1602A (1977) : reprise du 1602 avec limitation de la mémoire à 64 Kmots, réalisée en quatre modules de 16 Kmots, ce qui permet d'ajouter des I/O dans le boîtier, légèrement réduit à 27 litres.

1626 (1978) : ce boîtier est un calculateur spécialisé dans la fonction d' IOP, puisqu'on a plusieurs fois signalé ci-dessus l'insuffisance éventuelle des emplacements d'entrées/sorties. Le calculateur inclus dispose d'une mémoire MOS de 16 K * 16 bits à cycle de 400 ns, et il peut de plus adresser la mémoire de son hôte. Il offre 10 slots d'entrées/sorties et supporte tous canaux standards, y compris le multiplexeur 3769 à 4 canaux asynchrones. Il est complètement supporté par RTOS, RDOS, et RMX / RDOS multiterminal

1602B (1979) : toujours dans la spécification AN / UYK 19, cette réédition du 1602 offre CPU compatible, 32 KB de mémoire en modules de 16 Kmots, le contrôleur du panneau de commande externe 1642, et 7 emplacements d'entrée/sortie dans un ATR pour \$ 33250 . La mémoire est extensible à 64 KB et 15 autres IO slots sont disponibles dans le châssis d'expansion 2150. Alimentation au choix en 28 V. pour véhicules et avions, ou en 440 / 3 / 60 pour les navires. Voir photo dans la fiche 1602.

Toute cette activité représente en 1983 un chiffre d'affaires de 76 M\$, et ne suffit pas à faire de Rolm une grande société d'informatique. Mais, parallèlement à ces travaux, et peut-être depuis sa création, Rolm travaille dans les communications, créant de petits standards d'entreprises, les CBX, et des postes téléphoniques à leur relier. Voir par exemple la fiche Cypress d'un terminal genre Minitel.

L'annonce, en 1983, d'un CBX2 capable de 4,4 gigabauds, et d'un chiffre d'affaires de 473,2 M\$ dans les communications, explique la décision d' IBM de s'introduire en 1984 dans le capital de la firme, pour 19,1% . Puisque Rolm avait

commencé, avec son CBX1, à combiner sur le téléphone les liaisons vocales et les transmissions de données, IBM peut espérer trouver là une voie pour développer sa bureautique ; dès cette époque d'ailleurs, Rolm est compatible avec SNA.

Quelle que soit l'explication, dirigisme trop rigide d'IBM ou incompatibilité des concepts, ou encore forte résistance des structures existantes d'IBM, cette tentative échouera et IBM continuera à acheter en OEM des calculateurs / concentrateurs, à leur donner une étiquette IBM, et à les doter de son logiciel SNA.

Elle gardera l'équipe Rolm de communications et le monopole de leurs inventions, libérant l'activité de militarisation qui trouvera rapidement (juin 1985) un financier plus compréhensif dans Loral, un conglomérat entièrement tourné vers les problèmes d'armement, qui lui laissera pleinement poursuivre son travail. Ce Rolm résiduel, cependant, n'est plus une entreprise informatique importante, et n'apparaît plus dans la liste de Datamation, désignant les 100 premiers informaticiens américains.

MSE 30 (1979) est la militarisation du DG Eclipse, qui prend la relève du Nova. Il supporte une mémoire de 256 à 1024 KB, des disques jusqu'à 545 MB, et peut diriger un IOP et un adaptateur de communications. Le logiciel AOS est complètement disponible avec ces matériels, sous licence.

Autres MSE (1981) : cette nouvelle orientation se poursuit avec le MSE 14, militarisation du S140 pour \$ 55000 avec 128 KB de DRAM ; le MSE 25, militarisation du S250, \$ 80000 avec 128 KB.

MSE 800 (1981) : gros bond en avant avec cette machine qui est la militarisation du MV 8000, lequel est un 32 bits. Voir fiche.

Hawk / 32 (1983) : reprise du travail précédent avec des circuits en VLSI 2μ (11 réseaux de portes de 10000 portes chacun), qui permettent de placer un MV 8000 complet, respectant toutes les normes (5400, 16400, 4158), dans un ATR de 36,5 litres, pesant 41 Kg. Cette version est capable de 1,3 Mips (2,5 Mips selon une autre source) et d'une mémoire de 8 MB, et on y trouve tout ce qui fait l'intérêt de la version civile : processeur de maintenance, SECDED en mémoire, en tout 20% de matériel pour les fonctions de fiabilité. Il y a même un contrôle incorporé de niveau de radiation qui peut être à volonté mis en / hors service. La machine, qui ne consomme que 400 watts, a démontré un MTTR de 15 minutes.

La machine peut s'associer un disque Winchester militarisé de plus de 1 GB
Le système d'exploitation est RTOS, et le compilateur ADA a été validé. Prix \$ 150000 en 2 MB. 86 machines étaient commandées au 31 / 12 / 85.

Orion 3000 (1990) : le concept Rolm MIL Spec est toujours en activité à cette époque, et s'applique à des produits compatibles VME Bus, et basés sur le microprocesseur R3000 de MIPS. Deux niveaux de fiabilité sont proposés, un niveau « normal » au prix de \$ 40000, et un niveau MIL. STD. 883B pour \$ 50000.

Le produit de base est une carte R3000 + R3100, 17 Mips, avec 8 MB de DRAM, un bus mémoire partageable de 80 Mbit/s, une interface VME 32 Mbit/s, et Ethernet. La consommation est inférieure à 30 watts, le MTBF est de 20000 heures à 25°C.

Le logiciel est soit IRIS de Silicon Graphic qui est une variante de Unix, soit un RTX qui est compatible avec ADA et C.

La protection contre les explosions nucléaires (EMP) est en option.

502 - Le Rome Air Development Center

Installé dans la petite ville de Rome, dans l'état de New York, ce centre comporte quelques laboratoires mais surtout des moyens d'essai, dont la finalité est de conduire les essais de recette de matériels commandés par l'USAF, sur la base de deux procédures principales :

définition, par les ingénieurs du Centre, d'une spécification correspondant à un besoin nouveau de l'Air Force, sommairement défini par une autorité supérieure, ou anticipé d'après les enquêtes auprès des forces d'active, ou encore imaginé à partir des informations accessibles par la littérature ouverte. A partir de là et en fonction de l'importance financière du sujet, il y aura appel d'offre auprès de un, deux, parfois davantage d'industriels qui présenteront des prototypes.

étude de propositions libres d'industriels bien introduits, de part leurs activités antérieures, pouvant conduire, si le concept est habilement présenté, à un contrat d'évaluation modeste, lequel peut, après résultats intéressants, se transformer en un second contrat plus important pour un vrai prototype.

Le RADC ne prend jamais de décision de production. Tout contrat d'un des types précédents donne lieu à rapport d'essai, dans lequel l'ingénieur responsable essaie de faire éventuellement passer vers les échelons supérieurs sa conviction de l'intérêt du résultat. Sur la période de 50 ans que couvre notre étude, le RADC a vu passer beaucoup de projets, dont la plupart nous sont inconnus, soit qu'ils aient avorté prématurément, soit qu'après réussite des essais ils n'aient pas fait l'objet d'approfondissement par suite de changement de politique ou de choix entre technologies en compétition, soit exceptionnellement qu'ils aient été jugés trop secrets pour être portés à la connaissance de la presse technique. C'est par cette dernière que la plupart des travaux du RADC ont pu nous être communiqués.

On ne trouvera ci-après qu'une faible part de ces travaux, avec des renvois à l'endroit où ils sont décrits, généralement dans la rubrique d'un industriel. Le RADC est motivé par l'Aéronautique, il n'est pas étonnant que l'informatique en tant que telle n'y tienne qu'une place marginale. Cependant....

.....second aspect très différent de l'évolution du RADC : cet établissement est devenu progressivement le centre de compétence technique sur lequel s'appuie la DARPA, Defense Advanced Research Projects Agency, puissant et généreux dispensateur des crédits de recherche du DOD en direction des industriels et des universités. La DARPA définit des objectifs, cherche des organismes intéressés par le thème, puis signe des contrats qui spécifient que la surveillance de l'exécution et les tests de recette auront lieu au RADC.

Elecom 120 est le premier ordinateur du RADC, commandé en 1954 à Underwood Corporation, un fabricant newyorkais de matériel de bureau, vraisemblablement pour déterminer ce qu'on pouvait attendre de ce nouveau genre de machine à calculer. Le RADC installera un peu plus tard une Elecom 120A, ce qui suggère que cette machine était utilisée à la comptabilité locale.

Index Searcher est une machine de recherche documentaire, commandée en 1958 à Computer Control Co dans le cadre plus général d'une étude de l'USAF autour du thème de la recherche d'information. Un article rédigé au RADC en 1959 explique les besoins de l'USAF; voir 235-66.

AN/GSQ 81 relève du même programme : il s'agit de construire une machine capable de retrouver avec un très court délai un document défini par des clés parmi une collection finie de longueur raisonnable, 5000 en l'occurrence. Cette limitation volontaire permet d'imaginer des solutions parallèles, où les repères des documents et leurs clés se trouvent dans une mémoire vive, ici magnétique. L'étude, confiée au Stanford Research Institute, a fait l'objet d'une fourniture matérielle, largement illustrée dans 239-515/28 : c'est le MIRF, Multiple Instantaneous Response File.

AN/FSQ 27 est le concept prématuré d'un ordinateur polymorphique, construit sous forme de modules dont l'interconnexion est dirigée par un crossbar programmable. Voir RW 400 chez Ramo-Wooldridge.

AN/TLQ 5 est une expérience d'amélioration de la fiabilité d'un ordinateur à tubes à vide, grâce à des duplications. Le ordinateur Monrobot VI est construit spécialement par Monroe Calculating Company sur contrat du RADC.

AN/UJQ 2 a été construite par HRB Singer, une association de trois ingénieurs, pour le RADC. C'est une calculatrice algébrique, pas spécialement puissante, et on ne voit pas clairement dans quel esprit le RADC a passé ce contrat.

SS 431 L TRACALS, TRAFFIC CONTROL AND LANDING SYSTEM, est un regroupement budgétaire d'études devant concourir à une réorganisation méthodique de la navigation aérienne au dessus du territoire américain. Ce type d'études relève de la FAA, qui existait déjà à l'époque ; le démarrage du projet au RADC peut être interprété comme un « coup de pouce » budgétaire à une administration civile conservatrice, pour cause de syndicats, et aussi comme le désir de l'USAF que les méthodes à mettre au point ne compromettent pas les problèmes clés de l'aviation militaire sur le territoire national, concernant les bases du SAC et la défense aérienne.

Les problèmes posés concernaient la normalisation des équipements : radars de surveillance, systèmes d'atterrissage sans visibilité, émetteurs radio, balises UHF, radiogoniomètres, et celle des méthodes. La rapidité des évolutions techniques (le SAGE, puis les missiles balistiques, puis les satellites) a pulvérisé ce projet en travaux techniques partiels, parmi lesquels on doit citer :

ADRS, Automatic Data Routing System, mémoire à tambour magnétique centralisant les plans de vol, distribuant les cibles aux opérateurs en vue notamment d'automatiser les changements de secteur des avions transcontinentaux.

EAR, En route Airspace Reservoir, calculatrice associée à la mémoire précédente pour rechercher sur demande les conflits entre plans de vol actifs et avions non identifiés. Présentation sur lampes.

EGECON, Electronic GEographic COordinate Navigation system, ensemble de radars secondaires assurant une poursuite permanente de tous avions et la transmission radioélectrique périodique de cette position aux avions pour recalculer leur calculateur d'estime AN/ASN 7. Etude Gilfillan.

MAMIE, Minimum Automatic Machine for Interpolation & Extrapolation : calculateur travaillant sur les plans de vol pour en construire dynamiquement une version plus réaliste que le projet déposé, à partir des mesures des radars régionaux et des messages des guetteurs. Les avions ayant déposé un plan apparaissent sur les écrans sous la forme d'un cercle délimitant l'incertitude sur leur position depuis leur dernière position vérifiée. On notera qu'aucune de ces expériences n'a réellement débouché sur une méthode généralisable, à cause de l'accroissement très rapide du nombre et de la vitesse des avions, rendant caduques les solutions proposées avant même qu'on ait procédé aux investissements.

INTIPS INTegrated Information Processing System : ce projet a pris corps après l'échec de l'expérience RW400, où faute de critères programmables on n'avait pas su tirer parti d'un calculateur polymorphique. Le problème de la gestion de ressources informatiques hétérogènes étant devenu, entre temps, crucial et quotidien, le RADC décide une recherche appliquée à ses propres ressources.

L'expérience initiale de 1965 consiste donc à tenter d'harmoniser un maximum de 16 calculateurs et 64 autres ressources, en définissant des critères et en les confiant à un calculateur CDC 160A. La mémoire de ce contrôleur est à cet effet divisée en 16 tampons de 512 mots, protégeables par programme, où sont enregistrées de façon instantanée les activités et connexions de chaque processeur surveillé, et en permanence les critères de sélection à respecter par chacun d'eux.

En commençant, le catalogue des ressources à gérer résultait simplement de l'état des lieux :

Calculateurs : deux processeurs du RW 400, un CDC 1604, deux calculateurs analogiques Reeves reliés au système par un adaptateur numérique Adage.

Périphériques : TRW 85, Datacom 408, console SC 3000, adaptateur de télécommunications Collins AN/GSC 4, flexowriter éloigné, data link UHF, des tambours LFE et CDC, des bandes magnétiques.

En 1966, le dispositif a été réorganisé autour d'un crossbar électronique qui relie :

En X : calculateur CDC 1604, mémoire à tores supplémentaire, tambour magnétique DM 400, tambour magnétique CDC 8952, disque magnétique CDC 828, calculateur CDC 8090 servant de contrôleur pour plusieurs consoles, contrôleur pour bandes magnétiques Univac et RCA.

En Y : un 8090 servant de contrôleur général et disposant d'une console de supervision, un PDP 8 gérant les priorités, et trois calculateurs de travail : RW 400, U 1218 et CDC 8090.

En somme, le RADC se trouve confronté à une situation plutôt simple, par comparaison avec de nombreux autres laboratoires étatiques que nous avons déjà rencontrés (Octopus à Livermore, par exemple).

SOLOMON I (1962) : cette étude de processeur matriciel relève plus de la recherche que du développement, et c'est sans doute la DARPA qui aurait dû la prendre en charge, mais pour cette première approche de ses idées le Pr Slotnick n'avait pas frappé à la bonne porte. C'est tout à l'honneur des ingénieurs du RADC d'avoir reconnu le potentiel du concept et d'avoir décidé de financer ce premier essai. Le choix de Westinghouse pour la réalisation vient de ce que Slotnick est à cette époque un scientifique de cette compagnie, et il devra choisir son maître après ce premier essai. On renvoie aux travaux de l'Université d'Illinois pour la description effective des SOLOMON.

Il est à peu près certain que le CCIAC, Centrally Controlled Iterated Array Computer, dont la présence au RADC est signalée à cette époque par la revue Electronics, n'est autre que SOLOMON I.

RADCAP (1973) est une expérience de processeur associatif comprenant un STARAN S de Goodyear, géré comme un périphérique par un calculateur HIS 645 de temps partagé fonctionnant sous Multics. Les objectifs de recherche, très généraux, concernant le comportement en temps réel de diverses architectures, expliquent que ce centre ait été renforcé par un émulateur universel QM1, mais on ne connaît pas la production de ce coûteux dispositif. Voir description en 261 - 7/15 .

503 - L'informatique de la Défense (DOD)

A la fin de la guerre, le Département de la Défense, dont le chef est membre du gouvernement, est une puissante structure administrative chargée de définir une politique et un budget, mais les trois armes sont pratiquement autonomes, en sévère compétition pour les crédits, et le DOD n'est que leur porte-parole. Chaque armée dispose de son chef d'Etat-Major qui définit une politique et la défend devant son ministre, mais celui-ci est un civil et ses décisions sont avant tout des compromis budgétaires.

Ce n'est qu'en 1964 que sera créé un Chef d'Etat-Major général interarmes, chargé de définir et proposer au gouvernement et au Congrès une politique d'ensemble, avec comme conséquence une proportion croissante de programmes communs.

En 2000 cette conception a eu le temps de produire tous ses effets : le CEMGI est un interlocuteur privilégié du gouvernement, tandis que les CEM des armées sont devenus de simples techniciens, encore qu'ils soient toujours à la tête de gigantesques budgets. Les programmes communs sont devenus la règle et permettent incontestablement des économies, principalement à cause de la taille des séries réalisées après des programmes d'études longs, pour cause d'obstacles techniques, budgétaires et politiques.

Communications

Le premier programme dans lequel a pu s'exprimer cette volonté de centralisation et d'intégration est celui des communications non tactiques, qui représentent une part considérable des échanges dans des forces armées réparties sur toute la planète.

Lorsque, après la guerre de Corée, la réalité de la guerre froide s'impose à tous, on voit fleurir de puissants systèmes de combat défensif et offensifs, et parmi les quatre armes, c'est l'aviation qui prend en charge les plus importants de ces systèmes. On traite ailleurs (rubrique 489 USAF) ces programmes, qui utilisent des liaisons tout à fait spécifiques, créées pour la circonstance, protégées contre les actes de combat et de sabotage raisonnablement envisageables, diversifiées techniquement pour ne pas disparaître simultanément à l'occasion d'un de ces actes, utilisant de multiples cheminements indépendants : c'est le SPACECOM, ex AIRCOM, ex AFGCS SS 480 L, ex SS 456 L.

Cette succession de sigles ne traduit pas les hésitations ou les fantaisies des services d'étude, mais les étapes du projet qui a successivement dû prendre en charge les avions, puis les missiles, puis les satellites, et n'a donc jamais cessé d'évoluer dans le sens de l'expansion. Ce système, légitimement propre à l' USAF, ne lui sera pas contesté.

En dehors de ces communications stratégiques, l' USAF organise ses liaisons administratives, budgétaires et logistiques, les plus importantes en volume, au moyen d'un réseau national de transmissions de données, qui reçoit le sigle ComLogNet et qui est confié à Western Union ; voir à la rubrique 470 Autodin cette première réalisation, qui a été menée à bien avec le concours de RCA pour les calculateurs, puis confisquée en quelque sorte et rendue interarmes à partir de 1964, avant de subir sur l'ordre du DOD une importante réorganisation et une expansion mondiale. Le réseau administratif de l' Armée de terre, AMPS, sera lui aussi intégré à l' Autodin étendu.

Dès son apparition, forcée par le Sputnik soviétique, le satellite est perçu comme un exceptionnel moyen de communication, qui s'exprime dans deux formules :

des satellites volant à moyenne altitude, et donc défilants, étudiés par RCA : après deux lancements expérimentaux en 1962 et 1964, les Relays, RCA construit de 1975 à 1985 une dizaine de satellites commerciaux, les RCA Satcom, dont la plupart des voies seront immédiatement achetées par le DOD.

des petits satellites stationnaires de 67 Kg, les Syncom, lancés à trois exemplaires en 1963 et 1964, et dont l'exploitation difficile a montré qu'il fallait approfondir les questions techniques.

Le DOD passe alors commande au Lincoln Laboratory d'une série d'expériences couvrant tous les aspects du problème : fréquences, modulations, choix des tubes émetteurs :

LES 1 lancé le 11 / 2 / 65, 32 Kg. Placé sur une mauvaise orbite, il s'est trouvé bloqué dans la ceinture de Van Allen dont il a servi à étudier les effets sur l'électronique solid state bande X.

LES 2, 6 / 5 / 65, 36 Kg, sur orbite très elliptique s'éloignant à 15000 Km, étudie pendant un an les transmissions en bande X, émission à 7800 MHz, réception à 8300 MHz.

LES 3, 21 / 12 / 65, 16 Kg, devait être placé en orbite synchrone et se retrouve en fait sur une orbite elliptique de 195 / 33177 Km. Il étudie avec succès les liaisons UHF (200 / 400 MHz).

LES 4, 51 Kg, lancé simultanément et victime du même incident, étudie à nouveau les liaisons à 8 GHz et réussit des essais de vocodeurs.

LES 5, 102 Kg, est placé sur orbite stationnaire et expérimente de nouveaux aériens et diverses modulations en UHF, appliquées aux problèmes des satellites opérationnels, dont trois sont d'ailleurs lancés simultanément, le 1/7/67.

LES 6 de 163 Kg, lancé le 26/9/68 avec trois autres satellites opérationnels, expérimente en UHF les communications tactiques entre avions passant par satellite synchrone. Il fonctionne 7 ans.

LES 8 et 9, deux satellites de 450 Kg installés sur orbite stationnaire le 15/3/76 pour des expériences de fonctionnement comme relais en ambiance de contremesures. Ils communiquent entre eux sur plusieurs milliers de Km au moyen d'un faisceau étroit à 36 GHz, que l'on essaiera vainement de brouiller, et avec la terre en UHF.

Ces expériences permettent de définir deux familles de satellites opérationnels, les TacSatCom de Hughes et les DCSC 2 de TRW, toutes deux sur orbite stationnaire. Les TacSat de 726 Kg comportent deux voies à 8 GHz et quatre aériens UHF, représentant l'équivalent de 10000 voies téléphoniques, soigneusement antibrouillées par une modulation très spéciale déduite des essais LES 5. Après les lancements triples de 1967 et 1968, on connaît un lancement du 9/2/69 avec une vie utile de quatre ans, puis plus rien. Il ne semble pas qu'on ait poursuivi au delà de cette date l'expérience des communications aéronautiques interarmes en UHF à travers des satellites synchrones ; à partir de la fin des années 80, seule la Marine utilise des satellites (Hughes, justement) dans ce rôle.

Les DSCS 2 de 500 Kg étudiés par TRW sont lancés par paires à partir de 3/11/71 par des Titan 3C. Ces satellites disposent de 4 voies équipées de tubes à onde progressive autour de 8 GHz, deux globales et deux directives, représentant l'équivalent de 1300 voies téléphoniques. 15 satellites seront lancés de 71 à 82, après quoi le DOD changera de famille.

Les DSCS 3 de General Electric pèsent plus de 900 Kg et sont lancés à partir du 30/10/82 par Titan 34B + IUS, ce dernier étage assurant la mise sur orbite stationnaire de la paire à partir d'une orbite basse dite « de parking » sur laquelle se font les vérifications techniques. C'est un programme de M\$ 677 comportant six lancements qui interviendront entre 82 et 90, de façon à avoir toujours sur orbite 4 satellites actifs et deux en réserve, déplaçables.

Les DSCS 3 comportent 6 voies SHF (8 GHz) dont deux de 40 watts à couverture mondiale et quatre de 10 watts à faisceaux télépointables par ordinateur embarqué, permettant d'éviter les brouilleurs. Ils sont aussi protégés contre l'impulsion électromagnétique, les rayons X et Gamma.

Le succès de cette série se traduira par une nouvelle commande de 10, notifiée en 1988 et lancée à partir de 1992 au fur et à mesure des pannes des précédents. Le lanceur est cette fois un Atlas 2, et cette série est toujours en activité à la clôture de cette étude.

Les DSCS sont totalement intégrés au réseau de communications qui a succédé à l'AUTODIN. Ils peuvent être déplacés sur ordre du sol pour combler d'éventuelles défaillances.

Communications tactiques

En 1967 les pays anglo-saxons, Australie, Canada, Royaume-Uni et USA avaient entrepris, par souci d'économie, une étude commune d'un système de télécommunications commutées à usage tactique, le projet Mallard. Mais en 1970, alors que les premiers travaux se déroulaient sans encombre, le Comité des Forces Armées du Sénat américain recommanda expressément que la priorité soit donnée aux besoins des forces armées des USA et qu'on ne s'embarrasse pas des contraintes inévitables dans les programmes internationaux. Les USA annoncèrent leur retrait et les autres participants abandonnèrent le projet. Tout le monde, cependant, reconnaissait la nécessité de l'interopérabilité OTAN, et chacun en tint compte dans ses propres études.

Aux USA, le programme désormais national fut dès l'origine situé à un niveau interarmes et, à la mi 71, le bureau de gestion du programme TRI-TAC fut créé, dépendant de l'Adjoint C3I au Secrétaire à la Défense. Le Bureau doit satisfaire les besoins des diverses Armes et les procédures qu'il met en place comportent la consultation explicite des besoins de chacune, avec une évaluation des quantités ; les spécifications de chaque composant du système sont édifiées de manière à satisfaire convenablement chaque service utilisateur, tout en respectant la compatibilité avec les systèmes de télécommunication de la Défense, déjà définis (AUTODIN, DSCS I), avec lesquels ils doivent communiquer. Si, après accord sur une spécification, les quantités sont inégales, le plus gros demandeur est chargé de la négociation du contrat, de son financement et des essais de recette, mais aucune modification des spécifications n'est possible en cours d'exécution sans l'accord du Bureau.

Techniquement parlant, le TRI-TAC est un système numérique, offrant des solutions en commutation de circuits et des solutions en commutation de message, avec des interfaces pour s'adapter aux systèmes existants, généralement analogiques. On s'interdit toute nouvelle étude de matériels analogiques, mais il reste permis, compte tenu des délais importants de réalisation du TRI-TAC, de poursuivre la production de matériels existants en attendant les premières mises en service.

Lors de la conception, les premières réalisations portaient sur des commutateurs numériques et des circuits auxiliaires multivoies pour les liaisons à l'échelle du Corps d'Armée; au niveau de la division et de la brigade, les utilisateurs devaient être dotés de l'équipement mobile d'abonné (MSE) pour accéder au réseau. Or, on constate que les Corps d'Armées, en application de la nouvelle doctrine opérationnelle, vont s'engager plus fortement qu'auparavant vers le front, ce qui leur imposera un trafic plus intense et demandera plus de mobilité. Moyennant quoi, on décide en novembre 83 que les gros matériels en cadres, pas très mobiles, seront affectés au niveau des Armées et du théâtre, et que les Corps d'Armée travailleront, comme les divisions, avec des MSE.

Le Pentagone, qui avait prévu de produire lui-même les MSE, se trouve ainsi soudain en présence de gros besoins, impossibles à satisfaire aux USA pour la date de mi 87, souhaitée pour la mise en service du TRI-TAC. Il décidera donc, sans enthousiasme, dans son appel d'offre de juin 84, d'accepter des propositions étrangères et les productions provenant de l'étranger, au moins jusqu'à mise en place d'une production nationale. Et c'est ainsi que le RITA de Thomson CSF, seul produit réellement en service, s'est trouvé choisi face au Ptarmigan britannique, au Zodiac néerlandais et au Delta Mobile norvégien.

L'appel d'offre posait en effet des conditions sévères : attribution du contrat en mai 85, livraison au cours de la première année du matériel pour une division et pour l'instruction, engagement sur les prix pour les fournitures des cinq années suivantes relatives à 5 corps d'armée et 25 divisions, option pour deux divisions supplémentaires. Pour y répondre, Thomson s'est associé à GTE, face à une offre Rockwell / ITT / Plessey pour Ptarmigan.

Au total, l'alliance GTE / Thomson a été capable de fournir un TRI-TAC complet, en état de marche, pour un CA et une division, en 1988. Le bilan de ce travail commun, en 10 / 93, s'élève à 1400 centraux, 8000 radios mobiles, 25000 téléphones ; l'essentiel a été produit par GTE, mais Thomson touche des royalties.

Voir fiche TRI-TAC en boîte 149, chemise DOD.

La finalité du TRI-TAC est essentiellement de mettre en liaison des correspondants militaires en vue d'échanger des données tactiques. Celle du JTIDS, Joint Tactical Information Distribution System, est de relier des véhicules de façon automatique, pour échanger le genre de données tactiques qui n'ont pas besoin de passer par un homme ; en principe, c'était exactement le rôle de l'IFF avec SIF, mais la sécurité de ce système n'est plus suffisante en 1975, sans compter quelques conflits d'intérêts interalliés concernant les investissements à effectuer dans les normes Mk XII ou Mk X.

Le JTIDS est patronné par le DOD, qui l'introduit en même temps que l'AWACS : c'est-à-dire qu'un JTIDS doit figurer dans l'équipement de chaque avion AWACS, qui pourra ainsi établir des liaisons avec chaque avion ou véhicule également équipé, en sachant exactement à qui il parle. L'AWACS est ainsi un cheval de Troie pour le JTIDS, puisque l'OTAN se décidera forcément pour l'adoption de ce système ; et d'ailleurs, les possibilités offertes par le JTIDS paraissent réellement intéressantes.

Voir fiche JTIDS en boîte 149, chemise DOD.

Un autre programme de communications tactiques patronné par le DOD est le JSTARS, Joint Surveillance & Target Attack Radar System, étudié depuis 1985, et expérimenté en vraie grandeur pendant la guerre du golfe en 1991. Il s'agit d'un radar aéroporté de type « latéral », destiné à détecter tous les mouvements de troupes ennemies au sol, et à en informer les troupes amies, en utilisant l'un quelconque des moyens de transmission disponible, notamment le JTIDS. L'avion E8C est un gros porteur à fuselage cylindrique, portant en position ventrale un imposant aérien disposé longitudinalement ; le fonctionnement de type MTI décèle les mouvements par différence de deux réceptions successives.

Commandement

Le président des Etats-Unis étant le chef des Armées, il est nécessaire d'organiser la convergence des renseignements vers lui, ainsi que la distribution de ses ordres vers les centres de commandement chargés de l'exécution. Ce réseau doit être redondant pour ne pas s'écrouler en cas de perte de certains de ses membres, et il doit comporter des postes de commandement de rechange. Tout cela est concrétisé dans le système WWMCCS, rubrique 693 ; plus exactement, cette rubrique décrit ce qui aurait dû être, mais qui n'est devenu réalité efficace qu'à la génération suivante de matériels.

Parmi les centres de commandement membres du WWMCCS, il faut citer le Pentagone, dont l'équipement est évoqué en rubrique 468, et le SACCS et le NORAD, décrits dans la rubrique 489 USAF ; en fait il en existe une quarantaine, mais nous n'en avons pas la liste, ni à plus forte raison l'équipement. Elle comprend évidemment les QG de flottes pour la Marine, le commandement de la 7ème armée US en Europe et celui de la 6ème armée en Corée du Sud, le commandement du Marine Corps, etc...

La DARPA

Chacune des trois armes se préoccupait de recherche, disposant à cet effet d'une direction placée plus ou moins près de son Chef d'Etat-Major avec deux missions :

organiser des recherches sur des thèmes spécifiques ayant un intérêt à moyen ou long terme pour l'arme.

recruter des jeunes gens prometteurs dans les universités et leur distribuer des bourses.

La Marine, avec son Office of Naval Research, était apparemment la plus ouverte des trois armes sur le monde scientifique, à en juger par le nombre des contrats que cet ONR a signés.

Le DOD s'est préoccupé, dès la fin d'une guerre où la recherche scientifique avait clairement joué un grand rôle, de mettre un peu plus de méthode et de rigueur dans ce type d'activité. Son ARPA, Advanced Research Projects Agency, a d'abord financé des objectifs très généraux, pas particulièrement militaires, comme l'Informatique. Une fois le pays convenablement sensibilisé, l'ARPA est devenue la DARPA, c'est-à-dire qu'elle s'est concentrée sur la recherche de Défense. Voir à la rubrique 359 les principaux travaux suscités par cet organisme, auquel on doit notamment le lancement d'Internet.

N'ayant pas le statut d'établissement, mais disposant de beaucoup d'argent, la DARPA recourait aux services administratifs des armes pour la notification de ses contrats ; mais elle devait forcément confier à un laboratoire bien équipé l'évaluation des résultats.

Progressivement, le RADC (rubrique 502) a échappé à l'USAF pour jouer ce rôle auprès de la DARPA.

Agences gouvernementales en tutelle

En dehors des forces armées proprement dites, le DOD est ministre de tutelle pour plusieurs organismes qui disposent d'une large autonomie mais dont la coopération est essentielle :

a) la Commission de l'Energie Atomique, héritière du projet Manhattan, a la double tâche de maintenir au plus haut niveau la compétence militaire en matière de bombes, et de promouvoir les applications civiles.

dans la première mission, la commission s'occupera essentiellement de mettre au point la bombe H, c'est-à-dire une technologie de fusion plutôt que de fission, ce qui sera accompli dès 1952 avec l'explosion d'Eniwetok. La plupart des laboratoires de recherche du projet Manhattan subsistent et se recyclent autour de ces tâches militaires, essentiellement :

Argonne National Laboratory, rubrique 82

Brookhaven National Laboratory, rubrique 113

Lawrence Radiation Laboratory à Livermore et Berkeley, rubrique 358

Los Alamos Scientific Laboratory, rubrique 377

Oak Ridge National Laboratory, rubrique 645

Sandia National Laboratories à Albuquerque, NM - aucun renseignement

Les rubriques citées ne traitent que d'informatique, et nous ne savons à peu près rien de leurs

activités touchant au nucléaire, civil ou militaire. La réalisation des bombes, et leurs essais dans le

Nevada, sont dans une large mesure des activités de laboratoires militaires spécialisés, comme le Air

Force Weapons Lab de Kirtland AFB décrit par une fiche en boîte 149. dans la seconde mission, la Commission s'efforcera de transférer à l' Industrie privée le savoir nécessaire à la réalisation de centrales nucléaires, avec deux techniques concurrentes, l'eau bouillante et l'eau sous pression. Westinghouse, partie prenante des recherches pendant la guerre, deviendra le spécialiste des chaudières nucléaires et construira la plupart des centrales du pays.

L'application propulsion sera étudiée par l' USAF, pour les avions, à Oak Ridge (projet NEPA, qui échouera) et par la Navy appuyée sur Westinghouse, pour les navires. Sans véritable contrainte de poids ou d'encombrement, ce second développement sera le grand succès que l'on sait.

L'application civile de cette propulsion sera étudiée par la Commission qui fera construire un navire de commerce ainsi équipé. Ce sera une réussite technique et un complet échec psychologique, le malheureux navire se voyant interdire la plupart des ports du monde . Il n'y aura donc pas de suite.

Par la suite, le gros de l'activité civile de l'AEC concerne les recherches sur la production d'énergie par fusion, un thème qui a justifié d'énormes dépenses (le laser NOVA, les Tokamaks) sans parvenir, en 50 ans, à des résultats commercialement utilisables. L'établissement en charge de ces études est Sandia.

le DOD participera directement à plusieurs opérations de la Commission, notamment les deux célèbres expériences de Bikini et Eniwetok. Il créera à cet effet une Defense Atomic Support Agency, responsable en particulier de la construction d'un DODDAC (voir fiche en boîte 149), un centre de calcul chargé d'évaluer les conséquences d'incidents atomiques survenant éventuellement dans le pays, et de mettre en place les mesures spécifiques de protection : création et distribution de détecteurs de radioactivité pour les unités, équipement des navires de guerre pour la navigation et le combat en ambiance NBC, etc...

b) la National Security Agency, un des plus gros consommateurs d' ordinateurs pour le décryptage des messages ennemis, et aussi un des plus actifs lanceurs de satellites d'écoute (ferret). Voir quelques indications fragmentaires sur ce sujet exceptionnellement secret aux rubriques 436 NSA et 489 WTR.

c) la National Aeronautical & Space Agency, organisme civil chargé des missions de recherche en matière aéronautique et spatiale, qui dispose à cet effet de toutes les souffleries du pays et de la moitié des installations de lancement de satellites. Elle est donc le premier interlocuteur des constructeurs et recrute l'essentiel de son personnel navigant dans l' USAF et l' US Navy. Voir rubrique 673 NASA.

504 - Sanders Associates

Cette société se manifeste pour la première fois en 1955 en fabriquant un altimètre radar pour hautes altitudes, puis en 1959 en construisant l'AN/APN 77, un radar doppler pour véhicules lents, hélicoptères et dirigeables, utilisant à cet effet une émission CW à 15 GHz.

Elle trouve sa voie à partir de 1958 avec le brouilleur - répéteur AN/ALQ 19, et à partir de là ne cessera plus d'étudier des brouilleurs de tous types (17 modèles antiradar, antimissiles radar et infrarouge) pour les avions de la Navy et de l'USAF. Il s'agit de commandes importantes, par exemple :

445 brouilleurs - répéteurs AN/ALQ 100 en 1968 pour la Marine

plus de 2000 brouilleurs infrarouge pour hélicoptères AN/ALQ 144 à partir de 1979, et encore 336 autres en 1990.

750 radars détecteurs de missiles AN/ALQ 156, avec commande de lancement de chaff (1980).

Sanders trouve un deuxième type d'activité, plus alimentaire, avec des commandes massives de sonobuoys dont la société n'est pas l'inventeur, mais dont les quantités sont si importantes que les contrats sont distribués, par exemple :

15000 bouées actives AN/SSQ 47 par an, à partager avec Spartan.

40000 bouées passives directionnelles AN/SSQ 53 par an, à partager avec Magnavox et Spartan.

On peut encore citer, en 1972, un contrat de 170 radars AN/MPQ 49 et AN/TPQ 32 pour le GLAADS, système de défense à courte portée (20 Km) de l'US Army.

Sanders est donc un fournisseur bien établi des forces armées lorsqu'elle s'essaye timidement à la clientèle civile, vers 1966, avec un terminal 720 comportant un écran carré de 2080 positions dans 190 * 254 mm, alimenté par un tampon à ligne à retard de 256, 512 ou 1024 caractères. Un clavier complet avec 10 touches de commande, non mécanique, permet curseur, line et car delete/insert, split screen, partial transmit, tab. Régénération 46,5/s, insuffisante. Code ASCII transmis en 110 à 2400 bauds, multiplexage possible sur 12 postes. Prix \$ 3800 ou 120/mois.

Le 620 de 1967 reprend le même thème avec une définition de 2048 * 2080 pixels, autorisant un message maximum de 768 caractères sur un écran de 9,5 * 7,5 » (241 * 190 mm). Un générateur de caractères à 18 traits peut y construire 32 ou 40 lignes de 52, 64 ou 80 caractères, rafraîchis à 60 Hz. La transmission se fait en half duplex ASCII 110 à 2400 bauds, sans multiplexage. Prix \$ 5400 ou 180/mois.

Lui succèdera en 1968 un écran nettement plus grand, 292 * 381 mm, à déflexion électromagnétique. Possibilité de 2000 caractères à 81/ligne. 3 modes read, write et edit, les deux premiers à 100 Kcar/s.

En 1968 encore, Sanders aborde les consoles graphiques avec le 960/10, écran de 356 * 356 mm capable de 1024 * 1024 pixels. Cette machine comprend un générateur de caractères à 22 traits/car, capable de 128 caractères dont les 96 ASCII en 3,1 à 12,7 mm de haut : il faut 135 ns/trait dans la plus petite taille. Il y a aussi un générateur de vecteurs travaillant à la vitesse constante de 500000 ips, soit 42 µs pour tracer une diagonale sur l'écran. 8 niveaux de brillance.

Le 960 / 40 paraît différer du précédent par un écran rond de 20 » de diamètre, un clavier de fonctions et un possible light pen.

Sanders aborde l'informatique cette même année avec le Sandac 200, un calculateur concentrateur de communications disposant de 8 à 64 KB de mémoire avec contrôle de parité, et d'un CPU d'architecture intéressante : 2 accumulateurs, 15 index avec possibilité de double indexation, 65 opérations dont addition en 9,6 μ s, protection de mémoire, relocation, horloge, multiples niveaux d'interruptions. Les entrées / sorties comprennent 7 canaux de service de débit cumulé 312 Kcps, dont chacun peut définir la taille de son unité d'échange, du bit au mot de 16 bits ; leur nombre est extensible à 256 et ces diverses propriétés favorisent évidemment les fonctions de communication.

A l'invitation de la Shell, qui possède un SDS 940 et souhaite pouvoir l'utiliser pour des applications graphiques, Sanders participe en 1968/9 à un projet collectif qui intéresse également BBN, autre propriétaire d'un 940, et Sutherland, le chercheur de l'université d'Utah qui est au même moment conseiller chez BBN. Le but du projet est de définir un processeur graphique fonctionnant en symbiose avec le 940, et dans lequel Sutherland voudrait implanter tous les dispositifs dont il a démontré l'utilité.

Le travail est décrit dans 252-209/17. Il a abouti à la construction effective, par Sanders et pour la Shell, d'un équipement conforme à l'étude. Un second équipement était prévu pour BBN, mais a été abandonné quand cette société a remplacé son 940 par une machine plus importante.

Restant dans le domaine des écrans, Sanders propose en 1969 un équipement 6000 pour la préparation de bandes magnétiques : jusqu'à 12 opérateurs sur écrans, avec clavier complet et 32 lignes de 84 caractères, alimentent à travers un tampon partagé de 2700 caractères un ensemble de 4 dérouleurs de bandes, sélectionnées par des touches .

C'est ensuite un ADDS 900, où l'outillage de préparation est bien plus développé, sans qu'on voie clairement pour qui se fait le travail. Ce système, peut-être une licence, comprend :

un processeur 16 bits en rack, avec 4 à 32 KB de mémoire à cycle de 1,8 μ s, assembleur, bibliothécaire, microfortran, micromoniteur.

un générateur de caractères dans le même rack, utilisant le système à 22 strokes pour produire un caractère dans le temps qui paraît prohibitif de 2,4 μ s. Services variés : formats droit ou italique, rotation de 90°, clignotement, 8 niveaux de brillance. Il y a aussi un générateur de vecteurs, 40 μ s pour traverser l'écran, avec options rotation, translation, génération d'images TV.

un choix de tubes de 8 à 21 « de diamètre.

un choix de dispositifs annexes, tels que clavier, boule, light pen, joystick.

Il est encore question d'une Série 300 d'écrans vendus avec un processeur de 16 bits + 2 parités, prix K\$ 57 à 120, et fin 71 d'une série 800 également 16 bits. Ce dernier modèle, plus modeste que le 900, offre pour \$ 5000 un processeur doté de 1 KB de ROM et 4 KB de RAM MOS, accès modulaires.

Sanders a maintenant une activité permanente en matière d'écrans, alpha ou graphiques.

En 1975, il rajeunit la série 800 avec un 810 qui est un terminal complet, avec écran 24 * 80, clavier ASCII, mémoire de commande de 8 KB, tampon de 4 KB, disque de 5 MB

avec contrôleur programmé sur ROM, tampon d'imprimante, ligne synchrone BSC 2000 ou 2400 bauds. Logiciel Information Management Package.

Ce processeur peut gérer jusqu'à 4 écrans de 1920 caractères, ou 6 de 960 caractères.

Prix \$ 25790 ou \$ 735 / mois sur 48 mois minimum.

Le Graphic 7 de 1976, qui remplace un modèle SA 500, contient des microprocesseurs 4 bits MMI 6701, composant deux processeurs : l'un sert d'interface général, fonctionnant au choix en 8 ou 16 bits parallèles, ou en série RS 232C ; l'autre assume les servitudes locales, notamment un rafraîchissement à 30, 40 ou 60 images / seconde, et dispose de 40 opérations spécialement étudiées, 13 registres spécialisés sur les fonctions de visualisation, et 4 GPR.

Prix : \$ 32800 pour un écran de 21 », un clavier, et 8 KB de mémoire, cette dernière extensible par modules de 8 KB. Livraison à partir de mars 1977.

Rien de tout cela n'est vraiment significatif, mais Sanders acquiert un peu d'expérience.

C'est probablement avec le MIP 16, calculateur de traitement du signal, mémoire de 8 K mots de 16 bits à cycle de 1 µs, bloc de calcul pipeline, qu'elle intéresse les militaires.

On ignore si la machine, déclarée militarizable, est une offre bien ciblée ou le fruit d'un contrat, mais son pipeline à 4 étapes qui produit en moyenne 5 additions par seconde est très attractif. Répertoire de 60 opérations, 16 registres, réalisation dans une boîte de 165 * 190 * 63 mm, pesant moins de 2,7 Kg, supportant les températures de - 55 à + 100°.

Sanders a désormais une clientèle informatique militaire, et participe à des recherches avancées. C'est ainsi que la firme construit, pour une administration indéterminée qui pourrait être le RADC, le processeur associatif OMEN, dont la caractéristique essentielle est une mémoire à double accès, édifiée avec des puces Intel 1103 de 1024 bits :

d'un côté, dit horizontal, elle communique par UNIBUS avec un PDP 11 qui sert d'hôte et de gestionnaire. Elle lui apparaît comme 65536 mots de 16 bits.

de l'autre, dit vertical, elle est perçue comme 16384 mots de 64 bits, groupés par 8 pour être accessibles par une interface byte.

64 PE constituent le processeur vertical, capable d'effectuer simultanément 64 calculs identiques sur les bits ou les bytes d'une tranche. Les résultats sont rassemblés dans 8 registres accessibles à un contrôleur microprogrammé dit « scoreboard » qui interprète le contenu d'une mémoire de macroinstructions. Le scoreboard et le macroprogramme sont actionnés par le PDP 11 à travers l'Unibus. Les entrées / sorties peuvent être recueillies directement sur la face horizontale de la mémoire, ou traitées et mises en forme par les voies normales du PDP 11.

Quatre générations d' OMEN ont été réalisées, au fur et à mesure que les résultats s'avéraient intéressants.

Ce sont :

Modèle 61 : chaque PE exploite en série les 8 bits d'un byte.

Modèle 62 : chaque PE contient 4 GPR de 16 bits et exploite en série 37 bits.

Modèle 63 : chaque PE dispose de 8 GPR de 16 bits et exploite en parallèle 133 bits, constituant une arithmétique en virgule flottante.

Modèle 64 : comme ci-dessus, contenant en outre une ROM qui fournit les coefficients à utiliser pour réaliser l'algorithme FFT.

L'expérimentation a permis d'évaluer l'efficacité d'une multitude d'algorithmes de calcul vectoriel et matriciel et de traitement du signal, utilisant des extensions apportées au compilateur Fortran et à l'interpréteur Basic du PDP 11.

Plus significatif que cette recherche, le contrat AN/FYK 14 de 1972 concerne une sorte de NTDS côtier, c'est-à-dire un système d'exploitation des signaux de plusieurs radars côtiers alimentant un ordinateur et des consoles de situation Air en vue d'envoyer éventuellement des avions de patrouille ou d'interception.

Cette étude n'aboutira pas, mais dégrossira suffisamment la question pour qu'en 1983, Sanders reçoive le contrat AN/FYK 17 pour quatre systèmes installés à :

Jacksonville, Fla, 6 radars et 8 consoles.

Virginia Capes, Va, 6 radars et 10 consoles.

San Diego, Cal, 8 radars et 16 consoles.

Hawaï, 3 radars et 10 consoles.

Le système est interconnecté avec les radars de la FAA et le complète avec des radars gap fillers. Les ordinateurs sont des PEDS 8/16 ; les consoles horizontales OJ 488 de 23 « contiennent des microprocesseurs pour les fonctions graphique et texte, et peuvent superposer 350 pistes à la carte côtière en couleurs, couvrant 512 * 512 nautiques mais pouvant zoomer jusqu'à 4 nautiques seulement. La liaison 16 lui permet de communiquer avec les navires de guerre passant sur zone.

Sanders achète Calcomp en 1980, élargissant ainsi son activité au domaine des compatibles IBM et des traceurs, ces derniers lui assurant une clientèle régulière de caractère civil. Il y a aussi dans son activité civile une part de services, principalement maintenance, qui stabilise les bénéfices dans les années rendues difficiles par la conjoncture, comme 1985.

Pour cette année précisément, nous disposons en 1986 des commentaires de Datamation qui font de Sanders la 71ème firme mondiale d'informatique, et la 46ème américaine, avec un chiffre d'affaire total 1985 de 783,8 M\$, en baisse, dont 323,4 en informatique. La baisse du CA global paraît imputable à l'incapacité de la firme à tenir ses délais de livraison dans ses contrats militaires, dont nous avons vu la nature.

Par contre, le CA informatique est en forte hausse (CA 1984 = 260,8 M\$) ; ces chiffres sont imputables à l'amélioration de l'activité maintenance, et surtout à une forte hausse des productions de Calcomp : +40% sur les traceurs, dont plus de 6000 ont été livrés, et une activité soutenue sur les consoles graphiques, où la couleur prend une place croissante. On apprendra avec surprise que IBM a dépensé en 1985 la somme de 141,7 M\$ en produits OEM de Calcomp, ce qui en fait le meilleur client de Sanders.

L'étude relève un effectif global de 11413 employés, un bénéfice global de 35,1 M\$ après impôt, et des crédits de recherche propre se montant à 5,1 %, ce qui est modeste. Il semble bien que l'année 1985 ait été suffisamment mauvaise pour que Sanders, à cours de trésorerie bien que riche en contrats, doive se chercher un protecteur. Vers cette époque, Sanders se retrouve au sein du groupe Lockheed dans le cadre des regroupements qui réduiront à deux entreprises seulement, au tournant du siècle, l'industrie aéronautique américaine.

505 - NMB1 de Sangamo Electric

Le NMB 1 est un minicalculateur de process control, réalisé en circuits intégrés SSI. La mémoire de base a une capacité de 2 KB, et peut être accrue par blocs de 1 KB, ce qui indique des ambitions très modestes. Les entrées / sorties se composent de 15 canaux à chacun desquels peuvent être connectés jusqu'à 15 terminaux. Cette description trouvée dans une revue technique est d'ailleurs ambiguë, car elle ne laisse pas deviner s'il s'agit de terminaux intervenant par polling, ou de points de mesure convergeant vers un système d'acquisition.

Dans tous les cas, la capacité de mémoire du processeur paraît bien modeste.

C'est peut-être le cœur d'un produit de saisie que Sangamo propose à cette époque, pour profiter du créneau de Mohawk. Le DS 7100 est une station autonome de création de bande, au choix 7 pistes 200 bpi ou 9 pistes 800 bpi. L'information tapée est visible en clair à partir d'un tampon à tores ; les erreurs sont décelées et bloquent le clavier, ne pouvant être corrigées que par rebobinage et reffrappe.

506 - Saxpy Computer

Le Saxpy 1M de la société Saxpy Computer, probablement minuscule sinon constituée autour d'un seul bricoleur, est un système parallèle systolique, c'est-à-dire constitué par une cascade de processeurs identiques chaînés, exécutant à chaque CP une tâche partielle contribuant à l'édification d'un résultat d'ensemble. Celui-ci comprend 32 processeurs propriétaires se partageant une mémoire qui peut comprendre jusqu'à 512 KB. Le tout se vend 2 M\$, ou plutôt ne se vend pas, car ce produit n'a pas émergé.

507 - SC 18 de Scenix

Ce microcontrôleur 8 bits qui ne semble pas avoir dépassé son effet d'annonce travaille à 100 MHz, ce qui est beaucoup pour l'époque et très rare dans son domaine ; il semble destiné à des tâches plus couramment confiées à des DSP, nettement plus coûteux. Il est réalisé en géométrie 0,5 μ .

L'organisation très simple relie à un bus unique une entrée et la sortie de l'ALU, six registres et trois ports d'entrées / sorties; les registres sont un accu W, le PC, des registres d'état, d'option et de mode, et un FSR qui alimente une mémoire de travail de 136 bytes sur SRAM. Le pipeline à 4 étages prend ses instructions dans une mémoire de programme de 2K * 12 bits en flash, accessible par deux bornes externes; la plupart de ces instructions s'exécutent en un CP.

Les services périphériques comprennent une horloge temps réel, un chien de garde, un timer / comparateur, un prédiviseur 8 bits, un détecteur de front d'impulsion, MIWU et POR, et une interruption signalant l'instant de ces diverses mesures avec un temps de réponse exceptionnellement bref de 30 ns.

Le SC 18 est capable d'effectuer un filtrage numérique en 10 à 30 μ s selon réponse impulsionnelle désirée.

La présentation se fait en boîtier PDIP de 18 ou 28 broches.

508 - Scientific Control Corporation

Cette petite société apparaît en 1965 avec le SCC 650, un calculateur 12 bits qui vise à arracher quelques clients au PDP 8 de DEC. La mémoire à tores à cycle de 10 μ s n'ayant attiré aucun intérêt, SCC la remplace par une mémoire à cycle de 2 μ s, et obtient quelques résultats. Voir fiche.

En même temps que ce produit minimal, le 660 est un 24 bits, utilisant une mémoire 4 KB, et SCC va rechercher le centre d'intérêt de ses clients en proposant trois mémoires : le 660.2 à cycle de 2 μ s est proposé pour \$ 28000, avec la particularité d'englober le répertoire du SDS 910, une machine à succès du moment. Multiplication et division sont obtenues par logiciel, 62 μ s pour la multiplication.

le 660.5 à cycle de 5 μ s est vendu \$ 24600 avec une addition en 10 μ s, une multiplication programmée en 155 μ s, index, indirection, interruption prioritaire. C'est lui qui sera produit en série, ce qui indique qu'il était perçu par la clientèle comme le bas de gamme.

le 660 à cycle de 1,75 μ s a la préférence de SMS, mais les clients l'ont trouvé déséquilibré, trop pauvre en mémoire et logiciel pour ses performances. Répertoire de 59 opérations dont 8 opérations symbolisées, addition 3,5 μ s, multiplication câblée 14 μ s, division câblée 15,75 μ s. Prix \$ 49000.

Le 670 annoncé simultanément a lui aussi cherché son équilibre, avec la conclusion inverse. Le modèle produit en série est celui qui a le cycle de 1,75 μ s, avec un répertoire de 71 opérations dont le groupe central est identique à celui du 660. Les développements sont surtout dans les entrées/sorties.

La mémoire à tores est 4 à 32 KB. Chaque paire de modules 4 KB est reliée à 4 bus pour CPU, 2 IO buffers et une liaison directe ; le CPU dispose de 64 niveaux de priorité entre les interruptions, des opérations PIN et POT pour agir sur le monde extérieur. Prix \$ 64000.

Périphériques : 3 canaux pour LC 800 / PC 300 (IBM), LR 300 / PR 50, IP 300 ou 1000. Les autres 670, bien que dotés de la même logique câblée, auront peu de succès parce que la mémoire ne tire pas parti d'un CPU plutôt rapide : add 4 μ s, mpy 12 μ s pour le 670.2 à mémoire 2 μ s, prix \$ 35000, et add 10 μ s, mpy 30 μ s pour le 670.5 à mémoire 5 μ s, prix \$ 29000.

Le 655 de 1966 garde le même bloc central et la mémoire de 1,75 μ s du 660, mais appauvrit le répertoire à 38 opérations pour baisser le prix à \$ 27400, puis à \$ 15900 au début de 1968. Les améliorations techniques comportent la protection de mémoire, l'indirection indéfinie, une interruption pour coupure de courant, un compilateur Fortran, mais surtout une plus grande richesse de périphériques : LR 300, PR 50 ou 120, télétypes ASR 33 et 35, décodeur de tension 6 voies, codeur de tension 8 voies, IP 600 ou 1000, LC 1000, PC 100, plotteurs, écrans, bandes magnétiques, disque magnétique de 3 Mbits, machine à écrire IBM Selectric, etc...

Ces périphériques sont gérés par trois canaux : un canal parallèle d'accès direct supportant 64 périphériques ; un sélecteur 8 bits pour 8 périphériques ; un DMA acceptant 64 périphériques.

Un 680 sera également proposé en 1966, avec une mémoire de 1,4 μ s, addition 2,8 μ s, multiplication 8,4 μ s, CPU en circuits intégrés SSI. Probablement jugé trop peu différent du 670 pour justifier un changement, il ne sera pas suivi.

Le 6700 de 1967 est un 670 repensé pour fonctionner prioritairement en temps partagé, en utilisant le logiciel Berkeley, payé par l' ARPA mais tombé dans le domaine public. Les améliorations comprennent :

- une mémoire 1,75 μ s de 4 à 18 KB, divisés en deux modules dont les cycles se recouvrent. Protection en lecture, écriture et exécution, séparément. Pagination par 256 ou 2048 bytes.
- possibilité de multiprocessing, par exemple deux 6700 plus un 660.2 pour les entrées / sorties.
- possibilité d'adressage du byte et du bit.
- options d'une petite mémoire très rapide à 125 ns, et /ou d'une mémoire principale à cycle de 1 μ s.

Tambour magnétique de 2 Mmots, Disque magnétique de 1,6 milliard de mots.
un peu plus tard, nouveau Tambour magnétique de 5 Mmots, 2,25 Mmots/s - et nouveau Disque magnétique de 168 Mmots, 275000 mots / s.

On dispose dans la fiche d'une analyse détaillée du répertoire
Le logiciel comprend, outre le BASIC interprétatif et le Fortran habituel, divers produits de Berkeley comme LISP, SNOBOL, et HELP, un système de questions / réponses.
Prix de 200 à 800 K\$.

Le 2700 de 1968 est une nouvelle machine, réalisée en circuits intégrés SSI, microprogrammée pour garder la compatibilité avec le répertoire précédent de 78 opérations, agrémenté d'extensions optionnelles sur WCS. Il existe une virgule flottante. Le processeur tient en 12 grandes cartes.

La mémoire 4 à 64 KB utilise des tores magnétiques à organisation 2 ½ D, asynchrone, cycle 880 ns, avec des options parité, mapping et protection.

Les entrées / sorties disposent d'un système d'interruptions vectorisées, hiérarchisées, et imbriquables. Parmi elles, la coupure de courant intervient pour toute coupure de plus de 20 ms, laissant 15 ms au CPU pour sauvegarder l'essentiel. Il peut exister 32 périphériques, chacun disposant de deux canaux In et Out, avec ou sans tampon.

La machine, de taille modeste, se présente comme un cube sur roulettes, surmonté d'une petite console amovible pour l'exploitation.

Le 4700 de 1969 reprend le même matériel avec de plus grandes possibilités, et n'envisage plus la mobilité. Il y a de nouvelles opérations, de nouveaux logiciels, des canaux dans le style IBM, un grand choix de périphériques. Voir fiche.

Le 5700, annoncé l'année suivante, n'en diffère que par l'apparition de disques amovibles Burroughs de 16 MB, accès moyen en 17 ms, débit 300 KB/s, et la possibilité de gérer des terminaux lourds DCT 132. En outre, un compilateur Cobol lui permet d'aborder la gestion.

La disparition de SCC qui intervient avant 1970, est presque certainement due à une absorption. Il est certain que SCC faisait largement double emploi avec SDS par exemple.

509 - Scientific Data System

Max Palewski, quittant en 1962 la firme Packard Bell où son esprit inventif avait fait merveille, était avant tout un architecte de machines mais comme tout américain, il voulait aussi faire des affaires et décida donc de créer sa propre société. Il était encore possible de faire de l'informatique à petits frais, particulièrement si l'on évitait d'attaquer IBM de front dans son domaine favori, la gestion.

Palewski choisit donc de se cantonner dans le domaine du temps réel plutôt scientifique, qui pouvait compter sur quelques clients sérieux du côté des applications militaires. Et c'est avec de très pauvres moyens - dans son garage, dit la tradition - qu'il créa en 1962 la société Scientific Data System et son premier ordinateur, le SDS 910. Il en était le principal actionnaire et réussit à le rester, ce qui devait faire sa fortune, la valeur du titre augmentant très rapidement avec le succès de la firme.

En octobre 62, il put annoncer ses deux premières machines, bon marché parce que très simples - le bloc de calcul est série - mais néanmoins rapides à cause de la fréquence de travail élevée (3,3 MHz). On notera qu'avec un mot de 24 bits il ne s'agit pas de minis, mais de machines temps réel sans concession, capables de maintenir une précision sur les résultats cohérente avec la qualité des mesures les plus raffinées.

Le succès fut immédiat, notamment là où l'argent était le plus accessible, à la NASA aux prises avec la course à la lune. Les 910 et 920 trouvèrent leur place dans les bancs d'essais de fusées, comme contrôleurs d'appareils complexes ou de séquences de lancement : 170 SDS 910 et 110 SDS 920 furent vendues aux USA, et la renommée de la société atteignit l'Europe, où la française CGE prit le petit risque de créer la CECIS, une filiale chargée de commercialiser les nouvelles venues.

En 1964, SDS annonce, après une période d'intense activité créatrice, la 9300, une machine 24 bits pour le calcul scientifique et le temps réel, fonctionnant en série parallèle par tranches de 3 bits, et à 5 MHz. Présentée abusivement comme plus puissante que la 7090 avec laquelle, d'ailleurs, elle n'est pas en compétition, elle n'aura qu'un succès commercial très moyen (35 ventes) mais elle contribuera à l'auréole de SDS en étant perçue comme une grosse machine alors qu'il s'agit au mieux d'une machine moyenne. En France où SDS est très appréciée, la CII née du plan calcul prendra une licence de fabrication de la 9300 dont la production, sous le nom de 90/40, se prolongera jusqu'en 1971.

SDS essaiera de profiter de l'engouement de certains laboratoires pour introduire peu après le DES 1, qui est un analyseur différentiel numérique combinant un 9300 et une console d'affichage de type analogique avec un logiciel spécifique rappelant CSSL. Ce sera un échec commercial.

Le 930 sort six mois après le 9300 : il utilise la technologie et la logique du 9300 tout en restant compatible avec les 910 et 920, et se présente comme un calculateur scientifique, bien qu'il contienne des dispositions caractéristiques du temps réel, comme l'armement/désarmement des interruptions. Lui aussi sera construit en France sous licence par la CII, qui lui apportera un compilateur Algol 60, auquel les américains n'auraient certes pas pensé. Succès satisfaisant, 100 machines vendues.

Fin 1964, retour au temps réel avec le SDS 92, qui est un mini 12 bits construit en circuits intégrés SSI, ce qui permet d'en réduire la taille et d'abaisser le prix. Il n'aura

pas un bien grand succès, se trouvant en concurrence avec les PDP-8 de DEC, qui jouissaient d'un logiciel bien plus développé.

La construction en France, sous le nom de CAE 90 / 10, ne créera aucun marché (moins de 10 ventes).

Simultanément, la SDS 925 est annoncée comme successeur totalement compatible de la 910, plus rapide sans amélioration logique par le simple fait de la technologie empruntée au 9300. Elle est surtout bien mieux dotée en entrées / sorties, avec un système de canaux semblable à celui du 930. Elle ne trouvera qu'un modeste marché de renouvellement.

En résumé, observé après coup, le succès de SDS est honorable sans plus, et remarquable surtout par son économie de moyens. Des performances compétitives ont été obtenues avec des architectures série ou au mieux série/parallèles, et donc des prix de revient laissant de confortables marges à l'astucieux créateur.

Vu de France, ce succès doit beaucoup à un choix politique qui a créé artificiellement une opposition SDS / IBM, dépourvue de sens mais utile au démarrage de la CII ; les machines SDS ainsi soutenues ont été achetées principalement par les administrations. SDS est maintenant en mesure d'aborder une véritable deuxième génération, caractérisée par une architecture parallèle et une technologie à circuits intégrés, DTL en l'occurrence. Pour meubler une assez longue période de silence correspondant à ces études, SDS annonce en avril 66 la 940, un système de temps partagé construit autour du 930 avec l'appui de l'Université de Berkeley et les crédits de l' ARPA.

Ce sera un franc succès, avec des débouchés commerciaux à travers Tymshare aux USA et Télésystème en France. Estimant que le nombre important de terminaux, 32, était un handicap pour les applications en entreprise ou dans les universités, SDS propose en 1968 une version réduite, optimisée pour 25 utilisateurs et moins chère en conséquence, la 945 ; elle n'aura pas de succès, ce qui confirme que les considérations économiques n'étaient pas encore, à l'époque, le seul moteur des investissements informatiques.

Le langage CAL, proposé par Comshare, est un compilateur incrémental inspiré par JOSS ; sa compilation génère un langage interprétatif ad hoc, proche de l'optimum.

La nouvelle famille, baptisée Sigma, est annoncée en décembre 1966 et obtient un grand succès, imputable à une architecture riche et à un rapport performances / prix bien amélioré, mais aussi à l'acceptation du format 32 / 16 bits que le succès d' IBM a rendu incontournable :

la Sigma 7 est le modèle phare, avec un répertoire couvrant tous les types de besoin, et adoptant les formats flottant et décimal d' IBM, tandis que des entrées / sorties très enrichies disposent de facilités comparables à celles d' IBM. Cependant, il n'y a aucun effort de compatibilité, ni pour le répertoire ni pour les périphériques, et d'ailleurs la Sigma 7 n'est pas du tout une machine de gestion, même si elle propose un compilateur COBOL.

la Sigma 2 à mot de 16 bits est conçue comme satellite de la précédente, dont elle peut partager un module de mémoire physique. Cependant, le nombre de ventes suggère qu'une partie des machines a été achetée directement comme ordinateur scientifique, ce que permet un compilateur Fortran IV.

La CII, ayant du mal à lancer la famille d'ordinateurs du Plan Calcul, a poursuivi l'exploitation de sa licence SDS, héritée de la CECIS à travers la CAE, et construit ces deux machines sous les noms de 10070 et de 10020, avec d'autant plus de succès que la Délégation à l'Informatique exerçait de fortes pressions sur les administrations. Voir en section France les sérieuses conséquences de ce choix.

Annexe

Sept mois plus tard, la Sigma 5 est destinée au temps réel, et à cet effet abandonne de nombreuses dispositions de la Sigma 7 qui n'étaient justifiées que par son fonctionnement en centre de calcul à vocation universelle : en particulier, la mémoire virtuelle. La Sigma 5 fonctionne en adresses absolues et utilise le moniteur BPM de temps réel.

Ignorée en France où elle aurait fâcheusement fait concurrence à d'autres produits CII, la Sigma 5 a obtenu un très grand succès aux USA.

C'est donc dans une ambiance de réussite que Max Palewski abandonne SDS en 1968, fortune faite, pour se retirer, ce qui tranche fortement avec les habitudes américaines. Il laisse une entreprise désemparée, car il est toujours actionnaire majoritaire et doit vendre ses actions à la nouvelle direction, quelle qu'elle soit, et elles représentent désormais trop d'argent pour un acquéreur individuel.

C'est finalement Xerox, l'entreprise de photocopieuses qui arrive à l'échéance de sa licence Horizon, Inc. avec une énorme trésorerie, qui achète SDS pour en faire une filiale Xerox Data System. L'erreur est que les nouveaux dirigeants de XDS ne sont pas du tout orientés temps réel, mais plutôt gestion : ce sera un triste échec, terminé en 1976 par la vente des restes de XDS à Honeywell Information Systems. Voir Xerox.

XDS avait acheté en même temps la clientèle, les usines et le nom de SDS. Ce nom était sans emploi compte tenu des objectifs nouveaux de XDS, et le resta pendant dix ans. Au moment de se débarrasser de son encombrante acquisition, XDS vendit le nom, dont HIS ne voulait pas, à un ancien de SDS qui créa une nouvelle, et très modeste compagnie.

Le SDS 420, annoncé en 1979 par cette société, est un microsystème de gestion sur table, construit autour du microprocesseur 6502 de Rockwell, avec 32 à 56 KB de mémoire DRAM, deux lecteurs de disquettes totalisant 2,5 MB, et un écran 12 » avec clavier séparable. Poids 29 Kg.

Cette courageuse tentative n'aura aucune suite.

510 - Le Mercury 3 de SCI System

La société SCI System existe dans l'état d'Alabama depuis 1975, et y réalise un chiffre d'affaires de 28 M\$ (1976) dans le domaine de l'électronique, sans autre précision, lorsqu'elle prend la décision d'essayer l'informatique. Son choix se porte, comme pour d'autres avant elle, sur le NOVA de Data General, qu'il s'agit de paraphraser à moindre frais que l'original, si possible.

L'idée consiste à commercialiser le produit en OEM, de manière à réduire les frais, tout en utilisant contre paiement le logiciel des créateurs, qui est un important argument de vente et que DG n'a pas le droit de refuser (juridiction fixée lors d'un procès contre IBM). Le Mercury 3 est annoncé en 1978.

La copie est donc construite en TTLS, avec trois modules simultanés pour la mémoire (128 KB maximum), le CPU et les entrées / sorties. Le prix est \$ 5000 avec 64 KB de mémoire.

Il faut croire que la copie est un art difficile, car on n'entendra plus parler de SCI System ni de son calculateur Mercury 3.

511 - System 70 de Search Computer System

Une tentative de plus de commercialiser un mini de gestion, construit cette fois autour du PDP 8, solution économique mais un peu courte en logiciel.

Malgré son nom ronflant, la société n'est guère qu'un assembleur, groupant des bandes magnétiques 20 KB/s, un disque de 4,8 MB débitant 60 KB/s, un lecteur de cassettes, LC 300, IP 60 ou 200, ME 30, écran, et même un lecteur optique. Le logiciel comprend un DOS sommaire tenant dans 4 Kmots, un assembleur, un Basic, un tri et quelques applications.

Le prix de vente est \$ 40000, plus \$ 155 / mois pour l'entretien. La société peut aussi louer, au prix de \$ 880 / mois pour une machine 8 Kmots, avec 4 bandes.

512 - La gestion transactionnelle de Sequent Computer

La société Sequent Computer apparaît en 1984 pour commercialiser un système de gestion transactionnelle multiprocesseur, basé sur le microprocesseur 32 bits de National Semiconductors. Nous n'avons pas trouvé de commentaire sur l'origine de cette société, mais on peut douter que les banques aient accepté de financer une start up sur des produits de ce type sans de solides garanties. Aussi doit on penser que Sequent compte parmi ses actionnaires National Semiconductors et peut-être Hitachi, son ancien partenaire dans NAS.

Le premier produit de Sequent est baptisé Balance 8000 et rassemble de 2 à 12 microprocesseurs NS 32000, chacun accompagné d'un coprocesseur VF et d'un cache 8 KB, autour d'une mémoire qui peut atteindre 28 MB. La périphérie comprend des disques de 57 ou 378 MB, des bandes de sauvegarde de 1 / 2 ou 1 / 4 », 45 ou 60 MB, 1 à 4 Multibus, 1 à 4 interfaces Ethernet, et jusqu'à 48 lignes série qui sont la justification du système.

Le logiciel de l'époque est DOS ou Unix, ce dernier indispensable dès que le système comporte plusieurs usagers. Une alliance est organisée avec la société Verdix Corporation, de Chantilly, Va, qui vend un système de développement pour ADA. On constate, par conséquent, que la finalité scientifique est encore, à cette époque, dominante dans les systèmes, qui recherchent la puissance par l'association de multiples processeurs. Prix \$ 41500 pour deux CPU.

Une extension nommée Balance 21000 sera proposée en 1986, pouvant grouper 30 microprocesseurs pour obtenir jusqu'à 21 Mips au profit de nombreux usagers : jusqu'à 64 sémaphores sont disponibles dans le logiciel pour assurer l'indépendance des divers usagers.

Prix : de K\$ 139 pour 4 CPU à K\$ 500 pour 30 processeurs.

On ne sait si l'opération a été bénéficiaire, mais Sequent subsiste et on le retrouve en 1991, vendant un multiprocesseur à base de puces Intel 25 MHz, jusqu'à 30 reliés par un bus spécialisé, le tout fonctionnant sous Dynix, une variante de Unix désormais conforme au standard XPG/3 de l'X/Open, à la norme P1003.1 de Posix et au SVID version 2 de l'ATT.

On voit donc que la finalité se maintient, même si le choix du processeur s'est aligné sur le marché. Le nom aussi a changé, mais de peu : Symmetry remplace Balance.

En 1991, il s'agit de 486 à 25 MHz, et la gamme s'étend de 2 à 30 CPU pour pouvoir supporter de 20 à 1000 utilisateurs. Le logiciel PTX/Transaction, extension du Tuxedo d'USL, assurera dès l'été la gestion transactionnelle de ces grappes impressionnantes., un 2000/700 coûtant de 1,4 à 18 MFF.

En bas de gamme, le 2000/40 à 200 KFF supporte 25 à 30 utilisateurs avec 64 MB de mémoire et 2,5 GB de disques. Un modèle 200 vaut de 450 à 850 KFF, un 400 de 700 à 2000 KFF.

En 1992, le Symmetry 2000 se présente en trois nouveaux modèles, à base de 486 à 50 MHz, le 250 à 6 CPU, le 450 à 10 CPU, le 750 à 30 CPU. La mémoire peut s'élever à 320 MB pour un 250, à 960 MB pour un 750, et les disques, supportés par un SCSI2 à 4 canaux de 290 MB/s chacun, offrent des capacités individuelles de 331 à 1354 MB. Le réseau fédère, sous Netware de Novell, des Ethernet, des Token Ring à 4 ou 16 Mbit/s, des FDDI, avec protocoles répartis.

Les logiciels proposés comprennent, outre PTX/T :

PTX/Backup pour la sauvegarde sur bandes 3480 ou streamer 8 mm,

PTX/Volume Manager pour gérer des disques miroirs ou distribuer un fichier entre plusieurs disques,

Ainsi, l'application principale n'est plus scientifique, mais résolument transactionnelle.

En 1993, tous les modèles sont à base de Pentium et la nomenclature 290/490/790 est par comparaison tout à fait explicite. Il y a même un 990, qui est un cluster de 490.

Le plus petit cluster, à deux fois deux CPU, avec 256 MB, coûte 4,7 MFF.

Les logiciels existent pour manipuler l'ensemble de ces processeurs comme un système unique. Cette année-là, Sequent introduit Winserver, qui est basé sur Windows NT, offrant ainsi une alternative à Unix.

En 1996, la clusterization est devenue fréquente, du fait de la croissance incessante de la demande. Sequent y répond par un logiciel SDI, Scalable Data Interconnect, qui permet d'éclater une requête entre plusieurs noeuds de l'architecture et des disques distribués. La base de données capable de supporter de tels systèmes répartis est Oracle, avec son Internode Parallel Query qui travaille dans le cache partageable de la BD. En avril 96, SDI n'atteint sa performance maximale qu'avec Oracle : le plus puissant système de Sequent, cluster de quatre ensembles 790 à 30 processeurs, serait selon le constructeur capable de traiter une requête sous Oracle sur 600 millions d'enregistrements en 10 minutes.

La suite, qui apparaît en fin 96, s'appelle NUMA. Pour atteindre le niveau de puissance des processeurs parallèles (les concurrents sont Teradata et IBM SP2) sans perdre les avantages de la mémoire partagée, NUMA, Non Uniform Memory Access, trie les accès à la mémoire partagée entre invocations locales et consultations dirigées vers la mémoire

d'un autre élément du cluster : ces dernières passent à travers un bus très rapide, IQ-Link, capable de 32 GB/s.

Ainsi, pour autant qu'on puisse en juger, Sequent est resté actif au moins jusqu'à la limite conventionnelle que nous nous sommes fixés, 2000, et on ne peut en dire autant de la concurrence, puisque DEC n'est plus qu'une filiale de Compaq et disparaît avec elle en 2001 au sein de Hewlett Packard.

513 - Les systèmes à tolérance de pannes de Sequoia

Sequoia Systems apparaît vers 1984 en proposant des systèmes à tolérance de panne construits autour de paires de microprocesseurs MC 68010 de Motorola, fonctionnant à 10 MHz, qui comparent leurs résultats. Chaque paire formant CPU dispose d'un cache de 128 KB, et on peut théoriquement installer 64 de ces CPU sur le bus 80 MB/s.

La mémoire est réalisée en modules de 2 MB avec ECC . Maximum 128 modules, avec 1287 clés de contrôle réunies dans une mémoire annexe.

L'IOC est constitué par une paire de 68000 à 10 MHz et dispose d'un cache de 512 KB et de 4 tampons de 4 KB chacun, formant tête de canal. Maximum 96 IOC.

Le système d'exploitation comporte un noyau propriétaire gérant une queue de jobs, mais il est englobé dans un Unix. Il travaille avec la base de données relationnelle Ingres, de Relational Technology, Inc. Berkeley.

Prix de vente plus réaliste : \$ 290000 pour deux CPU, 4 MB de mémoire, 2 IOC, représentant une puissance estimée de 2,5 Mips (16 / 32 bits).

Cinq ans plus tard, la série 400 garde à peu près la même philosophie avec des CPU formés de deux 68040 à 25 MHz se surveillant mutuellement (maxi 32 CPU), deux étages de cache dont un cache L2 de 1 MB en 4 lignes, et un maximum de 4 GB de mémoire. Les interférences sont contrôlées par 1024 verrous de Test & Set en mémoire, adressables, pour lesquels les CPU sont en compétition.

Le logiciel comprend C, COBOL, Pascal, Fortran, et deux utilitaires, DBX interaction debug, et DWB documenter workbench. La base de données relationnelle, justification du système, est désormais Oracle, et supporte 500 tps (transactions par seconde).

514 - Les disques de Shugart Associates

Lorsque IBM ayant achevé la mise au point de son disque souple l'introduit dans le commerce sous la forme initiale du 3740 de saisie, Shugart Associates s'installe à Sunnyvale, Cal. pour produire en série une disquette compatible, le modèle SA 900. Les caractéristiques sont donc une capacité non formatée de 3,1 Mbits organisée en 77 pistes non sectorisées, enregistrées à 3200 bpi, 48 tpi, une rotation de 360 t/min. Le tourne-disque positionne la tête par moteur à impulsions et vis, avec une rotation de 15° pour un déplacement d'une piste qui dure 16 ms, l'index d'origine de la piste est repéré par LED. Le débit est 248 Kbit/s, et le prix s'établit à \$ 750. Plein succès.

Avec l'idée qu'il existe une clientèle de très petites machines de gestion qui souffriraient d'un tel prix, Shugart qui a réussi à s'imposer sur ce marché de compatibles lance le Minifloppy de 5,25 », 2581 bpi, 48 tpi, une capacité de seulement 109400 bytes brut, soit 89,6 KB après formatage en 35 pistes de 128 ou 256 bytes par secteur. Le tourne-disque, qui ne coûte que \$ 390 à la pièce, \$ 250 en masse, mesure 83 * 146 * 203 mm, et débite 125 Kbit/s, mu par un moteur à impulsions et une came spirale.

Shugart vend également, pour \$ 490, un contrôleur Ministreaker occupant une carte 178 * 279 mm et contenant un tampon de 128 bytes. Il consomme 15 watts en service, 7,5 watts en attente.. Il peut gérer 4 tourne-disques au format IBM 3740.

En 10 / 77, modernisation de ce modèle propriétaire par un double face / double densité, soit 437500 bytes brut ou 320 KB formattés, à raison toujours de 35 pistes par face, délai piste à piste = 25 ms, accès moyen 440 ms : c'est le SA 450, et il y aura aussi un simple face SA 400. Le prix du SA 450 est \$ 450 pièce, ou \$ 290 par lot d'au moins 500. Mécanique inchangée, tête en ferrite céramique, protection en écriture. Etat des ventes : environ 5000 exemplaires livrés dans l'année 1979.

Pour soutenir sa croissance, Shugart aborde en 1978 le domaine plus difficile du disque dur avec le modèle SA 4000 qui utilise la technologie Winchester d' IBM. Comme pour le minifloppy, Shugart prend le risque de créer un marché, car il s'agit d'un disque de 14 inches, trop encombrant pour entrer dans une machine de table, exigeant au minimum un rack.

Voir document pour les modèles de base 4004 et 4008, respectivement 1 et 2 disques. Il y aura un peu plus tard un 4100 de 58 MB, avec en option 144 KB de têtes fixes. Shugart propose également un contrôleur à base de microprocesseur, capable de 4 SA 4000 et 4 floppies. Prix : \$ 2550 pour un 4004, 3500 pour un 4008. Ils baisseront très vite à \$ 1450 en lots de 100.

En 1980, Shugart renouvelle son tourne-disquette de 8 » avec le SA 800 Headstrong, commercialisé en deux versions simple face 801, ou double face 851, et deux capacités (400 / 800 KB ou 800 / 1600 KB selon la densité d'enregistrement). Ce modèle qui utilise les mêmes disquettes que le SA 104 est capable d'un piste à piste en 3 ms, et dispose d'une protection en écriture et d'un verrou de porte programmable. La tête supporte 15000 heures de fonctionnement.

Résultat : plus de 500000 exemplaires vendus en fin 80.

A cette époque, le PC n'existe pas encore, mais on commence à ressentir l'utilité d'une normalisation des formats de tourne-disques. Shugart décide de produire un disque dur dont le format sera exactement celui du lecteur de floppy ; ce sera le SA 1000, malheureusement de capacité un peu faible, 5,3 ou 10,7 MB selon qu'il comprend un ou deux disques. Le prix est inférieur à \$ 1000.

Cette belle expansion s'arrête en 1980, car Xerox achète Shugart et la marque ; cependant Alan Shugart, le fondateur, refuse de suivre et crée immédiatement une nouvelle entreprise, Seagate, qui prend efficacement la relève. Voir la suite de cette aventure aux rubriques 609 Xerox et 630 Seagate.

515 - Le coeur SR1 de Sandcraft

Sans qu'on puisse encore lui prédire un avenir, le coeur SR1 de Sandcraft est impressionnant par sa puissance, caractéristique des possibilités du silicium en 2000, quand nous abandonnons cette étude.

Il s'agit d'un coeur, c'est-à-dire d'un schéma logique décrivant un objet paramétrable qui peut être transporté sur silicium par tout licencié. Bien qu'on ne connaisse aucun acheteur, l'expérience a été faite, car Sandcraft indique une taille de 16 mm² avec cache

32 KB et FPU, et une consommation de 1 Watt à 400 MHz sous 1,8 Volt. La performance de 800 Mips Dhrystone ou 800 MFlops n'est peut-être qu'estimée. L'architecture de cette puce est un superscalaire classique, avec les caractéristiques suivantes :

BIU 64 bits 133 MHz, compatible MIPS R5000, avec tampon et JTAG.

deux antémémoires, instructions et données, configurables pour un total de 8 à 64 KB.
tampon d'anticipation formant court pipeline à 2 étages, interprétant le jeu d'instructions MIPS R5000.

mémoire de travail comprenant 32 registres de 64 bits.

un opérateur MAC, deux opérateurs entiers, deux unités de chargement stockage exploitant le cache D, unité de branchement avec BHT de deux fois 1,5 KB.

bus interne 64 bits baptisé MediaLink assurant, à travers deux tampons, les liaisons instructions et données des coprocesseurs, dont le nombre peut atteindre 8 : ont été définis un FPU, un DSP, et un SIMD pour besoins multimédia, chacun avec ses propres 32 registres de 64 bits.

516 - Les microprocesseurs de Signetics

La société Signetics démarre sa carrière vers 1974, date des premiers circuits intégrés. Il s'agit de créer un produit, avec l'espoir d'introduire une norme. Signetics s'y lance un peu tard, essayant de rattraper ce handicap en abordant d'emblée le 8 bits avec le 2650, baptisé PIP. Le produit n'est pas mauvais, sans avoir la notoriété du 8080 ou du 6800, et la société hollandaise Philips, qui souhaite entrer aux USA, décide de l'acheter, à travers sa filiale Philips Components. Le produit sera fabriqué en Europe par Radiotechnique, autre filiale. Voir fiche.

Le modeste succès du PIP et la protection d'un groupe puissant donnent à Signetics une assiette qu'il n'avait pas, et lui permettent de prendre une place sur le marché américain, en devenant seconde source pour des produits à succès, AMD 2901 et Intel 3000, dans la ligne particulière des processeurs en tranches (bit slice). Signetics s'y essaye d'ailleurs soi-même avec un 8X02, qui est un séquenceur, adaptable à des microprocesseurs d'autres marques, qui seraient attirés par sa vitesse, et pourraient la suivre.

Ce 8X02 se veut en effet le plus rapide du marché, acceptant un cycle de 44 ns pour émettre une adresse 10 bits du microprogramme interne, soit deux fois mieux que l'AMD ; mais il est très simple, avec un répertoire de 8 codes seulement, un incrémenteur +1 et +2, une pile de 4 adresses précédée d'un multiplexeur qui permet d'empiler une adresse avant ou après avancement. Voir dossier.

En 1978, Signetics se lance à nouveau dans une tentative de création de standard, avec le microprocesseur 8X300 en technologie bipolaire. Il semble que cette puce de 4 mm², qui contient des parties en logique TTLS, d'autres en I2L, et même certaines parties analogiques, soit d'origine Philips : elle est estimée 4 Mops (8 bits).

A défaut d'édifier une famille de microprocesseurs majeurs, ce que justifierait sa vitesse, le 8X300 sera à l'origine d'un microcontrôleur en 9 puces, dont on peut identifier divers constituants:

8X330 est un contrôleur de floppy, deux fois plus performant que la double densité définie à cette époque. Il est capable de 8 μ s par byte. On y trouve 16 bytes

de registres, un modulateur d'écriture, et un dispositif CRC capable de corriger les erreurs jusqu'à 11 bits consécutifs.

8X350 est une RAM de 256 * 8 équipée en tampon de secteur pour le contrôleur précédent, vendue \$ 50

par lots de 100, en boîtiers DIL 40 broches alimenté en 5 V.

8X320 est une interface d'entrée / sortie, comportant une RAM à double accès bidirectionnel 3 états, commandée par 2 registres 8 bits de protocole handshake; il y a aussi un DMA, et une protection

en écriture; ce circuit peut convenir pour des micros comme 8086 ou LSI 11.

Prix 56,9 \$ en lots de 100.

8X310 est un contrôleur d'interruptions, offrant une hiérarchie de 3 niveaux dont trois masquables avec

une pile LIFO et une alarme de queue pleine. Délai 400 ns = 2 CP. Présentation DIL 40, 5 Volts.

8X374 est un IO port 8 bits bidirectionnel, avec contrôle de parité, présenté en DIL 28, 5 Volts.

8X371, 372, 376, sont des portes parallèles analogues, plus anciennes, sans parité.

8X382 est semblable, mais organisé en deux fois 4 bits.

C'est en 1986 qu'AMD deviendra licencié du 8X305, nouvelle version en CMOS 200 ns du processeur de base, ce qui souligne le changement d'objectif, contrôleur plutôt que microprocesseur.

Dans les années 1980, Signetics toujours à la recherche d'alliances devient membre actif de l'association VME Bus, et participe à une évolution adjoignant un bus de service série, le VMS Bus, au schéma principal centré sur un bus parallèle 8 / 16 bits de données et 16 / 24 bits d'adresse ; Signetics poussera aussi à la définition d'une extension à 32 bits de ces deux voies.

On ne s'étonnera pas, alors, de voir en 1985 Signetics définir son propre contrôleur de la famille 68000, le 68070 réalisé en CMOS 2 μ , avec bus 16 bits et adressage 16 MB. Cette version contient un processeur 68000, un MMU, un DMA, un UART, 3 timers, et peut être complété par un 68905, contrôleur de cache.

Ce composant, préluce non compatible au 68010, est commercialisé mi 86 à \$ 100, et son prix tombera à \$ 25 en fin d'année. On le trouve aussi chez Thomson en France, et son origine est probablement européenne.

En 1991, on retrouve Signetics dans l'introduction de LIFE, un microprocesseur travaillant à 50 MHz et capable de 60 Mips VAX. Conçu en commun par Signetics et US2, filiale américaine de la société européenne ES2, ce circuit en CMOS 1,5 μ est un VLIW, avec des instructions de 200 bits commandant en parallèle six opérateurs reliés à une mémoire locale très rapide, et un pipeline de 3 étages. Ce vocabulaire légèrement trompeur couvre :

un jeu de 32 registres de 32 bits + P

deux ALU en fixe, 32 op 32 donnant des résultats 32 bits + P

une unité de branchement qui contient le CO.

une liaison directe à la mémoire, sur 21 bits, pour générer des constantes.

un BIU fonctionnant sur 32 bits + P de données et 28 bits d'adresse, pour les liaisons externes de la puce, y compris mémoire principale.

Cette tentative n'aura pas de succès : à cette époque, la position dominante de Intel, appuyée sur une immense production de PC, ne peut être contestée qu'avec une extrême prudence, par des microprocesseurs compatibles moins chers n'apportant que de timides innovations (AMD, Cyrix, IDT). Une alternative véritable n'est souhaitée par personne, et Motorola, bien plus puissant que Signetics, devra abandonner sa famille 680X0 et s'allier avec IBM et Apple pour percer avec les PowerPC, sans même égratigner le marché des PC malgré ce nom.

517 - Signal Processing Systems

Cette société se manifeste en 1973 en introduisant le SPS 41, un processeur de signaux conçu pour se connecter à l' IO Bus d'un ordinateur plus universel. Il comprend un IOP lié aux capteurs des signaux, et une arithmétique programmable, qui réalise par exemple une FFT de 1024 points en 8 ms.

Le prix est \$ 30000, et une version SPS 81 à \$ 50000 fait le même travail deux fois plus rapidement.

Cette formule ayant du mal à s'imposer, SPS la modernise en 1977 avec le SPS 61, qui est un processeur à part entière, communiquant par bus 32 bits 6 MHz, en liaison directe, avec la mémoire de n'importe quel ordinateur, sur interruption en 167 ns.

Cette machine est microprogrammée par l'utilisateur, sur une WCS à cycle de 167 ns par microinstruction, et c'est un choix bien imprudent. En option, on peut étendre la mémoire jusqu'à 128 K * 32 bits, ajouter une scratchpad, un multiplieur rapide, des accès analogiques A/D et D/A. Ainsi, le prix de base de \$ 34100 pour 16 Kmots de mémoire n'est-il guère significatif.

S'agissant d'un créneau étroit, il n'est pas étonnant qu'on n'en ait plus entendu parler, mais il est probable que la tentative a échoué.

518 - Les stations de travail de Silicon Graphics

Cette société se crée en Californie vers 1988 pour exploiter, dans un environnement porteur, les processeurs très performants de MIPS. Silicon Graphics estime que la compétition pour le PC n'est plus raisonnable dans un marché saturé, alors que le concept de station de travail, avec la visualisation couleur performante, constitue un créneau porteur autorisant la créativité, bien que là aussi il y ait beaucoup de monde, dont IBM. Parmi les actionnaires de la nouvelle société, on peut citer Control Data, qui voit une convergence d'intérêts entre les petites stations et ses puissantes machines; CDC prend 10% du capital.

C'est donc avec le R3000 que Silicon Graphics va équiper ses premières consoles, en proposant deux niveaux : les Personal Iris, avec un 4D/25 à 20 MHz, capable de 16 Mips en entier et 2 MFlops en flottant ; et les Power, avec un 4D/300. Le système d'exploitation est IRIX, une variante d' Unix.

Un peu plus tard, le R3000 ayant un problème de compatibilité entre ses deux modes de fonctionnement, SG proposera en fin 90 un nouvel Iris 4D/35, à base de R3000A

associé à une mémoire de 128 MB, autorisant 33 Mips et 6 MFlops, tout en sachant gérer dynamiquement les deux modes. Le prix est de l'ordre de 150000 FF.

Les stations graphiques sont, dans ce cadre, décorées de noms de couleurs, à commencer par Indigo, milieu de gamme disposant, en janvier 92, d'une carte graphique XS qui fournit 8 plans couleur de 1024 * 1024 pixel, et un générateur de 250000 vecteurs 3D par seconde, ainsi qu'une option Z Buffer. Prix 125000 FFHT. On peut faire mieux, avec une carte XS 24 à 24 plans, coût 252000 FFHT.

En haut de gamme, Crimson est basée sur un R4000 à 50 MHz (100 MHz interne), avec cache 2 niveaux assorti d'un bus 400 MB/s, mémoire 16 à 256 MB, disques pouvant monter à 3,6 GB en interne et à 100 GB en armoire externe, servis par deux interfaces SCSI 4 MB/s. Pour le reste des périphériques, il y a un Ethernet et un bus VME 28 MB/s. Prix de base 260000 FFHT, avec 16 MB de mémoire, un disque de 380 MB, et un écran couleur 19 ».

Cette année 1992, Silicon Graphics décide de monter en puissance : tout d'abord, elle établit un accord avec MIPS, qu'elle achète pour l'orienter et jouir d'une priorité sur ses produits, tout en respectant sa liberté de licencier ses microprocesseurs. Ensuite, elle décide de s'étendre dans deux directions :

vers le grand public en passant avec Nintendo un accord sur la fourniture d'un RISC 64 bits, le R4300i, que le japonais utilisera dans ses consoles de jeux.

vers les superordinateurs, en rachetant à Control Data la part qu'il possède dans son capital, et même un peu plus. SGI est donc désormais actionnaire de la partie « ordinateurs » de son ancien actionnaire ! Et, pour concrétiser ce tournant où CDC ne joue guère de rôle, SGI annonce les Power Challenge, groupements en parallèle de multiples MIPS.

Au début 1993, la double gamme SGI comprend donc :

1) les stations de travail monoprocesseur Indy, orientées graphique et même multimédia, où le processeur principal est renforcé de plusieurs ASIC spécialisés, avec deux bus de service 267 MB/s en plus du bus de base. Il y en a essentiellement deux modèles, avec 32 à 256 MB de mémoire en barrettes SIMM :

le PC utilisant un R4000 à 100 MHz avec cache, performances 36 SpecInt92 et 37 SpecFp92.

le SC ajoutant à cela un cache secondaire, pour obtenir 57 / 63 Spec92.

En matière de périphériques, la station peut disposer de multiples gadgets:

cartes graphiques sur 8 ou 24 bits, donnant par exemple 1,4 million de X/lignes par seconde.

connecteurs SCSI2 pour les disques

réseaux Ethernet et RNIS

connecteurs série RS 232C pour tous usages, ou RS 422 à 38,4 Kbit/s

accessoires multimédia, tels que vidéo PAL et NTSC, audio avec micro, etc...

Le logiciel est IRIX 5.1, un Unix SVR4 dont l'exploitation est complètement automatisée, du lancement à l'arrêt. Prix : 65000 FFHT pour un PC accompagné de 32 MB de mémoire, 340 MB de disque, une carte vidéo 8 bits et un écran 16 » ; 120000 FFHT pour un SC avec 535 MB de disques et une carte 24 bits, prix qui descendra à 95000 FFHT en janvier 1994.

2) des stations de travail à orientation scientifique, les Power Challenge L Deskside comprenant 2 à 8 processeurs, capables de délivrer jusqu'à 1,8 GFlops, à partir de 120 K\$. En France, une console avec 64 MB de mémoire et 2 GB de disques vaut 1,15 MFFHT.

3) des systèmes de calcul scientifique en rack, les Power Challenge XL, comprenant 2 à 18 CPU avec une puissance maximale de 5,4 GFlops, à partir de 170 K\$. Un XL 18 vaut en France 7,73 MFFHT.

Les Power Challenge utilisent le microprocesseur R8000 TFP (Total Floating Power), avec adressage virtuel 64 bits, mémoire jusqu'à 16 GB en entrelacement 8. Les périphériques disposent d'une interface mémoire 256 bits, 40 MHz, et acceptent jusqu'à 3,84 TB de disques. Les communications peuvent exploiter Hippi, FDDI, Ethernet, TokenRing, et des coaxiaux 3270.

Le logiciel IRIX 6 est un Unix SVR4.1 64 bits disposant d'alphabets non latins, d'objets partagés dynamiquement, de liens logiques complexes, et d'un compilateur optimiseur de boucles. Cet IRIX est cependant compatible, pour sa partie commune, avec l'IRIX 5 à 32 bits des Indy. Livraison à partir du début 1994.

Un an plus tard, la station Indy est passée au R4400 fonctionnant à 150 MHz, capable de 88,1 / 96,6 Spec92 et, côté graphique, 1,6 million de lignes 2D et 800000 vecteurs 3D par seconde. La capacité permise en mémoire varie de 64 MB à 6 GB, la capacité en disques de 2 GB à 1,6 TB, un moniteur couleurs 1280 * 1024 pixels est disponible, et on peut obtenir une camera vidéo Indycam pour 120 KF. Le prix de la station MC se situe entre 323 et 651 KFFHT. Le nouveau bas de gamme utilise un R4600PC de 62,5 / 50 Spec92. Pour 54500 FFHT, on peut y adjoindre 32 MB de mémoire, 630 MB de disques, un écran 16 », et le logiciel Indigo Magic.

Du côté des Power Challenge, on propose pour aller plus loin en puissance la création de grappes (clusters), jusqu'à 4 racks de 16 processeurs pouvant théoriquement être réunis sur un même problème.

En 1995, pressé par la demande de puissance, MIPS crée un processeur R10000 qui sera produit à 5,5 millions d'exemplaires, puis à 19,2 millions en 1996, qui prennent la succession du R8000. Mais ce R10000 n'est pas aussi puissant que SGI pouvait le souhaiter, et MIPS mettra en place, cette année-là, la production pour 1997 d'un R12000 à 300 MHz, réalisé en CMOS 0,25 μ , intégralement compatible broche à broche. La légère insuffisance du R10000 a suffi pour que SGI voie ses bas de gamme grignotés par les Alpha de DEC et les PA-RISC de HP, et à faire craindre que l'architecture MIPS atteigne ses limites.

En mars 96, considérable événement : SGI achète, pour M\$ 600, le constructeur Cray de supercalculateurs, qui ne pouvait plus trouver la trésorerie nécessaire à la poursuite de ses créations. Cette alliance s'exprimera, dès la fin de l'année, dans l'annonce des Origin

2000, des machines compatibles au niveau binaire avec les Power Challenge, offrant jusqu'à 128 processeurs R10000 (ou 12000).

D'autre part, les Indy cèdent la place à une nouvelle gamme O2, débutant à 40000 FF, construite autour d'un bus PCI 64 bits. Pas de détails.

Par contre, SGI vend à Sun les serveurs CS6400 de Cray qui, basés sur des Supersparc et utilisant Solaris, font double emploi avec ses propres produits.

C'est en fin 98 que SGI prend conscience que le concept de PC a suffisamment évolué pour qu'il devienne possible d'en composer une version maison, le sigle PC signifiant seulement Pentium et Windows, avec une vraie compatibilité. C'est pourquoi SGI annonce, en janvier 1999, la station 320, qui comprend un ou deux Pentium II, et fonctionne sous Windows NT, au prix de quelques adaptations logicielles.

L'architecture de cette machine, dite IVC, Integrated Virtual Computing, n'est pas celle d'un PC, et peut être décrite comme suit :

au coeur de la structure se trouve un chipset nommé Cobalt, d'où émergent quatre bus : un bus 3,2 GB/s vers les processeurs, au nombre de 1 ou 2 dans la 320, de 4 dans la 540 annoncée en avril 99 ; un bus 3,2 GB/s vers la mémoire unifiée, qui peut atteindre 1 GB de SDRAM (2 dans la 540) ; un bus 3,2 GB/s vers le processeur graphique ; et un bus 1,6 GB/s vers le processeur d'entrées / sorties.

cet IOP gère un bus PCI 64 bits pour les disques, un Ethernet 10 / 100, un bus IEEE 1394, et les processeurs audio et vidéo.

Il est assez frappant qu'une architecture extrêmement voisine ait été mise en service, à la fin de 1999, par Intel soi-même, avec le chipset i82820.

519 - Les activités informatiques de Singer

Singer est connu de tous comme un fabricant de machines à coudre, activité qui remonte au XIXème siècle. C'est aujourd'hui un conglomérat dont les placements ne cessent de fluctuer, et ce dans des domaines très variés.

C'est ainsi que le groupe s'est emparé en 1962 d'un groupe de mécanique nommé General Precision, qui touchait à l'informatique de trois façons, par ses filiales Librascope (calculateurs), Link (simulateurs de vol), et Kearfott (matériel volant).. Après avoir quelque temps accolé à son nom celui de GP, Singer décide en 1972 de devenir The Singer Company, une société qui a laissé leur nom à ses filiales Kearfott et Link, mais qui semble avoir oublié à ce moment les succès passés de Librascope.

La Singer Company décide de réinvestir dans l'informatique, et achète en 1973 le petit calculateur de table Cogar 4, qui devient Singer 1500. Puis, en 1974, elle achète Friden, une société beaucoup plus importante qui est à la tête, à cette date, d'un parc important de calculateurs de gestion originaux, les System 10, que Singer préfère rebaptiser System TEN.

Bientôt, d'ailleurs, Singer réorganise la commercialisation en rebaptisant la machine System 110, et en définissant 4 configurations marketing, définies pour permettre la croissance chez le client :

Mle 110.1 à \$ 25000, comprenant mémoire 20000 caractères, un canal pour 2 à 4 MB de disques, et une machine à écrire 25 cps.

Mle 110.3 à \$ 34800, ajoutant au précédent une station de travail à écran.

Mle 110. 4 à \$ 43400, comprenant un minimum de 30000 caractères de mémoire, 2 canaux pour les mêmes disques, une imprimante 100 lpm, et un écran ; cette configuration peut s'étendre à 40 Kcar,

4 canaux, une IP 200, et 3 écrans.

Mle 110. 5 à \$ 66000, où le disque a une capacité de 20 MB.

Le logiciel de base est intégré, et peut être complété par des progiciels d'applications, coûtant K\$ 3 à 8.

Au total, une bien petite machine qui obtient beaucoup de succès, puisque au début 77, il y a plus de 4000 systèmes installés dans le monde, dont la moitié aux USA. La maintenance, une catégorie de problèmes qu'un groupe purement financier ne maîtrise pas, est sous-traitée à TRW.

La valse des investissements se poursuivant, Singer Informatique est vendue, dès 1975, à la société anglaise ICL, avec ses deux produits à succès System 110 et 1500. Cet arrangement porte uniquement sur la partie informatique, et comprend le droit de garder le nom de Singer dans l'intitulé des machines.

Par ailleurs, la firme Singer est toujours active dans l'informatique temps réel avec Link et Kearfott, et obtient encore, sous son nom associé à l'un de ceux-ci, de nombreux contrats militaires aux USA.

520 - L'informatique dans l' US Navy

A la fin de la guerre, la Marine doit comme les autres armes entreprendre sa reconversion, sur trois thèmes essentiels qui sont informatique, nucléaire, missiles. Le premier de ces thèmes était le plus facile, car le moins coûteux, et le moins risqué, avec pléthore de volontaires dans les établissements. L' US Navy chargea donc, dans un premier temps, son Office of Naval Research de soutenir tous les projets en ce sens, et l' ONR le fit avec constance et générosité, donnant d'ailleurs le signal des investissements en finançant le calculateur à relais ABEL à l' Université Georges Washington (rubrique 453).

On peut citer les principaux bénéficiaires de ces premiers efforts, généralement orientés vers le calcul scientifique :

Naval Research Laboratory, à Washington DC : Bell Mk IV, NAREC, IBM 709 - rubrique 437

Naval Weapons Laboratory, à Dahlgren, Va : Harvard Mk II et III, IBM 709, NORC - rubrique 184

David Taylor Model Basin (Bassin des carènes) (voisin du précédent ?) : LARC

Naval Ordnance Test Station, China Lake, Cal : DDP - rubrique 160

L'introduction du nucléaire dans les programmes d'armes était, dans l'immédiat, impossible. Néanmoins la Navy mit rapidement en route le programme d'étude d'un réacteur de propulsion, sans destination précise pour le moment du fait qu'on ignorait quelles dimensions aurait la chaudière nucléaire. Les avantages d'autonomie étaient évidents, particulièrement pour les porte-avions, et justifiaient la tentative : elle aboutira vers 1957 à la définition d'une ligne d'arbres de 35000 CV, autorisant alors la mise sur cale d'un croiseur

lourd, le Long Beach de 10000 tonnes, et d'un porte-avions lourd, l' Enterprise de 70000 tonnes.

Mais surtout elle aboutit, grâce aux efforts de l'amiral Rickover chargé de ces études, à la réalisation d'une ligne d'arbre pour sous-marin, conduisant à la décision stratégique essentielle : la création du sous-marin lanceur de missiles balistiques, première famille de 9 navires, les Georges Washington de 6000 tonnes.

En effet, les décisions gouvernementales de 1945 avaient confié à la seule USAF la responsabilité de l'emploi offensif de l'arme nucléaire, trop lourde pour les canons de la flotte dont la portée d'ailleurs était insuffisante. Dès qu'une certaine miniaturisation avait pu intervenir, autorisant l'emport de bombes atomiques par des avions plus légers, la Marine avait réclamé sa part de responsabilité en proposant la construction du porte-avions stratégique United States, mais le rayon d'action d'un avion embarqué n'avait pas paru suffisant, et le projet avait été rejeté, et la prépondérance de l' USAF confirmée.

La possibilité de réaliser un sous-marin capable de naviguer pendant des mois sans faire surface, et sans restriction de performance, ayant été démontrée par les croisières polaires du Nautilus, il devenait évident qu'un missile nucléaire embarqué sur un tel navire était une nouvelle arme stratégique imparable dont les USA ne pouvaient se priver. Le programme Polaris, confié à Lockheed, fut alors lancé avec un objectif initial de portée de 1500 nautiques, qui évoluera ensuite à travers Poséidon, puis Trident 1C, puis Trident 2D, jusqu'aux 24 armes de portée 11000 Km des sous-marins Ohio de 18000 tonnes. La réussite du premier programme de SSBN sera le grand succès personnel de l'amiral Rickover, qui sera prolongé bien au delà de la limite d'âge par une US Navy très reconnaissante.

A la fin du siècle, et pour fixer les idées parce que ce n'est pas notre problème dans cette étude, les considérations d'efficacité, de coût et de politique étrangère conduiront aux résultats suivants :

a) la flotte américaine est organisée en une douzaine d'escadres centrées chacune sur un porte-avion nucléaire de 100000 tonnes portant une centaine d'avions, avec les escortes (non nucléaires) appropriées. Chaque escadre en opération emporte des armes nucléaires tactiques qui peuvent être lancées par les avions du bord, et certains des escorteurs sont armés de missiles de croisière qui peuvent, éventuellement, emporter aussi des charges nucléaires. L'emploi de ces armes est subordonné strictement à une décision présidentielle.

b) la force navale stratégique, réduite à la suite des accords SALT II, comprend encore 1744 missiles balistiques dont une majorité de Trident 2D, embarqués par groupes de 24 sur des SSBN de type Ohio, à propulsion nucléaire .

c) la totalité des sous-marins d'attaque utilisent la propulsion nucléaire et peuvent éventuellement trans- porter et lancer des missiles de croisière à tête nucléaire.

d) tous les autres navires de la flotte sont non nucléaires, pour pouvoir entrer dans les ports amis sans déclencher d'incident politique.

Dans le domaine des missiles, exclusivement tactiques pour les raisons rappelées ci-dessus, le travail de la Marine est considérable, car il est désormais clair que le canon a fait son temps : il a certes joué son rôle mer / mer dans certaines batailles de la guerre (Guadalcanal, Leyte), effectué un travail vital contre les avions, révélé une efficacité inattendue contre la terre (tous débarquements), mais désormais il est surclassé dans presque toutes ses missions.

Le travail le plus urgent est de créer des missiles mer / air efficaces. A cet effet, la marine définira trois tailles de missiles :

le Tartar est un missile de portée 20 Km environ, avec guidage semi-actif, cad radioguidé pendant la première partie du vol, puis autoguidé dans la phase finale sur les échos provoqués par un illuminateur, et explosant au signal d'une fusée de proximité.

Constructeur : General Dynamic. Ce premier matériel, stocké en soute verticale, chargé sur une rampe orientable Mk 13 et lancé par son propre propulseur principal, utilise un calculateur analogique. Il équipera pour essais quelques croiseurs lourds, puis deviendra l'armement principal de plusieurs séries de destroyers DDG.

le Terrier est le même missile, lancé par un booster pour augmenter sa portée à 40 Km. Il équipera quelques croiseurs lourds et grosses frégates DLG et DLGN qu'en d'autres temps on eut appelés croiseurs.

le Talos, étudié par Bendix et RCA, est un missile à grande portée qui a été installé sur un petit nombre de croiseurs lourds et jugé peu convaincant.

Après cette première génération, longuement essayée à la mer, le Talos sera abandonné, le Terrier et le Tartar fusionneront en un missile Standard Mk 1, puis Mk 2, ce dernier guidé par calculateur numérique et intégré dans un système tactique également à base de calculateur. De longues séries de DD et de frégates seront équipées de ce missile antiaérien, qui sera aussi exporté dans toute l'Europe et notamment en France, ainsi qu'au Japon.

Par la suite, on mettra au point pour l'autodéfense des bâtiments auxiliaires le Sea Sparrow, à base de missiles Raytheon à guidage et autoguidage radar.

Le second travail, d'une urgence comparable, est d'accroître l'efficacité des armes antisous-marines, ce qui a donné lieu à plusieurs solutions :

1) équipement de tous les navires de combat de moins de 10000 tonnes d'au moins un sonar d'étrave, renforcé d'un sonar remorqué sur tous les escorteurs ASM. L'exploitation des échos (en mode actif) ou des écoutes (en mode passif), d'abord faite à vue (sur PPI) et à l'oreille par du personnel entraîné, sera progressivement confiée, à partir des années 70, à des ordinateurs affectés (AN / UYK 7).

2) le perfectionnement de l'équipement des avions patrouilleurs partis de terre (Lockheed P3) ou des porte-avions (Lockheed S3A). Ils sont dotés d'un radar repérant immédiatement tout périscope, et détectent les sous-marins en plongée avec leur MAD (magnétomètre) ou principalement en lançant des bouées acoustiques. Les signaux des bouées sont reçus et préexploités à bord par calculateur IBM Proteus, puis l'ensemble des mesures filtrées est transmis par data link vers les navires qui intègrent ces données et les diffusent. Ces patrouilleurs disposent d'armes d'attaque ASM.

3) à partir des années 70, il devient possible d'embarquer des hélicoptères, et bientôt la Marine met au point une doctrine d'emploi et définit un véritable système d'armes, le LAMPS, combinaison d'un hélicoptère pourvu d'un sonar trempé et d'un escorteur qui lance les armes, à travers un data link permanent. Le LAMPS Mk 1 avec hélicoptère Kaman SH2, le Mk 3 avec hélicoptère Sikorski SH60 ont équipé plusieurs générations d'escorteurs ASM.

Voir le LAMPS Mk 1 dans la fiche Spruance, et une fiche LAMPS Mk III, en boîte 149.

4) l'arme principale est une torpille légère Mk 46 ou Mk 50, autoguidée sur le bruit d'hélice en phase terminale, qui peut être lancée par avion ou hélicoptère, ou encore déposée au voisinage du sous-marin supposé par un missile ASROC de Honeywell. Ce missile initialement embarqué avec un lanceur spécifique sera par la suite intégré dans des soutes collectives avec d'autres missiles, et lancé par la même rampe double Mk 26. Il existera ensuite une variante pour sous-marin, le SUBROC, lancée comme une torpille avec deux changements de milieu, mer/air puis air/mer.

Ces conduites de tir ASM sont une spécialité de Librascope, qui est progressivement passée du calculateur analogique au DDA puis au calculateur numérique microprogrammé Mk 130 de l'ASROC, puis aux calculateurs standard d'Univac (conduites de tir Mk 111 à 118).

L'amélioration des conditions du tir mer/mer a été entreprise très tôt mais sans grande conviction avec des missiles ailés, Regulus et Navajo, dont Autonetics construisait le calculateur. Beaucoup trop encombrants, ils n'ont été installés qu'à titre expérimental. La véritable invention est le missile AGM 84 Harpoon, de Mc Donnell Douglas Astronautics, au point à partir de 1975, qui a été progressivement adapté au lancement par navires (deux caissons sur les gros destroyers et croiseurs) et par avions P3C. Voir fiche en boîte 149.

L'évolution a consisté à intégrer le Harpoon, comme l'ASROC, dans la soute verticale conçue d'abord pour les Standard Mk 2, de façon que toutes les armes n'aient qu'un seul système de lancement.

Après avoir équipé les navires d'une conduite de tir par type d'arme, la Marine s'est efforcé d'intégrer ses systèmes en créant la conduite de tir Lockheed Mk 86, capable du canon conservé sur la plupart des navires (127 L 54 en tourelle automatique, ou 76, ou 203) et des Harpoon, et qui utilise un calculateur standard Univac. Voir fiche en boîte 149, chemise US Navy.

Le danger réel représenté par le Harpoon, par son équivalent français l'Exocet vendu à de nombreuses marines, et par les missiles soviétiques comparables, a conduit la Navy à mettre en place, vers 1975, une arme spécifique baptisée Phalanx. Elle se compose d'un canon Gatling (multitubes) à très forte cadence de tir (plus de 1500 coups/minute), associé à un radar et pointable à 2 axes, jusqu'au zénith. Complètement automatique grâce à un calculateur intégré, ce système découvre les missiles mer/mer incidents, les traque, et ouvre le feu quand ils sont à portée d'efficacité, vers 1500 mètres, en rafales

de quelques secondes qui doivent toucher la cible. Il y a un Phalanx sur chaque destroyer, deux par croiseur, trois ou quatre sur un porte-avions.

Dernier thème : le tir contre la terre reste important, car la Marine américaine est puissamment équipée en moyens de débarquement. On a conservé pendant très longtemps, jusqu'à la guerre du Golfe (1991) certains des anciens cuirassés de 45000 tonnes (Iowa, Wisconsin) dont les obus d'une tonne en version HE (high explosive) ont des effets dévastateurs ; et pendant toutes ces années on a essayé de réaliser une version satisfaisante, cad fiable et précise, de Copperhead, un projectile lancé par canons de 203 ou 152 des anciens croiseurs mais guidé aérodynamiquement. Bien qu'on y ait dépensé beaucoup d'argent, il ne semble pas que cet obus ait réellement été utilisé en opérations. Dans la plus récente doctrine de débarquement, on n'envisage plus guère l'appui naval par artillerie puisque les cuirassés ont été définitivement retirés. Les canons équipés de la conduite de tir Mk 86 peuvent faire du tir contre la terre en guidage indirect par avion ou hélicoptère, mais l'arrosage méthodique résultera plutôt de lance-fusées dérivés du MLRS de l'armée de terre, installés sur des péniches de débarquement. Quant aux tirs de grande précision à longue distance, ils sont confiés aux missiles de croisière Tomahawk de General Dynamics, équipés de petits turboréacteurs et d'un calculateur de guidage qui compare et corrèle le paysage survolé avec les cartes préétablies par satellites. Ces missiles qui peuvent parcourir près d'un millier de kilomètres et transporter une grande variété de charges (y compris nucléaire) sont lancés verticalement par croiseurs ou sous-marins.

La plus importante application de l'ordinateur aux problèmes navals, fonctionnant en temps réel, est le résultat d'un effort très important et délibéré, entrepris vers 1957 par la Navy pour coordonner l'action des navires d'une escadre et diffuser à tous, de façon permanente, les informations collectées par les uns et les autres, ainsi que par les avions : le NTDS, Naval Tactical Data System, a été l'occasion de la création d'une production de série chez Univac, d'une complète réorganisation des locaux de commandement à bord, d'une révision générale des tactiques, et d'une normalisation des communications. Voir à ce sujet les fiches AN/USQ 17, NTDS, AN/USQ 20, AN/UYK 7 et AN/UYK 20, AN/UYK 43 et 44, ainsi que la rubrique 581 des calculateurs militaires Univac. L'extension du NTDS aux avions embarqués, à travers sa variante ATDS et les calculateurs Univac 18xx, donnera aux escadres américaines une efficacité exceptionnelle que lui envieront tous les pays de l'OTAN, ainsi que le Japon : à défaut d'adopter totalement les matériels américains, tous ces pays et notamment la France, s'aligneront sur les protocoles de communication du NTDS (liaisons 11 et 16). La normalisation technique et logicielle préparée par le NTDS atteint sa pleine maturité avec les calculateurs Univac de deuxième génération, modulaires et produits en masse, qui se retrouvent dans toutes les applications temps réel de la Marine. Cette même philosophie sera reprise avec la troisième génération, après quoi l'ordinateur se réduit quasiment à un composant avec la 4ème génération que l'US Navy n'achète d'ailleurs plus à Unisys, successeur d'Univac.

Un progrès technique considérable intervient à partir de 1960, lorsque la Navy lance chez Raytheon l'étude du radar AN/SPY 1, dont l'aérien à balayage électronique permet de mener avec un seul émetteur à la fois la veille et la poursuite de plusieurs cibles. Au point en 1969, ce radar devient la pièce maîtresse d'un nouveau système d'armes baptisé AEGIS, conçu par RCA pour le missile Standard Mk 2 mais intégrant plus efficacement tous les autres aspects du navire ; les croiseurs et les destroyers Aegis profiteront en outre d'un nouveau mode de construction. Voir rubrique 694 Aegis, et ci-après.

Après la guerre, la construction navale américaine n'a pas cessé de décroître, devenant de moins en moins compétitive, au point que les bâtiments de commerce américains sont presque tous construits à l'étranger. Néanmoins, le gouvernement s'est astreint à conserver des chantiers compétents pour les besoins militaires, ce qui a conduit l'industrie à en réduire le nombre et à les spécialiser :

Newport News, pour les porte-avions.

Electric Boat à Groton pour les sous-marins nucléaires.

Ingalls à Pascagoula, Todd SY et Bath Iron Works pour les frégates et destroyers.

Avondale et Tacoma shipbuilding pour les navires auxiliaires.

En 1972, l'électronicien Litton rachète Ingalls en faillite et met en place des méthodes de construction révolutionnaires : tranches complètes construites à terre et assemblées par soudure dans des bassins qui ne restent pas longtemps encombrés, mise à l'eau dès l'étanchéité acquise et bien avant l'achèvement, qui se fait à quai. Il devient possible de livrer jusqu'à un bateau par mois à condition qu'il s'agisse d'une série homogène, et les prix sont largement compétitifs. L'ordinateur, utilisé pour dessiner les plans, gérer les approvisionnements et suivre l'exécution, est la clé de cette nouvelle méthode.

Elle vaut à Litton Ingalls la totalité des contrats de construction des 5 LHA, grands porte-hélicoptères de débarquement de 25000 tonnes, puis des 31 destroyers Spruance de 6000 tonnes, puis des 7 LPD de 28000 tonnes, avant que le concurrent Bath Iron Works ait réussi à s'adapter ; après quoi Ingalls obtiendra encore 19 des 27 croiseurs Aegis classe Ticonderoga de 9500 tonnes, puis la moitié des 58 destroyers Aegis classe Arleigh Burke de 7000 t. Le contrat de délai n'a pas été tenu, mais c'est largement la faute de la Navy, qui change pratiquement les spécifications à chaque navire ; il en résulte un contentieux sévère qui n'empêche pas de constater la qualité militaire de ces nouveaux bâtiments.

Voir fiche sur les Spruance, et aussi fiche sur les croiseurs Aegis en boîte 149, chemise US Navy.

Un autre domaine très important, aux retombées mondiales, concerne les satellites. Le NRL a entrepris, dès que le Sputnik a révélé au monde cette technologie, l'étude d'une méthode de navigation de grande précision basée sur la réception des signaux codés provenant de satellites porteurs d'une horloge au rubidium, les Transit. Très simples et très légers, ces Transit ont permis rapidement à tout bâtiment, et d'abord aux sous-marins, de se positionner à 200 m près en quelques minutes, par une procédure automatique comportant un ordinateur (Ramo Wooldridge AN/BRN 3) et un récepteur multivoie.

Le programme a été soutenu par l'USAF, cliente d'une bonne précision pour ses avions stratégiques, et repris par le NRL avec les satellites Triad, Timation et NTS, pour aboutir finalement à un programme interarmes, le triple réseau de satellites Navstar, autorisant

une précision de 10 mètres ; en même temps, les progrès technologiques permettaient d'importantes réductions de volume et de délai . En 2000, un récepteur GPS, contenant un récepteur à 5 canaux et un calculateur, tient dans la main et peut inclure une présentation de la position sur une carte mémorisée, ou encore guider un missile de croisière.

On trouvera d'autres détails dans la rubrique 489 WTR , car la plupart de ces satellites ont été lancés depuis Vandenberg AFB.

La Marine a également obtenu l'autorisation de mettre en place pour ses besoins tactiques un réseau de satellites de communication baptisés UHF F/O, utilisant des véhicules Hughes HS 601 stabilisés à 3 axes et pesant 2865 Kg. Ces 9 satellites lancés entre 1993 et 1996 et placés sur orbite stationnaire fonctionnent en UHF au profit des avions et navires en prenant la suite du programme TacSatCom du DOD.

Il faut également évoquer un considérable travail d'océanographie que la Marine seule pouvait accomplir, avec un réseau mondial de collecte, le NEDN, des navires spécialisés et quelques satellites. Le quartier général de cet effort est FNFW Monterey, Cal. Voir rubrique 696 Océanographie.

Pour nous résumer, la nouvelle Marine fait un usage constant de l'ordinateur, dans tous les secteurs de son activité, administrative, technique et opérationnelle. Résumons les en quelques lignes :

a) comme dans toutes les administrations, l'ordinateur est l'outil de la planification, de la gestion budgétaire, de la gestion du personnel, des matériels et des approvisionnements. Pour ces fonctions, le matériel est commercial et situé au Pentagone, ou dans les établissements, et ces calculateurs communiquent entre eux à travers les réseaux du DOD, AUTODIN et satellites entre autres.

b) les flottes disposent, dans leurs QG à terre, d'ordinateurs plus proches du commandement, qui permettent de collecter, présenter aux Etats-Majors et diffuser aux services tout ce qu'il est nécessaire de savoir sur la mission, la dépendance hiérarchique, les approvisionnements, l'armement et les munitions, les effectifs et le moral de chaque unité, escadre, navire, troupe ou service, appartenant à la flotte.

Exemple : en 1965, OPCODE est le système informatique du QG de la flotte du Pacifique, à base de calculateurs CDC 1604 et CDC 160 réunis à leurs mémoires à travers un crossbar à relais géré par un CDC 160 A.

c) chaque navire des années 80 / 90 contient plus de dix ordinateurs, chaque avion deux ou trois, chaque missile au moins un, comme on s'en rend compte en examinant quelques cas particuliers :

un ordinateur par SLBM et un ordinateur pour la conduite de lancement, en commençant dès 1958 avec la conduite Mk 84 General Electric à calculateur Control Data. Voir rubriques 274 GE et 159 CDC.

de nombreux ordinateurs pour exploiter les sonars des sous-marins de chasse (AN / BQQ 5) et ceux des SSBN (AN / BQQ 6), clé de leur efficacité et même de leur survie. Voir rubrique 328 IBM Federal.

un ordinateur pour chaque SINS, centrale à inertie désormais installée sur chaque navire de combat, et un ordinateur central de navigation corrélant tous les capteurs : SINS, loch, centrale de cap et de verticale, observations célestes, Loran, Omega, et plus récemment satellites Transit puis Navstar (GPS).

un ou deux ordinateurs pour la synthèse de la situation tactique dans les CIC, Combat Information Center, utilisant le système NTDS = Naval Tactical Data System, rubrique 581 Univac militaire.

plusieurs ordinateurs pour les conduites de tir des divers missiles (par exemple Lockheed Mk 86, Librascope Mk 111 à 118, General Dynamics Mk 99).

des ordinateurs à terre dans les dépôts, et à bord des porte-avions, pour les systèmes VAST de contrôle des matériels électroniques en ateliers.

des ordinateurs pour la commande des radars embarqués à balayage électronique, voir fiche AEGIS.

et désormais plusieurs ordinateurs par avion ou hélicoptère pour le calcul des données aérodynamiques, la navigation, l'entretien de la situation tactique, l'exploitation des bouées et sonars trempés pour la lutte antisous-marine, la guerre électronique.

Voir fiches E2C, E6B, P3C, S3A, qui ne sont que des exemples illustrés.

d) l'entraînement du personnel, condition essentielle de son efficacité, exige une grande variété de simulateurs techniques ou tactiques, dont un aperçu figure en rubrique 688. Beaucoup d'entre eux, et notamment tous ceux qui sont cités, nécessitent des ordinateurs.

e) la recherche est bien sûr grosse consommatrice de calculs, avec le NRL et l'établissement océanographique de Monterey en particulier. Voir rubrique 696 Océanographie.

521 - Les microprocesseurs Solbourne

La firme Solbourne est créée en 1986 par D. Mc Gregor, ingénieur ayant fait ses premières armes chez Motorola dans l'équipe 68020, puis pourvu d'un PhD de l'Université de Kyoto. Son objectif est d'utiliser ses alliances japonaises pour introduire sur le marché américain une famille de consoles et de serveurs construits autour du processeur SPARC.

Le SPARC est une architecture RISC, bien définie par un livre écrit par une équipe de Sun, qui cherche à susciter des vocations. Par ce procédé, Sun dispose d'une architecture propriétaire pour ses stations de travail, et peut cependant espérer qu'une saine concurrence entre les licenciés de son produit maintienne cette architecture en vie, à moindre frais : en somme, le même objectif que MIPS avec Silicon Graphic, malgré des débuts un peu différents.

Mc Gregor compte sur les chercheurs de Matsushita pour créer une puce SPARC 64 bits dont la partie 32 bits est strictement compatible avec les produits Sun, et sur les usines américaines du groupe Panasonic pour fabriquer ses stations avec d'excellents composants américains, avant d'en rapatrier une partie au Japon et de commercialiser le reste aux USA. Cette Solbourne dont le siège est aux USA, mais dont le principal actionnaire est

Matsushita, ressemble donc beaucoup à une société japonaise ; son avenir dépendra entièrement de ses résultats.

Le microprocesseur MN 10501 baptisé KAP par les japonais est effectivement réalisé en 1990, et nous disposons d'un article détaillé paru dans TIEEE, SSC 25 N° 5, 10 / 90. Il est capable de fonctionner à 40 MHz et incorpore un FPU, soigneusement conforme à la norme IEEE 754.

Solbourne aborde le marché avec des serveurs multiprocesseurs (jusqu'à 8), mais à cette époque ce créneau ne représente que 10% des ventes, de sorte que Solbourne doit rapidement se décider à proposer une station de travail.

Annoncée au début de 1991, produite dans l'usine Panasonic de Chicago, livrable à partir de novembre, la S4000 est une station de travail de table capable de 25 Mips, fonctionnant à 33 MHz et incorporant 4 ASIC créés spécialement pour que sa carte mère soit particulièrement simple. Elle est d'ailleurs construite autour du S Bus de Sun et contient deux emplacements d'extension de ce format, et elle utilise le système d'exploitation OS / SMP, dérivée de SunOS qui est l' Unix de Sun, ce qui lui donne accès à quelque 2000 applications fonctionnant sur Sparc.

La S4000 est commercialisée en France par le distributeur Summer, en deux versions : un modèle de base sans disque à 74000 FFHT, et un modèle plus réaliste avec 8 MB de mémoire, 200 MB de disque, écran 19 », coûtant 870000 FFHT. La mémoire est extensible à 104 MB, le disque à 400 MB.

L'aspect graphique est pris en compte par une carte SGA capable de 540000 lignes 2D ou 270000 vecteurs 3D par seconde. Les logiciels associés sont X-Window et Phigs pour le 3D, la machine pouvant supporter les deux interfaces concurrentes OSF / Motif et Open Look, grâce à un produit maison, Object Interface Library.

Il existe aussi une S3000, assemblée au Japon avec des composants américains, et plutôt destinée au marché japonais. Elle est dite transportable parce qu'elle ne pèse que 11 Kg en mesurant 460 * 350 * 180 mm, grâce à un écran plasma à haute résolution (1152 * 900 pixels) de 16 », et pour le reste ses limites sont celles de la S4000, avec un disque de 500 MB et une disquette 3,5 ».

Prix 98000 FFHT en version de base, 15230 \$ ou 1,98 MY avec 16 MB de mémoire et 200 MB de disque.

Fin 91, Solbourne complète son offre vers le haut avec la station S4000DX (pour Design Accelerator) qui utilise la même puce à 36 MHz avec un cache de 2ème niveau de 256 KB qui pousse sa performance à 18,3 Spec92. Prix de base 59000 FFHT.

Pour les serveurs, la fin 91 voit naître la série 5 / 700 en boîtier tour. Il en existe deux versions, 33 et 40 MHz, avec 1 à 4 cartes processeur et 16 à 640 MB de mémoire.

Prix : 178500 FFHT pour un monoprocesseur 5 / 701-16, 235500 FFHT pour la version 5E de même configuration.

En outre, Solbourne propose, pour 48000 FFHT, une carte périphérique MCAB, qui s'enchâsse sur le K Bus, bus interne aux multiprocesseurs ; elle dispose d'un bus privé VME à 25 MB/s, commode pour installer des disques rapides IPI, un port Ethernet ou un contrôleur FastSCSI.

522 - South West Technical Product Corporation

Ce nom impressionnant cache le degré zéro du microcalculateur, un simple kit rassemblant autour d'un microprocesseur Motorola 6800 et d'une mémoire de 2 KB, un

clavier, un bus S100, un chargeur sur ROM, et une connexion vidéo vers un écran de télévision. Il n'y a que deux boutons, a priori ON/OFF et peut-être une commande de pas à pas.

523 - SCC 100 de Space Computer Corporation

Le SDIO est un bureau technique, hiérarchiquement situé très haut, qui gère la Space Defense Initiative, nom officiel de la « Guerre des étoiles ». Son problème informatique principal est de distinguer entre les têtes nucléaires arrivant vers les USA, et les divers leurres qui les accompagnent : un problème d'analyse de signaux en temps réel qui exige de grosses puissances de calcul.

Le SDIO est donc en permanence à la recherche d'ordinateurs très performants et capables d'aller dans l'espace, à bord de petits véhicules, et aussi d'autres fonctionnant à terre, bien plus puissants que les produits commerciaux. Le SCC 100 de la Space Computer Corporation fait ainsi l'objet d'un contrat géré administrativement par l'ONR, visant une puissance de 1 GFlops.

A cet effet, le prototype comprend 19 cartes multicouches, 17,8 cm au carré, chacune représentant un noeud capable de 67 MFlops 32 bits, le tout rassemblé dans un rack 19 ». Chaque carte contient :

1 MB de mémoire, DRAM et SRAM

un processeur de commande et liaisons, Inmos T800, 20 Mips

deux processeurs vectoriels Zoran 34325

La fonction de ce processeur est d'extraire des signaux utiles du bruit dans les enregistrements des capteurs d'images. Le prototype est à livrer par son constructeur à la General Dynamic, gérant du programme chargé de l'évaluation.

Le prototype n'est en aucune manière le summum des possibilités : si les essais sont satisfaisants, d'importantes améliorations sont possibles en créant des ASIC chargés des communications interprocesseurs, pour réduire encombrement et consommation. On peut aussi, bien entendu, augmenter le nombre de processeurs travaillant en parallèle.

524 - La croisade de Spartacus

Ce nom suggère que l'entrepreneur qui l'a choisi rêve d'emmener ses clients dans une croisade contre la domination jugée intolérable de la société IBM. Le jeu ne pouvant économiquement se jouer sur les grosses machines, le K 102 s'adresse au bas de gamme, pour 50 à 100 K\$ selon service : mémoire de 1 à 4 MB, jusqu'à 320 MB de disques Winchester, 5 à 10 terminaux, une puissance de calcul estimée à 350 Kops, et un réseau local.

La clé semble être KOS, un système d'exploitation très ambitieux qui offre les services de VM/370 pour seulement K\$ 25.

Il semble bien, malheureusement, que les bonnes intentions ne suffisent pas : le K 102 et Spartacus n'ont pas débouché sur un vrai marché.

525 - Le Microlinc de Spear

La machine proposée par cette société improvisée à Waltham, Mass, cad tout près de DEC, est un compatible du produit créé par le MIT et commercialisé par DEC. L'intérêt médical est compréhensible, celui du concepteur plus hasardeux, car le marché est bien occupé.

Le MicroLINC est donc un ordinateur en temps réel pour le travail de laboratoire, avec 2 à 32 K mots de mémoire (12 bits), cycle de 8 μ s pour le Mle II, ou 2 μ s pour le Mle III. L'équipement de liaison avec les expériences n'est pas précisé, on sait seulement que la machine incorpore un oscilloscope.

On peut supposer que le logiciel est celui du LINC, probablement gratuit parce que rédigé au MIT.

Cette machine a été vendue à 33 exemplaires aux USA, plus trois à l'étranger. On ne s'étonnera pas que l'opération n'ait eu aucune suite.

526 - Le coprocesseur de Specialty Development

Ce bureau d'études est l'inventeur d'un coprocesseur pour PC / AT, interchangeable avec le 387DX de Intel et meilleur que lui, comme cela pouvait être prouvé par des benchmarks. Il était vendu \$ 779 en 33 MHz., cad que la société comptait d'abord sur la performance.

Le malheur est qu'à cette date le bureau d'études Cyrix faisait la même constatation et prenait la place. En conséquence, Specialty Development ne s'est pas développé, à moins que le produit Cyrix ne soit le résultat d'un accord secret avec SD, dont on n'aurait pas entendu parler, ou encore que Intel ait simplement acheté SD pour s'en débarrasser. Mystère !

527 - Sperry Gyroscope

Dans les années qui suivent la guerre, le groupe Sperry Rand rassemble des compagnies ayant des activités très diverses, à savoir Remington Rand (rasoirs, mécanographie), Sperry Gyroscope (armement, mécanique de précision), Vickers (hydraulique), et New Holland (machines agricoles). On constatera à plusieurs reprises des interactions majeures entre ces sociétés, lorsque les poids économiques varieront.

Pendant la guerre, c'est évidemment Sperry Gyroscope qui reçoit le plus de contrats, et ce dans le domaine inattendu du radar, auquel la compagnie n'était pas spécialement préparée (personne ne l'était !):

1943 AN / PPS 1, radar d'infanterie pour détection de mouvements de nuit.

1944 AN / APG 16, radar de tir pour chasseur

AN / APS 19, radar de tir pour chasseur monoplace

AN / ARC 16, liaison phonie sur 5000 MHz

D'autre part, la compagnie est pratiquement fabricant et fournisseur des éléments stables et références de verticale de tous les navires de combat de l'US Navy, une activité qui a presque un caractère de monopole.

La guerre finie, Sperry Gyroscope, qui s'est largement développé en créant une division Microwave, participe fortement aux mutations de l'armement vers les missiles, sans cependant être maître d'oeuvre pour aucun programme :

1950 Missile air-air Sparrow 1 : radars AN/APQ 36 et 51, récepteur de guidage AN/DPW 4, matériel de lancement AN/APA 97, multiples testeurs.

- 1950 AN/SPW 2, radar de guidage du missile Talos
- AN/SPQ 5, radar de guidage du premier missile Terrier (croiseurs CAG 1 et 2)
- 1950 AN/MPQ 29, radar bande X de guidage du drone AN/USD 1
- 1955 AN/SPG 49, 56, radars de guidage du Talos de série
- 1957 AN/SPG 55, radar de guidage du Terrier BT3 de série
- AN/SPG 57, radar de guidage du missile navire/air Tartar
- 1958 AN/TPW 1, radar de guidage au sol de l'avion cible XQ4
- 1959 AN/APW 22, transpondeur de bord de l'avion cible XQ4

On trouve également une activité assez soutenue en matière de récepteurs Loran, que ce soit pour avions (AN/ARN 76, 78, 85), pour navires de surface (AN/SPN 7, 16, 32) et pour sous-marins (AN/WPN 3, 4), ainsi que la fabrication d'émetteurs et de tours pour les Loran C et D (AN/TRN 21, 35).

On trouve naturellement une importante activité d'instruments de navigation (radars de nez, radars doppler, compas gyromagnétiques pour avions) qui aboutit à des contrats d'intégration de cette fonction : AN/APN 118 pour petits appareils, AN/ASQ 42 du B58 Hustler, AN/ASQ 116 ILAAS du A6B. On peut citer aussi les pilotes automatiques AN/ASW 12 pour avions légers et hélicoptères, AN/ASW 15 du E2C Hawkeye, AN/ASW 16 de l'Intruder A6A, ou le collimateur AN/AVA 5 pour l'intégré AN/ASQ 104 IHAS des hélicoptères lourds H46 et H53.

Il y a aussi une production en série de sonars d'étrave AN/SQQ 23 pour destroyers, développement d'un prototype étudié par IBM Owego, et bien entendu une foule de contrats de moindre envergure, et de domaines très variés, comme en acceptent tous les électroniciens. Mais dans l'ensemble, Sperry Gyroscope n'est pas un fournisseur majeur des armées, en dehors de sa spécialité ; les usines sont à Phoenix, Ariz - Salt Lake City, Utah ; Great Neck, NJ.

Pourtant, presque toutes les applications évoquées ci-dessus ont mis Sperry en relation avec des ordinateurs en temps réel, et à plusieurs reprises la compagnie s'est trouvée dans l'obligation de produire ses propres machines, lorsqu'elle ne pouvait compter sur les produits de la société soeur, le fabricant d'ordinateurs Univac, devenu fournisseur préféré de la Marine avec les AN/UYK 7 et AN/UYK 20. Nous passerons donc une revue rapide de ces réalisations occasionnelles, qui n'ont jamais représenté de gros contrats de production.

1955 : construction, à usage interne et pour initier les ingénieurs, d'un ordinateur à tambour magnétique et à tubes. Voir fiche.

1957 : CYTAC, calculateur expérimental de navigation, utilisant un tambour magnétique avec 31 pistes de programme, 7 pistes de constantes, une piste modifiable, et trois registres à recirculation pour l'accu, le MQ et le multiplicande ; des têtes spéciales sont prévues sur les pistes réservées aux accès. Les mots sont longs de 16 bits plus signe, et il y en a 64 par piste ; le répertoire comprend une racine carrée.

L'expérience a été menée jusqu'au bout, avec un programme opérationnel de 1000 instructions, optimisé manuellement, 150 constantes, 50 variables, et 320 autotests. Le cycle majeur du programme de navigation durait 1 seconde.

Poids total 136 Kg, volume 170 litres.

1961 : autre ordinateur dont on ne connaît qu'une photo non commentée

1961 : NAVDAC est encore une expérience de navigation, que nous connaissons par un article de la Sperry Engng Review, en 10 / 65. La mémoire est toujours un tambour magnétique, tournant à 8000 T/min pour réduire le temps d'accès, et contenant 13000 mots de 25 bits. La logique est réalisée avec des modules à transistors, la performance est tout à fait médiocre, de l'ordre de 1000 op/s. L'accès de service est un lecteur de bandes perforées, mais l'appareil est surtout lié au compas gyroscopique.

1962 : MAGLOC est un calculateur à ambitions spatiales, réalisé sur un contrat de l'USAF avec une mémoire magnétique NDRO et une logique elle-même magnétique. L'objectif était essentiellement de découvrir et tester des technologies à l'épreuve des radiations et, bien qu'il ait existé un MAGLOC II capable de voler, il paraît improbable que ce matériel ait été utilisé pour une véritable application spatiale.

1962 : WDE Mk 2 est tout à fait dans la ligne des activités habituelles de Sperry, un ensemble de consoles et de calculateurs servant à la désignation d'objectifs sur les croiseurs équipés des nouveaux missiles antiaériens, Talos, Terrier et Tartar. La source d'information de ce calculateur est constituée par les divers télépointeurs du bord, désormais équipés de radars mais comportant toujours d'importantes optiques.

1964 : SINDAC reprend le programme du NAVDAC autour de l'élément stable SINS Mk 3 Mod 4, et se présente en deux armoires de qualité Marine (genre RW 133) qui contiennent un tambour magnétique de 5832 mots de 25 bits, une mémoire à ferrites de 512 mots, et un calculateur série exécutant l'addition en 0,5 ms et la multiplication en 3,75 ms.

Le répertoire comprend 19 ordres de base et 4 opérations symbolisées dont une sorte d'intégrateur pour exploiter les mesures d'accélération. Les entrées / sorties combinent des codeurs avec des servomécanismes pour transmettre les signaux dans des navires encore presque exclusivement équipés de synchros.

1965 : le calculateur Mk 14 est intégré à l'équipement AN / ARN 85, récepteur Loran D, pour faire le calcul d'intersection d'hyperboles caractéristique de ce système de navigation. C'est un calculateur parallèle à mots de 21 bits, travaillant à 500 KHz, avec des instructions à une adresse. La mémoire à tores comprend 4096 à 6144 mots, cycle de 8 μ s ; le bloc de calcul exécute 55500 op/s dans un répertoire de 13 ordres, dont addition en 18 μ s, multiplication en 60 μ s.

Présentation en tiroir ATR de 14,5 Kg, 19 litres, 250 watts, testé selon normes MIL avec un MTBF de 3500 heures.

1966 : l'ACE, Automatic Checkout Equipment, repère militaire AN / MSM 42, est un équipement de test pour navires ou entrepôts. Voir fiche et photo.

1967 : le calculateur Mk 16, utilisant une mémoire de 8 à 16 Kmots de 21 bits, à cycle de 6 μ s, à tores DRO ou à structure NDRO, ou les deux au choix du client, pèse 27 Kg et occupe 42 litres, consommation 250 watts. Le bloc de calcul à 14 opérations fait l'addition en 12 μ s, la multiplication en 34 μ s. En résumé, lente évolution technologique sur le thème majeur de la maison.

Après cette date, nous n'avons plus que des renseignements isolés, mais ils confirment l'impression que nous avons déjà soulignée : Sperry campe sur son quasi monopole, convaincu qu'il y aura toujours des navires avec leurs exigences très spécifiques de fiabilité, et ne s'en écarte que sur sollicitation expresse.

Néanmoins, les sollicitations existent : Sperry participe en 1974 à deux opérations d'évaluation de son système de navigation Mk 13 au profit des avionneurs Boeing et Douglas. Voir fiche.

C'est probablement le succès de cette expérience qui conduit Boeing à confier à Sperry, en 1979, la réalisation du SDP 175, calculateur de bord doublé des avions de ligne Boeing 757 et 767. Même fiche.

En 1985, les problèmes financiers de la société soeur Univac deviennent insolubles, et la holding Sperry Rand doit intervenir, choisissant de ramener la société sous son égide, ce qui revient à faire partager par les filiales qui marchent bien, comme Sperry Gyroscope, les déficits de celle qui est en difficulté. Cette situation ne dure que quelques années, au terme desquelles l'ex-Univac fusionne avec Burroughs dans une Unisys où le groupe Sperry Rand garde apparemment quelques intérêts.

Pour résumer, la société Sperry Gyroscope semble avoir traversé la seconde moitié du siècle, période de notre analyse, avec une tranquillité exceptionnelle qui doit beaucoup à sa relation privilégiée avec l'US Navy. Elle a fait profiter la société soeur Univac de cette relation, lui obtenant un quasi monopole pour les calculateurs de bord (AN / USQ 20, AN / UYK 7, AN / UYK 20, puis AN / UYK 43 et 44) et participant éventuellement à la production de ces machines ; en fait, le groupe Sperry Rand tout entier apparaît extrêmement solidaire dans sa relation avec la Marine, même si chacune des filiales a pu librement explorer par ailleurs, à ses risques et périls, les marchés commerciaux les plus divers.

528 - Sirius Computer

Cette société est créée par Chuck Peddle, inventeur du PET chez Commodore, qui estime que sa société mère se trompe en ne visant que la clientèle familiale. Un peu avant IBM, et avec de faibles moyens, il croit à la possibilité de vendre un calculateur aux entreprises, et il fait le même choix qu'IBM, à savoir le microprocesseur Intel 8088, qu'il propose avec 128 à 1024 KB de mémoire, deux floppies de 600 ou 1200 Kbits, un écran / clavier avec 25 lignes de 85 caractères, et le système d'exploitation CP / M de Digital Research, avec tout ce qui l'accompagne. Le prix est 30000 F avec un

interpréteur Basic, et ce calculateur Sirius I n'est encore qu'un calculateur familial qui a eu l'audace de passer en 16 bits.

Cependant, Peddle est ambitieux, et prépare le Sirius II, avec Winchester 10 MB, Ethernet, SNA, X25 et SDLC, qui devient alors un calculateur capable de l'entreprise. Début 82, 3000 machines sont livrées, la production californienne atteint 2000 machines par mois, extrapolable à 40000 par an. Un succès certain, que l'annonce du PC d'IBM va ruiner. Il semble que l'opération ait été rachetée par un groupe financier, qui crée à cet effet Victor Technologies, et commercialise le Sirius II comme un PC, sous le sigle S1. Voir Victor.

529 - Standard Computer Corporation

L'objectif initial de cette société, formée peu après l'annonce des S/360 d'IBM, est de recruter parmi les propriétaires de 7090 et 7094, déçus de se voir abandonnés (ce qui n'était pas le cas !). L'idée directrice consiste à simuler la 7090 ou la 7094 par une microprogrammation, et à conserver la performance grâce à quelques ressources câblées comme un adder 36 bits de type CLA, et un pupitre compatible 70XX. Le concept n'a de sens qu'à cause des énormes marges d'IBM : en l'occurrence, il permet de proposer une machine équivalente à une 7094 pour 30% moins cher.

C'était cependant refuser de regarder l'avenir, ou plutôt choisir de croire que les clients allaient le faire. En réalité, qu'il s'agisse d'une vision correcte de l'évolution informatique, ou de la peur de perdre la protection du cocon IBM, il n'y eut que 19 clients pour acheter l'IC 6000.

En 1968, Standard change son approche en orientant la microprogrammation vers l'exécution du Fortran plutôt que vers le répertoire d'une machine particulière, surtout si celle-ci est périmée. L'IC 4000 est donc la même machine que précédemment, avec des microprogrammes revus pour gérer et optimiser les boucles Fortran, et un compilateur Fortran IV générant ce code. On ignore l'importance des ventes, mais la société survit. En 1969, l'IC 7000 est une machine très proche du 4000, avec simplement des mises à jour technologiques :

mémoire principale extensible à 256 Kmots de 36 + P bits, toujours en tores 2 μ s.
mémoire de contrôle de capacité inchangée, mais de vitesse doublée, cycle 1 μ s. La micromachine se procure donc une microinstruction toutes les 500 ns, et elle dispose de 16 registres de travail. On peut même se procurer une version encore plus rapide, mémoire 700 ns, addition 18 bits en 1,4 μ s.

particularisation des canaux en fonction de catégories de périphériques, il en existe 3 versions :

un multiplex de communication 24 lignes, utilisant un PDP 8

une simulation de canal sélecteur IBM

un canal spécialisé pour « unit record », cad cartes et imprimantes.

L'acquéreur peut disposer de 4 canaux avec un débit cumulé de 500 Kcar/s, à choisir dans ces trois types. Pour le bloc de calcul, il continue à être principalement câblé autour d'un adder 36 bits, tant pour l'arithmétique VA + S entière que pour la virgule flottante en convention IBM (mantisses 27 ou 54 bits).

En 1970, Standard semble renoncer à son approche commerciale pour réaliser et vendre un émulateur universel, le MLP 900. En effet, l'analyse de sa clientèle antérieure a montré qu'elle n'était pas constituée, comme on l'espérait, d'industriels cherchant une machine économiquement avantageuse, mais plutôt d'universitaires faisant des expériences en matière de microprogrammation.

De fait, l'annonce du MLP 900 reçoit de la presse technique un accueil très favorable. On trouvera dans la fiche correspondante deux articles en anglais dont un de Rosin, expert bien connu en microprogrammation, articles dont la substance a été intégrée, en français, dans la fiche.

Inconvénient de ce genre de clientèle : lorsque la joie de la découverte des techniques avancées de microprogrammation et d'expérimentation architecturale aura été épuisée, Standard se retrouvera sans client et devra disparaître, absorbée ou en faillite, on ne sait.

530 - Star Semiconductors

L'existence d'outils perfectionnés pour passer de la conception logique au silicium font que se multiplient les bureaux d'études désireux d'expérimenter des architectures nouvelles. Star Semiconductors, qui se serait ensuite rebaptisée Peptronics, définit ainsi un processeur de traitement du signal capable de délivrer 40 Mips à 50 MHz. Le bus accepte des transferts sur 24, 16 ou 8 bits et dispose d'un adressage 16 bits qui englobe, en interne, 1024 instructions et 1024 données.

Cette puce SPROC 1400 communique avec l'extérieur par quatre voies série à 12,5 Mbits/s, plus une voie parallèle pour les expérimentations On Chip Emulator.

Présentation en boîtiers CQFP ou BGA.

531 - Star Technology

Le ST 100 de cette société, annoncé en 1984, est un puissant array processor organisé en pipeline, et estimé 100 Mips, dans lequel on trouve :

un processeur de commande formé de deux 68000 qui commande tout le reste, ayant des liens avec le bloc de calcul, les entrées / sorties, et la maintenance.

un processeur de calcul qui comprend cinq opérateurs simultanés qu'il alimente en ordres et en données : deux additionneurs, deux multiplieurs, et un opérateur de division et de racine carrée.

trois caches de données reliés à la mémoire à travers des processeurs spécialisés : un storage move, et une conversion unit.

sept IOP liés à la mémoire et placés chacun au service d'adaptateurs spécialisés pour divers périphériques.

un DMA pour la liaison au calculateur hôte.

Il n'est pas certain que ce matériel ait eu le moindre débouché.

532 - Stardent Computer

Cette société s'est formée en 1990 par fusion de Stellar Computer et de Ardent, deux sociétés qui s'étaient lancées dans le domaine des stations de travail et l'avaient vite

trouvé encombré. La nouvelle entreprise déclare se spécialiser dans les stations graphiques.

Premier produit : une station baptisée 3000, parce qu'elle est basée sur l'emploi du microprocesseur R3000 de MIPS, associé à un FPU R3010 et à un processeur vectoriel de conception propriétaire. Cet ensemble fonctionne à 32 MHz, et peut comporter jusqu'à 4 de ces CPU, donnant un débit de 128 MFlops. La mémoire peut monter à 512 MB. Fonctionnement sous Unix.

Pour le graphique, on peut installer un ou deux écrans dotés des services les plus raffinés, fournis par un processeur nommé VX qui comprend pas moins de 24 ASIC. La couleur utilise 24 bits par pixel, et dispose d'un double tampon. Le processeur VX partage complètement les ressources de la mémoire et des 4 CPU.

L'installation de VX sur une station 3000 de base coûte \$ 30000 ; l'achat direct d'un 3000VX représente K\$ 100 à 300.

Cette même année, Stardent annonce une station moins ambitieuse, avec un ou deux processeurs, permettant 32 Mips ou 48 MFlops par CPU. Un processeur Intel 860 sert à émuler les instructions vectorielles du processeur maison dont on fait l'économie, et deux autres exécutent les calculs graphiques, dessin des polygones en 3D et coloriage : un tel système autorise la création de 40000 triangles coloriés par seconde.

Prix : \$ 17000 pour un processeur sans disque vendu en OEM ; \$ 70000 pour un biprocesseur complet vendu à l'utilisateur final. Pour \$ 39000, on peut obtenir par exemple un processeur, 16 MB de mémoire, un disque de 250 MB, un streamer de 120 MB pour les sauvegardes, un moniteur 16 » avec clavier et souris.

Début 91, nouvelle annonce : les Vistra 800 ne conservent que les processeurs Intel 80860 fonctionnant à 40 Mips, associés à 16 - 64 MB de RAM, un disque de 200 ou 400 MB, et un lecteur de disquettes 3,5 ». La performance est chiffrée à 31 Mips, 11,4 MFlops, ou 26 Spec92.

Les trois modèles de station diffèrent par leur graphique, qui utilise un autre processeur 860 :

le bas de gamme consacre 16 bits à chaque pixel, soit 65536 couleurs ; le débit est 200000 vecteurs 2D ou 35000 triangles 3D par seconde. Livraison en juin 91.

en milieu de gamme 800e les pixels 24 bits disposent de 16 millions de couleurs, et la performance est de 200000 vecteurs 2D ou 25000 triangles 3D par seconde.

le haut de gamme 800ex autorise, avec les mêmes pixels, 400000 vecteurs 2D ou 80000 triangles 3D/seconde. Livraison en septembre 91.

Le logiciel est Unix SVR4, qui supporte le logiciel graphique de Stardent, Application Visualisation System.

Il semble bien que, dans la dernière décennie du siècle, Stardent n'ait pas supporté une concurrence de plus en plus dure qui tuera d'ailleurs des entreprises beaucoup plus anciennes, comme DEC.

533 - Stellar Computer

Cette société a été créée en décembre 1985 par William Poduska, qui fut cofondateur de Prime et fondateur d' Apollo, et par Arthur Carr. Pour démarrer, ils ont trouvé 30 M\$

chez des agents de change, et sont en mesure, en mars 88, d'introduire leur console graphique, la GS 1000.

Il s'agit en fait d'un superminicalculateur qui n'utilise pas de microprocesseur, mais des processeurs spécialement conçus disposés en parallèle avec plusieurs pipelines, autour d'un bus à large bande nommé Datapath., qui accepterait des pointes de 1,28 GB/s à partir du cache. Cela semble concerner quatre processeurs de calcul entier, un processeur vectoriel, un processeur graphique et quatre processeurs d'entrées / sorties. Les processeurs de calcul délivrent 20 à 25 Mips ou 40 MFlops DP.

La mémoire comprend 16 à 128 MB et débouche sur un cache de 1 MB ; les disques ESDI de 380 ou 760 MB sont normalement au nombre de 4, avec possibilité d'une armoire d'extension à 16, et connectés sur un bus VME interne; un streamer 150 MB est prévu sur ce même bus ; pour les autres périphériques, il existe un bus PC/AT qui permet d'utiliser la riche palette des PC.

Il existe un processeur de service constitué par un 386 avec floppy 1,2 MB, éventuellement un disque de 80 ou 360 MB, un écran 1280 * 1024 pixels et cinq slots d'extension. Il sert à la gestion du système, à l'initialisation, au diagnostic et au contrôle des erreurs.

Le processeur graphique revendique 1,5 million de triangles par seconde., avec Z-Buffer. L'environnement logiciel correspondant, baptisé Stellarvision, fonctionne sous X-Window avec la librairie 3D et Phigs+ .

Le système d'exploitation Stellix est un dérivé d'Unix SVR3 avec les extensions Berkeley 4. 3, il dispose d'un Fortran 77 englobant les dispositions de VAX et les mécanismes paralléliseurs de Cray et Convex, et bien entendu du langage C.

Cette description de lancement, rédigée dans un langage flou employant délibérément beaucoup de mots savants et de néologismes, est principalement publicitaire. On peut s'étonner qu'avec tous ces perfectionnements et ces parallélismes la puissance de calcul ne soit que de 25 Mips. Le prix de \$ 98000 pour un tel processeur, avec 16 MB de mémoire et 380 MB de disque, n'est pas spécialement attractif.

On ne connaît pas le chiffre des ventes mais ce qui est clair, c'est que deux ans plus tard seulement, Stellar doit fusionner avec une autre firme nommée Ardent et, devenue Stardent, essayer de vendre des consoles construites de façon un peu plus classiques. Voir rubrique 532.

534 - Le DDA du Stevens Institute

Le Stevens Institute of Technology est un collège privé de Hoboken, NJ, qui dispose d'un Bassin des Carènes. Ce genre d'essais justifie d'importants calculs portant sur les équations différentielles de l'hydrodynamiques, pour l'exécution desquels l'Institut s'est doté, après la guerre, d'un Analyseur Différentiel Numérique ou DDA.

Construit en s'inspirant de Maddida, le premier DDA du à Northrop, il utilise des nombres binaires de 24 bits en fractionnaire VA + S. Chacun des 100 intégrateurs, qui est doté d'un multiplieur par une constante en plus du schéma de base, est inscrit sur un tambour magnétique de 10 » (254 mm) de diamètre, tournant à 1800 t/min et contenant 1600 mots. La partie logique, qui fonctionne à 104 KHz, comprend 450 tubes, 3000 diodes à cristal et 25 relais, étant assez développée du fait de la décision d'utiliser un

lecteur de cartes 30 bits/s pour les entrées et une machine à écrire 7,5 chiffres/s pour les sorties, tous deux codés en décimal 8421.

535 - Stewart - Warner

Cette société apparemment très peu portée sur les travaux militaires ne s'est pas manifestée pendant la guerre, ce qui veut dire ou bien qu'elle n'existait pas encore, ou bien qu'elle travaillait alors en dehors de l'électronique. Ses premiers contrats pour la Défense portent sur des radiogoniomètres de contremesures pour navires de surface (AN / SRD 6 et 7) et pour sous-marins (AN / BRD 2), couvrant toute la gamme des fréquences utilisées à cette époque pour les communications (100 KHz à 100 MHz).

Par la suite, elle construit le radar de tir de l'avion A4, AN / APG 53, mais à partir d'un prototype de la Naval Avionics Facility; puis une série de 488 radioaltimètres pour les F4C et F4D; puis divers matériels aéronautiques dont elle n'a pas fait l'étude, mais dont elle partage la fabrication en série.

Bref, elle nous laisse l'impression, peut-être entièrement fautive puisque nous ignorons ses activités civiles, d'un très petit rôle dans l'énorme expansion de l'électronique américaine. En 1957, cette société s'essaye, comme tout le monde et apparemment sans objectif commercial, à la réalisation d'un ordinateur numérique. C'est une machine à tambour magnétique, mais assortie d'une mémoire auxiliaire de 6000 cartes magnétiques, chacune contenant 10 secteurs de 64 caractères. Le but de cette machine semble avoir été documentaire, car elle disposait :

pour les entrées, d'un lecteur de bande perforée et d'un flexowriter
pour les sorties, de six machines, flexowriter et additionneuses.

536 - Storage Technology

Il s'agit d'un fabricant de périphériques compatibles IBM, apparu assez tard - c'est-à-dire après les procès Telex et leur conclusion en matière de jurisprudence - et voué aux mémoires magnétiques : d'abord les dérouleurs de bandes, puis les disques, et dans ce dernier domaine la société a fini par dépasser la production d'IBM, avec des hauts et des bas. On peut citer quelques matériels caractéristiques :

STC 1900 (1970) : dérouleurs de bandes vendus en OEM pour les fabricants de minicalculateurs, densités 800 / 1600 / 6250 bpi, et vitesses 75 et 125 ips.

STC 3400 (1972) : dérouleurs toutes vitesses et toutes densités, compatibles avec les IBM 3420

STC 3600 / 3800 (1973) : la famille 3600 offre toutes les densités de 200 à 6250 bpi, et toutes les vitesses de 75 à 250 ips, et vendra ces machines jusqu'en 1980. A cette date, STC détient un tiers du parc et 40% des livraisons de dérouleurs, ayant pour clients Burroughs, Sperry Univac, DEC, CII / HB, Siemens et certains compatibles.

STC 4670 (1983) : nouveau dérouleur compatible IBM, explicitement présenté comme plus économique en place occupée et en énergie consommée, capable en outre de se loger à 400 ft (120 mètres) de

l'unité centrale. La nouveauté est que STC propose non seulement les dérouleurs, mais tout le sous-

système, comprenant un contrôleur microprogrammé pour faciliter les diagnostics, et un tampon

optionnel 32 KB pour permettre un débit adapté à toutes les vitesses pratiquées par IBM, soit

1,5 - 2 - 3 - 6 MB/s, la dernière proposée avant qu'IBM le fasse officiellement.

Les prix dépendent des performances, se situant entre 46800 et 68440 \$.

STC 4980 (1988) : dérouleur compatible avec l'IBM 3480, et utilisant des cartouches de 200 MB, 37870 bpi. Le dérouleur contient deux microprocesseurs et un cache de 1 MB, avec deux chargeurs de 10

cartouches. L'interface est compatible IBM, mais STC propose aussi des interfaces SCSI synchrone ou asynchrone.

En matière de disques, STC débute en 1973 en commercialisant un compatible 3330 probablement issu d'ISS, le STC 3335. Toutes les caractéristiques sont identiques à celles de l'original.

Cependant, dès cette même année, STC met en place sa propre production :

STC 8400 / 8800 (1973) : ce produit comprend deux dispack (8400) ou quatre dispacks (8800) accessibles simultanément par un jeu de 2 ou 4 têtes portées par un bras en croix. Ces dispack, amovibles

seulement pour la maintenance, comprennent chacun 29 faces utiles, 552 pistes par cylindre, soit une

capacité par cylindre de 1,5 MB environ, ou 834,3 MB par cylindre. Le débit est celui des produits

IBM.

Ces disques sont vendus avec un contrôleur microprogrammé STC 8000 qui assure la compati-

bilité avec les 3330 IBM ; un dispositif additionnel STC 8001 permet de mélanger ces unités avec

les 3335 plus classiques, et la capacité totale pour un contrôleur est de huit 8800. Livraison 9 / 74.

STC 8850 (1975) : ce modèle est une version à densité accrue du 8800, 6400 bpi et 238 tpi, autorisant une capacité de 1270 MB / unité, et un débit de 1198 KB/s. Les temps d'accès sont les mêmes qu'

IBM, soit 10 / 25 / 50 ms pour mini / moyen / maxi.

Ces disques non amovibles, compatibles IBM 3350, sont livrables fin 76, comme aussi le 8450 à

deux pack, capacité 635 MB. Ils peuvent être connectés, dans les machines IBM, à un ISC

(pseudocontrôleur microprogrammé), ou à un contrôleur STC 8000.2 .

STC 8350 (1977) : ce compatible 3350 comprend deux axes, de 317,5 MB chacun, en technologie Winchester, avec un maximum de 10 GB par système. Il se présente en armoire de 1104 mm de

haut * 1194 mm de large * 800 mm de profondeur.

STC 8650 (1979) : même mécanique et même contrôleur, capacité doublée à 1270 MB. Chaque axe est divisé en deux zones, les temps d'accès des deux zones étant différents : 23 et 18 ms. Des options

commutables sont proposées :

- adressage alterné entre deux zones d'un axe

- définition de deux volumes logiques par axe, entrelacés par zone ou non, au choix.

Les deux électroniques d'axes sont commutables, et l'option dual port permet d'accéder aux deux axes simultanément.

STC 8370 (1980) : est un compatible 3370, 571,3 MB en un seul axe, avec deux accès dotés d'électroniques indépendantes commutables, et une organisation FDA des données. Le débit est 1,86

MB/s, le temps d'accès moyen 20 ms.

Prix s'étendant de \$ 25270 pour un tourne-disque asservi à \$ 46330 pour un modèle intégrant un contrôleur à deux canaux ; ces prix ont été révisés en 1982 à \$ 28960 / 56510.

STC 8380 (1980) : est un compatible 3380, capacité 2,52 GB en deux axes dotés chacun de deux actionneurs, débit 3 MB/s, accès moyen 16 ms. Chaque actionneur a deux accès.

Les prix sont très légèrement inférieurs à ceux d'IBM, soit \$ 79380 à 139630 par tourne-disque, révisés en 1982 à \$ 82555 / 117300, ce qui indique peut-être que le prix de la mécanique

était sous-estimé, et que celui de l'électronique pouvait être diminué, à moins qu'il ne s'agisse

seulement de pousser les clients à accroître la longueur des chaînes.

Une version à double densité est annoncée pour 1986, au prix de \$ 108200 ; les conversions des

tourne-disques existants sont possibles pour \$ 45000.

A cette date, profitant de l'évolution des architectures qui donne plus d'indépendance à la fonction stockage, STC propose de fournir en bloc un VSS, Virtual Storage System : c'est un ensemble composé d'une paire de calculateurs compatibles IBM, gérant totalement la fonction stockage / archivage sur disques et bandes. Le logiciel fait apparaître ce VSS comme un simple périphérique à l'hôte IBM, accessible dans les langages par GET / PUT ou READ / WRITE ; il donne les services suivants : optimisation des temps d'accès à travers la mémoire des CPU formant cache. mécanismes de sécurité par duplication de stockages sur demande ; à l'époque, le concept RAID n'existe pas encore.

copie sur bandes de toutes les transactions qui modifient le contenu des disques.

journal sur bande magnétique.

gestion globale de la fonction d'archivage sur bande à partir d'un seuil de volume disque pour un client, sans que le fichier disparaisse du catalogue.

Prix typique : \$ 53290 par mois (3 ans minimum) pour deux CPU, deux mémoires de 4 MB, et des contrôleurs avec 6 dérouleurs 3650 et 16 disques 8650, soit 20,3 GB.

Autre proposition un peu moins ambitieuse faite en 1984, le Sybercache, un cache de 1,5 à 12 MB avec débit de 3 MB/s et temps de réponse de 3 ms. IBM propose

quelque chose d'analogue, mais plus cher. STC fait état de l'expérience d'une compagnie pétrolière, constatant 62% d'amélioration des temps de réponse aux ordres d'échanges avec les disques.

Plus original et aussi plus marginal, le STC 4305 proposé en 1979 est un équivalent logique du disque IBM 2305, réalisé avec des CCD de 64Kbits. Chaque puce contient 16 boucles de 4 Kbits, et 72 puces sont mises en parallèle dont on cherche à extraire un mot de 72 bits. La réalisation prend la forme de cartes de 11,5 * 16 » (292 * 406 mm) contenant 1 MB, regroupées dans une armoire qui peut contenir jusqu'à 45 MB (6912 CCD) et dont l'encombrement est la moitié de celui du 2305. L'accès moyen dure 0,7 ms, le débit est compris entre 1 et 3 MB/s, et le prix s'établit entre 150 et 400 K\$. Au total, cette unité est sur tous les plans bien plus avantageuse que le vrai 2305, mais elle arrive trop tard, à un moment où ce disque rapide n'est plus guère utilisé. En outre, STC aura des difficultés à se procurer ces puces peu prioritaires auprès des fabricants Texas et Fairchild.

Enfin et malgré sa réussite technique et économique, l'unité sera abandonnée et remplacée en 1985 par une mémoire de masse rapide, de même sigle, à base de DRAM 256 Kbits, qui pourra être étendue jusqu'à 768 MB, et connectable à un maximum de 8 canaux. Prix de départ, 69100 \$ pour 12 MB.

Autre tentative dans le domaine des mémoires de masse, le STC 7640 proposé en 6/84 est un disque optique non effaçable de 4 GB, en cartouche amovible 7440 de 14 » enregistrée sur une seule face. Le sous-système maximum comprend deux contrôleurs 8880 reliés à IBM par un maximum de 16 canaux, et gérant jusqu'à 8 unités de lecture. Débit 1,5 MB/s ou 3 MB/s sous MVS/SP1.3, vie 10 ans.

Prix de base K\$ 130, ou \$ 3785/mois sur 36 mois minimum, plus logiciel à \$ 1000 fixe + \$ 400 / mois. La cartouche coûte \$ 140 à 225 selon quantité.

Prix en France : 1311000 FF de base + 11200 FF logiciel fixe + 7540 FF/mois de logiciel + 3640 FF/mois de maintenance + 2162 FF par cartouche.

A ce moment Storage Technology est en plein succès, et gagne régulièrement des parts de marché, au prix de risques financiers qui aboutissent, en 1985, à un dépôt de bilan. La responsabilité de cette situation incombe en partie à un niveau de vie un peu luxueux, mais surtout aux VSS, dont la mise au point a été pénible, conduisant à des annulations : l'année 1984 se termine avec M\$ 505,4 de pertes sur un CA de 808,6 M\$, en majeure partie imputables au dernier trimestre, M\$ 406,1 de pertes sur un CA de 151,9 M\$. STC demande la protection du Chapitre 11.

Les mesures prises, abandons d'activités, ventes d'actifs, licenciements de 4000 personnes, renégociation des avances bancaires, etc... permettent une année 1985 moins catastrophique, M\$ 57,4 de pertes pour M\$ 673,4 de CA, mais avec un dernier trimestre comportant M\$ 2,2 de bénéfice sur des ventes de 168,6 M\$. Le produit phare de cette remontée est le disque 8380, déjà cité. Il y aura ensuite :

STC 5000 (1986) : imprimante à bande en acier inoxydable, contrôlée par microprocesseur, avec deux têtes de frappe, ce qui permet d'avoir plusieurs vitesses : la bande très dense tournant moins vite améliore la qualité. Choix de bandes 48, 50, 52, 63, 94 et 124 caractères, bandes spéciales sur commande. Papier à 4 tracteurs,

espacement au choix 6 ou 8 lignes par pouce. Mécanisme « intelligent » de tassement du papier imprimé.

Cette imprimante est proposée en deux modèles : la 5280 travaille à 2800 lpm, la 5500 a un choix de trois vitesses 3000, 3800 et 5000 lpm.

4400 ACS (1991) : c'est une bandothèque dont STC prend l'initiative, et qui exploite les cartouches 3480 de 200 MB. Ce sera un vrai succès, avec 2400 installations au début 91, 4000 en fin d'année. L'évolution prévue pour cette catégorie de matériels comprend :

9/92 Silverton, un robot exploitant les cartouches 3490E à 36 pistes

1992 Clipper, passage du guichet d'entrée de 21 à 80 cartouches

1993 Powderborn, nouveau robot passant de 130 à 300 montages par heure.

nouveaux modèles de début : Mountain Lion gérant un parc de seulement 300 cartouches, Wolferack plus rapide à 500 cartouches, Timberwolf à 1000 cartouches.

1994 aboutissement possible d'une étude de cartouches 20 GB à enregistrement hélicoïdal.

Iceberg (1992) est le matériel d'entrée compatible avec les IBM 3990 / 3390 : il comprend 2 à 8 grappes de 16 tourne-disques de 5,25 » de diamètre, d'origine Hewlett Packard, soit une capacité de 100 à 400 GB. Les grappes inaugurent une sorte de RAID avant la lettre. Gros succès, qui entrainera le démarrage d'une coopération entre IBM et StorageTek. Voir fiche et photo, et aussi la rubrique 333 des derniers périphériques pour les ES 9000.

STC 9638 (1994) est compatible avec le disque IBM 9337 et destiné aux AS / 400. A base de disques 3,5 » de 1 ou 2 GB par tourne-disque, ce système dont le contrôleur contient 4 à 64 MB de cache peut atteindre une capacité de 5,8 à 11,8 GB; la fiabilité due à une organisation RAID 5 lui permet de continuer à fonctionner même avec deux pannes simultanées.

STC 9737 (1994) vise le même marché avec des disques plus classiques, en offrant une capacité totale de 6,8 ou 13,8 GB selon disque utilisé. Le débit atteint 10 GB / s.

A la fin de notre période de référence, Storage Technology n'est plus leader dans le domaine des mémoires de masse, non plus d'ailleurs qu'IBM : l'un et l'autre restent d'importants producteurs mais le Numéro Un est désormais EMC .

537 - Les processeurs à tolérance de pannes de Stratus Computers

Au moment où Tandem offrait une solution logicielle au problème de la tolérance de pannes, critique dans les applications transactionnelles de type bancaire, Stratus se crée pour proposer une solution plus matérielle, basée sur des duplications assorties de comparaisons.

Le système est construit autour d'un double bus à 16 MB/s, sur lesquels sont attachés les modules; chaque type de module est dupliqué, avec connexion de chaque moitié à une alimentation et à un bus, et comparaison ; en outre, ce contrôleur / comparateur est lui-même doublé. Les modules sont CPU, mémoire, disques,

communication, link, et il peut exister jusqu'à 32 modules dans un système, reliés par le Stratalink, bus intermodules qui échange des messages à 2,8 MB/s.

Si les deux moitiés d'un contrôleur de module sont en désaccord, le contrôleur se déconnecte, génère une interruption de maintenance et allume une lampe rouge, tandis que l'autre carte continue seule à gérer les deux bus. Le système d'exploitation examine alors la carte défectueuse pour déterminer si l'erreur est transitoire ou permanente et dans le premier cas elle est remise en service ; les fautes permanentes sont signalées au Centre d'assistance clients qui expédie le jour même une carte de remplacement compatible, avec les instructions pour la mise en place, qui se fait en marche.

On notera que deux cartes identiques attaquent le bus en OU et sont donc synchrones, avec une horloge commune.

La machine initiale est le Stratus 32, qui contient deux alimentations, deux unités centrales, 1 ou 2 blocs de mémoire 8 MB, 1 ou 2 disques de 143 MB, une bande de sauvegarde, et un jeu de contrôleurs doublés pour les entrées / sorties.

Chaque unité centrale contient deux paires de 68000, avec dans chaque paire un pour l'OS et un pour les applications. La comparaison a lieu toutes les 125 ns. Puissance estimée 700 Kips.

Le bloc mémoire de 8 MB est construit avec quatre cartes de 2 MB, utilisant des puces de 64 Kbits.

Les contrôleurs sont à base de Z80A, et doublés. Celui des disques peut supporter un maximum de 2,5 GB de disques, en commençant par deux disques de 143 MB ; la bande de sauvegarde leur est également attachée. Les contrôleurs de communication peuvent s'attacher jusqu'à 64 terminaux.

Le système d'exploitation à mémoire virtuelle s'appelle VOS, V pour virtuel. Il dispose de trois compilateurs COBOL, Basic et PL/I, qui partagent un optimiseur de code intermédiaire. Il peut aussi utiliser X25 pour interconnecter plusieurs ensembles Stratus 32.

Prix typique : 135000 \$ pour un système comportant deux fois 2 MB de mémoire, 33 MB de disque et 2 bandes, avec VOS et COBOL. 140 machines étaient vendues en mars 84.

A cette échéance de 1984, le succès constaté convainc IBM de prendre en charge la distribution, sous le nom de System 88, tandis qu'en Europe c'est Logabax qui prenait cette charge.

Les processeurs proposés à cette date reprennent l'architecture de base des Stratus avec des paires de 68010 assortis de coprocesseurs :

le XA400 comprend deux machines de base, soit 4 processeurs logiques ou 8 microprocesseurs, complétés par 8 MB de mémoire, 2 contrôleurs de disques avec un maximum de 21 GB, 1 contrôleur pour 3 dérouleurs, 2 contrôleurs de communication pour un maximum de 128 terminaux. Une machine de base à deux processeurs logiques vaut \$ 185000.

le XA600 comprend trois machines de base et coûte K\$ 270. Il peut s'étendre à 16 MB de mémoire, 42 GB de disque, 3 bandes et 256 terminaux.

L'extension du double bus à 32 modules reste possible. On estime la puissance du système à 2 Mips par processeur logique, et son aptitude aux applications à 3 ou 4 transactions par seconde.

En mars 91, Stratus annonce d'abord un haut de gamme XA 2000 à base de 68030, en deux modèles 270 et 280 comprenant respectivement 7 et 8 paires de 68030, avec 64 à 256 MB de mémoire et jusqu'à 1440 terminaux ou lignes de communication. Le logiciel propriétaire VOS peut être remplacé par FTX 1, une adaptation tolérante de Unix SVR3. Les prix commencent à M\$ 1,266 ou M£ 1,1 pour le 270, M\$ 1,411 ou M£ 1,2 pour le 280.

En bas de gamme, renouvellement complet. Constatant que Motorola ne donne pas suite à sa famille RISC 88000, Stratus se décide pour le microprocesseur RISC Intel i860, et annonce en 3 / 91 le matériel XA/R20 comprenant une carte à 2 CPU, plus cache de 512 KB et comparateurs, fonctionnant à 33 MHz et estimée 40 Mips. Le logiciel peut être VOS pour 237000 £, ou le nouvel FTX 2 construit à partir de Unix SVR4, pour 213000 £. On peut aussi utiliser SINAP, Stratus Intelligent Network Application Platform, un logiciel de réseau fiable à \$ 85000 pouvant gérer jusqu'à 600 terminaux.

L'année suivante, cette offre d'essai qui a séduit sera développée avec deux versions du i860 à 32 et 48 MHz, utilisées pour construire une nouvelle gamme à trois étages, autour de cartes contenant 2 CPU, cache et comparateurs:

armoires à 6 slots pour les développeurs : XA/R5 contient une carte à 32 MHz, le XA/R10 une carte à 48 MHz, avec 32 à 128 MB de mémoire, 0,6 à 13 GB de disques, et jusqu'à 190 lignes.

armoires à 10 slots pour petits clients : XA/R25 à une carte 32 MHz, XA/R35 à une carte 48 MHz, XA/R45 à deux cartes 48 MHz, plus 64 à 256 MB, 0,6 à 39 GB de disques, et jusqu'à 600 lignes.

armoires doubles à 28 slots pour clients sérieux : XA 305 à une carte, XA 310 à deux cartes, XA 320 à quatre cartes, XA 330 à 6 cartes, avec 64 ou 128 à 512 MB de mémoire, 0,6 à 105 GB de disques, et jusqu'à 1760 lignes.

Logiciel VOS ou FTX 2 et SINAP comme précédemment.

En 3 / 95, le i860, que Intel ne semble pas décidé à pousser davantage, cède la place au PA RISC 7100 de Hewlett Packard, 72 ou 96 MHz, avec l'annonce d'une gamme de 9 machines:

série 600 de 4 modèles moyens dont l'armoire offre 6 slots pour contrôleurs

série 1200 de 5 modèles haut de gamme offrant 12 slots d'extension.

Ces machines comprennent de 1 à 4 CPU, 128 MB à 1 GB de mémoire, jusqu'à 3 IOP, 10 à 178 GB de disques plus ou moins doublés., et jusqu'à 84 adaptateurs de communication pour un maximum de 1344 terminaux transactionnels. 512 MB de mémoire se trouvent sur la carte CPU, pour soulager le bus.

Logiciel VOS ou FTX 3, 100% tolérant à toute panne du réseau, du logiciel ou du matériel. Compatible avec les produits précédents par recompilation.

C'est la gamme Continuum . Prix : 706000 à 6,4 MF.

538 - Stromberg - Carlson

Cette entreprise se manifeste après la guerre en acceptant, en 1954, un contrat de fabrication de consoles PPI de grand format (22 ») pour les besoins de la Marine, ce qui déclenche une vocation. Pendant les années suivantes, la société inventera, probablement avec le soutien de crédits militaires, le tube Charactron, avec lequel elle réalisera toute une série de consoles pour projections d'images radar renseignées avec cartes et indications littérales ou numériques, qui seront proposées pour des applications civiles, aussi bien que pour des systèmes militaires.

Elle continuera à exécuter chaque année des contrats militaires diversifiés, citons :

1958 AN / DKT 9 émetteur de télécommande pour missile

AN / DPN 50, balise de missile et récepteur de la télécommande, bande C

1959 AN / GRC 19, émetteur récepteur HF 100 watts

AN / POS 1, sonar portatif pour hommes-grenouilles, portée 300 mètres

1960 AN / TTC 12, standard téléphonique terminal sur camion pour 200 abonnés, 50 lignes intercentraux, 60 conversations simultanées.

AN / TTC 13, standard téléphonique routeur, gérant de lignes multiples provenant de TTC 12

AN / TTC 15, standard téléphonique automatique pour une division, offrant 72 lignes vers des TTC 12, 18 vers des TTC 13, et 48 lignes.

1962 AN / ARM 53, testeur pour asdic d'hélicoptère.

Cette année-là, Stromberg-Carlson sera achetée par la General Dynamics, une grosse entreprise d'armement issue de l'avionneur Convair et utilisant l'immense usine gouvernementale de Fort Worth, qui pendant la guerre produisait en série les bombardiers Liberator B24. Elle en deviendra la division électronique et désormais travaillera essentiellement sur des programmes de sa société mère, beaucoup plus que sur des contrats militaires directs.

Dans le cadre de la présente étude, Stromberg-Carlson ne nous intéresse qu'à travers son activité informatique, tout à fait modeste : les consoles à Charactron trouvent certes leur principal intérêt dans le cadre de grands systèmes informatiques, mais il est rare que General Dynamics en soit le maître d'oeuvre.

Ce sont les modèles SC 1000 et 2000 de 1959.

Le modèle SC 1090 de 1961 reprend les précédents avec un charactron de 19 » dans un meuble de 66 » long * 32 » large * 45 » haut (1676 * 813 * 1143 mm) qui sait présenter nombres, vecteurs et caractères dans des alphabets taillés à la demande des applications. Prix \$ 30000.

La variante de 1964 comporte une fenêtre arrière à travers laquelle il est possible de projeter en superposition film ou diapositives.

Ces consoles vont faire l'objet de développements dans diverses directions , en vue de trouver des applications civiles :

SC 3000 est une imprimante de 1959, assez modeste: la 3070, par exemple, toujours à base de charactron, imprime 350 lpm et coûte \$ 15000.

SC 3400 de 1967 est une imprimante capable de 1 page par seconde, proposée comme complément des machines à film dont on parle plus loin.

SC 5000 , qui semble exister dès 1958, utilise le procédé xérographique de Horizon, Inc. pour la reproduction, ce qui n'est économiquement possible (prix élevé de la licence) que pour des applications directement ou indirectement militaires.

Le principal débouché semble avoir été la sortie sur film, ou COM, avec la série 4000 . Comme indiqué ci-dessus, il était possible d'avoir en supplément une sortie sur papier, mais avec un mécanisme indépendant et donc très coûteux.

SC 4010 est un COM à hautes performances pour les calculateurs LARC et NORC.

SC 4020 est le modèle le plus élaboré, produit à 24 exemplaires au prix de \$ 240000 pour une sortie papier à 3840 lpm, ou \$ 214500 pour la sortie film 35 mm seulement, 8700 lpm. L'appareil reçoit ses ordres d'un calculateur ou d'une bande magnétique, sous forme de mots de 36 bits dont 20 pour les coordonnées x et y du point de départ, - bits d'opération, et 6 bits par caractère ensuite. Le répertoire comprend les opérations plot, expose heavy, expose light, reset, type specified point, type current point, carriage return, stop type, generate x axis ou y axis, draw vector (tirer un trait droit entre deux points), select camera 1 ou 2 ou les deux, advance film, project form. Le débit est 17400 cps ou 12500 traits ou points par seconde.

SC 4060 de 1967 reprend le même mécanisme avec un maximum de commodités : entrée au choix par bande magnétique, carte ou ruban perforé, clavier, ordinateur, 4 polices, impression et présentation sur écran en option. Prix de base \$ 8085 par mois.

SC 4400 de 1964 est une sortie sur film à 62500 cps, utilisant un charactron.

SC 4440 de 1967 améliore ce modèle à 90000 cps et 70000 pages de microfilm par 8 heures, avec repérage, pour \$ 3950 par mois. Source bande ou ordinateur.

SC 4460 est le même mécanisme, avec un alphabet de 96 caractères, 4 tailles, espacement proportionnel, pour un prix de \$ 5000 par mois.

SC 4360 de 1967 est un nouveau modèle dont les caractéristiques semblent condamner les produits précédents : 30000 cps, 20000 pages de microfilm par journée de 8 heures, pour \$ 1950 par mois.

En 1968, SC absorbe Digigraphic et le sigle devient SD, mais le matériel proposé ne semble pas avoir changé :

SD 4360 de 1968 est un COM à base de charactron , 30000 cps, 7000 lpm, 132 caractères par ligne, 64 lignes par page, 120 pages par minute, avec cameras au choix de 16 à 105 mm, cette dernière correspondant à la production de microfiches.

SD 4500 de 1973 existe en trois modèles :

le modèle 120 est en ligne sur le canal multiplex d'une IBM S/370, et soutient 14200 lpm sur film 16 mm ou microfiche 105 * 148 mm, avec choix de réduction 48, 42 ou 24, police OCR B.

le modèle 130 reçoit ses ordres d'une bande magnétique, acceptant les codes IBM, Bull ou ICL.

le modèle 150, également off line, comprend un miniordinateur pour autoriser tous les modes d'entrée et assurer une programmation : mémoire 16 à 28 K * 16 bits, cycle 500 ns ; disque 4,6 MB, LC, IP 600, lecteur de minicassettes au pupitre pour l'introduction des programmes.

Dans un registre plus modeste, et cette fois sans utiliser de charactron, SC a produit aussi des consoles de table, longtemps avant la généralisation des écrans :

SC 1100 de 1965 comporte un écran alphanumérique et un clavier, en deux variantes de 10 et 500 caractères par écran.

SD 1110 de 1968 est un poste d'agent pour le système Panamac, dérivé directement du précédent : 57 exemplaires ont été commandés pour essai au prix de M\$ 1,3.

Si l'on s'intéresse plus particulièrement aux seuls ordinateurs, on peut citer seulement une petite étude de 1957, le calculateur EUCLID : c'est une machine série, travaillant à 20 KHz, réalisée uniquement avec des tores pour une grande fiabilité. Elle fait les additions et soustractions en binaire, ainsi que les conversions des entrées décimales. Usage inconnu, a priori militaire ou spatial.

539 - Sun Micro Systems, Inc.

En 1982, une équipe de chercheurs de Berkeley, enthousiasmée par le microprocesseur 68000 de Motorola, fonde une petite société qui commercialisera une station de travail caractérisée par les choix suivants :

usage du 68000, le microprocesseur le plus puissant et le plus intelligent du moment.

usage de bus commerciaux, Multibus ou VME au choix, pour connecter les périphériques, dont au moins un disque magnétique.

usage d'un moniteur de grande taille pour pouvoir faire du graphique et manipuler plusieurs programmes simultanément.

usage du système d'exploitation Unix pour disposer de son interface X-Window de fenêtrage, de ses fichiers arborescents, de son multitraitement.

existence d'une connexion Ethernet introduisant le poste de travail dans une communauté, le réseau, à travers lequel il a accès aux données et programmes des autres membres, sous réserve de leur accord.

Ces diverses caractéristiques, qui rendaient le poste trop coûteux pour la clientèle familiale, mais qui ouvraient à des étudiants des ressources collectives pour la recherche, définissaient un matériel nouveau et promis à un grand avenir, la « station de travail ».

La première d'entre elles fut donc le Sun 1, avec un 68000 à 10 MHz, 2 MB de RAM à cycle de 150 ns, une mémoire virtuelle de 16 MB, une interface Ethernet, et Unix 4.2 de Berkeley. Très vif succès.

Dès 1983, par conséquent, profitant du pas en avant de Motorola, Sun était en mesure de proposer un Sun 2 qui reprenait toutes les idées du Sun 1 avec un processeur plus puissant. Voir fiche.

Très gros succès, marqué en particulier que presque tous les fabricants de CAO achètent en OEM des stations Sun pour en équiper leurs nouveaux modèles: Computervision, Compugraphic, Ericsson, Gould, Teradyne, Genrad, Fixtron, TRW, Martin Marietta.

En 1985, les stations Sun 3 apparaissent, compatibles Sun 2, pour exploiter les 68020 à 16,67 MHz, et Sun fait définitivement le choix du bus VME. Les options sont comme précédemment une VF optionnelle avec un 68881 à 12,5 MHz, mais la mémoire virtuelle est portée à 256 MB.

Cinq modèles sont proposés:

3 / 75 M, pas de VF, mémoire 2 à 8 MB, disque 75 MB, 2 portes série, écran monochrome.

3 / 160 M, avec option VF, 2 à 16 MB de mémoire, choix de disques 71 / 130 / 380 MB, écran mono.

3 / 160 C utilise un écran couleur avec un processeur graphique.

3 / 160 S est un serveur central, sans console mais avec plus de disques

3 / 180 S défend le même programme avec encore plus de disques.

Dans les années suivantes, ces modèles 2 Mips, avec bus principal 15 MB/s et bus IO à 5 MB/s seront renforcés par deux nouveaux modèles plus performants:

3 Mips à 20 MHz, avec bus 20 MB/s et bus IO à 8 MB/s.

4 Mips à 25 MHz, avec bus 33 MB/s et cache, même bus IO.

Ces machines ayant été achetées en France par maints laboratoires de recherche, nous disposons de documentations sur l'assembleur et sur la mise en oeuvre du Sun 3, en français et en anglais.

En 1985, le chiffre d'affaires de Sun atteint 115 M\$, mais la firme observe le succès de son concurrent Silicon Graphics qui a fait choix des processeurs MIPS, et se décide à quitter les 68000 pour passer au RISC. Il aurait été possible de poursuivre avec Motorola qui lançait les 88000, mais Sun prit le risque d'une opération plus ambitieuse : définir une architecture RISC propriétaire, directement inspirée du RISC II de Berkeley qui donnait à l'entreprise un label scientifique, et le faire de manière à rallier, comme MIPS, le plus d'entreprises possibles.

Cette architecture, nommée SPARC, est assez timide pour un microprocesseur destiné à des stations de travail, et en particulier elle ne dispose pas d'une multiplication câblée en arithmétique entière, seulement d'un multiply step. C'est qu'à cette époque Sun n'envisage encore qu'une clientèle scientifique, à laquelle l'architecture SPARC offre un FPU doté d'un répertoire convenable. L'architecture fait aussitôt l'objet de quatre licences, Cypress et LSI Logic aux USA, Fujitsu au Japon, Philips en Europe ; et Cypress entreprend immédiatement la réalisation d'une puce SPARC, la 7C600, qui va constituer le coeur de la première station RISC de Sun, la Sparcstation 1. Il y aura plusieurs autres licenciés par la suite (BIT, Ross, Texas, ...).

Dans un conditionnement très modeste, 41 * 41 * 5 cm, cette station offre pour 120000 FF une puissance de 10 à 12 Mips, et 1,4 Mflops en vectoriel, ainsi qu'un processeur graphique permettant de visualiser, sur un écran de 17 à 19 », 240000 vecteurs 3D par seconde. En stockage, elle peut se connecter jusqu'à 1,3 GB de fichiers sur disques.

A ce modèle haut de gamme, Sun ajoutera, en 1990, un séduisant produit d'appel, la Sparcstation SLC, d'encombrement encore plus réduit puisque le processeur RISC et 8 MB de mémoire sont logés dans le moniteur lui-même, un 17 » monochrome présentant une résolution exceptionnelle de 1152 * 900 pixels. En l'absence de disque, la machine est silencieuse, et ne coûte que 39000 FFHT, y compris des logiciels comme les tableurs Wingz ou Lotus 1-2-3 et l'éditeur Framemaker.

Ces stations fonctionnent avec un système d'exploitation baptisé Solaris 1.1, qui reprend à peu près le SunOS 4.1.3 des derniers 68000.

Ce changement de portage est un coup de maître, et fin 90 le chiffre d'affaires de Sun, croissant de 85% par an, atteint 2466 M\$, dont 1 Md FF en France, tandis que les

bénéfices progressent de 67% par an pour atteindre 111,2 M\$. Sur un marché des stations qui s'élève cette année-là à 370000 unités, Sun en a vendu 38,2% en nombre soit 141800, et 32,4% en valeur, loin devant Hewlett Packard et DEC, sans compter IBM qui débute seulement avec 6,6% en valeur pour ses RS/6000. Voir photo.

En novembre 1990, Sun annonce la Sparcstation 2, utilisant un nouveau processeur Sparc de Cypress à 40 MHz, et couvrant toute la gamme des stations grâce à trois cartes graphiques différentes. La société se retrouve ainsi non seulement leader quantitatif, mais comparable techniquement aux produits haut de gamme de Silicon Graphics et DEC 5000. Ce succès sera souligné par trois observations :

des cartes d'extension sont proposées, notamment la Spirit 30 de Sonitech. Cela n'arrive qu'aux machines qui se vendent bien, puisqu'il faut amortir la fabrication de l'extension. des versions renforcées de la Sparcstation 2 sont proposées aux militaires et aux entreprises travaillant à l'extérieur par des spécialistes comme Rugged Digital et Solaris Systems, voir photos.

un accord est négocié, au début de 1992, avec Cray Research, qui forme une filiale Superservers pour étudier, construire et commercialiser des serveurs multiprocesseurs à base de Sparc. Toutefois, le Solaris 2.0 capable de gérer les multiprocesseurs de façon symétrique ne sortira que fin 92.

Simultanément, Sun transforme ses Sparcstations 1 excédentaires en Sparcstation IPC, qui offrent à un prix compétitif de 12500 \$ les services d'un gros PC avec graphique GX ; cependant, Sun ne s'engage pas dans une compétition avec les PC, estimant que Unix est peu compatible avec l'exploitation essentiellement individuelle des PC.

L'usure du Sparc devenant évidente en face de la montée des microprocesseurs Intel et MIPS, Sun procède à la spécification d'un successeur, le SuperSparc, et fait divers essais ; en particulier il y aura un essai en ECL chez BIT (1991), sous la forme d'un Sparc ECL en 6 puces 80 MHz, dont chacune est limitée à 50000 transistors.

Mais, malgré la performance de cette réalisation (67 Mips), Sun préférera finalement une réalisation CMOS en un seul boîtier, plus économe en énergie : Texas Instrument va la concrétiser pour lui en BiCMOS 0,8 μ avec trois couches métalliques, et cela exigera la surface inquiétante (pour la rentabilité du processus) de 2,56 cm², mais limitera la consommation à 8 watts.

Le nouveau microprocesseur dispose de 90 opérations, contient 3,1 Mtransistors, peut fonctionner dans sa première version jusqu'à 51 MHz, et génère 65,2 Specint92, 83 Specfp92. L'accent est mis, s'agissant de stations de travail, sur l'efficacité en flottant. Il incorpore deux caches internes, I de 20 KB et D de 16 KB, et peut améliorer sa performance avec un cache L2 externe de 1MB. Il contient trois opérateurs simultanés, FXU, FPU, load/store. Il se présente dans un boîtier PGA de 293 bornes.

Le système d'exploitation capable des Supersparcs, Solaris 2.1, n'est disponible qu'en fin 93.

Le Sparcserver 1000 rassemble jusqu'à 8 Supersparc à 50 ou 60 MHz, groupés sur un bus interne à commutation de paquet. A travers un cache de 1MB ils exploitent une mémoire de travail de 32 à 2048 MB, avec un débit impressionnant de 320 MB/s. Pour les périphériques, deux S Bus à 80 MB/s desservent un espace disque qui peut aller de 260 MB à 254 GB. Gamme de prix 280 à 1370 MFFHT.

Le SparcCenter 2000 annoncé en novembre 1992 réunit sur un bus XD, du à Xerox PARC, capable de 500 MB/s, qui assure la cohérence de caches entre 2 et 20 Supersparc avec un cache partagé de 2 MB et une mémoire de 64 à 5000 MB. Trois S Bus à 80 MB/s desservent entre 6 GB et 1,3 TB de disques.
Gamme de prix 1 à 10 MFFHT.

Fin 93, la mode du clustering s'installe et Sun crée, pour y participer, le Sparcluster. Installé dans un serveur d'une des familles précédentes, avec 2 à 4 processeur, ce système est associé à un concentrateur matriciel pouvant relier jusqu'à 20 réseaux Ethernet, et gérer jusqu'à 50 GB internes et jusqu'à 150 GB en distribué, pour un prix situé entre 727 et 1325 KFFHT.

Le support de ce dispositif est Solaris 2.3, une version nouvelle qui contient le niveau de sécurité C2, le support du système Postscript de photocomposition, l'utilisation d'un disque local comme cache, de nouvelles possibilités vidéo, et une fonction d'administrateur video. Une partie de ces possibilités résulte d'un accord passé avec Amdahl, et sont tirées de son système UTS.

L'époque est l'occasion d'un bilan des stations et serveurs Unix, et souligne que la position de la France sur cette question est bien différente de celle du reste du monde, cad en gros de celle des USA :

le nombre des équipements s'est en 1993 accru de 3,3% et représente maintenant, fin 93, 6,4 Md FF, répartis entre Hewlett Packard 19%, Sun 15%, IBM 11%, Bull 8%, Cray 4%, SGI 3%, DEC 3%, ATT/GIS 3%, CETIA 2%, et 32% de divers.

le nombre des logiciels tournant sous Unix s'est accru de 20% en un an et atteint 3,8 MdF.

On peut attribuer ces situations atypiques au fait que HP dispose d'une usine en France alors que ce n'est pas le cas de Sun, et au poids des sociétés françaises de services informatiques.

L'année 1994 verra se développer le concept de cluster, et relier jusqu'à 8 serveurs. Il semble que ces serveurs doivent être de même type, cad tous 1000 ou tous 2000, car Sun définit des Sparclusters 1000 PDB et des 2000 PDB. Ces clusters semblent à finalité gestion, car on annonce qu'ils savent travailler avec la BD Oracle, et qu'on prépare les interfaces pour Sybase et Informix.

Prix typique : un petit cluster de deux quadriprocesseurs, avec 128 MB de mémoire et 2 GB de disques, coûtera 3 MF installé.

En octobre 1994 sort Solaris 2.4, qui élargit le catalogue d'applications supportées, ajoutant notamment Wabi 2.0 qui permet de faire tourner Windows sous Unix. Cette nouvelle version de Wabi supporte deux intégrés et huit applications de plus que la version 1.1, dont Lotus Notes, Microsoft Mail, Office et Access.

A côté des serveurs, Sun procède dès fin 92 à une redéfinition en Supersparc de toutes ses stations, en commençant assez bas pour ne pas perturber ses fidèles. Ce sont les Sparstations 10, toutes architecturées pour recevoir quatre processeurs :

Mle 10/30, 36 MHz, pas de cache L2, mémoire 32 à 512 MB en barrettes SIMM, disques SCSI de 424 MB à 26 GB, et 4 connecteurs d'extension S Bus.

Mle 10 / 41, 40 MHz, semblable mais avec un cache L2 de 1 MB. Prix typique 181500 FFHT avec un moniteur 19 » monochrome, un disque 424 MB, et une sauvegarde.

Ce modèle existe aussi en version serveur sous le sigle 10 / 630 : il dispose de 3 VME Bus en supplément, et d'un minimum de 26 GB de disques, et peut servir 50 terminaux.

Prix : 362 KFFHT.

Mle 10 / 52, 45 MHz, avec un cache L2 par CPU, et une mémoire de 64 à 512 MB. Prix typique avec un disque de 1 GB, une carte graphique GX, et les sauvegardes : 290400 FFHT.

Ce modèle existe en version serveur, sous le nom de 10 / 670, avec 2 GB de disques et 7 bus VME pour un maximum de 130 terminaux.

Mle 10 / 54, 60 MHz, tout le reste comme ci-dessus. Une version à 4 CPU est capable de 220 TPS et vaut 421100 FFHT.

La version serveur 10 / 680 comprend 11 bus VME et peut supporter 200 terminaux.

Toute cette première génération fonctionne sous Solaris 1.1, à l'égard duquel s'expriment des doutes quant à la fiabilité en mode multiprocesseur.

A partir d'avril 94, les Sparcstations 20 prennent le relais, très peu différentes à part le fait que subsistent seules les machines à 50 et 60 MHz. La capacité maximale des disques est portée à 138,6 GB, toujours sous contrôleur SCSI.

La machine minimale est une Sparcstation 20 / 50, monoprocésseur 50 MHz avec 32 MB de mémoire, un disque de 535 MB, et un moniteur 17 », prix 95200 FFHT. On peut en attendre 69 / 78 Specmark92 ; un deuxième CPU coûte 15600 FFHT.

En 2 / 95, Sun annonce la première station biprocésseur, la 20 / 712 MP, contenant deux Supersparc à 75 MHz. Elle est vendue 110 KFFHT avec 32 MB de RAM, 1 GB de disques, et un écran 17 » ; elle délivre 125,8 / 121 Specmark92. Il est question de monter à 90 MHz, mais la suite rendra inutile cette évolution.

A la même date, Sun garde sa clientèle de bas de gamme en lui proposant les Sparcstations 4 et 5, construites autour de la puce Texas MicroSparc II, qui atteint 70 ou 85 MHz, et intègre un I cache de 16 KB. Le prix minimal est de 25900 FFHT pour un CPU 70 MHz, 57 / 47,3 Specmark92, 16 MB de mémoire, 535 MB de disque, un moniteur 15 », et un seul slot disponible pour les extensions ; la puce 85 MHz fournit 64 / 54,6 Specmark92.

Fin 95, le Supersparc fonctionne à 75 MHz et délivre 126 / 121 Specmark92, le Microsparc II atteint 110 MHz, soit 75 / 65 Specmark92. En outre, on trouve désormais sur le marché des puces interchangeables avec celles de Sun : par exemple, Ross Technology, devenu filiale de Fujitsu, fabrique un Hypersparc upgrade, 125 MHz, compatible avec les multiprocésseurs et capable de 133 / 154 Specmark92 ; la version mono est un hybride contenant le microprocésseur en deux puces et un cache en 4 SRAM, présenté en boîtier céramique PGA de 132 broches. Cependant, Sun a déjà pris une autre voie.

Sun en utilise une version 100 MHz, 103 / 127 Specmark92, dans la version HS11 de sa Sparcstation 20, 32 MB, 1 GB de disques, Solaris, pour \$ 19000.

Le renouvellement des microprocesseurs accélère, et le Supersparc est vite dépassé. Sun se trouve dès 1994 dans l'obligation de demander à Texas, devenu son fondateur depuis le Supersparc, une nouvelle étude.

L'Ultrasparc I, disponible au 3^{ème} trimestre 1995, est réalisé en EPIC3, un procédé CMOS 0,5 μ avec 4 couches métalliques et alimentation 3,3 Volts. Il contient 5,2 Mtransistors, dont 150000 pour l'aspect graphique, et consomme 30 watts en fonctionnant à 167 MHz. Emballage BGA 521 billes.

C'est un superscalaire 64 bits avec un cache L2 externe de 0,5 à 4 MB, deux caches internes I et D de 16 KB, et un pipeline de 9 étages desservant quatre opérateurs simultanés load/store, entiers, VF, branchement à travers un bus de 128 bits. Les performances mesurées sont 275 Specint92 et 305 Specfp92. Le logiciel comprend Solaris et Wabi 2.

Les prix de départ sont \$ 1595 par lot de 1000 pour le 167 MHz, \$ 1095 pour la version 143 MHz. Une version 250 MHz est en préparation.

Sun n'est pas seul dans cette opération : pendant qu'elle s'exécute, le consortium Sparc International, que la compagnie a fait naître et qui comprend 13 constructeurs, dont Cray, Force, Fujitsu, Hyundai, Tatung, Themis, Toshiba, définit une plateforme, cad l'ensemble des interfaces publiques permettant d'utiliser cette puce dans une machine, pour que le portage des applicatifs existants soit simple.

Les machines doivent émerger en septembre 1995.

Trois stations sont annoncées en novembre 95, les Ultra 1. Elles ont en commun divers dispositifs remarquables, à savoir :

un bus interne baptisé UPA, Ultra Port Architecture, capable de 1,3 GB/s ; il se décompose en un bus d'adresse de 64 bits et un bus de données de 144 bits, 128 de données et 16 d'autocontrôle, qui travaille en commutation de paquets. Un circuit séparé fournit une interface vers le S Bus, avec un arbitrage pipeline réparti ; il supporte de multiples ports, et quatre modes : maître, esclave, interrupteur, gestion d'interruption.

30 instructions graphiques câblées dans la puce, formant le Visual Instruction Set VIS, qui offre les mêmes catégories de services que le MMX sans en subir les contraintes, puisque aucune compatibilité n'est recherchée. Ce jeu travaille en arithmétique entière, bien qu'il utilise les 32 registres du processeur VF, et toutes ses opérations sur groupes de pixels durent un CP : pixel expansion, pixel packing, addition, multiplication, comparaison, alignement, détection de bord, fusion, distance interpixel, opérations logiques, filtrage. Ce jeu facilite tout particulièrement les opérations de compression/décompression selon norme H320 pour les vidéoconférences, et le codage MPEG1.

en option, un accélérateur Creator Graphics deux fois plus performant que le ZX antérieur, travaillant sur des pixels 24 bits, résolution 1280 * 1024; il en existe deux variantes 2D et 3D. Il utilise une nouvelle puce mémoire étudiée par Mitsubishi, la 3DRAM, contenant 10 MB de VRAM, un cache SRAM de 2 KB, et un petit processeur spécialisé.

Ces trois stations sont :

le modèle 140, avec un Ultrasparc à 143 MHz (215 / 302 Specmark92), 32 MB de DRAM, un disque de 1 GB sur interface FastSCSI 2, un moniteur 17 », vaut 115000 FFHT ou \$ 16495. Il peut agrandir sa mémoire, monter à 2,1 GB de disques internes, s'enrichir d'un Ethernet 10 Mbit/s. Graphique TGX.

le modèle 170 utilise le processeur 167 MHz, 64 MB de DRAM, 2, 1 GB de disques, un moniteur 20 », et vaut 180000 FFHT. Graphique TGX.

le modèle 170E de même structure de base dispose d'un Ethernet 100 Mbit/s et du processeur graphique Creator . Il coûte 25995 \$ en 2D ou 27995 \$ en 3D.

Dès ce moment Sun, fort de 1,5 million de machines installées et que ces dernières annonces hissent bien au dessus du niveau courant de Silicon Graphics, annonce la suite, qui comprend un Ultra 2 biprocesseur à 200 MHz en mars 96, des serveurs à l'été, et en fin d'année les Ultrasparc II 300 MHz , 420 / 660 Specmark92.

L'Ultra 2 Creator3D Model 2200, effectivement annoncé en décembre 1995, atteint 332 / 505 Specmark92, pour chacun de ses processeurs, soit 2 Gops. Il dispose de 256 MB de mémoire, 4 GB de disque, un écran couleur de 20 », et coûte \$ 59995.

L' UltraSparc II est également annoncé en fin 95, et s'avère très peu différent du I en tant qu'architecture, mais beaucoup plus rapide grâce à un processus CMOS 0,3 μ avec 5 couches métalliques. En 250 ou 300 MHz, il délivre 350 ou 420 Specint92, 550 à 660 Specfp92. Voir photo.

Un serveur monoprocesseur, l' Entreprise 1, est effectivement annoncé en novembre, et une gamme complète de serveurs contenant de 1 à 30 processeurs apparaît en avril 96 ; voir fiche.

Deux évènements, survenant à ce même moment, soulignent l'importance que Sun attribue à ses serveurs:

en mars 96, Sun rachète à Silicon Graphics l'activité CS6400 de serveurs multiprocesseurs Supersparc sous Solaris, disposant de 4 à 64 processeurs, que SGI vient de trouver dans l'héritage de Cray. Voir photo. Par cohérence commerciale, ils sont baptisés Enterprise 10000 ; une version UltraSparc de ces machines est immédiatement mise à l'étude.

en avril 96, Sun achète aussi le britannique Integrated Micro Products , spécialisé dans la tolérance de pannes, et ces deux nouveautés vont permettre à Sun d'offrir des serveurs d'entreprises à haute disponibilité, pour toutes les puissances envisageables.

Fin 96, Sun est incontestablement leader de son marché, qui est celui des stations et serveurs Unix, et son Solaris 2.5 est désormais un Unix respecté pour sa stabilité et sa large disponibilité. Sun met sur le marché une carte mère OEM, baptisée UltraSparc AX, et destinée aux éventuels Network Computers, si cette formule de calculateur d'entreprise émerge. Le format est celui du PC / AT, mais le processeur est un 64 bits, au choix un Ultrasparc I à 166 MHz (\$ 2900), ou un UltraSparc II à 250 MHz (\$ 4500). La carte porte encore :

des connecteurs pour 32 à 512 MB de mémoire de travail en barrettes EDO
quatre connecteurs PCI 32 bits à 33 MHz, dont deux peuvent aussi recevoir des cartes PCI 64 bits : l'idée est d'utiliser ces ports pour les cartes ATI 622 Mbit/s qui vont sortir sous peu.

une connexion Ethernet capable du standard 10 Mbit/s ou du nouveau 100 Mbit/s.

une connexion ATI ou S3 pour la video.

Elle fonctionne sous Solaris 2.5.1 . Cependant, le Network Computer ne verra pas le jour.

En avril 98, annonce de renouvellement : les serveurs 3000 à 6000 sont remplacés par les 3500 à 6500, même architecture autour de l' UltraSparc II, qui entre temps est parvenu à 336 MHz. Le bus mémoire de ces multiprocesseurs est le Gigaplane+, 84 MHz = 2,68 GB/s, qui sert 8, 14 ou 30 processeurs, jusqu'à 30 GB de mémoire de travail, et, à travers des tampons, 2 / 4 / 10 TB de disques, 2 à 12 connecteurs PCI, et 3 à 45 connecteurs S Bus pour les périphériques lents.

L' UltraEntreprise 10000 est également annoncé, utilisant jusqu'à 64 UltraSparc II, au prix de 3,5 MFF, pour fournir jusqu'à 114000 transactions par minute.

Sun affirme avec ces machines son intention de pénétrer dans le domaine des mainframes, offrant des services qu'on ne trouve généralement que là, comme l'échange de cartes en marche et la reconfiguration des entrées / sorties sans réinitialiser.

La consommation de ces puces est élevée et Sun fait réaliser à l'intention de ses associés temps réel, Themis et Force, un UltraSparc II i qui consomme nettement moins que le II et accepte l' installation en rack. Voir à la rubrique Themis ces produits qui n'ont pas la même clientèle que les serveurs, mais qui représentent tout de même un important appoint de clients à la chaîne Texas.

Simultanément, Sun annonce le microprocesseur suivant, toujours préparé par Texas : l' UltraSparc III, encore une fois simple extrapolation, fonctionne à 600 MHz et dispose d'un cache L2 de 8 MB, qui communique avec la mémoire principale à 2,4 GB/s. Il est estimé 6 Gops, 35 Specint95 et 60 Specfp95, ce qui paraît incompatible avec une architecture inchangée puisque cela représente 10 opérations simultanées.

C'est peut-être à cause de ces extrapolations un peu hardies qu'on apprend en juin 2000 que les serveurs à base d' UltraSparc III ne sortiront pas avant 2001. Mais, en contrepartie, les essais des dernières puces d'étude ont atteint le gigahertz, et on peut imaginer que Sun, devant ces progrès techniques rapides, hésite quelque peu dans ses choix stratégiques.

C'est ainsi qu'on apprend, en novembre 1999, l'aboutissement prochain (échantillonnage en mai 2000) de l'étude d'une nouvelle architecture, MAJC (prononcer magique) pour Microprocessor Architecture for Java Computing. Le nom est d'ailleurs trompeur, en ce sens que MAJC n'est nullement inféodé au langage Java, mais accepte les compilations de n'importe quel langage.

MAJC est une machine fortement parallèle, qui regroupe sur un seul flot de données deux processeurs superscalaires identiques, disposant chacun de 4 opérateurs : la technologie CMOS 0,22 μ avec métallisation cuivre d' IBM est utilisée pour le réaliser. dans une taille acceptable et supporter une fréquence de 500 MHz, désormais considérée comme prudente et adaptée aux applications embarquées.

Le MAJC 5200, première réalisation de ce concept modulaire, communique par un bus 128 bits, 400 MHz, avec une mémoire Direct RAMbus externe. Une matrice de commutation à 500 MHz distribue ces mots à deux caches I et un cache D (tous 16 KB), un préprocesseur graphique qui « permet la décompression rapide de scènes 3D en temps réel » (?), et divers tampons.

Chaque cache I fournit des instructions VLIW de 128 bits, préparées par le compilateur, et qui ne sont que des groupements optimisés d'instructions 32 bits, immédiatement ventilées selon disponibilité entre quatre unités fonctionnelles apparemment identiques,

chacune capable de toutes les opérations et toutes les données: ces affirmations suggèrent que plusieurs des opérations ont une durée supérieure à 1 CP. Aucune indication n'est donnée dans notre source sur la question des registres : y a-t'il un, deux, ou huit jeux de registres, et combien de registres dans chaque jeu, et quelles relations avec le cache de données ?

La puce contient encore deux contrôleurs de bus rapide à 250 MHz, et une interface PCI à 66 MHz ce qui indique l'abandon délibéré des architectures de type PC, où ces tâches sont rejetées sur un chipset.

540 - Sycor

Sycor est un fabricant de périphériques né vers 1968, qui a évolué progressivement vers la construction de petits ordinateurs de gestion, interconnectables par un réseau Sycorlink permettant de distribuer l'accès aux disques, un service tout à fait intéressant pour une grosse PME à plusieurs sites.

Le produit initial, antérieur à 1975, est un calculateur 8 bits doté d'une mémoire MOS 500 ns, 24 à 64 KB, supportant tous fichiers sur disques, plusieurs écrans locaux, 2 lignes extérieures, ME 180 et IP 300, pour 25320 \$. Cette machine Sycor 440 s'est très bien vendue, 1200 exemplaires en fin 77, dont une fraction notable en Europe par l'intermédiaire de Olivetti qui le nomme DE 800.

En 1977, Sycor annonce le 445, livrable en 9/78, qui reprend la même architecture en accroissant ses dimensions : la mémoire passe à 256 KB maximum, le total des disques à 70 MB, et le nombre de terminaux locaux (écran 2000 caractères) à 8. Prix annoncé : \$ 60000 pour 64 KB, un disque en cartouche de 5 MB, 4 écrans, une ME, une liaison BSC ou SDLC, et le logiciel. Voir photo.

Pour une vraie décentralisation, Sycor propose en 1978 le 405, un terminal intelligent comportant 48 KB de mémoire, un floppy, une ME, un écran, une ligne pour \$ 19850. Un tel terminal a accès à COBOL et BASIC, plus l'assembleur TAL 2000 et un service de communications. Jusqu'à 9 unités peuvent se disperser sur 800 m de câble grâce au réseau Superlink. Voir photo.

Le succès de ces deux produits, et le besoin de trésorerie pour un développement, conduisent en 1979 Sycor à fusionner avec le fabricant de terminaux lourds Data 100, qui jusque là n'avait pas affiché son processeur, programmé sur ROM et inaccessible à l'utilisateur. Le seul document dont nous disposons sur Sycor date de cette période, 1979, et associe les noms des deux sociétés.

Cependant, le problème de trésorerie n'est pas résolu par cette union équilibrée de petites entreprises, et c'est sans difficulté que le couple se laisse absorber, cette même année 1979, par le canadien Northern Telecom, dont il devient la filiale américaine Northern Telecom Systems Corporation.

Voir suite à la rubrique 185 Data 100.

541 - Syquest

Syed Iftikar est un transfuge de Seagate qui crée Syquest Technology pour produire le disque 306, lequel se propose de rendre les mêmes services que le 506 de Seagate, mais en plus petit. Son objectif était de vendre 5000 disques la première année (1982), et d'atteindre un régime de croisière de 250000 en 1983.

Il semble bien que par la suite, Syquest ait évolué vers la production de cartouches amovibles.

Le 306 est commercialisé en deux types, le SQ 306F fixe et le SQ 306R amovible. C'est un boîtier interchangeable de 1,625 * 4,75 * 8 » (41 * 121 * 203 mm), vendu \$ 800 à la pièce, \$ 450 par lots de 1000; la cartouche coûte \$ 50 à la pièce, \$ 35 par lots de 1000.

Le disque de diamètre 3,9 pouces (99 mm) est recouvert d'une couche de phosphate de cobalt déposé chimiquement, qui permettra de passer des densités 12000 bpi / 435 tpi initiales à un maximum de 20000 bpi / 1000 tpi. La capacité est 6,38 MB brut, ou 5 MB formatés, organisés en 10416 bytes / piste brut, ou 8192 bytes formatés en 32 secteurs. La vitesse de rotation est 3600 t / min, soit 16,66 ms / tour ; le temps d'accès moyen est 75 ms, le débit 5 Mbit/s. Consommation 15 watts.

Syquest est dans les années 90 un spécialiste apprécié des disques en cartouches amovibles. La société reste pratiquement stationnaire, se développant au rythme de l'inflation avec des hauts et des bas. Le CA 93 est 206,4 M\$ avec 15,2 M\$ de bénéfice, celui de 94 atteint 221 M\$ avec 5,4 M\$ seulement de bénéfice.

542 - Synertek Systems Corporation

Synertek apparaît en 1977 comme seconde source pour le 6500 de MOS Technology, qui devient, après l'absorption de cette société par Commodore, seconde source de Rockwell. Le microprocesseur SY 6500 est un NMOS alimenté en + 5 Volts, grille silicium à déplétion, réalisé par implantation ionique et capable de fonctionner à 2 MHz ; c'est une réalisation assez raffinée, avec notamment un parallélisme incorporé entre bloc de commande et bloc de calcul, adressage de 64 KB, arithmétique décimale en plus du calcul binaire, 13 modes d'adressage, au total une puce plus rapide que les contemporains Intel 8080 et Motorola 6800.

Il sera produit en 9 versions, soutenues par des mémoires statiques comme la ROM 2316 et la RAM 2114, et par des composants dédiés tels que :

SY 6530, groupement mémoire pour contrôleurs, contenant 1 KB ROM, 64 bytes RAM, un timer et quelques entrées / sorties.

SY 6532, groupement de 128 bytes RAM, un timer et des I/O en un boîtier 40 broches.

SY 6520 est un PIA de 2 fois 8 bits, avec 4 interruptions. Il existe en 1 et 2 MHz.

SY 6522, un peu plus tardif, ajoute au précédent un registre d'entrée, 2 timers programmables et un sérialiseur 8 bits.

Synertek suivra fidèlement Rockwell, produisant en même temps que lui le contrôleur 6500 / 1 contenant 2 KB ROM, 64 B RAM, 32 I/O ; un 6531 qui reprend les finalités du 6530 avec 2 KB de ROM ; un modem 6551 asynchrone à vitesse programmable ; un 6545 contrôleur d'écran.

Disposant d'un bon microprocesseur, Synertek ne résistera pas à la tentation de commercialiser son propre calculateur, le VIM, Variable Interface Module, modeste calculateur sur une carte. Voir fiche.

543 - Le Synapse N + 1

Longtemps avant que le problème ne devienne aigu, la société Synapse Computer se crée pour construire un ensemble de gestion transactionnelle offrant une bonne sécurité. Beaucoup moins coûteux que les systèmes à tolérance de panne comme Stratus et Tandem, offrant aussi moins de garanties, ce système est basé sur l'observation que les pannes n'arrivent généralement pas toutes ensemble, de sorte qu'il suffira en général de disposer de N + 1 modules critiques pour faire face aux incidents dans un système qui exige N modules pour remplir sa mission.

Le Synapse N + 1 utilise des modules à base de 68000, rassemblés autour d'une mémoire de 16 MB et d'un bus capable de 64 MB/s. Le système a pour finalité une base de données relationnelles, qui peut occuper jusqu'à 413 MB de disques, et la gestion de cette base peut exiger de 1 à 15 Mips selon le nombre de terminaux.

La réalisation est modulaire, les processeurs 68000 pouvant remplir les deux missions de traitement et d'entrées / sorties. Le nombre de processeurs nécessaires est évalué par l'utilisateur qui décide le nombre de modules qu'il achète, le logiciel se chargeant de répartir les ressources en gardant une marge, et en signalant tout incident (panne ou simplement surcharge) qui le conduit à activer une ressource réservée. Le logiciel permet aussi de définir des zones de disques qui doivent être doublées.

Prix typique : \$ 340000 pour 7 processeurs dont trois IO, 6 MB de mémoire, deux disques, deux contrôleurs, une bande, deux postes de travail.

544 - Sylvania

Créée longtemps avant la guerre comme fabricant de lampes d'éclairage, Sylvania est au moment de la guerre une filiale du groupe General Telegraph & Telephon ; bien qu'on ne trouve dans les listes de contrats militaires d'électronique aucune trace de cette société, elle a dû élargir sa compétence pendant cette période, car elle se trouve très rapidement impliquée, dans l'après-guerre, dans divers contrats critiques : construction d'ordinateurs dans le cadre du projet Fieldata de l' US Army, réalisation d'extracteurs pour numériser la vidéo des radars du BMEWS .

MOBIDIC A est un gros calculateur installé dans un camion , constituant le contrat AN / MYK 1 pour le plus important des produits du programme Fieldata. Comme indiqué à cette rubrique, le MOBIDIC n'est pas construit pour une finalité précise : il s'inscrit dans un cadre unificateur et peut utiliser tous les programmes rédigés dans ce cadre, et pour sa part il teste la compatibilité entre l'informatique et les véhicules. Un seul des cinq MYK 1 produits recevra une mission concrète de gestion de stocks. Voir fiche.

MOBIDIC B, ou AN / MYK 2, relève du même programme. Un peu moins complète que la précédente, mais biprocesseur, elle a été utilisée pour la gestion des stocks de l'armée en campagne.

AN / MSP 24 , sur laquelle on n'a que très peu de détails, reprend après quelques années l'architecture de MOBIDIC dans une machine construite en circuits intégrés dont l'unité centrale n'occupe que 18 cuin , soit 295 cm³, à en croire notre source. Ce chiffre est invraisemblable pour une réalisation qui prend la forme d'un livre à 38 pages,

contenant 4000 circuits intégrés (SSI), mais on peut hésiter à conclure qu'il s'agit plutôt de 18 cuft, soit environ 500 litres.

UDOFT Universal Digital Operational Flight Trainer est un projet d'une grande ambition, entrepris à partir de 1950 à la Moore School of Engineering, et dont Sylvania n'a été, semble-t-il, que le réalisateur. Il s'agissait d'un ordinateur universel, dont les entrées/sorties temps réel pouvaient être connectées à des cockpits d'avions ou d'hélicoptères, pour constituer une sorte de simulateur universel ; pendant un moment, on a même imaginé d'exécuter plusieurs simulations indépendantes et simultanées dans des cockpits différents, mais avec un seul ordinateur. Réalisé pour l'US Navy Training Center, il a fonctionné huit années, soit 21000 heures.

9400 est une version civile de Mobidic, dont Sylvania envisageait, en 1961, la commercialisation. Le constructeur s'imaginait probablement qu'à cause des succès des machines militaires, l'administration lui était acquise. En pratique, les administrations choisissaient leurs ordinateurs selon d'autres critères, et la 9400 ne trouva aucun client.

ACP : après cet échec qui laisse peu de trace, car Sylvania avait très peu investi dans cette entreprise commerciale, nous ne retrouvons Sylvania que très occasionnellement, comme sous-traitant de son groupe, GTE = General Telephone, dans des marchés touchant au traitement du signal.

Ainsi l'ACP, réalisé en 1967, est-il un ordinateur spécialisé pour le codage de la voix et son analyse en temps réel, capable de 3 Mops. Il disposait d'une mémoire en circuits intégrés, ce qui était encore rare à l'époque.

AN/WLR 8 : il s'agit d'un analyseur de signaux pour la guerre électronique, installé à bord de sous-marins. Le travail de Sylvania concerne seulement des processeurs, intégrés à un moment ou un autre dans cet appareil :

PSP 300 (1973), construit à 80 exemplaires, est un ordinateur 24 bits, disposant d'une mémoire à tores à cycle de 2 μ s, capacité ajustable jusqu'à 32 Kmots. Il contient deux arithmétiques complètes, et des canaux programmables autorisant un débit global de 2 Mmots/s. Le matériel devait sans doute participer à des expériences, car il existait des options pour une mémoire à semi-conducteurs à cycle de 100 ns, et pour un DMA capable de 10 Mmots/s.

PSP 200 (1974) est un 16 bits en technologie bipolaire qui tient en deux cartes. Le CPU contient 20 microcircuits complexes, probablement MSI. Il est capable d'exécuter une opération toutes les 136 ns.

Il semble que Sylvania ait essayé de commercialiser la micromachine qui se situe au cœur de ces processeurs, sous le sigle PSP/PCP. Aucun succès connu. Voir fiche.

545 - Les LISP Machines de Symbolics

En 1979, le MIT, où Mac Carthy avait inventé le langage LISP, s'était engagé dans la réalisation expérimentale d'une machine LISP, CADR. Dès que le succès de la recherche parut assuré, deux équipes se lançaient dans la commercialisation du concept : LISP Industries et Symbolics.

La première machine de Symbolics s'appelle LM2. C'est une machine microprogrammée, avec une mémoire de commande de 12000 mots de 48 bits, une mémoire principale de 256 K * 32 bits, et une logique décomposée en 6 cartes pour faciliter la maintenance. La machine est complétée par un disque de 80 MB et un moniteur monochrome, et utilise le logiciel CHAOSNET créé au MIT.

Cette machine obtient quelques succès, suffisamment pour reprendre l'étude sur une base plus industrielle. Cela conduira à la 3600, puissante machine commerciale dotée de tous les attributs que souhaite un chercheur, vendue \$ 85000. Malgré ce prix assez élevé, 1800 exemplaires (LM2 incluse, probablement) avaient été vendus à la mi 86. Voir fiche. A cette date, Symbolics commercialise la 3610, qui reprend les mêmes principes avec un packaging plus dense et un prix réduit à \$ 44900, et même \$ 31500 par quantités.

Il ne semble pas, malgré ces conditions favorables, que le succès se soit maintenu. On peut trouver à cela deux raisons :

la première génération de machines avait épuisé le potentiel de clients, forcément limité aux chercheurs.

toute extension en dehors de ce milieu très particulier était improbable, car LISP est un langage de savants, et en dehors des services spécifiques qu'il peut seul rendre, pourquoi ne pas utiliser les PC, bien moins coûteux . De toutes façons, on ne programme plus guère.

546 - Le Gemini de Syntrex

Syntrex apparaît en 1981 pour commercialiser un système que l'avènement du PC, quelques années plus tard, rendra complètement obsolète : un traitement de texte multiterminaux.

Le coeur du système est un biprocesseur , redondant pour assurer la fiabilité grâce à un logiciel du à la NASA, qui comprend en particulier un appel automatique de la maintenance en cas de panne. Ce processeur gère un disque Winchester capable de stocker jusqu'à 60000 pages de texte.

Autour de lui on pourra connecter des stations de travail Aquarius I ou II, offrant un écran de 25 lignes, un ou deux disques souples stockant de 50 à 180 pages, et en option une connexion à une machine à écrire IBM ou Olivetti.

Le logiciel autorise des fenêtres multiples avec une gestion de priorités, une gestion de notes de bas de page, une gestion de paragraphes, la justification, un choix de polices, un HELP, et une option statistique.

Le prix du système se situe entre 26000 et 100000 \$, stations comprises. Un Aquarius I coûte \$ 4790, plus 20 \$ /mois pour le logiciel ; un Aquarius II vaut \$ 6590, plus logiciel.

547 - System Computer Corporation

Cette société apparaît en 1971 avec un calculateur SCC 1000 de 8 bits, qu'elle commercialise au prix de \$ 4000. On ne dispose d'aucun détail permettant de comprendre

les objectifs poursuivis, mais le prix suggère une machine familiale. Le chiffre des ventes indique un succès purement local, de l'ordre de 400 machines sur trois ans. Devant cette amorce de succès, la société aurait au début 72 proposé un autre 8 bits nommé SCC 500, a priori plus économique, mais on n'en connaît rien. On sait seulement que cette SCC n'est pas devenue une autre Imsai ou une autre Apple.

548 - Systems Engineering Laboratories

Cette compagnie naît en 1965 à Fort Lauderdale autour d'un projet modeste de calculateur 16 bits pour les applications temps réel, le SEL 810, qui va très bien réussir et évoluer vers des modèles plus condensés, le SEL 810 A, et plus rapides (SEL 810 B). Un modèle 840 en 24 bits existe pour des applications exigeant plus de précision sur les mesures et calculs associés, et obtiendra un moindre succès, puisqu'il est beaucoup plus cher. Voir fiches.

En 1970, l'heure est venue de renouveler la technologie. SEL décide d'essayer un changement radical, constituant à acheter une licence et à produire une machine dérivée après adaptation éventuelle à ses préoccupations. Elle jette son dévolu sur le Multidata Model A, d'une part parce que cette société distribue facilement ses licences, d'autre part parce que cette petite machine performante contient une idée originale : matérialiser une mémoire virtuelle de grande taille par un ou plusieurs disques et un dispositif automatique d'adressage. Voir fiche.

A l'expérience, ce n'était pas une bonne idée faute d'une exploitation optimisée de ce dispositif, de sorte que SEL sera conduit à proposer une version 71 débarrassée de la mémoire virtuelle.

Conclusion : après une vingtaine de ventes, la machine est abandonnée.

De toutes façons, SEL avait « plusieurs fers au feu » : un SEL 82 à 16 bits, pour les petites applications genre laboratoire médical, et un SEL 86 de grande ampleur puisque passant à 32 bits.

Le premier ne vivra pas longtemps : sa clientèle naturelle est déjà complètement capturée par le LINC de DEC, et d'autre part SEL n'est pas préparée à commercialiser un vrai mini.

Le 86 au contraire, qui entre en service en juin 70, propulse SEL dans une catégorie différente : une machine temps réel capable des plus gros travaux de l'espèce comme en proposent les clients majeurs, NASA et aéronautique, avec les exigences matérielles (fiabilité) et logicielles (moniteur temps réel et compilateurs performants) que cela implique. Voir fiche.

Ce sera un succès, conduisant SEL à accentuer la modularité pour introduire des variantes :

un SEL 85 qui ne diffère du 86 que par une mémoire plus économique, avec un cycle de 850 ns. Les performances sont globalement réduites d'un tiers : addition en 1,7 / 2,55 / 3,4 / 4,25 μ s respectivement pour les données 8, 16, 32 / 64 bits en fixe, 32 / 64 bits en flottant ; multiplication 8,5 / - / 9,35 / 16, 15 μ s ; division 15,3 / - / 16,15 / 28,05 μ s ; rupture de séquence 0,85 à 1,7 μ s.

un biprocesseur SEL 88, qui fera l'objet d'au moins cinq commandes.

En 1975, l'emploi de machines 32 bits pour le temps réel est entrée dans les mœurs, et SEL estime qu'il y a désormais la place pour une gamme modulaire d'architecture sans concession, capable de traiter simultanément des applications temps réel et des calculs scientifiques. SEL annonce la série SEL 32 et son premier modèle, le 32 / 50.

Nous disposons d'une documentation absolument complète sur le SEL 32 / 50, dont une grande partie est directement utilisable pour l'appréciation des modèles suivants. On en donne le détail sans commentaire :

SEL 32 Reference Manual , 8 / 75

SEL 32 Technical manual , CPU , 303-322000-000, Vol 1 (2 / 77), Vol 2 (3 / 77), Vol 3 (8 / 77)

SEL 32 Technical Manual , RTOM 2117, 303-322117-000, Vol 1, Vol 2 (10 / 76)

SEL 32 Technical Manual , IOMP, 325-329000-000, Vol 1 (12 / 75), Vol 2

SEL 32 Technical Manual , MBC II, Vol 1 (1 / 78), Vol 2

SEL 32 Technical Manual , TLC 9004, 325-329004-000, Vol 1 (4 / 77), Vol 2 et Vol 3

SEL 32 Technical Manual , HSDI 9132, 325-329132-000, Vol 1 (8 / 76), Vol 2 et 3

SEL 32 Technical Manual , Moved Head Disc 9010, 325-329010-000, Vol 1 (6 / 76), Vol 2 et 3

Ces documents sont logés dans la boîte 108 pour les volumes 1, dans le document 227 pour les volumes 2 (plans) et 3 (texte des microprogrammes). Des fiches sur les six derniers figurent également dans le dossier de périphériques, en boîte 110.

On dispose également d'importants documents sur le logiciel dans la boîte 109 :

Real Time Monitor Reference Manual (10 / 77) décrit l'aspect opérationnel

Real Time Monitor Technical Manual (8 / 76) décrit le fonctionnement interne

SEL Macroassembleur Reference Manual (8 / 76)

SEL BASIC Reference Manual (9 / 77)

SEL Fortran IV Compiler , 323-321012-001, (1 / 77)

SEL Terminal Support System, Reference Manual (8 / 77) - utilitaire

Ainsi que de fiches descriptives de tous ces logiciels et de quelques autres, soit contemporains en tant que parties de RTMon, soit plus récents et liés au renouvellement du logiciel vers 1978 (dans la boîte 108).

Pendant dix ans, SEL a soutenu cette série avec des modèles de diverses puissances et technologies, couvrant la gamme complète des besoins scientifiques et temps réel, dont nous donnons ci-après une liste commentée. Le trait commun à ces machines est le SELBus, un fond de panier travaillant en mode synchrone avec un cycle de 150 ns, soit 6,67 MHz : les cartes enfichées dans ce bus peuvent individuellement fixer leur priorité par le jeu d'un commutateur, modifiable par le client.

SEL 32 / 50 et 55 (1975) : versions OEM et End user de la même machine, disposant d'un répertoire de 152 opérations, et d'une mémoire à tores plafonnée respectivement à 1024 K et 256 KB, cycle de 600 ns. Ces machines sont microprogrammées et nous connaissons le détail complet de ces microprogrammes. Toute la documentation précédente s'applique à ces modèles. Voir fiche.

SEL 32 / 35 (1976) : destinée par son numéro à l'utilisateur final, cette machine dispose d'une unité centrale microprogrammée sur trois cartes, fournissant 154 opérations (2 mouvements de registres ajoutés), et d'une mémoire à tores de 512 KB, cycle 900 ns qui constitue la principale différence avec la précédente, et source d'économie. Voir fiche SEL dans boîte 110.

SEL 32 / 75 (1976) : reprend la machine de base précédente dans un cadre plus propice aux extensions : option d'une virgule flottante câblée ; choix de mémoire entre les deux modèles décrits ci-dessus, avec possibilité d'extension jusqu'à 16 MB susceptibles d'être répartis par mapping dans 31 zones logiques ; option de une ou deux WCS de 2048 * 64 bits pour extension du répertoire par l'utilisateur ; addition de 9 nouvelles opérations pour gérer ces dispositifs ; possibilité d'édifier un biprocesseur avec ou sans mémoire partagée et séparation des I/O sur deux SELBus ; horloge temps réel. Du point de vue logiciel, cependant, il ne semble pas que le Real Time Monitor soit capable de gérer un véritable multiprocessing : les configurations accessibles semblent prévoir une répartition des ressources par région de mémoire entre les processeurs qui peuvent n'être pas de même modèle (un CPU 16 bits par exemple), et qui échangent leurs résultats par messages dans une mémoire partagée. Voir fiche SEL dans boîte 110.

SEL 32 / 57 (1977) : apparition de la mémoire MOS avec ECC, cycle 900 ns, capacité portée à 1,8 MB entrelacés 2 ou 4 voies ; répertoire porté à 178 opérations pour gestion plus raffinée des interruptions et des entrées / sorties ; horloge temps réel ; option WCS ; possibilité d'installer un processeur auxiliaire sur le SELBus commun, pour traiter un problème spécifique dans une zone de mémoire réservée. SEL inaugure avec cette machine une approche commerciale de packaging, consistant dans un prix réduit pour une configuration imposée : les choix proposés comportent des économies sur les armoires, et donc sur les possibilités d'expansion. Voir fiche SEL dans boîte 110.

SEL 32 / 77 (1977) : cette machine reprend le concept de la 75 avec la nouvelle mémoire MOS, et un répertoire porté à 190 opérations par l'apparition de quatre modes d'adressage, permettant d'accéder à 16 MB. Ce type d'expansion, cependant, est critiquable car les adresses n'ont toujours que 19 bits et l'on reste très loin d'une véritable mémoire virtuelle : les programmes, notamment, restent obligatoirement dans les premiers 512 KB de mémoire. Trois préconfigurations économiques sont proposées, dont aucune n'est biprocesseur : il semble que le logiciel RTMon ne se prête pas vraiment au multiprocessing, qui se limite comme ci-dessus à une possibilité de processeur régional pour application dédiée. Voir fiche.

SEL 32 / 30 BOX (1977) : cette machine qui élimine la 35 se veut différente en ce qu'elle n'offre que 13 slots, toujours avec le même processeur (3 slots) mais avec seulement quatre slots de mémoire : on peut y placer soit deux modules de tores = 128

KB, soit quatre modules MOS = 1 MB, entrelacés. Le répertoire est celui du 57, la limitation porte sur les choix (WCS, IO). Voir fiche SEL dans boîte 110.

SEL 32 / 30A MAXIBOX (1978) : cette machine remplace à nouveau la précédente dont les 13 slots ont été jugés trop restrictifs. Le 30A en a 15, dont 4 pour la mémoire qui est toujours MOS et normalement entrelacée, et de plus utilise le cycle 600 ns. Le répertoire est retombé à 159 opérations par réduction du nombre des interruptions et l'absence de gestion mémoire.

Il y a donc 6 slots disponibles pour des contrôleurs de périphériques. Voir fiche.

SEL 32 / 57 révisée (1979) : avec l'adoption en standard du module de mémoire MOS 256 KB, 600 ns, cette nouvelle 57 ne diffère plus de la 30A que par un boîtier de 18 slots au lieu de 15. Le répertoire a été réduit à 159 opérations et le nombre des interruptions a été réduit, de sorte que la production est unifiée. Voir nouvelle fiche SEL dans boîte 110.

SEL 32 / 77 révisée (1979) : de la même manière, la nouvelle 77 ne propose plus que des préconfigurations à un seul processeur et un seul SELBUS, avec un MBC qui supporte jusqu'à 4096 KB en 16 modules 256 KB MOS de cycle 600 ou 900 ns au choix. Ainsi la 77 sous RTMon ne dispose-t-elle que de 160 opérations avec un nombre réduit d'interruptions comme les deux précédentes, sa spécificité étant le processeur VF câblé, une plus grande mémoire possible, mais pas beaucoup plus de slots.

Il est cependant possible, lorsque les applications le justifient, de faire évoluer cette configuration orientée temps réel vers une configuration plus scientifique, en passant le CPU du mode PSW qui correspond au RTMon au mode PSD qui exige le nouveau système d'exploitation MPX 32. Le répertoire passe alors à 189 opérations, avec l'apparition d'une mémoire virtuelle plus sérieuse.

Voir nouvelle fiche SEL dans boîte 110.

Processeur vectoriel VPS 3200 / 3300 CM : en 1979, SEL prend conscience qu'une partie de sa clientèle éprouve le besoin de meilleures performances en applications scientifiques, et qu'il est possible de rentabiliser une étude de coprocesseur vectoriel. Les machines ici proposées, connectées à un SEL 32 standard à travers un double interface de partage de mémoire, comportent trois bus d'accès à des mémoires propres, et un ou deux processeurs composés chacun de deux opérateurs simultanés, un FAD et un FMP, qui travaillent en flottant 32 bits normalisé ; chaque processeur peut produire un produit et deux sommes toutes les 420 ns.

Le fonctionnement normal d'un tel ensemble consiste à déléguer l'essentiel du calcul scientifique au VPS, ne laissant au SEL 32 que les tâches d'organisation en virgule fixe et les entrées / sorties. Encore est-il possible d'équiper le VPS d'une interface très rapide pour communiquer avec un processus physique. Ainsi, le SEL 32 associé à un VPS sera-t-il généralement un 30A ou un 57 plutôt qu'un 77 dont les ressources seraient sous-employées.

Prix de base \$ 79000 pour un 3200, \$ 85000 pour un 3300.

Prix typique : K\$ 186 pour un SEL 32/77, un VPS 3300, 500 KB de mémoire MOS 600 ns, 80 MB de disque, une bande 75 ips pour les sauvegardes, IP 600, LC 300, un écran, et le logiciel.

Processeur vectoriel VPS 6400CM : à plus forte raison peut on reprendre ce raisonnement avec le VP 6400 qui fait ses calculs en flottant double précision, mais ne dispose que d'un bus 64 bits pour accéder à une mémoire de 64 K doubles mots, plus un bus 32 bits et une mémoire 64 K * 32 pour les programmes.. Le VP 6400 coûte K\$ 137, de sorte que la configuration typique évoquée ci-dessus représente \$ 215000.

Exemple d'application: inversion d'une matrice 100 * 100 en 64 bits, durée 1 seconde ; FFT 1024 points de 64 bits, durée 25 ms.

Concept 32 (1980) : après cinq années de bon fonctionnement et de raisonnables succès économiques, la famille SEL 32 bâtie sur un unique CPU a atteint son plafond. Dans un domaine où il faut nécessairement grandir (en puissance de calcul) pour progresser, une nouvelle unité centrale est nécessaire. Par contre, l'architecture a fait ses preuves. SEL décide donc :

de garder le SELBus synchrone à 26,67 MB/s qui est bien implanté et suffisant pour les besoins de la clientèle temps réel de la compagnie.

de créer une nouvelle unité centrale enfichable sur ce bus, qui devra intégrer l'adressage, réel et virtuel, de 16 MB, et la virgule flottante microprogrammée. Elle utilisera les microprocesseurs en tranches et tiendra sur une seule carte SELBus.

de créer une nouvelle organisation de mémoire, où chaque module MOS de 256 KB, organisé en 64 Kmots de 39 bits, dispose de toutes les fonctions indispensables : contrôleur, refresh, ECC .

de créer un meilleur IOP, capable de 16 contrôleurs, et offrant trois interfaces : l'écran local, avec clavier et souris ; les lignes asynchrones RS 232C ; un bus parallèle 16 bits (MP Bus pour MultiPurpose) pour les contrôleurs qui ne justifient pas l'emploi du SELBus, et qui coûteront donc moins cher.

de généraliser l'emploi du système d'exploitation multitâches MPX 32, qui prend en compte une certaine forme de mémoire virtuelle de 16 MB et de multiprocessing.

Le prix pour une machine de base, comprenant une carte CPU, une carte de mémoire 256 KB, une carte IOP, s'élève à 230 KFFHT.

On notera que ce n'est pas une révolution, et qu'il s'agit plutôt d'asseoir sur une base industrielle saine la fabrication d'une architecture rodée. C'est cet objectif qu'achètera, en décembre 1980, le consortium financier Gould, qui laissera pendant plusieurs années la filiale SEL Computer Group poursuivre dans la voie où elle s'est engagée. Il faut souligner que Gould ne prenait pas énormément de risque : SEL est toujours, après 15 années, une petite société avec 2000 personnes aux USA, 200 en Europe, et un parc de 3000 machines ; et ses produits sont bons.

Concept 32/27 (1981) : première réalisation du schéma Concept, cette machine comprend donc un CPU sur une seule carte, un accélérateur flottant optionnel, une à quatre cartes mémoire de MOS 256 KB avec ECC, et un IOP qui prend en charge tous les périphériques (y compris les disques) à l'exception des bandes magnétiques, pour

lesquelles on garde l'ancien contrôleur SELBus. Deux configurations prépackagées, dites Nucleus et 2750, sont proposées ; toutes deux sont enfichables en racks 19 » EIA. Voir fiche .

SEL 32 / 7780 (1981) : malgré la date de sa commercialisation, cette configuration n'est pas un Concept, et elle utilise l'ancien processeur SEL 32, en deux exemplaires avec des microprogrammations différentes, car l'un des deux est maître, et notamment responsable des entrées/sorties, tandis que l'autre est asservi, et son rôle limité à des calculs. Cela se traduit par un nombre différent d'opérations exécutables, respectivement 187 et 165 ; chacun des deux peut disposer des deux types d'accélérateurs, à savoir un FPU câblé et une librairie microprogrammée de routines scientifiques.

La mémoire physique est normalement limitée à 4 MB, et construite avec les modules MOS antérieurs de 256 KB + ECC, cycle 600 ns. L'extension à 16 MB est possible, mais coûteuse en matériel.

Le système d'exploitation est MPX 32, qui dispose d'une mémoire virtuelle assez restreinte et d'une possibilité de multiprocessing limitée à la relation maître / esclave indiquée. Au titre de la mémoire virtuelle, chaque tâche peut disposer de 512 KB de mémoire pour programmes et données, plus une extension de 1,5 MB de données dans un mode d'adressage dit étendu. Cela s'apparente au système de « Dual Space » créé par IBM pour les 3081.

Concept 32 / 87 (1981) : nouvelle unité centrale réalisée en ECL, avec un cycle réduit à 75 ns, soit la moitié du cycle SELBus, et un cache également 75 ns. La performance, mesurée par un test Whetstone, est de l'ordre de 4 Mips.

La fiabilité est renforcée par l'installation d'un processeur de diagnostic à base de Z80, ayant accès à la WCS pour y introduire éventuellement des programmes de test.

L'architecture est celle d'un Concept, mais rien n'est prévu pour un fonctionnement multiprocesseur. Voir fiche.

Concept 32 / 67 (1983) : nouvelle unité centrale, plus économique que la précédente, et tenant en 3 cartes y compris le cache pour une puissance estimée de 1,7 Mips. Cette fois, une des préconfigurations proposées comprend un IPU, c'est-à-dire un second processeur esclave ne faisant que les calculs.

Le logiciel est toujours MPX 32, mais dans une version améliorée qui accorde 16 MB de mémoire virtuelle à chaque tâche. Voir fiche.

Concept 32 / 97 (1984) : est une reprise du 87, organisé avec un accélérateur flottant pour une puissance de 5,6 Mips par unité centrale ; et cette fois on propose effectivement une configuration biprocesseur maître / esclave en ajoutant un IPU. Les éléments nouveaux sont :

la construction des mémoires avec des puces de 64 Kbits, ce qui permet d'avoir désormais des modules de 1 MB et une mémoire physique de 16 MB dans le châssis de base,

la proposition alternative d'un système d'exploitation UNIX 32 dérivé de l'Unix 4.2 de Berkeley, avec quelques éléments de Unix V; il y a aussi un compilateur ADA.

Voir fiche .

Nous arrêtons là cette brève revue, pour renvoyer à la rubrique 294 consacrée à la période Gould, en fait bien entamée ci-dessus : à partir de 1985, le regard sur le marché doit changer .