

549 - La sécurité avec Tandem

En 1974, la société Tandem est créée avec l'objectif clairement exprimé de réaliser un système d'ordinateurs assurant un service continu (Nonstop) aux utilisateurs transactionnels de bases de données sur disques. L'annonce d'un produit réalisant cet objectif, le Tandem 16 Nonstop avec son système d'exploitation Guardian, suivra en mai 76. Les principes de construction permettant ce résultat sont :

- redondance des matériels assurant que malgré les divers types de pannes envisagés, ce qui continue de fonctionner assure le service désiré.
- création d'un Dynabus doublé qui permet à chaque unité centrale de diffuser à toutes les autres les observations et compte-rendus d'incidents.
- facilité de dépannage des modules matériels permettant de minimiser les durées de fonctionnement à effectif réduit, pour que la probabilité de deux pannes simultanées soit négligeable.
- détection de tous les incidents invalidant chaque module actif, afin de réaliser sans arrêt visible la commutation des tâches actives vers des modules sains, et d'initialiser dès que possible la procédure de dépannage.
- conception d'un système d'exploitation qui assume toutes les détections ne relevant pas du matériel, et toutes les actions de commutation.
- duplication de ce système en mémoire, et checkpoint périodique des données dynamiques, pour faire face aux pannes de modules de mémoire et aux coupures d'alimentation.

Peu désireux de réécrire les compilateurs, Tandem a choisi de ne pas introduire de dispositif matériel dans les commutations ; les processus exécutés sont issus de compilations normales sur des programmes dont la rédaction est standard. Les commutations consistent seulement dans la modification, commandée par les détections d'incidents, des listes de ressources sujettes à allocation et / ou des priorités. Cependant, comme le montre une publicité incluse dans la fiche, des verbes nouveaux ont été introduits dans le langage COBOL pour NonStop, de façon à intégrer naturellement dans les programmes des actions importantes comme les Checkpoints ou les reprises automatiques, plutôt que de devoir les rédiger à chaque usage ; il ne s'agit que de routines ajoutées au compilateur.

Nous disposons, grâce à Tandem, de documents volumineux et même redondants pour expliquer ces principes aux usagers même peu familiers avec les techniques informatiques :

System Description Manual T16 / 8000 -A00, 10 / 60, 441 pages. Voir boîte 110;
Document commercial : Tandem, Systèmes d'ordinateurs NonStop

D'autre part, nous possédons deux très importants manuels de Guardian, un document pour l'opérateur et un pour le programmeur, décrivant les motifs et les moyens d'éventuelles interventions. Ces documents resteront valables, à très peu près, pendant toutes les années où le concept NonStop présidera au succès de Tandem, à travers plusieurs changements de CPU.

Le premier de ces processeurs est le Tandem 16, un 16 bits spécialement étudié, et le choix stratégique de Tandem est résolument propriétaire, attitude assez généralisée à l'époque ; c'est-à-dire que Tandem propose à ses clients la totalité des composants de la solution qu'il préconise, à savoir :

- le matériel, processeurs et Dynabus, qu'il fabrique, et les disques qu'il achète en OEM (chez CDC).

- le système d'exploitation GUARDIAN et l'assembleur TAL adapté à ses machines.

- un compilateur COBOL complété de verbes commodes pour la définition des redondances désirées.

- une base de données ENSCRIBE, conçue pour travailler sous Guardian, offrant au choix du client la possibilité de disques miroirs, c'est-à-dire de double enregistrement. Chaque fichier peut grandir théoriquement jusqu'à 4 GB.

Prix typique : 2 CPU, 192 KB de mémoire, 2 disques totalisant 50 MB, une bande magnétique de sauvegardes, une IP 300, 16 terminaux écran, Guardian et Enscribe, représentent \$ 175000. On peut observer que c'est vraiment la limite inférieure du concept, et se demander si une base de données de seulement 50 MB, une fraction de la capacité d'un dispac, que l'on pourrait copier chaque soir, justifie un tel investissement. La réponse est que le client n'achète pas seulement la sécurité, mais aussi la disponibilité permanente.

Quoi qu'il en soit, le succès fut important et durable : fin 77 (un an et demi après le lancement), il y a 46 systèmes en service, avec 106 processeurs. L'un d'eux comprenant 10 CPU, on voit que presque tous les acheteurs se contentent de deux CPU, ce qui justifie la configuration du prix typique. Trois ans plus tard, il existe 350 systèmes et plus de 1000 CPU, ce qui indique un accroissement de taille du système moyen.

De plus, une concurrence apparaît : Stratus, Auragen, et les grands constructeurs s'avisent qu'il y a là un souhait de la clientèle auquel ils n'apportaient pas de réponse satisfaisante. Ils négocient des alliances, qui dureront le temps nécessaire à la mise en place de politiques conscientes et explicites de redondance dans leurs offres.

En 1981, le passage aux puces mémoire de 64 Kbits autorise des accroissements de capacité : 16 MB de mémoire physique, 1 GB de mémoire virtuelle par processus.

Le CPU NonStop 2 est toujours un 16 bits, mais l'adressage virtuel est passé à 32 bits, l'adressage physique à 23 bits. La micromachine acquiert de la souplesse, une WCS de 32 KB remplaçant les PROM. Les canaux virtuels (sous-canaux au sens d'IBM) dont le nombre est porté à 255, peuvent débiter jusqu'à 5 MB/s en rafale, et transférer des blocs atteignant 64 KB au lieu de 4 KB.

Pour la fiabilité, il y a maintenant un diagnostic processor, qui peut intervenir en simultanéité avec l'exploitation sur une unité ayant donné lieu à incident, afin d'accélérer le dépannage qui ne peut plus désormais profiter de personnel résident.

Prix typique : \$ 144475 pour deux CPU, 512 KB de mémoire, un dérouleur de bandes. Ce prix baissera un peu vers 1985, avec une réduction de volume de l'installation, à cause de l'apparition du TXP.

Le NonStop TXP apparaît en 1983, ouvrant à la clientèle de Tandem le monde des 32 bits qui était de longue date celui des grands constructeurs. La nouvelle machine a un bus mémoire 64 bits, des chemins de données et des registres 32 bits, et elle sait

manipuler des opérandes de 64, 32 et 16 bits. Les adressages n'ont pas changé depuis le NonStop 2, mais il y a désormais un cache de 64 KB (une ligne) à cycle de 116 ns, et l'emploi de RAM statiques de 16 Kbits à cycle de 45 ns, coûteuses mais bien plus rapides que les DRAM. La puissance de calcul atteint 1,5 Mips par processeur, ou 3 à 4 transactions par seconde et par CPU.

Le nouveau système est compatible, au niveau du code objet, avec le Nonstop 2. Pour obtenir ce résultat, tout en triplant la performance, avec une technologie Fairchild FAST TTLS qui ne donne que 50% de gain, Tandem a choisi de doter le nouveau CPU de deux chemins de données 16 bits simultanés plutôt que d'adopter un simple chemin de données 32 bits. Ainsi chaque cycle de microprogramme fournit quatre opérandes et non deux : deux pour la nouvelle ALU 16 bits dite principale, et deux à répartir entre l'ancienne ALU dite désormais "spéciale", un décaleur "barrel", une scratchpad de 4096 * 16, l'interface Dynabus et l'interface I/O conservés, et l'interface mémoire. Un pipeline à 3 étages maintient tout cela en activité simultanée.

La micromachine a donc du être complètement rebâtie, pour obtenir un cycle effectif de 83,3 ns avec deux étages de microinstructions : une première mémoire de commande 8K * 40 bits actionne le premier étage de pipeline et fournit 12 bits d'adresse pour la seconde mémoire, 4K * 84 bits, qui gère le parallélisme des actions menées par le second et le 3ème étage. Ces deux mémoires sont des WCS, qui permettent de faire évoluer les microprogrammes même chez les clients, et de charger des microdiagnostics en cas de pannes. Moyennant quoi il est possible d'exécuter les Load et Store en 3 CP, les additions en 2 CP.

Cette machine est construite sur 4 cartes : SQ = bloc de commande, CC = entrée / sortie, IP = cache, ALU principale et registres, MC = interface mémoire 64 bits, interface dynabus, décaleur. Elle exploite un répertoire de 263 opérations, dont 43 scientifiques et 220 pour l'arithmétique entière, l'arithmétique décimale, les manipulations sur bytes, la pile, etc...

La mémoire construite avec des puces 64 Kbits est organisée en modules de 2 MB ECC, soit 4 bancs de 64 Kmots de 72 bits. Chaque processeur peut disposer de 4 modules.

Nouveauté également, le concept NonStop dépasse maintenant le domaine matériel du système pour s'étendre à toute l'entreprise, à travers un réseau local à fibre optique acceptant jusqu'à 224 CPU (clustering), et à travers un réseau national qui peut englober jusqu'à 4080 CPU. Le nouveau Guardian sait gérer les ressources à cette échelle globale, sans qu'il soit nécessaire de reprogrammer les applications.

Prix typique : \$ 328550 pour deux CPU avec 2 MB de mémoire, deux disques de 128 MB chacun, une bande à 45 ips, et 4 IOP pour les divers périphériques.

Conscient que les clients souhaitent des bases de données de plus en plus importantes, Tandem introduit en 1985 le V8, un ensemble de 1,3 GB comprenant 8 axes Winchester de chacun 6 disques, dotés chacun d'un bras d'accès.

D'autre part, constatant que les services proposés par le TXP écrasent quelque peu le Nonstop 2, qui par ailleurs commence à dater, Tandem propose à \$ 120000 le Nonstop EXT, qui loge dans une seule boîte les deux processeurs et les disques d'un NonStop 2, grâce aux progrès de la technologie.

Nous ne sommes pas en mesure de présenter une histoire financière complète de Tandem, car notre documentation sur ce point s'arrête ici. C'est la description d'une croissance rapide et bien maîtrisée, qui va encore se poursuivre quelques années. Voir page suivante.

On notera pourtant que le bénéfice est en régression, mais cette année -là semble avoir été mauvaise pour tout le monde, et la croissance du chiffre d'affaires, qui désormais n'est plus 100% informatique, reste excellente, et sera encore meilleure en 1986. C'est d'ailleurs l'année où IBM, prenant conscience de l'importance de la disponibilité, achète des machines Stratus pour les vendre aux banques avec des logiciels qui leur conviennent. Cette attaque de son marché a sans doute contribué à la décision suivante : pour la première fois, Tandem souligne dans sa publicité qu'il propose des machines dont toutes les caractéristiques sont celles des "mainframes".

Année	CA M\$	Bénéfice	Effectif	R&D M\$	Export %	Parc M\$
1977	7,69					
1978	24,30					
1979	55,97					
1980	108,99					
1981	238,39	27		2730		33
1982	335,2	29,1	3600	33	31	
1983	450,5	33,7		39		756
1985	634,6	31,9	5494	71,6		

En 1986 donc, Tandem annonce le NonStop VLX, construit au moyen de réseaux de 2800 portes ECL, les MCA2800ALS étudiés avec Motorola, qui disposent d'interfaces TTL

Deux cartes (I et E-unit) contenant 31 réseaux constituent le nouveau CPU, capable de 3 Mips ; une carte contenant 2 réseaux et 256 puces de 256 Kbits constitue le nouveau module de 8 MB de mémoire. Un processeur dispose de un ou deux modules.

Le processeur d'entrées / sorties utilise deux réseaux qui remplacent environ 70 circuits TTL, MSI et SSI. Le principal bénéfice réside dans la fiabilité, car la performance disponible est limitée par l'exigence de compatibilité avec les modèles antérieurs.

La nouvelle machine dispose d'un Dynabus à 2 * 20 MB/s, 40% plus rapide que l'original, et d'un processeur de maintenance Motorola 68000 qui surveille en permanence un réseau de 6809 dans les CPU et dans les alimentations.

Tandem a décidé que le système minimal comprenait désormais 4 CPU, soit 12 Mips ou 50 TPS. La prestation de base comprend aussi 32 MB de mémoire, 4 disques de 415 MB et 4 disques de 128 MB, une bande de sauvegarde de 128 MB, 4 canaux de 5 MB/s, et le logiciel, le tout pour \$ 995275.

Malgré cette formidable augmentation de prix, le succès de Tandem ne diminue pas : en 1986, la marque a réussi plus de 1000 installations représentant quelque 10000 CPU.

L'étape suivante de l'évolution est CLX 700, apparu vers 1989. Le sigle suggère qu'il s'agit d'une version allégée de VLX, mais aucun détail n'est connu sinon qu'il s'agit de processeurs CMOS, forcément des concurrents sérieux pour le coûteux VLX. Un CLX 800 lui succède en janvier 1991, qui paraît n'en différer que par une nouvelle technologie en CMOS 1 μ , de sorte qu'il est possible de procéder à un échange de cartes sur site sans interrompre l'activité.

Ces systèmes CLX comprennent de 2 à 16 processeurs, 32 à 512 MB de mémoire, et coûtent de 125000 à 965000 \$ selon le nombre de processeurs.

A la même époque, Tandem vend des monoprocesseurs sous Unix, pour suivre la forte pression exercée par la presse informatique et certains vendeurs de serveurs. Ces systèmes ne sont pas NonStop mais profitent des services conviviaux si prisés des chercheurs et de la dite presse. Cette évolution a du commencer dès 1985, et elle explique en partie le chiffre élevé de 10000 CPU indiqué plus haut.

En 1991, c'est dans ce cadre que Tandem propose des produits logiciels conformes à la norme X400 de messagerie : il y a ainsi MHX 400, serveur départemental de messagerie fonctionnant sous l'Unix S2 de ces systèmes, puis NDX400, serveur de messagerie pour PC. Et il y a OSI/MHS, qui tourne sous Guardian et qui permet de relier les systèmes NonStop à l'un ou l'autre des précédents.

En 1993, la baisse des prix des microprocesseurs rend difficile la commercialisation de processeurs cablés, de sorte que Tandem se trouve dans l'obligation de faire choix d'un fournisseur. Il choisit MIPS, à cause de sa politique de licence très souple, et annonce Himalaya, famille de serveurs basés sur le R3000, avec le logiciel NonStop qui est une évolution de Guardian vers une interface Posix pour les applications Unix. Il y aura trois modèles :

K100 comprend 2 à 4 CPU et coûte environ 200 KFFHT, pour s'intégrer dans des réseaux locaux.

K1000 est prévu pour le traitement distribué et coûte 1,6 MFFHT pour 16 processeurs.

K10000 représente le groupement NonStop de l'ensemble des machines d'une entreprise, jusqu'à 4096 CPU, le prix démarrant à 3,5 MFFHT pour deux processeurs.

La même philosophie est reprise en 1995 avec des processeurs R4400 à 200 MHz, les trois niveaux devenant quatre, K2, K200, K2000, K20000. Un K2, trois fois plus puissant que le K100 de base, vaut 175000 FFHT. Ces nouvelles machines sont prévues pour supporter ATM dans leurs liaisons à grande distance, et sauront ventiler leurs messages à travers Ethernet dans les réseaux locaux.

On voit que Tandem doit progressivement abandonner ses structures propriétaires pour continuer à vendre à des clients fortement sollicités par une presse informatique très orientée.

Le nom Integrity est mentionné en 1994 pour des réalisations intermédiaires à base de MIPS R4000, et qui existent en deux versions : les NR sont simplement des serveurs sous Unix, et ne se distinguent guère des produits concurrents; les FT sont à tolérance de pannes, et ce sont eux qui portent encore le flambeau de la marque, comme indiqué ci-dessus.

En 1996, Tandem est sollicité par Microsoft pour adopter Windows NT plutôt que Unix pour ses serveurs, ou au moins pour offrir cette alternative à ses clients, et pour remplacer à cette occasion son système de clustering par le ServerNet de Microsoft pour commercialiser des Wolfpack, groupements intégrés de systèmes à tolérance de panne. On constate, à la suite de ces accords, que Tandem est complètement emporté par le torrent logiciel issu des sociétés de service, car il annonce pour le début de 1997 :

- les NonStop Serverware sous Windows NT, à base des matériel Himalaya
- la base de données NonStop SQL, relationnelle, et sa variante MX orientée objet.
- l'environnement transactionnel NonStop Tuxedo, associé à une variante maison de CICS.
- Non Stop Server for Java, machine virtuelle Java sous Non stop.
- la gestion d'objets distribués NonStop DOM (pour Distribution Object Manager), qui est directement inspirée par CORBA à travers le SOM / DSOM d' IBM.

En réalité, comme chez Microsoft, il ne s'agit que d'un habillage mode sur des couches maison conservées mais puisque celles-ci ne sont plus mentionnées la firme perd son âme. Microsoft a d'ailleurs payé 35 M\$ à Tandem pour qu'il fasse cet effort.

La démonstration est effectuée en mai 1997, avec un énorme cluster de 16 serveurs NonStop comportant chacun quatre processeurs Pentium Pro 200, fonctionnant sous Windows NT et gérant une base de données de 2 TB. En réalité Tandem espère plutôt aborder un marché de masse avec des clusters de 4 à 6 machines pour des bases de données de 200 à 800 GB, et affirme que de tels systèmes sont trois fois moins chers que leur équivalent Unix ; quant à Microsoft, la démonstration valide son NT comme un système pour grands serveurs, et c'est cela qu'il a acheté.

L'histoire se termine peu après : Tandem, restée par tempérament une entreprise de hardware, et par la nature de son marché une petite entreprise, n'est plus en état de financer sa croissance. La société est achetée par Compaq en 1997, et cinq ans plus tard c'est Compaq qui est à son tour acheté par Hewlett Packard.

550 - Les portables de Tadpole Technology

Cette société apparait en avril 92 dans la publicité en proposant un notebook intitulé Sparbook 1, construit autour d'un microprocesseur RISC d'architecture Sparc, construit en HCMOS 0,7 μ , et mesuré à 18 Mips à 25 MHz, ou 12,6 Specmark92. Cette puce est construite autour d'un bus interne 64 bits, avec un pipeline à 4 étages, et 8 fenêtres chevauchantes de 24 registres chacune.

Le bus se prolonge à l'extérieur vers la mémoire, qui peut contenir jusqu'à 32 MB en puces DRAM de 4 ou 16 Mbits. Il dessert également :

- un contrôleur ASIC et une VRAM 256 KB pour l'écran, LCD 640 * 480 pixels en gris ou couleur.
- un accélérateur d'écran avec 32 KB
- une interface Ethernet 15 broches compatible 802.3, avec logiciel incorporé.
- un clavier 82 touches dont 12 fonctions, mousekey incorporée.

Le logiciel est Solaris 1.0.1, combinaison de SunOS 4.1.2 avec Open Window 3 : c'est le prototype de Solaris 2.0, offert à ceux qui veulent un Unix SVR4. Pour les autres, on propose une émulation optimisée de MS-DOS, produite par Insigna Solutions.

Ce portable mesure 300 * 216 * 48 mm, pèse 3 Kg, et son prix commence à \$ 4950.

Retour sur le devant de la scène en 1994 avec le P1000, un portable de la taille d'un livre qui contient une concentration exceptionnelle de technologie : un Pentium 100 MHz avec bus PCI, un cache secondaire de 256 KB, une interface bus 64 bits avec une mémoire de 128 MB, un disque de 810 MB en 2,5" de diamètre avec contrôleur SCSI2 (débit 10 MB/s en synchrone, ou 5,5 en asynchrone), un BIOS plug and play, un écran TFT de 10,4", un accélérateur graphique 640 * 480 pixels en 65536 couleurs, une prise pour pilotage d'un écran externe jusqu'à 1024 * 768 pixels en 256 couleurs, ou 1280 * 1024 pixels en 16

couleurs, et pour finir une prise pour carte PCMCIA. Tout cela fonctionne sous Windows NT, et coûte la somme décourageante de 45000 FFHT. C'est pourquoi, sans doute, cette réussite ne suffit pas à imposer la marque Tadpole.

Un an plus tard (2/96), Tadpole fait une nouvelle tentative avec l'Alphabook 1, qui utilise un processeur DEC Alpha 21066 à 233 MHz avec cache 512 KB et bus PCI. Ce portable est assez proche du précédent, avec une mémoire de 32 à 128 MB, deux connecteurs PCMCIA dont un pour Ethernet, l'autre pour une option modem / fax à 28800 bauds. Le PCI supporte encore un contrôleur SCSI pour un disque amovible de 2,5", 510, 810 ou 1200 MB. L'écran TFT 10,4" présente 800 * 600 pixels en 256 couleurs choisies parmi 262144, la carte graphique étant incorporée.

Le logiciel d'inspiration DEC est très varié : Open VMS, DEC Windows avec Motif, communications TCP / IP, option pour connection DEC Net / OSI. Le prix commence à 13950 FFHT, nettement plus compétitif, mais le logiciel, choisi chez DEC pour n'avoir pas à rédiger une compatibilité PC, réduit fortement le nombre des clients a priori, à ceux qui sont déjà équipés de machines DEC. L'Alphabook n'aura qu'un succès d'estime.

551 - Tandy Radio Shack et l'aventure du TRS 80

Tandy Corporation est un consortium financier de modestes moyens et de grande ambition, basé à Fort Worth, Tex. Sa croissance tous azimuth l'a conduit, vers 1978, à posséder la chaîne de magasins Radio Shack, distributeur d'équipements électroniques domestiques, télévisions et magnétoscopes.

L'avènement du microprocesseur Intel 8080 et le succès de sociétés comme Apple et Im Sai conduisent alors un directeur plus audacieux que les autres à proposer et réaliser un programme d'ordinateur familial, à commercialiser - c'est la véritable originalité du projet - dans les 6500 magasins Radio Shack. Ce sera le TRS 80, pour Tandy Radio Shack 8080, un succès immédiat facilité par une politique commerciale qui traite les ordinateurs comme les téléviseurs.

Il faudra cependant attendre la deuxième génération du TRS 80, qui mérite toujours son nom bien que le CPU soit devenu un Zilog Z80A, et des ventes approchant 100000 exemplaires, pour que Tandy se décide à aborder l'Europe. La difficulté réside dans l'absence du réseau Radio Shack en Europe, obligeant Tandy à traiter avec des distributeurs européens dont les habitudes diffèrent beaucoup de celles des américains. Le

distributeur français, Mercure 2000, qui ne croit pas du tout au calculateur familial, s'efforce d'orienter le produit vers l'entreprise en le présentant avec un bureau et un logiciel de gestion.

Avec le Modèle 16 annoncé en 1982, Tandy passe aux 16 bits et adopte comme processeur un 68000, gardant le Z80A précédent comme gérant des entrées / sorties. Le matériel cesse indéniablement d'être familial pour s'ouvrir à l'entreprise, car la machine est non seulement multitâche mais multiposte, grâce au système d'exploitation Xenix. Prix américain \$ 4999 avec 128 KB de mémoire, un disque et deux portes série dont une assure la compatibilité avec IBM ; il est vendu en France 50000 FFHT. Le nom de TRS 80, peu justifié cette fois mais ayant fait le succès initial de la marque, est conservé.

Le modèle 100 de 1983 s'appelle toujours TRS 80, un nom devenu simple fétiche, et c'est une plongée vers le bas, un notebook longtemps avant la lettre, avec un clavier complet et un écran LCD de 8 * 40 caractères, au prix de 799 \$ pour une mémoire de base de 8 KB, extensible à 32 KB. Le chiffre paraît faible, mais les principaux programmes, et notamment un Basic étendu, sont en mémoire morte, de sorte que c'est un produit très honorable.

Nous disposons d'un catalogue en français des produits Tandy juste après cette annonce, très caractéristique de l'approche commerciale radicale de la compagnie, qui n'était guère capable, à la vérité, de séduire une quelconque entreprise. On peut penser, cependant, qu'à la longue, une forme dégradée de l'ordinateur gadget aurait pu s'implanter dans les familles, si n'était apparu, en 1981, le PC d'IBM.

C'est pour combattre la force écrasante du modèle proposé par IBM, avec son faible prix et ses logiciels pratiques (le triplet traitement de texte / base de données / tableur unifié par un système d'exploitation facile à comprendre), que Tandy, comme d'autres, avait pensé proposer beaucoup mieux en s'appuyant sur le 68000. L'expérience prouva, cependant, qu'il était trop tard pour un autre modèle : le public voulait le PC et rien que lui, mouvement qui s'amplifiera quand Windows ajoutera l'agrément et la commodité à l'efficacité.

Tandy doit donc, comme tout le monde, s'engouffrer derrière le modèle : il y a encore beaucoup de place, comme le prouveront de nombreux constructeurs. Et d'ailleurs, Tandy est prospère, comme le montrent les chiffres de 1985 : CA 3,13 B\$ (+ 10%) dont 1,2 en informatique (+ 28,7%), bénéfice 203 M\$ (- 12,8%, mais l'année est mauvaise pour tout le monde), 36000 employés.

Pour la seule informatique, où les changements sont rapides, Tandy est 47ème CA mondial et 14ème aux USA en 1985. Son CA se répartit en 796,8 M\$ pour les PC, 303,3 M\$ pour les périphériques, 98,9 M\$ pour le logiciel. Ses ventes s'effectuent dans 434 magasins Radio Shack, plutôt spécialisés maintenant que l'informatique familiale est reconnue comme un commerce à part entière.

La première réalisation est le 2000, utilisant un CPU 8088 deux disquettes et un petit disque dur, avec le système MS-DOS. Nous en avons une photo dans la fiche TRS 80 Mod 4.

Pour la suite, le choix technique semble tout à fait correct : succédant à ce Mle 2000 qui n'était pas entièrement compatible, le PC Tandy 3000 de 1985, un PC / AT à base de 80286 à 8 MHz, avec option 80287, est offert en deux variantes :

- un bas de gamme comportant seulement un floppy de 360 KB ou 1,2 MB pour \$ 2599

- un modèle équipé de un ou deux disques de 20 MB à partir de \$ 3599.

Le boîtier contient dix connecteurs d'extension, dont une option pour six consoles sous Xenix, étant entendu que le produit de base fonctionne sous MS-DOS 3.1. Il y a aussi une option pour le réseau Via Net, dont le principal inconvénient est d'être propriétaire et confidentiel.

Ces prix sont largement en dessous de ceux d'IBM, presque la moitié, pour des ventes de l'ordre de 10000 machines par mois qui vont devoir augmenter considérablement.

Simultanément, le Tandy 600 est un portable à base de 80C88, avec 32 à 224 KB de RAM, un écran LCD 16 * 80 caractères formant couvercle du clavier, un floppy 3,5" de 360 KB, et un modem. Poids 5,5 Kg, autonomie 11 heures. Offert avec l'intégré Works de Microsoft, un agenda et la gestion de ligne téléphonique, ce produit tout à fait correct pour son époque coûtait 1599 \$.

A partir de là et pour cinq ans, la situation a complètement changé : la vente de PC est devenue une compétition sévère, leur construction une industrie de masse où l'automatisation est essentielle pour rester dans la course, mais exigeante en investissements. Tandy suivra péniblement jusqu'en janvier 93 où la société se coupe en deux : TE Electronics, CA 1,5 B\$, 25 usines réparties entre USA, Japon, Corée, Taiwan et Mexique, fabrique des PC, du matériel audio et bureautique ; et Radio Shack, CA 3 B\$, assure la distribution mais doit fermer 25% de ses 414 enseignes consacrées à l'informatique..

Finalement, Tandy abandonnera sa compétence en matière de PC et, pour nous, disparaîtra.

552 - Tealtronic

Cet appareil annoncé en 5 / 77 est un minicentre de gestion basé sur un CPU 8 bits avec 20 à 64 KB de mémoire MOS à cycle de 600 ns, des fichiers séquentiels sur floppy disk, un écran / clavier, une ME 165, une IP 300, une ligne synchrone sous protocole 2780 pour liaison vers une machine IBM.

Le logiciel comprend un assembleur, et un package nommé ACL, compatible 3741. Le prix de \$ 9900 paraît tout à fait disproportionné, par exemple par comparaison avec Tandy, et ne pourrait apparaître justifié qu'à une entreprise décentralisée. On ne connaît pas de suite sérieuse.

553 - Tektronix

Tektronix apparaît très tôt après la guerre comme fabricant d'oscilloscopes, les appareils de mesure fondamentaux pour le dépannage des appareils électroniques qui se multiplient. Les années suivantes voient cette catégorie initialement simple acquérir de considérables raffinements dont certains dus d'ailleurs à l'informatique, mais à aucun moment la compagnie n'a essayé de commercialiser comme tels des ordinateurs.

Vers 1965, la maîtrise acquise par Tektronix des images que l'on peut construire sur un écran conduit la société à s'intéresser aux terminaux vidéo pour ordinateurs, avec

orientation vers les applications graphiques qui naissent à cette époque. Tektronix devient un des spécialistes des images graphiques, mais continue à ne revendiquer aucun processeur particulier, seulement des écrans plus ou moins sophistiqués.

Notre documentation correspond à une seule période de cette évolution, 1980, où la société produit sous le nom de série 4110 une série d'écrans associés à des dispositifs plus ou moins sophistiqués :

4112 terminal monochrome 640 * 480 points, prélevés dans un adressage 4096 * 4096 , accessible à 19200 bauds. Tampon RAM 32 à 512 KB. Jusqu'à 3 plans mémoire superposables. Ecran de 38,1 cm.

4113 Version couleur du précédent, sur un écran de 48,3 cm de diagonale, avec les mêmes définitions et services.

4114 terminal 19200 bauds construit autour d'un tube à mémoire de 4096 * 4096 points, qui peut être associé à un tampon local de 32 à 512 KB, en plus d'une mémoire morte de 56 KB contenant les procédures graphiques. S'il y a lieu, un tampon auxiliaire de 1 MB est disponible sur 2 disquettes. Une version du tube est capable de présenter les couleurs.

Le logiciel interactif Plot 10 fournit une bibliothèque de routines, rédigées en Fortran et utilisables sur tous ordinateurs, mais dont la version compilée est accessible aux écrans ci-dessus, dont le processeur officiellement inaccessible dispose en fait de la plupart d'entre elles dans sa mémoire morte.

L'année 1985 est mauvaise pour Tektronix comme pour toute l'industrie informatique, avec un CA global qui stagne à 1,42 B\$, un bénéfice de 92,7 M\$ en baisse de 25%, et un baisse de 5%, à 367 M\$, du CA proprement informatique. Mais, somme toute, c'est plutôt mieux que la moyenne de l'industrie, et il n'y a rien d'autre à faire qu'à sortir les nouveaux produits.

En 10 / 85, un numéro de la revue Tektronix évoque et décrit une nouvelle série de terminaux graphiques bas de gamme 4100 A présentant sur leurs prédécesseurs (de mêmes numéros ?) des aptitudes logiques nouvelles, plutôt que des progrès proprement graphiques qui sont de longue date disponibles. Il s'agit en particulier des possibilités de modifier localement un "segment", cad un objet graphique, grâce à un concept de sous-programme graphique. Cette famille de 5 terminaux couleur économiques s'étend du 4104A à 32748 FFHT, compatible VT 100, 4 couleurs, au 4109A à 96552 FFHT, qui présente une image 640 * 480 prélevée n'importe où dans une structure graphique de 4096 * 4096, comme vu plus haut.

Cette série existe avec des variantes, notamment une sous-famille CX compatible IBM. Le 4111 est un vrai terminal de CAO, avec une image 1024 * 768, un tampon local de 256 à 1024 KB, et une intelligence locale, c'est-à-dire un processeur inaccessible mais riche d'une bibliothèque de routines graphiques, prix 133959 FFHT.

Le 6130 est une station de connexion sur un réseau local : elle fonctionne sous Unix BSD 4.2 et peut gérer aussi bien les stations graphiques de la famille 4100 que les processeurs graphiques complexes de la série 4120. Le problème des autres périphériques (imprimantes, traceurs, tablettes) ne se pose pas puisque, dans la conception Tektronix, les terminaux graphiques ont tous la possibilité de gérer de tels services ; cependant, il devient possible de mettre en commun de telles ressources à travers le réseau local Ethernet.

La famille 4120, qui existe aussi à cette époque, est constituée de processeurs graphiques beaucoup plus coûteux, utilisant le tube à mémoire à grande définition, associés à des procédures graphiques performantes et cablées que l'utilisateur peut invoquer aisément, mais non modifier. Le prix du 4125, par exemple, est 214142 FFHT. Le numéro de mars 87 de la revue Tektronix donne plusieurs vues extérieures de ce processeur, et décrit un nouvel écran de la famille, le 4126, conçu pour la visualisation 3D stéréo.

Il nous apprend aussi que Tektronix a décidé de ne plus ignorer le marché naissant mais explosif du PC, proposant une carte graphique 640 * 480 à base de processeur Texas TMS 34010 et des logiciels Plot 10. C'est la famille PC 4100, qui va rapidement évoluer pour la définition 1024 * 768.

554 - Teledyne, Inc.

Cette compagnie vouée à des réalisations pour les Armées s'est créée en 1960 autour d'un noyau de transfuges de Litton Industries, et comprend deux divisions : Teledyne Systems Corporation pour les études de systèmes et Amelco Semiconductors Division (née de quelques spécialistes de Fairchild) qui étudie des composants spécialisés. La première activité de la société, qui semble indiquer une certaine bienveillance des Armées, est la production en série du FADAC, un calculateur pour l'artillerie de campagne qui résulte d'une étude confiée en 1957 à Autonetics. Après cela, TSC est devenue en 1965 titulaire du contrat d'étude pour l' IHAS, Integrated Helicopter Avionics System, un programme plutôt révolutionnaire qui doit satisfaire les besoins du gros hélicoptère CH53A et préparer l'avenir.

La fiche IHAS est principalement basée sur deux articles parus dans la revue Aviation Week en juin 65. On y découvre que la finalité du système est l'intégration, c'est-à-dire la corrélation des mesures effectuées sur l'environnement par des moyens variés, tels que compas magnétique, centrale à inertie, radar doppler, radar de surveillance du terrain, systèmes de navigation Tacan, radio, gonio, etc... Le système de calcul doit aussi surveiller le bon état de tous les matériels - inaccessibles en vol en général - signaler les pannes s'il existe une action possible en vol, ou les contourner grâce à des redondances s'il n'y a rien à faire s'il n'y a rien à faire. C'est à l'occasion de travaux de ce genre que furent inventés les bus de transmission série, dont le 1553 B de la Marine.

Le succès de l'opération IHAS a introduit le calculateur de Teledyne dans divers autres programmes , SCNS, AAFSS, Boeing 747. Ce boîtier 1 / 2 ATR combine, comme c'est souvent le cas à l'époque, une machine universelle pour l'arithmétique et les services, et un DDA pour l'évaluation des fonctions du temps définies par des équations différentielles. Le composant de base du DDA est une étude Amelco.

On ne s'étonne donc pas de trouver en 1970 une réalisation expérimentale, sans doute financée par la Marine en marge de l' IHAS, d'un DDA parallèle à hautes performances, basé sur la technologie hybride développée par Amelco, qui rassemble des MSI sur un substrat céramique imprimé et transformé en composant. Voir fiche TEADDA.

En 1970, le TDY 214 est un ordinateur pour le F14 de la Navy. Il est aisé de reconnaître en lisant sa liste de caractéristiques, qu'il s'agit de la même machine que pour l'IHAS, la seule différence portant sur un accroissement à 16 KB de la mémoire NDRO de programme.

Par contre, et bien que réalisé à la même date, le TDY 300 conçu pour le programme Improved Centaur de lanceur spatial, est une machine différente, qui tient dans 10 litres, pèse 9 Kg et consomme 63 watts. La mémoire 24 bits est à tores 4 à 64 Kmots, cycle 3 μ s, accès 1,5 μ s. Le bloc de calcul comprend 27 opérations, exécute l'addition en 6 μ s, la multiplication en 22,5 μ s, la division en 40,5 μ s, dispose de 3 index 24 bits cablés. Les entrées/sorties comportent un DMA à 333 Kmots/s et un jeu de 255 interruptions. Cette description permet de penser qu'en réalité il s'agit de la même architecture, avec de petites adaptations.

Technologiquement, Teledyne pouvait faire mieux, et il existe une version 310 plus rapide.

Après ces succès, il n'est guère étonnant que Teledyne ait cru pouvoir adapter sa technologie à la grande ambition des forces armées, un ordinateur souple et universel qui se plierait à toutes les spécifications. Le TDY 52 est une famille modulaire réalisable en 4, 8 ou 16 bits, étudiée pour les militaires, et commercialisée en 6/73.

Probablement conçue pour un missile, cette machine se présente comme un disque de 7 cm de diamètre, pesant 25 grammes et consommant 7 watts, avec 120 bornes soudables à sa périphérie. On y trouve une mémoire de travail 2K * 16 bits en MOS/LSI, et un CPU à 47 opérations, travaillant en C2, disposant de 16 registres de 16 bits, effectuant l'addition en 10 à 50 μ s. L'interface est TTL et peut se raccorder à tous types de mémoires, ROM, PROM ou RAM.

Le MTBF calculé est 25 ans, de sorte qu'en cas de panne on procède par échange standard. Le prix est \$ 1000 par lots de 10.

On ignore si le produit précédent, qui paraît un peu trop spécialisé pour des civils, a trouvé une clientèle dans les armées, mais la commande suivante a été plus classique : le TDY 750A est le ordinateur de bord 16 bits réalisé pour la commande Block 40 des chasseurs F16 C/D de l'USAF. Il est conforme à la norme MIL . STD. 1750A et exécute un programme de quelque 64000 mots, écrit en Jovial.

555 - Televideo

Cette société s'est manifestée, dans les années 70, en construisant des terminaux à écran plus ou moins compatibles, et cela avec assez de succès pour que d'autres concurrents jugent utile d'offrir des émulations.

Avec l'apparition des microprocesseurs, et l'engouement qui s'ensuit pour des ordinateurs personnels fonctionnant sous CP/M, Televideo crée le TS 803, une machine 8 bits avec 64 KB de mémoire, deux disquettes de 370 KB, un vaste clavier et une souris optionnelle. Prix \$ 2495.

Succès modéré qui cependant incite à continuer. Quand sort le PC, première machine 16 bits, Televideo croit qu'il s'agit simplement d'un élargissement à 16 bits, rendu possible

par un effet de masse, d'une clientèle familiale dont elle a bien perçu la modestie ; il est donc utile de s'installer en compatible, une position que la société connaît bien.

Le nouveau TS 1603 se présente comme un simple clone du PC/XT, avec un microprocesseur 8088, une mémoire de 128 à 256 KB, un clavier QWERTY détachable, un écran 25 * 80 car. monochrome acceptant en option une présentation purement binaire 640 * 240 pixels, deux disquettes 5,25" de 737 KB, deux interfaces RS 232 et un RS 422, et le système d'exploitation CP/M, le MS-DOS étant en option : le tout pour la somme très raisonnable de 2995 \$.

Ce produit était vendable, et le fait qu'il n'ait eu aucune suite fait penser que Televideo a compris rapidement qu'il allait falloir investir pour suivre l'enthousiasme du public, bien au delà de ce que la compagnie souhaitait faire. Il n'y aura pas de PC Televideo, offert en tant que tel.

556 -

557 - Telefile Computer Corporation

En 1970, cette société inconnue se lance dans la production de machines d'interrogation de fichiers. C'est l'idée qui fera la fortune de Tandem, mais il est encore un peu tôt pour créer, à partir de rien, un matériel à tolérance de pannes. Cependant, Telefile a bien compris, par son étude de marché, que les clients de la gestion transactionnelle veulent d'abord de la fiabilité et une disponibilité permanente.

Réalisé avec des composants disponibles sur le marché, le DPE 411 comprend donc deux DDP 316 à 64 KB de mémoire et jusqu'à 24 disques IBM 2311 ou compatibles, associés à un contrôleur de communication Devonshire pour 200 lignes acceptant jusqu'à 56 terminaux actifs. Le logiciel comprend un système d'exploitation, un interpréteur de langage de commande, un COBOL, et toutes applications.

Ce type de matériel n'aura pas de suite parce que Tandem, puis d'autres, apportent plus de rigueur dans la solution du même problème et emportent une adhésion qui n'était que réticente à l'égard du bricolage de Telefile; La compagnie va dès lors se recycler.

Le TCP 16 est une émulation du matériel MAC 16 de Lockheed, compatible et organisé en une famille compatible :

- le Modèle 1 est un microprocesseur sur une carte, moins performant que le MAC 16 d'origine.

- le Modèle 2 n'est pas une copie parce qu'il n'utilise pas nécessairement les mêmes composants, mais il est l'exact équivalent du MAC 16.

- le Modèle 5 est une version plus puissante, obtenue par microprogrammation.

La mémoire multiporte peut varier de 32 KB à 1 MB, elle comporte un bit de parité et une protection par zone et par mode d'accès.

Le processeur dispose d'un répertoire étendu, de registres supplémentaires et d'une historique des 16 derniers contenus du CO ; le changement de contexte s'effectue en 1,6 µs seulement.

Les entrées / sorties comprennent 32 niveaux de priorité, jusqu'à 6 DMA, des disques à 300 MB par axe, un canal PDC compatible, un bootstrap de 412 mots.

Profitant de ce que Lockheed ne soutient que mollement - ce n'est pas du tout sa vocation - un matériel au demeurant très correct, Telefile obtiendra assez de ventes pour soutenir sa formule et jette alors son dévolu sur l'imitation du Sigma 9, avec un TCP 32 baptisé Phoenix. En effet, l'abandon successif de SDS puis de XDS laissait les Sigma, machines universelles appréciées, tout à fait orphelines chez Honeywell qui en avait accepté le soutien avec l'idée de s'en débarrasser au plus vite par remplacement. La nouvelle machine est 4 fois plus puissante que la Sigma 9 avec laquelle elle est compatible, et elle peut utiliser le système d'exploitation CP 5 qui était très apprécié. Le prix était compétitif, \$ 199000 pour la machine minimale, et la livraison promise pour fin 78. Malheureusement, il y eut du retard, l' IOP n'étant disponible qu'en juin 79, et le CPU en novembre de la même année.

En attendant l'échéance, Telefile assurait l'entretien des machines dont Honeywell se désintéressait à peu près ; mais l'élan était brisé, et les quelques commandes initiales livrées, il n'y en eut guère d'autres, chacun comprenant que personne n'avait intérêt à faire durer une famille désormais dépourvue de parents.

La troisième réalisation dans l'univers assez spécial de la prolongation des existences de matériels défunts est une reconstitution , au prix de \$ 199000 également, du calculateur de gestion 24 bits GE 440, dont le nouveau CPU tient sur 4 cartes. La mémoire réalisée en modules de 16 KB, cycle 700 ns, est extensible à 2 MB. Le prototype est prêt dès octobre 77, le système est livrable avec GECOS et DAPS , mais la décision de production est suspendue à la réaction des anciens clients, que justement HIS, héritier de GE, tend à décourager. Il ne semble pas que la démarche ait réussi, et on n'entend plus parler de Telefile, qui devrait en bonne logique avoir été absorbée par HIS.

558 - Teleregister

Cette société est tout à fait ancienne, puisque c'est dès 1952 qu'elle se manifeste en construisant , autour d'un tambour magnétique qui donne son nom générique au concept (Magnetronic), des processeurs spécialisés dans des tâches répétitives de consultation de fichiers, dont la plus typique est la réservation de places (de train, d'avion, de théâtre, etc...). C'est le Reservisor, dont on connaît une quinzaine d'exemplaires, et dont chaque réalisation recevra un nom particulier, car à l'époque on personnalisait encore les ordinateurs.

Resetron est une machine pour les Western Airlines, installée en 1959 : 150 terminaux.

Magnetronic Reservisor est le nom de deux machines pour American Airlines, bien illustrées.

Et on peut aussi évoquer Braniff, Northeast, National, Panam, TWA, Air France, ainsi que le réseau de chemins de fer New York Central. Mais il y a aussi la Bourse de Toronto, un réseau de contrôle des stocks chez Goodrich, et un réseau de caisses d'épargnes.

Des Reservoirs à tubes seront installés jusqu'en 1963, conséquence de commandes bien plus anciennes, mais dès 1960 Teleregister passe à une deuxième génération, transistorisée cette fois mais utilisant désormais les tambours magnétiques comme simple

mémoire de fichiers. La nouvelle machine s'appelle Telefile, et elle donnera lieu à de nouvelles commandes de compagnies aériennes:

Instamatic, trois machines de réservation d' United Airlines en 1960.

Teleflite, deux machines pour la TWA, en 1963.

Il y aura aussi plusieurs commandes de la part de caisses d'épargne (saving banks).

Teleregister a d'autre part accepté quelques contrats militaires en tant que chef de projet, une activité où on ne récupère en général que très peu de sous-contrats en propre.

On peut citer :

AN/SSQ 21 est une étude d'organisation pour les CIC, Combat Information Center, des grands bâtiments, et AN/SSQ 22 joue le même rôle pour les destroyers et frégates : il s'agit de définir, en liaison avec la Marine, les besoins et aménagements des locaux opérationnels en récepteurs, consoles, plots, tables traçantes, téléphones, liaisons tactiques, etc... et de passer les sous-contrats correspondants.

559 - TDMS de Tel - Star

Sous ce nom apparait en 1972 un équipement de photocomposition à l'usage des éditeurs, construit autour d'un minicalcateur GA 18/30, avec 32 à 64 KB de tores à cycle de 1,2 µs.

Le logiciel comporte deux partitions, et sait gérer tous types de fichiers sur disquettes, disques en cartouche et bandes, ainsi que lecteur de cartes, IP 240, ME 10 et écran, et jusqu'à 15 terminaux.

Le logiciel se compose d'un assembleur, de compilateurs COBOL, RPG, Fortran, d'une base de données, et d'un package spécialisé pour la composition. Prix 73600 \$ plus le logiciel.

560 - Tempo Computers

Née avant l'arrivée du microprocesseur, cette compagnie californienne réalise un minicalcateur propre à usage de gestion, le Tempo 1, assez réussi pour en vendre 90 aux USA et en exporter quelques uns de plus. Voir fiche proposant quelques configurations.

L'année suivante, le Tempo 2 n'est pas une nouvelle machine, mais l'indice que la société, fragilisée par son succès, a du être recapitalisée par le consortium GTE (General Telephone). La nouvelle version, vendue 6000 \$, aura fait l'objet de 10 livraisons dans les six mois suivants, ce qui n'est pas satisfaisant.

561 - Tera Microsystems

Tera Microsystem est un fabricant de circuits qui définit, en 1991, un chipset permettant de construire aux moindres frais une station de travail SPARC. Le TM 5610 System Control Unit (SCU) et le TM 5620 IOC, plus le Sparc lui-même, suffisent pour réaliser une station monochrome.

Le SCU prend place au carrefour entre CPU / FPU, IOC, et jusqu'à 4 bancs de mémoire SIMM 36 bits entrelacés 2 ou 4, et réalisés avec des puces de 1 ou 4 mégabits. Le bus synchrone est capable de rafales de 1, 2, 4, 8 ou 16 mots et comprend

59 bornes dont 44 de logique, et Tera le préfère au M Bus de Sun beaucoup plus encombrant, 99 broches avec les alimentations. Le SCU se présente en QFP 208 broches ou PGA 224 bornes. Il existe en trois vitesses 25, 33 et 40 MHz.

Le SCU contient deux caches de 4 KB pour I et D, un contrôleur de DRAM supportant 64 MB, un tampon d'écriture de 8 mots acceptant les chargements en union de bytes et de demi-mots, un arbitre de bus, un MMU conforme aux définitions du consortium Sparc et comportant un TLB à 64 entrées, l'horloge générale du système et une commande de reset. Les caches ont une interface 64 bits avec la mémoire, et fonctionnent en adresse absolue sur le mode "write through"; le TLB accepte les adresses virtuelles en provenance des entrées / sorties.

L'IOC contient la variété des interfaces nécessaires à une station de travail, à savoir :

- une FIFO 16 bytes pour connecter un AMD 7990 Ethernet.
- une autre FIFO 16 bytes pour un contrôleur SCSI 53C90, associée à un miniTLB à une seule entrée.
- un canal 8 bits disposant de trois DMA, chacun avec TLB à une entrée et registre assembleur / désassembleur de 1 mot. Ce canal dessert des interfaces pour une EPROM 128 K * 8 bits, une RTC 48102, un codec ISDN 79C30, un contrôleur de floppy 82072, et une voie série 85C30.
- un contrôleur video pour 1280 * 1024 pixels monochromes, utilisant la mémoire principale comme VRAM, par transferts blocs de 8 mots. L'interface est une FIFO de 18 mots, comprenant aussi un générateur de synchro et de curseur conforme à X Window.
- deux ports série asynchrones pour la souris et le clavier.
- trois compteurs / timers dont un équipé pour commander un haut-parleur.
- et une gestion d'interruptions pour 11 causes internes et 10 causes externes

L'IOC est fourni en boîtiers QFP ou PGA à 208 broches.

Pour aller plus loin et s'approcher de la Sparcstation 2, le TM 5640 est un contrôleur de video couleur et le TM 5630 une interface d'expansion S Bus.

Le CVD contient un buffer d'image qui communique en 8 bits avec un tampon BT 458 RAMDAC, et se présente dans un boîtier 160 broches.

Le SBX est conforme à la revision D. 0 de la spécification S Bus pour 25 MHz. Il contient quatre FIFO, deux dans chaque sens : une paire de 64 bytes côté microbus, une paire de 128 bytes côté S Bus. Il supporte 4 slots S Bus 32 bits et contient un contrôleur d'interruptions adapté.

Le chipset Tera Microsystem est vendu \$ 400 dans sa version 25 MHz, \$ 745 pour 33 MHz, et on n'a pas d'indication pour 40 MHz.

A titre de démonstration, Tera a construit une Sparcstation SLC avec 19 puces contre 56, sans compter les DRAM ; et une Sparcstation 1+ avec 30 puces contre 63. On ignore si Sun a recouru à Tera pour ses stations 2, ce qui était le véritable objectif de la société.

562 - Les calculateurs parallèles de Teradata Corporation

Avec le même objectif que Tandem et Stratus, ce constructeur surgit en 1984 en proposant aux banques le DBC / 012, un multimicroprocesseur, gestionnaire redondant d'une base de données sur disques. Comme toujours il faut prendre en compte le double problème de la fiabilité de la base et celui de la disponibilité des accès, et la question est ici résolue par le recours à un grand nombre de microprocesseurs :

- quatre 8086, chacun avec son 8087, gèrent chacun une partie des disques, et la présence des coprocesseurs est le signe que ces processeurs ne se bornent pas à la fonction de contrôleur ; leur vraie raison d'être est de traiter la transaction, cad d'extraire l'information des disques selon les critères de classement, et d'effectuer les transformations demandées sur les données collectées.

- deux autres 8086 avec 8087 gèrent l'interface, décomposant la transaction demandée en tranches affectées à chacune des sous-bases matérialisées par les 8086 du premier groupe. Ce sont eux qui disposent des consoles de commande, qui dressent les statistiques par origine des demandes et destination des réponses, et qui contrôlent l'état du réseau.

- YNet est le nom du réseau qui lie les usagers dispersés à la BD supposée concentrée, et dont la propriété essentielle est de maintenir, même aux plus grosses charges, une quasi proportionnalité entre le nombre de CPU et le débit vers les clients. Cette linéarité a été démontrée par un benchmark ambitieux, mettant successivement en jeu 40, 80, puis 128 CPU.

La machine tient dans deux armoires de 686 mm de large * 902 mm de profondeur * 1524 mm de haut, qui logent la mémoire de 12 MB, l'électronique et surtout les disques, jusqu'à 1,9 GB. La puissance installée reste modeste, 2,4 Mips, exécutant pour l'essentiel le logiciel spécialisé créé par la firme, qui comprend de l'ordre de 700000 lignes de programme.

Deux ans plus tard, Teradata est assez bien implantée pour obtenir avec son nouveau modèle, le DBC / 1012, une commande de la Citybank de New York, comprenant 168 processeurs, à installer en deux étapes de 128 et 40 CPU, à savoir 32 processeurs d'interface et 136 processeurs de traitement, pratiquement un par disque de 515 MB ; on s'explique, avec une telle configuration, la linéarité annoncée plus haut, qui implique tout de même une bonne organisation de la redistribution 136 : 32. Cette installation particulière, dont nous avons une photo, gérait 70 MB. et coûtait 6 M\$.

Au moment où intervenait cette livraison, en 6 / 86, Teradata avait installé 28 systèmes en tout, avec des capacités de 3 à 52 CPU. La commande Citybank souligne que la confiance était gagnée.

Devenu spécialiste de référence, Teradata a été achetée fin 91 par GIS, ex NCR, filiale informatique de l' ATT. Son chiffre d'affaires atteignait alors 280 M\$, estimé représenter la moitié du marché mondial de l'espèce, ce qui justifierait une définition plus rigoureuse . La plupart des mainframes font à l'époque du transactionnel et on devrait au minimum donner des critères communs pour apprécier la répartition du travail entre les mainframes classiques, IBM, Amdahl et Hitachi,

les BD spécialisées de Teradata ,

les systèmes à tolérance de panne de Tandem et Stratus,

les serveurs multiprocesseurs sous Unix de IBM, Sun, DEC, Hewlett-Packard,

etc...

car il est à peu près certain que tout ce monde court après les mêmes clients.

563 - Terak Corporation

Le 8510/a de 1978 est un miniprocesseur de table, pour besoins individuels ou de PME. Le processeur est un LSI 11, avec un maximum de 56 KB de mémoire à cycle de 1,2 μ s, un écran de 12" pouvant fonctionner en texte 24 * 80 ou en graphique 320 * 240 points, un clavier, une interface asynchrone pour un maximum de 4 lignes, une IP 300 et une ME 100. Le tout, pour \$ 7850 et un logiciel compatible avec le RT 11 de DEC.

En somme un matériel bas de gamme qui ne vaut que par son logiciel, plus puissant que les 8 bits sous CP/M mais bien moins que les postes de table à base de 68000. Résultats inconnus.

564 - Themis Computer

Cette société est née, semble-t'il, de l'opportunité offerte par les 68000 de Motorola et le bus VME. Dans les années 90, ce type de processeur atteint ses limites, et les divers équipementiers essayent, dans le désordre, d'étendre le domaine qu'ils représentaient.

A titre d'exemple, la carte TSVME 140/3 de 1991 contient une DRAM de 1 à 4 MB à deux portes, liées à deux bus :

- l'un, synchrone, dessert le processeur principal Motorola 68040, avec 128 à 512 KB de SRAM. En option, on peut installer le système d'exploitation OS9 dans cette SRAM, et indépendamment y connecter un contrôleur SCSI pour les disques, 100 MB/s.

- l'autre, asynchrone, communique avec un 68020 qui sert ce contrôleur d'entrées / sorties et dispose à cet effet de 2 MB d'EPROM. On peut lui rattacher une interface de réseau Ethernet ou Cheepernet, et deux interfaces bidirectionnels avec des bus VME ou VSB.

Peu après, l'intérêt de la clientèle pour les 68000 diminue beaucoup, et Themis devient un des relais de Sun dans la commercialisation d'applications Sparc, travaillant spécialement pour l'embarqué. Comme beaucoup d'autres, il utilise le bus VME, et à l'époque où nous jetons sur elle un coup d'oeil, elle s'apprête à trahir Sparc pour revenir à Motorola, puisque le PowerPC est en train de monter en puissance.

En 1996, l'Ultrasparc II i a été réalisé par Sun (par Texas pour Sun, pour être plus précis) justement pour étendre vers l'embarqué le marché de l'Ultrasparc, dont les versions I et II sont le coeur de ses stations. Ces cartes d'appoint s'alignent sur les caractéristiques du produit de base, M Bus à 50 MHz, S Bus à 25 MHz, et Themis réalise plusieurs cartes enfichables dans les SparcStations 20 de Sun.

Ainsi, la nouvelle Sparc M20SP dispose d'un M Bus à 4 slots, capable de deux Supersparc ou deux modules Hypersparc mono ou biprocesseurs à 150 MHz, et utilisant un nouveau pont Newbridge MVSIC, qui alimente la Bus VME à partir du M Bus et du S Bus : cette interface VME 64 est théoriquement capable de 80 MB/s, en pratique plutôt 50.

Un an plus tard, l'Ultrasparc II i annoncé en 10/96 fait oublier chez Themis les Super - et Hypersparc, et Themis vend en 1998 des cartes USP Iii-cPCI pour le bus

CompactPCI, et USP III-1V et -3V pour le bus VME, entrant d'ailleurs en compétition directe avec les cartes SparcEngine 1500 de Sun Microelectronics, nouveau nom de Sparc Technology Business. Malgré les progrès spécifiques de l' Ultrasparc III, la consommation de ces cartes est encore élevée, 34 Watts à 300 MHz contre les 5 à 8 watts des PowerPC 750 et 604r, ce qui risque fort de pousser au changement la clientèle.

565 - Texas Instruments

Cette société a des origines rocambolesques, qui sont racontées dans la fiche illustrée relative à la maison mère, GSI pour Geophysical Services, Inc. C'est à l'issue de péripéties globalement favorables que les actionnaires purent décider, en 1950, que la filiale d'électronique Texas Instruments devenait la maison mère, et GSI la filiale.

Dès 1951, Texas Instrument se lançait dans l'étude des semiconducteurs, pour finir par devenir le plus gros producteur américain de composants, prenant très tôt des positions décisives sur l'usage du silicium puis sur l'intégration, sans jamais perdre de vue l'efficacité commerciale comme le prouve le quasi monopole acquis un moment sur les récepteurs radio à transistors germanium.

Très vite, l'étude et la production de matériels militaires n'ont plus été qu'une facette de l'activité multiforme de TI, présidée depuis 1958 par P. Haggerty, mais elles ont toujours été orientées vers des matériels de pointe, générateurs de compétences recherchées et de revenus substantiels. Citons :

1950 émetteur VHF consommable AN/USQ 1 pour largage en zone contaminée, mesure de radioactivité, et exploitation en 5 bandes sur récepteur AN/ARR 29.

1943 à 1975 : détecteurs magnétométriques divers (MAD), AN/ASQ 1 de la guerre, AN/ASQ 81 pour l'hélicoptère SH2D LAMPS, AN/ASQ 87 pour avions (81 cdes).

1970 à 1981 : grande variété d'appareils d'imagerie infrarouge pour avions : AN/AAS 18 du RF4C pour la reconnaissance sur films, AN/AAS 21 de cartographie pour le RA5C, AN/AAS 24 de l'OV1D pour l'observation en vol, AN/AAD7 et AAS 28 pour la conduite de tir, AN/AAS 36 pour le FLIR du P3C, AN/AUS 5 du drone AN/USD 5, AN/ASQ 127 intensificateur d'images pour l'hélicoptère UH1D, AN/UAS 12 pour le tir nocturne du missile antichar TOW, AN/VSG 2 viseur IR du char M60A3.

1951 à 1971 : nombreux radars bande X et Ku pour avions, dans les catégories avertisseurs de queue (APG 47, APS 59), multimode pour monoplace (AN/APN 149, APQ 99 du RF4B, APQ 110 du F111A, APQ 115 du A7A, APQ 126 des A7D/E, APQ 128 du F111D, APQ 139 du B57G), veille et navigation (APQ 136 de l'AC119K, APQ122 bifréquence du C130, APS 80 du P5M2 et du P3A,

APS 115 du P3C, APS 124 du LAMPS3). Cette compétence sera maintenue après la guerre froide, puisqu'on trouve en 1990 une commande de 53 radars de navigation tous temps pour les hélicoptères MH47E et H60K.

1957 à 1960 : radars d'imagerie "side looking" pour avions et drones : AN/APQ 55, UPD 1, APQ 86.

1972 : AN/DSQ28, autoguidage terminal du missile Harpoon.

1972-73 : TI exploite la compétence de GSI pour construire des détecteurs d'intrusion transistorisés et miniaturisés, suffisamment pour être consommables, et autodestructifs après usage : AN/GSQ 158 à 400 \$, AN/GSQ 159 à 200 \$.

1990 : commande de 115 AN/PSN 9A, récepteur portatif (4,5 Kg) de GPS, pour opérations spéciales.

Texas Instrument s'introduit dans l'informatique vers 1963 avec des produits destinés à GSI, parce que l'exploitation des enregistrements sismiques est une activité exigeant beaucoup de calculs. L'invention du microprocesseur, à laquelle TI apporte sa contribution, permettra à la compagnie de bâtir une offre diversifiée, calculettes, temps réel et gestion, de petits ordinateurs, qui occupera plusieurs années ; puis la miniaturisation conduira à construire des ordinateurs sur une seule puce, et TI prendra une place de plus en plus importante dans cette activité, avec la plus grosse production américaine de DSP, calculateurs de traitement du signal au profit des communications. Après divers soubresauts, TI est à la fin de notre période d'étude une compagnie extrêmement solide, leader des fabricants américains de semiconducteurs et particulièrement des composants de type DSP.

Nous ne sommes pas en état de présenter un panorama complet de l'évolution économique de Texas Instrument. Le tableau qui suit est un simple échantillonnage, au cours d'une période de douze ans qui a vu de grandes mutations en informatique :

Année (M\$)	CA (M\$)	CA DP (M\$)	Bénéfice (M\$)	Effectif	R&D
1974	1572				
1975	1368		62		
1976	1659	65		65500	
1977	2046	160	117		68521
1978	2550	204	140		
1979	3224	425	173		85779
1980	4075	562		(11307)	
1981	4206	667	108		83714
1982	4372	900	144		
(16561)	49				
1983	4580	850	145,4	(14930)	
56					
1984	5700	860			
367					
1985	4924,5	750	- 118,7	77872	402

Ces chiffres chaotiques nécessitent quelques commentaires.

On observera d'abord que, globalement, TI n'est pas génératrice de gros bénéfices. Bien qu'entrée en Bourse dès 1953, la société ne rapporte que 5% de bénéfices les bonnes années, beaucoup moins en général. Les dirigeants sont certes les principaux

actionnaires, mais ils n'ont pu financer seuls une telle croissance, et l'on s'étonne qu'une activité aussi peu rentable soit capable de drainer les capitaux indispensables ; il faudrait mieux connaître l'actionnariat.

Les effectifs apparaissent énormes, même s'ils diminuent dans la période de crise grave qui marque la fin du tableau, et qui correspond essentiellement à une baisse de compétitivité des américains par rapport aux japonais. Il n'y aura pas, autant qu'on le sache, de ventes d'actifs majeurs pour remonter cette pente, et c'est une Texas Instrument tout à fait solide qui prendra le tournant du siècle.

L'activité informatique (CA DP pour Data Processing) reste mineure jusqu'en 1976, qui se trouve être l'année de départ en retraite de P. Haggerty, Chairman depuis 1966 ; seule la date est une coïncidence, car c'est une décision logiquement fondée. La compagnie n'entre dans l'informatique commerciale que le jour où la technique de base de la maison, les semiconducteurs, produit effectivement un microprocesseur utilisable comme composant d'un ordinateur ; il n'a jamais été possible pour TI d'entrer en compétition avec IBM dans son domaine. Les effectifs consacrés à cette informatique figurent entre parenthèses sur certaines années du tableau. Chose remarquable : alors que globalement Texas n'exporte que très peu, l'activité informatique une fois lancée se développera fortement par une exportation atteignant 90% .

Le tr

s fort accroissement des crédits de recherche noté dans les dernières années correspond à la décision américaine de ne pas se laisser supplanter par les japonais, et il est important de constater que cet effort s'accroît dans la dernière année, particulièrement mauvaise . Cette décision courageuse, mais qui ne faisait que corriger une politique antérieure d'investissements insuffisants, sera payante.

La répartition de l'activité en 1985 fait comprendre l'évolution de la compagnie. Les pertes de 118,7 M\$ sont imputables pour plus de moitié, 61 M\$, aux semiconducteurs, dont le CA tombe de 2700 à environ 2000 M\$; pour M\$ 48 aux produits numériques, dont les ventes passent de 1147 à quelque 1000 M\$; et le petit reste à la géophysique, qui diminue régulièrement à 407 M\$, après avoir atteint un maximum de M\$ 649 en 1981.

On notera le chiffre très important, M\$ 367 en 1985, des études financées par les clients sous forme de contrats de recherche, et qui proviennent pour une large part des crédits militaires : études technologiques comme le VHSIC, études de matériels destinés à de nouveaux avions ou de nouvelles missions.

Nous disposons d'un témoignage interne à l'entreprise, datant précisément de cette époque où les importants déficits pouvaient faire craindre aux troupes une période de restrictions. Le chef du service de recherche, s'adressant à toute l'entreprise à travers un éditorial de la revue technique maison, y rappelle qu'aucun pessimisme n'est de mise quand on dispose de compétences reconnues et originales, dont il dresse une rapide revue :

- en électronique de base, c'est-à-dire dans le domaine des semiconducteurs : leadership mondial dans le domaine bipolaire (TTL), avec une vaste gamme de produits ; forte position industrielle dans le domaine des DRAM ; excellente position dans les produits pour réseaux locaux.

- en électronique militaire, position dominante dans l' infrarouge, forte position dans l'intelligence arti- cielle, riches possibilités en traitement du signal.
- en électronique grand public, avancée importante dans la parole électronique, excellent calculateur professionnel (TIPC) apprécié du marché.
- et des positions reconnues dans les domaines du contrôle industriel et de la géophysique.

Même si les évolutions ultérieures n'ont pas été partout celles que supposait cette analyse, il est vrai que TI n'était pas menacé et qu'en 2000, quand nous cloturons cette étude, c'est toujours une entreprise de premier plan dans ses divers domaines d'excellence.

Nous examinerons dans ce qui suit les seules productions informatiques, qui ont en 1985 amené TIDP au 41ème rang mondial, et au 25ème rang américain. On pourra distinguer quatre grands domaines d'activité, fortement datés:

- une période de travail de TI pour GSI, avec un CA très faible.
- une période de dix ans où le microprocesseur de 4 bits permet à TI, avec ses calculettes, de bloquer l'offensive japonaise en ce domaine ; elle prendra fin vers 1985, quand les marges sur ces produits grand public deviendront insuffisantes pour justifier leur continuation.
- une période d'une quinzaine d'années où le microprocesseur de 8 bits permettra à TI d'aborder la commercialisation de minicalculateurs et la petite gestion, pour s'engager ensuite, avec les microprocesseurs de 16 puis 32 bits, dans la compétition des PC, elle aussi abandonnée quand sa rentabilité est devenue insuffisante, après 1992.
- l'avènement du DSP, où TI investit progressivement tous les créneaux, 16, 24 et 32 bits, se maintenant en tête du marché de ces appareils pour les communications, tant en puissance de crête qu'en nombre de puces produites et vendues. Dans cette dernière partie, c'est la division Semiconducteurs qui devient le véritable visage de Texas Instruments.

Texas Instruments édite à partir de 1984 une revue technique intitulée Texas Instruments Engineering Journal, qui présente un réel intérêt pour suivre l'activité de recherche de l'entreprise, mais qui ne peut entrer en compétition avec le Bell System Technical Journal pour la créativité, ni avec IBM Journal of Research & Development, qui a beaucoup plus de rigueur éditoriale et une meilleure présentation. Nous en avons cependant retenu quelques articles spécifiques, et un numéro entier consacré à l'intelligence artificielle, à la fois comme spécimen de la publication et comme thème de recherche.

Les calculateurs pour GSI

Le premier calculateur construit par Texas est le TI 827, qui date de 1958 et dont on ne sait rien, sinon qu'il s'agissait d'un produit conçu par GSI et pour GSI, en vue des dépouillements d'essais sismiques. La compagnie en acheta plusieurs.

La machine suivante date de 1961 et n'a pas de nom, car elle est strictement expérimentale. Texas aborde l'emploi du transistor et cherche une méthode systématique d'édifier des fonctions logiques complexes. La série 51 est une technologie de modules, dont l'originalité semble être l'emploi du silicium, à une époque où les électroniciens utilisent encore le germanium. Les modules, bascules et portes diverses, sont rassemblés

sur des cartes imprimées enfichables. Le but est de prouver que cela fonctionne, non de réaliser une vraie machine ; l'absence de mémoire et la réduction au minimum des entrées / sorties limite les performances.

Pour ses besoins propres et ceux de ses mandants, TI réalise en 1967 Tacticom, un système de collecte de données industrielles qui comprend un lecteur de cartes 80 colonnes, un lecteur de badges 10 colonnes, et 12 colonnes de caractères affichés par roues. La liaison 2 fils peut atteindre 2 miles et conduit à un calculateur, une bande magnétique ou une perforatrice de rubans papier ; l'heure de toute transaction est inscrite automatiquement.

Il existe un modèle ne comportant que le lecteur de badges pour servir d'horloge pointeuse.

Pour achever cette formation de ses équipes, et fournir des machines à GSI, Texas réalise en 1966 une copie du calculateur SDS 910, 24 bits, avec mémoire à tores magnétiques à cycle de 5 μ s. La technologie maison permet de réduire le volume, à défaut d'améliorer notablement les performances, limitées de toutes façons par la mémoire. Ce sera le TI 856.

Simultanément, pour acquérir une expérience en architecture d'ordinateur, Texas construit le TI 2501, un calculateur parallèle 32 bits, doté d'une mémoire à tores magnétiques de 4 à 16 Kmots avec un cycle de 2 μ s, et un répertoire de 36 opérations : addition en 4 μ s, multiplication en 27 μ s, division en 37 μ s. Destinée au temps réel, la machine était dotée de 32 interruptions, et de 17 canaux d'entrées / sorties, ce vocable un peu pompeux signifiant la possibilité de connecter 17 dispositifs dont un seul pouvait être actif à chaque instant. Technologie à base de composants discrets intégrés sur silicium, poids 29,5 Kg avec la mémoire minimale, volume 30 litres, consommation 350 watts.

L'année suivante, nouvelle construction d'un produit GSI pour GSI, le TI 870A. Pas plus d'information que pour le modèle précédent.

En 1968, Texas s'estime assez compétent pour aborder le marché commercial avec un miniordinateur polyvalent pour lequel il définit une architecture originale, le TI 960. C'est un 16 bits dont la mémoire de 4 à 64 Kmots offre un cycle de 1 μ s, assortie d'un bit de parité et d'une option de protection. Le bloc de commande exploite des opérations 16 bits, avec seulement 8 bits pour l'adressage qui doit donc utiliser largement l'indirection et l'indexation.

L'architecture comprend 8 registres généraux dont un index, avec de nombreuses opérations de registre à registre, et un adressage indirect indéfini. Le bloc de calcul est très simple, avec l'addition en 6 μ s, mais pas de multiplication ou division cablée. Pour les entrées / sorties, il est prévu un canal 16 bits avec DMA travaillant à 1 MHz, et un choix de 3 à 256 interruptions, dont une pour la panne de courant et une pour la reprise.

Le logiciel proposé comprend un DOS, un RTOS, et un assembleur 2 passes non relogeable. Le prix s'établit à \$ 14500 pour une mémoire minimale de 4 KB. Il semble qu'avec une grande prudence, Texas ait testé son produit sur sa clientèle naturelle, sa filiale sismique GSI et ses clients pétroliers ; cependant, le chiffre des ventes, 400 exemplaires, paraît élevé pour ce bouche à oreille.

Annoncé simultanément, le TI 980 est une extension compatible, avec addition en 2 μ s, multiplication cablée en 6,5 μ s, division cablée en 8 μ s, répertoire porté à 85 opérations dont plusieurs occupent 32 bits pour disposer d'un adressage de 16 bits accédant à la mémoire maximale. Il sera proposé avec LR 300 / PR 60, LC 300, IP 356, disque fixe de 114 à 917 Kmots, et en option une bande magnétique 800 bpi. Il s'en vendra 300 exemplaires.

Nous n'insistons pas sur cette architecture parce qu'elle va se retrouver dans la génération suivante qui est abondamment documentée.

Le succès du 960A et l'analyse de sa clientèle conduisent à une modernisation qui consiste essentiellement à offrir une mémoire à cycle de 750 ns, coûtant 1500 \$ pour 4 Kmots, extensible jusqu'à 32 Kmots dans le châssis de base. Le système d'entrées / sorties comporte une voie unique, sur laquelle on peut connecter 512 périphériques dans la configuration de base, et l'étendre jusqu'à 8192. Outre la protection de mémoire et l'interruption pour panne de courant, la multiplication et la division cablée deviennent optionnelles.

Le logiciel est également un peu amélioré, le RTOS étant le système standard. On offre un cross assembleur et un Fortran réentrant. Ce 960A est alors offert au marché général et Texas, jusque là connu seulement aux USA, fait son apparition en Europe par son informatique.

Nous disposons d'un Manuel de l'utilisateur particulier au 960 A, et de documents semblables pour le DMA et le système d'entrées / sorties, qui sont communs avec le 980A plus tardif.

Les améliorations proposées avec le 960A rendaient moins urgente l'annonce du 980 A, qui n'intervient qu'en 1972 mais avec un prix extrêmement compétitif, \$ 3475 même à la pièce pour une mémoire de 4 K, réalisée avec des puces MOS de type Intel 1103A, 1024 bits, cycle 750 ns. Evidemment ces petites capacités unitaires conduisent à une forte incidence de la capacité de mémoire sur le prix, qui passe à \$ 4975 pour 8 Kmots, \$ 7975 pour 16 Kmots, \$ 13975 pour 32 Kmots.

Le répertoire étendu à 95 opérations offre la double précision, la manipulation de caractères, la sauvegarde du contexte en 7 μ s, des instructions privilégiées, jusqu'à 8 DMA, et même une option biprocesseur.

Cette série très réussie se prolongera en 1974 par des modèles B qui ne diffèrent des précédents que par une réduction de volume, obtenue grâce à l'apparition de puces mémoire de 4 KB, produites chez Texas. Dès cette époque et pour d'aussi petites machines, TI fournit en standard une autocorrection, et la possibilité de placer dans le châssis de base les plus grosses mémoires permises par l'architecture, jusqu'à 64 Kmots. Prix de base pour le 960 B en quantités, \$ 3915 ; et \$ 4975 pour le 980 B avec 8 Kmots, qui est livrable en 1974.

En dehors de cette activité commerciale, Texas renouvelle en 1970 son approche des besoins militaires avec le 2502 T, calculateur 16 bits réalisé en circuits LSI. Le prototype tient dans 10,5 litres, pèse 9,3 Kg et consomme 100 watts. La mémoire est à tores, 8 à 64 KB, cycle 2 μ s. Le bloc de calcul dispose de 4 index cablés, d'un

répertoire de 36 opérations, avec addition en 4 μ s et multiplication en 10,5 μ s. Les entrées / sorties, animées par un DMA à 500 Kmots/s, disposent de 12 interruptions. La machine dispose d'un simulateur sur IBM 360 qui permet toutes expérimentations. Malgré toutes ces performances, cette machine ne semble pas avoir trouvé de client.

Dérivée probablement de la précédente, la 2540 SB est le calculateur de l'AN / SRN 3, un appareil de navigation pour la Navy. Réalisé en MSI, ce calculateur est encombrant (280 litres) et lourd (113 Kg) parce qu'il comprend un tambour magnétique qui, dès cette époque, condamnait ce matériel.

Le calculateur lui-même utilisait une mémoire à tores de 8 à 32 Kmots de 16 bits, avec un temps d'accès de 800 ns, et un bloc de calcul de 29 opérations, dont addition 4 μ s, multiplication 13,5 μ s, division 13 μ s, avec 8 registres d'index cablés. MTBF 2000 heures.

Les entrées / sorties comprenaient 16 interruptions dont une pour l'horloge temps réel, un DMA à 125 Kmots/s, une option pour un canal multiplex, une liaison avec le NTDS, et une compatibilité avec le 2550 pour avions. Un simulateur sur IBM 360 existait. Ce calculateur, fabriqué en petites quantités, sera par la suite remanié pour atteindre une puissance de 542 Kopérations par seconde.

Toujours à la même époque, le 2550 AB est un calculateur universel 32 bits pour avions, destiné par conséquent aux missions ambitieuses comme l'équipement des avions de veille lointaine des porte-avions. La technologie est la même que précédemment, soit mémoire à tores de 4 à 32 Kmots de 32 bits avec cycle de 2 μ s, logique réalisée en MSI avec répertoire de 78 opérations dont addition 4 μ s, multiplication 7,5 μ s, division 12,5 μ s, 16 index cablés de 16 ou 32 bits au choix.

Les entrées / sorties comprennent 22 interruptions, un DMA 400 Kmots/s, un multiplex 125 Kmots/s, une horloge temps réel. Le logiciel comprend un Fortran et un simulateur sur IBM 360.

Tout cet effort militaire, certainement financé par des contrats, ne semble pas avoir débouché sur une série.

Nous terminerons l'étude de cette période en mentionnant l'ASC, Advanced Scientific Computer, un ambitieux supercalculateur réalisé entre 1966 et 1972 pour les besoins de l'industrie pétrolière. Il est peu probable que TI ait cru à la possibilité d'entrer en compétition avec les CDC 6600 ou les plus gros IBM, et la machine ne fera l'objet d'aucune publicité commerciale : elle se vendra en 7 exemplaires, dont un à Huntsville pour les recherches sur la lutte contre les engins balistiques.

Ce calculateur devait être à la fois un gros consommateur de circuits maison, et un exemple impressionnant du savoir faire des architectes de TI. Il comportait d'audacieuses idées pour l'époque, en particulier la possibilité de traiter en une seule instruction vectorielle une opération sur tous les éléments d'une matrice bidimensionnelle, en fixe ou en flottant, 32 ou 64 bits, avec des pas d'adressage éventuellement différents pour les deux opérandes et pour le résultat, dans chacune des deux boucles interne et externe. L'originalité et la puissance des solutions proposées dans l'ASC pour le problème des calculateurs vectoriels alimentèrent quelque temps les discussions des chercheurs, mais TI ne pouvait entrer en compétition avec les spécialistes du domaine, CDC et Cray, et ne

semble pas l'avoir jamais envisagé. Ayant réussi son coup de publicité, et amorti ses études sur ses 7 réalisations, TI se tourna sans regret vers une clientèle beaucoup plus modeste, mais beaucoup plus nombreuse et plus facile à satisfaire.

L'abandon de toute publicité sur les produits réalisés à la demande de GSI ne signifie pas que TI avait renoncé à fournir à sa filiale les matériels dont elle pouvait avoir besoin. On trouvera dans les fiches deux articles, tirés du Engineering Journal, au sujet de l'ATP V, un calculateur spécialisé dans les dépouillements sismiques, et des contrôleurs 500, une famille de produits d'acquisition.

Les calculettes

C'est en 1973 que TI, constatant la réussite de Hewlett Packard dans le domaine des calculettes, décide de s'y intéresser en créant à cet effet un microprocesseur spécialisé, conçu pour la production en masse. Le fait qu'une année entière ait été nécessaire pour y parvenir souligne plus la rigueur de la compétition que la difficulté intrinsèque de l'entreprise : il fallait réussir le produit phare, à savoir la "règle à calcul électronique" SR 50, puis songer à l'industrialisation et aux autres débouchés.

Il n'est pas question de passer en revue tous les produits nés, à partir de 1974, de cette décision initiale. Un processeur mis au point, il suffit de changer la ROM de microprogrammation pour changer la mission, et le prix de revient de la calculette est essentiellement conditionné par le prix du dispositif de visualisation et par le niveau d'automatisation de la fabrication ; quant au prix de vente, fixé par le marketing, il n'a aucune relation avec le prix de revient et comporte toujours, au moins au début de la commercialisation, une énorme marge qui s'amenuise avec l'amortissement sous la pression de la concurrence, essentiellement japonaise en bas de gamme.

Nous ne mentionnerons donc que les produits haut de gamme, et c'est dans leur fiche qu'on pourra trouver des tarifs plus généraux, datés et illustrés. Citons dans cet esprit :

- la SR 50 de 1974, mise sur le marché français à 1130 FTTC : 40 touches, répertoire limité, fonctionnement exclusivement en pas à pas, mais précision élevée, 13 chiffres pour le calcul (c'est ce qu'autorise un mot de 64 bits) et 10 pour la visualisation. Amortie en un an.

- la SR 51 de 1975, même machine avec une ROM plus importante, autorisant un notable enrichissement du répertoire, toutes choses égales par ailleurs. Mise sur le marché à 225 \$, elle est dépassée en six mois, et une SR 51A est commercialisée dès la fin de 1975, qui n'en diffère apparemment que par une fabrication plus automatisée. Le format 40 touches de ces machines se retrouve ensuite sur une vaste gamme de calculettes de moindre ambition, essentiellement distinguées par une visualisation limitée à 8 chiffres et des répertoires différenciés, scientifiques (SR 40, TI 30), financières (SR 41, TI 31), ou simplement grand public. Les prix de vente de ces machines s'étagent en 1977 de 79 à 295 FTTC.

- la SR 52 de 1976 est une toute autre chose, car elle est programmable et dotée d'un lecteur de cartes magnétiques qui permet de mémoriser les programmes de l'utilisateur. Elle

exige un nouveau processeur et une ROM nettement plus importante et se présente dans un nouveau boîtier à 45 touches, mais toujours avec la même visualisation à 10 chiffres significatifs. Elle peut, en outre, être associée étroitement (montage monobloc instantané) à une imprimante PC 100 qui en accroît considérablement la commodité d'exploitation en doublant seulement le prix ; en alternative, la SR 60 offre les mêmes services en une machine de bureau susceptible de vastes extensions de programme et de données, mais pour un prix élevé qui en limite l'emploi aux entreprises. L'amortissement de la SR 52 sera très rapide, et sa carrière très courte ; dès 1977 elle a plusieurs successeurs qui ont adopté les mêmes idées avec un nouvel équilibre économique.

- la SR 51. II est une 52 débarrassée de ses fonctions de programmation, mais gardant son répertoire avancé. En outre, elle n'a plus que 10 chiffres visualisés en virgule fixe, ou 8 + 2 en flottant, ce qui fait qu'il s'agit peut-être en réalité d'une version allégée des suivantes. Le prix de 395 FTTC est en tous cas significatif de la banalisation du produit et de la sévérité de la compétition.

- il existe en effet un nouveau processeur qui anime quatre modèles : les TI 57, 58, 58C et 59. Tous sont caractérisés par une concession à l'économie, consistant en un abaissement à 10 chiffres de la visualisation en fixe, ou 8 + 2 en flottant, ce qui peut provoquer une accélération si les calculs, qui sont toujours exécutés en série / parallèle, sont effectivement limités à 11 chiffres au lieu des 13 permis par la taille des mots de mémoire, probablement toujours de 64 bits. Toutes les trois ont le même répertoire de base.

La 57, bas de gamme à 495 FTTC, dispose de 8 mémoires et 50 pas de programmation, ce qui est peu. Elle n'a pas de labels externes ce qui limite ce petit programme à une séquence unique.

La 58 à 945 FTTC comprend 60 mémoires, qui peuvent aussi être utilisés comme 480 pas de programme (ce qui confirme que les mots sont toujours de 64 bits). Le numérotage des mémoires commençant par le début, et celui des pas par la fin, on peut déplacer une barrière de partage des ressources en fonction de la nature des problèmes traités. Cette machine est fournie, en plus, avec un module sur ROM de 5000 pas contenant 26 programmes de toutes natures, directement accessibles à tout instant.

La 58C, apparue un peu plus tard, est logiquement identique, mais utilise une mémoire CMOS qui consomme très peu quand elle n'est pas consultée, de sorte qu'une très petite batterie au lithium, incluse, sauvegarde le contenu des mémoires pendant que le courant est coupé.

La 59, fleuron de la famille mais coûtant 1995 FTTC, dispose de 100 mémoires ou 960 pas de programme, ce qui signifie qu'une partie de ces pas (160) utilise un support permanent distinct de ces mémoires. La 59 dispose aussi de la ROM de 26 programmes, et surtout d'un lecteur de cartes magnétiques.

Les 58, 58C et 59 peuvent se monter sur une imprimante PC 100 A, B ou C, héritière très semblable quoique incompatible de la PC 100 destinée à la SR 52, permettant listing, traces, et toutes impressions.

Il est significatif de la pression de la concurrence qu'un nouveau tarif apparaisse 8 mois plus tard, abaissant la TI 57 à 299 FTTC, annonçant une TI 51. III à 349 FTTC dotée de 32 étapes de programmes, qui fait une concurrence bizarre à la précédente, abaissant la TI 58 à 795 FTTC, mais sans modifier le prix de la TI 59 parce qu'elle se vend mieux que les autres. On peut aussi noter la disparition de la SR 60, trop chère dès lors que les mêmes services peuvent être obtenus pour moitié prix avec la PC 100. Nous avons deux exemplaires de ce tarif, qui ne diffèrent que par la qualité des images.

Le catalogue de 1982 offre toujours les TI 58 et 59, valeurs sûres, et garde aussi la 57 qui obtient grâce à son prix un notable succès dans les écoles. Mais tout le reste a été renouvelé, diminuant de format; le changement le plus évident est le passage systématique de la visualisation au LCD pour les machines de poche, avec 8 chiffres significatifs qui suffisent évidemment aux non scientifiques. La baisse de consommation due aux MOS se manifeste par l'apparition de petites machines à alimentation solaire. L'existence de plusieurs machines de formes ou présentations différentes dans le domaine grand public indique que la mode est désormais un facteur de choix des enfants ou de leur mère.

Une variante pédagogique de la 57, étudiée avec des enseignants, est proposée, qui comporte une visualisation LCD 7+2, et le même répertoire que la 57 de base, mais une présentation renouvelée de la programmation.

La grande nouveauté est l'annonce pour 1983 de la TI 88, une scientifique qui étend dans toutes les directions les possibilités déjà considérables de la 59 vieillissante :

- visualisation LCD comprenant 16 caractères (matrice 5 * 7 points) pris dans un alphabet de 128 caractères, calculs sur 16 chiffres qui peuvent être examinés en mémoires. La visualisation usuelle, cependant, est réduite à 7 + 2 chiffres en flottant.

- agrandissement de la capacité des modules CROM de bibliothèque à 15000 pas de programme, ce qui permet d'ajouter 30000 pas de bibliothèque active aux 960 pas programmables de la TI 59, conservés.

- extension de la partie dynamique de la mémoire par des CROM CMOS dont chacune représente 1184 pas de programme ou 184 mémoires, ou une combinaison de ces ressources ; ces CROM sont protégées par une minipile au lithium incorporée et remplacent donc le fragile lecteur de cartes. On peut, en se passant de bibliothèque, avoir en ligne jusqu'à 3328 pas de programme, ou 416 mémoires, ou un compromis entre ces valeurs. Ce chiffre suggère la réduction à 48 du nombre de mémoires adressables de la machine de base, auxquelles il faut peut-être ajouter 26 registres baptisés A à Z.

- accroissement du nombre de dispositifs à 126 étiquettes, 28 flags, 10 niveaux de sous-programmes imbriqués, et jusqu'à 8 opérations en attente dans un maximum de 17 niveaux de parenthèses.

- nouvelles fonctionnalités telles que l'intégration de fonctions.

- apparition d'une horloge adressable dont le contenu peut participer aux calculs.

Cette remarquable machine dispose en outre d'un accumulateur rechargeable capable de tenir 150 heures, ce qui suggère une technologie CMOS, et de connexions périphériques par câble à une imprimante PC 800 et / ou à un lecteur de cassettes. L'interpréteur de formules a été amélioré pour accepter certaines ellipses de rédaction comme la disparition

du signe de multiplication devant les parenthèses, et pour accepter les fonctions en notation $f(\text{param})$; ces libertés permettent désormais de charger les formules telles qu'on les frappe, de les faire défiler sur l'écran sous leur forme textuelle, de les mémoriser, et de procéder ensuite séparément à leur évaluation répétée en pressant une touche EVAL, et en changeant à chaque fois, sur demande de la machine, les valeurs attribuées aux variables littérales qu'elles contiennent..

Un renouvellement complet aura lieu cependant dès 1986, avec des machines qui nous sont présentées directement par des articles techniques de la revue Engineering Journal, et qui utilisent comme processeur un microcontrôleur TMS7000 de 8 bits en version CMOS. L'objectif avoué est de faire mieux que la TI 59 dans un moindre volume et pour un prix inférieur, et les deux machines présentées, TI 74 et TI 95 PROCALC, y sont parvenues : voir fiches.

On peut cependant douter de la valeur de ces choix, techniquement excellents mais insuffisamment discutés avec le marketing, car le catalogue de 1990 ignore ces machines et présente de nouveaux modèles, plus proches de ceux de la concurrence : les hauts de gamme 81, 82 et 85 puis, en 1992, les milieux de gamme TI 67 et 68. En y regardant de plus près, on s'aperçoit que l'échec relatif de ces machines tient à des détails, et que le travail de création n'a pas été perdu :

- en ce qui concerne la 74, c'est clairement le BASIC qui a été rejeté : les acheteurs de calculettes ne veulent pas apprendre un langage et se transformer en programmeurs. Ils acceptent la programmation par touches parce qu'elle est intuitive et qu'elle mémorise le travail de frappe effectué, mais très probablement la majorité d'entre eux n'utilise qu'une petite part de ses possibilités.

- quant à la 95, elle a probablement souffert de son format horizontal, car à la génération suivante, on retrouve diverses idées qu'elle a introduites, mais dans des machines à format vertical.

Après ces machines, TI (aussi bien que son concurrent HP) disparaît lentement de ce marché, dont les marges ont été grignotées à tel point que leur production n'est plus très intéressante, à un moment où de toutes façons le public se tourne vers les PC, désormais présents dans toutes les familles. Il reste bien entendu une production massive de machines de tous formats (horizontal, vertical, table), de toutes missions (agendas, traductrices, scientifiques, financières), ciblées pour toutes les catégories sociales, de la ménagère à l'ingénieur en passant par les étudiants et les diverses classes du secondaire, mais on les a presque toutes abandonnées aux japonais (Casio, Sharp) et, pour le bas de gamme, aux chinois.

Les microprocesseurs et l'informatique

Texas, fabricant de composants avant tout, s'est lancé dans la production de microprocesseurs pour pouvoir réaliser des calculettes, et ce type d'approche va se poursuivre. A la différence de Intel, autre fabricant de composants qui a trouvé pour ses puces d'énormes débouchés externes et ne s'est plus préoccupé alors que marginalement de réaliser des ordinateurs, Texas Instruments, dans la période 1973 - 1990, conçoit des microprocesseurs pour faire des ordinateurs, et se préoccupe assez peu de les

commercialiser en tant que composants. Cela dit avec beaucoup de nuances, cependant, comme on le verra.

Le premier microprocesseur de TI est un 4 bits PMOS, spécialement conçu comme processeur de calculatrice, le TMS 0501, et non commercialisé. Ce n'est qu'en 1975 que TI annonce un microcontrôleur de cette taille, pour la clientèle des machines à laver et fours à microondes, et à ce moment le marché est déjà encombré.

Le TMS 1000 est un microcontrôleur typique, avec 1024 bytes de ROM pour les instructions et 64 nibbles de RAM. La ROM et les PLA de décodage d'instructions et de codage des sorties sont préparées selon les spécifications de la clientèle, ce qui fait dire à la publicité que la puce est microprogrammée. Sur 10 ans, plus de 15 millions de puces seront produites, d'abord en PMOS alimentés sous 15 volts, puis à partir de 1978 en CMOS fonctionnant sous 5 volts. Voir fiche.

Le TMS 1000 a fait l'objet d'un important travail de promotion, à une époque où les microcontrôleurs n'étaient pas encore entrés dans les mœurs. Le LCM 1000 est un ensemble de circuits à finalité pédagogique, proposés chacun avec batterie, chargeur, câbles et manuels :

LCM 1001 à \$ 149,95 contient le microprocesseur, un miniclavier, une visualisation LED, et une horloge à poussoir permettant le fonctionnement en pas à pas. Le manuel joint, et payant (\$ 4,5), permet de nombreuses manipulations.

LCM 1002 à \$ 189,95 est un microcontrôleur fourni avec 256 mots de 20 bits sur PROM, explicitant registre de sortie mémoire, registre d'instruction, compteur ordinal.

LCM 1003 au même prix contient, en plus de la puce cette fois invisible, 1024 mots de 12 bits en RAM statique, utilisable pour tester le concept de macroinstruction.*

LCM 1004 à \$ 109,95 contient 4 entrées et 4 sorties explicites, avec registre interposé, pour expérimentation sur diverses entrées / sorties.

LCB 1891 est un manuel à \$ 12,95, intitulé Software Design for Microprogramming. En 1981, le marché demande toujours des microcontrôleurs 4 bits, et Texas reprend les principes du 1000 avec un TMS 2100 disposant de 2 KB ROM, 64 bytes RAM, 6 à 15 bits de sortie, et les nouveautés suivantes : 1 ou 2 entrées analogiques attaquant un codeur 8 bits par approximations successives ; compteur / timer programmable avec une entrée séparée pour déclenchement par zero crossing d'une sinusoïde ; interface haute tension pour attaque des cristaux liquides, précédée d'une PLA à 32 termes pour convertir le BCD en visualisation 7 segments ; interruption programmable retardée pour gestion de time out.

Dans le domaine des 8 bits, TI ayant été devancé par Intel se bornera à acheter la licence du 8080A, NMOS 2 MHz, et jouera le jeu habituel des secondes sources, consistant à créer des périphériques et des compléments : générateur d'horloge 74LS424, contrôleur de bus 74S428, contrôleur d'entrées / sorties 74S412 et TMS 5501, et bien sûr toutes les mémoires (ROM 1024 * 8 TMS 2708).

Mais, pendant ce temps, TI s'efforcera de prendre une position solide dans le domaine des 16 bits, que la compagnie juge beaucoup plus intéressant pour le temps réel. Voir plus loin.

TI aborde aussi le domaine du microprocesseur en tranches de 4 bits, et ce de plusieurs manières. Son premier candidat, qui nous est connu par un extrait de SIGMicro Newsletter de 3 / 78, est une tranche de 4 bits empilable baptisée SBP0400, qui travaille normalement en association avec la puce de commande 74S482. Son originalité est d'être produit par le procédé I2L, une technique bipolaire que Texas considère comme bien adaptée pour recueillir les avantages des deux techniques concurrentes du moment, le NMOS qui remplace partout le PMOS au prix d'une couche supplémentaire, et le bipolaire TTLS dont TI est le principal promoteur avec les séries de composants SN54 et 74, en passe de devenir des quasi normes.

L' I2L (Integrated Injection Logic) offre faible délai par porte (4 à 5 ns) et forte densité (1450 portes) avec une faible consommation et une grande marge de bruit. Voir fiche.

Le précédent circuit est proposé aux militaires pour ses deux dernières qualités, tandis que pour les applications civiles TI préfère le 74S481 plus rapide et plus perfectionné, qui obtiendra un large succès commercial . Voir fiche séparée.

Dans le domaine 16 bits, Texas crée le microprocesseur TMS 9900, et en fait le coeur d'un système de calcul proposé au public comme une famille : la série 990. Nous traiterons séparément les deux aspects, bien que TI les ait fait progresser en parallèle.

Le TMS 9900 est rendu possible, à une époque où la densité de composants sur un circuit intégré est encore très faible, par une architecture audacieuse et originale, rejetant à l'extérieur de la puce les registres dans lesquels s'exécute toute la logique, et les contrôleurs des entrées / sorties. Moyennant quoi il est possible de prévoir plusieurs types d'adressages et un répertoire complexe intégrant multiplication et division. Astucieusement conçu, servi par une importante documentation que l'on trouvera en boîte 113, commercialement appuyé par l'existence d'un minicalculateur construit autour de lui, le TMS 9900 atteindra son objectif de donner à TI l'auréole du premier microprocesseur 16 bits, et trouvera une seconde source chez AMI, American Microsystems. Voir fiche. Cette même architecture sera reprise en I2L à l'intention des militaires et de l'espace, avec le sigle SBP9900 qui donnera d'abord lieu à contrat d'études, puis sera poussé à 4,4 MHz et 270 Kips en tant que SBP9989.

Le bus 16 bits était cependant un pari risqué, à cause de l'absence de périphériques acceptant une telle interface. Certes TI avait prévu ce risque en privilégiant, avec le CRU = Communication Register Unit, un mode de liaison série bien documenté, et en prouvant son efficacité dans ses propres réalisations. Cependant, pour les mêmes raisons qui poussaient Intel à créer le 8088 à côté du 8086, TI annonce en 1976 un TMS 9980 qui garde l'architecture du 9900 en la limitant à un bus mémoire et périphérique 8 bits, en réduisant la taille mémoire à 16384 bytes, et en diminuant le nombre des interruptions; par contre, l'horloge est incorporée, limitant à une borne cette fonction qui en exigeait 4 dans le 9900. Voir fiche.

La finalité commerciale de ce microprocesseur est d'être un microcontrôleur, mais pour cela il faut lui ajouter de la mémoire : la puce 9972 fournit 1920 bytes de ROM, 128 bytes de RAM, 10 lignes d'entrées / sorties programmables. A cette époque, on ne pouvait mettre cela sur la même puce que le CPU.

En 1977, le 9940 est une reprise monopuce, boîtier 40 broches, de l'architecture du 9980, toujours pratiquement compatible mais poussée à la fréquence de 5 MHz, avec l'objectif clair d'apparaître comme un microcontrôleur. Pour les entrées / sorties, il se contente de 256 bits dans son CRU, ce qui suffit pour les périphériques prévus, essentiellement de communication.

On trouvera au dossier une brochure de Texas France présentant ce microprocesseur, et un article de la revue Electronics décrivant l'emploi du couple 9940 / 9902 pour la réalisation d'une liaison protégée par cryptage, capable de 1,5 Mbit/s.

Dans les années suivantes, TI exploite ce concept en réalisant des variantes spécialisées du 9940, vendues comme périphériques pour le 9900 ou pour des machines non TI. On trouvera au dossier un article concernant le 9909, un contrôleur de floppies qui convient pour le service des lecteurs de disquettes compatibles IBM. Mais il en existe bien d'autres : 9918 multiDMA, 9914 pour gestion de bus GPIB, 9918 pour visualisation en couleur, et 9927 pour les écrans monochromes, etc...

En 1978, le 9995 revient aux origines pour tenir compte de la complexité croissante des applications en temps réel : bien que descendant du 9980 plutôt que du 9900 (adressage byte, nombre d'interruptions réduit), c'est bien en successeur du 9900, trois fois plus performant, qu'il se présente.

Voir fiche pour les diverses améliorations qu'il comporte.

En 1981, TI annonce avec quelque emphase son nouveau microprocesseur TMS 99000, qui doit remplacer complètement le 9995 et le 9900. Après analyse attentive du vocabulaire publicitaire utilisé, les véritables nouveautés sont :

- une technologie NMOS 3 μ , avec une organisation SCAT des circuits sur la puce, comme les TMS 7000, propice à une faible dimension et à la microprogrammation.
- une architecture compatible avec le 9900, mais améliorée par un répertoire porté à 85 opérations, englobant celui du 9995 et 12 nouvelles instructions, dont trois permettant l'extension physique de la mémoire à 16 MB à travers un circuit de mapping, TMI 99610.
- outre un CRU de 32768 bits géré usuellement, les entrées / sorties disposent d'un espace propre de 16 KB, exploité en parallèle. Le texte ne permet pas de discerner si ces 16 KB appartiennent ou non à l'espace général de 256 KB (memory mapping).
- une mémoire incorporée, la macrostore, permet au client ou à TI, qui donne immédiatement l'exemple, de disposer d'un répertoire de programmes exécutables plus rapidement que les autres, en quelque sorte des macroopérations. La manipulation des chip select par le registre ST permet de gérer de façon à peu près transparente jusqu'à 256 KB de mémoires ROM et RAM, en plus de la macrostore de 128 KB.

A la vérité, n'importe quel constructeur de minis pourrait faire la même chose, mais la position de TI, qui fabrique microprocesseur et mémoires, lui facilite la tâche.

Dans le domaine des microcontrôleurs, TI était si occupé avec ses 16 bits qu'il s'était peu intéressé aux 8 bits, qui étaient pourtant les plus populaires et en passe d'être monopolisés par Motorola et Hitachi. Le TMS 7000 apparaît en 1981, avec comme atout le fait d'être intégralement microprogrammable, c'est-à-dire adaptable exactement aux besoins de son client. La photographie de l'article joint met en évidence la particularité

soulignée par TI, à savoir une organisation tournée essentiellement vers les mémoires pour tirer parti au mieux de leur régularité intrinsèque, facteur de densité.

Le concept SCAT du TMS 7000 a permis la réalisation rapide de versions 7020, 7040, 7080 et 70120 qui se différencient par la taille de la ROM client incorporée, puis de versions CMOS. Voir fiche.

Moins spectaculaires mais gardant leur importance, les circuits intégrés TTLS de la famille 181, produits à partir de 1982 et rajeunis en 1985 et 1986 permettent d'édifier, par tranches de 4 bits et jusqu'à 64 bits, des unités arithmétiques à haute performance. Ces circuits peuvent s'employer par simple juxtaposition, la retenue d'un étage (carry ripple) étant transmise à l'étage suivant; cependant, pour obtenir la performance maximale, il est nécessaire d'employer le schéma CLA (carry look ahead) qui anticipe les retenues à travers un circuit 182 qui recueille les retenues partielles dans tous les circuits précédents. On peut ainsi faire l'addition de deux nombres de 16 à 64 bits en 19 ns, soit 3 à 5 fois plus vite que les microprocesseurs en tranche du genre AMD 2901, évidemment bien moins coûteux.

Pour ces divers composants, nous disposons des documents Texas de référence, voir boîte 113.

En 1983, travaillant dans la même direction, TI annonce le SN74AS488, une ALU en tranches de 8 bits, en technologie TTLS, incorporant une mémoire fichier de $16 * 8$ bits, un accu et un MQ: c'est exactement le concept de l'AMD 2901, mais avec une largeur doublée (8 ans après!) et une unité arithmétique plus riche: 14 opérations arithmétiques et 8 logiques, y compris les multiplications et divisions signées ou non et la division polynomiale, décalages courts et longs. Ce circuit puissant et pratique peut travailler jusqu'à 20 MHz et trouve sa place dans des processeurs exigeants: traitement du signal, processeurs vectoriels. Prix \$ 166 en lots de 100.

Le 888 travaille en association avec le microséquenceur SN74AS890, qui fournit une adresse en 26 ns à la PROM de microprogrammation. Caractéristique de son époque, ce circuit manipule des adresses de 14 bits, autorisant des microprogrammes jusqu'à 16384 instructions, et dispose d'une pile de 9 adresses, au lieu de 4 dans les réalisations antérieures. Voir dossier dans boîte 113. Prix \$ 87 en lots de 100.

Le 888 sera rajeuni en 1985 par une version 888.1 qui accepte une horloge à 22 MHz (CP = 46 ns), n'introduit que 0,8 ns de délai par porte, et consomme 60% de moins que son prédécesseur.

Mais en fait, cette même année, TI est en mesure de proposer une nouvelle famille de composants compatibles avec le 888, comprenant des tranches de 32 bits et néanmoins deux fois plus rapide, grâce à une géométrie $1,5 \mu$ pour les circuits bipolaires (procédé Impact) et 1μ pour les CMOS (mémoires).

La nouvelle famille comprend une ALU 32 bits cascadable, un multiplieur 32 bits, un processeur flottant 64 bits, un décaleur "barrel" 32 bits, un décaleur "funnel" 64 bits, un groupe de registres, et un microséquenceur 16 bits. Avec 8 boîtiers, cette famille permet la construction d'une unité centrale DPVF à cycle de 50 ns.

La puce SN74AS8832 de l'ALU occupe 116 mm^2 dans un boîtier 208 broches; elle contient toujours les 16 registres à 3 entrées, mais les décaleurs ont disparu, regroupés dans une puce 8838 séparée.

La position de Texas Instruments vis à vis de l'informatique est tout à fait particulière : d'une part, fabricant de composants, la société dispose dans les meilleures conditions de la matière première, et peut en connaissance de cause, cad de prix de revient, apprécier l'opportunité de créer un composant spécialisé ; d'autre part, elle ne dispose pas de l'infrastructure commerciale et logicielle suffisante pour s'introduire sur le marché que domine IBM .

S'étant placée, vers 1972 / 74, sur le marché des minis avec les 960 et 980, et convaincue que l'informatique sérieuse exige 16 bits au moins, TI aborde l'ère des microprocesseurs avec un 16 bits, le TMS 9900, bien avant tous les autres, essentiellement Intel et Motorola : et cela, grâce à une architecture originale qui rejette l'essentiel de la logique en dehors de la puce, vers des mémoires dont TI est aussi producteur. Les performances s'avérant acceptables, TI lance un ordinateur, le 990 / 4, construit autour du TMS 9900, et se trouve ainsi obligé de se procurer système d'exploitation et traducteurs de langages, deux produits franchement nouveaux pour elle. En fait, l'évolution s'est faite avec beaucoup de prudence.

Dans un premier temps, le 990 / 4 est une simple carte à vendre en OEM, mais TI est conscient qu'un microprocesseur doit pour se vendre trouver des applications, et que la mise au point de celles-ci exige un système de développement. Presque immédiatement, il faut placer la carte dans un boîtier style mini, y ajouter une mémoire de travail et une mémoire de stockage, à une époque où les disquettes ne sont pas encore inventées : le système de développement comportera beaucoup de ROM, et le stockage se fera sur cassettes, dans un terminal compatible télétype baptisé Silent 700. La décision est prise, cependant, d'amortir ce travail inévitable en affichant le fait qu'on crée une architecture : l'assembleur 990 / 9900, qui voit le jour en 1974, entérine le fait et rend public l'outil unificateur, qui sera ensuite soigneusement entretenu.

D'ailleurs, la puissance informatique du 990 / 4 étant tout de même limitée, TI se voit presque immédiatement contraint de prouver sa détermination en proposant une machine plus performante, qui ne peut se suffire d'un microprocesseur : le 990 / 10 est un ordinateur à part entière, réalisé avec des composants Texas, rigoureusement compatible, et pour lequel sont consenties les améliorations suivantes, reconnues indispensables pour s'aventurer au delà du simple temps réel local :

- définition d'un bus mémoire de fond de panier, TILine, permettant le placement libre des cartes de mémoire et de contrôleurs dans le boîtier à 13 emplacements (définition d'un arbitre de bus et de normes temporelles et électriques). Débit 6 MB / s .

- définition d'une mémoire topographique et d'un MMU permettant d'étendre la mémoire physique au delà des 64 K mots du 9900, et jusqu'à 2048 KB à ce stade. Corrélativement, introduction de la protection de mémoire et du mode privilégié.

- introduction, en tant qu'options, du contrôle de parité et du SECDED, indispensable aux applications de longue durée avec les mémoires MOS sensibles aux rayons cosmiques.

- création urgente d'un système d'exploitation multitâches résident, puis d'une version disque dès que les disques souples et les cartouches sont apparues. Ce sera le DX 10.

- définition de quelques périphériques à la hauteur des ambitions encore modestes du 990 / 10, et de leur adaptation au CPU à travers les circuits intégrés 9901 (contrôleur parallèle) et 9902 (contrôleur série asynchrone). TI peut alors annoncer de petites machines de gestion, les DS 990.

- achat de quelques compilateurs commerciaux, en l'occurrence Fortran, Basic, COBOL, des choix évidents.

En deux ans, ce programme est réalisé et Texas a acquis une position stable dont il s'avère vite qu'elle restera modeste : non seulement il n'est pas question d'entrer en compétition avec IBM, mais même les fabricants de minis comme DEC et Data General ont atteint, avec le PDP 11 / 45 et l'Eclipse respectivement, un niveau de service que TI ne rattrapera pas.

Donc, se bornant à maintenir le niveau de compétence de ses petits systèmes à la hauteur de la demande, TI se retourne plus que jamais vers le temps réel et la vente en OEM. A cet effet, il définit une série de modules, les TM 990, qui comprennent deux cartes processeur (100M, 180M), deux cartes mémoire (201, 206), une carte d'entrées / sorties (310), un terminal en forme et taille de calculette (301), deux logiciels documentés (401, 402) et un châssis pour loger tout cela (510) ; le client peut acheter ces cartes à prix OEM et les utiliser comme un meccano pour réaliser des calculateurs exactement adaptés aux besoins de ses laboratoires et ateliers.

Un peu plus tard (2 / 79), Texas commercialisera à l'usage des écoles une carte 189M, compatible à usage pédagogique, fusion de la 180 M, du terminal 301, et du logiciel 401 / 402, vendue au prix très bas de \$ 299, avec en supplément facultatif une carte d'alimentation 519 à \$ 65.

Il y aura aussi, en 1979, une série de modules 990 à l'usage des militaires, comprenant d'abord une carte 990 / 1481 dont le processeur très performant est construit au moyen de puces SN74S481 . Cette version comprend un répertoire de 94 opérations, englobant multiplication et division signées, la fonction sinus, la virgule flottante, 15 niveaux d'interruptions vectorisées et masquables. Ce processeur est capable de 10 KFlops et supporte le TIPascal.

Autres produits de cette collection :

- 990 / 110 est la version militarisée de la carte 100M.
- 990 / 303 est un contrôleur de floppies aux formats IBM ou FS990, pour un maximum de 4, DD / SD.
- 990 / 304 est une interface de bus multiplex conforme à la norme MIL. STD. 1553A .
- 990 / 306 est un module parlant utilisant le linear predicting coding . Voir plus loin rubrique DSP.
- 990 / 307 est un multiplexeur de communications asynchrones RS 232, avec un appel automatique conforme aux normes Bell et un autotest par bouclage de ligne.

En 1980, la filiale allemande de Texas reprendra cette idée de modules en proposant des cartes analogues au format Eurocard de 100 * 160 mm, enfichable dans les châssis du bus multiprocesseur européen, conçu pour 1 MB d'adresses , des données de 8 ou 16 bits, et les interruptions dues à leurs périphériques. On y trouve une carte processeur (E 150), une carte mémoire de masse (E252, pour 92 Kbits de mémoire à

bulles), deux cartes d'entrées / sorties (E350, E351), et une carte fond de panier (E501), ainsi que le même petit terminal et le même logiciel qu'aux USA. On peut penser que cette décision est l'indice d'un réel succès, confirmé par deux annonces commerciales trouvées dans Electronics, concernant des convertisseurs A/N de Analogic Corp. et Analog Devices, présentés pour s'intégrer à la famille. Voir tous ces documents dans une chemise de la boîte 113, avec leurs tarifs.

Après cet intermède purement technico commercial, TI reprend l'offensive informatique en 1979 en créant de nouveaux matériels : le calculateur familial TI 99 / 4 et le calculateur de gestion TI 990 / 12.

Le 99 / 4 est un modèle de table très peu encombrant, dépourvu de visualisation parce qu'il s'exploite sur la télévision. Voir fiche.

Comme le processeur est un TI 9900, amorti il est vrai, ce matériel est un peu sous-employé. C'est pourquoi, en 1982, TI essaye de le développer, sous le nom de BS 200, en un micro de gestion proposé en diverses versions selon le choix de disques. Petit succès.

Les ventes étant tassées, TI proposera en 1983 le TI 99 / 2, qui n'est rien d'autre qu'un 99 / 4 à prix bradé, occasion de vendre quelques périphériques. Mais le PC est là, désormais, et les autres formules de calculateur familial, même moins chères, n'ont pas son attrait. Le 99 / 2 ne se vendra guère.

Le 990 / 12 est un nouveau calculateur compatible en deux cartes, construit autour du microprocesseur en tranches SN74S481, et microprogrammé de ce fait. La mémoire de microprogramme a été très agrandie, ce qui permet d'accroître considérablement le répertoire, et en outre d'offrir au client une WCS où d'ailleurs TI a immédiatement installé quelques extensions.

L'adressage utilise le bus TILine à 48 fils, dont 20 d'adresse fournis par une mémoire de mapping incorporée en standard. Il y a également deux caches : un de 16 mots qui contient les 16 registres actifs définis en mémoire par le Working Pointer WP, et un directement sur le bus, essentiellement destiné aux instructions et optimisé pour la seule lecture.

La fiabilité et la maintenance sont considérablement améliorés par l'existence d'une routine d'autotest, microprogrammée, exécutée lors des démarrages et en cas d'incidents graves . Il y a aussi une mémoire où sont notés automatiquement les informations concernant les 16 plus récentes consultations de la mémoire principale, que ce soit en accès direct ou depuis un cache ; en cas d'interruption 2, cette mémoire est consultée pour y trouver une explication à l'incident.

Trois fois plus performant que le 990 / 10, le nouveau calculateur consomme davantage et a du être logé dans un nouveau châssis à 17 slots, pourvu d'une nouvelle alimentation. C'est cet ensemble qui forme le coeur des DS 990 / 20 et 30, puis du modèle 29 annoncé en 1981.

Ce matériel est puissant et permet à la société de répondre à toute demande de ses clients qui sont des PME. Cependant, cela ne va guère durer que 5 ans, à cause de l'extension progressive des PC.

La version TI du calculateur personnel

Tant qu'il n'existait rien d'autre, le calculateur personnel était celui de l'ingénieur, la calculette, et le seul concurrent Hewlett Packard. S'étant aventuré en direction du calculateur d'entreprise avec la SR 60 et la TI 74, Texas n'en avait pas retiré de bénéfice, et s'était donc borné à maintenir ses positions. Quant au calculateur familial, l'expérience du TI 99/4 avait été plutôt décevante, malgré l'introduction, presque unique sur le marché, de machines parlantes.

Estimant qu'on ne pouvait plus guère attendre, Texas a d'abord tâté le terrain avec un 8 bits, le CC40 qui était bien baptisé "personal computer".

C'était essentiellement un TI 74 avec son écran LCD de 31 caractères défilants extraits d'une ligne tampon de 80 caractères, son Basic sur ROM de 34 KB, sa mémoire d'utilisateur de 6 à 16 KB de RAM, son clavier comprenant 45 touches alpha + pavé numérique 16 touches + 4 touches de commandes, sa cartouche enfichable de "solid state software", et finalement son fonctionnement sur 4 piles.

Pour le distinguer d'une calculette, il disposait d'une prise RS 232C, et d'une minuscule imprimante graphique en 4 couleurs, tenant dans la main. Très petit succès malgré le bas prix de \$ 249,95 .

L'annonce du PC d'IBM, clairement orienté vers le poste de travail d'entreprise, était un défi plus intéressant, que Texas a relevé rapidement en créant le TIPC, dont le P voulait officiellement dire Professionnal. Nommé d'abord Pegasus, c'était pratiquement un PC/XT, avec 8088 plus 8087 optionnel, et logiciel MS/DOS ; l'originalité maison comportait un contrôleur d'écran graphique avec VRAM de 16 Kibbles, et surtout le processeur vocal. Prix \$ 2595, ou 25000 FFHT en France, pour un CPU, une RAM de 64 KB, un floppy 5,25" de 320 KB, un écran 12", et un Basic.

Très vite, le nom de Pegasus disparaît, car le sigle PC est bien plus porteur que n'importe quel nom. Au SICOB de 1984, le TIPC est proposé comme calculateur professionnel avec tous les logiciels qui ont fait le succès du PC, comme Lotus 123, DBase II, Multiplan, Wordstar, et un système de fenêtres qui prélude à Windows sans en être un ; il supporte, d'autre part, toutes les normes de communication comme BSC 3780, SNA 3270, 3270 Coax, Ethernet, Videotex, TTY. Et en plus, il parle, grâce à un TMS 320 dont on reparlera ! Voir fiche.

A défaut de beaucoup vendre à l'extérieur, TI équipe ses propres personnels et entretient l'intérêt pour la machine dans sa revue technique, avec un article de présentation en août 1984 et plusieurs articles d'applications l'année suivante.

Quand en 1985 IBM passera au PC/AT, Texas suivra mais n'essaiera pas réellement de maintenir une position commerciale. Son Business PRO est compétitif, cependant, avec un 80286 et une mémoire de 512 KB à 3,5 MB en RAM 150 ns, un floppy 1,2 MB, un disque Winchester de 21, 40 ou 72 MB à temps d'accès de 30 ms, une visualisation bitmap, deux interfaces série et parallèle, et 8 slots grand modèle + 6 slots demi-taille.

Le système est MS/DOS 3.0 comme tout le monde, mais Texas a réalisé son propre BIOS qui permet de choisir entre deux modes d'exploitation : un mode PC/AT rigoureusement compatible, et un TI Mode destiné à conserver les logiciels internes développés sur le premier TIPC. Voir un article à ce sujet.

Texas produira aussi une version portable, pesant tout de même 5,25 Kg. Basée sur un microprocesseur 80C88, elle dispose de 256 à 768 KB de mémoire, d'un floppy 3,5" de 720 KB, d'un clavier alpha avec 12 fonctions, et d'un écran 25 * 80 car ou 640 * 200 pixels, avec des connecteurs pour un moniteur externe en monochrome ou couleurs, un coprocesseur 8087, un second floppy, une carte de communications synchrone ou asynchrone, ou encore une extension de logiciel sur ROM.

A l'extérieur on peut encore brancher une imprimante thermique 45 cps, et toutes les Omni de la série 800. Le logiciel est celui du TIPC, y compris le système expert Personal Consultant. Le prix s'établit à 30000 FF avec la mémoire 256 KB, ce qui n'est pas exorbitant pour l'époque.

A partir de 1986, Texas sait qu'il n'est plus dans la course des ordinateurs d'entreprises, au moins dans la catégorie PC. Il va donc prendre le virage d' Unix, mis à la mode par la clientèle scientifique organisée en réseaux :

- le BS 1500 est un 32 bits conçu autour du Nu Bus maison (37,5 MB/s, voir plus loin) et du micro- processeur Motorola 68020 à 16,67 MHz. Il fonctionne sous Unix V. Son prix commence à 500000 FFHT.

- le BS 1300 est équipé d'un 80386 et fonctionne sous Xenix, avec 16 à 32 terminaux. TI propose pour lui des terminaux intelligents, compatibles PC/ XT grâce à MS / DOS 3.2 .

- le BS 1100 utilise un 80286 à 12 MHz et fonctionne aussi sous Xenix, avec un maximum de 16 terminaux. Présenté en format "radiateur", il dispose de 1 à 15 MB de RAM, d'un disque de 40, 72 ou 120 MB, et d'une cartouche de sauvegarde de 60 MB. Prix 100 à 150 KFF.

L'intelligence artificielle

En 1975, l'équipe d'intelligence artificielle du MIT a réalisé CADR, un prototype de machine LISP, c'est-à-dire une architecture adaptée à l'exécution directe des primitives du langage LISP, inventé quelques années auparavant par Mc Carthy . Le prototype démontre la faisabilité, mais l'équipe veut davantage, et se lance en 1980 dans la création d'une société qui va industrialiser la CADR, LISP Machine Inc.

Un article du TI Engineering Journal , février 1985, pp 33 / 9, décrit le processus par lequel TI s'introduit, à partir de 1977, dans le domaine ainsi défriché, avec la conviction qu'il existe de grands débouchés pour l' intelligence artificielle, sous réserve que le prix des machines diminue.

Le groupe de recherche IIS, Interactive Intelligent Information System, intégré dans le Computer Science Laboratory de la société, reçoit sa LISP Machine en 3 / 81 et entreprend immédiatement de transformer le concept du MIT en un produit de prix abordable .

Au coeur du projet se trouve le Nu Bus conçu au MIT pour CADR, et réalisé par Western Digital : TI en prend la license. C'est un bus 32 bits, 10 MHz, soit 37,5 MB / s, qui va servir de fond de panier. Autour de lui, la Nu Machine comprend:

- une carte CPU, pour le moment (1984) porteuse d'un microprocesseur Motorola MC 68010 et d'un cache de 4 KB, à cycle de 45 ns. C'est là que se loge l'interpréteur microprogrammé de LISP.

- une ou plusieurs cartes mémoire

- un contrôleur d'écran gérant un moniteur 15" monochrome, 808 * 1024 pixels, rafraichi à 60 Hz.

- un adaptateur Nu Bus vers Multibus, comportant un microprocesseur 8088, 2 KB de RAM rendue permanente par une batterie, deux interfaces RS 232 pour terminaux et un contrôleur pour cartouche de sauvegarde à bande de 0,25". Cette carte joue le rôle d'un processeur de maintenance et contient le bootstrap.

- un système d'exploitation dérivé d' Unix Version 7.

La machine est commercialisée en deux versions :

- un châssis de 26" de haut, contenant 12 slots, soit 6 Nu Bus pour le processeur proprement dit, 3 Multibus et trois hybrides pour les périphériques.

- un rack standard 19" offrant 21 slots, dont 13 Nu Bus, 5 multibus et 3 hybrides.

Prix typique : une Nu Machine avec 512 KB de mémoire, un disque de 84 MB, une cartouche de sauvegarde, écran, clavier, souris, coûte 33680 \$. Un rack 21 slots avec 474 MB de disques vaut \$ 50370.

Ce problème technico-commercial résolu, Texas décide d'utiliser la Nu Machine comme support pour un produit spécialement tourné vers l'intelligence artificielle, l'Explorer. Cette machine va faire chez TI ses preuves comme support d'un système expert, après quoi elle pourra être commercialisée par Univac, mieux placé pour contacter les clients potentiels.

On trouvera au dossier un article sur le Nu Bus et une étude prospective sur l'avenir de l'intelligence artificielle sous l'angle du hardware. C'est dans ce cadre que Texas s'implique avec le MIT dans l'étude Compact LISP Machine, visant à transporter sur quatre puces les éléments d' Explorer, sur contrat DARPA. La puce principale, 1 cm², est réalisée en CMOS 2 μ et placée dans un boîtier 264 broches. Elle contient l'ALU 32 bits, le microséquenceur, 2,5 Kmots de 18 bits pour la dispatch memory, 1000 mots de scratchpad 32 bits, 1000 mots de pile ; elle reçoit sa microprogrammation d'une WCS extérieure de 16 K * 16 bits, et ses instructions d'une mémoire de programme 32 bits également externe. On espérait un fonctionnement à 40 MHz, mais l'échéance contractuelle de 11 / 86 s'avérant intenable, la puce sera livrée seulement à la mi 87. Il n'y aura pas de suite.

Il ne faudra pas très longtemps pour que TI constate que le public n'éprouve pas, envers l'intelligence artificielle, le même enthousiasme que ses chercheurs ; vers 1990, l'épisode Explorer paraît clos.

Retour aux composants

Toute cette période, au cours de laquelle TI remportera peu de succès véritable, est assez frustrante, et on peut dire que pratiquement, vers 1990, la société a abandonné l'informatique qui avait représenté jusqu'à 15% de son chiffre d'affaires, pour se recentrer sur son vrai métier qui est le composant.

Nous ne sommes pas en mesure de dresser un tableau complet des créations de TI en matière de composants, pendant et après les années consacrées aux microprocesseurs et à leurs applications, mais nous disposons d'une belle collection d'échantillons dans les domaines suivants :

Mémoires : TI reste un des leaders mondiaux mais la compétition est si sévère et la demande si fluctuante que le nombre des concurrents diminue à chaque fois que la géométrie des dessins diminue, augmentant simultanément le prix des précautions techniques indispensables et de ce fait le montant des investissements à consentir . On aboutit, vers 1995, à la constatation qu'aucun industriel ne peut plus faire seul face à la dépense ; dans ce domaine essentiel, des regroupements interfirmes et internationaux ont lieu.

Exemple : la nouvelle mémoire de 256 Mbits, vers 1999.

Microprocesseurs : les microprocesseurs 16 bits de la famille TMS 9900 sont les derniers que TI ait étudié pour ses propres besoins, car l'ordinateur de petite gestion cède progressivement la place à des réseaux de PC autour d'un serveur, et l'estimation des ventes possibles dans ce domaine montre que Texas ne doit pas essayer de créer un nouveau produit. Pour un fabricant de composants, reste alors l'éventualité de prendre une licence d'un microprocesseur en vogue .

En 1992, Texas s'introduit ainsi pendant un moment dans le marché des overdrive, pas assez soutenu par Intel aux yeux de ses clients:

- le 486 SLC contient un cache de 1 KB et s'installe sur un socle de 80386, en versions 33 MHz 5 Volts et 25 MHz 3 Volts.

- le 486 SXL de 10 / 93 propose un cache de 8 KB, un bus limité à 16 bits, et une fréquence de 33 MHz, ainsi que des doubleurs 20 / 40 MHz à 3,3 Volts et 25 / 50 MHz sous 5 Volts. Boitier QFP 100, prix \$ 79 à 149. Ces deux doubleurs ont des Benchmark de 139 et 164 SpecInt92.

- en haut de gamme, le 486 DLC de 5 / 92, compatible avec le DX de Intel, est proposé en 33 MHz 3 Volts et 40 MHz 5 Volts.

- en 10 / 93, le 486 SXLC2 utilise un bus 32 bits et les mêmes fréquences que le SXL ci-dessus, dans un boitier CPGA à 168 broches.

Mais c'est tout-de-même une activité marginale.

On verra ensuite Texas devenir le fondeur de Sun pour les Ultrasparcs, réalisant en parallèle sa propre version baptisée MicroSparc qui sera choisie par Sun et d'autres pour des stations bas de gamme.

Le MicroSparc, ou TMS 390S10, annoncé en 1995, est une puce CMOS 0,8 μ de 0,145 cm², contenant 800000 transistors, et consommant 3,5 W sous 5 V. Elle contient :

- un FXU 32 bits compatible Sun, capable d'exécuter une instruction par CP.
- un processeur flottant étudié par la société anglaise Meiko, disposant de 32 registres de 32 bits. Il sait faire une addition DP en 4 CP, une multiplication en 9 CP.
- un double cache de 4 KB pour les instructions et 2 KB pour les données.
- un contrôleur de mémoire M Bus pour DRAM de 4 et 16 Mbits, capable d'une mémoire de 128 MB en 4 bancs, utilisant un bus de 64 bits.
- un contrôleur de S Bus permettant des rafales de 2 / 4 / 8 / 16 bytes.

Ce microprocesseur fournit 20 à 23 Specint95 et 15 à 18 Specfp95 à 50 MHz. Il est présenté en boitiers TAB de 288 broches, et vendu \$ 179 en lots de 10000 en forme de bandes de câblage automatique.

Microcontrôleurs : cette activité facile, propice au maintien en activité d'anciennes usines, se poursuit avec succès, bénéficiaire mais avec des marges en diminution.

A la famille 7000 succède en 1989 le TMS 370, contrôleur 8 bits :

- le C032 contient 8 KB de ROM, 256 bytes d'EEPROM et 128 bytes de RAM, plus un PACT ;

- le C332 contient seulement 8 KB de ROM préparée en usine sur spécification du client, et la même RAM que ci-dessus, ainsi qu'un PACT.

- le 732 destiné au développement comprend 8 KB d'EPROM, 256 bytes d'EEPROM, et 128 bytes de RAM comme les précédents, ainsi qu'un PACT.

Les deux premiers sont présentés en PLCC 44 broches plastique, le dernier en boîtier céramique.

Le PACT, Programmable Acquisition & Control Timer, est une sorte de contrôleur de périphériques installé en position de coprocesseur sur le bus principal du 370. Il comprend :

- une RAM double accès de 128 bytes ;
- un registre de 32 bits, partie de la précédente, pour chacune des 6 entrées ;
- un compteur d'événements à 8 bits, lié à la borne CP6 ;
- un compteur 20 bits précédé d'un diviseur programmable 4 bits alimenté par l'horloge externe ;
- un UART à vitesse programmable ;
- un contrôleur d'interruptions à 18 vecteurs disposés en trois groupes de priorités programmables ;

La commande de tout cela est une machine à états déclenchée par le front ascendant du signal précédent. Elle lit dans la mémoire des commandes de style RISC exécutables à 10 MHz par les divers périphériques.

Cette famille semble avoir du mal à démarrer. En 1994 elle offre une grande variété de modèles avec 128 à 1024 bytes de RAM, 1 ou 2 timers, 1 ou 2 ports série, et 22 à 55 bornes parallèles.

En 1995, Texas la renouvelle en annonçant le CMCU 370, une extrapolation 8 / 16 bits de la famille précédente, dont le succès sera plus grand.

L'accélération du progrès technologique oblige en fait Texas, comme tous les concurrents, à un renouvellement de plus en plus rapide. En 1996, on peut ainsi citer une famille de contrôleurs RISC 16 bits CMOS, les MSP 430, étudiés pour une très faible consommation : 500 μ A en marche, 0,1 μ A en sommeil, soit 10 ans sur une pile au lithium de 3 V, 1,2 Ah.

Nous tirons d'une publicité l'annonce, en janvier 98, d'une deuxième version de ce microcontrôleur, aux périphériques améliorés. C'est un produit bas de gamme, 4 MHz seulement, avec 24 ou 32 KB de ROM (C336 et 337) ou 32 KB d'EPROM (P337), 1 Kbytes de SRAM, dont le répertoire de 51 opérations s'exécute pour l'essentiel en 1 CP. Les périphériques comprennent 4 ports parallèles, un USART 115,2 Kbauds, un contrôleur d'afficheur pour 30 segments LCD, et un timer 5 registres pouvant servir de comparateur et pour les captures. Tous ces produits sont présentés en QFP 100 broches, avec fenêtre pour les EPROM UV.

Périphériques : en réaction au marché, ou sur commande spécifique, Texas réalise fréquemment des périphériques spécialisés, graphiques, vocaux, traitement du signal par exemple.

Dans le domaine des communications, nous disposons d'un article sur un contrôleur 16 bits réalisé en NMOS 2,4 μ dont le sigle n'est pas indiqué, qui est réalisé en utilisant, comme les 7000, l'organisation en bandes de mémoire. TIEJ 10 / 84, pp 7 / 12 .

En 1985, on verra Texas réaliser pour le compte d' IBM, un jeu TMS 380 de 5 puces TTL permettant de construire un adaptateur Token Ring : processeur de communications 38010, gestion de protocole 38020, system interface 38030, et deux puces ring interfaces. Prix \$ 88 en lots de 25000.

Fin 1986, Texas reprend la question en CMOS 1 μ , réduisant le même dessin à deux composants : une puce 132 broches remplace les trois 320X0, ajoute des opérations au répertoire, et augmente la mémoire adressable par le 38010 de 96 KB à 2 MB, pour loger les protocoles microprogrammés et un cache ; une puce bipolaire 44 broches assure l'interface.

Dès cette année, le logiciel permet même au client d'intégrer ces dessins dans des ASIC, qui font disparaître la circuiterie annexe.

En juin 1986, un autre article de TIEJ, pp 57 / 66, décrit le TCM 8305, un microprocesseur spécialement construit pour la réalisation de téléphones à cadran.

Le TMS 340 de 1986 est un processeur graphique autonome, réalisé en CMOS 1,8 μ , réunissant un GPC 32 bits , 50 MHz, et un RISC graphique autour de deux bus :

- un bus mémoire 16 bits aboutissant à un cache de 256 bytes ;
- un bus de liaison générale, capable de 6 Mips avec des adresses de 1 Gbit.

La puce rectangulaire est présentée en boîtier 68 broches et contient cache, horloge, CROM, file de registres, ALU, décaleur barrel, contrôleur de mémoire et registre d'entrées / sorties. Prix initial \$ 500.

Le contrôle video est d'ailleurs un thème très exploité, où TI offre une solution originale d'accès série avec la VRAM TMS 4161 pour laquelle nous disposons de deux articles tirés de TI Engineering Journal :

Pinkham (R.) - Video Memory Technology & applications, compromis entre un exposé théorique et un descriptif de produit, TIEJ 6 / 85, 11 - 12 / 84, pp 21 / 40. Une photo tirée d'un document commercial en décrit l'emploi, en association avec le processeur video TMS 34061.

Pinkham (R.) - Dual port memory with high speed serial access, TIEJ 12 / 84, pp 3 / 9, est au contraire une introduction directe aux applications.

Le domaine de la synthèse de parole est un thème original où TI a pris très tôt une place importante, réussissant à placer ses modèles bas de gamme dans de nombreux jouets d'enfants.

Un article TIEJ de 10 / 94 décrit, avec photo, un microprocesseur construit par Texas Japon à cet effet. En 8 / 86, un autre article de la même revue décrit plus longuement le TMS 50C50, un modèle plus raffiné étudié par une équipe de Texas France.

En 1990, Texas annonce un microprocesseur 8 bits à 2 \$ seulement, englobant un synthétiseur de parole. L'ALU dispose de 61 opérations, et sait faire la multiplication $8 * 8$ bits en $1,6 \mu s$; le synthétiseur loge 20 à 50 mots, choisis par le client, ainsi que l'algorithme de synthèse, dans une ROM de $8 K * 8$ bits, mais il peut étendre son vocabulaire avec des ROM externes de 256 K ou même 1 Mbit. Débit 1 Kbit/s.

Mais surtout, on verra Texas se convertir totalement au DSP et, sur quelques années, devenir le leader de ce marché. Cette question fera l'objet du dernier paragraphe.

Traitement du signal

Le premier DSP, processeur de traitement du signal où toute l'organisation interne tend vers l'exécution instantanée du maximum d'opérations arithmétiques, apparaît chez Texas en 1982. Il doit servir au traitement de signaux vocaux. A cette époque, le monochip TMS 320, avec sa vitesse de 5 MHz et son organisation lui permettant d'exécuter une instruction de 32 bits à chaque période de 200 ns, apparaissait comme un tour de force; et de fait, ce résultat n'était accessible qu'en moyenne, de nombreux parallélismes autorisant le recouvrement de phases de traitement nécessairement consécutives par d'autres phases d'autres instructions. L'horloge tétraphasée facilite cette simultanéité.

Le TMS 320 manipule des entiers de 16 bits, mais il les totalise dans un accumulateur 32 bits, et il sait calculer un produit $16 * 16$ de 32 bits en 400 ns. Un article d'Electronics, 24/2/82, décrit cette organisation initiale que le succès a fait rapidement évoluer.

Le TMS 320 dispose de 4 K mots de mémoire de programme 16 bits, dont 1536 situés en ROM interne susceptible d'être masqués en usine selon la demande du client, et le reste en externe. Pour les données, elles figurent dans 144 mots de 16 bits en RAM interne, ce qui est peu en valeur absolue mais très important pour l'époque, et suffisant puisque le mode d'emploi de ce DSP consiste à lire et coder à l'extérieur des données analogiques, les introduire sous forme numérique dans la RAM, les exploiter sous forme de courtes séries d'échantillons, et ressortir les résultats numériques pour retourner en analogique. Les constantes seront logées en mémoire de programme grâce à l'adressage immédiat. Ainsi, ce premier DSP Texas est bâti autour de deux bus 16 bits, avec un pont pour transférer les paramètres de l'espace programme à l'espace données, et il ressemble encore beaucoup à l'image traditionnelle d'un microcontrôleur.

Le schéma précédent est celui du 320M10, avec M pour masque, le produit destiné à la grande série, fourni en boîtier DIL 40 broches, dont 12 constituent l'adressage de la mémoire externe de programme; il existe aussi un 32010 sans ROM, destiné aux mises au point, qui coûte \$ 85. Il en existe aussi une version militaire. Nous disposons de la documentation complète sur ce DSP qui va être un best seller de TI, et provoquer un changement des centres d'intérêt du fabricant de semiconducteurs. Nous y joignons un article paru en août 1985 dans TI Engineering Journal, pp 51/8, qui décrit à usage interne quelques applications possibles du DSP M10, fonctionnant en temps réel.

A partir de cette réussite initiale, TI va développer un nombre immense de versions pas toujours compatibles, unifiées par le logiciel de développement offert aux clients sur l'AMPL qui existe toujours. Le sigle initial TMS 320 va perdre progressivement son pré-supposé architectural pour couvrir tous les DSP commercialisés par Texas, 16, 24 ou 32 bits, virgule fixe ou flottante. Nous évoquerons quelques-uns de ces produits, à partir de la presse informatique de 1985 à 2000 ; à notre échéance, il existe toujours de nombreux DSP de cette classe, vendus en masse pour toutes les applications de communications.

Le 32020 de 1985 est une amélioration du 10, sans ROM mais avec deux RAM, trois décaleurs, et un opérateur secondaire travaillant sur les adresses. Fabriqué en NMOS 2,4 μ , il dispose de 288 mots de RAM pour les données, et de 256 mots de RAM 16 bits dans le bloc de commande, utilisables soit comme cache, soit comme une petite mémoire de programme pour accélérer les exécutions utilisant des données reçues d'une RAM externe. Le cycle standard de 200 ns est toujours applicable, mais peut être accéléré à 150 ns avec un dépôt de WSi sur les connexions en silicium. Le prix s'élève à \$ 200 .

Le 320C25 annoncé en 1986 est le résultat d'une étude conduite par Microchip Technology, ex division microélectronique de General Instruments est réalisé en CMOS 1,8 μ et logé dans un DIL 68 broches, pour disposer d'adresses plus longues : de fait, il peut désormais adresser 224 Kmots de mémoire externe de programme, en plus des 4 Kmots internes, et sa mémoire de travail interne est portée à 544 mots. Son répertoire est agrandi à 133 opérations d'assembleur, et certaines d'entre elles ont été revues logiquement pour plus de rapidité : par exemple, il exécute le filtrage FIR en un seul cycle comme le 20, mais il ne faut ajouter que 3 CP au lieu de 5 pour le rendre adaptatif. Il dispose d'une inversion de bits pour la FFT, d'un plus grand nombre de registres auxiliaires pour l'adressage, et il peut répéter une instruction jusqu'à 256 fois., et son cycle est 100 μ s. La pile de CO a été portée à 8 adresses. Au total et en gros, il est trois fois plus rapide que le 20.

En matière d'entrées / sorties, il réalise un accès externe en 2 CP, et il dispose d'un DMA qui utilise les cycles externes pendant que le CPU travaille avec la mémoire interne. Les accès comprennent un port série avec deux étages de tampon, et de 16 ports parallèles. Il dispose enfin d'un mode économique pour la veille entre deux interruptions.

Le succès du C25, qui a donné lieu à la réalisation de cartes pour PC et bus VME, décide alors Texas à reprendre toute la famille en CMOS, et à proposer deux familles :

- les TMS320C1x sont des bas de gamme essentiellement destinés à la commande de moteurs, ils ne contiennent que deux bus, programme et données, tous deux 16 bits, et leurs mémoires sont volontairement limitées pour réduire prix, consommation et encombrement. On peut évoquer les modèles suivants:

C10 reprend exactement l'ancien M10, process mis à part ; Texas propose aussi deux versions EPROM, E15 et E17. Microchip, de son côté, commercialise un EE12 incorporant 2500 mots d'EEPROM, avec un code de sécurité à

2 niveaux, qui consomme 320 mW et se présente en DIP 40 broches ou PLCC 44.

C14 est une étude commune de TI et Microchip, baptisée DSC pour Digital Signal Controller. Il

travaille à CP = 160 ns. avec 4 Kmots de ROM interne et 256 mots de RAM, sans possibilité d'adressage externe.

Plus riche en périphériques qu'un simple DSP, il dispose d'un port série utilisable en synchrone à 6,4 MHz, ou en asynchrone à 400 KHz, avec un mode Codec aux vitesses 1,544 ou 2,048 MHz du téléphone numérique ; d'un port parallèle à 16 bits ; de quatre temporisateurs 16 bits dont un chien de garde, deux compteurs universels pouvant être couplés en temporisateur 40 bits, et un générateur de bauds ; et de 15 interruptions et/ou trappings, dont une non masquable. Il peut être présenté en boîtier DIP 40 ou PLCC 44, ou encore en PLCC 68 broches pour pouvoir adresser un supplément de 4 Kmots de mémoire externe.

C15 est comme le C10 en vitesse et accès, mais avec 4 Kmots de ROM interne et 256 * 16 RAM.

C16 est accéléré à CP = 114 ns, et peut accéder à 64 Kmots de programme, dont 8 sur la puce, et à 256 mots de RAM. Sa pile de CO est de 8 adresses.

C17 est comme le C15 en matière de mémoire, mais renforcé en accès : 2 ports série, 16 parallèles.

- les TMS320C2x sont nettement plus puissants et plus gros : adressage programme 224 Kmots dont 4 K sur la puce, 2 bus de données simultanés, 544 mots de RAM, 16 ports parallèles et un port série, pile de programme de 8 adresses. Ils sont employés pour les pilotes de disques durs :

C25 déjà vu.

C26 dispose d'une RAM portée à 1536 mots.

C28 dispose d'une ROM interne de 8 Kmots.

En 1990, Texas élargit le spectre de ses applications en introduisant les C3x, qui changent l'architecture avec des instructions et des opérandes de 32 bits, aboutissant à un accu et un décaleur barrel de 40 bits. Il y a désormais trois bus de données, avec deux générateurs d'adresse et deux RAM séparées de 1 Kmots chacune, et une pile de programme logée en mémoire.

L'adressage mémoire porté à 24 bits autorise désormais 16 Mmots de programme et 8 Kmots de données, dont une partie en interne. Les entrées / sorties disposent de l'adressage complet en parallèle à travers le bus, et de 2 ports série à 10 MHz en plus ; il y a aussi un DMA. Ils contiennent un cache d'instruction de 64 mots, un opérateur de virgule flottante, deux compteurs / temporisateurs : bref, c'est une nouvelle classe. En plus, ils utilisent des fréquences plus élevées que leurs prédécesseurs : CP = 60 ns au départ, puis 50, puis 40, puis 33 ns (30 MHz)

De tels DSP sont destinés à des applications civiles exigeantes, comme les imprimantes et les photocopieuses, le graphique ou le traitement audio.

Indépendamment de la vitesse, trois configurations ont été proposées :

C30, réalisé en CMOS $0,8 \mu$, englobe une ROM interne de $4 K * 32$ bits. Présentation en PGA 181 broches, ou PQFP 208 bornes.

C31 vise à l'économie, et ne contient pas d'autre ROM qu'un bootstrap. Il n'a pas non plus de bus I/O séparé, car que toutes les adresses externes sont mappées, et il ne dispose que d'un seul port série. Il possède un mode veille pour l'économie de consommation.

C32 est au contraire un modèle puissant et offensif : moins de mémoire de travail, 256 mots seulement pour chaque voie, mais de plus grandes facilités d'accès, 8/16 ou 32 bits ; et une grande richesse d'opérateurs : additionneur et multiplieur sont capables des deux modes fixe et flottant, et peuvent traiter une instruction par CP grâce à de nombreux registres, 8 de 40 bits, 8 auxiliaires de 32 bits, 12 registres d'adressage 24 bits, 2 DMA, 3 interruptions, mode économique. Réalisé en CMOS $0,72 \mu$ et présenté dans un boîtier PQFP 144 bornes, il est vendu moins de 10 \$ pièce en quantité. Alimentation 3,3 Volts.

Une nouvelle génération de DSP travaillant en flottant apparaît en 1991 avec le TMS320C40, destiné aux communications et aux militaires. Il a maintenant deux interfaces externes pour son bus de 31 bits d'adressage et 32 bits de données, donnant accès intérieurement à un cache de 512 bytes pour les instructions, un bootstrap de 16 KB, et deux mémoires de travail de 1 Kmots chacune.

Le CPU comprend désormais 4 opérateurs simultanés : ALU 32 bits avec son décaleur, durée 1 CP - multiplieur 1 CP, en fixe ou VF - 12 accumulateurs de 40 bits - 2 générateurs d'adresse avec bit reverse, 8 registres auxiliaires, 14 registres de contrôle. En outre, il existe un coprocesseur DMA à 6 canaux série de 20 MB/s, chacune disposant d'un tampon FIFO de 8 bytes. Il y a aussi 2 timers 32 bits, et un module d'analyse sur le bus de communication.

Ce processeur existe en trois vitesses d'horloge, 40 / 50 / 60 MHz, avec une distribution biphasée qui donne CP = 50 / 40 / 33 ns, et il fonctionne sur 3,3 Volts. Il se présente en un module TIM de $107 * 64$ mm, avec trois connecteurs de 80 broches en 4 rangs, ou encore en LPQF 325 bornes disposées sur les côtés d'un grand carré.

Ce modèle sera suivi en 1994 d'un C44, qui existe dans les trois mêmes versions, et dont l'objectif est de baisser les prix en acceptant quelques restrictions de connexions, notamment un adressage 24 bits au lieu de 31. Réalisé en CMOS $0,7 \mu$, il se présente en boîtier plastique LPQF à 304 bornes (flatpack carré). Il possède 4 canaux de communication au lieu de 6, mais il sait calculer $1/x$ et Vx en un seul CP, et il dispose d'un mode veille. Performances du modèle le plus rapide : 330 Mops ou 60 MFlops .

Retour aux 16 bits en 1993 avec les TMS 320C5x, compatibles avec les C1x et C2x, mais qui en diffèrent par une organisation plus modulaire, réservant les extensions ultérieures, et par l'apparition du contrôle JTAG. L'adressage est toujours 224 Kmots , mais la mémoire interne est organisée autrement :

C50 possède 2 Kmots de ROM pour le bootstrap et 2 Kmots de RAM double accès pour les deux bus, avec en outre 8 K mots accessibles à tous les bus et pouvant contenir données ou programmes. Entrées / sorties parallèles

banalisées, 2 ports série dont un full duplex 7,8 Mbit/s, timer, pile de 8 adresses, opérateur logique indépendant du MAC, shadow register pour les changements de contexte. Choix de 4 vitesses CP = 50 / 35 / 25 / 20 ns.

C51 revient à 8 Kmots de ROM et 2 Kmots de RAM double accès. Tout le reste identique.

C52 est une version économique, 4 Kmots de ROM et 1 Kmots de RAM. Il est proposé avec alimentation 3,3 V, 1,5 mA/Mips, ou 5 V, 2,5 mA/Mips, et deux modes de réduction de consommation. Boitier QFP 100, prix \$ 15,95 en lots de 1000.

C53 utilise un adressage réduit à 18 bits, avec 16 Kmots de ROM et 4 Kmots de RAM.

C56 et C57 comprennent de même 32 Kmots de ROM et 6 Kmots de RAM double accès.

Cette série supporte des variations de température quasi militaires, -40 à +85°C. Elle est destinée au téléphone cellulaire, à la gestion de disques durs, et au multimedia.

A la même époque, TI essaye aussi de s'aventurer dans le domaine des logiques programmables, avec le C25A, réalisé en CMOS 0,8 μ et comprenant, à côté d'un C25 poussé à 60 MHz (15 Mips), un jeu de 15000 portes en réseau de la famille TGC 1000 ou TEC 1086 ; ou encore un codeur A/N 8 bits et un décodeur N/A 8 bits, tout en conservant 10000 portes. Il y a aussi le mode veille et une PLL pour horloges multiples. Présenté en QFP 100 ou 144, et livré avec le logiciel de programmation approprié. Cet essai n'aura pas de suite.

En 1994 apparait le TMS 320C80, un multiprocesseur destiné au multimédia, réalisé en CMOS 0,5 μ et présenté dans un PGA de 305 broches. Ce monument qui représente 4 M transistors rassemble sur une seule puce pas moins de quatre DSP ainsi qu'un processeur RISC de gestion des communications.

Ce MVP (Multivideoprocessor) peut fournir 2 Gops, et effectuer toutes les applications video liées aux normes H320 (incluant H251), G278 audio, MPEG et JTEG compression, accélérateur graphique X11R6 manipulant 30 fois par seconde des images 352 * 240 pixels. Voir fiche.

Prix de vente \$ 400 en lots de 10000 à partir de 1985.

Un C82 contenant deux DSP au lieu de quatre, avec une SRAM de 44 KB et un potentiel de 1,5 Gops, est disponible au début de 1997.

En mars 1995, naissance de la série C54x, qui reprend la conception générale des C5x avec quelques extensions : période 20 ou 25 ns, c'est-à-dire fréquence du quartz 50 ou 40 MHz, instructions 16 bits, données 16 ou 32 bits, ALU et décaleur 40 bits avec deux accus, multiplieur algébrique 17 * 17 disposé devant l'accu pour constituer un MAC, opérateur spécialisé CMPS pour l'algorithme de Viterbi, deux générateurs d'adresses avec 8 registres, 3 bus de données, mais rejet en mémoire de la pile contextuelle. La mémoire adressable est réduite à 192 Kmots, ce qui n'est probablement gênant parce qu'il est désormais possible de placer tous les besoins en mémoire interne.

Les périphériques sont deux ports série et un nombre quelconque de ports parallèle à travers le bus. On peut aussi mentionner un séquenceur, un générateur d'états d'attente pour le bus, un générateur d'horloge à PLL, et un JTAG pour tests et émulation. Les modèles proposés sont :

C541, destiné aux terminaux, avec 28 Kmots de ROM et 5 Kmots de RAM, boîtier TQFP de 100 bornes.

C542, destiné aux stations, avec 2 Kmots de ROM interne et 10 Kmots de RAM, utilisant donc essentiellement des programmes externes. Présentation en TQFP 128 bornes.

LC543, apparu en fin d'année, vise le même objectif et ne diffère du 542 que par l'alimentation 3 Volts et les dispositifs d'économie d'énergie.

LC544 destiné au GSM dispose de 24 Kmots de ROM et 4 Kmots de RAM.

LC545 et 546 contiennent 48 Kmots de ROM et 5 ou 6 Kmots de RAM, respectivement. Boîtiers TQFP 4 * 36 broches (flatpacks).

LC548 pour stations dispose de 2 Kmots de ROM interne et 32 Kmots de RAM. C'est le premier

DSP proposé avec une version CP = 15 ns, 62 MHz.

En mai de la même année, Texas renouvelle également sa gamme C2x avec les modèles C20x, délibérément minimaux pour pouvoir être vendus à bas prix. Comme les précédents, ils sont compatibles avec les C2x antérieurs :

C203 (CP = 25 / 35 / 50 ns), ROM complètement externe à part le bootstrap, RAM 544 mots.

C204 (id), ROM 4 Kmots, même RAM.

C209 (CP = 35 / 50 ns), ROM 4 Kmots, RAM 4,5 Kmots. Pas de sortie série.

Nous avons un peu plus de détails sur deux modèles apparus en 1996, dont la nouveauté consiste en une mémoire flash de 32 Kmots pour les programmes, accompagnée de trois RAM plus ou moins spécialisées totalisant 4,5 Kmots. Fréquences quartz 80, 57, 40 MHz donnant des CP de 20 / 28,5 / 40 ns, respectivement. CPU comportant décaleur en barillet 16 bits et multiplicateur 16 * 16 devant une ALU 32 bits suivie d'un accu 32 bits ; deux autres décaleurs, l'un avant l'ALU (0, 1, 4, - 6 positions) et l'autre derrière l'accu (0 à 7 places); registres T 16 bits et P 32 bits, 8 registres auxiliaires, 2 registres d'état, pile 8 niveaux.

Périphériques : 64 Kmots adressables par le bus à travers une voie spécifique, un port série synchrone et un port asynchrone, séquenceur, horloge avec PLL.

F206, conforme à ce modèle, septembre 96, boîtier TQFP 100 bornes.

F207, renforcé d'un port synchrone et d'un port parallèle local, boîtier TQFP 144 bornes.

En 1996 apparaît aussi une famille F / C240, 20 Mips sous 5 Volts, destinée à la commande de moteurs sans balai. Les puces contiennent une mémoire étroitement adaptée à l'application, un CPU, un chien de garde, les interfaces bus et horloge, un convertisseur A / N 10 bits, des sorties parallèles et série, et un gestionnaire d'événements :

F242 est destiné aux moteurs de machines à laver et n'a pas besoin du bus, seulement de 8 Kmots de mémoire flash. Très supérieur aux micros 8 bits utilisés jusque là, ils est vendu 5 \$.

F241 contient aussi 8 K mots de flash, C241 est 8 Kmots de ROM et C242 est 4 Kmots. Ces modèles ont 3 timers au lieu de 2, 12 comparateurs au lieu de 8, un codeur accéléré à 850 ns au lieu de 6 μ s, et une interface série SPI capable de 5 Mbit/s en mots ajustables de 1 à 16 bits. Ils sont vendus 7 à 12 \$.

F243 contient la même chose, mais il a une interface bus de 16 bits pour mémoire externe.

Fin 96, TI présente à des clients choisis des échantillons de processeurs destinés au monde de la TV et du multimedia. Le but est de convaincre ces donneurs d'ordres que TI est capable de réaliser à la demande des ASIC complexes pour codage de voix ou d'images, correction d'erreurs, cryptage, démodulation, etc... Voir la fiche de l'un d'entre eux, le TMS 320 AV7110.

En février 1997, Texas annonce la série C62x, une nouvelle architecture de DSP 16 bits qui recherche la performance dans le parallélisme, avec des instructions VLIW : 8 instructions de 32 bits sont approvisionnées simultanément et distribuées à deux groupes de calcul, dont chacun dispose de ses registres et de ses opérateurs. Voir fiche.

Le C6201, capable de 1600 Mips à 200 MHz, réalisé en CMOS 0,25 μ , est échantillonnée en début de cette année. Les commandes prises à partir d'avril aboutissent à une production en série en juin, commercialisée au prix de 96 \$ en lots de 25000 unités. En même temps devient disponible un atelier logiciel complet, utilisable sur PC (\$ 2995) ou sur station Sun (\$ 4995).

Le C6203, en CMOS 0,18 μ , est annoncé au 3ème trimestre pour échantillonnage en fin d'année : il contient 7 Mbits de mémoire SRAM et délivre 2400 Mips à 300 MHz, avec une alimentation entre 1,5 et 3,3 Volts et une consommation qui reste raisonnable, 330 mW sous 1,5 V.

Les dernières années de notre période d'étude sont remplies de nouveautés, mais ce que nous en connaissons provient d'extraits de presse qui ne permettent guère une synthèse. Nous mentionnons ce que nous avons recueilli :

3 / 98 : dans la famille 54x destinée au GSM, le nouveau C549 dispose de 16 Kmots de ROM et 32 Kmots de RAM dans l'architecture précédemment décrite, réalisée en CMOS 0,25 μ fonctionnant sous 2,5 Volts. Le débit est de 100 Mips. Présentation en boîtier BGA 144 billes, ou TQFP.

5 / 98 : annonce d'une nouvelle famille C67x de DSP en virgule flottante, avec en premier lieu un C6701 qui écrase provisoirement de sa puissance tous les concurrents, à cause de sa vitesse de 167 MHz (CP = 6 ns). Son organisation générale est très semblable à celle des C62x, mais avec 32 registres de 64 bits. La mémoire interne représente 2048 instructions de 256 bits, avec une activité de 1000 MFlops en pointe, 500 à 700 en rythme soutenu. La mémoire de données contient 16 Kmots de 32 bits, mais elle peut travailler en 8 / 16 / 32 / 40 et 64 bits, et elle est découpée en deux modules indépendants. L'interface de la mémoire externe est prévu pour s'adapter non seulement aux SRAM asynchrones classiques (qui ne permettent pas plus d'un accès pour

deux CP), mais aussi aux SDRAM et aux SBSRAM, SRAM synchrones accessibles par rafale, qui débitent un mot par CP mais après trois CP pour amorcer leur pipeline : on voit que pour profiter réellement du débit de calcul, soit 1 GFlop/s en pointe, il ne faut pas exécuter les programmes depuis la mémoire externe, mais plutôt charger d'abord le cache.

Les périphériques comprennent une interface bus de 32 bits avec 4 DMA, une interface hôte 16 bits, 2 ports série tamponnés à 83,4 Mbit/s, et un port série HPI fonctionnant à raison d'un mot par 4 CP. Au total, les entrées / sorties peuvent débiter jusqu'à 400 MB/s. Il y a aussi deux timers, le Jtag et l'émulation, et le mode veille programmable pour l'économie d'énergie.

Les interruptions nécessitent 11 CP pour vider le pipeline et prendre en compte l'adresse associée.

Réalisé en CMOS 0,2 μ , ce processeur consomme 4 Watts pour une tension d'alimentation de 1,8 V en interne et 3,3 V en entrées / sorties. Son boîtier BGA et son bornage 26 * 26 en quatre rangs de billes sont interchangeable avec ceux du C62x, et les logiciels le sont également. Ce processeur est vendu \$ 144 par quantités de 25000.

Après cela, et tout en laissant entendre que des développements à 3 GFlops sont prévus, Texas va d'abord annoncer des versions moins ambitieuses pour meubler l'intervalle entre le C6701 et les derniers C3x ; ce seront le C6711 à 900 MFlops, vendu en kit d'essai pour \$ 295, puis le 6712 qui descend à 600 MFlops en travaillant à 100 MHz seulement. Ces deux DSP disposent d'une mémoire à deux niveaux : 512 Kbits formant cache L2 sont communs à tous les usages et reliés au bus, puis deux caches de 4 KB desservent bloc de commande et bloc de calcul dont l'organisation est inchangée. Les entrées / sorties ont été améliorées : le DMA porté à 16 canaux peut débiter sur le bus jusqu'à 800 MB/s, et les ports série tamponnés peuvent desservir jusqu'à 128 canaux. Ces produits de série sont très bon marché : le 6712 ne coûte que \$ 9,95 en lots de 100000, et \$ 21,80 en petits lots de 1000 ; le 6711 à 150 MHz et 900 MFlop/s coûte \$ 35 dans les mêmes conditions.

11 / 98 : en descendant par réduction photographique ses C54x au CMOS 0.18 μ , Texas annonce un C5402 en virgule fixe, livrable en juin 99 pour le marché des téléphones cellulaires. Il contient 16 Kmots de SRAM, 4 Kmots de ROM et un contrôleur DMA à 6 canaux, et délivre 100 Mips à 100 MHz, tout en ne consommant que 60 mW sous 1,8 Volt. Il coûte \$ 5 en lots de 50000.

Comme ce nouveau process fait gagner de la surface, TI est aussi en mesure de proposer un C5420 qui intègre deux coeurs de 5402, soit 200 Mips à 100 MHz, avec 200 Kmots de SRAM, 12 voies DMA, 6 ports série multicanaux tamponnés. Même date de livraison, prix \$ 55 en lots de 50000.

4 / 99 : le VC33 est un prolongement vers le haut de l'architecture C3x à virgule flottante, rendu possible par le process CMOS 0,18 μ , et proposé en deux versions 120 MHz (120 MFlops, 60 Mips) à 5 \$ par lot de 100000, et 150 MHz à 8 \$. Equipé de 32 K mots de RAM 32 bits, et de tous les périphériques des C3x, ce C33 consomme 0,2 W sous 1,8 V. Livraison en juin 2000 en boîtiers TQFP 144 bornes.

Fin 99 : la famille virgule fixe C62x s'est développée au cours de l'année avec un C6202 à 250 MHz, des C6204 et 6205 à 200 MHz, un 6211 à 150 MHz., mais le procédé CMOS 0,18 μ permet d'aller plus loin. TI annonce les C64x, qui reprennent la même architecture avec des fréquences de 600 et 800 MHz, et l'aptitude à monter à 1100 MHz un peu plus tard.

Ces nouveaux CPU contiennent 32 registres 32 bits dans chacun des deux processeurs, qui se décomposent chacun en quatre opérateurs simultanés : Load / Store sur 32 ou 64 bits, MAC autonome, S UAL avec décaleur et L UAL sans . 10 opérations nouvelles sont ajoutées au répertoire, d'inspiration MMX, pour effectuer l'arithmétique, y compris les MAC, sur 32 bits, ou 2 * 16 bits, ou 4 * 8 bits, atteignant ainsi des sommets de 4800 à 8800 Mips global ; cela comprend des opérations très spécifiques, comme la multiplication dans un corps de Galois (bien utile pour le décodage Reed Solomon), ou la mesure des distances entre résultats 8 bits simultanés (commode pour l'algorithme d'estimation de mouvement en MPEG).

Le compilateur C prend en charge ces instructions par paquets et leur optimisation. De façon plus générale, tout code écrit pour un C62x pourra être accepté pour un C64x. Ces DSP sont destinés aux communications, par exemple l'ADSL multivoie, et à l'imagerie médicale.

Fin 99 : au delà de la famille 54x qui a été étendue entre temps avec un 5410 et un 5409 de 100 Mips, un 5416 de 160 Mips, un 5421 de 200 Mips (2 processeurs) et un 5441 de 532 Mips (4 processeurs), TI reprend ses dessins pour proposer à partir du même procédé une famille C55x capable de donner les mêmes performances avec une consommation divisée par 4 (50 μ W / Mips à 0,9 Volt et 300 MHz) et un large répertoire d'économies d'énergie : en particulier, découpage de la structure en six domaines qui peuvent indépendamment mis au repos, avec un total de 64 modes de veille (CPU, caches, périphériques, DMA, horloge, BIU).

Les nouveaux C55x comportent une douzaine de bus internes dont un bus de mémoire externe porté à 32 bits, 3 bus de lecture 16 bits et deux bus d'écriture 16 bits liés au cache de données, et six bus d'adresses 24 bits. Le bloc de calcul se compose de 4 registres de données, deux MAC 17 * 17 -> 40 bits, 4 accumulateurs 40 bits, un décaleur 40 bits capable de -32 à +31, un opérateur CMPS sur 40 bits, une autre UAL de 16 bits, et 3 générateurs d'adresse disposant de 8 registres auxiliaires. Le bloc de commande commence par un tampon d'instructions dans lequel on optimise l'allocation de ressources en restructurant en 8 / 16 / 24 / 32 / 40 / 48 bits les opérations du répertoire, qui en y entrant sont compatibles C54x ; moyennant quoi un mot VLIW pourra ensuite comprendre un nombre variable d'instructions.

Il semble à ce stade exister quatre produits : deux versions à 400 et 800 Mips où l'accent est seulement mis sur l'efficacité, et deux versions à 150 et 600 Mips où l'objectif est à chaque instant la minimisation de la consommation d'énergie. Mais on ne connaît pas leurs sigles.

Ces DSP sont destinés aux futurs portables mêlant son et video, tels que le WAP ou les cameras et appareils photos numériques.

9 / 2000 : TI annonce de nouveaux membres de la famille C24x fonctionnant à 40 MHz, mais surtout une nouvelle famille C28x réalisée en CMOS 0,13 μ : espace d'adressage

programme de 8 MB, espace d'adressage données de 8 GB, architecture 32 bits avec un MAC 32 * 32 en un CP, temps de réponse aux interruptions réduit à 20 / 40 ns, et tout cela servi par un code compatible avec celui des C24x.

Mise en service au début de 2001.

566 - Teragen

Cette start-up propose une architecture basée sur le fonctionnement en parallèle de microprocesseurs très simples baptisés Microthreads, exécutant un jeu d'instructions propriétaires VLIW provenant d'une ROM. L'ensemble de ces unités d'exécution est géré et cadencé par un contrôleur interne à la puce.

En mars 1999, la société Teragen prétend démontrer le concept en construisant sur une puce de démonstration un coeur de 8051 (8 bits) avec ses périphériques, le tout fonctionnant à 250 MHz . Compte tenu que les processeurs fonctionnent en parallèle, il semble possible d'étendre ce principe à des machines 16 ou 32 bits en juxtaposant des threads.

Au moment où on rédige cette synthèse, il semble bien que Teragen n'ait pu tenir la distance, et aucun microprocesseur de la société n'est parvenu jusqu'à la presse technique.

567 - La Connection de Thinking Machine

Cette société naît en 1983 autour d'une idée de calculateur parallèle , qui obtient un contrat de recherche de la DARPA. Il s'agit de relier entre eux, selon le schéma Hypercube, 64536 noeuds dont chacun est, par souci d'économie, un processeur travaillant sur 1 bit, et comprenant 384 bits de registres, de mémoire et de logique. Pour la démonstration, des groupes de ces processeurs sont rassemblés sur des réseaux de portes CMOS, à raison de 10000 portes par puce ; si la première démonstration réussit, il est envisagé d'étendre la structure à 1 million de noeuds. Puisque le problème étudié portait davantage sur les communications dans le réseau que sur un quelconque calcul, la machine avait reçu le nom de Connection Machine.

Dès mai 86, la société était assez confiante en son concept pour annoncer la commercialisation d'une machine de 16 K processeurs, avec 512 bytes de mémoire par noeud, pour 1 M\$; ou d'une machine de 64 K processeurs et 32 MB de mémoire pour 3 M\$. Et elle recevait immédiatement des commandes de la DARPA, du MIT, de l'Université de Yale, et de la société Perkin Elmer.

Ces prestigieux patronages aidèrent au lancement, et au 1 / 1 / 91, on dénombrait quelque 60 machines en service dans le monde. Le Modèle CM2G de 65536 processeurs, avec 512 bytes de mémoire par noeud, se composait de 128 cartes de 32 puces, contenant chacune 16 processeurs et leurs 8 KB de mémoire. Il disposait de 60 GB de disques capables de débiter 30 MB/s.

Le système d'exploitation développé avec le soutien de la DARPA comprenait un batch et un moniteur multiterminaux, une interface X Windows vers les terminaux, un protocole HIPPI d'interconnexion parallèle à 100 MB/s, et trois compilateurs C , LISP et Fortran 90, avec une bibliothèque scientifique. Le test Linpack, effectué en 3 / 90, donnait 5,2 GFlops.

A titre d'exemple, on peut citer l'organisation d'un centre de calcul CM2 particulier, autour d'un crossbar 4 * 4 voies. Sur l'une des coordonnées, on trouve 4 groupes de 8 Kprocesseurs qui, pour des raisons économiques, ont été achetés comme une machine unique, mais que l'organisation n-cube permet de traiter indépendamment ; deux de ces hypercubes gèrent des entrées / sorties, cad un multiplexeur 8 voies relié d'un côté au groupe par un tampon et un canal 64 bits, et de l'autre à deux armoires de 42 disques, stockant des mots de 32 bits + 7 ECC. Les deux autres hypercubes desservent des consoles graphiques.

Sur l'autre coordonnées, le crossbar est relié à 4 ordinateurs, trois VAX 8800 et un Sun4.

Autre exemple, le SEH, Site Experimental en Hyperparallélisme organisé à l'ETCA, Paris, France, en 1990 : l'hôte est un VAX 6320 avec 1200 MB de disques, plusieurs consoles, une imprimante laser, etc... Sur le bus de ce VAX sont connectés :

- une mémoire à disques de 10 GB ;
- un calculateur Symbolics 3650 avec 700 MB de disques ;
- un calculateur Symbolics 3620 ;
- un calculateur Sun 4/260 avec 1200 MB de disques ;

La CM2 comprend 16384 processeurs et 512 coprocesseurs et dispose de deux moniteurs couleur de 1024 * 1280 pixels pour expérimenter son aptitude à générer des images tridimensionnelles dynamiques. Elle est reliée au VAX, au Sun et au Gigadisque.

Ces diverses machines sont largement indépendantes, leurs liaisons étant essentiellement destinées à des échanges de résultats : le VAX et le Sun travaillent sous Unix, les Symbolics en LISP ; la CM, qui est le principal objet de l'étude, fonctionne avec des logiciels expérimentaux.

Troisième exemple, et sans doute le plus intéressant pour l'entreprise : la DARPA, satisfaite du résultat de son premier contrat, en accorde un second, portant sur une connection de 1 million de processeurs, baptisée Teraops, ou Mega. Signé en 11 / 89, le contrat débute avec un versement de M\$ 12 ; il est prévu qu'il n'aboutira qu'en 1995, et coûtera 80 M\$. Mais il n'ira pas jusqu'au bout.

On peut résumer cette première période de l'histoire de TM en indiquant, d'après une enquête spécialisée d'IDC sur les processeurs parallèles, qu'en fin 89 TM venait au 5ème rang des firmes américaines engagées dans la production de machines parallèles, avec 7,2% = 55 machines, derrière Intel Scientific (205), N Cube (200), BBN (189) et AMT (76) ; et derrière TM, il n'y a que 4,6% = 35 autres machines. Mais ces chiffres en nombre sont trompeurs parce que les Connexion Machines sont chères, de sorte que TM détient à cette date, avec 102 M\$, 44% de la valeur de ce parc très spécial.

Le 4 juin 91, TM annonce la CM200, qui reprend le concept de la CM2 avec un renouveau technologique. Cette machine a fait l'objet d'un benchmark qui a démontré une activité de 9,03 GFlops. Cependant, et bien qu'elle ait sans doute été produite et commercialisée, TM nourrit de plus grandes ambitions. En 1992, celles -ci se concrétisent avec l'annonce de la CM5, une machine très différente de son projet initial, et dont le noeud est un microprocesseur RISC SPARC de 22 Mips associé à une grosse mémoire .

Celle-ci peut comporter jusqu'à 32 MB ECC : dans ce cas ultime, la mémoire organisée en 4 bancs peut gérer de 1 à 4 pipelines vectoriels de 64 bits, capables de 32 MFlops en pointe.

Le réseau d'interconnexion n-cube peut comprendre de 32 à 16 K noeuds, et toutes les voies sont contrôlées en permanence par CRC.

Le système d'exploitation CMOST qui gère cet ensemble est recopié dans plusieurs des noeuds baptisés "partition managers", ce qui permet d'allouer des noeuds aux problèmes en time slicing ; les autres CPU ne contiennent qu'un petit noyau, essentiellement le dispatcher. X Window, le batch et le temps partagé sont disponibles dans chaque partition. Les relations avec le reste du monde sont gérées par Unix, qui dispose d'un Ethernet 10 Mbit/s pour les terminaux locaux, d'un FDDI à 100 Mbit/s pour les liaisons de campus ou d'entreprise, et d'un canal HIPPI à 1000 Mbit/s pour les disques.

Trois réseaux internes ont accès à tous les noeuds :

- le réseau de commande charge les programmes
- le réseau données peut débiter 20 MB/s par noeud, et globalement 5 GB/s pour 1000 noeuds.

- le réseau diagnostic appartient au système, et il est inaccessible aux applications.

La programmation se fait en Fortran 77, converti par un programme CMAX en CM Fortran vectoriel, qui dispose d'une bibliothèque scientifique CMSSL. En dehors des problèmes de cette classe, il existe un C parallèle et un LISP parallèle, ainsi qu'un outil de débogage PRISM, associé à un éditeur conversationnel.

On se doute qu'un gros CM5 coûte un prix exorbitant, de sorte qu'il y en a peu. Le bas de gamme à 32 processeurs, baptisé CM5 Scale 3 parce qu'il est organisé en cubes à trois dimensions, est principalement proposé comme serveur, avec des noeuds de calcul distincts des noeuds de disques, chacun pouvant servir jusqu'à 8 disques de 3,5" de diamètre cumulant 9,6 GB organisés en RAID 3 dans une armoire CM5. Un tel système peut délivrer jusqu'à 4,5 GFlops pour un prix de 750000 \$. L'organisation la plus complexe, comprenant 384 noeuds, peut gérer 3 TB de disques avec un débit de 4 GB/s. Le système d'exploitation est Unix.

La dérive s'accroît en 1994 avec la CM5E, qui reprend cette même conception de processeur vectoriel autour de noeuds Supersparc à 40 MHz. La mémoire est quadruplée, et un noeud vectoriel peut atteindre 160 MFlops.

Une machine à 16 CPU, avec 512 MB de mémoire, peut délivrer 2,5 GFlops pour M\$ 1,1.

Malheureusement, TM s'était comme beaucoup d'autres trompée sur l'évolution du marché des machines scientifiques. Cette même année 1994, elle se retrouve avec 20 M\$ de pertes sur un CA toujours minuscule de 80 M\$, ayant vendu un total de 112 machines : nous disposons des chiffres de ventes, soit 20 machines en 1991, 28 en 1992, 34 en 1993, ce qui montre que le produit avait une clientèle.

Cependant, les grandes ambitions techniques ont un prix, et TM aurait dû se chercher plus tôt un solide soutien financier. Ayant invoqué la protection du chapitre 11, c'est-à-dire reconnu sa faillite et promis de se restructurer pour en sortir, la société doit se décider à abandonner la production de matériels et disparaître de notre horizon.

568 - Time / Data Corporation

Cette société s'est spécialisée, à une époque où la performance des ordinateurs était très limitée, à construire des processeurs temps réel pour les études de phénomènes physiques ou biologiques.

Le T/D 90 (photo) est un processeur câblé contenant la logique nécessaire à 6 problèmes temps réel de son époque, à savoir : FFT (1000 mots traités en 28 ms), transformée inverse de Fourier, autospectre, moyenne spectrale, lissage linéaire, lissage quadratique. Il est conçu pour servir de périphérique à un calculateur universel, à travers l'adaptateur PC 91 ; il contient aussi un adaptateur PC 93 pour calculateurs analogiques, et un adaptateur PC 92 pour visualisation. Prix \$ 38000 .

Cette machine fait suite à un T/D 100 qui prenait en 1968 300 ms pour le même travail.

569 - Transmeta

Constatant, comme Intel le fait d'ailleurs lui-même, que le répertoire x86 n'est plus du tout adapté à une exécution efficace, et qu'il est par ailleurs si fortement implanté qu'on ne peut le changer, ce bureau d'études a travaillé 5 ans dans le secret pour définir un microprocesseur d'exécution parallèle travaillant avec un logiciel dit de "code morphing" qui fait la conversion, en vue de battre les performances des machines Intel. IBM a servi de fondeur pour le TM3120 de 77 mm², CMOS cuivre 0,22 μ , en production début 2000 en trois versions travaillant à 333, 366 et 400 MHz, prix de 65 à 89 \$. Lui succède chez IBM un TM5400 de 73 mm² en CMOS cuivre 0,18 μ , 500 à 700 MHz, 119 à 329 \$.

L'idée n'est pas de concourir pour les PC, mais pour l'embarqué, grâce à une économie d'énergie sophistiquée, consistant dans un dosage fréquence / tension à 32 étapes, ajustable de l'extérieur : par exemple, pour le 5400, 1,1 à 1,6 Volt pour une variation de 200 à 700 MHz par pas de 33 MHz. La consommation du 5400 à 700 MHz n'est que 1 à 2 Watts, ce qui avantage clairement Transmeta pour son objectif, les blocs-notes.

La puce est baptisée Crusoe et ne travaille pas seule, mais entourée de son logiciel code morphing placé sur mémoire flash, qui est l'interlocuteur aussi bien du BIOS que du système d'exploitation (Windows, Linux) ou des applications. Voir fiche pour l'organisation de la puce.

570 - Les Powerframes de Tricord System

Cette société de Minneapolis nous est connue par ses serveurs Powerframes. A cette époque, 1993, c'est une petite société qui affiche un CA de 80 M\$ avec un bénéfice satisfaisant de 9 M\$. Elle est représentée en France par Alfatronics.

Son plus ancien produit, le Powerframe ES 5000, est un biprocesseur 486, 25 ou 33 MHz, avec cache 256 KB devant chacun des CPU. Sur le bus propriétaire 32 bits, capable de 132 MB/s, on trouve encore la mémoire, 2 (2) 8 MB, et les entrées / sorties. Pour les mémoires de masse, il s'agit de deux pseudo

contr

leurs SCSI réalisés avec des 386, et acceptant disques et bandes de sauvegarde. Il y a en outre un bus EISA 8 / 16 / 32 bits, capable de 32 MB/s, destiné à la connexion de cartes réseaux.

Les Powerframes ES 4000 et 3000, du plus ancien au plus récent, sont des multiprocesseurs, contenant de 1 à 4 CPU, 486 ou Pentium respectivement, associés par le même bus à une mémoire pouvant atteindre 1 GB avec ECC. L'armoire contient 9 slots selon norme EISA, et offre de la place pour 162 GB de disques sous contrôleur SCSI, disques qui peuvent être gérés en RAID 0 / 1 / 4 / 5 au choix de l'acheteur. Les logiciels proposés sont OS2 SMP et Netware 4, choix audacieux qui suppose une clientèle bancaire. Prix à partir de \$ 32000.

571 - Triquint et l' AsGa

Cette société est un intégrateur pour l' arséniure de gallium, une spécialité très pointue et très exclusive qui limite ses ambitions tout en lui garantissant une niche technique.

Triquint dispose en 1 / 90 de cellules variées, analogiques et numériques, capables de fonctionner jusqu'à 2 GHz : ROM de 4 Kbits, jeux de portes, amplificateurs, oscillateurs, comparateurs, convertisseurs A / D et D / A, drivers. Avec ces briques, il sait générer des composants jusqu'à 128 broches et 10000 portes. L'alimentation est 5 Volts.

Triquint est représenté en France par Tektronix.

572 - Tracor Applied Sciences

Cette société s'est formée vers 1970 pour proposer un système de temps partagé d'entreprise, le TDS 1255, avec un processeur à mémoire virtuelle spécialement conçu, 512 KB de mémoire, des dispacs de 8, 16 ou 32 MB adressables en Fortran, et jusqu'à 16 terminaux.

Pour un prix de base de \$ 2700 par mois, on peut obtenir un système d'exploitation mêlant le batch au temps partagé, une bibliothèque mathématique, un éditeur, une gestion de fichiers, un débogueur, et une comptabilité incorporée.

La société a certainement de multiples compétences, car nous ne la retrouvons qu'en 1985, où elle réalise un calculateur monocarte pour le radar AN / APG 67 de l'avion F20, également utilisé pour la sonde spatiale Galileo. Equipé d'une microprogrammation horizontale, il peut à la demande émuler les architectures 1750A ou AN / UYK 20. La technologie est CMOS / SOS.

Dans la configuration 1750 A, il comporte un adressage 16 bits pouvant atteindre directement 65536 mots, ou 1048576 avec MMU. Il sait exploiter 16 registres, des instructions 16 et 32 bits, des données 8 / 16 / 32 bits en virgule fixe, 32 ou 48 bits en flottant.

En 1993, en association avec HNC Inc., il réalise le SNAP 32, vainqueur du Gordon Bell Prize de 1993 dans la section "rapport prix / performance" avec 7,5 GFlops par M\$.

Il s'agit du SIMD Numerical Array Processor, qui comprend :

- un processeur universel Balboa 860, à base de microprocesseur i860 avec 16 à 64 MB de mémoire, pour la commande du système.

- des cartes contenant 4 noeuds, chacun constitué par une puce HCN 100 groupant 4 processeurs à 20 MHz et 512 KB de mémoire locale, plus 1,5 MB de mémoire partagée. Chaque CPU contient un multiplieur flottant et une UAL qui fait l'addition flottante et l'arithmétique entière.

Un SNAP 32 à 2 cartes, comprenant donc 32 processeurs disposés en anneau, peut délivrer 1,3 GFlops.

Le B860 fait le travail séquentiel et transfère les travaux parallèles aux CPU à partir d'une bibliothèque, en même temps que des pointeurs de données en mémoire globale.

Le contrôleur de SNAP, ayant diffusé les pointeurs aux CPU, distribue ensuite les opérations à tous au rythme de 50 ns par opération Add ou Load. Prix \$ 54000.

Le SNAP32 a effectivement démontré un travail à 400 MFlops sur un problème de calcul de spectre.

573 - Trilogy

C'est vers 1983 que Gene Amdahl, voyant arriver le moment où il ne serait plus majoritaire dans sa propre société, de plus en plus soutenue financièrement par le japonais Fujitsu, décide de vendre ses parts et de laisser la compagnie qu'il avait créée poursuivre sans lui, mais toujours sous son nom, son existence de plus en plus difficile de "compatible IBM". Son fils, dont la société Magnusson de compatibles bas de gamme venait de faire faillite, le rejoignait pour une entreprise commune.

Il est difficile d'obtenir une seconde fois des capitaux pour faire la même chose que la première fois, et c'est pourtant ce qu'essayent Amdahl père et fils, avec un projet plutôt risqué : agrandir le concept de circuit intégré à la taille des tranches de silicium, soit 3" à l'époque, de manière à placer un processeur complet sur un très petit nombre de circuits. Les avantages attendus sont :

- fiabilité très accrue, avec l'objectif d'un MTBF de 32000 heures, grâce à la suppression de la plupart des soudures et connecteurs.

- raccourcissement de toutes les liaisons, autorisant l'accroissement de la fréquence de travail.

On peut ainsi espérer placer 20000 à 40000 portes ECL sur un seul circuit logique de 6 cm de côté, mais il est impossible de fabriquer un tel circuit sans défaut. Il faut donc mettre au point quelques améliorations technologiques majeures :

- incorporer à la logique assez de redondance pour que, à la suite de tests approfondis et automatiques, on ait une probabilité élevée de trouver sur chaque circuit assez de composants sans défauts pour qu'il soit en mesure d'accomplir sa tâche.

définir les masques de câblage métallique tranche par tranche, et de façon automatique, puisqu'après les

tests les composants en bon état ne sont jamais aux mêmes emplacements d'une tranche à l'autre.

A supposer que ces problèmes soient résolus, le projet industriel consistait à construire, face à la performance x de la plus puissante machine IBM, trois machines de

puissance 2x, 3x et 4x. Avec un calendrier réaliste, cela voulait dire 20 à 60 Mips pour ces trois unités centrales. L'alimentation électrique faisait aussi partie du projet, avec la définition d'une alimentation 5 V, 1750 watts, miniaturisée : si n de ces alimentations étaient nécessaires dans une machine, on en prévoyait n + 2. Une politique d'autotests permettrait de déceler les incidents logiques avant qu'ils aient des conséquences sérieuses, l'ordinateur appelant lui-même par téléphone la compagnie vendeuse pour définir les réparations à effectuer : toutes ces idées sur les alimentations, les autotests et le télédépannage étaient raisonnables et d'ailleurs IBM les a appliquées à ses propres machines.

Par contre, les problèmes de base étaient si difficiles que des années s'écoulaient sans qu'émerge une solution viable, les actionnaires (entre autres, Sperry Univac) se décourageant l'un après l'autre. Finalement Trilogy sera absorbée par ELXSI, une société à capitaux singapouriens qui échouera un peu plus tard, elle aussi, à commercialiser un ambitieux projet de grand ordinateur.

574 - Les compatibles de Two Pi

Cette société de Hayward, Cal, se lance vers 1976 dans l'industrie des compatibles IBM, avec des capitaux divers et notamment une participation de Philips USA suffisante pour qu'elle se déclare "subsidiary" dans sa publicité. Elle propose avec sa V32 une machine 32 bits compatible avec la 370 / 138, mais allégée de tout ce qui ne sert pas à l'informatique distribuée. Voir fiche.

Two Pi n'étant qu'un fabricant doit se trouver un commerçant, qui sera National SCC . D'où le nom de NCSS 3200 sous lequel elle est commercialisée avec quelque succès, uniquement en OEM au départ. En 1980, il y aura en outre une tentative d'en faire un système de temps partagé, avec base de données NOMAD.

En 1981, Two Pi devra renouveler son offre, passant du TTL au TTLS avec la V33, capable initialement de 500 Kops avec un objectif 1 Mops pour la suite. Il n'y aura pas de suite, cependant, pour cause de compétitivité retrouvée chez IBM, de sorte que Philips vendra sa participation à Four Phase, qui ne souhaitera pas poursuivre dans la même voie.

575 - Ultimacc

En février 1971, la société Ultimacc System est créée pour commercialiser un minicalculateur de bureau assemblé autour du Nova 1200. Le système est proposé avec bande magnétique 32 KB/s ou cassette 1,8 KB/s, disque 2,5 MB débitant 200 KB/s, lecteur de cartes 267 cpm, imprimante 135 à 300 lpm, ME 30 avec ledger cards, ME 165, et même IP 900.

Le logiciel se compose d'un DOS de 3 KB, avec assembleur, Basic, tri, et quelques applications. Il est censé supporter jusqu'à 15 terminaux.

Prix : une machine dotée de 12 KB de mémoire, avec disque de 5 MB, est louée \$ 1075 / mois, ou vendue \$ 50900 avec un contrat d'entretien de \$ 200 / mois. 8 machines avaient été vendues à la mi 72 sous le nom de Ultimacc Disc.

Malgré ce modeste succès, la société sera achetée par STC Systems, fabricant de compatibles qui souhaitait disposer d'une filiale spécialisée dans les fournitures "clé en main". Complétée de compilateurs Cobol et Fortran, la machine se vendit mieux, surtout après que le CPU initial ait été remplacé par un Nova 3 : 128 machines avaient été vendues en fin 1977.

Devenu Ultimacc System Group de STC, la compagnie entreprend, en 1983, de commercialiser un processeur compatible IBM, à base de M 80 . L' USX 39 n'a pas de cache, l' USX 40 dispose d'un cache 16 KB, mais le but est de placer des disques STC du type 3350 et des bandes STC du modèle 4500. Le logiciel, acheté à IBM, comprend DOS, VM et SSX.

Prix : un USX 39 avec 2 MB de mémoire, 3 canaux, un contrôleur de disques, une bande et une IP 1200 est vendue K\$ 167, ou louée 5688 \$/mois. Une USX 40 de même configuration coûte K\$ 205 ou 6973 \$/mois. Le succès très modéré prend fin avec la faillite de STC, qui passe sous la protection du chapitre 11 et doit se restructurer, ce que d'ailleurs elle fera avec succès (voir Standard Technology).

576 - Underwood Corporation

Cette société, connue avant la guerre pour ses machines à écrire, accepte en 1950 un contrat de l'US Ordnance pour la construction d'une machine à calculer, sur sollicitation de l' Aberdeen Proving Ground qui se proposait de vérifier numériquement l'allure des calculs confiés à la grande machine analogique Cyclone. Trois machines furent construites, une pour Aberdeen, une pour Reeves qui avait construit Cyclone, et une pour le Stevens Institute of Technology de Hoboken. Voir fiche Elecom 100.

Le succès de cette réalisation prudente suscita une nouvelle commande, pour installation à Griffiss AFB, le Rome Air Development Center (RADC). La nouvelle machine, baptisée Elecom 120, diffère de la première par l'emploi d'un code décimal XS3, supposé plus séduisant pour les applications de gestion : le mot, toujours série, comprend une valeur absolue entière de 8 chiffres de 4 bits, plus un signe.

La mémoire était comme précédemment un tambour magnétique, diamètre 10" (254 mm), hauteur 5" (127 mm), tournant à 3600 t/min, et portant seulement 1000 mots en 20 pistes, du fait d'une fréquence très prudente de 105 HHZ. Temps d'accès 17 ms.

Le répertoire à 2 adresses exécutait l'addition en 17 à 51 ms, la multiplication et la division en 17 à 68 ms, la rupture de séquence en 1,5 à 34 ms. Pas d'optimisation par conséquent.

Les moyens d'accès se réduisaient à un télétype à 10 car/s, mais la machine disposait aussi d'une bande magnétique à 5 pistes, longue de 1200 ft, contenant 125000 mots, et parcourue à 27 ips (70 cm/s).

La machine comprend 350 tubes, 4000 diodes, 35 relais, et consomme 5 KVA.

A peu près simultanément, une machine est également commandée par le Bureau of Ordnance de Washington pour les besoins de son administration, et installée au dépôt de Chambersburg ; cet Elecom 200 est baptisée ORDFIAC par son acheteur. Sa structure diffère peu de celle du 120, mais sa mémoire est beaucoup plus grosse (10000 mots) et plus lente (1760 t/min), ce qui est compensé par l'apparition de pistes à recirculation. Voir fiche.

Après cela, Underwood s'estime en mesure de travailler pour la clientèle privée, et entreprend de définir deux tailles de machines de gestion commerciale :

- l' Elecom 50, avec un tout petit tambour à vitesse modeste, est en fait une machine comptable pourvue d'une unité arithmétique à laquelle sa technologie (tubes à vide) donne un encombrement disproportionné : la programmation est externe, par bandes de plastique aluminées préparées en usine sur définition du client. Ce sera une réussite : voir fiche.

- l' Elecom 125 est au contraire un calculateur ambitieux, avec une unité centrale comparable à celle de la 200, mais un grand nombre de bandes magnétiques (8, par exemple) qui portent les fichiers principaux, naturellement séquentiels. A cause de ce nombre et de cette fonction, Underwood est conduit à développer un contrôleur spécial de tri / fusion dont l'importance est comparable à celle du CPU, de sorte qu'une installation coûte jusqu'à 350000 \$, et se vendra mal : Underwood perdra beaucoup d'argent.

Dans ces conditions, Underwood suspend cette production, et en attendant une décision, produit quelques Elecom 120 A, qui sont un compromis entre l'arithmétique sur 10 chiffres du 125 et les périphériques modestes du 120. La machine coûte alors moins de K\$ 100 et Underwood en vendra 7, dont une au RADC qui avait déjà la 120 d'origine. Voir fiche.

Puis la décision tombe : Underwood abandonne la production d'ordinateurs et se recentre sur sa vraie compétence, la bureautique et les machines à écrire (1959).

A quelques années de là, en 1970, on retrouvera chez Underwood une machine comptable à ledger cards, avec une mémoire auxiliaire pour les seuls calculs, et une programmation par minicassettes représentant un total de 74000 caractères. La machine est dirigée depuis un clavier de 96 caractères + pavé numérique + fonctions, à travers une visualisation qui présente, à chaque étape, les seuls choix disponibles pour l'étape suivante. En option, bande perforée, transmissions, extensions de mémoire. Voir fiche pour cette Auditronic 770.

Après quoi on n'entend plus parler d' Underwood, sans doute incapable de lutter contre les spécialistes comme Burroughs qui s'appuient sur une puissante informatique.

577 - Unicom

Cette société construit en 1969 un calculateur à caractéristiques militaires, le COMP 16 / 18, ainsi baptisé parce qu'il est proposé en deux variantes à mot de 16 et 18 bits respectivement, mais il semble bien qu'il s'agisse d'une seule machine avec inhibition de deux bits dans le cas 16. On n'a aucune indication sur le client ni sur la finalité de la machine, produite à une soixantaine d'exemplaires. Voir fiche.

La société ne disparaît pas, cependant, ce qui implique des activités que nous ignorons. En 1977, on la retrouve proposant une machine de contrôle industriel compatible avec le minicalcateur DEC LSI 11 dont elle utilise le bus (Q Bus) et le logiciel.

Ce calculateur SS 11 / 15 est un boîtier de 10,5 unités de rack, contenant 15 slots pour des cartes au format demi-standard, et les emplacements pour 2 ou 4 lecteurs de disquettes. Une machine comprenant l'alimentation, 28 KB de RAM, les PROM pour le

bootstrap et les diagnostics, et un panneau de commande, est vendue \$ 8250, auxquels il faut ajouter le prix du logiciel. Garantie 1 an.

578 - United Microelectronics

Ce bureau d'études se fait connaître en 1991 en proposant, sous le sigle UM 82C480, un chipset pour PC / AT, comprenant contrôleur de mémoire, contrôleur système (arbitre de bus), contrôleur de cache writeback, et contrôleur de périphériques.

Performance mesurée : 22,4 Mips avec un 486 à 50 MHz.

Prix \$ 120 par lot de 100.

Le nom de cette entreprise ayant rapidement disparu, il est probable qu'elle a été absorbée, mais par qui ?

579 - Grandeur et décadence d' UNIVAC

On a indiqué à la rubrique 497 comment Remington Rand, filiale du groupe Sperry Rand Corporation, avait successivement acheté, vers 1950, deux sociétés vouées à l'informatique naissante, et déjà en difficultés financières :

a) Eckert-Mauchly Corporation, fondée par deux chercheurs de la Moore School, auréolés de leur participation à la construction de l'ENIAC et de l'EDVAC. Les créations propres de cette entreprise, BINAC et UNIVAC, étaient des succès, et RR en achetant leurs dettes, acquérait un client, le Bureau of Census, et une marque, Univac, dont elle allait abondamment se servir.

Le QG de cette opération était installé à Bluebell, Pa, où RR avait sa production de machines mécanographiques.

b) Engineering Research Associates, qui s'était déjà fait un nom dans la production de tambours magnétiques, et par la fabrication de deux machines pour la NSA. Au moment de l'achat, un prototype pour la NSA, baptisé ERA 1103, était en panne de crédits. Le QG de ERA et le prototype étaient à Roseville, Minnesota, dans la banlieue de St Paul, et la 1103 était intransportable.

Remington prit la décision de réunir ces deux entités dans une Computer Division, qui se trouvait donc avoir deux implantations. Tout le malheur de la nouvelle division résulte de ce point de départ : disposer de deux bonnes machines, de conceptions totalement différentes et irréductibles l'une à l'autre, chacune avec sa clientèle assurée, et ne pas savoir choisir. Pendant dix ans, ces deux groupes ne vont avoir en commun que les périphériques électromécaniques, mais aucune idée directrice, aucune politique. Malgré de bonnes réalisations, cette compétition interne empêchera Univac de profiter d'une conjoncture exceptionnellement favorable. Alors qu'Univac partait, aux yeux de tous, avec des chances égales à IBM, aucune de ces machines ne devait faire une réelle percée et, en 1960, la victoire d'IBM apparaissait totale.

On ne manquera pas de souligner, dans l'Amérique des affaires, que cela résultait d'une erreur d'optique : quelles que soient leurs qualités et celles de leurs produits, les techniciens ne doivent jamais prendre la place des commerciaux en matière de politique.

Sans s'attarder sur cette époque, il faut situer les produits de ces deux groupes de conception / fabrication / vente :

A Bluebell, la conception des machines était orientée vers la gestion et restait influencée par les méthodes mécanographiques provenant de Remington Rand. A l' Univac I qui utilisait une extraordinaire mémoire à base de lignes à retard à mercure, succède une Univac II qui utilise des tores magnétiques, comme tous les constructeurs au même moment (1954).

En parallèle, on étudiait, pour les clients désirant essentiellement du traitement de fichiers, un UNIVAC File Computer centré sur de multiples tambours magnétiques ; et, pour les clients plus modestes, une petite machine à tambour tout à fait comparable à la 650 d' IBM, l' Univac Solid State 80 / 90, la première machine sans tube, construite en logique magnétique à la suite d'une étude pour l' US Air Force.

En 1957, Bluebell participe au concours de la Commission de l' Energie Atomique pour un superordinateur, et conçoit le LARC, une machine décimale aux nombreuses originalités. Mais le LARC n'aura que deux clients, et le seul bénéfice de cet effort sera une technologie mixte magnétique / transistors, qui servira à construire l' Univac III de 1962.

Enfin, Bluebell devait concevoir et réaliser le 1004, en fait une machine mécanographique, mais bien équilibrée et économique, construite à plus de 3000 exemplaires, le plus grand succès du groupe à cette époque.

Roseville s'était engagée dans une voie totalement différente. Machine binaire, l' ERA 1103 de 1953 était la concurrente directe de l' IBM 701 et le lancement commercial des deux machines, survenu à quelques jours de distance, était clairement apparu aux américains comme le début de l'informatique industrielle, et le départ d'une course Univac contre IBM.

Le premier round, ERA 1103 contre IBM 701, 14 machines contre 19, apparaissait comme un match nul. Mais, dès le second round, qui commençait un an plus tard, IBM avait gagné : l' ERA 1103A à tores magnétiques et l' ERA 1105 transistorisée ne devaient jamais atteindre à la notoriété et aux séries des 704, 709, 7090 , 7094, 7094 II, 7040 et 7044.

Dès 1956, Roseville prenait un tournant en acceptant un contrat d'études de l' Air Force pour Athena, le calculateur de guidage de l'engin balistique Atlas, et un autre de l' US Navy pour l' AN / USQ 17 Countess, prototype du futur NTDS, le système de commandement automatisé des escadres. La firme, qui réalisait ainsi les premiers calculateurs opérationnels transistorisés du monde, acquérait à cette occasion une réputation de fiabilité qu'elle devait conserver jusqu'à ce que ce soit devenu banal. Pendant les sept années suivantes, l' usine de Roseville a bourgeonné, et Univac St Paul coordonne des usines dans tous les coins de la ville. Le groupe est devenu fournisseur officiel de la Marine et expert national, donc mondial, en matière de temps réel, particulièrement dans les environnements difficiles comme les bateaux et les avions. La version de série du Countess, l' AN / USQ 20 ou U 1206, et ses successeurs 1212 et 1230, ont été installés sur tous les grands navires de la flotte et de la NASA, ainsi que dans les centres à terre associés. Un calculateur plus modeste, mais de même philosophie,

l'U 1218 et son successeur 1219, monopolisent les liaisons météorologiques, la commande des antennes et l'exploitation de la télémesure des radars de la NASA. Qui plus est, Univac a réalisé dès 1960 des versions civiles de ces machines, le 490 et le 418 respectivement, et réussit fort bien à les implanter pour les activités temps réel qui surgissent un peu partout, notamment la réservation de places des compagnies de transport aérien et la gestion de communications. Univac maîtrise, et de moins le premier, la multiprogrammation et le multitraitement.

Il semble, à lire ces descriptions, qu'il y ait peu de concurrence entre St Paul et Bluebell, et qu'Univac ait une belle place au soleil. Néanmoins Univac perd de l'argent, et change plusieurs fois de Directeur général sans que la situation s'améliore. Lorsqu'en 1964 s'annonce la série 360 d'IBM, il devient évident qu'une réorganisation s'impose, dans les moyens comme dans les objectifs.

Univac est alors détaché de Remington Rand, devenu plus petit que sa filiale, et devient Univac Computer System, filiale directe du groupe Sperry Rand. RR continuera quelque temps à faire des ordinateurs de bureau, puis finira par se cantonner dans les rasoirs électriques. La politique est enfin centralisée, et les décisions suivantes sont prises :

- l'Univac III, qui démarrait bien avec 150 machines produites, est abandonnée, et les études sont lancées d'une famille de gestion nouvelle, la série 9000 pratiquement compatible avec le System / 360 d'IBM.

- le 1004, qui est un succès, assure la soudure.

- les machines scientifiques de la série 1100 sont relancées, sans chercher la compatibilité, afin de profiter sur le marché civil de la bonne réputation acquise auprès du DOD et de la NASA, qui utilisent de très nombreux savants. Après une 1107 qui utilise une technologie de mémoire à film mince mise au point pour la marine, il y aura la 1108, un gros succès.

- les machines temps réel 490 et 418 sont rajeunies par l'annonce d'une 494 et d'une 418 III, beaucoup plus puissantes et utilisant la technologie transistorisée des 1108, mais elles devront s'effacer à terme (pour une normalisation des longueurs de mots) derrière la série 1100 qui prendra en charge toutes leurs applications.

- la place prépondérante prise dans la Marine sera maintenue grâce à un effort technologique soutenu, ce qui conduira, à travers de nombreuses vicissitudes, à la production en série des machines militaires AN / UYK 7 et 20 pour navires, et 1824, 1830 pour avions.

Univac n'avait en fait besoin que d'une véritable politique et, en huit ans, elle avait remonté la pente et solidement assuré son image de spécialiste des applications temps réel, néanmoins capable de traiter correctement des problèmes de gestion de la seule façon qui soit susceptible de réussir, celle d'IBM.

Or, en 1973, se présente une occasion informatique. La firme RCA, bien connue pour ses produits électroménagers et notamment les disques "La voix de son maître", mais aussi pour ses radars et radios, s'était lancée dans l'informatique sous l'impulsion de son président, le général Sarnoff, pour lequel c'était manifestement un hobby. RCA avait obtenu quelques succès en gestion avec sa 301 ; en 1964, lors de l'annonce 360, RCA avait opté pour une série compatible, baptisée Spectra 70, mais elle n'avait pas réussi à

rentabiliser cette série. La génération suivante, compatible 370, démarrait lentement. Et soudain, en septembre 1973, l'annonce de la mémoire virtuelle par IBM provoque le drame : Sarnoff est mis en minorité au Conseil d' Administration de RCA et la société annonce, dans un geste de fureur des actionnaires, qu'elle inscrit M\$ 500 au passif du bilan et qu'elle met fin à ses activités informatiques en licenciant 9500 personnes.

Univac était la seule société américaine capable de racheter utilement cette activité, puisqu'elle disposait comme RCA d'une famille de gestion compatible IBM. Face à une entreprise qui avait annoncé son abandon et admis ses pertes, Univac était en position de force pour négocier, et obtint des conditions excellentes : 50 M\$ cash plus un pourcentage modeste sur les résultats futurs pendant deux ans, au total 120 M\$. 2500 personnes seulement étaient reprises par Univac, qui pouvait choisir les plus utiles. C'était un pari, mais ce fut un succès, Univac réussissant à convaincre la plus grande partie des clients de lui rester fidèles, alors que la fuite chez IBM était pour eux une solution évidente.

Quatre ans plus tard, la situation d' Univac est excellente et la société, qui représente plus de 50% du chiffre d'affaires de son groupe, est nettement bénéficiaire. Univac est très bien introduite en Europe, où elle rayonne à partir de l' Allemagne, et au Japon, où elle exploite une filiale commune avec Oki. Tout en continuant à supporter un parc important et relativement disparate de machines anciennes, y compris quelques USS 80 et Univac III, la firme ne produit plus que deux familles en 1981 :

- la série 1100 est au départ l'adaptation d'une mémoire à semi-conducteurs aux unités centrales réussies des années précédentes, 1106, 1108 et 1110, ce qui laissait le temps d'une étude plus fouillée. Après quelques années d'un bon succès, la série ne comprend plus en 1984 que deux machines : une 1100/90 à finalité scientifique et temps réel peut croître jusqu'à des quadriprocesseurs dans l'exacte ligne des machines antérieures, tandis qu'une 1100/60 bien meilleur marché, réalisée autour de microprocesseurs en tranches, s'empare du marché naissant de la gestion transactionnelle.

Parc 1100 au 1/1/83 : 2190 machines dont 40% à l'étranger, plus 492 commandes.

- le System/80 est une machine de gestion compatible IBM et réalisée en technologie moderne. Elle fait suite à une série 90/XX très réussie qui constituait une synthèse compatible de la famille Univac 9000 de 1967 et de la famille RCA Spectra de 1965.

Parc compatible au 1/1/83 : 6130 machines installées dont 45% hors USA et 440 commandes.

Univac fabrique les 1100 uniquement aux USA, et une partie des compatibles en Allemagne. La commercialisation à l'étranger, et par exemple en France, se fait de façon très différente d' IBM. Les filiales commerciales doivent acheter les machines à la société américaine, et elles les louent aux clients. Elles ont donc intérêt à amortir rapidement, en moins de quatre ans, et pratiquent ensuite sur ces machines amorties des rabais spectaculaires que la clientèle apprécie beaucoup, un véritable marché interne de l'occasion.

Tout le logiciel est fourni gratuitement, et c'est sans doute le dernier exemple de ce type à une époque où tous les constructeurs ont adopté l'unbundling. Le service est de qualité variable, fortement influencé par la personnalité du client et le ton de ses protestations, comme il est normal dans des filiales sous-équipées en personnel technique.

Univac mène à l'étranger une politique d'expansion et cherche à être présent dans tous les domaines, à travers des acquisitions d'entreprises bien placées :

- l'achat d' ElestroMechanical Research (EMR), une filiale du groupe Schlumberger, en 1974, n'avait pas pour but d'acquérir une clientèle (150 machines), mais une expérience dans les domaines de la prospective pétrolière et de la gestion en temps réel des centrales électriques.

- les accords avec Data SAAB, en Suède, conclus en 1975, et mettant fin aux velléités de cette société dans le domaine des moyens calculateurs, fournissent à Univac une bonne implantation dans les pays scandinaves et une expérience dans le miniordinateur bancaire.

- l'achat de Varian, au début de 1977, est une ouverture de poids (15500 machines en service, 1950 en commande) sur la marché des miniordinateurs pour le temps réel. Univac ne parait cependant pas en avoir tiré tout le parti possible.

- le lancement, fin 77, du BC/7, un ordinateur de bureau construit autour d'un microprocesseur, doit donner à ce fournisseur traditionnel de grosses entreprises une ouverture sur les PME . 2585 machines sont livrées en fin 81, mais le montant des commandes suggère qu'Univac ne poursuivra pas dans cette voie.

Univac a tenté aussi de stabiliser sa gamme de périphériques en achetant un fabricant de disques, ISS, et en devenant client du meilleur faiseur de bandes compatibles, STC. Mais la compétence d' Univac est définitivement dans les unités centrales plutôt que dans la mécanique, et finalement la production de disques a été abandonnée au profit de l'achat en OEM (chez Control Data).

Univac a traversé , comme tous ses concurrents, une dure période de récession dont le petit tableau ci-dessous donne une idée:

Année Inform	CA Sperry R & D M\$	CA Univac M\$	Bénéf net M\$	Effectifs	part de marché	Export %	M\$
1974	2613						
1975	3040						
1976	3203	1389	137	90000	5,1		
45	167						
1977	3270	1472	157	85684	4,8		
41							
1978	3765	1807	177	89044	4,8		
1979	4586	2270	259	90000	4,96		45

1980	5331	2552	260	(47435)	4,7
43					
1981	5544	2781	222		4,2
1982	5243	2803		(41666)	3,5
40	216				
1983	4745	2799	177	(25762)	3,1
33	296				
1984		4015			
1985	5527	4755	37	67000	
505					

On peut y voir que l'année 82 a été une année de stagnation pour Univac et une année de recul pour le groupe dont Univac représente une part croissante. L'analyse des causes montre une baisse des parts de marché, signe d'une moindre adéquation entre les produits d'Univac, très tournés vers les grands comptes, et l'entrée en force de l'informatique dans toutes les entreprises. Aussi le groupe Sperry, dont les autres activités étaient plutôt stagnantes, a-t'il décidé une reprise en main en y mettant les moyens : il a vendu à Ford Motor Co sa filiale New Holland d'équipement agricole (d'où la baisse globale du CA), et imposé à Univac une révision drastique de sa politique: licenciement de 11000 personnes (les trois effectifs entre parenthèses sont ceux du seul Univac), réorganisation de la production, accroissement des investissements de recherche, ouverture sur les nouvelles demandes de la clientèle avec des produits d'origine extérieure, dont Univac assure seulement la commercialisation : PC d'origine Mitsubishi, bureautique Sperrylink, nouveaux processeurs pour PME construits autour de microprocesseurs Motorola, systèmes experts de Texas Instruments. La rapide remontée du CA informatique suggère qu'en 1985 la crise est passée, mais le groupe Sperry a changé : désormais informatique à 86 %, il doit exiger des résultats. La filiale Univac est désormais rebaptisée Sperry Computers System, et cet abandon d'une marque célèbre signifie qu'à une politique de produits succède une politique de services, tournée vers le client et orientée par ses demandes.

Dès 1985, la comptabilité analytique de Sperry Computers manifeste cette évolution, avec 721,7 M\$ pour la maintenance, 302,5 M\$ pour les services, 283,7 M\$ pour le logiciel, 135,4 pour les périphériques plus 163 M\$ pour les communications, 742,8 M\$ pour les microcalculateurs, 400,5 M\$ pour les minis, et 1890,8 M\$ pour les "mainframes", cad les divers 1100. Mais il y a encore beaucoup à faire, à l'évidence. Aussi le groupe Sperry a-t'il entamé des pourparlers de fusion avec Burroughs, le suivant dans la liste des 100 premiers informaticiens américains, dont le CA est du même ordre que le sien, avec une répartition très complémentaire : beaucoup de périphériques, beaucoup de services, une bien moindre production d'unités centrales. Mais pour l'heure, cette avance amicale n'obtient pas d'écho..

En attendant, Sperry Computer relance son marché principal avec le 1100 / 90 qui démarre sur un beau contrat de 57 M\$ pour ATT, et avec un mirifique contrat de 432 M\$ pour la Défense. Le 1100 / 60 qui avait obtenu un très grand succès dans le

domaine transactionnel avec 3000 processeurs installés est rajeuni en un 1100 / 70 dont le logiciel Mapper est très bien accueilli, au point d'être commercialisé pour lui-même. Le dossier de presse distribué lors du SICOB 85, mettant l'accent essentiellement sur les produits de bas de gamme, PC, bureautique, Sperrylink, est très caractéristique.

La fusion avec Burroughs intervient en 1987, édifiant une Unisys Corporation confiée à Blumenthal, un ancien banquier et directeur du Trésor américain, qui installe son siège à Bluebell. La compagnie s'affiche d'emblée comme une société de service, avec une ouverture totale sur le marché grâce à Unix, disponible sous une forme ou une autre du haut en bas de la gamme. Cependant, les usagers peuvent, s'ils le désirent, garder les avantages des architectures propriétaires des deux compagnies fusionnées, car les grands systèmes proposés sont toujours soit des 1100 soit des A, sur lesquels une couche Unix permet aux familiers de ce système de garder leurs habitudes : langage C, shell, communications TCP / IP, réseaux.

Les solutions matérielles suivront attentivement l'évolution technologique, pour garantir les prix bas et suivre les modes qu'exige le public : aux machines ECL de 1988 succéderont donc des machines CMOS vers 1995, tandis qu'une part importante de l'offre concerne des serveurs à base de processeurs Intel et de systèmes Window NT. Malgré cet effort incessant, le chiffre d'affaires de Unisys baissera régulièrement, s'établissant vers 3,5 B\$ en 1995. Mais en 2000, quand nous fermons ce dossier, Unisys est toujours pleinement actif.

580 - Remington Rand Univac, la période initiale

Après l'exposé précédent, il devient possible d'examiner l'un après l'autre les calculateurs construits et commercialisés par Univac, sur une base purement chronologique. Pour chacun d'eux, cependant, nous soulignerons les filiations.

1951 : UNIVAC I

La machine initiale de Eckert et Mauchly est un calculateur décimal série, construit autour d'une mémoire à lignes à retard à mercure, et limité par celle-ci en performances et capacité. Elle représente cependant un moment important de l'histoire de l'informatique, ayant beaucoup apporté en matière de logiciel et d'entrées / sorties :

périphériques : les Uniservo I étaient des dérouleurs de bandes magnétiques en acier, ce matériau étant choisi à cause de sa résistance mécanique face aux brutalités des mécanismes d'entraînement de l'époque ; le poids était évidemment l'inconvénient principal, compliquant les manipulations et les stockages mais surtout limitant les performances. Rappelons qu'Univac avait imaginé, dès cette époque, que la saisie pourrait se faire directement sur ces bandes, grâce à l'Unityper, combinaison d'une machine à écrire et d'un dérouleur ; et qu'il avait, simultanément, réalisé un card-to-tape converter .

logiciel : partant absolument de zéro en matière de logiciel, Univac invente pour cette machine les notions de compilateur et de macroassembleur (alors appelé générateur de sous-programmes ouverts). La réalisation la plus connue, faisant suite à plusieurs expériences identifiées par une lettre A, est le compilateur B0, rebaptisé Flowmatic quand il est devenu le modèle (lointain) de Cobol.

Le passage de Flowmatic, étude privée, à COBOL, norme nationale sponsorisée par le Département de la Défense, a été en grande partie l'oeuvre de Grace Hopper, ingénieur de l'US Navy devenu programmeuse et poussée à une célébrité un peu artificielle à la fois par Univac, désireux de souligner ses bonnes relations avec la marine, et par la Navy souhaitant apparaître comme pionnière du féminisme militaire.

Le premier Univac était commandé par le Bureau of Census, mais cet exemple a entraîné de nombreux clients y compris civils, provoquant rapidement l'étude d'une mémoire plus efficace. Quand la commercialisation a été entreprise, elle a d'abord été faite sous le sigle FACtronic I.

1953 : ERA 1103 Univac Scientific

Le premier travail de Roseville était d'achever la mise au point de la machine commandée par la NSA, mais elle ne parvint pas à effectuer la livraison avant septembre 1953. La compétition avec IBM a été lancée en juillet de cette année avec l'annonce par IBM de la 701, et Remington Rand, qui ne pouvait laisser passer cet événement sans réagir puisque IBM était depuis de nombreuses années son unique concurrent, prit la décision de répliquer en annonçant la 1103 comme produit commercial, avec le nom promotionnel de Univac Scientific, compte tenu de la notoriété déjà acquise par l' Univac I.

La 1103 initiale est équipée, comme la 701, d'une mémoire à tubes électrostatiques, fâcheusement peu fiable, que Univac avait doublée et équipée d'un circuit de comparaison pour essayer de compenser cette faiblesse. Cette mémoire de travail était en outre très petite, 1024 mots, de sorte que le travail se faisait souvent avec une mémoire secondaire à tambour magnétique. La 1103 était donc chère, mais après tout, la 701 aussi. 11 machines furent cependant commandées, la première livraison intervenant en mars 1954 ; en fait, trois seulement furent livrées avec la mémoire électrostatique, les suivantes recevant en usine la mémoire à tores.

La 1103 était extrêmement pauvre en périphériques, juste un télétype avec LR et PR, et comme dans l' Univac on comptait sur les bandes (en acier) et l' Unityper. Un tel équipement était peu crédible face aux cartes de l' IBM 701, et indigne de Remington Rand, champion d'une mécanographie.

1956 : ERA 1103A

Cette machine est la même que la précédente, avec une mémoire à tores 2 ou 4 fois plus grande que la mémoire électrostatique, et les modifications d'adressage que cela implique. Surtout, elle disposait des périphériques à cartes de l' Univac I, ce qui la rendait supérieure à la 1101. Malheureusement IBM aussi avait travaillé, et plutôt plus vite : la 704 d'IBM, non compatible avec la 701, était cette fois clairement supérieure à la 1103A, qui utilisait toujours l' Uniservo I : il n'y eut que 19 commandes.

1956 : UNIVAC II

Cette machine se compose d'une électronique d'Univac I et d'une mémoire à tores magnétiques, raccordées tant bien que mal par des circuits de mise en série. Malgré la technologie encore très primitive de cette mémoire (cycle 20 μ s), les performances étaient doubles de celles de l' Univac I ; un mode de compatibilité permettait d'utiliser tout le

logiciel mis au point sur les U I. La machine est d'abord commercialisée sous le nom de FACtronic II, mais le nom "Univac" le remplace rapidement.

Cette U II aux performances très limitées a tout de même été construite à une quarantaine d'exemplaires, succédant à une vingtaine d' U I ; plusieurs de ces dernières ont d'ailleurs été rééquipées de mémoires à tores. On notera qu'à l'issue de cette période, RRU était fondé à se considérer comme le leader mondial en matière de gestion, position vite rendue caduque par le succès de l' IBM 705.

1956 : Univac Magnetic

Comme tous les industriels qui se lançaient dans la construction, non encore commerciale, de machines à calculer, RRU avait amorcé une relation avec un établissement militaire, en l'occurrence l'AFCRC, Air Force Cambridge Research Center. Celui-ci passa commande à Univac, au tarif avantageux des contrats de recherche, pour une technologie magnétique, dans l'espoir d'une fiabilité très supérieure à celle des tubes à vide, militairement peu crédibles.

C'est ainsi qu'Univac inventa le magnistor, dispositif magnétique exploitant des impulsions, qui évolua ensuite en ferractor, où les sollicitations proviennent d'un courant alternatif à fréquence élevé. Un calculateur de démonstration, purement numérique, fut construit avec cette technologie et une mémoire à tambour magnétique, elle-même exceptionnelle par sa rotation à 16500 t/min dans une atmosphère d'hélium.

Le succès technologique conduisit ensuite l'AFCRC à prolonger le contrat pour étoffer la machine et l'exploiter dans des travaux de simulation en liaison avec un radar. Pour Univac, ces deux contrats ont constitué une aubaine, servant de prototype au calculateur commercial UMASSC.

1956 : Univac File Computer

La mécanographie consiste à manipuler, dans des machines spécialisées, des fichiers séquentiels à base de cartes perforées. RR avait une clientèle pour cette classe de problèmes, et souhaitait la garder. C'est pour eux que fut défini le File Computer, construit autour d'une machine mécanographique RR 409, et de fichiers sur tambours magnétiques, jusqu'à 10 tambours ERA de chacun 180000 caractères. La programmation se faisait par tableaux d'affichage, une méthode très fiable mais qui suppose que les programmes varient rarement.

En fait, ce produit encore assez peu informatique a été un très honnête succès, avec une soixantaine d'installations, dont au moins un système de réservation de places pour une compagnie aérienne, Capital Airlines, décrit dans la fiche, et un autre pour Eastern Airlines.

1957 : Athena, contrat militaire. Voir rubrique 581

1957 : AN/USQ 17 Countess, contrat militaire. Voir rubrique 581

1958 : ERA 1105

Cette machine résulte initialement d'une commande du Bureau of Census, satisfait de l' Univac II mais la trouvant trop lente, et incapable d'effectuer une partie des travaux scientifiques (statistiques) de l'organisme. L'idée initiale était d'utiliser une 1103, avec des

mémoires tampon sur chaque groupe de périphériques pour réduire les interférences entre calculs et entrées / sorties ; le langage devait être celui de Flowmatic.

La réalisation technique fut sans histoire, mais on ne parvint pas à transposer B0 sur la 1105, trop différente de l' Univac, de sorte qu'il fallut composer. La 1105 est programmée en USE, un interpréteur de virgule flottante, et un compilateur Aimaco, réalisé en coopération entre RR et son deuxième client, l' Air Material Command, assure la conversion de Flowmatic en USE.

La 1105 a été réalisée en 4 exemplaires, 2 au Bureau of Census et 2 dans des établissements de l' Air Matériel Command. On notera qu'à cette époque Univac, poussée par la compétition, est parvenue à construire l' Uniservo II, un dérouleur de bande magnétique à support Mylar qui travaille avec des blocs de longueur fixe. Voir fiche.

1958 : X 308 Bogart, contrat passé par l'AFCRC mais dont le client est la NSA, l' agence très secrète et très discrète qui s'occupe des écoutes mondiales et de leur déchiffrement. La raison du choix est la fiabilité attendue des ferractors, nés à l'AFCRC, mais il reste quelques tubes dans cette machine qui utilise une mémoire à tores magnétiques. La machine a été construite à 4 exemplaires.

Elle nous intéresse également par son architecture, qui ressemble étroitement à celle du Countess, tout à fait contemporaine. Ce n'est pas un hasard : les auteurs étaient les mêmes. Voir fiche.

juin 1959 : UMASSC

Cette machine récupère la technologie de l' Univac Magnetic, avec la bénédiction de l'AFCRC et du DOD dont cet essaimage des résultats des recherches militaires est précisément la politique. L' UMASSC, ou Univac MAGnetic Solid State Computer, est un concurrent de l' IBM 650 avec de beaux atouts : circuits logiques plus fiables combinant ferractors et transistors à la fréquence techniquement remarquable de 707 KHz, tambour de capacité plus grande (5000 mots) et de temps d'accès plus court (17670 t / min).

L'histoire de cette machine tout à fait réussie ressemblera beaucoup à celle de la 650 : débutant avec des cartes et une imprimante, elle s'enrichira assez vite de bandes magnétiques , puis de tambours RANDEX, car Univac a fait le plus longtemps possible confiance à l'expérience de ses équipes ERA pour éviter de recourir aux disques, un technologie qu'elle ne maîtrisait pas et aurait donc du acheter. Le succès n'atteindra pas celui de la 650 qu'il aurait mérité de dépasser, essentiellement à cause de la faiblesse des équipes marketing, et aussi parce qu' Univac n'a pas su établir avec les universités le genre de fructueuse coopération où IBM excelle.

Fin 1960, pour étendre son succès à des clients plus modestes que les premiers, Univac met en place le programme STEP, au titre duquel l'acheteur peut composer son installation comme un Meccano et obtenir au moindre prix le logiciel exactement adapté. Au total, on peut estimer à quelque 500 le nombre de machines vendues, mais on ignore la proportion des USS 80 (cartes Hollerith) par rapport aux USS 90 à cartes RR, qui constituerait un indice de fidélité de la part des anciens mécanographes.

1960 : LARC Livermore Automatic Research Computer

En 1955, la Commission de l'Energie Atomique met au concours le plus puissant ordinateur scientifique du monde, destiné au Laboratoire de Livermore en Californie. Les prix ne seront pas beaucoup discutés, les contrats exigeant seulement une fiabilité élevée qu'on ne peut espérer que des transistors, une double arithmétique en virgule fixe et flottante avec simple et double précision, une aptitude aux manipulations de caractères, une gamme définie de périphériques, et une performance minimale fixée un peu arbitrairement à 100 fois celle de l'IBM 704. Compte tenu de la difficulté du problème, le délai n'est qu'indicatif et les retards n'entraîneront pas de pénalité.

IBM accepte et entreprend la définition du STRETCH. Univac ne peut que relever le défi et se lance dans l'étude du LARC, avec une échéance prévisionnelle de 1958.

Pour aboutir au résultat souhaité, Univac fait les choix suivants :

- arithmétique décimale dans une représentation des chiffres par 4 bits + parité
- représentation des caractères par deux chiffres, ce qui limite l'alphabet à 99 caractères.
- mémoire modulaire à tores magnétiques, avec 8 consultations possibles à chaque instant.
- technologie transistors + ferractors, perfectionnement de celle étudiée pour l' Univac Magnetic. On se rappellera que cette décision est bien antérieure à celle qui a conduit à UMASSC. La fréquence de travail envisagée est 2 MHz, à la limite des possibilités des ferractors.
- organisation multiprocesseur, avec deux unités arithmétiques et un processeur central pour la gestion du système et les entrées / sorties.

La mise au point s'avéra très difficile, et ce n'est qu'en 1960 qu' Univac put livrer à Livermore un LARC dans la configuration duquel, pour des raisons budgétaires mais aussi parce qu'on ne savait comment gérer deux UC simultanées, il n'y a qu'une seule unité arithmétique, avec 8 modules de mémoire, 12 tambours Randex et deux imprimantes.

Entre temps, le David Taylor Model Basin, le Bassin des Carènes de la Marine, avait commandé une deuxième machine plus importante, mais toujours avec une seule unité arithmétique, 12 modules de mémoire, 12 tambours et 16 Uniservos II. Cette seconde machine, familièrement baptisée SHARC (requin) pour SHip Automatic Research Computer, a été livrée en février 61.

Bien avant cette date Univac, qui perdait de l'argent dans ses deux contrats, avait pris la décision de refuser toute autre commande. Le travail, cependant, n'a pas été perdu, car la technologie mise au point pour LARC a été récupérée pour la construction de l' Univac III.

1960 : ADD 1000, contrat d'étude pour un ordinateur aérospatial. Voir rubrique 581.

1961 : NTDS, aboutissement des études de l' US Navy entamées avec le Countess. Voir ce programme essentiel à la rubrique 581. Désormais Univac n'est plus simplement chargé d'une étude qui peut échouer. Au contraire, elle a réussi, et les commandes vont apporter à la société une précieuse trésorerie et une réputation plus importante encore.

1961 : Digital Trainer

Puisque la Marine s'apprête à introduire des ordinateurs dans ses navires et ses centres à terre, il devient nécessaire de procéder à la formation des personnels. La Marine demande à Univac de définir un équipement d'entraînement, susceptible d'expérimenter sur les divers aspects d'un calculateur, exploitation et maintenance ; il sera construit conformément à la norme MIL - E - 17555 relative à l'équipement électronique, pour des raisons de sécurité plus que de fiabilité, car le matériel n'ira pas à bord. Univac construira 23 exemplaires de l'appareil pour les trois armes, puis en réalisera, à usage civil, une version plus économique baptisée U 422. Voir fiche.

1961 : U 490 real time computer

Univac ayant mis au point, aux frais de la Navy, le calculateur du NTDS, est autorisé à en tirer une version civile qui est offerte, cette même année, sous le nom de U 490, dans une esthétique spectaculaire. Avec ce matériel, Univac va acquérir, en quelques mois, une clientèle temps réel importante, dont nous pouvons donner quelques exemples :

Northwest Orient Airlines, deux 490 avec 187 terminaux dans 14 villes

Eastern Airlines, deux 490 en service en 1966 à Charlotte

British European Airways, deux 490 à Londres

Westinghouse à Pittsburgh, une 490 avec 300 terminaux

Glendale Federal Savings & Loan Association, une 490 avec des guichets

Teleregister

et encore Bowery Savings Bank de New York, Italsider à Gènes, l'Université technique de Graz en Autriche, les chemins de fer japonais à Tokyo, Rhodiaceta en France, etc... soit une quarantaine de machines. Voir fiche.

Plus intéressant parce que connu avec plus de détails, le système Interloc de Lockheed pour la gestion intégrée du marché des avions géants C5A comprend en avril 1966 deux 490 avec 3 tambours FH 880, 5 tambours Fastrand II, 16 dérouleurs de bande magnétique, deux 1004 de service, et deux CTMC pour la connexion de 10 terminaux IBM 1001, 12 IBM 1050 et 55 télétypes (50 KSR 35, 1 TD 36 et 4 RO 28). En outre, un calculateur RCA 301 sert de contrôleur pour 170 terminaux d'atelier de type EDGE. Le logiciel comprend 320 programmes, travaillant sur 21 fichiers dont :

Work Order Audit, 25000 fiches, 17 Mcar, 400 consultations / jour.

System Engineering Management Document Control, 7000 fiches, 28 Mcar, 20000 consultations / jour.

Shop Order Control, 305000 fiches, 151 Mcar, 15000 consultations / jour.

Material Control, 150000 fiches, 81 Mcar, 15000 consultations par jour.

Etc... ce qui donne une idée des possibilités du temps réel.

1962 : USS II reprend l'architecture de UMASSC (ou USS I) en y ajoutant une mémoire à tores de 100 mots, qui permet d'accélérer notablement l'exécution des calculs.

1962 : Univac III

Malgré son nom qui cherche à souligner une continuité, l'Univac III est une machine tout à fait nouvelle, utilisant des mémoires à tores importantes et une logique à

diodes animée par des amplificateurs à ferractors, récupérée sur l'étude LARC. Les périphériques sont des dérouleurs de bande Uniservo III et des tambours Randex, avec des cartes perforées pour le service.

Cette machine dispose pour la première fois chez Univac d'un système d'exploitation, CHIEF, et d'un compilateur Cobol conforme à la norme imposée par le DOD à ses fournisseurs. La commercialisation commencera très bien, avec 150 commandes. On sait que cette production sera abandonnée après fabrication de 82 machines, comme conséquence de la réorganisation imposée par Sperry.

Parmi les clients on peut citer le Bureau of Ships à Washington, l'US Naval Electronics Supply Office à Great Lakes, Ill , trois machines pour la comptabilité du Marine Corps ; deux machines pour la compagnie d'électricité SME à Naples ; trois exemplaires à Bale, Suisse, pour CIBA, Sandoz, Hassler ; Hertie à Frankfurt, Helmut Horten à Düsseldorf ; et aucune en France, où Univac est interdite par un accord avec Bull sur l'exploitation des brevets Hollerith.

1962 : U 1107 Thin film computer

Sur contrats militaires, Univac a étudié, à partir de 1959, des mémoires à film mince dont la fabrication sera, espère-t' on, bien plus facile que celle des tores. En 1961, ces études ont abouti à de petites mémoires dont la fabrication est en réalité coûteuse, mais dont le temps d'accès est nettement plus court que celui des tores.

Reprenant diverses dispositions architecturales inspirées par son étude 1206 pour le NTDS, Univac Roseville conçoit une machine scientifique 36 bits , où cette petite mémoire à cycle de 600 ns, accès 300 ns, limitée à 128 mots, contient 16 accumulateurs, 15 registres d'index, 16 registres divers adressables, et les mots codes qui dirigent les entrées / sorties. La machine est résolument temps réel, avec trois mécanismes nouveaux qui feront date :

- une horloge temps réel, en fait un compte-temps incrémenté à chaque milliseconde. Ce compteur automatique est R0, un des 16 registres adressables dans la mémoire à film mince.

- une opération de répétition, contrôlée par R1, un autre de ces 16 registres, permet de programmer de façon très dense (deux instructions) des actions extrêmement utiles, comme le transfert-bloc ou le cumul additif ou soustractif. En outre, grâce à un registre de masque situé en R2, cette opération autorise des recherches très rapides à travers la mémoire, de mots contenant des groupements de bits qui obéissent à des règles arithmétiques quelconques ($>$, $<$, $=$, entre ou hors deux limites, etc...).

- un champ de 4 bits dans le format des instructions permet de sélectionner dans un mot consulté en mémoire un champ de 36, 18, 12, ou 6 bits, de le cadrer en faibles poids pour l'exécution, et de le remettre en place pour le stockage. Par ce procédé, dit de configuration, cette machine-mot est capable de manipuler facilement des caractères de 6 bits , le format usuel de l'époque.

De plus, elle inaugurerait une organisation des entrées / sorties à base de canaux-mots, capables de gérer eux-mêmes la relation entre la mémoire et le contrôleur de périphériques, ne recourant au CPU que pour l'initialisation, et lui rendant compte par interruption. Cela aussi était inspiré par l'étude NTDS.

Le logiciel était encore sommaire et, en attendant d'avoir mis au point son premier exécutif, Univac fit étudier par CSC (Computer Sciences Corporation), une société de service, un moniteur baptisé MASTER dont nous possédons une description.

Il y eut ensuite un EXEC I, qui devait recevoir la liste complète des travaux à traiter, afin d'optimiser par un calcul détaillé préalable l'emploi des ressources. Ce peut être utile, par exemple, pour affecter des dérouleurs de bande à une série de travaux de mise à jour de fichiers, au cours d'une nuit, mais c'est inapplicable aux activités disparates d'un centre de calcul scientifique.

Avec l' EXEC II, au contraire, l'opérateur plaçait sur tambour, au fur et à mesure de leur arrivée, les demandes de travaux affectées d'une priorité, et le système puisait dans cette liste au fur et à mesure de ses disponibilités. On était loin de l'optimum, cependant, et la charge de l'opérateur était importante.

La nouvelle architecture était révolutionnaire, et capable de satisfaire tous les types de clients : les scientifiques avec la virgule flottante et la recherche de table, les militaires dont elle utilisait l'alphabet Fieldata, et les applications temps réel des civils comme des militaires où ses performances surclassaient celles de la 490. Elle obtint immédiatement un vif succès. On peut citer :

- des universités : Case Institute of Technology, Cleveland ; Université Notre-Dame ; Institut de recherche de l'Université d' Alabama, Huntsville ; Faculté d' Orsay, France ; Centre norvégien de calcul, Oslo ;

- des organismes de recherche : Goddard Space Flight Center ; Computer Science Corporation, qui a écrit le compilateur ; Armour Research Foundation, Ill ; Institut für Statistik und Dynamik der FlugKonstruktionen, Stuttgart ; Air Ministry, Londres ; et deux machines pour le Bureau of Census, remplaçant les 1105.

- des industriels de premier plan : Boeing , Electric Boat à Groton ;

- des applications temps réel : contrôle du trafic à Toronto, voir 251-529/35 ; gestion de communications pour l' USAF.

Cependant, si nous regardons après coup cette période, la technologie de la 1107 n'était pas à la hauteur de son architecture, et pratiquement tous les clients s'en sont assez vite rendu compte, la fiabilité de la 1107 étant assez médiocre. C'est pourquoi il n'y a eu finalement qu'une vingtaine de 1107, presque tous les clients cités passant dès que possible à son successeur, la 1108.

Fait caractéristique de la médiocre organisation interne de RRU, la mémoire de masse proposée par Roseville pour sa 1107 était un ensemble de disques Bryan, alors qu'au même moment Bluebell mettait en service les grands tambours Fastrand. On ne peut préciser si ce choix résultait de l'ignorance mutuelle des deux groupes, ou s'il était dicté à Roseville par une méfiance (justifiée) à l'égard des tambours Randex qui équipaient depuis des années les créations de Bluebell.

1963 : U 1004

Cette petite machine compacte groupant un lecteur de cartes et une imprimante est en réalité une machine mécanographique, mais sa présentation pratique et son design en feront une grande réussite : quelque 3000 exemplaires seront produits sur une dizaine d'années, devenant outil de service local pour les gros calculateurs, et terminal lourd

pour les centres fonctionnant en télétraitement. Elle pourra, dans ce dernier rôle, s'adjoindre une bande Uniservo A ou VI C et devenir un 1004 III.

1963 : U 1218, nouveau calculateur militaire pour les petits navires. Voir rubrique 581.

1963 : U 1050

Dans la ligne des 1401 d'IBM, qui faisaient à cette époque une percée extraordinaire en matière de gestion, Univac conçoit cette petite unité centrale alphanumérique comme un gérant de périphériques "unit record", c'est-à-dire cartes et imprimantes, travaillant pour le compte des Univac III, 490 et 1107. Matériellement, elle utilise la technologie de l' U III. Comme la 1401 elle pouvait travailler en autonomie, et c'est à ce titre qu'elle fut commandée à 152 exemplaires par l' USAF, pour la gestion des inventaires des bases.

Devant ce comportement, Univac annonça, dès janvier 1964, une 1050A à mémoire un peu gonflée, et capable de gérer, en plus des cartes, des bandes magnétiques Uniservo VI et des tambours Fastrand. Elle aurait pu, probablement, faire une carrière dans la gestion si, trois mois plus tard, IBM n'avait annoncé la famille S/360, bouleversant le marché et mettant fin brutalement aux succès de toutes les machines de la génération précédente : sa propre 1401, la 1050 d' Univac et la 301 de RCA, pour ne citer qu'elles..

Au total, il n'y aura guère plus de 300 des diverses 1050, malgré plusieurs améliorations substantielles.

1963 : U 418

Comme précédemment avec la 490, Roseville transforme immédiatement sa machine militaire 1218 en une version civile baptisée 418, qui va obtenir de beaux succès dans le monde du temps réel civil, où son domaine d'élection sera la gestion de communications. Voir fiche.

Exemples d'application :

- collecte des signaux de 2000 détecteurs de trafic et de 1000 feux de signalisation pour la 1107 de Toronto.

- gestion de 1100 terminaux pour Federal Telecommunications.

- organisation du réseau de la SITA, Société Internationale de Télécommunications Aéronautiques, avec cinq paires de 418 à Rome, Madrid, Francfort, Bruxelles, et New York.

1964 : U 1108

Compatible avec la 1107 mais nettement plus puissante, cette machine offre dès son apparition les améliorations suivantes :

- mémoire de capacité maximale doublée et beaucoup plus rapide, 750 ns au lieu de 4 μ s; de plus les deux blocs modulaires sont indépendants pour permettre le recouvrement.

- mémoire de contrôle accélérée à 125 ns et réorganisée pour loger deux jeux de registres, correspondant à deux modes d'exploitation : un mode gardé pour les programmes usager, et un mode privilégié pour le système. En contrepartie, il a fallu renvoyer les mots de contrôle de canaux en mémoire, mais la vitesse très accrue de celle-ci réduit l'inconvénient de cette décision.

- notable enrichissement du répertoire, qui passe de 119 à 142 instructions. En particulier, généralisation de la double précision en fixe et en flottant.
- apparition du mode ESI sur les canaux, autorisant les périphériques à spécifier les adresses avec lesquelles ils doivent travailler, ainsi que le format, 36, 18 ou 9 bits par transfert.
- apparition de nouveaux périphériques, en particulier les mémoires de masse à tambours, les Fastrand II, et de nouveaux dérouleurs de bandes magnétiques compatibles IBM, les Uniservos III, IV, VI et VIII C.
- possibilité de se connecter une 418 et de l'utiliser comme collecteur de terminaux.

Compte tenu de la demande de puissance de calcul évidente chez les clients, Univac propose le MPA, un commutateur électronique de canal qui permet à deux 1108 indépendantes de partager les mémoires de masse et les bandes. Il n'y a pas encore, dans cette première annonce, de multiprogrammation, essentiellement parce qu'il n'y a pas de système d'exploitation pour cela.

Le logiciel, en effet, en est encore à ses débuts : les applications "temps réel" doivent faire l'objet d'une programmation spécifique ; pour les applications de type Centre de Calcul, Univac n'offre que l'Exec II dont on a parlé plus haut à l'occasion de la 1107. Pour les langages, il y a essentiellement l'assembleur SLEUTH, un Fortran IV, un Cobol 61 et, en Europe, un Algol 60 produit par une université ; plus de nombreux programmes d'application, un peu disparates, mis à la disposition du club des utilisateurs par leurs rédacteurs mais en général sans garantie : PERT, programmation linéaire, APT, et bien d'autres.

Le succès de la 1108 fut immédiat, le rapport 5 en performances pour un rapport de prix ne dépassant pas 2 étant un argument suffisant pour que plusieurs propriétaires de 1107 demandent à changer immédiatement. On peut citer trois installations de service :

Remotran est un système de temps partagé organisé par Computer Sciences Corporation à travers les états du Nord-Ouest américain : Utah, Idaho, Oregon, Washington, Montana, Colombie britannique : une 1108 à mémoire maximale 128 Kmots, avec 5 tambours FH 432, deux Fastrand II, travaille en 1967 au profit de 52 terminaux DCT 2000, en remplacement d'une 1107. Bien entendu, la configuration est en constant développement, et les chiffres ci-dessus sont valables à un certain jour.

FASBAC, pour Fully Automatic time Shared Batch And Conversational processing, semble être un ensemble relevant de la société de service University Computing, composé d'une 1108 travaillant en batch et d'un 418 de temps partagé avec 32 Kmots et Fastrand, alimentés en travaux par un autre calculateur plus modeste servant de collecteur de terminaux.

CCSA, le Centre de Calcul Scientifique de l'Armement, à Arcueil, installe à partir de 1967 une paire de 1108 qui travaillent en Exec II et se répartissent à travers des contrôleurs CTMC les travaux soumis par plusieurs terminaux lourds de la région parisienne, à base de stations 1004.

SNCF, à Auteuil, installe en 1967 une paire de 1108 fonctionnant en Exec II avec commutation de périphériques pour la gestion de personnel de l'entreprise, retraités compris, et pour la gestion du parc de wagons. Voir un article dans la fiche.

Toutefois, la véritable carrière du 1108 commencera en 1968, avec l'arrivée du système d'exploitation Exec 8 et le fonctionnement en biprocesseur. Voir plus loin rubrique 582.

10 / 65 : U 1040

La carrière brutalement interrompue des 1050A laisse un certain nombre d'unités centrales inemployées à Bluebell, qui les recycle dans une 1040 tout à fait comparable, mais que son numéro et sa nouveauté permettent d'offrir à moindre prix que l'original. Petit succès.

2 / 66 : U 1005

C'est en réalité un simple 1004 dont la mémoire a été portée à 2048 ou 4096 caractères, ce qui permet d'envisager une programmation au moins en partie interne, tout en conservant le tableau de fiches du 1004. Le répertoire est étendu, et il y a un vrai logiciel. Cela prolongera la vie du 1004, quand seront abandonnées toutes les autres créations de Bluebell.

1966 : U 491 et 492

Ces machines prolongent, dans une stricte compatibilité, le succès de la 490, en utilisant la technologie de la 1108 qui était en train de faire ses preuves. Les deux machines ne diffèrent que par le nombre de canaux, et prennent sans publicité la suite des commandes temps réel. Exemples :

Keydata, chez Adams Associates. Cette société avait organisé à Boston un réseau de services en temps partagé, appuyé sur un DEC PDP 6. Au début de 1966, elle remplace son installation par une 491 avec service local de cartes par 1004, fichiers sur tambour Fastrand, et collecte des terminaux à travers des calculateurs DDP 116.

Telemax : la Telemax Reservation System Corporation organise en 1966, autour de deux 491 et pour M\$ 6, un réseau de 375000 miles de lignes pour les besoins des sociétés à succursales.

Le central est installé à East Orange, NJ, avec FH 880, Fastrand, 4 bandes, 1004 ; les terminaux Teletel, au nombre de plusieurs milliers, sont des compositeurs de messages à languettes, 40 languettes et un maximum de 27 positions par languette.

Premiers clients : National Car Rental System, avec 1100 terminaux, et Master Host Motels, 260 terminaux. Le prix s'élève à \$ 98 par mois et par terminal. Par la suite, le système évoluera pour se connecter au Sabre d' American Airlines.

581 - les produits militaires d' Univac

On a indiqué ci-dessus les relations établies entre le groupe Sperry et l' AFCRC, mais cette filière ne s'est pas montrée très profitable, probablement parce que l' AFCRC lui-même n'a pas eu une très longue carrière. C'est finalement du côté de la Marine, grâce aux relations fort anciennes et constamment renouvelées de sa filiale Sperry Gyroscopes, que le groupe Sperry va trouver sa voie et en faire profiter Univac. Pourtant, c'est bien avec l' USAF que sera signé le premier contrat.

1958 : Athena

Les USA organisent la dissuasion avec des missiles intercontinentaux, dont le premier est l'Atlas, étudié par General Dynamics. En attendant la mise au point de centrale à inertie de précision suffisante, il est nécessaire de guider par radio le missile, sur la foi de mesures collectées par les radars qui le suivent depuis son décollage. En fin de combustion du moteur principal, hors de l'atmosphère, et après largage de ce moteur, la tête nucléaire sera balistique et sa trajectoire entièrement déterminée : il faut donc, compte tenu de la cible, l'amener en un point déterminé avec un vecteur vitesse précis, en agissant sur la position de volets plongés dans les tuyères et sur l'instant d'extinction du moteur.

23 machines seront construites et n'auront qu'un service assez court, puisqu'elles deviendront inutiles dès la mise au point des centrales à inertie et des missiles Titan. Toujours en excellent état, ces machines seront données par l' USAF à diverses écoles.

1958 : le programme NTDS

Vers 1958, après des réflexions préalables sur lesquelles nous ne savons rien, l' US Navy décide qu'on ne peut plus différer le lancement d'un programme technique concrétisant ces élucubrations. Il s'agit de définir un ensemble informatique destiné à coordonner la collecte de données sur les menaces aériennes et la commande des actions de défense à l'échelle non plus d'un navire, mais d'une escadre.

Pour le moment, seul l'avion est réellement une menace pour les navires, car il n'existe pas de missile antinavire d'une efficacité suffisante pour menacer un groupe de bateaux, sauf quelques véhicules expérimentaux qui ont la taille et la vitesse d'un petit avion et relèvent donc des mêmes moyens d'action. Ainsi, en se basant sur les matériels existants ou prévisibles à court terme, on définit le seul scénario plausible d'attaque par un ennemi, et l'organisation qui fournira la meilleure défense, à savoir :

a) la cible est une force de combat équipée d'avions d'attaque et de canons capables de tirer contre la terre, constituant pour l'ennemi une menace qu'il va forcément essayer de détruire ou d'affaiblir. Cette force se compose d'un porte-avions, de croiseurs et de destroyers. Elle doit assurer seule sa propre défense.

b) l'ennemi dispose de deux scénarios possibles d'attaque : des raids aériens et des sous-marins. Les deux méthodes peuvent très bien se combiner. Le commandant de la force est censé posséder des renseignements appropriés sur les moyens dont l'ennemi dispose ; s'il n'estime pas pouvoir les surclasser, il devra renoncer, ou combiner ses efforts avec une autre force.

c) connaissant la nature des avions de l'ennemi et leur vitesse (en 1960), le projet fixe des valeurs réalistes pour les lignes de défense successives :

- les porte-avions n'ont pratiquement en propre aucune défense efficace à courte distance. Il ne doit donc pas être possible de les approcher. Ils sont groupés au centre du dispositif.

- les missiles mer / air, Tartar et Terrier, ont une portée de 30 nautiques. Il faut donc entourer le ou les PA d'un rideau d'au moins huit bâtiments de défense, DLG ou croiseurs, situé à 25 nautiques de distance pour créer une "enceinte de protection" de 50

nautiques de rayon. Au delà, seuls des avions peuvent intervenir, car on ne peut espérer avoir assez de navires pour élargir ce cercle.

- les avions capables d'intercepter et de détruire l'ennemi ont un rayon d'action utile de 150 à 200 nautiques, y compris une heure au plus de combat à cette distance. On ne peut maintenir ces patrouilles en permanence sur un si vaste périmètre. Il faut donc avoir une marge d'alerte pour que les patrouilles aient le temps d'arriver à portée de l'ennemi.

- en conséquence les radars doivent garantir 100% de détection à l'intérieur du cercle de 200 nautiques de rayon, ce qui n'est pas réaliste pour des radars de bord. C'est ce qui a conduit à l'invention des avions AEW, qui emportent un puissant radar en altitude pour en accroître la portée.

- la coordination des renseignements et des armes de la force n'est pas réalisable avec seulement des hommes compétents devant des téléphones et des écrans de radars. Une automatisation du suivi des avions, amis et ennemis, de l'évaluation de la menace et de la désignation d'objectif est indispensable.

d) la défense contre les sous-marins est un problème distinct, du fait que leur seule arme, la torpille filoguidée, est limitée en vitesse et en portée. Les destroyers de l'escorte devront disposer d'équipements d'écoute permettant de détecter les sous-marins dans tout le cercle précédent et d'armes capables de les couler s'ils y pénètrent, avec des temps de réponse beaucoup plus longs que contre les avions.

e) l'efficacité du dispositif exige que tous les bâtiments de la force soient en permanence au courant de la situation tactique, ce qui ne peut être réalisé sans une automatisation des liaisons.

f) bien entendu, l'ennemi potentiel va s'efforcer de créer des armes plus puissantes et à plus longue portée et des avions plus rapides. Quelque système qu'on établisse, son efficacité n'aura qu'un temps et il faudra périodiquement (tous les dix ans ?) refondre totalement l'équipement des forces d'attaque. Cela signifie qu'on doit agir tout de suite, et réaliser la première génération du système assez tôt pour que les hypothèses autour desquelles il est édifié soient encore valides à sa mise en place.

C'est donc en 1957 que l'US Navy passe à Univac le contrat d'étude AN/USQ 17 (code Countess) pour une machine qui devra servir de prototype à un matériel de bord, après avoir démontré son aptitude à traiter le problème tactique tel que décrit ci-dessus. Mais ce n'est qu'en 1960 que la réussite de cette phase d'études - qui comporte bien d'autres réalisations que ce calculateur - conduira à l'apparition de crédits dans le budget, à l'organisation de centres d'essai et de programmation, bref à des actions impossibles à cacher qui attireront notamment l'attention de la Marine française.

En janvier 1961, le STCAN envoie aux USA une petite mission dirigée par l'ICGM Boucher, avec comme objectif de découvrir chez les divers constructeurs ce qu'ils font en matière de temps réel, un domaine alors totalement ignoré en France. Bien accueillie à peu près partout, même chez Ramo Wooldridge qui construit un calculateur embarqué à bord des sous-marins, la mission se heurte à San Diego à un barrage ferme :

le sujet du NTDS, dont en France on ne connaît encore que le sigle, n'est pas accessible aux français.

La France étant un allié des Etats-Unis, les autorisations sont obtenues en quelques mois, puisque l'affaire n'est plus un secret, mais un programme en cours d'exécution. En mai 61, une mission plus importante, dirigée par l'ICGM Nouailles est accueillie à San Diego et chez les divers industriels du programme (Univac, Collins, Ramo Wooldridge) et ramène un rapport technique qui figure dans la boîte 118 et décrit successivement le problème, le concept tactique, les équipements inventés pour le concrétiser, et ce qui reste à faire en matière d'essais à bord et de programmation.

La Marine française envisagera alors un programme comparable pour ses propres navires, avec la contrainte essentielle de pouvoir intégrer ces navires dans une escadre américaine en cas de participation à des opérations communes, et obtiendra de la Navy l'autorisation d'envoyer à San Diego, pour un stage de 6 mois dans le Centre de programmation NTDS, l'IPGM Thellier. A son retour, celui-ci deviendra responsable de la partie technique du Centre de Programmation que la Marine édifie à Paris.

1958 : le prototype M 460 Countess , contrat AN / USQ 17

L'architecture de la machine étudiée par Univac rappelle beaucoup celle du X 308 édifié pour la NSA, ce qui est normal puisque ses créateurs sont ceux-là mêmes qui ont construits le X 308. Ses traits principaux sont :

- un mot de 30 bits , choisi en fonction de l'application. Arithmétique en virgule fixe, avec représentation du signe par le complément à 1.
- bloc de calcul composé d'un accumulateur et d'une extension, permettant multiplication et division
- instructions de 30 bits du type 1 adresse, avec des adresses de 15 bits et un jeu de 7 registres d'index. La durée d'exécution d'une instruction est en moyenne de 20 μ s. Il existe une instruction de répétition.
- il existe un compte-temps adressable, battant la milliseconde.
- système d'entrées / sorties quelque peu expérimental, comportant 8 registres tampons de tailles diverses, dont deux spécialisés, qui ont tous accès à la mémoire. 2 cables d'entrée et 1 cable de sortie de données sont associés à chacun des six registres généraux, et 6 cables de fonction au registre C3, de sorte que 7 actions extérieures peuvent être en cours simultanément.

Les périphériques peuvent appeler le calculateur par interruption (une par cable).

La mémoire est à tores magnétiques, avec un cycle de 8 μ s. La logique est à diodes avec amplificateurs à transistors, tous composants discrets. La fréquence de travail est 2 MHz.

La mission du M460, installé à San Diego, est d'évaluer l'architecture, éventuellement de la modifier, et de réaliser les premières programmation pour former les chefs des futures équipes. Le M460 n'est pas soumis aux exigences militaires de fiabilité, mais il est essayé à San Diego en liaison avec des périphériques réels, tels que des radars, des codeurs de signaux, et le système Collins Kineplex AN / SSQ 29 de la liaison 11, qui sert à la diffusion radio des situations aux navires de l'escadre.

1960 : ADD 1000

Parallèlement au travail précédent, Univac a établi le contact avec les aviateurs de la Marine, et obtenu un contrat d'essai pour un prototype technique de machine 24 bits, dotée d'une mémoire de programme permanente et d'une mémoire de travail à film mince. Telle est donc l'origine de la mémoire qui jouera, dans les années suivantes, un rôle de plus en plus important chez Univac, dans des machines tant civiles que militaires. Le prototype ADD 1000 ayant passé tous les tests, deux nouveaux contrats définiront un ADD 1020 qui pourrait passer tous les tests d'un matériel embarqué sur avion, et un ADD 2000 de plus grande puissance, mais susceptible d'être soumis aussi aux conditions de vol. Ces deux machines seront à l'origine de deux familles opérationnellement réussies.

1961 : U 1206 = CP 642 / USQ 20

Comme indiqué plus haut, 1961 est l'année de la décision pour le programme NTDS : Univac reçoit de l' US Navy une commande de 143 machines AN / USQ 20 réalisées en conformité avec les normes sévères applicables au matériel embarqué, et dont la plupart sont effectivement destinées à l'équipement de la nouvelle flotte, en commençant par un an et demi d'expérimentations tactiques à bord du porte-avion Oriskany et des destroyers lance-missiles King et Mahan.

Le calculateur de série reçoit le sigle CP 642 / USQ 20, ou CP 642 identifie un calculateur, tandis que USQ 20 désigne la partie informatique du NTDS ; U signifie service général interarmes, S = Système, Q précise que l'informatique n'est qu'une partie de ce système. Pour Univac, c'est le projet interne 1206, qui reconduit presque exactement l'architecture du M460 dans une armoire étanche.

Les différences comprennent l'introduction d'un bootstrap de 16 mots en mémoire NDRO, permettant des reprises automatiques, une horloge temps réel de 7 jours et une organisation plus homogène des entrées / sorties : 14 canaux 30 bits d'entrée, 12 canaux 30 bits de sortie, et 2 canaux de sortie servant à des communications entre CPU d'un système, puisqu'il est prévu d'installer trois CPU sur un porte-avions. Les fonctions passent désormais par le même canal que les données, avec un simple fil de plus dans le câble standard pour spécifier la distinction.

La prestation d' Univac comporte tous les éléments informatiques mais la compagnie en a sous-traité une partie. On trouvera dans la fiche une planche descriptive.

L'alimentation de toute la partie informatique se fait en 400 Hz triphasé, permettant un meilleur filtrage dans la production du courant continu basse tension utilisé par les transistors; à partir de cette date ce type de courant se généralise à bord de tous les navires pour les besoins des équipements électroniques toujours plus nombreux. Le courant ordinaire 60 Hz n'est plus employé, dans ces équipements, que pour les éclairages et la ventilation.

Le logiciel de service se compose d'un assembleur, d'un compilateur NELIAC (Algol 58) pour des actions de service, et d'un compilateur CS1 pour l'écriture des programmes opérationnels. Ces derniers, en constante évolution, sont rédigés et mis au point dans un , puis deux Centres de Programmation (Pacifique et Atlantique), et diffusés aux bords avec des consignes strictes d'emploi.

1962 : U 1816 et 1824

Faisant suite aux expériences ADD 1000, le 1816 est encore une maquette, qui poursuit un nouvel objectif : démontrer, sur une réalisation de caractéristiques

aéronautiques, l'applicabilité à ces missions des nouveaux circuits intégrés que vient d'inventer Texas Instruments, sous le nom de micromodules. Univac les combine avec sa mémoire à film mince, et réussit à placer un ordinateur 16 bits complet, y compris ses entrées / sorties, dans un cube de 6 litres.

Univac se voit alors confier un contrat pour un projet réel : le MMRBM, Mobil Medium Range Ballistic Missile, monté sur chemin de fer de façon qu'on ne sache jamais où il est. Le ordinateur gardera les instructions 16 bits du 1816 mais manipulera des nombres de 24 bits, indispensables à la précision du missile. Le projet sera finalement abandonné comme dangereux, son invulnérabilité étant incompatible avec le concept de dissuasion accepté implicitement par américains et russes ; mais Univac réalisera son contrat et fournira trois exemplaires du 1824 pour les essais, qui furent satisfaisants. Voir fiche.

Le nom de Microtronic, associé par Univac à la technologie à circuits intégrés qu'il utilisait pour la première fois, n'a pas été retenu par l'histoire, qui ne connaît que les "circuits intégrés".

1963 : NDRO Evaluation Unit

Il s'agit d'un équipement spécialement construit pour l'étude de la mémoire à film mince BICORE. La mémoire comprend 16 mots de 24 bits, mais les circuits d'exploitation sont limités à 12 mots de 8 bits. Pas d'autre intérêt que de noter la date de ces essais.

1963 : U 1212 = CP 642B / USQ 20B

Quand approcha la fin du contrat des 1206, le succès du programme était tel que tous les services désiraient s'équiper. Une seconde série fut décidée, dont on exigeait la compatibilité, mais en profitant des progrès techniques possibles dans le même volume. Les lettres B du sigle indiquent que les spécifications n'ont pas changé, seulement des détails ; une variante A a certainement existé, mais n'a pas été commandée en série.

Les nouveautés comprennent :

- une mémoire à tores à cycle réduit de moitié, 4 μ s.
- une mémoire à film mince de 64 mots, cycle 667 ns, reçoit les mots de contrôle des canaux, dont le nombre passe à 16. Les performances des accès sont nettement améliorées, et l'impact des entrées / sorties sur la mémoire centrale diminué.
- le bootstrap passe à 32 mots et change de technologie : mémoire Unifluxor NDRO à cycle de 667 ns.

Sur une commande de 189 machines, les premières livraisons ont concerné, à la mi 64, plutôt les études en cours que les navires. On note le projet Typhoon (c'est un nouveau missile mer / mer), le projet MTDS du Marine Corps chez Litton Industries, le NOTS de Pasadena, et 6 exemplaires à la Pacific Missile Range où ils sont utilisés à l'exploitation centralisée des radars et autres capteurs du champ de tir.

1963 : U 1218 = CP 789 / UYK

A ce stade, les commandes de 1212 permettent de terminer l'équipement de la flotte de combat, mais il semble inutile d'équiper de machines aussi puissantes les bâtiments de servitude. Pourtant il serait raisonnable que, participant à une opération, ils puissent recevoir et présenter sur leur écran la situation tactique, ne serait ce que pour

s'en tenir à l'écart. Il existe sur le NTDS, de toutes façons, une liaison 16 de performances plus modestes que la liaison 11, et qui pourrait faire l'affaire. La Marine commande donc à Univac, en 124 exemplaires, un calculateur 18 bits, réalisé selon la plupart des normes navales ; cette taille de mot, suggérée par Univac de préférence aux 15 bits d'un demi-mot NTDS, pour la raison très sérieuse que 15 bits est trop court pour beaucoup d'applications, et que 18 bits permettent de loger en mémoire soit trois caractères Fieldata de 6 bits, soit deux caractères EBCDIC avec leur parité. Ainsi le mot de 1218 est un demi-mot de 1107 et 1108, ce qui facilitera les installations temps réel à terre.

Le sigle militaire, où CP signifie calculateur, indique que ce modèle n'est pas commandé pour un programme précis, mais pour tout usage de type UYK, c'est-à-dire tout simplement "ordinateur". Quand par exemple, en 1971, l'USAF décide de transformer 7 radars côtiers AN/FPS 26 du SAGE en détecteurs de missiles IRBM tirés par des sous-marins (AN/FSS 7), le sous-traitant Sylvania de la partie informatique utilisera des calculateurs Sperry 1218.

Le 1218 est réalisé dans la technologie du 1212, à base de très petites cartes enfichables qui constituent l'unité de remplacement en cas de panne, et avec la même mémoire à tores à cycle de 4 μ s.

En plus de la commande Marine, il a été aussi acheté par la NASA, en 11 exemplaires qui pilotaient à travers le monde les antennes des radars de tracking des programmes Gemini et Agena. La FAA, Federal Aviation Agency, en a aussi utilisé deux.
1964 : FLODAC, ou Univac Fluid Computer

Cette réalisation purement expérimentale, faite à l'initiative de l'Armée de terre, a permis de définir une technologie d'éléments logiques NOR, réalisables en masse par moulage plastique ou par attaque chimique sur des plaques de métal, avec laquelle on pouvait envisager de construire des pilotes automatiques de missiles, par exemple, d'une fiabilité exceptionnelle et sans consommation d'énergie.

Malgré le succès, il n'y a pas eu de suite, probablement pour de mauvaises raisons (ne multiplions pas les technologies dont chacune exige ses propres spécialistes !) ; a posteriori l'électronique est aujourd'hui plus efficace et moins encombrante.

1964 : CP 667

Ce calculateur qui n'a pas été construit en série est une énigme, parce qu'on ne connaît pas sa raison d'être, ni du point de vue d' Univac ni du point de vue de la Marine : sa technologie est celle du 1230, mais il peut fonctionner en deux modes :

- soit dans un mode 30 bits compatible avec les USQ 20 et 20B
- soit avec ses mots complets de 36 bits et un répertoire étendu à la virgule flottante double précision et à l'emploi de plusieurs jeux de registres à prendre dans une mémoire rapide à film mince.

Le prototype, réalisé aux normes militaires dans une armoire très analogue à celle des USQ 20, ce qui suggère qu'un emploi opérationnel a été envisagé un moment, a été installé au NEL de San Diego, où il a été utilisé à des travaux de programmation prospective.

1964 - U 1830 = CP 823 / U

Avec cette machine Univac a fini par atteindre son objectif, consistant à produire en série des calculateurs pour les avions de la Marine, en partant de son étude ADD 1000 et en passant par l'étape 1824, techniquement réussie mais abandonnée faute de projet pour l'utiliser.

Le 1830 est une version aéroportée compatible de l'USQ 20, destinée par conséquent à des avions ayant à travailler avec la flotte pour des tâches complexes. Le 1830 initial, qui prouve la faisabilité d'un calculateur complexe dans des dimensions acceptables pour l'aéronautique, aurait logiquement trouvé sa place sur un avion Hawkeye d' AEW, puisqu' il traite un problème proche de celui du NTDS ; c'est sans doute dans ces conditions qu'il a été expérimenté. Le U indique qu'au moment du contrat, le calculateur n'a pas encore d'affectation définie.

Cependant la fiche se trompe sans doute en indiquant que sur le Hawkeye on l'utilisait pour exploiter des bouées acoustiques, car c'est une activité d'avions patrouilleurs. On dispose de deux renseignements pas complètement cohérents :

- une variante du 1830 a été commandée en 162 exemplaires par la Marine, sous le sigle AN /AYK 10.

- une variante du 1830 a équipé les avions patrouilleurs P3A dans le cadre d'un programme de rénovation baptisé A New ; ce calculateur servait effectivement à l'exploitation des bouées.

Bien que le chiffre de 162 machines soit bien supérieur à l'effectif des P3A, il n'est pas impossible de concilier ces deux informations, avec les rechanges et les emplois au sol.

1964 : U 1219 = CP 848 / UYK

Le 1219 est le successeur du 1218, avec les améliorations technologiques que nous avons signalées pour le 1212, c'est à dire une mémoire à tores plus rapide et plus grande, et l'apparition d'une mémoire de contrôle qui loge un certain nombre de registres et de mots de commande pour canaux.

L'identification du 1219 avec le CP 848, commandé en 274 exemplaires par la Marine, est seulement plausible, car on n'a pas de date. Il est également question, en 1970, mais sans indication de sigle, d'un contrat de 8,2 M\$ pour une variante 1219B qui remplace des calculateurs analogiques de guidage des missiles Tartar et Talos sur des navires en refonte.

1965 : Calculateur pour le Nike X

Vers cette époque de la guerre froide, les programmes se succèdent pour la réalisation jugée urgente d'un système de défense antibalistique. La difficulté est que les têtes nucléaires arrivent accompagnées de leurres qui ont même forme extérieure, et que le missile qui doit les contrer par une petite bombe atomique doit savoir lequel de ces objets il doit attaquer. En effet, on peut imaginer deux tactiques :

- provoquer la rencontre au dessus de l'atmosphère, à 1000 Km de la cible, ce qui fait que l'explosion nucléaire aura peu d'effet au sol. Malheureusement une bombe atomique n'a pas d'effet de souffle dans le vide et il faut compter sur les éclats et les radiations de l'explosion pour détruire la bombe arrivante. Il faut donc être précis et puissant : le missile correspondant, baptisé d'abord Nike X, puis Spartan, emporte une bombe H.

- provoquer la rencontre dans l'atmosphère, l'explosion nucléaire détruisant par le souffle à la fois la bombe et les leurres. Mais ce type d'explosion risque de faire des dégâts à terre et il doit s'agir d'une petite bombe ; d'autre part, on a très peu de temps pour agir, donc le missile doit être très rapide : le missile Sprint emporte une bombe de quelques kilotonnes et démarre à 100 g.

Le calculateur commandé à Univac correspond à la première solution, qui exige d'immenses quantités de calculs à exécuter dans un temps très court, pour tirer d'une vidéo radar brute la signature spécifique d'une tête nucléaire. En fait, nul ne sait si un tel programme est réalisable avec les moyens de l'époque, de sorte qu'il s'agit d'une course à la puissance de calcul, qui conduit chaque constructeur à multiplier les processeurs travaillant en parallèle (Burroughs PEPE, par exemple). Univac semble avoir utilisé une architecture autorisant jusqu'à 25 processeurs simultanés, associés à des mémoires très rapides exploitant son expérience sur les films minces. Un article des FJCC 1966, p 281, décrit en détail une immense mémoire à cycle de 200 ns, qui est probablement construite pour ce projet puisqu'elle n'apparaît dans aucun autre ; toutefois l'article est soigneusement muet sur la mission de la mémoire qu'il présente. Voir fiche classée "Target Identification".

Le calculateur Univac et tous les autres sont restés des prototypes, puisque les projets successifs, Nike X puis Sentinel puis Safeguard, n'ont jamais atteint le stade opérationnel, dans une large mesure à cause de l'opposition d'une partie du Congrès à l'explosion de bombes atomiques au dessus des USA. Mais le thème a été repris à chaque progrès technologique, et chez plusieurs autres constructeurs.

1965 : U 1230

Nouvelle commande de la Marine en 1965, pour livraison l'année suivante, d'un calculateur compatible NTDS substantiellement amélioré, comme suit :

- mémoire principale à tores comportant 32768 mots capables de recouvrement, cycle 2 μ s. En cas de système dual, une extension partageable est possible jusqu'à 80 Kmots supplémentaires, et 4 canaux de plus.

- mémoire de contrôle à film mince, cycle 400 ns, 128 ou 256 mots, dans laquelle on place les mots de commande des canaux, l'horloge temps réel et les index .

- deux bootstraps de 32 mots chacun, dans une mémoire NDRO à transformateurs à cycle de 300 ns.

- quelques nouveautés dans le répertoire, notamment pour le calcul de la racine carrée. En somme une amélioration assez anodine, mais tout le monde va s'intéresser à cette machine, que nous connaissons sous trois sigles différents :

- 19 machines CP 808 sont utilisées comme calculateur central pour le système AN / TYA 20, lequel est une version du MTDS, application des principes du NTDS aux tâches terrestres du Marine Corps, qui a besoin de coopérer étroitement avec les canons de la flotte et les avions d'appui.

- 40 machines commandées par la NASA pour les stations de tracking et de télémétrie du projet Apollo, qui débute à cette époque.

- 10 machines pour les stations terminales de la Satellite Control Facility de l' USAF.

- et certainement une importante commande de l' US Navy : nous avons la trace de deux contrats pour 35 CP 855 /UYK et 94 CP 890 /UYK , sans pouvoir les rattacher à un projet particulier.

1966 : U 1830A

Il semble s'agir d'une commande de la Navy destinée à des installations de navires et non d'avions, dans lesquelles un soin particulier a été apporté au problème de la maintenance, concrétisé par un MTTR (temps moyen de réparation) de 15 minutes, évidemment par échange standard.

Le 1830A est construit en circuits intégrés et sa mémoire peut comprendre jusqu'à 128 Kmots; c'est le seul des calculateurs de la famille 18XX pour lequel nous avons un document illustré.

1967 : U 1818 = CP 914 ou 915

Ce calculateur beaucoup plus modeste appartient à l'autre famille des descendants de l'ADD 1000, celle des machines miniatures. Il a été utilisé pour le programme ILAAS , qui concerne initialement l'équipement complet de l'avion A6B Intruder.

Dans ce système AN /ASQ 116, dont Sperry est responsable, sont intégrés les sous-ensembles suivants :

- radar doppler AN /APN 186, probablement Kearfott
- radar de nez AN /APQ 127, probablement Texas Instrument
- centrale à inertie AN /ASN 81, probablement General Precision
- compas gyroskopique de réserve AN /ASN 80
- écran de visualisation verticale AN /AVA 6
- écran de visualisation horizontale AN /AVA 7
- collimateur du pilote AN /AVA 8
- calculateur de données aérodynamiques AN /AYK 4
- calculateur pour l'inertie et le doppler CP 914 /ASQ 116
- calculateur pour la navigation et les armes CP 915 /ASQ 116
- mode evaluator unit, CV 2405 /ASQ 116
- jeu de 5 boîtes de commandes, OD 17 /ASQ 116
- contrôle des transmissions, AN /ARM 119

Les deux calculateurs ASQ 116, qui diffèrent seulement par leurs programmes cablés, travaillent en parallèle sur 18 bits, avec 4 à 8 Kmots de mémoire de programme de type "core rope" NDRO, et 1 Kmots de mémoire de travail, toutes deux à cycle de 2 μ s. Le répertoire de 28 opérations comprend l'addition exécutée en 4 μ s, la multiplication et la division en 22 μ s ; il y a 10 interruptions.

La réalisation est à base de circuits intégrés, pèse 16 Kg, occupe 20 litres et consomme 197 Watts avec la plus grosse mémoire de programme. Elle a supporté un test de 100 heures de marche avec vibrations permanentes, et fluctuation de la température entre - 55 et + 70 °C .

1967 : U 1500

Vers cette époque, le 1218 est déclassifié, et Univac peut donc imaginer de la commercialiser auprès d'organismes civils ayant des exigences de robustesse à l'égard de

leur matériel, par exemple parce qu'ils travaillent dans des pays chauds et humides, ou froids et humides, hors possibilité de conditionnement : plateformes pétrolières, sondages sismiques, par exemple.

La prestation d' Univac consiste à offrir un logiciel de gestion et de bureautique pour des machines jusque là utilisées en temps réel, ainsi que les périphériques protégés que cela nécessite, tous matériels existants. Derrière ce plan, il y a aussi l'idée que cela pourrait également intéresser les militaires et donc provoquer de nouvelles commandes. Voir brochure publicitaire illustrée, et communication sur un système documentaire dans 246-243/54, réalisé sur un contrat du RADC.

Par la même occasion, le RADC suscite aussi, chez les ingénieurs de Bluebell, le développement à 108 bits de la mémoire à film mince réalisée pour le 9300. Univac fournira au RADC, en 1967, un plan mémoire de démonstration de 2048 * 4608 fils, soit 107 bits environ. Il ne semble pas, cependant que cette étude ait débouché sur un besoin militaire, ni que Bluebell l'ait utilisé pour ses machines civiles.

Voir 246-363/70.

1968 : le programme A New

Entamé avec le 1830 sur avions P3A, le programme A New concerne l'équipement ab initio d'une nouvelle série d'avions patrouilleurs Lockheed Orion, les P3C. Le système interconnecte à un ordinateur unique U 1830B doté de 48 Kmots de mémoire, le système de navigation AN/ASN 84 de General Precision, et l'ensemble des périphériques militaires étudiés par Loral.

Ces périphériques comprennent :

- l'écran du pilote, avec un tube de 9" (229 mm), présentant au choix les images du radar, de la TV, renseignées à l'aide de 36 symboles. Le pilote dispose aussi, en direct, des indications du ordinateur de données aérodynamiques.

- un canal ARO, disposant d'un tampon de 256 mots, pour présenter sur les tubes charactron du commandant de bord et du navigateur des textes provenant du data link ou du télétype.

Le navigateur est le principal utilisateur de l'AN/ASN 84, qui rassemble et coordonne les signaux de la centrale à inertie, du ordinateur de données aérodynamiques, du radar doppler AN/APN 187 et du compas magnétique.

- cinq canaux principaux pour le coordinateur tactique et les quatre postes de senseurs, chacun avec une console à charactron et clavier capable de présenter des points, des symboles, des vecteurs, des cercles et ellipses, et les images de la TV et du radar.

La TV 875 lignes peut être connectée sur la camera du bord ou sur le relais qui reçoit les images envoyées par les missiles TV guidés. Il semble que les images radar passent aussi par cette voie, à travers un scan converter.

Les senseurs sont le dispositif de lancement des sonobuoys avec son récepteur et son analyseur de signaux, le détecteur magnétique MAD, le radar AEW, les armes.

Le nom de code militaire de ce système est AN/ASQ 114, et le ordinateur est CP 901/ASQ 114. La prévision initiale était de 105 installations entre 1968 et 1975. Le ordinateur a été commandé à 176 exemplaires.

1968 : U 1557 et 1558

Comme le montrent au passage les paragraphes précédents, Univac est constamment en contact, dans ses programmes militaires, avec des consoles de visualisation, très fréquemment des produits Hugues, sur lesquels se mêlent des vidéos radar et des images synthétiques, comprenant du texte et des vecteurs. La solution Hugues emploie un tube spécial, le Charactron.

La nouvelle idée d'Univac et d'autres constructeurs est qu'un tel tube spécial n'est pas indispensable, et qu'on peut obtenir une vidéo synthétique satisfaisante avec un tube standard à balayage électromagnétique et des générateurs électroniques de caractères, de vecteurs et de courbes du 2ème degré (cercles, ellipses) ou du 3ème degré (splines). Cette voie, autorisant la subordination des images à une programmation, devrait permettre d'aller beaucoup plus loin dans la génération d'images que celle des tubes spécialisés.

La console graphique 1558 et son contrôleur 1557 sont le résultat, largement financé par des contrats militaires ou DARPA, de cette réflexion. Le 1557 est un calculateur spécialisé mais programmable, avec une mémoire de 4 à 16 Kmots de 18 bits, cycle 700 ns, et un répertoire de 26 opérations, qui peut gérer simultanément jusqu'à trois consoles à grand écran. Il reçoit d'un calculateur universel, militaire ou civil, des ordres généraux, et assume seul la synthèse d'images et leur entretien.

Le concept est destiné à un grand avenir, d'abord dans les simulateurs, ensuite dans le dessin industriel, et pour finir absolument partout.

1970 : AN / UYK 7

Après 7 années d'exploitation du concept NTDS, désormais entré dans les moeurs et généralisé à tous les navires, l'US Navy aborde la deuxième génération. Elle commande à Univac une machine entièrement nouvelle, modulaire, non compatible, susceptible de servir de brique pour l'édification de systèmes militaires de toutes natures, dont le NTDS est seulement le plus répandu.

Le nouveau système peut être caractérisé comme suit :

- armoires standard aux normes navales les plus strictes, de taille modeste, contenant sept emplacements : l'un est réservé à une alimentation interchangeable, cinq sont banalisés, et le dernier, situé au sommet, reçoit éventuellement un distributeur de signaux d'entrées / sorties (IOA) sur lequel se trouvent jusqu'à 16 départs de câbles vers les périphériques.

- il existe cinq sortes de modules enfichables : CPU, mémoire à tores de 16384 mots, IOP, IOA, et alimentations. Une armoire ne peut contenir qu'un CPU et/ou un IOP avec son IOA, mais un nombre quelconque de Mémoires. Un système est plafonné à 3 CPU, 4 IOP, 16 modules de mémoire, 5 armoires.

- le CPU travaille sur 32 bits, une taille justifiée par l'existence de périphériques IBM, et qui permet d'englober les 30 bits du NTDS. La logique à diodes est installée sur des cartes imprimées standard pourvues d'un connecteur 56 broches, portant une combinaison de MSI et de composants discrets. Le nombre de cartes distinctes est réduit au minimum, la maintenance est basée sur des procédures simples et précises aboutissant à trouver le coupable, carte ou sous-module de 4 Kmots de mémoire, qui est remplacé : le MTTR s'établit à 15 minutes.

- la forme des instructions rappelle étroitement celle des machines du NTDS, mais il y a désormais huit accumulateurs, 8 index et 8 bases, ce qui permet d'atteindre une

mémoire quelconque avec seulement 16 bits d'adressage. Il n'est pas encore question de mémoire virtuelle et les adresses générées sont longues de 18 bits, ce qui limite la mémoire physique à 256 Kmots (16 modules).

Un champ de configuration à 3 bits permet de sélectionner mots, demi-mots et bytes de 8 bits : l'alphabet Fieldata est abandonné au profit de l'ASCII et de l'EBCDIC.

Le répertoire englobe une virgule flottante à mantisse de 32 bits et une double précision en virgule fixe. Les instructions de répétition et de recherche de table sont conservées et étendues aux manipulations de caractères. Au total, un répertoire de 130 opérations.

- il existe deux modes de travail, normal et privilégié. Chacun de ces modes dispose d'un jeu complet des 23 registres, ce qui réduit considérablement la durée des changements de contexte.

- les entrées / sorties sont basées sur un système d'IOP programmables acceptant les ordres généraux de 3 CPU au plus, et pouvant chacun gérer les échanges avec 16 modules de mémoire de 4, 8, 12 ou 16 canaux 32 bits. Il existe désormais des canaux série, capables de 10 Mbit/s .

- le temps réel continue à dépendre d'un compte-temps battant la milliseconde (exactement 1024 décomptages par seconde), mais un comptage externe jusqu'à 100 KHz est possible.

- la nouvelle architecture nécessite un nouveau langage de programmation et son compilateur, le CMS2. Une première version de ce compilateur, CMS 2Q, fonctionne sur CP 642B pour générer des programmes pour l'UYK 7 ; le compilateur définitif, CMS 2Y, fonctionne sur UYK 7 à partir de 1971.

Le nouveau système a été commandé à 372 exemplaires ; ce chiffre trouvé dans la presse est imprécis, car on ignore le nombre exact de chaque type de module. Il n'est pas prévu de remplacer les matériels existants par des UYK 7, sauf à l'occasion de grandes refontes ; les nouveaux matériels iront aux nouveaux navires.

Le premier emploi massif de l' AN/UYK 7 est le programme AEGIS, un système d'armes intégré qui représente une étape nouvelle par rapport au NTDS et qui se matérialise dans une première série de croiseurs d'accompagnement des porte-avions. Un système AEGIS de première génération se compose d'un radar à antennes électroniques AN/SPY 1, d'un calculateur d'armes Mk 12, d'un lanceur Mk 26 pour missile Standard SM2 avec une conduite de tir Mk 99, d'un calculateur Mk 130 pour missiles Asroc et Harpoon, le tout coordonné par plusieurs AN/UYK 7.

Le premier système AEGIS , installé sur le Norton Sound pour les essais à la mer, comporte 4 CPU et un programme d'un million d'instructions, rédigé en CMS 2Q et validé à terre. Voir 261-803/6.

1970 : AN / UYK 8

La décision précédente explique qu'ait été commandé à Univac un matériel moins novateur, permettant d'assurer la maintenance des installations existantes avec des machines modernes interchangeable.

L'AN/UYK 8 est le dernier avatar du 1230, avec mémoire de 16 à 256 Kmots de 30 bits (tores magnétiques à cycle de 1,5 μ s, accès 850 ns), et mémoire de contrôle NDRO de 512 mots, cycle 500 ns. Le bloc de calcul dispose de 7 registres d'index cablés, et

reconnait 107 codes d'opération, dont l'addition en 1,5 μ s, la multiplication en 7,5 μ s, la division en 14,5 μ s.

Les entrées/sorties comportent 16 canaux capables de débiter ensemble un maximum de 1 Mmot/s.

Le système est complètement compatible avec les CP 642 et 808, et dispose en outre d'un compilateur Jovial. Il peut être exploité en multiprocesseur.

Construit en circuits intégrés, le UYK 8 présente un MTBF de 2000 heures. Il occupe une armoire standard de 247 litres dans sa version à 32 K mots de mémoire qui pèse 170 Kg, et consomme 1700 Watts.

1970 : U 1832

Un hebdomadaire d'affaires fait, cette année-là, mention d'un contrat Marine pour un ordinateur aéroporté qu'il dénomme 3X2, lequel pourrait comprendre jusqu'à trois CPU. Cette nomenclature ne correspondant à rien de connu résulte d'une erreur de journaliste : il s'agit en fait d'un ordinateur 1832, 32 bits, destiné à l'équipement du nouvel avion patrouilleur embarqué S3A, et défini comme compatible avec l'AN / UYK 7. Voir fiche.

Aux dernières nouvelles de 1971, la Marine a finalement choisi une mémoire à film mince de 64 à 256 K mots, de préférence aux tores initialement prévus, pour augmenter la performance du système : l'addition passe de 3 à 1,5 μ s, la multiplication de 9 à 8 μ s, la division de 15 à 10 μ s.

Une version antiradiation de cette machine, baptisée 7532, sera réalisée en 1972 sur contrat spécial, sans qu'on sache pour quel usage ni en quel nombre.

1970 : U 1819A

Ce ordinateur a été construit en très petite quantité dans le cadre du projet de SST, l'avion supersonique suggéré aux américains par l'apparition commerciale du Concorde, et finalement abandonné après réflexion économique, en invoquant des prétextes écologiques.

Le matériel à usage civil se présentait en un boîtier ATR avec une mémoire de 12 ou 16 K mots de 19 bits, un répertoire de 98 opérations, et un poids de 22 Kg. Il était prévu de l'employer avec une mémoire auxiliaire à disque à têtes fixes.

1971 : U 1616

Ce ordinateur 16 bits a été développé par Univac de sa propre initiative, et sans objectif bien défini, ce qui paraît difficile à admettre. La longueur de mot qui s'écarte des besoins propres et l'arithmétique en complément à 2 suggèrent qu'il s'agissait de se rapprocher d'IBM, et c'est aussi ce qu'on peut conclure de la première application, un contrôleur de communications 3760 qui comporte un canal compatible 360 / 370. La réalisation est à base de MSI, installés sur des cartes qui font penser à celles des UYK 7. Voir fiche.

A en juger par ce qui a suivi, le véritable objectif était probablement la Marine, à laquelle on effectuait ainsi une proposition non sollicitée officiellement, mais avec une grande probabilité de réussite. En effet, de la même façon que le 1206 trop puissant pour certaines applications avait du être suivi du 1218, il semblait que l'AN / UYK 7 32

bits ne pourrait s'installer sur les petits navires, et qu'un calculateur à mot plus court, 16 bits par conséquent, serait nécessaire. Plutôt que d'attendre une demande qui pourrait s'égarer dans d'autres directions, autant prouver tout de suite qu'on avait une réponse toute prête.

1973 : AN / UYK 15

Avec le délai nécessaire à mettre en branle une administration, le 1616 finit en effet par faire l'objet d'une commande militaire qui reçoit le sigle AN / UYK 15, et qui porte sur 12 machines, juste de quoi conduire quelques expérimentations.

1974 : AN / UYK 20

A l'issue des essais, le verdict tombe : la machine est en tous points convenable, mais pour garantir la polyvalence qu'on attend de cette classe de petite machine, il faudrait que la microprogrammation soit modifiable aisément, pour que la machine puisse devenir compatible NTDS et A New, ou toute autre idée ultérieure (1750 A par exemple). Cette modification très facile à faire étant prise en compte, la machine déjà capable de passer les épreuves de robustesse de la norme MIL. E. 16400 fait l'objet de plusieurs commandes entre 1973 et 1976, totalisant 643 exemplaires référencés AN / UYK 20. Le triomphe est une commande de 1126 exemplaires sur le budget 1977, pour M\$ 40. Voir fiche

L'AN / UYK 20 sera couramment utilisée avec la bande magnétique militarisée AN / USH 26, créée par Qantex en 1977, commandée à 93 exemplaires en 1978 pour M\$ 1, 5 ; d'autres commandes porteront ce total à 3,8 M\$.

Ce dérouleur, qui a servi aussi avec l'AN / AYK 14 de CDC, autre best seller du calculateur militaire à tout faire, utilisait la cartouche 3M à 4 pistes, avec 4 cartouches par unité. Prix 20000 \$.

1974 : U 1816

Cette machine qui reprend un sigle utilisé 12 ans plus tôt est une version aéroportée du 1616, destinée à l'usage civil et comme telle présentée dans un ATR avec boîte de commande séparée. Elle obéit à la norme d'environnement MIL.E.5400 et sa compatibilité avec les UYK 15 et 20 est garantie.

Cependant, il ne semble pas que le procédé employé pour vendre le 1616 aux marins ait fonctionné une seconde fois, et on n'a pas d'information concernant une commande militaire de 1816.

1982 : AN / UYK 43

Après un long silence rempli en réalité par des commandes échelonnées au rythme des disponibilités budgétaires, la Marine décide en 1981 qu'il est temps de préparer la 3ème génération. Mais cette fois, pour satisfaire au moins en principe aux exigences du GAO, il y a un appel d'offre en règle, adressé à IBM et à Univac : il s'agit de délivrer en 9 / 82 un calculateur compatible avec l' UYK 7, en deux variantes A (modules CPU et IOP disponibles sur étagère) et B (assemblage opérationnel de 2 CPU et 2 IOP susceptible de passer par les panneaux de sous-marins, puissance 9 fois l' UYK 7 avec cache). La compatibilité est d'ailleurs uniquement ascendante, car l'adressage doit être virtuel 32 bits (mémoire de 4 Md de mots).

IBM, qui veut faire un travail sérieux mais ne croit pas pouvoir gagner demande M\$ 20,2 et Univac M\$ 15,8. Effectivement, à l'échéance Univac sera déclaré vainqueur et recevra un contrat de 433,2 M\$ pour 773 machines et quelques autres composants ; sur ce total, il y a 6 machines pour les frégates 123 de la Marine allemande en 1990.

1982 : AN / UYK 44

Au même moment, un second concours est proposé aux mêmes deux participants, avec la même échéance, pour le calculateur destiné à prendre la suite de l' UYK 20. La spécification impose l'emploi de la technologie SEM développée entre temps par les armées, une puissance double de celle de l' UYK 20 (soit 0,9 Mips), et un adressage virtuel de 4 Mmots de 16 bits, c'est-à-dire des adresses de 22 bits.

Comme ci-dessus, IBM demande M\$ 12,1 et Univac M\$ 10, et le résultat est une attribution à Univac d'un prestigieux contrat de M\$ 324, avec livraisons étalées de 11 / 83 à 1988. Univac, qui s'appelle désormais Sperry Computer, produira 2500 exemplaires de l' AN / UYK44.

En mars 83, l' USAF passera à Sperry un contrat encore plus important, 476 M\$ pour équiper plus de 400 établissements de l' Air Force à travers le monde. Notre source ne précise malheureusement pas les modèles qui font l'objet de cette énorme commande.

198X : contrat MATCALs

Le Marine Corps se préoccupe depuis 1963 de la nécessité, lors d'un débarquement, d'organiser à terre, très rapidement, un aérodrome complet. Pendant des années, ce projet baptisé MATCALs, Marine corps Air Traffic Control & Landing System, est resté au stade des réflexions, en attendant que les industriels proposent des radars et des systèmes d'atterrissage convenables.

On a vu ainsi se dégager très progressivement un consensus autour du radar Westinghouse AN / TPS 63 et du système d'atterrissage Gilfillan AN / TPN 22, piloté par calculateur Univac UYK 20, ainsi que pour un simulateur d' ILS utilisant l' AN / SPN 41 des porte-avions, construit par AIL, et le data link AN / ASW 25 construit par Electronic Communications pour transférer aux avions les signaux droite/gauche et haut/bas de ce système ; mais le programme prévoyait aussi le contrôle du trafic aérien, pour lequel la Marine appréciait la solution apportée par Univac à la FAA avec son radar ARTS 3 et son calculateur U 1219. Ainsi se dessine, déjà en 1974, un contrat Univac, mais il ne verra pas le jour à ce moment parce que la solution FAA est trop encombrante et que les crédits manquent pour une étude.

Quand le contrat est enfin signé, à une date indéterminée, les choses semblent avoir beaucoup évolué : le radar de veille est désormais l' AN / TSQ 107 installé en container avec aérien sur le toit, et la fourniture Sperry est à base de containers contenant 4 consoles interconnectées par un bus local fonctionnant à 10 MHz. Chacune contient un calculateur AN / UYK 44 avec 512 KB de RAM, 32 KB d' EPROM pour le programme opérationnel et 32 KB pour les autotests, un enregistreur AN / USH 26 à cassettes pour le programme, un clavier à effet Hall, un BITE à base de microprocesseur Z80, et un générateur d'écran graphique à scan converter avec trois microprocesseurs pour l'assister.

Sperry fournit aussi le standard AN / UYC 7 (V) qui gère les communications du système.

1985 : contrat NORAD

En 1985, l'équipement du QG souterrain du NORAD à Colorado Springs, dans les monts Cheyennes, commence à dater (il a été conçu en 1972 et fonctionne depuis 1979) et sa mise à jour s'impose d'autant plus que les conditions techniques, sinon politiques (la chute du mur est encore à 4 ans dans le futur) ont beaucoup changé.

Le NORAD doit toujours recevoir les signaux de tous les capteurs stratégiques, radars et satellites, en vue de prendre dans les minutes qui suivent un préavis de lancement ennemi les décisions clés de mise en alerte de tous les ICBM et de décollage des B52, mais ces capteurs ont été complètement renouvelés :

- les radars BMEWS qui entourent le pôle Nord ont été remplacés par des matériels différents.

- la menace des missiles lancés par sous-marins depuis l'Atlantique et le Pacifique est prise en compte par 4 radars OTH (Over the Horizon, travaillant en bistatique à fréquences radio).

- la DEW line, qui surveille les avions à grand rayon d'action arrivant forcément par le Nord, a été entièrement rééquipée et rebaptisée NWS, North Warning System : elle comprend maintenant 11 LRR et 36 SRR au Canada, 2 LRR et 3 SRR en Alaska : les LRR sont des radars à grande portée téléopérés et faiblement surveillés, les SRR sont des "gap fillers" complètement automatiques.

- la Pinetree Line a été progressivement éliminée.

- la défense aérienne du territoire en est à sa troisième génération, avec le JSS Joint Surveillance System ou AN / FYQ 93, construit par Hughes et en service depuis 1982. Elle ne comprend plus que 7 régions aériennes pour l'ensemble du continent nord-américain, plus une pour Hawaï. Voir rubrique 310 Hughes.

- les satellites de surveillance des décollages de missiles sont renouvelés en permanence et désormais reliés entre eux par le réseau des satellites de communication, qui fournissent de multiples liens avec le sol.

Bref, la conception même de l'organisation du NORAD est à reprendre, et ce problème technique est confié au groupe Sperry, qui recevra en 1984 le contrat pour les 13 LRR, pour lesquels il a choisi le radar AN / FPS 117 Seek Igloo de General Electric. Par la suite, Sperry recevra également la commande de 40 radars SRR AN / FPS 124, que la compagnie Sperry Gyroscope construira elle-même en confiant l'ingénierie à Unisys. Voir fiche NORAD.

Noter qu'un autre contrat, 55,3 M\$, est attribué à Ford en 5 / 83 pour la modernisation des équipements du QG de Cheyenne Mountain, et un autre de 30 M\$ à GTE en 10 / 84 pour la rénovation des communications. Il n'y a donc pas de monopole Sperry.

La principale conséquence technique de la fin de la guerre froide, qui aurait pu mettre fin à tous ces projets, est l'abandon des radars OTH après la construction du prototype dans le Maine, et son remplacement par des radars Raytheon AN / FPS 115 Pave Paws à balayage électronique, qui cumulent la veille contre les SSBN, peu contraignante quoique prioritaire, avec le travail du SPADATS .

Au plan des missions, le NORAD garde toutes les missions précédentes, devenues cependant moins pressantes, mais y ajoute la lutte contre la drogue, qui étend fortement son domaine vers le Sud.

1990 : projets

Observant que 7 ans se sont écoulés depuis le contrat UYK 43, Unisys, qui a succédé à Sperry, prépare un produit capable de succéder à cette machine toujours en production. La HPP est en réalité une machine nouvelle dans la même enveloppe, avec une puissance de 24 à 30 Mips, et 64 slots d'entrées / sorties sur lesquels on peut connecter des coprocesseurs 68030 (2 cartes), ou encore une mémoire de masse (2 cartes) ; cette machine sera formellement proposée pour le programme Raytheon CCS2, sans suite.

La Marine, d'ailleurs, s'emploie de son côté à susciter des concurrents à Unisys, pour faire baisser les prix. C'est ainsi qu'une société CCT, Cable & Computer Technology, a étudié sur contrat Navy un prototype CV 43, à base de microprocesseurs AMD 29000.

Une situation très semblable se développe autour de l'AN / UYK 44 . Unisys construit un 44 EP qui atteint 5 Mips et tient sur 2 cartes, le CPU et l'interface bus, réalisés autour d'ASIC en CMOS 1 μ . Il en existe une version compatible avec le bus VME.

En face, la Navy a fait construire par CCT un 44ES, livré en 8 / 89, et qui équipe à 75 exemplaires les centres ASM côtiers. Réalisé avec des AMD 29000 à 25 MHz, cette machine existe aussi en version VME capable de 100 MB/s à l'interface.

Par ailleurs, la Navy a réalisé des compilateurs ADA pour les deux machines 43 et 44.

En mars 1992, le nouveau 44 se présente comme une collection de modules SEM.B sur étagères, prêts à s'insérer dans des systèmes d'armes. Il est produit par Microlithics sur un contrat de M\$ 25 en 2 ans, sous le nom de UYK 44 MRP.

582 - Produits de Univac Computer System

Nous reprenons l'histoire des produits Univac au moment de la décision du Conseil d'Administration du Sperry Group, retirant Univac à Remington Rand et en faisant une filiale à part entière du groupe, avec mission impérative d'être bénéficiaire. La nouvelle direction sacrifie tout ce qui, à Bluebell, ressemblait encore à de la mécanographie, et lance une famille compatible IBM, tandis qu'à Roseville se poursuivent avec succès les études militaires et les réalisations civiles qu'elles ont inspirées.

1966 : U 9200

Dans l'urgence, compte tenu du démarrage foudroyant des IBM S / 360, Univac construit et annonce un petit calculateur de gestion, disposant d'une mémoire à film mince sur fil de 8 à 32 KB, très bon marché grâce à une production automatique, et d'un répertoire de 26 opérations compatibles prises dans la liste IBM de référence, plus 6 opérations incompatibles, dotées de codes choisis hors liste et qui ne servent qu'au système d'exploitation. La logique est réalisée en circuits intégrés DTL du commerce et cablée, car il n'y a pas, à l'époque, de technologie compétitive de microprogrammation. Trois opérations importantes pour la gestion, édition, multiplication et division décimale, sont proposées en option pour les clients désireux de monter en puissance.

Le choix des périphériques comprend une imprimante standard, intégrée avec le CPU ; un lecteur et une perforatrice de cartes ; des disques de toutes tailles, compatibles

avec ceux d' IBM : cartouches 8410, petits packs 8411, grands packs 8414 ; et des dérouleurs de bandes Uniservo VI.

Le logiciel est minimal et ne comporte pas de système d'exploitation, car la machine fonctionne en monoprogrammation : un assembleur / éditeur de lien / chargeur, en deux variantes cartes et disque / bande, un générateur de rapport et des utilitaires.

Une telle machine est compatible avec les périphériques IBM et si elle ne peut envisager sans reprogrammation la croissance vers des modèles plus puissants, au demeurant non proposés pour le moment, elle peut être vendue nettement moins cher qu'une 360 / 30 pour des applications de pure gestion et obtiendra un honnête succès.

1966 : U 9300

Exactement semblable avec une mémoire deux fois plus rapide qui n'a pas d'équivalent chez IBM, la 9300 proposée en même temps dispose en standard des trois opérations qui ne sont qu'optionnelles ci-dessus. La 9300 est donc, elle aussi, une machine de pure gestion, et ne peut prétendre au marché très ouvert de la 360 / 30 IBM ; elle trouvera tout de même sa clientèle, quitte à ce que, trois ans plus tard, il devienne nécessaire de proposer un choix de périphériques plus performants.

Côté logiciel, elle dispose d'un très petit exécutif pour communiquer avec l'opérateur, et de compilateurs pour Cobol et Fortran qui ne peuvent fonctionner qu'avec bandes et / ou disques, et avec la mémoire maximale.

1967 : U 494

Ce successeur des 490 / 1 / 2 est effectivement compatible, mais c'est une machine nouvelle et beaucoup plus puissante , avec un répertoire très accru et des mémoires plus rapides, qui va relancer le marché temps réel, réservations de place et gestion de communications.

On renvoie à la documentation pour l'aspect technique, mais il est surtout intéressant de décrire quelques installations caractéristiques :

BEACON est le Centre de réservation de la BEAC, British European Airways Company. Deux 494, servies chacune par un 1004 local, se partagent 5 tambours FH 880, 4 Fastrand, 6 dérouleurs à 20000 cps, et 400 postes Uniset renforcés en 1971 par 100 Uniscopes. Prévu pour 10000 appels par jour, le système en phase 1 (1965) se borne à répondre aux disponibilités sans noter les noms ; en phase 2, chaque terminal est pourvu d'une imprimante et peut fabriquer des billets, et il note les noms sur les Fastrand.

Trois calculateurs Argus 400 , 2 à Heathrow et un à West London Airport, utilisent les 494 pour la fonction Cargo Handling.

SASCO : les Scandinavian Airlines installent à Copenhague, à partir de mai 1967, une paire de 494 avec un 1005 de service, 8 tambours FH 432 et 3 Fastrand II. En 1970, le système a grossi à trois 494 dotées de mémoires de 128 Kmots, et gère 6 Fastrand II. Sept calculateurs 418 collectent quelque 500 terminaux et peuvent faire entre eux de la commutation de messages.

NASCOM : on a évoqué ailleurs l'énorme réseau construit par la NASA pour l'opération Apollo, qui utilise plus de 100 calculateurs interconnectés sur toute la planète. Au coeur du système se trouvent trois 494 à Houston, le MSCC, et trois

autres à Goddard, le centre d'exploitation des télémessures ; 48 U 1230 et USQ 20 pointent les antennes des radars de poursuite spatiale et les aériens de télémessure, dont 33 U 1218 et des paires de 418 au JPL, à Hawaï, en Australie et en Europe, collectent les flots de messages et diffusent les ordres ; il y a aussi de par le monde des centaines de télétypes. Tous les trajets critiques sont doublés avec contrôle mutuel, et le 3ème 494 de chacun des centraux surveille la fiabilité des installations et se tient prêt à relever une machine défaillante.

Kawasaki à Kobe, Japon, utilise en 1967 un 494 pour gérer les communications entre les terminaux de deux usines, quatre agences, et de nombreux fournisseurs et sous-traitants. Cette machine à 64 Kmots dispose de trois FH 880, un Fastrand II, 10 dérouleurs et deux 1004.

DOARS, installé à Oak Brooks, Illinois, en 1968, est un système de réservations intercompagnies mis en place par la Reuben H. Donnelley Corporation. Il comprend deux 494 avec 64 Kmots de mémoire, 6 FH 432, 8 FH 1782, et des terminaux spécialement étudiés par Houston Fearless, combinant un TTY 33 avec une projection de microfilms pour les menus, et des liaisons 2400 bauds.

Eastern Airlines à Charlotte, NC, remplace en 1969 ses 490 par des 494 qui gèrent 150 télétypes pour les System Operations. Ces clients cherchent à consulter un système Houston Fearless CARO de recherche documentaire sur microfilm, d'une capacité de 750 microfiches = 73000 pages, qui répond par phonie avec un délai de 5 secondes. Accessoirement, ce système est interconnecté avec la réservation, mais il n'en gère pas les 1700 écrans.

Northwest Airlines remplace en 1970 ses deux 490 par deux 494 à mémoire de 96 Kmots, avec deux 1004, 21 tambours totalisant 350 Mcaractères, 15 dérouleurs, et 5 CTMC qui servent 20 boucles full duplex et 100 télétypes. La réservation proprement dite occupe 830 terminaux écrans et 54 machines à écrire dans 45 bureaux de 29 villes.

Lufthansa exploite à Francfort, à partir de février 73, deux 494 à mémoire de 96 Kmots avec deux 9300, 4 Fastrand II, 8 FH 432, 10 FH 1782, 12 Uniservos VIIIIC, et 4 CTMC qui collectent 1250 terminaux Uniscope 100 à travers des contrôleurs BTM contenant chacun 1 KB de tampon pour 8 écrans. Le système, qui fonctionne sous un logiciel spécialisé baptisé STARS, est prévu pour pouvoir croître à 1580 terminaux.

Iberia a également remplacé ses 490 par des 494.

1968 : les 1108 MP et l'Exec 8

Pour autoriser le fonctionnement d'une paire de 1108 en véritable multiprocesseur, il fallait peu de choses du côté matériel car le CPU contenait déjà toutes les dispositions nécessaires : mode exécutif avec son propre jeu de registres, protection de mémoire par blocs de 512 mots, paire de bases pour généraliser un adressage relatif au sein de segments de longueur quelconque. On devait y ajouter deux composants supplémentaires, d'ailleurs coûteux :

- l'IOP, Input / Output Processor, est un processeur autonome, équivalent logique de la partie entrées / sorties d'un CPU mais avec des performances accrues pour ses 16 canaux. Un IOP communique directement avec la mémoire et peut recevoir ses ordres globaux

d'initialisation de trois CPU au plus ; il peut aussi interrompre l'un ou l'autre pour lui rendre des comptes.

- le MMA, Multiple Module Access, capable de recevoir et satisfaire par priorité les demandes d'accès à un module de mémoire de la part de 5 processeurs au plus, trois CPU et deux IOP. Il faut prévoir autant de MMA que de modules de mémoire pouvant être consultés simultanément, et les 5 bus parallèles (74 coaxiaux chacun) qui leur sont connectés représentent un sérieux problème de câblage.

- le MPA, Multiple Processeur Adapter, commutateur de canal à commande électronique, existe déjà depuis plusieurs années pour permettre le partage d'un contrôleur de périphériques entre deux CPU. Il est remplacé par le SPI, System Peripheral Interface, qui en diffère peu. Le CPU demandeur se voit accorder la liaison si le périphérique n'est pas occupé, et il la garde jusqu'à achèvement de l'exécution de l'ordre.

Malheureusement, tout ce matériel est inutile s'il n'existe pas un logiciel qui sache s'en servir, et ce système n'est officiellement entré en service qu'en 1966, en réalité plutôt 1968 compte tenu de difficultés de mise au point et du délai commercial pour atteindre l'Europe.

Le système Exec 8 est unique en mémoire pour l'ensemble des processeurs. C'est un programme temps réel, ensemble de modules réentrants qui peuvent par conséquent s'exécuter simultanément sur plusieurs processeurs. L'Exec 8 considère tous les composants du système, matériels et logiciels, comme des ressources qu'il distribue au moyen d'allocateurs spécialisés. Très sommairement, car tout cela est expliqué dans la documentation, les principaux modules sont :

- les symbionts d'entrée, qui recueillent les messages des usagers sur les périphériques, locaux ou distants, et les stockent provisoirement sur mémoire de masse.

- le scheduler, ou planificateur, qui gère les droits et priorités des usagers et active leurs travaux dans des conditions qui reflètent la politique d'exploitation du Centre de Calcul.

- l'allocateur de périphériques, qui cherche à concilier priorités des clients et plein emploi des ressources, bandes magnétiques notamment.

- l'allocateur de mémoire, qui partage la mémoire non réservée au temps réel entre un petit nombre (plafonné par l'opérateur) d'activités, éventuellement en swappant, cad en rangeant provisoirement sur mémoire de masse, certaines de celles qui ne travaillent pas.

- le dispatcher, ou répartiteur, qui est l'allocateur des ressources "processeurs". A chaque instant, chaque processeur exécute soit le programme dispatcher, soit une tâche active et disposant de toutes ses ressources. Le dispatcher découpe ses allocations en quanta de temps, qui évitent le blocage d'une ressource par une tâche trop longue à exécuter.

- les symbionts de sortie, qui recueillent les travaux terminés et, après passage par une comptabilité, renvoient les résultats au(x) destinataires, locaux ou distants.

En plus de ces modules essentiels, dont les plus critiques sont résidents, le système d'exploitation gère, sur demande des usagers, une foule de programmes de service (assembleur, compilateurs, interpréteurs, utilitaires) mais ceux-ci sont traités comme des tâches client, éventuellement avec des priorités particulières.

L'Exec 8 accepte trois modes d'exploitation simultanés, où l'opérateur n'intervient que pour fixer des paramètres (pourcentages de chaque mode, nombre de tâches actives, pourcentage de swapping, taille du quantum de temps), tout le fonctionnement étant ensuite automatique :

- le temps réel, mode prioritaire dont toutes les ressources sont réservées. A cause de cette contrainte, on préférera en général séparer les systèmes temps réel des systèmes gérant d'autres applications.

- le mode demand, caractérisé par des quanta très courts et des activités découpées en tranches de faible longueur, au service de clients interactifs qui ne doivent pas attendre leur réponse plus de 3 secondes.

- le mode batch, auquel s'applique essentiellement le schéma présenté plus haut, concerne des tâches éventuellement longues et complexes dont le client n'attend pas la solution immédiate.

Dès l'arrivée de l'Exec 8, le mode demand a deux sortes de clients:

- le time sharing, ou temps partagé, met la totalité des ressources logicielles du système au service de clients conversationnels très entraînés, grâce à des compilateurs et interpréteurs spécialisés dont le travail est organisé comme une succession de petites questions / réponses. La gestion de ce type de clients exige un moniteur particulier qui remplace les symbionts, un interpréteur de commandes et une collection de processeurs conversationnels.

- le transactionnel, où les usagers non informaticiens sont étroitement encadrés par un système de menus où ils n'ont qu'à remplir des cases, pour des applications très particulières comme la réservation de places ou les transactions bancaires. Ce genre de clients nécessite un moniteur très différent du précédent, essentiellement un gestionnaire de menus.

Nous disposons d'une importante documentation sur cette époque de l'Exec 8, recueillie dans le cadre du CCSA qui l'utilisa à partir de 1969. Une notable fraction est constituée de documents en français, représentant le travail des équipes de programmeurs du CCSA, travaillant constamment à enrichir la bibliothèque de services disponibles pour les clients.

Tout ce qui précède était à l'époque tout à fait nouveau, et n'a pas fonctionné tout de suite de façon parfaite, de sorte que le système d'exploitation a connu de très nombreuses versions, 41 en 20 ans sans compter plusieurs corrections par version. Néanmoins tout cela s'est progressivement transformé en doctrine et tous les constructeurs qui ont survécu ont fini par offrir des services comparables.

En 1968, les acheteurs de 1108 devaient choisir entre deux attitudes : adopter l'Exec 8 pour leurs multiprocesseurs, à cause du meilleur emploi des ressources qu'il permet ; ou conserver l'Exec 2 devenu simple routine (une copie par CPU), en ne faisant que du batch, avec éventuellement un calculateur frontal (418 par exemple) pour collecter des travaux distants mais non conversationnels à soumettre à ce batch. La plupart ont choisi la première solution, comme on le voit sur les fiches : une quarantaine de 1108 d'origine, dont beaucoup se sont ensuite converties à l'Exec 8, et près de 250 * 1108 MP, dont la majorité sont employées en Exec 8. Donnons quelques exemples :

Faculté d'Orsay Paris XI, qui a remplacé sa 1107 par une 1108 et choisi de travailler en Exec 2, même lorsqu'en 1970 sera installé un ordinateur 1106 chargé des communications. Voir dans la fiche un schéma de situation en fin 1970.

Ebauches S.A. à Grenchen, Suisse. Cette entreprise n'utilise qu'une seule 1108 mais avec une très grosse mémoire, et travaille en Exec 8 avec une part notable de temps réel pour coordonner de nombreuses liaisons et activités décentralisées, clients, fournisseurs, et agences à l'étranger. Voir dans la fiche un schéma de situation en fin 1970.

SNCF à Auteuil transforme dès que possible ses 1108 comptables en MP, et leur ajoute deux autres 1108 essentiellement chargées du télétraitement. Vers 1969, elles collectent les demandes de 32 ordinateurs GE 4020 qui regroupent des téléimprimeurs de gares, dont le nombre passera progressivement de 500 à 1600 ; les 4020 seront ensuite remplacés par 43 paires de H 516 collectant un millier de terminaux dont les messages sont dirigés par les frontaux 1108 soit vers la comptabilité soit vers la réservation située aux Batignolles. Ce système sera remplacé en mai 73 pour saturation.

Le CCSA transforme à partir de 1969 son système en biprocesseur MP sous Exec 8, qui collecte sur ses CTMC un nombre croissant de terminaux lourds (> 10) et un nombre encore faible de consoles de temps partagé. En 1970, il étudie puis réalise la collecte de ces terminaux sur un 418 en remplacement des CTMC, pour acquérir une expérience de ces problèmes de communications.

Air France s'équipe dès le départ d'un biprocesseur MP à mémoires 128 Kmo, et passera en 1970 à un triprocesseur complété de deux IOP. Les fichiers sur 16 tambours représentent 327 Mcar au départ et grossiront considérablement, comme le montre le schéma accompagnant un article paru dans la revue Univac. Uniquement européenne au début, avec 516 terminaux Raytheon distribués dans 6 villes de France et 12 d'Europe le long de 4 grandes boucles de lignes téléphoniques internationales ; le nombre de terminaux atteignait 700 lors de l'accroissement de 1970, et par la suite l'addition d'une boucle américaine a étendu le système à 1105 terminaux en 1977. Le logiciel de réservation porte le nom de Alpha 3.

United Airlines commence où finit Air France, avec trois 1108, un milliard de caractères sur tambours, 2000 postes d'agents à écran et 700 machines à écrire dans 116 villes, soit déjà 39 M\$ de matériel et 17 M\$ pour 18000 milles de lignes téléphoniques. Le système continuera à grossir de façon désordonnée jusqu'à 67 M\$, avec 4 IOC, 4 CPU, 14 FH 432, 6 FH 1782, 32 Fastrand, 22 bandes, 4 CTMC pour 3000 terminaux Uniscope et 700 machines à écrire. En 1970, au moment d'acheter une cinquième 1108, UAL annulera sa commande, remplacera sa réservation Univac par une réservation IBM, mais gardera trois 1108 pour des traitements de communications et de flight planning confiés précédemment à deux RCA 4103 et deux CDC 3100.

White Sands, 1970 : ce vaste champ de tir dispose de cinq 1108 gérant des capteurs dispersés sur 23 sites dont sept équipés de paires de 418 collecteurs, au total 118 terminaux de télémesures, commandement et exploitation. Certains de ces sites sont éloignés de 800 km du central californien.

Marshall Space Flight Center, Huntsville, Ala : voir rubrique 291. Ce centre composé de deux établissements dispose de cinq 1108 gérant pas moins de 50 tambours,

contenant 5,5 Md de caractères, et 34 dérouleurs de bandes, pour le stockage de tous les plans et documents.

En 1971, les vols terminés, ce matériel est certainement sous-employé. Les 1108 travaillent toujours en Exec II, avec une paire de 1106 formant frontal pour gérer les Fastrand et les terminaux.

Reservec II est en 1971 le système de réservation de la compagnie Air Canada, coût 22 M\$. Il comprend deux 1108 avec mémoires de 96 Kmots, et 1800 terminaux Raytheon reliés à travers 26 concentrateurs.

Dans le domaine des services de calcul, deux sociétés américaines font une percée : University Computing commande douze 1108 pour les états du sud, Texas, Oklahoma, notamment ; Computer Sciences Corporation en commande 20 pour les USA et d'autres encore pour le Canada.

La liste des 1108 montre que Univac avait trouvé sa place dans les Universités du monde entier, les centres de recherche, et tous les domaines du temps réel. Il ne faut cependant pas se cacher qu'à l'époque, le gouvernement américain soutenait encore fortement l'informatique nationale en finançant des ordinateurs sans trop examiner leur véritable utilité, et que certains industriels voyaient dans leur système de gestion en temps réel un élément de standing. Toutes ces distorsions du marché disparaîtront à partir de la récession de 1980, et le gouvernement lui-même changera totalement sa politique d'investissements dans ce domaine, sous la pression attentive du GAO et des assemblées.

1968 : U 418 III

Ce calculateur compatible 418 est beaucoup plus puissant que son prédécesseur, et réalisé comme le 494 dans la technologie du 1108. Sa raison d'être réside dans la compatibilité de ses entrées/sorties avec celles du 1108, auquel il devrait servir de collecteur de terminaux. Il semble qu'il n'ait pas réellement joué ce rôle, à cause du bon fonctionnement du 418 qu'on trouvait à des prix d'occasion.

En réalité, le 418 III est suffisamment puissant, et suffisamment riche en logiciel pour mener de front la collecte de terminaux et un travail de fond en batch, pour lequel il dispose d'un jeu de compilateurs. Il en a existé une centaine, la plupart autonomes.

1968 : U 9400

Les premiers 9000, conçus dans l'urgence, n'étaient pas de réels concurrents des S/360, et d'ailleurs Univac n'a jamais adhéré au concept fondateur d'IBM : une seule architecture du haut en bas de la gamme. Il semblait nécessaire, cependant, de développer des modèles plus puissants, ne serait-ce que pour crédibiliser la machine auprès des acheteurs les plus dynamiques, ce qui veulent grandir.

Le 9400 est effectivement plus puissant que le 9300, puisque sa mémoire à fils à cycle de 600 ns délivre des mots de 2 bytes et peut théoriquement comprendre jusqu'à 256 KB. Son choix de périphériques est le même que celui du 9300, mais les connexions, avec un multiplex et deux sélecteurs, sont plus efficaces. Mais le répertoire élargi à 68 opérations reste limité aux besoins de la gestion et d'une multiprogrammation.

On notera que le système d'exploitation du 9400 est différent de celui d'IBM, exploitant certains dispositifs qui n'existent pas dans les 360 : par exemple, le mode

privilegié utilise, comme dans la 1108, un second jeu de registres, ce qui accélère les changements de contexte ; mais c'est transparent pour le programmeur usager.

1969 : U 1106

Ce calculateur bon marché utilise une mémoire à tores économique, avec un cycle de 1,5 μ s et de gros modules de 64 Kmots, avec une unité centrale de 1108 monoprocesseur simplement recyclée. Le but de l'opération réside dans ce recyclage, plus avantageux que le marché d'occasion. Le logiciel est gratuit, puisque les deux machines, 1108 et 1106, sont exactement compatibles.

La 1106, dans ces conditions, se vendra sans difficulté comme monoprocesseur pour moyennes entreprises, ou comme frontal pour grosses configurations 1108. Plusieurs mémoires successives, de plus en plus performantes et avec recouvrement entre modules, amèneront les dernières 1106 à un niveau de puissance proche de celui des 1108.

1970 : CS / P

Destiné à servir de contrôleur de "unit records" et de communication pour un 1110, ce calculateur est tout simplement un 9400 dans une présentation différente, avec un logiciel réadapté, au moment où il devient utile de soutenir les ventes et de recycler les excédents et les restitutions. Les initiales signifient Communications & Symbiont Processor et soulignent qu'il s'agit d'un peu plus que de recyclage : il s'agit de confier à un processeur matériel séparé une tâche du système d'exploitation, pour réduire le temps qu'y consacre le calculateur principal. Voir fiche.

Cette première tentative aura peu de succès, mais Univac insistera avec les générations suivantes de la famille 1100, jusqu'à faire entrer cet appareil dans les esprits de ses clients.

11 / 71 : U 9210 / 1 / 4

Ici, au contraire, il s'agit uniquement de marketing : pour prolonger les ventes de ce matériel ancien il est proposé en version prédéfinie, comme un service monobloc pour usagers ne voulant pas programmer. Par exemple, un 9210 comprend 12 KB de mémoire 1,2 μ s, un disque de 3,2 MB, LC, PC, IP, et un logiciel de base. Les prix sont très bas.

1971 : U 1110

Ce nouveau système de calcul, rendu commercialement indispensable par l'âge de la 1108, utilise des circuits intégrés MSI et SSI produits par Raytheon, dont les performances ne sont pas particulièrement remarquables, ni pour le délai par porte ni pour la consommation. Le cycle de la base de temps, CP = 300 ns, impose une synchro tétraphasée et la multiplication de parallélismes, pour que la 1110 présente un progrès significatif par rapport à la 1108.

Les nouveautés matérielles comprennent :

une mémoire principale à deux niveaux, soit des maxima de 256 Kmots de mémoire rapide et 1024 Kmots de mémoire d'extension. La mémoire rapide à fils magnétiques est découpée en modules simultanés de 8 Kmots, chacun doté d'un MMA à 8 bus au moins, ce qui est efficace mais très coûteux ; la mémoire d'extension est la mémoire de la 1106,

en modules de 128 Kmots entrelacés, avec des MMA à 4 bus au moins . Les accès à la mémoire rapide se font par 72 bits.

la séparation des unités de calcul, les CAU, et des processeurs d'entrée / sortie, les IOAU, à la manière des IOP introduits pour les 1108 MP. Une configuration peut comporter jusqu'à 4 CAU et 4 IOAU.

les registres des CAU sont désormais en circuits intégrés, ce qui n'améliore que peu les performances avec le CP indiqué plus haut. On gagne cependant par une organisation pipeline, séparant les fonctions bloc de commande et bloc de calcul, qui ont désormais deux accès simultanés à la mémoire. On voit qu'un quadriprocesseur exige par conséquent des MMA à 12 bus de 72 bits !

Le répertoire est étendu à 206 codes opération, dont une part notable ont pour but de prendre en compte les nouveautés d'organisation . Cependant, il y a de réelles nouveautés dans le domaine des manipulations de bytes et des conversions de chaînes de bytes en binaire et réciproquement.

les IOAU peuvent comporter 8, 16 ou 24 canaux, avec les deux modes ISI et ESI. Plusieurs canaux peuvent être équipés pour les mouvements d'information entre les deux types de mémoires principales.

Les périphériques sont renouvelés par l'apparition des disques et de bandes compatibles IBM, qu'il est devenu impossible de refuser aux clients.

le partitionnement des multiprocesseurs, introduit avec les 1108 pour faciliter la maintenance, est devenu standard. Une console SPU permet d'afficher jusqu'à trois partitions actives et celles qui leur succéderont, et fonctionne en télécommandant les MPA et les SPI.

Un maintenance controller (MC) est désormais standard : on peut le placer dans une partition avec un dérouleur de service et le module à tester. Puisque les 1110 sont toujours câblés plutôt que microprogrammés, le résultat des essais aboutit à sélectionner une carte qui peut être placée sur un testeur de cartes incorporé et, en cas de défaut, remplacée par échange standard.

le système d'exploitation Exec 8 a pris en compte dès la livraison tous les dispositifs nouveaux, mais sans proposer de politique d'optimisation, ce qui revient à la laisser aux programmeurs. Ceux-ci ont naturellement tendance à tout placer en mémoire rapide, ce qui n'est efficace que dans une machine peu chargée.

Les nouveautés comprennent un compilateur Cobol ANSI et un Fortran V qui acceptent les alphabets ASCII et EBCDIC, un compilateur NUA l'Algol d'origine norvégienne pour les européens, un compilateur Fortran conversationnel CFOR et un Basic conversationnel pour le temps partagé. On voit également apparaître un progiciel DMS 1100 de base de données conforme aux directives de la CODASYL, dont Univac a été l'un des fondateurs. Pour les applications temps réel, Univac propose désormais un RTOS, en fait un sous-ensemble de l'Exec 8 allégé de tous les modules qui assurent l'optimisation du batch.

En analysant la liste des acheteurs 1108, Univac a décidé que la plus petite configuration proposée pour le 1110 serait un 2 + 1, deux CAU pour un IOAU. Ce n'est qu'en 1973 que, pour ne pas perdre ses "petits" clients, Univac offre un 1110 1 + 1, avec 32 Kmots de mémoire rapide et 128 Kmots d'extension, des disques, 4 bandes et un CS / P, pour 150000 FF / mois.

Le 1110 n'a pas été un grand succès comme la 1108, d'une part à cause de sa complexité, mais probablement surtout parce que, conçu avant 1970, il a subi successivement le double choc des S/370 IBM, d'abord les mémoires à semiconducteurs en 1970, puis la mémoire virtuelle en 1973, qui l'ont décrédibilisé.

Cependant, on peut citer quelques clients :

ITCIS, Integrated Telephone Customer Information System, est un système commercial de services en temps partagé, mis en service en 1972 par Pandata, une filiale des PTT hollandais. C'est un biprocesseur avec quelque 600 terminaux, et 2,5 Md de caractères sur disques, fonctionnant sous Exec 8 standard, avec base de données DMS 1100.

On trouvera une description des objectifs de ce système, et de la démarche de définition, dans un article des FJCC 1972, pp 537 / 43, dans la collection AFIPS Proceedings, Vol 41 part 1.

SNCF, 1973 : après saturation des 1108 décrites précédemment, un biprocesseur 1110 avec 192 Kmots de mémoire prend la relève du frontal existant, pour gérer le réseau inchangé de 43 H 516 et 1000 terminaux, plus le 9400 de Marseille et ses 80 écrans. Ce frontal délivre au centre de calcul Univac d'Auteuil et à la réservation IBM des Batignolles les informations des gares, la réservation recevant par ailleurs 900 terminaux d'agences.

Le centre d'Auteuil, qui s'occupe des personnels et des wagons, comprend quatre CAU et deux IOAU avec 192 Kmots de mémoire rapide et 256 Kmots d'extension, et peut selon les besoins fonctionner en deux 2 + 1 ou en 4 + 2.

CCSA, 1973 : à la suite d'un conflit majeur entre le Délégué à l'informatique et la Défense, qui n'a été résolu que par l'intervention du premier ministre lui-même (Michel Debré), le CCSA comprend désormais un biprocesseur 1110 au CELAR de Bruz, Ille et Vilaine, relié à un frontal situé à Paris et formé des deux anciennes 1108, réévaluées au tarif de l'occasion. Ce frontal gère les terminaux parisiens et utilise pour la liaison le premier câble à 2 Mbauds des PTT, loué aux armées à un tarif d'ailleurs exorbitant. L'objectif est que, par la suite, les terminaux soient reliés directement à Bruz à travers le réseau Transmic de commutation par paquets, à l'époque encore en gestation.

1971 : U 9700

Voilà enfin la première machine d'Univac, compatible IBM, à recevoir le répertoire à peu près complet des S / 360, au moment où IBM délivre les premières S / 370 dont le répertoire s'est un peu agrandi. La 9700 dispose de 154 codes opération, dont la virgule flottante qui n'est d'ailleurs qu'optionnelle, et dont 12 codes incompatibles qui ne sont pas tous des codes systèmes. Autrement dit, Univac et tout le monde sait que cette machine n'est pas réellement compatible, et l'objectif poursuivi n'est pas réellement cette compatibilité, mais :

- d'une part un effet psychologique : en achetant un 9700, on s'écarte très peu du modèle qui fait loi.

- d'autre part, la possibilité d'accéder aux périphériques d'IBM, et aux périphériques compatibles qui sont une occasion d'économies.

La 9700 n'aura pas le temps de se gagner une grosse clientèle, car en 1973 interviendra l'achat par Univac de l'informatique RCA, obligeant Univac à remplacer sa famille 90XX par les 90/XX.

1971 : U 9380

Cette machine est la version allemande du 9400, Univac s'étant décidée à installer une chaîne de production européenne, à Frankfurt. La configuration proposée aux européens comprend 64 à 128 KB de mémoire, un maximum de 2 sélecteurs et 2 MB de disques, pour \$ 7000 à 12000 par mois.

11/71 : U 9311/4

Comme précédemment avec les 9200, Univac s'efforce ici de relancer les ventes de 9300 qui ont 5 ans en proposant des configurations monobloc, prédéfinies. Par exemple, un 9314C avec 32 KB de mémoire à fils à cycle de 600 ns, avec 58,4 MB de disque, LC/PC/IP, et logiciel de gestion.

1973 : U 9480

Compte tenu de la date, il s'agit évidemment de contrer l'annonce IBM de la mémoire virtuelle qui valorise les bas de gamme 135 et 145, auxquels se mesure la 9400. La nouvelle machine reprend une unité centrale 9400 avec 70 codes opération, et l'associe à une mémoire de 64 à 256 KB à base de puces Intel 1103 de 1024 bits, cycle 600 ns par 2 bytes.

La machine supporte un multiplex de 85 KB/s et deux sélecteurs à 333 KB/s, tous trois à 8 sous-canaux : le cumul des débits maximum est possible. Univac propose en outre jusqu'à 4 concentrateurs DCS 1, permettant un maximum de 64 lignes téléphoniques. Les autres périphériques sont des disques 8424, des dérouleurs Uniservo 12 ou 16, un lecteur de cartes 716, des terminaux DCT 500 ou 1000. Compte tenu du cycle mémoire, le logiciel du 9400 est utilisable en totalité, y compris la gestion de fichiers IMS 4.

Prix : un 9480 avec 64 KB, une IP 1100, un LC 600, 238 MB de disques, et des communications, vaut en France 1,579 MFF à l'achat, ou 300 KFF / mois en location. Aux USA, un 9480 avec 64 KB, un sélecteur, un MUX, 2 bandes, 2 disques, IP, LC, vaut \$ 277967 ou 8285 \$ / mois.

10/73 : U 90/60 et 70

Après l'absorption de l'informatique RCA, l'urgence était de leur fournir un matériel compatible suffisamment convaincant pour garder les clients de bonne volonté. Univac choisit d'adapter une machine existante, et de mettre immédiatement les équipes de RCA sur la création d'une nouvelle machine pour le bas de gamme.

La 90/60 et la 90/70 sont des 9700 avec mémoire à semiconducteurs (puces Intel 1103 de 1024 bits). Il semble que cette machine était au moins en partie microprogrammée, ce qui donnait la souplesse nécessaire. La 90/60 dispose de 128 à 512 KB de mémoire, un sélecteur et un multiplex de base, 2 sélecteurs en option ; la 90/70 peut monter à 1024 KB, et s'étendre à 5 sélecteurs, un multiplex et un CIC, contrôleur microprogrammé de communications à 60 KB/s. Livraisons dès 1974.

La mémoire à semiconducteurs de 4 bytes de large a un cycle de 600 ns, accès 360 ns. A partir de 9/76, en riposte à l'annonce de la 370/148, Univac pourra annoncer le quadruplement de la mémoire par emploi de puces de 4096 bits.

Le processeur, qui comprend environ 400 cartes de 127 * 178 mm, contient, pour la compatibilité Spectra, 52 registres en mémoire locale, soit 16 pour le jeu client, 16 pour le jeu superviseur, 16 pour la réallocation de mémoire, et 4 registres de virgule flottante.

Les entrées / sorties autorisent un débit maximum de 1,1 MB/s pour le sélecteur, 175 KB/s pour le multiplex. Un canal accepte 8 contrôleurs, chaque contrôleur 16 périphériques, tels que bandes Uniservo 12 / 16 / 20, disques 8411 / 14 / 24 / 40, machines à cartes.

Le logiciel est OS/7, légèrement modifié dans le sens Spectra ; la microprogrammation permet d'adapter le matériel à DOS / VS pour les clients qui tiennent à la mémoire virtuelle. Le système soutient IMS / 90 qui est une gestion de fichiers avec tous modes d'accès, et DMS / 90 qui est une base de données Codasyl rachetée par Univac à Goodrich, et améliorée.

Les prix de base n'étaient pas très intéressants, mais on ne voulait pas vendre à perte. A partir de 9/76, le changement de mémoire est l'occasion de baisses substantielles, 45% sur l'achat, 21% sur les locations. Exemple : une machine 512 KB, 4 bandes, 600 MB de disques coûte 20534 \$ / mois.

1974 : U 90 / 30

La vraie nouvelle machine est annoncée en 1974 pour livraison en mars 1975. Microprogrammée à partir d'un bootstrap sur ROM de 128 * 96 bits, et d'une WCS de 2048 * 96 bits, elle est susceptible d'émuler non seulement les 9000 Univac et les Spectra 70, mais aussi la 360/20 et la RCA 301, Gamma 30 en France : comme ces machines ne sont pas exactement compatibles, il y a trois modes câblés exclusifs et l'on passe de l'un à l'autre; l'émulation Gamma 30 paraît être un progiciel.

La mémoire minimale est 32 KB, 600 ns, avec un prix très bas de \$ 3700 / mois. Elle peut s'étendre à 256 KB et 1,6 GB de disques : une machine typique avec 256 KB, 400 MB de disques et tout l'environnement coûte \$ 17000 par mois ou 535000 \$ à l'achat.

Bien qu'on propose multiplex à 85 KB/s et sélecteurs à 825 KB/s, la machine est offerte normalement avec tous ses contrôleurs intégrés pour baisser fortement les prix, au détriment de la puissance de calcul évidemment : IFA pour les disques, IPC pour LC / PC / IP, ICA pour un maximum de 24 lignes .

Le logiciel est un système d'exploitation baptisé OS/3, résident sur 16 KB, offrant un multitasking sur 7 jobs avec priorités, spool et retassement automatique de la mémoire. IMS / 90 qui a intégré DMS / 90 devient la base de données de la famille, accessible en mode transactionnel ; la fourniture comprend aussi un choix de progiciels.

Nous possédons une bonne documentation, comprenant :

- une présentation technico-commerciale, aux photos séduisantes.
- le manuel du processeur et celui de deux contrôleurs intégrés, IPC et ICA.
- un manuel sur les disques proposés.

- le manuel de l'assembleur OS / 3.
et un texte de cours permettant de comprendre la microprogrammation.

1975 : U 1100 / 20 et 40

L'annonce IBM de 1970, comprenant deux machines 135 et 145 dont la mémoire est à semiconducteurs, a forcé tous les constructeurs à se lancer dans cette voie qui est, de toutes façons, plus économique à terme. Pour Univac, qui ne produit pas de composants, le changement impliquait des accords de fourniture susceptibles de durer, et l'étude approfondie des conséquences ; entre autres, il fallait amortir les mémoires à tores magnétiques dont la carrière est définitivement terminée.

En 1975 donc, Univac annonce deux machines qui ne sont pas du tout nouvelles :

la 1100 / 20 associe une unité centrale de 1108 à une mémoire à semiconducteurs de cycle 875 ns, en 4 unités simultanées de chacune 1 ou 2 modules de 65536 mots, permettant l'entrelacement. Il faut toujours prévoir des MMA pour permettre l'édification de biprocesseurs et, un peu plus tard, de quadripcesseurs.

Comme l'adressage de la 1108 ne permet pas d'atteindre 512 Kmots, le CPU utilise sans le dire une sorte de mémoire virtuelle, par l'intermédiaire de deux bases dans chaque CPU et d'une liste des segments en mémoire : c'était déjà le cas en 1108. Pour les entrées / sorties, qui ne peuvent travailler en virtuel, la solution technique ressemble à un rattrapage, prenant un bit d'adresse sur le champ de comptage.

la 1100 / 40 associe une unité centrale de 1110 à deux mémoires à semiconducteurs : la mémoire rapide limitée à 512 Kmots est à base de modules de 64 K entrelacés par deux, avec un cycle de lecture NDRO de 280 ns, recourant à une technologie bipolaire; il faut un MMA par paire. La mémoire d'extension est construite en DRAM, par modules de 128 Kmots, cycle 800 ns, avec un MMA par module et un maximum de 1024 Kmots. Toutes ces mémoires sont dotées d'autocorrection SECDED et comportent un exerciseur incorporé pour la maintenance. La 40, qui sépare CAU et IOAU pour les accès aux mémoires, est proposée dès le départ en versions mono, bi, tri et quadripcesseurs.

Les périphériques des 1100 marquent un tournant : Univac abandonne progressivement ses tambours pour recourir aux disques, qu'elle avait de toutes manières adoptés pour ses compatibles. La plupart des disques Univac de cette époque sont des compatibles 3330. Il en est de même pour les dérouleurs, où les normes de modulation d' IBM s'imposent absolument.

Enfin, pour les cartes et imprimantes, qui n'ont plus à tenir compte des souvenirs de la mécanographie, Univac préconise méthodiquement, avec le CS / P, l'organisation d'un "symbiont matériel" qui allège un aspect du travail de l' OS et qui, par ailleurs, généralise la compatibilité IBM (le CS / P est un 9400).

Le système d'exploitation, rebaptisé OS 1100, est l'Exec 8 du 1110 qui profite de l'absence de changement pour se stabiliser. Nous disposons d'un document de synthèse sur le système, et de documents parcellaires sur certains de ses composants. On peut faire quelques remarques à ce sujet :

- le mode batch a renouvelé ses compilateurs, dont les deux principaux sont le Fortran ASCII et le Cobol ASCII, à jour des dernières normes. Mais il existe aussi un PL / I et

une constellation de processeurs plus exotiques collectés par Univac dans les universités, et dont la compagnie ne prend pas toujours la responsabilité : Algol, Simula, Simgcript, GPSS, etc...

- le moniteur de temps partagé CTS / 1100 dispose désormais d'analyseurs conversationnels pour Fortran, Cobol et Basic et de deux compilateurs conversationnels, Ratfor et Ubasic. Il y a aussi un APL / 1100, avec deux modes analyseur et interpréteur, et le sigle signifie qu'Univac garantit ce produit. Désormais sûr, le time sharing est de plus en plus utilisé par les centres de calcul.

- le moniteur transactionnel TIP / 1100 est devenu un élément fondamental du système car l'interrogation conversationnelle des bases de données se développe : DMS 1100 est désormais accessible par un langage spécifique, QLP / 1100, qui fonctionne en batch et time sharing, et par un outil conversationnel plus général RPS / 1100 destiné aux usagers qui ne savent pas ou ne veulent pas programmer.

L'existence de ces outils rodés réduit la tendance des entreprises à créer des systèmes temps réel propres pour leurs activités de type transactionnel, qui peuvent souvent se construire autour des logiciels fournis.

Exemple : la compagnie japonaise All Nippon Airways installe en 1976 pour ses réservations un triprocesseur 1100 / 40 avec 128 Kmots de mémoire rapide et 640 Kmots d'extension, avec 29 disques 8425, 10 tambours FH 432 et 3 FH 1782, 20 bandes Uniservo 16, et plusieurs 9300 de fabrication Oki. Le système gère sous OS 1100 quelque 1200 terminaux dont 200 en trois grandes agences.

1976 : DCA et Telcon

Univac, qui avait comme ses clients pratiqué jusque là une politique de communications en étoile autour de gros centres, découvre avant IBM l'existence d'entreprises moins centralisées souhaitant éviter de passer par ce central pour des actions d'intérêt local.

Le concept DCA pour Data Communication Architecture est donc proposé autour d'un petit calculateur DCP 16 bits qui dérive du matériel 1616. Ce DCP est le premier d'une famille dont les composants pourront servir soit de concentrateurs régionaux, soit de frontaux pour les 1100. Pour cette raison, on en trouvera la description dans les notices System Description des divers calculateurs d'Univac, dans le chapitre consacré aux périphériques.

1976 : U 90 / 80

Pour entretenir sa crédibilité de compatible, Univac annonce en 1976 un 90 / 80 construit en ECL, et suffisamment compatible pour accepter les logiciels IBM d'application. Cette machine dont le cycle est de 98 ns est un peu moins puissante qu'une IBM 370 / 158, mais on préfère la présenter comme ayant 2,5 fois la puissance de la 90 / 70, qui disparaît à cette occasion.

La 90/80 se compose de deux processeurs microprogrammés, un CPU et un IOAU. L'architecture du CPU étant celle de Univac / RCA, le système d'exploitation ne peut être celui d'IBM : le système VS 9 à mémoire virtuelle offre des services de batch, RJE (gestion de terminaux éloignés), et transactionnel, jusqu'à 120 tâches actives, et peut gérer jusqu'à 256 lignes téléphoniques.

Cette machine sera fortement impliquée dans la guerre des prix qui a marqué, pour IBM et les compatibles, la période transitoire des 303X. Avant même la première livraison en 10 / 76, Univac devra annoncer une baisse de 42% sur les locations, et de 57% sur les ventes.

Un an plus tard, une manipulation du marketing distingue une 90 / 80.2 détimbrée à 130 ns pour continuer à s'opposer à la 370 / 148, et une 90 / 80.3 qui est l'original cherchant à contrer la 3031 à travers une nouvelle baisse de prix permise par l'emploi de mémoires 16 Kbits.

début 1977 : les machines Varian

Fin 76, Varian, un fabricant de miniprocesseurs à succès installé à Irvine, Cal, annonce un nouveau modèle V77 en trois tailles formant famille, depuis une carte 200 vendue \$ 1200 en OEM jusqu'à un modèle 600 de 64 Kmots à 22450 \$. La machine est microprogrammée, donc adaptable, et Univac achète la société au début de 1977. Pour les clients de Varian, ce peut être un sujet d'inquiétude, car Univac a peu d'expérience dans le domaine des automatisations industrielles : nous disposons d'une publicité de l'époque où Univac se veut rassurant et affirme sa volonté de soutenir tout le parc.

Dans un premier temps, Univac demande à Varian une synthèse sur les produits V70, dans le but de souligner la cohérence de la famille, même si pour l'avenir elle ne compte promouvoir que les derniers modèles, V77. On trouvera dans la documentation :

V70 Series Architecture Reference manual, UP 8634 R1 de 10 / 79.

V70 Series Assembly Language, Programmer Reference Manual, 1978.

V70 Series Utility Programs, Programmer Reference, 2 / 78.

D'autre part, nous disposons d'un manuel décrivant un service Maintain III permettant la recherche de pannes sur tous les anciens calculateurs de Varian, depuis le 620 i jusqu'aux V77 en passant par les V70, 72, 73, 75 et 76. Un tel outil, commercialisé en 1979, voudrait donner aux propriétaires de ces machines la possibilité de se débrouiller seuls et de ne recourir à Univac que pour les rechanges.

La microprogrammation est placée dans le domaine public par un langage de microprogrammation CHAMIL, inspiré de Pascal, sur lequel on trouve quelques commentaires dans SIGPLAN 1 / 80 p 156.

Mais on a l'impression qu'après avoir chargé son nouvel établissement d' Irvine, Cal, de poursuivre cette tâche de service, la maison mère s'est surtout préoccupée de reconverter l'ensemble des V77 du temps réel vers les fonctions d'informatique distribuée, largement oubliées jusque là chez Univac. De cette période, nous avons une large documentation sur l'ensemble des V77:

Jeu de fiches technico-commerciales (11 / 78) : le 800 n'existe encore qu'à l'état de promesse, et bien qu'on fasse allusion à ce qui est prévu, les fiches parlent surtout des applications temps réel.

77 systems power supply, Model 77-406x, Operation & service manual, août 1977.

Description générale des miniordinateurs V77, en français (non daté, mais contemporain).

Series V77 minicomputer systems : power, performance, productivity. Date estimée 1979.

Série de miniordinateurs temps réel V77 : le système d'exploitation VORTEX (en français).

VORTEX II Operating System, Programmer Reference , UP 8677 R2 (10 / 79).

Miniordinateurs temps réel V77 : système de gestion de bases de données (en français, 2 ex)

Series V77 minicomputers systems : communications, networks, and distributed processing .

L'informatique répartie sur miniordinateurs V77, en français.

La mise au point du modèle haut de gamme, le V 77 / 800, qui n'était pas terminée lors de l'acquisition, vise à en faire un gérant de terminaux et de base de données. Univac abandonne Vortex sur ce modèle livré à partir de juillet 79, et introduit le système d'exploitation Summit pour ces nouvelles fonctions, exploitant une base de données TOTAL trouvée chez Cincom. Nous disposons d'une documentation complète :

V77-800 Computer, System Description Manual, UP 8701 de août 1979.

V77-800 Processor, Functional Analysis & Servicing manual, UP 8702 de juin 1979.

V77-800 Memory System, Functional Analysis & Servicing manual, UP 8704 de juin 1979.

V77-800 Writable Control Store, Functional Analysis & Servicing, UP 8705 de juin 1979

V77-800 Microprogramming, Reference manual, UP 8707 de décembre 1979.

V77-800 Computer Operations, Reference manual, UP 9028 de juillet 1979.

V77-800 Central complex, Installation manual, UP 9027 de septembre 1979.

Le système d'exploitation Summit de Sperry Univac, V77-800 (en français).

La machine est compatible avec les autres V77, mais elle utilise une mémoire 32 bits, 600 ns, en modules de 64 K mots avec ECC, un cache et un processeur flottant standards, une logique TTLSP légèrement accélérée (CP = 150 ns), et un canal 32 bits. Prix \$ 185000 avec 512 KB, 16 écrans, Summit.

Summit est vendu comme un package à 6000 \$ englobant Cobol et Fortran ; on peut y ajouter un Pascal pour \$ 2000, et la base de données pour \$ 3000.

En 1981, les trois modèles qui intéressent Univac seront modernisés par une présentation plus économique et une mémoire organisée en modules de 256 KB et réalisés en puces 16 Kbits. Ce seront les 550, 750, 850.

On trouvera une allusion à cette fonction de concentrateur dans la description du 1100 / 90, un peu plus tard, puis plus rien. Il est évident que, lors de la fusion avec Burroughs, les minis de Varian n'avaient plus de place dans le nouvel Unisys. Mais tout de même, de 1977 à 1987 : un considérable gâchis.

1977 : U 1100 / 10

Jugée moins urgente que la 20 et la 40 en 1975, cette machine se situe dans la gamme de puissance de la 90 / 80, étant estimée à 1,4 fois l'IBM 370 / 148. Comme la 20 elle utilise une unité centrale de 1108, mais avec une mémoire à semiconducteurs de cycle 1125 ns, en un à quatre modules de 128 K mots. Le monoprocesseur est transformable chez le client en biprocesseur par addition de MMA devant chaque mémoire. C'est en somme un successeur de la 1106.

En 1978, on proposera aux possesseurs de 1100 / 10 une nouvelle mémoire de cycle 875 ns à base de puces 4 Kbits, qui en fait un équivalent de la 1100 / 20. Le prix de ces nouvelles mémoires s'étend de 486675 \$ pour 768 KB à 850500 \$ pour 2 MB, en 4 niveaux.

1977 : U 90 / 25

Cette machine semble être une 90 / 30 détimbrée, 30% plus lente, avec une mémoire 64 à 128 KB, et un prix inférieur de 10 à 25 % . Elle peut être transformée en 30 chez le client.

L'économie vient d'une organisation délibérément limitée aux cartes et/ou disquettes (photo). Prix avec seulement cartes et la nouvelle IP 300 (Mle 0719) : 3600 \$ / mois - Prix avec seulement les disquettes pour un système purement interactif : 129850 \$ à l'achat, ou \$ 3500 / mois.

Fonctionnement sous OS3 avec la base de données IMS 90.

La 90 / 25 peut être étendue jusqu'à disposer d'autant de périphériques qu'une 30, mais c'est généralement peu avantageux. Disques U 8415 comportant 24,8 MB fixes plus une cartouche amovible de 8,3 MB. Communications .

1977 : U 1100 / 80

Annoncée en 1975 mais conçue pour l'essentiel en 1970, la 1100 / 40 n'était plus en état, en 1977, de jouer le rôle de haut de gamme chez un constructeur comme Univac. L'idée nouvelle est donc de construire un CPU en technologie ECL, cycle 50 ns, et de lui associer un cache également ECL qui devient le coeur de la machine, étant aussi accessible par les IOAU.

Ce cache ou SIU, Storage Interface Unit, comprend 4 (4) 16 Kmots de cycle 125 ns, et il est organisé en blocs de 8 mots, qui peuvent être chargés en une seule fois si la mémoire principale, réalisée en MOS 4 Kbits, comporte suffisamment de modules de 256 Kmots : l'organisation optimale comprend 8 mémoires de 256 ou 512 Kmots, avec 8 MMA dans le cas d'un quadriprocesseur.

Ces MMA sont à deux voies, car un quadriprocesseur comprend deux SIU. Dans le SIU, évidemment le composant le plus coûteux du système, il peut exister jusqu'à 4 modules de 4 Kmots, chacun avec son MMA à 4 accès, deux CAU et deux IOAU. Chaque CAU peut commander les deux IOAU du groupement, mais il peut aussi communiquer avec les trois autres CPU, par interruption.

La seconde révolution est l'acceptation officielle de canaux Block multiplex 1,5 MB/s et Byte Multiplex 200 KB/s compatibles IBM. La configuration minimale d'un IOAU comprend un BMUX et un ByteMUX, tous deux à 8 sous-canaux, et on peut y rajouter 6 autres canaux, soit des types précédents , soit du type Univac fonctionnant par mot en ESI ou ISI . Chaque canal mot peut contenir 4 sous-canaux mot.

Les divers canaux et IOAU sont encore dépendants des CAU de leur groupe, conformément aux habitudes antérieures des machines Univac.

La maintenance est prise au sérieux au même niveau qu' IBM quoique avec des différences de principe, puisque la /80 est assez peu microprogrammée. Chaque CPU est relié par des interfaces spécialisés (série) à la SMU, System Maintenance Unit, qui est un calculateur spécialisé avec console, et à la STU, System Transition Unit, chargée des partitionnements. Le partitionnement en deux ensembles d'un quadriprocesseur est

extrêmement simple ; au delà, la STU sert surtout à isoler un constituant en vue de maintenance.

Les périphériques sont désormais presque tous sur canaux IBM, à l'exception des disques pour lesquels Univac a créé un contrôleur microprogrammé, le 5046, à cycle de 400 ns. Ce contrôleur accepte jusqu'à 4 connexions sur canaux mots et, vers l'aval, jusqu'à 32 disques dont un maximum de $16 * 8405$. Il pratique le command retry et le diagnostic de maintenance à partir de disquettes.

Le système d'exploitation est toujours l' OS 1100, convenablement paramétré et adapté aux nouvelles structures. La coexistence de trois architectures pas tout à fait compatibles, 10 / 20, 40 et 80, conduit à créer un métaassembleur, MASM, qui connaît les codes de toutes les machines, vérifie les rédactions et délivre un macroassemblage acceptable par le calculateur cible.

La taille de mémoire implique nécessairement une approche de type virtuel, qu' Univac traite toujours par le jeu de registres de base : il y a maintenant quatre bases actives dans un CAU, deux (I et D) pour le mode gardé (l'utilisateur) et deux pour le mode exécutif (le système).

Commercialement, la machine est offerte en cinq configurations. Le bas de gamme, baptisé 80 S, est une monoprocesseur scientifique destinée à servir de support logistique à un array processor qui lui donne sa puissance de calcul. Son prix est M\$ 1,2 , auquel il faut ajouter celui de l' array processor.

Les autres, 81 à 84, sont des mono, bi, tri ou quadriprocesseurs et leur polyvalence maintenue sera de plus en plus souvent tournée principalement vers l'organisation et la gestion de vastes bases de données d'entreprises, sans interdire à des isolés de lancer simultanément de gros calculs scientifiques à travers le batch ou le temps partagé.

Nous avons connaissance, en 4 / 83, d'un marché de l' USAF pour une machine de 14,5 M\$, apparemment un modèle 84, et en 2 / 84 d'un marché de l' US Army pour une machine de 8 M\$, modèle 82.

fin 77 : le BC 7 / 700

Jusque là orienté exclusivement vers les grands comptes pour les produits de Roseville, vers les moyens depuis la famille 90, Univac s'avise avec la miniaturisation qu'un nombre croissant de clients pourraient lui échapper s'il ne fait pas un geste en direction des PME. Le BC 7, créé à la fin de 1977 à partir de microprocesseurs en tranche, joue le même rôle chez lui que les B24 chez Burroughs et chez Thomson en France : une machine de bureautique qu'on peut utiliser comme entrée d'un processeur plus important, mais qui sera utilisée seule en général pour de nombreuses tâches de petite gestion.

Pour ce type de clientèle, la documentation technique manque complètement, et la documentation commerciale, abondamment illustrée, véhicule un seul message : quel que soit votre besoin, notre machine va vous le faire sans effort. Voir fiche.

1978 : U 90 / 40

Cette machine est une simple remise à jour technologique du 90 / 30, sans amélioration importante. La mémoire est maintenant réalisée en MOS 16 Kbits, avec un cycle de 500 ns, mais le système d'exploitation est OS 3. Les disques sont généralement

des 8430, cad des dispacs de 200 MB équivalents aux 3330 IBM., et la capacité installée peut atteindre 3 GB.

Les communications sont standard, avec un maximum de 24 lignes dont au moins une peut monter à 56 Kbauds. Le prix de base est \$ 304272, ou \$ 7089 / mois.

1978 : U 90 / 80. 4

Le nom indique correctement qu'il ne s'agit pas d'une nouvelle machine, mais seulement d'une amélioration de la configuration, essentiellement due à une mémoire principale de 2 à 8 MB permettant l'entrelacement, et à un cache de 32 KB avec blocs de 16 bytes rechargés en deux cycles.

La microprogrammation contient tous les raffinements que l'on trouve aussi chez IBM, c'est-à-dire des contrôles de parité sur tous les chemins de données (130 points de contrôle), le SECDED en mémoire, la duplication de l'unité arithmétique, et les mécanismes de retry, de log et de microdiagnostics.

La machine peut recevoir tous les disques du catalogue IBM / Univac, 8405. 0 et . 4, 8430 et 33, 8450, tous les dérouleurs du Uniservo 12 au 36.

Prix typique : 1,26 M\$ pour le CPU, le cache, 2 MB de mémoire, et 5 canaux ; dans ce chiffre, la mémoire représente 319 K\$. Les périphériques sont en sus.

1979 : BC 7 - 900

Le succès du BC7 incite Univac à persévérer, et les clients apparemment souhaitent un peu plus de puissance pour le même prix. Le Modèle 900 utilise un nouveau processeur travaillant sur 2 bytes, et disposant de 48 à 256 KB avec un cycle de 1 μ s par 2 bytes. Le nouveau logiciel autorise 4 partitions et jusqu'à 6 terminaux. Prix maximum \$ 76587 ou \$ 1846 / mois. Livraison 6 / 80.

Physiquement, la machine supporte 8 stations équipées chacune d'un écran et d'une machine à écrire ; elle peut aussi se connecter par ligne à des terminaux DCT 1000 et DCT 2000, utilisant le protocole IBM 3780. Les disques peuvent croître à 4 MB sur disquettes, et deux cartouches de 20 MB.

Mi 80, une nouvelle offre comprend un contrôleur microprogrammé pour 2 à 4 disques 8402 de 25 MB, compatibles, débitant 1193 Kbit/s. Le temps d'accès moyen est 35 ms pour le bras, plus le demi-tour de 8,3 ms. Le prix de ce contrôleur, qui peut lister un fichier de disque sur machine à écrire sans passer par le CPU, est \$ 36000.

6 / 79 : annonce des 1100 / 60

Sitôt terminé le 1100 / 80, Univac doit envisager de remplacer les 1100 / 10 et 20 dont le processeur est réellement périmé, puisqu'il date de 1964. Non seulement il faut le remplacer, mais en plus il faut, tout en gardant le système 1100, changer d'objectif ; désormais, le temps réel, c'est la gestion interactive, et la machine à construire, bien qu'aussi puissante que la 1108, est destinée aux PME.

Hostiles depuis l'origine à la microprogrammation, les concepteurs de Roseville doivent maintenant changer d'avis, comme l'ont fait depuis longtemps ceux de Bluebell forcés de suivre IBM. Les raisons économiques qui avaient décidé les ingénieurs à cabler la 1108 et la 1110 sont désormais dépassées, tout simplement parce qu'il est

impossible de faire à un prix acceptable une machine pour PME en ECL, sauf à utiliser le microprocesseur en tranche 10800 de Motorola, le plus puissant du marché.

Et là, brusquement, tout change : parce que ce microprocesseur de 4 bits existe, il devient économiquement possible de construire un ordinateur à mot de 36 bits avec une structure redondante qui sera, en prime, remarquablement fiable.

Le processeur du /60 est donc construit autour d'une micromachine à mot de 36 bits, avec deux ALU indépendantes microprogrammées séparément, chacune doublée par mesure de sécurité : les deux copies d'une ALU reçoivent les mêmes données et les résultats sont comparés ; en cas de désaccord, le calcul est repris (retry) ; en cas de désaccord répété, la mémoire de microprogramme est rechargée automatiquement ; si cela aussi échoue, alors seulement il faut réparer.

Hors les deux ALU, il existe seulement une paire de mémoires locales, des registres et des chemins de données, réalisés en technologie Motorola ECL 10K, tous contrôlés par parité. Cet ensemble est donc a priori très fiable, et la carrière des /60 a confirmé cet espoir.

Le cycle de la micromachine est plutôt lent, 116 ns, bien plus lent que ce que permet le microprocesseur. Cette lenteur est compensée par une organisation pipeline et un distributeur tétraphasé qui vont permettre d'exploiter de multiples parallélismes, dans une architecture surprenante où la WCS de microprogrammes ne comporte que 2048 mots, mais avec une longueur exceptionnelle de 283 bits. Nous avons la chance de disposer d'un document de cours (confidentiel entreprise) fourni par Univac, qui permet de comprendre le fonctionnement de cette micromachine assez unique : la plus complexe des macroopérations ne nécessite que 5 microinstructions, la plupart se contentent de deux.

La macromachine est construite comme la /80, autour d'un cache SIU de 8 Kmots auquel accèdent quatre portes : deux pour le CPU (I et D), une pour l'IOU, et une pour le processeur de maintenance. Le SIU se recharge dans une mémoire multiblocs à base de puces de 16 Kbits, qui peut délivrer 4 mots simultanément, au besoin avec entrelacement.

La microprogrammation permet de découper le répertoire en deux groupes : la machine de base 1100, et un jeu d'opérations sur bytes et bits nommé EIS. Les opérations EIS ne sont pas accessibles aux programmeurs, mais elles sont utilisées par les compilateurs et tout le logiciel : les performances sont nettement changées si on est obligé de les simuler par programme.

La /60 est proposée en mono ou biprocesseur, avec une modularité qui permet de multiplier les modèles assez proches, comme il convient en gestion : machine de base sans cache ni EIS, cache 2 Kmots, cache complet, biprocesseur, sans compter la modularité de la mémoire. On peut ainsi définir 12 configurations qui font passer la puissance de 1 à 5, et en 12/81 on pourra en outre commander des tri et quadrip processeurs. La /60 sera un grand succès, commandée en 500 exemplaires en moins de deux ans, à près de 3000 exemplaires avant d'être remplacée.

Univac a fait en France, à l'occasion de cette machine, un bilan de son oeuvre et de son marché, qui constitue un document exceptionnel par la franchise et la clarté de l'exposé. On y récapitule l'histoire des matériels et celle de l'OS 1100 depuis les origines (la 1107), et cette synthèse qui figure dans le dossier est particulièrement

éclairante et documentée. On y trouve, en particulier, la liste de tous les clients européens et américains des /60 et des /80 à l'échéance de l'année 1980. Voir boîte 125. On trouvera aussi en boîte 126 quelques documents sur l' OS, qui seront fortement éclairés par l'étude de synthèse mentionnée ci-dessus.

1980 : AVP = Attached Virtual Processor

Le bon accueil fait à la /60 par les utilisateurs de gestion amène Univac à douter de l'opportunité de continuer à consentir un effort de compatibilité IBM, mais ce doute n'est pas suffisant pour entraîner une décision, face aux anciennes équipes de RCA. Néanmoins, il semble souhaitable de faciliter les mutations.

Dans ce but, l'AVP est un 90 / 80 vendu connecté à un 1100 / 60, et toute la question consiste dans les modalités de l'exploitation : la mémoire du /60 comprend 512 à 1024 Kmots, et elle sert aussi au 90 / 80 qui lui est relié à travers un cache 32KB.

La mémoire commune contient donc deux systèmes d'exploitation, OS 1100 et VS/9. Le logiciel spécialisé APCS, Attached Processor Control System, donne aux périphériques du multiplex 90 / 80 l'aspect de périphériques 1100.

Les logiciels utilisés sont IMS 1100, RPG II, et le nouveau PADS, Programmer advanced debugging system, qui permet au programmeur de placer des SNAP et des traces dans ses programmes rédigés en assembleur, Fortran, Cobol et PL/I.

1980 : System 80

La question posée au paragraphe précédent est finalement réglée par la négative, et Univac prépare sa troisième génération de compatibles, baptisée System 80 et visant uniquement le bas de gamme gestion, puisque le haut de gamme est satisfait par les 1100 / 60.

Il s'agit donc de réaliser un processeur sur une carte, en technologie ECL : la machine comprendra 4 circuits spécialement étudiés, produits par Fairchild sur commande Univac dans sa technologie ECL F100220, le reste étant formé d'hybrides groupant 16 puces ECL 10K sur une plaque céramique 16 couches de un pouce carré.

Le système d'exploitation est OS / 3, rendu plus convivial par un langage de dialogue sur écran. Les services rendus sont une combinaison de ceux fournis chez IBM par les System 3, et par les 4331 et 4341.

Les périphériques se veulent étroitement adaptés, et rappellent ceux du S / 3, avec des dispacks de taille moyenne et des disquettes à chargement automatique.

L'offre initiale porte sur deux modèles, baptisés 3 et 5, dans la gamme de prix K\$ 70 à 325, pour une mémoire de 256 KB à 1 MB, et jusqu'à 8 disques Winchester. Un Mle 3 avec 256 KB, 718 MB de disques, les disques souples, une IP 180 et une console coûte en France 403090 FFHT, ou 8400 FF / mois sur engagement de 5 ans.

1981 : APS = Array Processing System

On a mentionné plus haut le 1100 / 80 S, machine scientifique où le /80 sert de support à un array processor. C'est en 1981 que se concrétise cet accord, conclu par Univac avec la société Datawest, concepteur d'un Array Processor qu'elle ne peut espérer vendre sans un soutien commercial : l'intérêt d'Univac, d'autre part, est de vendre à cette occasion un /80 qui représente une réelle valeur ajoutée. A en juger par le contenu de

la liste des matériels /80, qui figure dans la synthèse citée plus haut, cette opération n'a pas connu beaucoup de succès.

L'APS est connecté à la mémoire du /80 à travers un cache de 256 * 64 mots, 25 ns/mot, et une interface capable de 35 Mmots/s, par groupes de 4 mots. Cet interface APCU fait les transformations d'adresse nécessaires pour que l'APS puisse atteindre toute la mémoire 1100.

L' APS se compose de :

- une mémoire de programme de 8 Kmots de 320 bits (288 utiles) réalisée en 4 slices de 72 bits.

- 4 processeurs de commande fonctionnant en parallèle, susceptibles d'adresser soit le cache, soit la mémoire propre.

- une mémoire de données optionnelle, jusqu'à 16 bancs soit 64 à 256 Kmots de 36 + 4P bits.

- jusqu'à 4 processeurs arithmétiques simultanés, pipeline 3 étages.

Un APS peut délivrer 80 MFlops en moyenne, jusqu'à 120 en pointe.

L'APS est programmé en Fortran et dispose d'une bibliothèque propre, écrite en assembleur. Les compilations se font sur la machine hôte.

Présenté plus haut comme monoprocesseur, le système peut théoriquement comprendre deux CPU, deux IOU, et 2 APU, et fonctionner en biprocesseur, ou partitionné. Il ne semble pas avoir existé de biprocesseur.

1982 : System 80 Model 8

Un peu inattendue après les décisions mentionnées deux paragraphes plus haut, l'existence de ce système est sans doute un indice de succès. L'étude a été menée avec Mitsubishi, conduisant à une puissance double de celle du plus gros modèle précédent, mais dans la même technologie.

La mémoire est extensible jusqu' à 8 MB et réalisée en mots de 8 bytes, avec un cycle de 480 ns. Les périphériques peuvent croître jusqu'à 11 GB de disques, 120 terminaux et 28 lignes téléphoniques. On offre un grand choix d'imprimantes, 9 modèles de 180 à 2000 lpm. Il est même possible de relier plusieurs S / 80 par fibres optiques.

Le logiciel reste OS / 3, avec bases de données IMS et DMS, les langages RPG II et Escort, et diverses applications, traitement de texte et packages de gestion.

Prix aux USA pour machine 1 MB, avec disque de 491 MB : \$ 204000 ou 5800 \$ / mois.

1982 : U 1100 / 90

La 1100 / 80 était certes un progrès en matière de puissance de calcul, mais l'annonce IBM de la 3081 l'avait notablement rabaissée. Menacé de n'être plus considéré comme un des grands de l'informatique, Univac devait annoncer une machine nettement plus avancée, ou se résigner à sortir définitivement de la compétition. Univac choisit de se battre, et entreprend de construire une 1100 / 90 autour d'une technologie ECL beaucoup plus performante, avec un CPU de 7,5 Mips estimé ; mais ce choix a un prix, c'est le refroidissement par liquide, grave source de lourdeur d'exploitation et de coût.

Les puces SNECL, étudiées par Fairchild, Signetics, et la nouvelle usine Univac d' Eagan, mesurent 4,32 * 4,93 mm et contiennent 168 portes, avec 54 connexions ;

réalisées par croissance épitaxiale avec isolation par oxyde dans une géométrie $2\ \mu$, ces puces introduisent des délais de propagation de 0,37 ns par porte. 40 à 50 de ces circuits LSI, dissipant 4 à 5 watts, et 80 MSI dissipant 0,5 watt sont groupés sur une carte 22 couches incluant une grille de conducteurs espacés de 1,3 mm. Les cartes sont assemblées par paires, encadrant des plaques de refroidissement par liquide. Le processeur et son cache comprennent 52 cartes, implantées sur un seul panneau de 431 * 660 mm.

L'architecture a dû entériner l'obligatoire proximité du cache et du CPU, et il n'y a plus de SIU ; les IOU par conséquent ne passent plus par le cache pour accéder à la mémoire. Il y a en réalité deux caches I et D, chacun de 8 Kmots, construits en ECL à partir de puces 1 Kbit, 10 ns pour les adresses et 4 Kbits, 20 ns pour la mémoire ; ces caches communiquent avec la mémoire par blocs de 8 mots.

La mémoire principale est réalisée en DRAM, à cycle de 600 ns en lecture, 660 ns en écriture, et elle est organisée en 4 bancs simultanés de 512 ou 1024 Kmots, chacun avec interface 72 bits + SECDED. Il faut donc un seul cycle pour un transfert vers un cache, mais les accès par mot ou double-mot sont aussi possibles, et plus rapides que les accès par blocs.

L'adressage physique ne nécessite donc que 24 bits, mais l'adressage virtuel est maintenant de 31 ou 36 bits au choix : cette mémoire virtuelle est divisée en segments de longueur quelconque, plafonnés cependant à 256 Kmots (adresses internes 18 bits) dans le mode usuel, compatible avec les machines précédentes. Il existe aussi un mode étendu, à adressage interne 24 bits, qui ne limite donc pas la taille des segments, mais il ne semble pas avoir été supporté immédiatement par le système d'exploitation. Les adresses et protections des segments sont stockées dans des tables en mémoire, mais 32 segments au plus sont activés à chaque instant pour un processeur, à travers 32 registres de base, 16 pour l'utilisateur et 16 pour le système d'exploitation.

Les IOU sont maintenant complètement indépendants des CPU, en ce sens que chacun d'eux peut être actionné par n'importe quel CPU. Chacun d'eux comprend un CCM microprogrammé qui reçoit les consignes générales des CPU, mais trouve ses ordres en mémoire, et dont la première mission est d'assigner les ressources matérielles (canal = cable) qu'il gère : chaque IOU peut supporter jusqu'à 6 modules de chacun 4 canaux, les modules étant des BMUX compatibles IBM ou des Canaux-mot compatibles Univac.

L'exécution d'un transfert correspond à l'exécution d'un programme de sous-canal, et un IOU peut supporter un maximum de 4096 sous-canaux, ce qui veut dire 4096 périphériques ; les chiffres pratiques sont bien évidemment très inférieurs. La notion importante est que, comme chez IBM à la même date (architecture XA), il n'y a plus de lien obligé entre canaux et sous-canaux, chaque contrôleur pouvant recevoir plusieurs cables et chaque périphérique pouvant être connecté à deux contrôleurs : ainsi, pour le CCM, les canaux sont dans une certaine mesure des ressources flottantes.

Les périphériques se renouvellent au rythme du marché, avec l'apparition des disques 8480 et la généralisation des DCP, contrôleurs de lignes qui externalisent la fonction communication du système.

Les /90 seront proposés en versions mono, bi, tri et quadriprocesseur, repérées 91 à 94, avec des puissances de 5,5 à 25 Mips ; Univac annonce en même temps son intention de proposer des processeurs vectoriels directement connectés aux mémoires de l'architecture précédente, deux de ces processeurs pouvant cohabiter avec 4 CPU et 4 IOU. Chacun de ces ISP apportera un supplément de puissance potentiel de 133 MFlops ; la prise de commandes est cependant un peu différée.

Le logiciel OS 1100 n'est pas immédiatement modifié par cette nouvelle machine, mais une mutation est entreprise en matière de langages. Reprenant une idée vieille de 20 ans (UNCOL), Univac propose de nouveaux compilateurs pour les langages Fortran et Cobol, qui ne prennent plus pour cible l'assembleur, mais un langage intermédiaire plus symbolique qui sera dans une seconde passe traité par UCS, le Universal Compiling System ; cet UCS fait le travail de l'éditeur de lien et celui de l'assembleur et délivre directement des programmes exécutables.

En outre, Univac rend public qu'il ne programme plus ses logiciels en assembleur, mais en PLUS, un langage symbolique d'écriture de systèmes, avec lequel a été déjà écrit le compilateur PL/I, quelques années auparavant. Le langage intermédiaire de UCS s'apparente à PLUS, et ce dernier est clairement inspiré par C et par PL/360, sans cependant avoir cherché la compatibilité.

Pour assurer la meilleure disponibilité possible à ce matériel coûteux, Univac rejoint IBM en associant de façon standard à chaque /90 un ou deux SSP, System Support Processor. Ce calculateur autonome gère les mises en route de l'installation, le chargement des microprogrammes (IPL), les partitionnements éventuels, et la maintenance. A cet effet, le SSP a accès à chaque module de mémoire, chaque CPU, chaque IOP, pour lire ou écrire dans tous les registres et mémoires et y exécuter des tests de bon fonctionnement. Le SSP a également accès aux alimentations électriques, aux circulations d'eau et aux ventilations, et peut arrêter des parties du système en cas de surchauffe. Un SSP peut avoir jusqu'à 4 consoles, et il en aura en général au moins deux, une pour l'opérateur d'exploitation et une pour la maintenance. Elles donnent accès à des logiciels distincts.

Avec cette machine, Univac fait la preuve qu'il peut s'aligner sur les meilleurs, qui sont pour le moment, aux yeux du marché, IBM et Amdahl. Il semble bien que le succès soit resté modéré, probablement à cause du prix, et de la lourdeur de l'investissement représenté par le refroidissement par eau.

1983 : U 1100 / 70

Les /60 sont un grand succès, et Univac ne souhaite pas le perturber par des changements trop importants. Les /70 offertes en 1983 gardent la même unité centrale, et les mêmes microprogrammes, tellement imbriqués qu'ils sont difficiles à améliorer, et profitent simplement de l'introduction des puces DRAM de 64 Kbits pour proposer un quadruplement de mémoire, à volume et consommation constantes, avec une baisse de prix de 30 à 40% à capacité donnée. Il suffit d'une armoire basse pour loger un monoprocesseur à 4 Mmots de mémoire, deux armoires pour un biprocesseur à 8 Mmots.

Les nouveaux périphériques permettent de conforter cette impression d'amélioration, avec le contrôleur 5057 capable de 16 disques 8470 de 512 MB, et le contrôleur 5055

des nouveaux dérouleurs Uniservo 26 et 28 fonctionnant en GCR, avec des débits de 480 et 750 KB/s .

Pour les communications, les DCP 10 (6 lignes), 20 (48 lignes) et 40 (256 lignes) permettent de relier au calculateur n'importe quel réseau DCA.

Commercialement, sont offertes 7 configurations monoprocesseur, et 8 biprocesseurs, avec les mêmes modularités que pour les 60 : un 71B1 est le minimum comprenant CPU, IOU, SSP, et 512 Kmots, et peut grossir chez le client jusqu'à un 72 H2 comportant toutes les options, et 7 fois plus puissant.

Les multiprocesseurs 73 et 74 annoncés au début de 1984 permettent de doubler encore cette puissance, ou d'installer un AVP (voir quelques paragraphes plus haut) pour supporter aussi le logiciel VS /9 de compati-bilité avec les machines IBM de gestion. Prix typique : un 71C1 avec 2 MB de mémoire, un 5057 à deux disques, deux bandes U22, une imprimante 0776, et un DCP 10, coûte 395297 \$ à l'achat, ou 10500 \$ / mois sur contrat de 5 ans.

1984 : le processeur vectoriel ISP

Cet Integrated Scientific Processor mérite son nom parce que, à la différence des ASP antérieurs, il a dès la construction sa place dans l'édifice d'un 1100 /90. Nous disposons de deux documents :

- l'un, qui est une sorte de publicité de lancement, décrit avec précision l'implantation physique, la forme des instructions et des données, le répertoire du processeur vectoriel sans cependant qu'il s'agisse d'un manuel de référence.

- l'autre, qui est remis aux clients au moment de leur commande, décrit l'ensemble des produits logiciels et matériels qu'il sera bon d'installer en même temps pour tirer profit maximum du dispositif.

Les données de l'ISP sont volontairement de même format que les données flottantes ou fixes du 1100 /90, ce qui veut dire qu'un 90 ISP peu utiliser les compilateurs normaux . Univac fournit un document descriptif du programme vectoriseur au moyen duquel un programme standard écrit pour le compilateur Fortran ASCII peut être converti en Fortran vectoriel acceptable par le compilateur UCS Fortran ; ce document figure au dossier.

1984 : System 11

Nous arrivons à un moment crucial de l'histoire d'Univac et de Sperry, le moment des déficits et des licenciements massifs, avec une reconversion obligatoire vers une activité de services. La Sperry Computer System, rénovée dans la peine, en conclut qu'elle doit davantage penser aux petites entreprises : certes les 1100 /60 et 70 font de la gestion et ne coûtent pas trop cher, mais ce sont encore des ordinateurs lourds, exigeant des équipes spécialisées et affectées.

Avec le S /11, l'ambition des créateurs est d'offrir les principaux services des 1100 à des PME qui n'auront ni programmeurs ni ingénieurs pour s'occuper du matériel. Mais ce n'est pas vraiment possible ni tout à fait sincère, car le document dont nous disposons parle tout de même d'informatique, dès qu'on souhaite grossir au delà du minimum.

Ce minimum est un CPU doté de 1024 Kmots de mémoire, avec le jeu complet de registres et les 32 bases, mais apparemment un jeu d'instructions un peu réduit. Pas d'

IOU, pas de canal, les contrôleurs nécessaires sont intégrés à l'armoire CPU ou aux périphériques : deux disques, un streamer pour la sécurité, une imprimante. Mais on peut grossir à 2 CPU, 2 Mmots de mémoire, 2 block multiplex, 8 disques, 2 bandes U 28 avec deux contrôleurs, on peut programmer en Fortran et Cobol, et il devient difficile de croire qu'on se passe alors d'informaticien.

Le logiciel est Mapper 10, et c'est l'explication que donne Sperry, qui voit dans ce système la solution globale aux problèmes de l'entreprise, avec sa base de données organisée en "armoires" et en " tiroirs", où la consultation d'une fiche est immédiatement conversationnelle. Nous ne sommes pas assez renseignés par l'excellent petit document disponible pour y croire vraiment.

En tous cas, et dès cette époque, le métaassembleur MASM englobe le System 11 dans la collection de systèmes pour lesquels il peut travailler. Voir boîte 128.

1985 : ouverture vers le bas

Le dossier de presse remis par Univac à l'occasion du SICOB 1985, c'est-à-dire vers la fin de l'année 1984, manifeste qu'en cette année dont nous avons vu le caractère critique dans la rubrique 579, le groupe Sperry qui vient d'abandonner la référence Univac s'ouvre vers le bas. Le déclencheur a certainement été le PC, dont l'importance économique éclate précisément cette année-là.

La nouveauté qui frappe, en tous cas, c'est que Sperry Computer, jusque là fabricant de tous les processeurs qu'il commercialise, se mette à distribuer des machines

On ne s'étonnera pas que, dans cette circonstance particulière, on parle très peu des mainframes : ils sont rarement à l'honneur au SICOB.

Le PC (chemise Sperry PC)

Selon son habitude bien établie depuis les 9200, Sperry réagit à chaque mouvement technique et commercial d'IBM et a donc créé son propre PC, avec seulement un an de retard sur le leader. Cependant Sperry n'est pas du tout intéressé par la clientèle familiale, et son PC n'existe que parce que les entreprises s'y sont essayées. La démarche de Sperry consiste donc à rechercher, démontrer et implanter des idées nouvelles autour de PC compatibles, espérant que l'entreprise appréciera la valeur ajoutée ; autant qu'on puisse en juger alors qu'il s'agit d'un champ commercial fort écarté de nos préoccupations usuelles, cette tentative a échoué, de sorte qu'assez vite, Sperry s'est désintéressé de ce marché.

En 1985, cet effort de diversification, visible dans le dossier, comprend :

- accès du PC aux mémoires de masse des 1100 à travers une ligne téléphonique
- ouverture du PC sur le monde Unix à travers le système Xenix de Microsoft
- annonce d'un PC / HT basé sur un microprocesseur 8088. 2 plus performant, pouvant fonctionner soit à la vitesse IBM de 4.77 MHz, la seule qui garantit le fonctionnement de tous les logiciels, soit à 7,16 MHz aux risques et périls de l'utilisateur. Possibilités d'extension, en particulier de disques durs interne et externe.
- annonce d'un PC / IT utilisant le 80286 et compatible PC / AT . Mémoire extensible à 5 MB. Possibilité de connecter des terminaux. Il est même proposé d'utiliser le logiciel MAPPER, que son succès initial conduit à associer à tous les produits du constructeur. Voir plus loin.

La série 5000

Sperry pare ici au plus pressé en se procurant, sur le marché OEM, des calculateurs à base de MC 68010 de Motorola, une famille qu'il a jusque là complètement ignorée malgré le prodigieux succès de son produit de base 68000. Les modèles 20 et 40 sont produits par NCR, les modèles 60 et 80 par Arete, et l'apparence d'une série est suggérée par le système d'exploitation Unix V. On notera que les deux premiers, prévus pour 8 et 16 utilisateurs respectivement, emploient des 68010 à 10 MHz, alors que les deux autres ont des 68000 à 12,5 MHz, moins performants quoique plus rapides pour les opérations qui leur sont

communes. En fait les performances utiles dépendent de la mémoire et des périphériques, et les nombres maximum de terminaux mentionnés correspondent seulement à des possibilités physiques de connexion, non pas à des fonctionnements simultanés. Voir les quatre fiches. Prix de 10 à 150 K\$ selon modèle., et logiciel payant.

Le 7000 / 40

Estimant devoir monter plus haut en puissance pour couvrir les besoins d'accès conversationnels de ses clients, Sperry achète également en OEM un ordinateur de Computer Consoles, construit en TTLS sur 32 bits, avec organisation pipeline, cache 44 KB et mémoire 4 à 8 MB, plus 4 à 12 disques de 160 ou 340 MB en ajoutant des extensions.

Le logiciel est Unix 4.2 pour commencer, il passera à Unix System V en 1985. Le chiffre de 128 utilisateurs attire les mêmes remarques que ci-dessus. Prix 160 à 300 K\$ pour le matériel, 10 à 22 K\$ pour le logiciel. Voir fiche.

Mapper 5

Mapper est essentiellement un langage de programmation, construit autour d'une description conceptuelle d'une base de données comme une collection d'armoires, divisées en tiroirs, dans chacun desquels sont stockés des fiches qu'il s'agit d'établir ou de consulter.

La réalisation particulière de Sperry utilise un processeur Motorola 68010 fonctionnant à 8 MHz, avec une mémoire de 1 MB dont ce processeur permet l'adressage virtuel, des disques et/ou des disquettes et une imprimante matricielle, et un petit réseau de terminaux. Toute application pouvant être décrite comme organisation et consultation de fichiers relève de Mapper, et cette souplesse explique le grand succès de cette solution économique.

Le dossier de presse comprend une fiche illustrée (y compris par une image en anaglyphes autorisant le relief si on dispose de lunettes rouge + bleu) et deux textes explicatifs.

Sperrylink

Sous ce nom, Sperry offre une bureautique qui réunit des postes à écran offrant une collection de services logiciels tels que traitement de textes, poste électronique, gestion de documents, etc... Il est clair que n'importe quel terminal un peu étoffé pourrait utiliser un tel logiciel, et notamment les PC. Il est assez étonnant que le matériel

proposé par Sperry à cet effet ne soit pas le PC, ce qui s'explique probablement par le fait que Sperry a acheté en bloc matériel et logiciel à un tiers constructeur.

Le dossier contient deux documents indiquant que Sperry ouvrira le service Sperrylink aux PC à travers une interface NITS, et permettra l'intégration de plusieurs postes de ce genre à travers un réseau. On ne peut que souhaiter, à cette date, une intégration plus rationnelles de ces divers services.

CIM = Computer Integrated Manufacturing

Toujours dans le domaine des applications ne nécessitant qu'une faible puissance informatique, Sperry s'avise de ce que les entreprises même modestes ont besoin de collecter des informations de gestion dans les ateliers et de leur renvoyer en échange des commandes et autres consignes.

La solution proposée utilise les codes barre pour la saisie, des minis pour la gestion d'atelier, et passe un accord avec Apollo Computer pour la CFAO. On peut cependant douter de l'efficacité de propositions quelque peu improvisées et disparates dans un domaine où le texte joint reconnaît explicitement qu'on utilisera des procédures IBM. L'entrée de Sperry dans ce domaine est franchement tardive.

Intelligence artificielle

Sperry accepte de commercialiser les matériels et logiciels Explorer mis au point par Texas Instruments, mais il ne semble pas que cet essai ait eu beaucoup de suite.

Base de données RS 1000

Sperry achète en OEM le processeur IDM 500 de Britton Lee, spécialisé dans l'exploration d'une base de données de 5 GB installée sur disques MPI. On peut le connecter en direct aux PC, Univac comme IBM, mais aussi aux unités centrales 1100 et IBM 370 à travers des canaux BMUX. La consultation se fait soit par le langage SQL, soit à travers le langage de consultation de Mapper pour les connexions 1100.

Ouverture sur Unix

La dernière décision de ce vaste cocktail, et la plus durable, est l'ouverture sur Unix. Sperry ne renie pas son attachement à ses valeurs, en l'occurrence à l'OS 1100 qui a maintenant 22 ans, mais il constate que certains pans du marché, notamment les universités, soutenus et même entraînés par la presse informatique, souhaitent une informatique totalement communicante dont le système Unix serait le dénominateur commun.

Compte tenu des constantes difficultés des divers Unix à trouver des normes communes, il y a beaucoup d'idéologie derrière cette attitude, mais Sperry prend la chose au sérieux, et déclare vouloir mettre un Unix sur tous ses produits. Il y aura donc :

- Xenix sur les PC
- Unix V, encore mal stabilisé, sur les 5000 et 7000.
- et SX 1100 sur les 1100. Cette dernière entreprise sera menée à bien, et consiste à introduire dans l'OS 1100 une application constituée par le système Unix V, avec une interface permettant de communiquer avec les structures de fichiers propres à cet OS. Le

compilateur C, une des briques de base d'Unix, sera dans ce dispositif reconstruit autour du concept UCS.

1986 : U 5000 / 50

Sperry continue à soutenir le produit de NCR, maintenant baptisé Tower, qui est proposé avec option coprocesseur 68881, cache, mémoire jusqu'à 16 MB, disque jusqu'à 1,6 GB, et 32 utilisateurs. Cette machine coûte 23 à 28 K\$.

Cette même année, Sperry introduit le 5000 / 90 de Arete, qui peut recevoir jusqu'à 4 processeurs et 8 GB de disques. Prix de vente 68 à 75 K\$. La finalité, incertaine, est probablement le mode transactionnel.

1986 : Micro 1100

A partir de 1985, avec la rapide ascension des microprocesseurs, Univac ne peut plus se dissimuler qu'il doit disposer d'une version microprocesseur de son architecture 1100. Le Système 11, par exemple, serait logiquement construit autour d'un tel circuit, s'il existait.

L'étude est entreprise en 1985, très probablement avec un appui extérieur non identifié. Le support technique est un procédé CMOS à géométrie 1,2 μ s, avec deux couches métalliques. L'objectif est de dépasser largement 1 Mips, au moins avec cache.

La réalisation, qui fait ses essais en 1986, comprend 786000 transistors en 6 puces, comme suit :

- Adress Generator contient la mémoire de commande en trois RAM sur 144 bits de large, ainsi que le séquenceur et un départ de bus de 72 bits de large.
- Decode & Control comprend le reste du bloc de commande, avec le registre de macroinstruction, la ROM de préinterprétation, et la logique d'appel au séquenceur. La logique d'interruption est également sur cette puce.
- ALU comporte un bus de 72 bits, les 128 registres adressables, un adder 72 bits, un décaleur 72 bits, et une micromachine de base.
- la seconde puce arithmétique contient un multiplieur / diviseur travaillant sur les entiers de 36 bits, capable d'effectuer en outre la multiplication flottante en un seul cycle, et la multiplication DPVF en deux cycles.
- une puce d'extension optionnelle contient les microprogrammes de manipulation de bytes et de bits, de chaînes et de chiffres décimaux, avec un bus externe 36 bits et un bus interne décimal de 108 bits.
- la puce cache contient une interface pour un cache séparé de 16 K * 40 bits, une mémoire associative de 64 mots pour la DAT, et une interface de bus externe 36 bits avec contrôle de 4 parités. La mémoire cache elle-même comprend une à quatre puces de 4K * 40 bits.

Pour constituer un CPU, il faut relier ces diverses puces (5 de base + cache) par deux bus, données et instructions, et par la distribution de la base de temps, tétraphasée, 80 à 108 ns.

583 - Unisys Corporation

Au moment où intervient la fusion, en 1987, l'apport technique des deux participants comporte une multitude d'architectures, propriétaires ou non, avec d'évidentes redondances, et il va falloir faire des choix drastiques, tout en reconnaissant la nécessité de l'ouverture. Ce capital comprend :

- venant de Sperry, la série 1100, les System 80, les 5000 et 7000 sous Unix, et des PC.

- venant de Burroughs, les séries A et V sous MCP, les systèmes B2X d'origine Convergent, et les périphériques Memorex.

Au moment de la fusion, les données économiques sont un CA de 9,71 M\$ dont 3100 MFF en France, un bénéfice de 578 M\$, et un effectif de 90000 personnes, dont 2100 en France.

Il est décidé qu'on conservera, comme capital emblématique, les deux architectures 1100 de Sperry et A de Burroughs, dans des réalisations ciblées sur les marchés favoris des anciens constructeurs, les scientifiques et le temps réel pour Sperry, la banque pour Burroughs. Ainsi qu'une activité de service à développer et à bien adapter au marché. En ce qui concerne les 1100, la décision est prise d'abandonner le System 11, qui venait de débiter et qui pouvait concurrencer les marchés propriétaires de l'ex Burroughs. On garde par contre, et pour la développer de façon cohérente, l'option Unix. Les attaques tout azimut amorcées en 1985 ne pourront être poursuivies, et la plupart des directions citées plus haut, 5000, 7000, Sperrylink, PC, Explorer, CIM, seront abandonnées. Les System 80 et la série V, initialement conservés, ne subsisteront pas longtemps devant les difficultés financières qui vont assaillir la société.

1987 : L'architecture 2200

La nouvelle société doit frapper un grand coup pour souligner à ses anciens marchés que la fusion est un renforcement plutôt qu'un abandon. Dans le domaine propre de l'ancien Sperry Computer, on souligne que Unisys va continuer à supporter énergiquement l'architecture 1100, dans les conditions suivantes :

La nouvelle architecture 2200 est compatible 1100 en développant les voies simplement tracées par les /90, à savoir : mémoire virtuelle à adressage 36 bits exploitée par 32 bases dans chaque CPU, mode compatible où les registres d'index génèrent des adresses 18 bits, mode étendu où ils produisent des adresses 24 bits, option SX 1100 qui permet une exploitation réellement conforme au monde Unix tout en jouissant des avantages d'un système propriétaire stable et rodé.

Nouvel environnement de programmation NPE, comportant quatre compilateurs optimisés aboutissant à l'UCS, à savoir un Fortran 77, un Cobol 74, un C, et un macroassembleur MASM.

Environnement d'exploitation privilégiant le mode transactionnel, traité comme un mode temps réel. Le monde extérieur, travaillant en DCA, peut rejoindre le calculateur central à travers CMS et de là, à travers le moniteur TIP, atteindre deux bases de données CODASYL et Relationnelle. Le batch n'est pas sacrifié pour autant, évidemment, et continue à optimiser l'emploi des ressources.

Large emploi de périphériques compatibles IBM grâce à des canaux BMUX standard. Ouverture complète sur le monde à travers les protocoles et réseaux les plus connus, SNA, X25, TCP/IP, Ethernet.

Outre le soutien du parc, Unisys continuera à promouvoir la commercialisation des 1100/90 et 70, auxquelles viendront s'ajouter dès que possible de nouvelles machines intégralement conformes à la nouvelle architecture, et exploitant les plus récentes technologies.

1987 : U 2200 / 200

Tout est prêt en effet pour annoncer le bas de gamme de la nouvelle famille, construit autour du jeu de puces Micro 1100 qui fait partie de l'héritage de Sperry Computer. La machine est complètement doublée, les calculs étant menés sur deux jeux de puces simultanés, et comparés. Le processeur tient sur deux cartes. On peut penser qu'il fonctionne à la limite inférieure des circuits, soit $CP = 108$ ns.

L'offre porte sur un à quatre processeurs, soit 1,2 à 4,4 Mips. Les caches sont 8 Kmots, la mémoire 4 à 8 MB, les disques 340 MB à 16 GB dans l'armoire de base, et peuvent se développer jusqu'à 48 axes de 515 MB chacun dans une armoire d'extension.

Nous disposons d'un Support Reference Manual, UP 11279 R1 de 9/87, qui décrit la machine telle que la perçoit son opérateur, travaillant sur la console du SSP et sur les divers périphériques. On y définit tous les témoins et toutes les commandes sur chacun des meubles constituant un système.

1988 : U 2200 / 400

Cette machine développe la technologie précédente en utilisant cette fois la limite supérieure des performances, $CP = 80$ ns, et en autorisant des configurations jusqu'à 6 CPU et 10 IOP dans une seule armoire, autour d'une mémoire en 4 modules. Des chiffres précis illustrent le progrès technologique : 224 composants pour un CPU contre 10500 dans un 1100/72, 387 pour un IOP contre 8200.

Chaque CPU dispose d'un cache de 16 Kmots à cycle de 80 ns : l'interface mémoire débite 90 MB/s sur 72 bits de large. L'IOP, de son côté, peut débiter 37,5 MB/s.

Ce système occupe trois armoires : une pour le mémoire, les CPU et les IOP ; une pour les canaux, BMUX et canaux / mot ; et une pour un Multibus, un multiplexeur de communications, et le processeur de maintenance. Le logiciel est OS 1100, avec les deux BD : DMS 1100 pour la CODASYL, et Mapper qui accepte les requêtes SQL pour accéder à RDMS, la BD relationnelle.

Le succès de la nouvelle série a été considérable, plus de mille 2200 ayant été produits à la fin de 1991.

1989 : U 2200 / 600

Ce troisième modèle est destiné à remplacer les 90, dont il s'inspire directement : la mémoire et le CPU sont entièrement nouveaux, ainsi que l'alimentation ; les IOP, les SSP, la base de temps et la console sont ceux des 90, avec des adaptations à la nouvelle mémoire.

Les éléments ci-dessus peuvent être combinés pour composer un seul multiprocesseur avec un maximum de 4 CPU et 4 IOP, ou pour former deux biprocesseurs partageant les mémoires de masse ; dans le second cas, il faut prévoir deux SSP et deux consoles. La mémoire physique plafonne à 16 Mmots, maximum adressable, mais il est possible de monter à 32 Mmots dans un système de deux biprocesseurs à couplage lâche. La mémoire de 16 Mmots contient deux MSU dont chacun comprend 4 ou 8 bancs indépendants, qui peuvent être entrelacés par 2 ou 4 et permettent, dans ce dernier cas, le transfert simultané de 8 mots sur un seul ordre. La lecture se fait par double mot, l'écriture par double ou simple mot. Chaque banc assure une autocorrection SECDED. La mémoire dispose de deux sortes de portes, modèle 30 ns pour le CPU, 60 ns pour les IOP.

L'horloge, à laquelle est associée depuis les origines une position de mémoire, est maintenant un compteur de 36 bits physiquement logé dans le premier module de mémoire et progresse toutes les 200 μ s, interrompant le CPU toutes les 6 secondes environ.

Le CPU, baptisé Instruction processor, contient deux caches de 32 Kmots pour les instructions et les données, caches à 4 lignes et 1024 colonnes de blocs de 8 mots. La réalisation, qui comprend les 128 registres classiques de l'architecture, une ALU de 72 bits et un décaleur de 72 bits, plus un adder d'adresse de 24 bits, utilise une logique ECL refroidie par air, sur laquelle nous n'avons pas de renseignements. Le répertoire est celui du 90, mais plusieurs opérations ont eu leur algorithme amélioré pour réduire la durée d'exécution.

Les IOP peu modifiés, sont toujours l'assemblage microprogrammé d'un CCM exploitant les programmes d'entrées / sorties lus en mémoire, et de canaux BMUX ou par mots permettant de sélectionner les cables de connexion IOP / contrôleur. La mémoire et les modules de canaux communiquent par doubles mots, le CCM également (ordres, status).

Le débit d'un IOP est 37,5 MB/s avec une mémoire complète, celui d'un module BMUX 17,2 MB/s, celui d'un canal BMUX 4,3 MB/s en lecture et 3,7 en écriture ; le débit d'un module de canal mot est 18 MB/s, celui d'un canal mot fonctionnant en mode ISI est 3,7 MB/s, et tombe à 250 KB/s en mode ESI. Il est possible d'équiper en option deux canaux BMUX selon la norme fédérale FIPS 60, sur laquelle on n'a pas d'autre détail.

Les périphériques ont été presque complètement renouvelés, bien qu'il soit toujours possible d'utiliser le contrôleur 5056 avec les disques 8470 et 8480 ; le nouveau contrôleur 5057 contient un cache et peut aussi contenir un ou plusieurs pseudodisques solid state, en plus du disque 8481 ou du disque Burroughs 9494 ; plus récent encore, le disque 8490 et son contrôleur 5090 figurent dans la documentation.

On peut aussi citer les bandes 0876 et 0884 avec le contrôleur 5058, et les cartouches 0899 avec le contrôleur 5073. On possède aussi la documentation du disque optique 5071.

Le SSP est un petit meuble autonome contenant 256 Kmots de mémoire, un disque de 221 MB, un une bande streamer, et les interfaces de commande et maintenance vers tous les éléments de la machine. On peut lui associer de une à quatre consoles. En annexe du SSP, deux consoles optionnelles permettent de reconfigurer les contrôleurs de périphériques à travers leurs SPI, et d'organiser des séquences pour leur mise en route et leur arrêt.

L'alimentation a été renouvelée, puisque la technologie a changé, au point que les CPU n'ont plus besoin de 400 Hz. Le convertisseur 400 Hz, 200 V, reste nécessaire pour les mémoires et les IOP, et le secteur fournit directement la puissance aux ventilateurs et éclairages.

Un système 600 peut encore utiliser deux autres processeurs moins universels :

- pour les installations scientifiques, l'ISP (calcul vectoriel) des 90, refroidi par liquide, peut être connecté directement à un 600 par une interface avec la mémoire.
- pour les très grosses installations de gestion, qui grouperaient plusieurs ensembles 600 autour d'une vaste base de données, un processeur RLP (Record Lock Processor) organise la protection de la base contre les interactions involontaires entre systèmes, au prix de deux canaux BMUX FIPS 60 par système concerné.

Le logiciel est OS 1100, complètement remis à jour en novembre 1989, et le prochain paragraphe est consacré à cette vaste révision.

11 / 88 : OS 1100 level 41 R6, SB3R1 à 6

Pour le lancement de l'architecture 2200, Unisys a entrepris un toilettage complet de l' OS, dont les très nombreux composants n'étaient pas tous compatibles avec le plus récent niveau de l'Exec, lui-même pas exactement adapté aux processeurs 2200 sur lesquels il allait devoir travailler. L'objectif est d'amener tout le logiciel à la compatibilité avec l'Exec level 41 qui convient pour les matériels dont Unisys poursuit la commercialisation (90, 70, 2200), et de définir clairement - et adapter - ceux qui ont besoin de la version R6, qui correspond aux 2200.

Un second motif de la révision est le désir de changer complètement l'organisation de la bibliothèque logicielle, en vue d'en faciliter la consultation et les opérations de mise à jour. Pour en donner une idée, nous disposons de deux documents :

SB3R1, Exec & System Control Software, Operations Reference Manual, UP 13449 de 11 / 88 ; il a subi en 10 / 89 une très légère modification qui l'amène au niveau SB3R4. On y trouve la description des méthodes de la bibliothèque dans l'environnement 39 R2.

SB3R2, Exec & System Control Software, Library Overview, UP 13459. 1 de 3 / 89. C'est de cette description, conforme aux besoins du niveau 41 R6, que nous nous servons pour classer la documentation dont nous disposons, considérable mais nullement exhaustive.

Les documents groupés dans les boîtes d'archives et classés d'après la nouvelle méthode sont répartis en cinq classes , explicitées ci-dessous :

A, Exec Library, contient les manuels touchant directement à la fonction centrale de l'Exec.

B, System Control Library, contient les manuels qui décrivent des outils liés à l'Exec.

C, Languages, contient les manuels décrivant les langages de programmation, les compilateurs, les bibliothèques et les méthodes d'exploitation utilisées dans l'OS 1100.

D décrit la base de données CODASYL et les moyens d'y accéder.

E décrit l'Interactive Processing Facility, et la grande variété de services qu'elle autorise.

F est l'interface SX 1100 qui permet de transformer l'exploitation d'un système 2200 en système Unix V.

A l'intérieur d'une classe, les documents seront distribués entre cinq tâches :

G, Evaluation and Planning, destinés aux décideurs et, secondairement, à l'administrateur du système.

H, Installation and Configuration, fournit des renseignements techniques sur les exigences des logiciels, tels que capacité de mémoire, disques et bandes nécessaires à leur mise en place et à leur exploitation.

J, Administration, Support and Migration, concerne le responsable du système, usuellement nommé l'Administrateur, et définit ses fonctions, les paramètres qu'il devra ajuster, les outils dont il dispose pour prendre ses décisions.

K, Operations, concerne le personnel d'exploitation et les actions qu'il doit accomplir pour optimiser le fonctionnement du matériel, dans les limites définies par l'administrateur.

L, Programming, concerne plutôt les usagers.

M, Supplément, désigne des documents en notre possession, non mentionnés dans la rubrique L et dont la nature est telle qu'ils auraient du y apparaître.

Ces rubriques sont principalement adaptées aux classes A et B, et quelques libertés devront être prises avec ces définitions pour les autres classes. En tous cas, tout document peut être rapidement retrouvé par son classement à 2 lettres (A à F, G à M) suivi d'un numéro d'ordre, qui est celui même du Library Overview. Comme des documents manquent, plusieurs sigles possibles ne sont pas pourvus.

Rubrique A, Exec Library : l'ensemble des documents cités figure dans la boîte 130. Ceux des tâches G à L sont mentionnés aux pages 1.2 et 1.3 de LO.

G1, Integrated Recovery Functional Overview, UP 8601 R4 de 3 / 89. La finalité de ce service facultatif est de fournir le moyen, en cas d'incident sur le système, de ne pas considérer comme perdu tout le travail en cours, grâce à des mesures de sauvegarde à certains points stratégiques.

G2, Multihost File Sharing, Functional Overview, UP 11554 de 11 / 87, expliquant l'intérêt et les contraintes d'un partage de fichiers entre systèmes distincts. La version qui figure dans notre documentation correspond au level 40R3, et non à la cible 41 R6 qui exigerait la modification .4 .

G4, System Base Software, Technical Overview, UP 11576 de 10 / 89, rebaptisé 7831 0349.000 . Une System Base est un ensemble de logiciel destinés à travailler ensemble, et qui ont été mis à l'épreuve ensemble avant d'être envoyés aux usagers. Il s'agit ici de la SB3, telle qu'elle fonctionne après la release R4 : elle distingue deux variantes de l' Exec diffusé : le Level 41R6M pour le System 11, Mapper 10, les 1100 / 60, 70 et 80, bref les matériels en parc pour lesquels il n'y aura plus de mise à jour après celle-ci, et le Level 41R6 qui correspond aux matériels encore commercialisés, 90 et 2200. Le release SB3R6 de ce document est joint au dossier, mais n'a délibérément pas été mis à jour.

H : nous n'avons aucun document d'installation.

J1, Exec Administration & Support Reference Manual est le document de travail de l' Administrateur. Nous disposons de la version UP 8486.17, qui diffère peu de la 16 révisée mentionnée dans le Library Overview (abrégé ci-après LO).

J2, TIP Administration & Operations Reference Manual , traite plus particulièrement du moniteur transactionnel, devenu un des plus importants fragments du système avec la généralisation des bases de données. Ce document AJ2 est aussi mentionné en AK4, puisque son titre contient le mot Operation.

K1 ne figure pas dans notre documentation, ce qui constitue une lacune sérieuse. Il est vrai qu'il n'est plus très important, aujourd'hui, de connaître la rédaction exacte des ordres que l'opérateur pouvait donner à un 2200, mais c'était un élément d'ambiance.

K2 est le Volume 2 de l' Exec Operations, compagnon du précédent puisqu'il liste les messages que l'opérateur peut voir apparaître sur son écran, avec leur signification. Il s'agit du UP 13448.1A, postérieur donc à celui que mentionne le Library Overview.

K3 est le System Log Operations, Programming and Support Reference Manual, UP 10069.4 . Les logs sont des messages par lesquels chaque sous-ensemble du système rend compte, à chaque action et de façon très dense, de son fonctionnement ; ils peuvent être plus ou moins complets, d'où la possibilité de les programmer. Ils ne sont pas destinés à être exploités tels quels, étant pratiquement incompréhensibles à ce stade, et d'ailleurs ils ne séjournent pas longtemps dans la zone de mémoire qui leur est affectée ; le système les transfère périodiquement sur disques, à partir desquels ils seront traités et édités par un programme BK6.

K5 décrit le langage au moyen duquel les usagers peuvent requérir les très nombreuses actions que le système peut accomplir au profit de leurs programmes. Baptisé Executive Control Language (ECL) Operations & Programming Reference Manual, ce document est aussi AL5, puisque son titre contient le mot Programming. Nous possédons la version UP 11563.6, peu différente de la 5 révisée mentionnée dans LO.

L1 est Executive Requests (ER) Programming Reference Manual, en deux énormes volumes UP 4144.39 qui diffèrent peu de la version 38 révisée mentionnée dans LO.

Les ER sont des sous-programmes du système d'exploitation, prédéfinis, qu'il est permis aux usagers d'utiliser dans leurs programmes comme des opérations standard du répertoire. Il existe dans la même boîte un second document sur ce sujet : Executive Requests, Programming Quick Reference, UP 13887 de 3 /89. A jour du Level 41R3.

L2 est Exec System Software Common Banks, Programming guide, UP 10063.4 de 10 /89. Un banc est défini dans le jargon des programmeurs d'Unisys comme une zone contigüe de mémoire dont le contenu concerne un même sujet, programme ou données ; un tel banc peut être décrit dans le système 1100 par un BDI, qui en fixe les deux limites et les protections. On peut imaginer a priori qu'un programme devrait tenir en un banc unique, mais ce n'est nullement nécessaire : il peut par exemple utiliser des sous-programmes servant à d'autres applications, qu'il sera avantageux de dissocier du corps principal. D'autre part, en fractionnant un programme en plusieurs bancs, on facilite le swapping, donc la gestion de mémoire. Bref, il existe d'excellentes raisons pour que des applications distinctes aient accès à des bancs communs, et ce document décrit les règles de rédaction et d'emploi.

L3 a déjà été rencontré, voir AK3.

L4 est Transaction Processing, Programming guide, UP 10098.4 de 11 /88 . Ce type de message adressé au système fait en réalité référence à une réalité interne , soit une base de données soit une collection prédéfinie de programmes, les menus. C'est parce que cette approche est très différente de celle d'un Job Control Language (ECL) qu'il est nécessaire de préciser aux usagers éventuels la manière dont ils doivent corréler leurs messages avec cette réalité préexistante, ou l'inverse lorsqu'une nouvelle application de cette classe doit être créée.

L5 a déjà été rencontré, voir AK5.

M1 est Checkpoint / Restart, Programming Reference Manual, UP 10071.4 de 11 /88 . Ce document ne figure pas dans LO, sans doute parce qu'il a été introduit ultérieurement. Il décrit une technique utilisable pour réaliser la fonction définie dans le document AG1

Rubrique B, the SCS Library : l'ensemble des documents décrits figure dans la boîte 131. Ceux des rubriques G à L sont mentionnés aux pages 1.4 et 1.5 de LO.

G, H, J : nous n'avons aucun document correspondant aux tâches G et H, et LO ne définit aucun document de la catégorie BJ.

K1 décrit FURPUR, File Utility Routines et Program Files Utility Routines, UP 8724.4 de mai 86, une collection de services qui remonte aux débuts de l'Exec 8 (release 29R2) et qui a certainement continué à évoluer depuis : LO mentionne la version .5 que nous ne possédons pas.

K2 est COMUS, Operations Reference Manual, UP 9197.6 de 11 / 88, un outil très utilisé puisque sa finalité est la mise à jour des logiciels de service au reçu de bandes modificatives provenant d' Unisys . On note qu'à cette époque les mises à jour se faisaient à partir de bandes.

La procédure de mise à jour est toujours très prudente : l'administrateur garde précieusement les bandes de référence issues du plus récent release, et en fabrique immédiatement des copies de travail ; COMUS utilise celles-ci et la bande modificative pour constituer une nouvelle version opérationnelle qui sera stockée après avoir été transférée sur disque, intégrée au système.

K5 est Remote System Support (RSS), Operations guide, UP 10302.2 de 11 / 88 . RSS est un service d'Unisys permettant l'échange de bandes système entre le calculateur du client et un calculateur du constructeur, en vue de diagnostics d'incidents. RSS peut d'ailleurs participer à la fabrication de telles bandes de diagnostic en appliquant des procédures d'essai bien définies.

K6 est l'outil d'exploitation des Logs cités en AK3-AL3, mais nous ne possédons pas ce document.

K9 est un document récent (UP 13402) décrivant de très anciens processeurs du système, DATA et ELT, permettant de réaliser des insertions de données et de programmes symboliques dans des fichiers existants. Nous ne possédons pas ce nouveau document, certainement motivé par le NPE.

L1 est le manuel de programmation du Méta assembleur, MASM, dont on possède deux copies : une de ces copies figure en boîte 131, l'autre en boîte 129, mais il s'agit de l' UP 8453.3 et non du 4. Cependant, le document qui manque vraiment en cette matière est la dernière version d'AIM, qui contient la collection des ordres des divers assembleurs, de sorte que nous ne possédons pas ce qui concerne les 2200 ; on peut en pratique compenser cela en partie avec les nombreux détails du document UP 13397 de 3 / 89, 2200 / 600 System, Processor & Storage Programming Reference Manual, Vol 2 : Instructions repertoire, boîte 129.

L2 manque également, et c'est aussi une importante lacune, puisqu'il s'agit de l' éditeur de lien, indispensable pour transformer la sortie de MASM en programme exécutable.

L3 est PMD, Post Mortem Dump, qui est bien en notre possession, mais en boîte 127, car c'est un document de fin 82 qui n'a pas été révisé depuis cette époque, pour cause de solutions plus récentes que l'on trouvera plus loin (PADS).

L4 décrit SSG, Symbolic Stream Generator, lui aussi ancien (11 / 83) et logé en boîte 127. Ce processeur sert à faire des corrections orientées dans des programmes existants.

L5 est SYSLIB, la bibliothèque du Système d'exploitation, contenant un très grand nombre de sous-programmes servant à exploiter les ressources du système à des fins de service. C'est à partir des sous-programmes de SYSLIB que travaille l'interpréteur ECL, qui est son interface clients. Le document BL5 est System Service Routines Library (SYSLIB), Programming Reference Manual, UP 8728. 3 .

L6 décrit PLUS, le langage d'écriture de Système d'Unisys, utilisé pour rédiger la plupart des nouveaux programmes fournis par le constructeur. C'est d'ailleurs la raison pour laquelle ce document, PLUS Programming Reference Manual, UP 9198. 4, est fourni aux clients : il permet de comprendre les corrections que l'on reçoit.

Unisys souligne que l'emploi de PLUS par les clients se fait à leurs risques et périls.

M1 est SIMAN, Site Management Complex, Administration & Opérations guide, UP 9954. 5 de 11 / 88, fréquemment cité en référence dans les bibliographies des autres documents. Ce document qui aurait sa place dans BH et BJ décrit un programme interactif permettant à l'Administrateur d'organiser la sécurité de son système en créant des mots-clés pour autoriser les passages aux points critiques, et en distribuant ceux-ci aux clients autorisés ; en sens inverse, le SIMAN permet aussi d'exploiter les enregistrements de sécurité, cad des journaux et statistiques de ces passages.

M2 est FAS, File Administration System, Operations guide, UP 9951. 4 de 6 / 89 . A défaut d'une solution automatique qui n'est pas toujours souhaitée, FAS autorise l'Administrateur à organiser des duplications de fichiers, des sauvegardes périodiques de l'ensemble des disques ou de fichiers sélectionnés, des transferts sur bandes de fichiers disques peu utilisés, etc...

M3 décrit FLIT, un puissant et complexe outil de débogage basé sur la simulation. Ce processeur permet d'exécuter, déboguer et corriger des programmes de système concernant l'environnement des 90, des trois 2200, et de l'ISP. Nous possédons le Volume 1 : program mode, UP 8435. 3 de 11 / 88., mais non le Volume 2 : System Mode. Ce dernier semble offrir la possibilité de simuler toute la mise en route de l'OS 1100 ou l'exécution de n'importe quel programme nouvellement reçu d' Unisys, y compris un release du système complet.

M4 décrit PAR, Performance Analysis Routine, Operations Reference Manual, UP 9656. 6 de 11 / 88. L'OS 1100 contient un système de collecte d'informations techniques (SIP) sur le fonctionnement de la machine, cad l'emploi de chacune de ses ressources. Ce dispositif doit être configuré à la génération de système, et peut ensuite être activé ou désactivé par l'opérateur depuis sa console. Quand il est en service, il génère des statistiques brutes de chaque type de service rendu par période de t secondes, t paramètre du dispositif, statistiques formant un fichier.

Le PAR est un programme qui permet d'exploiter ce fichier et d'imprimer des statistiques significatives de ces divers services. L'administrateur est censé effectuer ce type de mesures en faisant varier les ressources, en vue de définir une politique d'exploitation et / ou d'investissements.

M5 est de même LA, Log Analyzer, Administration and Operations Reference Manual, UP 9347. 4 de 11 / 88, programme chargé de transformer les Logs bruts créés par AK3 en statistiques d'incidents.

Rubrique C, Langages. Les documents de ce groupe figurent principalement dans la boîte 132, plus un petit nombre en boîte 133.

G1 est le ASCII Fortran (Fortran 77) Quick Reference Guide, UP 8245. 1 de 11 / 88

G2 est de même le ASCII Cobol (Cobol 74) Quick Reference Guide, UP 8583. 2 de 3 / 88.

G3 est Processor Common Input / Output System (PCIOS) Interface Description, UP 8478. 2 de 6 / 87. Ce programme était un premier pas en direction de l' UCS, offrant une collection de routines de granulation assez fine pour qu'on puisse, en les utilisant comme briques, générer les procédures particulières des principaux langages du système, Fortran, Cobol, PL / I, QLP 1100, Sort / Merge, et les processeurs UCS. Un PIM, interface spécifique, était à cet effet joint à chaque bande de compilateur.

H1 est le New Programming Environment (NPE) Installation guide, UP 10957. 2 de 6 / 89. Ce document a pour but principal de présenter cette combinaison de matériel et de logiciel qui se propose :

- de faire converger quatre compilateurs vers un langage intermédiaire commun LSS.
- de fournir un éditeur de lien commun qui exploite SYSLIB, et un environnement d'exécution associé.
- d'exploiter le mode étendu de l'architecture 2200.
- d'utiliser les nouveaux dispositifs hardware autorisant les partages de bancs.

Les programmes compilés et édités sont interfacés avec les deux bases de données et supportent les insertions de PADS, voir plus loin.

Tous les processeurs du NPE sont installés et mis à jour avec COMUS.

H2 est le NPE Fortran Programming Reference Manual. Le volume 1 décrit le langage, surensemble du Fortran 77, mais n'est pas en notre possession. Nous possédons par contre le Vol 2 : Compiler and Library Information, UP 13426 de 11 / 88.

H3 : nous disposons également d'un petit fascicule, NPE Fortran Programming Quick Reference Guide, UP 10914.1 de 11 / 88, dont le numéro plus ancien date le texte de ce manuel du compilateur UFTN, prédécesseur compatible du NPE Fortran. De ce fait, on trouve dans ce document un résumé du Vol 1 qui nous manque.

H4 est le NPE Cobol, Programming Reference Manual, Vol 1 : Cobol statements, UP 9712. 3 de 11 / 98. De la même manière que ci-dessus, ce numéro prouve que le langage du NPE Cobol est, à des détails près, le langage UCOB du système UCS.

H5 est le Vol 2 : Compiler & Library Information, du Manuel de référence précédent, UP 13425 de 11 / 88. On y trouve les consignes de mise en oeuvre dans le nouvel environnement.

H6 est un document plus ancien, décrivant le compilateur UC de l' UCS. Cet UP 10972 date de 10 / 87. Il est probable qu'un ouvrage en 2 volumes, reprenant celui-ci comme Vol 1, a été édité en 1989 comme NPE C, Programming Reference Manual, mais nous n'en savons rien.

H7 est le NPE Pascal, Programming Reference Manual, UP 9685.4 de 11 / 88, en un seul volume de style différent des précédents.

H8 est en marge du NPE, et contient le General Syntax Analyzer (GSA 1100), Programming Reference Manual, UP 8517.4 de 11 / 88. Ce numéro indique que le produit existe depuis plusieurs années.

La finalité de GSA est de permettre la construction rapide de langages spécialisés de tous types à usage de service, tels que microassembleurs, éditeurs de textes, gestionnaires de documentation, compilateurs ou assembleurs. Le créateur fournit son langage et ses spécifications, GSA s'assure de la cohérence syntaxique qui lui permettra l'analyse et génère des tables. En combinant alors ces tables, un analyseur lexicographique, un analyseur syntaxique (fournis par GSA ?), des messages et du code rédigé par l'auteur (tout de même, il a quelque chose à faire !), on obtient un processeur.

H9 décrit le Programmer's Advanced Debugging System (PADS), Programming guide, UP 8939.6 de 11 / 88, un outil déjà ancien mais qui a été intégré dans le NPE. La procédure consiste à insérer dans son texte source des ordres PADS dont la syntaxe ne peut être confondue avec celle des langages à traiter, et dont la rencontre par l'éditeur de liens donnera lieu à insertion de routines trouvées dans la SYSLIB. A l'exécution, ces routines produiront tous les gadgets classiques du debugging, dumps, snaps, traces, arrêts prédéterminés pour lecture de valeurs ou insertion de paramètres, etc... On trouve aussi dans la boîte 133 un PADS Quick Reference Guide, UP 12448.1 de 11 / 88.

H10 est UVEC, UCS Fortran Vectorizer guide, UP 9684 de 1986. Ce programme date de l'annonce de l' ISP et reçoit comme donnée le texte source d'un programme rédigé en Fortran 77 ; il délivre un texte en Fortran vectoriel capable de tirer le meilleur parti d'un ISP supposé connecté au 90. Ce programme n'est pas NPE semble-t-il, ce qui veut dire que le Fortran vectorisé qui résulte de son travail a besoin d'un compilateur spécial.

Rubrique D, Base de données. Sur ce thème, notre documentation est légère et nous renverrons aux éditions antérieures, remontant aux années 79 / 80. Ce que nous possédons est en boîte 133.

DJ est l'unique document d'administration dont nous disposons. Il concerne le Schema Data Definition Language (DDL) de DMS 1100, la BD Codasyl. Tout à la fois, c'est Administration, Operations & Programming guide, UP 7907.2 de 10/87. Selon les principes de la Codasyl, le DDL permet de définir la structure de la BD, cad l'arborescence des champs, les liens transversaux, les protections particulières, etc... et de construire un squelette qui servira ensuite de guide au DML, Data Manipulation Language, pour insérer des valeurs dans les champs.

DK1 est le seul DML dont nous disposons, parmi trois au moins qui existent certainement (Cobol, Fortran, PL/I). Il concerne Cobol dont il décrit les structures spécifiques sous le titre CDML, Operations & Programming Reference Manual, UP 7992 rebaptisé 7830 7576.000 en 10/89.

DK4 décrit QLP 1100, Query Language Processor, un langage destiné aux consultations de la BD et susceptible d'exploitations en batch ou en conversationnel. C'est un Operations guide en deux volumes, Basic Commands = UP 8231.5 de 11/88, et Advanced Commands = 8615.3 de 10/87.

DL est une édition française de Mapper, manuel de référence du Programmeur, UPF 9662.5 de 2/89. Ce langage probablement interprétatif et qui paraît très apprécié a été utilisé dans de très petits systèmes (Mapper 5) ou de plus gros (Mapper 10) et son introduction dans OS 1100 ne doit guère concerner que de petites BD. Mais nous savons que c'est la principale application proposée en standard sur les 2200 bas de gamme. C'est l'occasion, malgré ce léger décalage, de prendre une connaissance précise de cet outil polyvalent, bases de données, gestion de fichier, bureautique, calculs décimaux, etc...

Rubrique E, Interactive Processing Facility. IPF est le nouveau sigle qui remplace CTS pour décrire la variété des fonctions conversationnelles mises à la disposition des usagers qui savent ce qu'est l'informatique.

La modeste documentation disponible se trouve dans la boîte 131, et comprend :

EL2 est IPF 1100 Functional Overview & Master Index, et nous en avons deux éditions : UP 9610.4 de 10/87, et UP 9610.5 de 11/88. La présentation qui nous en est faite rassemble les services suivants :

- l'interpréteur du langage de commande, qui assure la ventilation vers des applications différentes. Aucun document n'est en notre possession.

- les procédures objet du document EL3.

- deux éditeurs, un EDIT 1100 absolument général décrit par EL4 et un COBEDT lié à Cobol.

- le DDP, Distributed Data Processing, qui représente le réseau DCA à travers lequel des terminaux distants peuvent atteindre le 1100, utiliser ses ressources (DDP-PPC) et échanger des fichiers (DDP-FJT).

- le DDN, Defense Data Network, qui désigne à cette époque le réseau DARPA, plus connu aujourd'hui sous le nom d'Internet. Pratiquement, cela signifie une seconde manière de faire le travail précédent avec le protocole TCP/IP, qui est aussi celui utilisé par Unix.

- IPF SQL, forme conversationnelle du langage de consultation de base de données, permettant aux terminaux IPF de consulter la BD relationnelle RDMS.

- User assistance, qui est une généralisation du concept HELP, indispensable pour apprendre à se servir d'un système compliqué et riche.

EL3 est le volume qui décrit les modalités pour construire des procédures système complètes, susceptibles d'être lancées par un simple code conversationnel. Ici encore, nous avons deux éditions de ce volume IPF 1100 Procedures, Operations guide, UP 9613.4 de 10/87 et UP 9613.5 de 11/88.

EL4 est l'éditeur EDIT 1100, Operations guide, UP 9612.4A, corrections effectuées. Cet éditeur est l'outil normal de rédaction de programmes dans un quelconque des langages du système, programmes qui peuvent être transformés en fichiers, mémorisés localement ou transportés par les réseaux.

EL5 est User Assistance, mais nous ne disposons que de la correction 9615.4A de 11/88, pratiquement sans signification en l'absence du document 9615.4.

EK1 décrit DDN 1100, Defense Data Network, File Transfer Operations guide, document 3787 3213.000 de 1/90. Le protocole décrit est le TCP/IP.

EJ1 décrit DDP - PPC, un produit programme destiné à véhiculer les messages de terminaux à travers le réseau distribué DCA. Très incomplet par rapport à cet objectif, le volume Messages Reference Manual, UP 13510.1 de 1/90, décrit les divers messages de service des deux progiciels DDP - PPC et DDP - FJT.

EJ2 est plus particulièrement consacré à DDP - FJT, le File & Job Transfer, Operations Guide. Le Volume 1 : IPF Interface, UP 9740.3 de 11/88, décrit essentiellement l'insertion de la fonction DDP dans le faisceau de possibilités de l'IPF ; le volume 2 : Menu interface, UP 13959 de 11/88, correspond au contraire, la liaison établie, à la description du travail à accomplir.

Rubrique F : Adaptation à UNIX. Les quelques documents dont nous disposons sont dispersés entre les caisses 130 et 131. Ils comprennent :

FJ, SX 1100 Administration Reference Manual, UP 12409.1 de 11/88. SX 1100 est un véritable Unix V, avec toutes les particularités de ce système, sa gestion de fichiers, son Shell et son compilateur C. Il se trouve seulement que ces diverses activités sont en fait exécutées par les nombreux services de OS 1100, de sorte que le SX 1100 est d'abord une interaction d'interfaces. Le rôle de l'administrateur est d'aider à la réussite de ces conversions, car il est d'abord un gestionnaire de l'OS 1100.

FK1 est le SX 1100, Programming Reference Manual, UP 12410.1 de 11/88. Il essaye simplement de fournir divers moyens de classement (alphabétique, fonctionnel, etc...) des très nombreux ordres qu'un usager d'Unix peut taper à son clavier pour interagir avec le système. Il y est donc question de la gestion de fichiers et des diverses bibliothèques, et de la manière d'accéder aux compilateurs Fortran, Cobol et C.

FK2 , plus convivial, est simplement un Programmer's guide, UP 10953.2 de 11 / 88. Il s'efforce d'abord de faire comprendre l'esprit d' Unix, tel qu'on le perçoit depuis un terminal.

FK3 est le guide du programmeur pour organiser la communication en langage C à travers le DCA, soit Distributed Data Processing, Program to Program Communication DDP-PPC / C language, UP 10877.1 de 11 / 88. Plus précisément, il permet à un usager d' Unix, situé sur un quelconque terminal du réseau DCA, et ayant défini un programme local en C, de communiquer avec un autre programme C, ou un programme COBOL, au sein du système 1100.

FL est le SX 1100 User's reference manual, UP 12408.1 de 11 / 88, qui passe en revue les services qu'un utilisateur de terminal peut obtenir d' Unix sans vraiment programmer.

1988 : Bilan des bas de gamme

Au moment de la fusion, il existe sept modèles 5000, du 30 au 95, tous basés sur le 68020, présentés comme suit :

U 5000 / 30 : 16,7 MHz, 2 à 8 MB mémoire, 85 à 820 MB disques, 16 postes théoriques, streamer 45 MB, extensions optionnelles.

U 5000 / 35 : 25 MHz, cache 32 KB, même mémoire, disques 170 MB à 4,4 GB, streamer 150 MB, jusqu'à 32 terminaux. Jusqu'à 4 armoires d'extension possibles.

U 5000 / 50 : c'est une extension du 30 avec place pour 16 MB, cache 8 KB, disques 1,6 GB, 32 terminaux, 1 ou 2 armoires d'extension.

U 5000 / 55 : de même extension du 35 jusqu'à 64 terminaux.

U 5000 / 70 : 1 à 6 CPU, chacun avec cache 64 KB, mémoire 1 à 36 MB, disques 71 MB à 3,9 GB, jusqu'à 128 terminaux.

U 5000 / 85 : 1 ou 2 CPU 68020 à 25 MHz avec coprocesseur 68881, cache 64 KB par CPU, mémoire 4 à 64 MB, disques 170 MB à 1,9 GB, streamer, jusqu'à 80 terminaux.

U 5000 / 95 : idem en doublant disques et terminaux.

Les logiciels de cette série sont, sous Unix, le langage C, RM Cobol, Basic, Fortran, Pascal, RPG II, les bases de données Oracle et Unify, la bureautique intégrée Ofis Manager. On prépare LINC et Mapper.

Les 7000 prolongent vers le haut ces produits, avec un CPU 32 bits, une mémoire de 8 à 32 MB, et 512 MB à 16 GB de disques: U 7000 / 50 à cache de 64 KB est prévu pour 100 postes, le /51 pour 240 postes, et le biprocesseur /52 pourrait théoriquement servir 380 postes, le maximum de 250 postes étant plus raisonnable, selon Unisys. Les logiciels sont les mêmes.

Du côté ex Burroughs, il faut compter sur un parc de 250000 systèmes B2x fonctionnant sous BTOS, la version Burroughs du CTOS de Convergent, qu'on trouve aussi chez NCR et Bull. Unisys a réglé le problème en achetant Convergent en 1987, et l'équipe fait converger cette gamme, qui sait travailler sur réseau local et adresser jusqu'à 4 MB, avec les PC en proposant Clusterware (qui intègre des PC sous CTOS) et BTOS Windows, qui ouvre le monde Intel aux B2x. Ils ont aussi adopté un Ofisbridge qui permet de relier les B2X à des matériels IBM exploitant le logiciel de bureau DISOSS.

Pour les réseaux, CTOS sait converser avec TCP/IP (Unix) et avec SNA dans la version LU6.2.

En 1990, tout cela, ou plutôt ce qui en subsiste, est regroupé dans la division NCG, Network Computing Group, qui s'appuie sur CTOS, qui existe dans le monde sur un million de postes individuels : multitâche client/serveur, CTOS est désormais défendu par un CTOS Open group, chargé de promouvoir le système et de s'assurer que cet effort ne diverge pas de celui de Bull (qui l'exploite sous le sigle Questar) et de MDS en Allemagne.

L'ennuyeux est que Unisys a perdu 640 M\$ en 1989, et que pour surmonter cela il faut sacrifier les matériels les moins prometteurs. Il semble que les victimes soient au moins les System 80 et la série V, priée de rejoindre la série A.

1991 : gamme 6000

La série 6000 qui apparaît en 1990, avec 5 modèles du /31 au /80, offre des serveurs départementaux à base de microprocesseurs Intel, supportant des produits logiciels choisis en fonction des réactions du marché. C'est ainsi qu'en 4/91 Unisys annonce qu'elle met à la disposition des usagers 6000 un environnement logiciel de développement d'applications transactionnelles réparties, Open OLTP. Au coeur du dispositif se trouve le moniteur transactionnel /T de Tuxedo, filiale de ATT, et la base de données Informix, codéveloppée avec Unisys, et comprenant un mécanisme de validation en deux temps qui assure l'intégrité des données lorsqu'une transaction met à jour plusieurs SGBD distants. L'héritage des années précédentes comprend des PC à base de 386 à 20 MHz, modèles 10, 70, 80 d'origines diverses. En 1991 il faut passer au 486.

Le 6000/65 est une étude Unisys, avec un bus propriétaire à 100 MB/s comportant 8 ports : on peut y connecter une à cinq cartes CPU 486 DX33 et des cartes mémoire de 128 MB chacune, ce qui permet de fournir 22 à 93 Mips. Le fond de panier comporte également un bus SCSI et un bus EISA, ce qui donne une grande liberté d'implantation. Prix de base en 7/91, 250000 FFHT.

Pour les disques de ce 65, Unisys propose Masscab-2, un sous-système de stockage acceptant jusqu'à 28 disques de 340, 660 ou 1300 MB. Le contrôleur ISIC comprend un 386 et deux canaux SCSI capables de chacun 7 disques, le bus EISA du 65 peut recevoir deux ISIC. De plus Masscab-2 fournit les services suivants:

- dual access, permettant de relier un même Masscab à deux machines physiques.
- disque miroir, pour une plus grande sécurité des données.
- disk spanning, autorisant la création de volumes logiques de taille supérieure à un disque physique.
- disk stripping, pour des lectures ou écritures en parallèle sur un fichier réparti sur plusieurs disques.

Prix du contrôleur 105000 FF, et 27 KFF pour un disque 340 MB, 85 KFF pour un 1300 MB.

Le 6000/75 est un produit Sequent, multiprocesseur réalisé avec des 486 DX25 et une mémoire de 128 MB. Avec 2 à 10 CPU, il peut offrir 28 à 140 Mips et fonctionne sous Unix SVR3.2. Prix 1,34 MFF pour 4 CPU et 4 MB de mémoire.

Le 6000 / 85 du même fournisseur culmine à 280 Mips, avec 20 CPU. Prix 2,36 MFF pour 4 CPU et 64 MB. de mémoire. Même logiciel.

Unisys commercialise aussi la station SL2400, d'origine Sun Microsystems, à partir de 85000 FF pour un écran mono 19" et pas de disque, chiffres qui paraissent délirants.

Côté réseaux, l'ouverture d' Unisys comporte Netware et des accès SNA pour tous les serveurs, le gestionnaire de réseaux LAN Manager / X, et la messagerie OSI Remote User Agent. sur les monoprocesseurs.

1991 : Gladiator

La croissance des besoins en transactionnel, avec des exigences de sécurité, conduit Unisys à proposer des clusters de 2200 organisés spécialement pour ce service. Il ne s'agit pas de tolérance de pannes, mais seulement de haute sécurité, avec un calculateur de réserve pour garantir le service même en cas de panne ; les périphériques critiques sont doublés (disques miroir, bandes à 10 cartouches), et le logiciel, qui est OS 1100, sera une version préconfigurée nommée GPTS.

Le principe est de réunir deux ou quatre machines , de mono à hexaprocésseur, autour d'un même ensemble de stockage partagé. Les ordinateurs sont reliés par un réseau local dédié pour communiquer rapidement, et synchronisés sur une horloge système unique CTC, analogue au Sysplex d' IBM. Chaque machine a sa propre console, mais une station de supervision sous Unix permet d'avoir une vision d'ensemble et de passer des commandes aux diverses consoles.

Au niveau logiciel, le couplage résulte d'un XTPA, Extended Transaction Processing Architecture, un produit qui date de 1988, et qui après évolution atteint en 1990 tous les fichiers et bases de données du système. La gestion des demandes d'accès peut alors être confiée à un équipement périphérique commun qui, pour être absolument sûr, comprend trois processeurs actifs surveillés par un quatrième.

L'offre Unisys comprend 9 configurations, décrites par le tableau ci-dessous :

Nb machines	Type	Mémoire (MB)	Canaux	Ctrl disques	Ctrl bdes
2	412	48	8	4	2
2	422	48	8	4	2
2	442	64	8	6	2
4	442	64	8	10	4
4	464	64	16	12	4
2	611	64	16	8	2
2	622	64	32	12	2
2	644	64	64	10	2
4	644	64	64	17	4

Les configurations à base de processeurs 2200 / 400 coûteraient de 18 à 66 MFF, et la plus importante d'entre elles pourrait délivrer 800 TPS ; les configurations à base de 2200 / 600 auraient un prix de 60 à 300 MFF, avec un maximum de 3000 TPS. Le caractère conditionnel des phrases vient de l'ignorance où l'on se trouve des chances de succès de cette offre, mais il ne s'agit pas d'un délire de commerçant : on connaît des

ensembles IBM qui ont effectivement fourni ce type de service, avec des améliorations que Unisys n'envisage qu'avec un délai : répartition automatique de charge entre machines, support de robots.

1991 : A16

Au moment de la fusion, la série A comportait une quinzaine de modèles, regroupés en trois familles qu'on peu décrire comme suit :

- en bas de gamme, les A1, une famille toute simple avec une seule mémoire de 12 à 48 MB réalisée en puces de 1 Mbits, sans cache, avec un seul processeur d'entrées / sorties baptisé HDP. On peut évoluer sur site du A1F au A4F puis au A6F. Cette famille de 1988 élimine les A2, A3, A5 antérieurs.

- les A10 qui ont éliminé les A9 sont au nombre de 4, dans des versions X qui semblent d'autant plus faire double emploi avec les précédents que, conçus en 1986, ils utilisent encore des puces 256 Kbits pour leur mémoire. Leur intérêt est que l'évolution chez le client peut les amener au A10HX, biprocesseur avec cache de données de 6 KB sur chacun, 24 à 96 MB de mémoire, processeur d'entrées / sorties MLIP.

- le dernier groupe est le véritable héritier des célèbres B6X00 avec deux A12, deux A15 et quatre A17. Les A17 sont mono, bi, tri ou quadriprocesseurs, avec 48 à 288 MB de mémoire (en puces 256 Kbits), deux caches I et D de 24 KB, et de nouveaux processeurs d'entrées / sorties RMM.

Unisys ne renonce pas à faire face sur deux fronts, et décide en 1991 de proposer une famille de multiprocesseurs fonctionnant sous MCP 3.9, le système d'exploitation Burroughs dans sa plus récente version qui intègre le modèle OSI de communications, la recommandation X400 du CCITT pour les mails, et la procédure FTAM d'échange de fichiers; la nouvelle famille est compatible avec les A antérieurs et remplacera les A15 et A17 ; l'objectif est d'avoir quelque chose à opposer aux IBM 3090 et VAX 9000, pour garder les anciens clients Burroughs.

La machine, refroidie par air, utilise des réseaux de portes ECL MCA III de Motorola, ainsi que des CMOS là où la performance n'est pas essentielle. Le système occupe une armoire de 0,9 m2 au sol, avec seulement trois types de modules : CPU, IOP et bloc mémoire de 48 MB.

Il y a au départ 6 modèles, de M\$ 1,75 à 5,9. Une réorganisation marketing interviendra en 4 / 93, pour augmenter la granularité, avec 6 modèles mono et 6 modèles biprocesseurs.

Outre le MCP, le service comprend Netware 3.11 et TCP / IP 3.1, ainsi qu'un combiné optionnel matériel / logiciel baptisé CCE, Cooperative Computing Environment, à base de 486, qui permet d'ouvrir la machine au choix sur OS / 2 ou sur Unix.

1992 : A11

Pour la clientèle moyenne, Unisys tendance Burroughs persiste avec le A11, destiné à remplacer le A12. Cette famille est construite autour du SCAMP, Single Chip A series Mainframe Processor, une étude datant de 1989 et baptisée MA825.

Le CPU comprend le SCAMP, un FPU et un cache de 48 KB. Les IOP sont repris des A16 et A19 antérieurs. La présentation est modulaire, en rack standard 19"; la mémoire peut varier de 48 à 384 MB.

Modules proposés : adaptateur I/O de 16 à 32 canaux SCSI ou IPI

disques de 280 ou 560 MB

bandes en cartouches 1/4", 1500 MB

lecteur de CDROM

console avec processeur, même module que pour A16.

Le CCE, qui assure l'ouverture vers Unix, OS/2 ou DOS, à base de 386, est standard et débite 20 MB/s.

Le logiciel est essentiellement MCP/AS, propriétaire. Il supporte DMS II, base de données hiérarchique, SQLDB relationnelle, SIM orientée objet, Mapper, ASDF, et l'outil de développement LINC II.

L'offre initiale de 3/92 comprend 4 versions 211 biprocesseur et 411 quadriprocesseur, fonctionnant à 12 MHz. Une offre complémentaire de 6/92 porte sur des 222 et 422 à 16 MHz.

Prix en France, 2 à 5 MFHT.

La famille sera étendue en 1993 par deux modèles d'entrée E11 et E22, et par deux hauts de gamme 621 et 622, où un accroissement de puissance de 60% est obtenu par le recours à l'arséniure de gallium. Le prix varie de 375 à 975 K\$.

3/92 : gamme 6000, suite

Ce genre de produit doit par principe suivre l'actualité des créations de Intel. Pour 1992, le bas de gamme est constitué par le 6000/15, serveur pour 16 usagers à base de 486 DX 33, avec 680 MB de disques.

Les produits Sequent, sans même changer de nom, passent au 485 DX2.50. Le /75 accepte 512 MB de mémoire et un contrôleur SCSI 4 voies supportant jusqu'à 24 disques SCSI2 de 5,25", soit 134 GB.

Le 6000/85 passe à 960 MB de mémoire et 260 GB de disques.

3/93 : Supergen

Le Supergen 3000 est un simple PC, à base de 486 SX25, avec 3 connecteurs ISA et un disque IDE, offert au prix très raisonnable de 19000 F. L'acheteur se voit offrir le choix entre MS/DOS et CTOS III, beaucoup plus séduisant, multitâche virtuel disposant d'une bibliothèque dynamique.

Le même choix est offert avec le Supergen 1000, un portable à base de 386 SL25, avec cache de 64 KB, et 2 connecteurs PCMCIA. Prix 23000 FFHT.

4/93 : A7

Cette machine en rack (411) ou en tour (111, 211, 311) utilise comme le A11 une puce SCAMP à 4 ou 8 MHz supportant le système MCP, et se propose de remplacer les A1, A4 et A6.

En standard, le tiroir contient un 486 DX33 qui exécute le logiciel d'interface CCE 4.0, ouvrant la machine sur un bus EISA et un environnement OS/2, ou Unix, au choix.

Pour les communications, les A7 supportent Netware 3.11 et TCP/IP 3.1.

5 / 93 : XPC

Il s'agit d'un accélérateur d'entrées / sorties partageable entre plusieurs hôtes 2200, 4 au maximum. Il se compose d'une mémoire tampon de 128 MB à 8,7 GB, reliée aux hôtes par une fibre optique capable de 50 MB/s. De 1 à 32 processeurs puisent dans cette mémoire et alimentent tous les types de périphériques souhaités.

Le logiciel comprend : Virtual Storage Manager, produit de base

Distributed System Manager, s'il y a plusieurs hôtes.

Recovery Manager, pour la sécurité.

Plutôt que l'accélération mentionnée, la raison d'être d'un tel système est la sécurité contre les agressions de toutes sortes et les catastrophes naturelles, incendies et inondations. Le produit sera disponible au 3ème trimestre 93 au prix de 1,3 à 18 MFF.

6 / 93 : série 6000, suite

Pour le renouvellement annuel, le 6000 / 100 est un ordinateur de bureau à base de 486 DX2/66, remplaçable éventuellement par un Pentium. Le prix s'élève à 56000 FFHT pour 16 MB de mémoire, 240 MB de disque, un CDROM, et 8 slots EISA. La mémoire est extensible à 128 MB.

Le logiciel est UNIX SVR4 MP.

Le 6000 / 300 est un serveur à base de Pentium 60, avec 16 à 128 MB de mémoire, 525 MB de disques, et 8 slots EISA. Prix 120000 FFHT.

Provenant d'un fournisseur différent, les 6000 / DT sont des stations connectables aux réseaux par Netware, et fonctionnant sous Unixware SVR4.2, ce qui permet de supporter Windows, les transferts de fichiers NFS, et le graphique Motif ou OpenLook. DT1 proposée en 7 / 93 vaut 35000 FFHT et utilise un 486 DX33.

DT2 coûte 40000 FFHT pour un 486 DX2.66 avec trois connecteurs EISA.

9 / 93 : U 2200 / 500

Ce système, de puissance intermédiaire entre un 400 et un 600 comme son sigle l'indique, est construit à base de puces Motorola CMOS 0,8 μ , permettant de diviser le prix par 3 en réduisant le CPU de 197 à 18 puces.

Présenté en rack standard 19", ce système refroidi par air comprend de 1 à 4 CPU, jusqu'à 1 GB de mémoire et 900 TB de disques magnétiques et optiques. Le prix peut monter à 2,3 MF.

A cette époque, l'interface Unix sur le socle OS 1100 s'appelle Open System 2200 et devient conforme à Posix 1003.1 et 2. La conformité à tout ce que proposera Unix, DCE, DCM, autres Posix, est prévue pour un avenir non daté.

D'autre part, Open / OLTP est un produit maison permettant la relation client / serveur.

4 / 94 : A18

La pression technologique impose désormais le CMOS, qui baisse la consommation et supprime les refroidissements. La nouvelle gamme A18, comprenant 16 configurations marketing, élimine les A16 et s'insère entre les A11 et les A19. La gamme de puissance est large, du monoprocesseur 211 à 390 RPM à l'hexaprocesseur 762 offrant 8500 RPM ; le RPM est une unité de performances de définition locale.

La mémoire commence à 128 MB et peut atteindre 2,3 GB.

Le logiciel est MCP/AS, l'interface CCE permet de s'adapter à Unix. Prix 451 K\$ à 11 M\$.

9/94 : U 6000 / 200, 400, 500

Le 6000 / 200 est le bas de gamme 1994, avec un 486 DX2/66 ; deux monoprocesseurs Pentium sont aussi proposés, le 420 avec Pentium 66, et le 430 avec un Pentium 90. Tous fonctionnent sous Unix SVR4, avec un prix de départ de 58000 FFHT.

Les multiprocesseurs 500 sont des serveurs Unix à base de Pentium 90, rassemblés autour d'un nouveau bus propriétaire capable de transporter 533 MB/s entre mémoire et CPU. Ils sont proposés avec un IOP débitant 200 MB/s sur plusieurs périphériques simultanés. Les bus classiques, PCI et EISA, sont conservés pour les périphériques de service.

Les serveurs sont associés à des grappes de disques organisées en RAID, avec un système de diagnostic incorporé provoquant des reconfigurations automatiques.

La famille est proposée en trois modèles : le 520, biprocesseur, est disponible lors de l'annonce pour 230 KFF ; le 550, capable de 5 CPU, est livrable au 2ème trimestre ; le 580, avec un maximum de 8 Pentium, est prévu pour le 4ème trimestre.

10/94 : A14

Ce nouveau système, commercialisé en mono ou biprocesseur, est destiné à la haute disponibilité sous MCP/AS. Dans le biprocesseur, qui est la forme normale étant donnée la mission, les dispositions technique pour la haute disponibilité comportent le doublement des alimentations, la connexion RAID des disques, l'isolement automatique des composants défaillants, des outils logiciels de sauvegarde et de réorganisation automatique de la base de données.

Les chiffres caractéristiques sont une mémoire qui peut croître à 768 MB, une multiplication de canaux jusqu'à 48, et un prix qui peut monter à 700 KF.

Le renseignement le plus utile, concernant la famille à laquelle se rattache le dispositif (A7, A11, A18 ?) manque malheureusement.

12/94 : CTOS et les petits serveurs

Le système d'exploitation CTOS de Convergent Technology, auquel Unisys s'accroche depuis qu'en 1981 il a été adopté par Burroughs, est certes très supérieur à MS/DOS et aux Windows 3 qui n'en sont qu'un habillage, car il est multitâche et même multithreads cad organisé en sous-processus qui communiquent par un réseau local interne, constituant des grappes de terminaux autour d'une station dont ils partagent les ressources et les applications. Les grappes peuvent communiquer entre elles, coopérer et partager des ressources à travers Ethernet, et accéder à l'extérieur par X25 et SNA.

Pour ces raisons, CTOS s'est longtemps maintenu face aux logiciels de Microsoft mais il n'a pas su passer de 16 à 32 bits, et en 1994 l'offensive de Windows NT, lui-même multitâche et 32 bits, commence à lui faire perdre des clients. Unisys et Bull, autre défenseur de CTOS, choisissent alors de créer des structures de conversion. Ce sera d'abord le logiciel CSW+ de ICM, qui permet de faire migrer les applications bureautiques de type traitement de texte, et qui sera suivi de logiciels de migration de tableurs, puis de base de données.

Unisys choisit d'ouvrir CTOS et de partager les API (interfaces d'applications) de Windows NT avec CTOS, ce qui permet à toutes les applications CTOS de tourner sous Windows NT. Les outils pour transporter ces applications vers Unix et Netware apparaîtront en juin 1995.

Il semble bien que ces outils ne soient que des solutions provisoires pour adoucir une migration vers Windows NT que rien n'arrête plus. En 1996 Unisys annonce les Aquanta, serveurs à base de Pentium Pro à 200 MHz et de Windows NT qui vont rapidement remplacer les CTOS abandonnés.

6 / 95 : Opus

Dans l'enthousiasme prématuré qui accompagne la réussite des SP2 d' IBM, et probablement une analyse optimiste de ses propres ventes de 6000, Unisys annonce Opus, un serveur à architecture parallèle à base de Pentium. A cette date, Unisys peut commercialiser des Opus à 8, 16 ou 32 CPU ; des modèles à 128 et 256 CPU sont annoncés pour la fin de l'année.

En réalité, il semble bien qu'il se soit agi d'un feu de paille, sauf pour IBM et encore. Les ventes d'Opus sont restées marginales, et dès l'année suivante il n'en est plus guère question.

4 / 96 : Clearpath HMP

Cette nouvelle annonce marque le triomphe définitif du CMOS dans les mainframes, qu'il devient de plus en plus difficile de distinguer des simples serveurs. Unisys continuant à désirer sauvegarder la distinction, a défini un processeur CMOS d'architecture 2200, le Clearpath, dont la fabrication a été confiée à IBM, selon un procédé CMOS 0,25 μ .

Un système HMP / IX comprend deux sous-ensembles : dans l'un, 1 à 8 processeurs Clearpath définissent un système OS 1100 ; dans l'autre, 1 à 10 processeurs Pentium en montage symétrique fonctionnent au choix sous Windows NT ou Unix. Les deux moitiés communiquent par un lien à grande vitesse dont le commentaire de presse dit qu'il serait "de type FDDI" : cela signifie probablement qu'il s'agit d'un lien série, mais FDDI paraît de peu de signification.

La frontière entre les deux systèmes, HMP = Heterogeneous MultiProcessing, a pour but d'adapter les structures qui ont peu en commun par des interfaces.

L'exposé de 4 / 96, accompagné d'une photo du produit dans un format timbre poste, expliquait avec optimisme qu'il existerait deux versions de Clearpath, IX pour l'architecture 2200 et NX pour l'architecture MCP. Ce ne serait possible que si la puce Clearpath pouvait sans problème traiter avec les mêmes performances les mots de 72 / 36 bits des 2200 ou les mots de 51 bits des A. C'est improbable, et d'ailleurs le texte d'origine parlait de NX ou IX.

Une information de 1999 ne parle plus que de la puce Clearpath 2200 et fixe entre 1 et 4 le nombre des Pentium de la partie Intel, PIII ou Xeon à 500 MHz. Le système mentionné est Clearpath IX 6800, ce qui explique l'allusion aux 2200 mais n'exclut pas du tout qu'il ait bien existé une deuxième puce adaptée au MCP; cependant, nous n'avons rien trouvé à ce sujet depuis l'article de 4 / 96.

L'information laisse entendre que cette offre serait un succès, ce qui n'était pas évident : entre 1997 et 1999, plus de 3 B\$ de Clearpath auraient été vendus.

3 / 99 : Aquanta

Il semble que Unisys, quelque peu pressée par un chiffre d'affaires divisé par 3 depuis sa fondation, soit désireuse de fusionner dans une architecture unique ses deux domaines de vente dont aucun ne semble prendre le dessus:

- d'une part les serveurs à architecture propriétaire, pour lesquels il est désormais relativement facile de définir périodiquement un nouveau microprocesseur CMOS. Mais y a-t'il toujours deux architectures 2200 et A, ou désormais une seule qui serait 2200 ?

- d'autre part les serveurs compatibles Windows NT et Unix, qui seraient, pour quelque temps encore, à base de Intel, et qui sont les descendants des 6000. Est-ce la signification du 6800 cité plus haut, qui pourrait être issu d'ailleurs d'un 6000 / 800 à travers l'information orale du journaliste ?

Ces serveurs compatibles se sont multipliés depuis mi 96, avec les modèles suivants :

- ELS, entrée de gamme à 18000 FF, 32 MB de mémoire, 2,5 GB de disques, CD ROM, Ethernet .

- HR/6 et HS/6 en milieu de gamme, montés en rack et pouvant gérer jusqu'à 350 clients, avec un prix de 142500 à 180000 FF. Ils peuvent s'étendre jusqu'à 6 CPU.

- XR/6 multiprocesseur, jusqu'à 10 CPU, avec un prix de base de 350000 FF, et une organisation Non stop inspirée par Tandem à l'occasion de contrats formels de coopération. Le XR/6 qui semble dériver du 6000 / 500, utilise un bus 64 bits SMC (Scalar Memory Coherent) à 533 MB/s, qui peut connecter de 1 à 5 cartes biprocesseurs et interposer entre eux et le bus un cache de 3ème niveau. Le XR/6 gère 10 slots PCI et trois slots EISA.

En 1999, un court article mentionne un Aquanta QS/2, comprenant quatre Pentium II Xeon à 400 MHz, qui pourrait être un avatar des 6000.

L'article indique que le nouvel Aquanta ES 5085, d'architecture CMP, coûtant en moyenne 50000 \$, aurait une efficacité 2,5 fois supérieure à celle du QS / 2. L'article explique que CMP = Cellular MultiProcessing est le nom d'une nouvelle architecture, dérivée de HMP, qui pourrait regrouper jusqu'à 16 processeurs propriétaires et 32 processeurs Intel.

3 / 2001 : les ES 7000

Les ES 7000 d'architecture CMP ont effectivement vu le jour à la fin de 99, et se proposaient d'utiliser les processeurs Itanium de Intel, annoncés mais dont la production est différée sine die.

Les 7000 diffèrent des Clearpath par le mode de connexion des deux mondes : plutôt qu'un bus série, même à gros débit, les 7000 mettent en commun une mémoire qui peut croître jusqu'à 64 GB, avec des caches très importants (16 GB possibles) devant les processeurs des deux camps. Les entrées / sorties paraissent entièrement confiées aux Pentium III Xeon à 700 MHz qui remplacent, en 2001 encore, les Itanium mythiques : il est question de 96 canaux PCI.

L'article du 16 / 3 / 2001 dit nettement qu'il existera deux versions MCP et 2200 des 7000, obtenues simplement par échange de cartes. Tel que le journaliste a compris la présentation Unisys, les systèmes propriétaires gèrent les calculs, les accès aux disques, la sécurité et tous les services avec les vertus propres de l'un ou l'autre système propriétaire, tandis que de l'autre côté Microsoft participe au logiciel d'un Datacenter fonctionnant en Windows NT ou 2000, qui coûterait 2 à 3 fois moins cher qu'une solution Unix.

Mais c'est extrêmement superficiel et on ne peut affirmer que ce soit le point de vue d'Unisys, qui ne veut peut-être pas mettre tout ce qui lui reste de potentiel dans une hypothèse aussi hasardeuse que l'évolution des microprocesseurs Intel vers l'emploi de "mainframe", même si Microsoft voit cette idée d'un bon oeil.

En tous cas, selon ce journaliste - et rien depuis n'a confirmé ou infirmé ces déclarations - l'architecture CMP aurait fait l'objet de contrats OEM de la part de Hewlett - Packard, Compaq, Dell, Fujitsu / ICL et Hitachi.

584 - University Computing Company

Un peu en marge de nos préoccupations techniques, UCC s'est organisée en 1964, dans le sillage du succès de Computer Science Corporation, pour fournir aussi du Service Bureau, en rayonnant à partir de Dallas, Texas, berceau de l'entreprise.

UCC a commandé douze 1108, pour installer des bureaux de calcul à El Segundo, Houston, Dallas, Tulsa, etc... mais il semble que l'ambition était un peu disproportionnée avec les besoins et la compétition, celle de CSC notamment, de sorte que la compagnie ne s'est pas réellement développée.

L'erreur est peut-être aussi d'être restée fidèle à Univac alors qu'une mission de Service Bureau aurait bénéficié d'un peu plus d'éclectisme. Quoi qu'il en soit, nous avons connaissance en 1970 d'un terminal lourd, le COPE, commercialisé comme spécialement orienté vers les machines Univac 1100, et construit autour de l'UCC 12, un calculateur 16 bits microprogrammé (mémoire de microprogramme de 2 Kmots, cycle de 250 ns) associé à une mémoire de 8 à 64 KB en tores magnétiques, cycle 1,1 µs. La notice COPE dont nous disposons exalte la fonction de contrôleur pour LC et IP, mais souligne que le système accepte tous autres périphériques et décrit sa particulière adaptation aux systèmes Exec II et 8.

En 1973, cependant, le caractère trop restrictif de cette option est clair, et UCC propose avec le COPE 4705 un concentrateur de lignes jusqu'à 180 voies qui peuvent indépendamment véhiculer 75 à 9600 bauds, et qui surtout se présente comme émulateur des IBM 270X ou 3705, compatible avec les logiciels BTAM, QTAM et TCAM. Malgré cette concession, il ne semble pas que UCC ait survécu aux tempêtes de 1983.

585 - Les Universités américaines

Les Universités américaines ont pris très tôt le virage de l'informatique, un petit nombre d'entre elles prenant le risque de construire des ordinateurs quand il n'existait pas encore de doctrine à ce sujet. Elles ont ainsi affirmé leur intention de se créer une compétence dans ce domaine prometteur, de mettre en place des enseignements et donc

de pourvoir l'industrie en ingénieurs spécialisés, ce qui leur attirait la clientèle et le soutien des industriels ; par la suite, elles ont répondu aux sollicitations provenant essentiellement des trois armes, puis du DOD, et obtenu de généreux contrats de la DARPA, l'agence de recherche de ce ministère.

Nous allons passer en revue les Universités américaines, grandes institutions privées ou universités d'Etat, et constater que leurs laboratoires ont contribué, dans une proportion bien plus considérable qu'en Europe, aux progrès de la discipline informatique, et cela principalement avec l'argent de la Défense. Nous n'avons probablement ignoré aucune des réalisations marquantes en ce domaine, mais il doit être clair que le tableau ne peut prétendre à l'exhaustivité.

Il peut être intéressant, pour apprécier l'ampleur de la prise de conscience universitaire, de parcourir un article précisément rédigé sur ce thème :

FEIN (L.) - The role of the University in computers, data processing and related fields,

in Proceedings of the Western Joint Computer Conference, San Francisco, mars 1959,

pp 119 / 26 -

classé 235-119.

Arizona

L'Université d'Arizona est surtout connue pour ses travaux en calcul analogique et hybride, dans les années 60, menés par deux chercheurs nommés Korn. Voir à ce sujet la synthèse de 232 - 1835 / 49 et, dans 250-1233/49, une étude sur l'analyseur itératif LOCUST et sa liaison hybride avec un PDP 9.

Korn devra finalement reconnaître la souplesse des méthodes numériques et on voit son groupe réaliser, à partir de 1968, des consoles économiques liées à des calculateurs modestes, genre PDP 9, pour exploiter des simulations en langage inspiré par le Pactolus d' IBM et la tentative CSSL de normalisation. Réalisé comme un projet d'étudiants avec le concours de la NSF, le DARE I (pour Differential Analyzer REplacement) sera rapidement suivi de projets plus ambitieux DARE II, III, IV.

Voir 252 - 247/54 et 257-379/86.

L'université s'est compromise avec le pouvoir, à l'époque du projet SST d'avion supersonique concurrent du Concorde, en acceptant de publier des études subventionnées pour prétendre démontrer que les avions de ce type - que le gouvernement avait décidé de ne pas soutenir - apporteraient de dangereuses modifications à la haute atmosphère.

L'université a réalisé des travaux à façon pour l'industrie, et en particulier SCROLL, String & Character Recording Oriented Logogrammatic Language, un langage de commande pour des sorties d'ordinateur sur plotteurs, composé pour les Bell Labs, probablement à l'occasion d'un travail de stage. Voir en 254-525/37 les problèmes posés par la rédaction de ce traducteur.

Il semble bien que, vers 1970, l'université et les donateurs aient estimé que la phase analogique devait prendre fin. En fait, dès 1966, la NSF avait poussé à l'installation d'un Digital System Laboratory, de finalité essentiellement pédagogique. L'article de 255 - 333/43 montre un vaste panneau d'affichage illustrant les liaisons

internes du minicalculetur Varian 620, et animé soit par ce calculetur, soit manuellement en pas à pas ; l'évolution du laboratoire par une succession de cadeaux en provenance de l'industrie et le développement du logiciel sont aussi décrits.

L'université s'intéresse alors au logiciel, définissant d'abord un langage inspiré de Snobol (SLS, Griswold 1975), puis un langage de manipulation de chaînes ICON (Griswold 1978, SIGPLAN 4/79 p 18) et un langage de description de matériel qui ouvre la voie à des études essentielles pour l'industrie. Voir cet AHPL dans TIEEE, C30, 2/81 p 157 (microfilm).

Plus récemment, nous disposons d'un article de 11/94 sur une base de données relationnelle installée sur une mémoire optique, avec un processeur optique parallèle et associatif pour la consulter. Cette étude n'a débouché sur aucun produit commercial, ni militaire.

Californie, Université de Berkeley

Comme beaucoup d'autres, l'Université de Berkeley a construit sa première machine au titre d'un contrat de l'Office of Naval Research, sans qu'on sache s'il y a derrière ce contrat un quelconque besoin militaire. Ce CALDIC, mis en service à l'été 53 par la division Electrical Engng de l'Université, travaille en BCD (8421) sur des nombres fractionnaires de 10 chiffres plus signe. La mémoire principale est un tambour de 1000 mots, et les performances réelles sont de l'ordre de 50 opérations par seconde, avec pour seul moyen d'entrées/sorties la bande perforée. Voir fiche.

Une machine de ce type pouvait au mieux aiguïser des appétits, en aucun cas servir à l'enseignement. La première tentative d'introduire l'informatique dans l'enseignement semble être, en 12/65, l'édification d'un système de temps partagé autour d'un SDS 930 doté de 32 Kmots de mémoire, avec un tambour Vermont Research de 1376256 mots organisé en 84 bandes de 16 Kmots, chacune divisée en 8 segments égaux, séparés par le temps d'exécuter une instruction.

Construit à des fins pédagogiques, ce système commence avec 6 Télétypes 33 et un PDP 5 servant de contrôleur pour un écran doté d'une Rand tablette en vue d'expériences graphiques. Il se développera jusqu'à 16 terminaux avec écran et 16 machines à écrire, deux PDP 5 pour écrans graphiques, une imprimante collective et 200 MB de disques magnétiques.

Le calculetur avait du subir quelques modifications matérielles pour satisfaire les besoins du temps partagé, travail réalisé et documenté par M. Pirtle. Ces modifications seront intégrées par SDS dans la SDS 940.

Le logiciel était organisé en trois files de travaux par des règles de priorité, et pouvait accorder jusqu'à la moitié de la mémoire à un usager. Les langages étaient Fortran, Algol, LISP et Snobol.

Le tout porte le nom de Projet GENIE, et fait l'objet d'un exposé dans AFIPS Conference Proceedings, Vol 27 part I, Fall Joint Computer Conference tenue à Las Vegas, Nevada, en 11/65, pp 589/98. Voir aussi 232 - 1766/74. Le travail est financé en partie par un contrat ARPA, SD 185.

C'est sur ce 930 qu'en 1965 Butler W. Lampson, le futur animateur du Xerox PARC, a construit sur contrat ARPA (toujours le SD 185) le IMP, Interactive Machine language Programming system, un assembleur / débogueur qui représente une philosophie nouvelle, que l'on retrouvera d'ailleurs au PARC. Le concept IMP est né au Lincoln Lab pour TX0, et les créateurs de DEC l'ont emmené avec eux et exploité à usage interne, mais sans le diffuser. Voir 242-473/81.

Peu après, en 1967, convaincue par cet essai de l'intérêt du temps partagé, l'université s'équipe d'un système commercial, composé d'une paire de CDC 6400 avec un maximum de 200 terminaux. Les deux machines partagent une ECS de 512 Kmots, un canal direct, un disque 6638 et 5 dérouleurs. Sur leurs PP sont répartis d'autres disques et bandes, et deux 6612 ; l'un des CPU gère les machines à cartes et les imprimantes, ainsi que le multiplexeur des consoles ; l'autre s'occupe de data channels.

L'université touche ensuite à tous les domaines à la mode, en particulier l'intelligence artificielle. Voir par exemple l'étude SIR de calculateur qui "comprend" en 240 - 577/89. Cette étude est financée par l'ARPA et par le MIT, qui traite un sujet voisin au même moment.

Voir aussi, toujours dans le cadre du contrat ARPA SD 185 du projet Genie, l'étude de HELP, un système de questions / réponses décrit en 255 - 547/54 dont l'initiative appartient à C. S. CARR.

Mai 68 est pour l'Université de Berkeley un moment crucial, car c'est le seul endroit où la révolte estudiantine s'est exacerbée jusqu'à faire un mort. L'Université en a gardé, longtemps après, une réputation de comportement incontrôlé, devenant vite déraisonnable.

Un autre contrat de l'ARPA finance, à partir de 1970, l'étude d'un nouveau système de temps partagé, PRIME, où l'aspect pédagogique s'efface largement devant une recherche de fiabilité. Le processeur est ici constitué par cinq émulateurs universels Meta 4 interconnectés, simulant diverses architectures élaborées dans ce but. Le projet nous est connu par deux articles dans 258 et 259 :

Baskin (H. B.), Borgerson (B. R.), Roberts (R.) - PRIME, a modular architecture for terminal oriented systems, in AFIPS Conference Proceedings Vol 40, SJCC 1972 de Atlantic City, NJ, 16-18 / 5 / 72, pages 431 / 7 et 783 / 10.

Borgerson (B. R.) - Dynamic confirmation of system integrity, in AFIPS Conference Proceedings Vol 41 part I, FJCC 1972 de Anaheim, Cal, 12 / 72, pp 92 / 6 .

En réalité, avant d'en arriver là, l'Université avait déjà oeuvré dans ce sens avec un système de temps partagé travaillant en APL sur deux Meta 4, décrit dans 256-179/90 et baptisé Meta-APL .

C'est aussi vers cette époque que l'Université de Berkeley apporte une contribution importante à la définition d' Unix, le système d'exploitation conçu aux Bell Labs, en réalisant la version 4.2 de ce système, qui sera pendant des années une référence dans toutes les universités et beaucoup d'entreprises, avant que les Bell Labs ne reprennent l'initiative en créant la version System V.

Une nouvelle voie de recherche apparaît en 1980 avec le Projet RISC, Reduced Instruction Set Computer, qui cherche une voie pour combattre la tendance naturelle des

constructeurs à enrichir leurs architectures en les compliquant. Le RISC est d'abord un concept, facile à approfondir par simulation : moins d'opérations mais choisies de manière à faciliter la réalisation des compilateurs et aussi l'implantation sur silicium. Ce dernier point est à terme essentiel, puisque la généralisation des technologies VLSI permet désormais la réalisation de microprocesseurs, mais en plusieurs puces quand on se donne comme objectif d'émuler une architecture existante ; le RISC conceptuel ne tarde donc pas à se concrétiser dans une puce RISC I, dont nous avons une photo et une description dans l'article :

Patterson (D. A.), Sequin (C. H.) - A VLSI RISC, in IEEE Computer 9 / 82, pp 8 / 19.

Cette première réalisation n'est qu'un projet d'élèves soutenu par leurs enseignants, mais a tout de même coûté 27 hommes * mois et duré 19 mois avant sortie de la puce; elle comporte 31 codes opération et un seul mode d'adressage, avec un mot de 32 bits pour les données comme pour les instructions.

La puce NMOS en géométrie 4 μ avec une couche métallique, contenant 44000 transistors, mesurant 10,3 * 7,7 mm, fonctionnant à 1,5 MHz, n'a pas répondu aux espoirs de ses concepteurs en ce sens que ses performances n'ont atteint que le cinquième des prévisions, soit 512 Kips pour les instructions RR ; elle a permis, cependant, une analyse des causes de la déception, ce qui a conduit à mettre en chantier un RISC II, ou plutôt deux , avec une organisation entièrement revue, à 4 CP / instruction RR :

- une puce NMOS 4 μ à 8 MHz (CP = 125 ns) qui délivre 2 Mips, mesure 228 * 406 mils (5,79 * 10,31 mm), et consomme 1,25 watt.

- une puce NMOS 3 μ à 12 MHz (CP = 82,5 ns) capable de 3 Mips. Elle mesure 171 * 304 mils (4,32 * 7,72 mm) et consomme 1,83 watt.

Dans les deux cas, la performance concerne les opérations RR, les plus nombreuses ; elle est divisée par 2 pour les opérations de type load / store.

Sur l'organisation interne des RISC II, nous disposons de renseignements contradictoires, mais il paraît difficile de croire qu'on ait réduit le nombre ou la taille des fenêtres. Il n'est pas absurde d'admettre une augmentation à 39 du nombre de codes opération, mais c'est incompatible avec une autre indication, selon laquelle le nombre des transistors serait inchangé.

Quoi qu'il en soit , le concept RISC, après cette démonstration réussie, a été adopté par Motorola (88000) et Intel (860, 960), puis par IBM et Motorola avec les PowerPC. On peut aussi ajouter MIPS à cette liste et noter que les dernières incarnations Intel et AMD du CISC (x86) procèdent, dans la puce même, au découpage des instructions CISC à longueur variable en microopérations de longueur fixe.

Dans la foulée de ce succès, une autre équipe de recherche a réalisé en 1985 une puce interprétative, en NMOS 4 μ , cycle 400 ns, assurant une exécution de Smalltalk 32 bits comme langage natif. La portée de cette étude, cependant, est sans commune mesure avec la précédente.

Le troisième thème identifié à Berkeley est constitué par les neuroprocesseurs, c'est-à-dire un ensemble d'éléments identiques obéissant à une logique à seuil et interconnectés à l'image - lointaine - du cerveau humain pour effectuer des tâches non programmées,

définies par apprentissage. Ces recherches sont, elles aussi, complètement financées par l'Etat.

L'une d'entre elles est le RAP, Ring Array Processor, constitué par une chaîne annulaire de 40 DSP commerciaux du type Texas TMS320C30 en virgule flottante, interconnectés sous le contrôle d'un FPGA. Nous n'avons aucune indication sérieuse sur les résultats de cette recherche, sinon que le RAP a fonctionné jusqu'à 100 millions de calculs unitaires par seconde.

Mieux connue est SPERT, Synthetic PERceptron Testbed, un équipement expérimental construit vers 1990 avec une architecture VLIW/ SIMD, cad réunissant une chaîne de processeurs identiques exécutant en parallèle la même instruction (appliquée à des données différentes), plusieurs chaînes de ce type recevant des instructions différentes issues simultanément d'un unique bloc de commande ; une telle organisation reproduit exactement le concept d'un calculateur neuronique à plusieurs couches de neurones.

Dans un deuxième temps, le groupe a étudié T0, un microprocesseur d'architecture vectorielle qu'il a fait réaliser chez Hewlett-Packard par le processus CMOS26G, de géométrie 1 μ avec deux couches métalliques. La puce mesure 16,75 mm au carré et contient 730701 transistors. Fonctionnant à 40 MHz depuis avril 95, elle consomme 12 watts sous 5 V.

L'architecture, impressionnante, regroupe un CPU RISC scalaire dérivé du MIPS II, avec cache d'instructions de 1 KB, une interface série 8 bits pour communiquer avec un hôte, et un processeur vectoriel 32 bits à 16 registres de 32 éléments et trois unités fonctionnelles (un pipeline load/store, et deux ALU dont une seule sait faire la multiplication $16 * 16$).

Muni de ce processeur que le MIPS perçoit comme un coprocesseur, le SPERT II est lui-même un coprocesseur spécialisé relié à un hôte Sun standard. Voir en boîte 138 l'article décrivant ce travail :

Wawrzynek (J.), Asanovic (K.), Kingsbury (B.) - SPERT II, a vector microprocessor system, in IEEE

Computer de 3 / 96, pp 79 / 86.

Le travail a été financé par l'Office of Naval Research, la National Science Foundation et l'ARPA, sans compter un calculateur donné par IBM et l'appui de l'International Computer Science Institute, de la même université, qui a ses propres sources de crédits. On voit que le progrès technologique a réussi à placer sur une seule puce une logique de puissance supérieure à celle d'un processeur neuronique complet, et à obtenir un résultat dans un temps 6 à 30 fois moindre que des stations de travail universelles puissantes exécutant ce calcul en simulation. Dans ces conditions, l'approche bioémulatrice devient de peu d'intérêt.

En 1997, on trouve à Berkeley une étude de calculateur reconfigurable, construit sous la forme d'un coprocesseur pour un MIPS. Voir au dossier cet article sur GARP, dans Computer IEEE, 2000, pp 62/9.

Californie : université de Californie à Davis

Cette université peu connue, en ce sens qu'elle publie moins et attire moins de crédits que les autres, ne contribue à notre tour d'horizon que par un travail de bibliographie préparatoire à une thèse de PhD, qui nous est connu par un article :

Werner (T.), Akella (V.) - Asynchronous Processor Survey, in IEEE Computer, 11 / 97 pp 67 / 74

Les calculateurs asynchrones sont conceptuellement supérieurs aux calculateurs synchrones en ce sens qu'ils

ne perdent en principe pas de temps à attendre le top de la base de temps pour travailler : chaque circuit exécute son travail dès qu'il dispose de ses données. En d'autres temps, Philco fut le principal promoteur de ce genre de machines. Mais la fiabilité insuffisante des anciennes technologies imposa le recours systématique aux structures synchrones, qu'il est possible d'immobiliser à l'instant d'une panne pour rechercher la cause en examinant l'état de toutes les bascules.

Le sujet de l'étude est donc le prudent retour de divers chercheurs vers des structures asynchrones, aujourd'hui moins inquiétantes du fait de la fiabilité excellente des circuits intégrés. Pourtant, à en juger par le texte, les auteurs n'ont rien trouvé de significatif avant 1988, et parmi les cinq machines signalées, quatre n'ont pas dépassé le stade des études préliminaires. Trois sont américaines, que nous retrouverons dans les rubriques consacrées à leurs auteurs, une anglaise et une japonaise.

Californie : université de Californie à Los Angeles

Cette université doit évidemment une grande part de son importance à la ville où elle est installée, mais il y a une seconde raison : c'est l' UCLA qui a organisé, au profit de la Commission de l' Energie Atomique, le laboratoire de Livermore. Les questions relatives à ce laboratoire sont l'objet de la rubrique 358 et nous n'y reviendrons pas ici. On a cependant inclus dans la collection de la boîte 138 des articles décrivant l'organisation des calculateurs impliqués dans les travaux d'imagerie médicale, une activité non atomique de Livermore présentée d'ailleurs comme activité de l' université mère.

La première implication de l' UCLA dans l'informatique est particulièrement ancienne, puisque elle date de 1949, quand son département d'électricité fut sollicité pour construire, à l' Institute for Numerical Analysis, un calculateur financé par le National Bureau of Standard et le Wright Air Development Center de l' USAF. D'abord baptisé Zephyr par l' université, ce projet semble avoir notablement évolué pour devenir SWAC, un calculateur appartenant clairement au NBS. Le document 201, panoramique des calculateurs américains de 1953, mentionne ce SWAC comme construit à l' INA en donnant l'impression que cet Institut relève du NBS : c'est très peu vraisemblable. La fiche du SWAC se trouve dans N1, mais la plus grande partie de sa carrière mouvementée s'est déroulée à l' UCLA. La fiche Zephyr, classée dans U2, ne représente que les idées initiales de son constructeur Huskey, et le nom n'a pas été repris lorsque la machine SWAC a été transportée de l' INA au laboratoire d'électronique de l' Université en 1956.

L' UCLA s'est ensuite impliquée, avec la filiale Aeronutronic de Ford, dans la construction d'un DDA à tambour magnétique à des fins de simulation (document 221-31). Deux machines ont été construites, dont une pour l'université.

L'UCLA s'est associée avec IBM pour organiser et mettre en service en novembre 64 le Western Data Processing Center, un centre de calcul comportant une 7094 à 32 Kmots et un frontal 7040 qui partagent des disques. La contribution d'IBM est une 7740 qui gère en temps partagé un ensemble de 12 consoles 1050, et dès 1965 cinq autres calculateurs de recherche étaient rattachés au centre, qui dessert non seulement les besoins de l'UCLA, mais aussi ceux de 88 écoles californiennes (en batch, probablement). Ce centre a évolué ensuite, bien entendu, apparemment avec l'installation d'une 360/75.

En matière de langage, on peut signaler l'article suivant, décrivant un travail effectué avec le soutien de la NSF :

CHIRICA (L. M.), DREISBACH (T. A.), MARTIN (D. F.), PEETZ (J. G.), SORKIN (A.) - Two Parallel EULER run time models : the dangling reference, impostor environment, and label problems, in SIGPLAN Notices, Vol 8 N° 11, 11 / 73, pp 141 / 151 et 165 / 178.

Il s'agit d'une extension du langage EULER qui équivaut à une machine Algol 60, en vue de concevoir sinon de réaliser un processeur Algol multitâche. Voir document 233. Par la suite, l'Université a réalisé avec les langages META la question des compilateurs syntaxiques : il y a eu un META I sur PDP 1, puis un META II autodescriptif sur 1401, réalisé comme l'interpréteur d'une machine abstraite, qui a permis de confirmer la validité du concept en écrivant deux compilateurs VALGOL 1 et 2 d'un sous-ensemble d'Algol 60. Voir ce travail dans 267 - D1.3, 11 pages.

Cette conviction s'est affirmée ensuite avec un META 3 fonctionnant sur IBM 7094, puis un META5, outil d'écriture de compilateurs qui fonctionne sur les deux machines du site S/360 et Sigma 7, grâce à une rédaction de proche en proche par la technique du bootstrap ; il a été utilisé pour une évaluation systématique de la qualité des logiciels. Voir 251-733/7.

Dans le domaine mathématique-informatique, on trouve à l'UCLA la réalisation de PDEL, un préprocesseur de PL / I destiné à la résolution d'équations aux dérivées partielles. Voir 254 - 513/23.

L'université a souhaité s'impliquer dans le design électronique, poussée dans cette direction par son voisin North American Rockwell. Le projet, baptisé ELECSYS, se proposait d'intégrer tout ce qui touche à ce domaine, méthodes d'analyse des circuits, règles de calcul, normes de fabrication, caractéristiques des composants, simulation, optimisation. Mais, faute d'expérience, il fallait commencer plus modestement, avec l'approche suivante :

- utiliser, pour l'organisation du travail, les procédures d'ICES, le package de Génie Civil du MIT, dont le véhicule informatique est un compilateur Fortran IV. L'université a acheté à cet effet le progiciel ICES à IBM, dont l'appui au MIT lui a donné les droits.

- commencer par le module d'analyse et, à titre de test, y intégrer le programme IBM ECAP, Electronic Circuit Analysis Program, écrit pour la 1620. La programmation a été menée en ICETRAN.

On trouvera en 255 - 297/314 une description de la procédure de rédaction et un exemple d'emploi d'ELECSYS. On peut douter, cependant que le travail ait été mené jusqu'à l'outil industriel, et d'ailleurs l'article ne mentionne que la première phase du travail.

La faculté de médecine de l'UCLA s'est aussi équipée pour le travail en temps réel dans son Brain Research Institute, construisant un laboratoire autour d'un SDS 9300 avec DAC. Il comporte plusieurs consoles spécialement construites pour visualiser dynamiquement les mesures faites sur le cerveau. Voir activité en 248-345/52.

Du fait que les plus motivés parmi les chercheurs en informatique de l'UCLA se sont retrouvés à Livermore, il y a peu de travaux significatifs exécutés à l'UCLA même. Le personnage le plus emblématique de cette activité est Algirdas Avizienis, chercheur au Computer Science Department, qui appartient à l'ancienne école, celle des logiciens. Voir par exemple son étude dans 232 - 1910 / 9, financée par la Commission de l'Energie Atomique à la recherche de supercalculateurs. Après cela, Avizienis a été successivement conseiller influent dans deux projets de calculateur à haute fiabilité, STAR et MSC.

L'étude STAR de la NASA était essentiellement confiée au JPL, Jet Propulsion Laboratories, et voulait définir une architecture pour calculateur spatial non surveillé, sans se préoccuper initialement des questions de poids et de consommation. Aucun STAR n'a d'ailleurs volé réellement. Voir à la rubrique JPL.

L'étude MSC, Modular Space Computer, a été confiée par la SAMSO, Space And Missile System Organization de l'USAF, à la société Ultrasystems, qui a aussitôt recouru aux conseils du Computer Science Department. On se borne à renvoyer à l'article :

Conn (R. B.), Alexandridis (N. A.), Avizienis (A.) - Design of a fault-tolerant, modular computer with

dynamic redundancy, in AFIPS Conference Proceedings, Vol 41 part II, Fall Joint Computer Conference de 12 / 72 à Anaheim, Cal, pp 1057 / 67.

La différence entre MSC et STAR semble être que l'on se préoccupe cette fois des contraintes de poids et

de consommation, et que l'on découpe de façon différente les fonctionnalités en vue de définir les modules redondants qui constituent l'ensemble à embarquer. Pas plus que STAR, MSC n'a été réalisé, et les sondes spatiales pour très longs voyages (Viking, Voyager, Galileo, Ulysse, Cassini) ont été équipées de processeurs bien plus modestes qui ont fort bien fait leur travail.

Un autre chercheur de l'UCLA qui s'est acquis une certaine notoriété est Leonard Kleinrock, fondateur du Network Measurement Center destiné à évaluer en permanence le fonctionnement du réseau ARPA. Le NMC fonctionne, bien entendu, sur crédits ARPA. Plusieurs publications de Kleinrock apparaissent dans la documentation sur le réseau ; on peut considérer l'article 261 - 767/80 comme une conclusion provisoire de ces travaux.

Californie : Université de Californie à Santa Barbara

Même remarque sur cette UCSB que plus haut pour Davis. L'Université est équipée, dès mars 65, d'un système de temps partagé pour la recherche, installé sur un calculateur polymorphe RW 400 associé à la machine AN / FSQ 27, donnée par le RADC (le RW 400 aussi, probablement). Le système dispose de deux tambours magnétiques, 80K et 500 Kmots respectivement, de 16 consoles comportant chacune deux claviers et un tube à mémoire, d'une tablette Rand, d'une camera et d'un plotteur

partagés. Le langage Culler-Fried mis à la disposition des chercheurs sur les consoles est un outil élaboré d'analyse mathématique, disposant d'opérations symboliques et de présentation graphique des résultats sur la console DAC (Display & Analysis) du FSQ 27.

En dehors de cette recherche assez ancienne, nous ne disposons que d'un article, qui décrit une recherche sur un processeur d'images tridimensionnelles, financée par la NSF et concrétisée ensuite au plan commercial avec l'aide de sponsors, tels que Allen Bradley et Rockwell :

Wang (Y.), Mangaser (A.), Srinivasan (P.), Jordan (S.), Butner (S.) - The 3DP : a processor architecture

for three-dimensional applications, in IEEE Computer, 1 / 92, pp 25 / 36.

On notera, loin de la tradition française, qu'ici comme dans les cas précédents, il y a coopération entre des

anciens élèves, devenus créateurs d'entreprise, ici Computer Motion, et leur professeur, ici Butner.

Le 3DP est un processeur spécialisé, fonctionnant en marge d'un hôte qui se charge des servitudes et notamment du logiciel. On notera que c'est la solution standard, quelques années plus tard, avec les cartes video extraordinairement performantes des derniers PC et stations de travail. Voir rubrique 349.

Californie : Université de Southern California à Los Angeles

Beaucoup moins connue que les précédentes, cette université dispose d'une école d'ingénieurs bien équipée en moyens de calcul avec un laboratoire de simulation, qui possède en 1969 une IBM 360/44 avec interface hybride et plusieurs calculateurs analogiques, Beckman et Adage.

Le développement d'un système de simulation continue baptisé MOBSSL-UAF, dont il vaut mieux ne pas essayer d'interpréter le sigle, est l'oeuvre de deux professeurs, convaincus de sa commodité conceptuelle et fort peu concernés par l'orthodoxie des normes. Leur inspiration vient de Pactolus et MIDAS, mais leur système est beaucoup plus riche ; ne disposant pas de console graphique, il utilise les schémas uniquement pour la préparation du travail, le programme prenant simplement la forme d'une matrice des interconnexions. Les résultats apparaissent sur imprimante avec un très sommaire graphique par points, ou sur plotteur. Au total, un outil essentiellement pédagogique, réalisé à petits frais. Voir 252-255/74.

Deux ans plus tard, on retrouve sur le même support informatique un projet graphique plus vaste, soutenu par le NIH, INSIGHT = INstructional System Investigation GraphHic Tool . Il permet de construire à l'écran des diagrammes de blocs et de lancer des simulations. Voir 257-351/9 .

En 1974, l' USC est connectée au réseau ARPA et se donne un thème de recherche cohérent avec cette situation : il s'agit de concevoir un environnement commun pour les divers langages universels de programmation, grâce à une interface d'adaptation baptisée PI-1 pour Programming Interface, et rédigée en Interlisp. Voir 261-365/70.

En 1976, en liaison avec Carnegie-Mellon, un groupe définira ALPHARD, un langage extensible permettant de créer des types nouveaux. Voir microfilms CACM 8/77 p 553 et SIGPLAN 5/79 p 29.

Californie : CALTECH, California Institute of Technology, Pasadena

Ce prestigieux établissement est entré en informatique dès 1951, en réalisant avec l'argent de la Continental Oil le calculateur MINAC à tambour magnétique, prototype de la très célèbre LGP 30 et démonstration réussie de coopération entre l'University et l'Industrie. Voir rubrique 363 Librascope.

Il a ensuite contribué à la conquête de l'espace en assurant la gestion administrative des savants et techniciens du Jet Propulsion Laboratory de la NASA, organisme spécialisé dans l'étude de sondes spatiales et petits satellites, installé à Pasadena même avec une annexe dans le désert.

En 1964, nous trouvons le Centre de Calcul de l'institut, offert par le mécène Willis H. Booth, équipé d'une combinaison IBM 7094 + 7040, toutes deux à 32 Kmots, partageant deux disques 1301 et interconnectées à travers un canal 375 KB/s.

L'équipement modeste comprend LC, PC, IP, plot, et un multiplexeur 7228 pour les consoles, dont 4 sont installées, audacieusement pour l'époque, directement dans les laboratoires, ce qui implique l'usage de logiciels encore expérimentaux. Voir schéma en boîte 138.

C'est déjà le deuxième équipement de l'institut, qui d'ailleurs conserve encore son Datatron 220, connecté au 7040 ci-dessus.

Dans le domaine logiciel, Caltech intervient en lançant une recherche sur l'emploi de l'anglais comme langage de programmation. L'auteur est F. B. Thompson, à l'Institut, mais l'exécution est confiée à la General Electric, établissement de Santa Barbara, qui d'ailleurs finance en partie le travail, dont l'intérêt est évident pour tout le monde. C'est le projet DEACON, Direct English Access & CONTROL, 244 - 349, 365, surveillé par le RADC, contrat AF30(602)4272.

C'est un peu dans le même esprit qu'est mis au point, vers 1969, le langage REL English, un langage polymorphe qui donne accès à toutes les ressources du temps partagé de l'Institut, à base de 360/50. L'article de 253-399/417 montre que ce REL English est une sorte de langage d'interrogation pour base de données, cette BD étant encore, à l'époque, extrêmement sectorielle. On pourra noter que F. B. Thompson est aussi parmi les auteurs de REL.

Vers 1975, Caltech s'intéresse à la technologie VLSI naissante et crée OM, Our Machine, un processeur microprogrammé en cinq puces LSI dont nous possédons une description par D. Johannsen, un des chercheurs, dans la revue SigMicro de 12/78 qui présente comme un intéressant exercice de microprogrammation horizontale. Voir article avec deux photos.

En 1983, Caltech participe brièvement à l'enthousiasme des chercheurs pour les processeurs parallèles, en réunissant, sous forme de réseau hypercube, 64 microprocesseurs

Intel 8086 dans une armoire de 1524 * 356 * 203 mm. L'affaire a été peu commentée et ne semble pas avoir eu de suite.

Une autre recherche, datant des dernières années 80, consistait à définir un processeur asynchrone et à en évaluer les performances, mais sans le réaliser physiquement pour limiter les frais. Il s'agit donc d'une simulation réalisée en langage de définition de circuits par l'équipe de A. Martin, sur un schéma architectural très simple et pas spécialement optimisé, représentant environ 20000 transistors CMOS. La logique était bifilaire (2 fils pour transporter un bit, qui est donc 01 ou 10, ce qui distingue les transferts d'information des silences, en l'absence de synchro), et un timing tétraphasé permettait quelque parallélisme ; le résultat était estimé à 15 Mips.

Plus tard, ce même groupe a repris l'étude avec l'arséniure de gallium, et cette fois réalisé une puce qui aurait été capable de 100 Mips. On déplore, cependant, qu'il n'y ait pas eu de comparaison avec la même réalisation en synchrone.

On trouvera encore au dossier un article consacré aux architectures reconfigurables, écrit par un chercheur provenant de Berkeley et du MIT. Il ne prouve pas que Caltech se soit réellement intéressé à ce problème.

Californie : Stanford Research Institute, Menlo Park

Cet organisme est une émanation de l' Université de Stanford, créé pour pouvoir pratiquer la recherche appliquée, avec des réalisations concrètes et un financement externe ; ses liens avec son établissement fondateur sont déjà lâches à la naissance de l'informatique, technique où le SRI va immédiatement s'impliquer, avec la construction en 1955, sur une commande de la General Electric, de la machine bancaire ERMA, commercialisée ensuite en tant que GE 100.

De la même manière, le SRI a réalisé sur un contrat RADC le système AN / GSQ 81 de recherche documentaire en univers limité, ou MIRF. Voir 239-515/28.

Un autre article de 1959 en 230 - 16 montre que le SRI étudiait aussi les générateurs de caractères.

Plus récemment (1975), et ce sujet qui paraît dépassé avait été suggéré par un contrat 1972 de l'USAF Avionics Laboratory, le SRI a mené à bien la réalisation d'un tube électronique à mémoire capable d'adresser 65536 positions de 1 bit, à 1 MHz en RAM, 10 MHz en BORAM. Voir dossier en boîte 138.

Nous retrouvons encore le SRI en 1978 dans une étude de calculateur ultrafiable pour la NASA Langley : il s'agit d'évaluer une structure très simple et très souple, collection de couples processeur + mémoire sur un bus, ce que fera plus tard Tandem. C'est SIFT, Software Implemented Fault Tolerance, décrit dans l'article:

WENSLEY (J. H.), LAMPORT (L.), et al - design & analysis of a fault tolerant computer for aircraft control, in PIEEE Vol 66, 10 / 78, pp 1240 / 56.

Le SRI a commencé très tôt à examiner les problèmes dits "d'intelligence artificielle", cad ceux dont on ne peut décrire la solution, seulement la cerner empiriquement par approximations successives.

Nous disposons d'un article, Electronics 22 / 3 / 63, qui décrit des travaux de l' Université et ceux du SRI dans le domaine de l'apprentissage, à base de tores magnétiques multitrans. Voir 228-33.

Le SRI s'est longuement intéressé à la compréhension par ordinateur de l'écriture manuscrite, et on pourra trouver dans FJCC 1968 un compte rendu en deux articles, 250-1125/49, de ce travail soutenu par le groupe d'intelligence artificielle de l' Université et, financièrement, par l'établissement de Fort Monmouth de l' Armée de terre.

Le SRI a prolongé ces travaux vers la robotique, avec des soutiens de la NASA et en s'inspirant des recherches du MIT. Voir par exemple QA4, en 260 - 1181/92 : après avoir envisagé d'en faire un langage à part entière, il est finalement apparu plus économique et aussi efficace d'intégrer QA4 à InterLISP sous la forme d'un langage QLISP (allusions en CACM 12 / 76 p 667 et SIGPLAN 11 / 78 p 79).

Le SRI s'est doté en 1985 d'un interpréteur (écrit en C) du langage PROLOG, signe que son intérêt pour l'intelligence artificielle ne faiblit pas.

Comme on peut le voir dans la liste d'activités ci-dessus, le SRI a été de plus en plus sollicité comme bureau d'étude capable de résoudre des problèmes ponctuels de haute technicité. De peur de perdre, par un excès de ce type d'activités rémunérées, son statut d'institut de recherche, le SRI a organisé en son sein, à partir de 1965, un centre de recherche, baptisé Augmentation Research Center parce qu'il se propose d'ajouter effectivement quelque chose à la connaissance humaine. L'un de ses travaux, qui ne paraît d'ailleurs pas répondre vraiment à cette ambition, concerne un éditeur conversationnel raffiné nommé NLS (261-247).

Beaucoup plus tard, en 1986, le SRI publie un article sur un environnement de programmation radicalement nouveau, PegaSys, financé par l' ONR et la DARPA, sous contrôle du RADC, leur support technique. PegaSys présente les relations entre tâches sous forme d'images et en assure la cohérence, construisant ainsi progressivement une structure logique valide qui, finalement, se transformera en un programme ADA susceptible d'être compilé. Autre originalité : ce système est rédigé en InterLISP, et fonctionne sur un réseau de Xerox 8000.

Le SRI a été connecté dès 1971 au réseau ARPA.

Californie : Stanford University, Stanford

L' Université de Stanford s'est intéressée dès l'origine au concept de temps partagé, considéré comme idéalement adapté à l'enseignement. Ce système, tardivement baptisé THOR, est opérationnel en Août 64 sur la 7090 à 32 Kmots du centre de calcul, à travers un PDP 1D (système BBN) qui supporte 20 terminaux, 12 Philco et 8 TTY 33, dont 4 seulement ont accès, à un instant donné, à la 7090.

Les langages disponibles pour ces usagers sont le macroassembleur, Fortran, LISP, et des produits plus exotiques : FAB, GOGOL et BALGOL.

Ce système sera renforcé, dans les années suivantes, par un Burroughs B5500 et une 360/67 pour le temps partagé de tous les chercheurs. La 67 sera dès son installation intégrée au réseau ARPA.

L'université dispose d'une école de médecine qui a accès aux systèmes principaux de temps partagé, mais qui dispose en plus de 4 PDP 8 et 4 LINC (en 1967). Tous ces équipements permettent une variété d'expériences en temps réel. Disposant de plusieurs subventions du NIH et de la fondation Macy, l'école de médecine s'est en outre équipée en 1967 du système ACME, un ensemble de temps partagé avec possibilités temps réel construit autour d'une 360 / 50. Voir 246-497/508.

Dans le domaine du logiciel, l'Université s'est signalée en accueillant Niklaus Wirth, le linguiste suisse qui avait participé à la création d'Algol 60 dans l'équipe européenne, et dont la créativité incessante laisse des traces partout où il passe : il a marqué son passage en inventant les grammaires de simple précédence, puis en les appliquant à la réalisation d'un compilateur Euler, puis en inventant le langage PL360 (1968) . A peine rentré à Zurich, il inventait Pascal puis Modula.

L'étude d'un compilateur pour XPL, langage pour étudiants inspiré de PL/I, réalisée en 1968 sur la 360/67, doit manifestement beaucoup au passage de Wirth. Voir 249-617/35.

On peut aussi signaler l'étude SAMPLE, conduite en 1971 comme travail de thèse pour explorer le domaine encore spéculatif du calcul parallèle. Le chercheur Chamberlin y définit une classe de langages de programmation dont les instructions ne sont plus chaînées en fonction de leur position dans le texte, mais dynamiquement, en fonction de la disponibilité de leurs données, comme on l'imaginera plus tard pour une machine Dataflow. Dans l'immédiat, cette recherche n'aura aucune suite à Stanford ; mais il est frappant de retrouver ce chercheur, aussitôt diplômé, au centre de recherche IBM de Yorktown Heights.
Voir 257 - 263/9.

L'université s'est lancée dès les années 60 dans l'intelligence artificielle , reconnaissant d'ailleurs ce qu'elle doit au MIT à cette occasion. Au titre d'un contrat ARPA SD 183, ce sont en fait les premiers éléments d'une étude de robotique que représente ce centre d'AI de Stanford : le calculateur PDP 6 gère d'une part une activité de temps partagé avec nombreux télétypes et plusieurs écrans graphiques, d'autre part des études de compréhension d'images, compréhension de la parole, et manipulations d'objets . Le thème est exposé dans l'article:

McCARTHY (J.), EARNEST (L. D.), REDDY (D. R.), VICENS (P. J.) - a computer with hands, eyes, and ears, in FJCC 1968 part I, pp 329/38

Référence 249-329/38

Il y aura aussi un développement de langage spécialement conçu pour l'intelligence artificielle, cad pour soutenir un raisonnement ; on y retrouve Feldmann. Voir SAIL en 260 - 1193/1202.

Autre exercice de 1978 : Emmy est un émulateur universel à trois opérateurs spécialisés, avec une mémoire de microprogrammes WCS de 4K * 32 bits. Il s'agissait d'émuler l'architecture 360, à l'exclusion des entrées / sorties. Sachant que précisément les machines de cette famille sont construites par microprogrammation, l'exercice n'est pas

nécessairement très significatif, particulièrement au vu du résultat, qui est un débit de 72 Kips.

Un grand succès de l' Université de Stanford est la société MIPS, formée en 1985 par un groupe de chercheurs qui avaient défini et concrétisé, sur contrat DARPA et avec l'aide du fondateur de General Electric, une puce microprocesseur très réussie. En 2000 les licences de MIPS irriguent le monde des stations de travail avec la société Silicon Graphics et plusieurs sociétés japonaises, coréennes et américaines de composants.

L'université a participé aux évolutions de la programmation dans les dernières années du siècle en s'intéressant à la programmation objet et aux structures multimicroprocesseurs, en créant en particulier le langage COOL, Concurrent Object Oriented Language, et en le mettant en oeuvre sur plusieurs machines, notamment le système local DASH (32 processeurs), le Multimax de Encore (32 processeurs), et la station 4D380 de Silicon Graphic (8 processeurs). Voir Computer IEEE 8/94, pp 13 / 26. Pour les multiprocesseurs, l'université a étudié une architecture baptisée ParaDiGM pour Parallel Distributed Global Memory, qui utilise des microprocesseurs commerciaux et les valorise par une hiérarchie de caches et une organisation complètement modulaire, permettant une évolution et un partitionnement à la demande. Financement DARPA. Voir Computer IEEE, 2 / 91, pp 33 / 45.

L'université ne semble pas avoir fait de recherche militaire, mais elle n'en participe pas moins aux recherches avancées, par exemple en ayant organisé le SLAC, Stanford Linear Accelerator Center, pour le Département de l' Energie. Ce centre est puissamment doté, puisqu'on y trouve en 1978 deux IBM 370 / 168 et un 360 / 91 pour les dépouillements différés. Malheureusement ce type de machines est peu adapté au traitement en temps réel, qui est extrêmement souhaitable pour n'avoir à enregistrer que les épisodes réellement significatifs, justifiant ces dépouillements. C'est pourquoi le SLAC a construit, vers 1977, un processeur spécialisé à base de microprocesseurs en tranches AMD 2901, le 168/E, ainsi baptisé parce qu'il exécute un sous-ensemble du répertoire de l' IBM 370 / 168 à une vitesse un peu supérieure à celle de l'original, et pour un prix plus de 1000 fois moindre. L'intérêt de ce choix architectural est d'utiliser les 168 du centre pour les compilations et mises au point des programmes des 168 / E, qui sont utilisées pour l'exploitation du LASS, Large Aperture Solenoid Spectrometer, un instrument de mesure performant qui doit traiter en moyenne un évènement nucléaire par 100 ms. Voir article de SIGMicro, 12 / 78, en boîte 138.

Colorado : Université du Colorado à Boulder

Cette université s'est équipée d'un ordinateur IBM 7090 et, faute de pouvoir écrire elle-même ses logiciels de base, a choisi d'utiliser le compilateur MAD de l' Université du Michigan, disponible très tôt.

C'est ce langage qu' a utilisé L. Tavernini, en 1964, pour composer le langage de simulation de l' Université : ce MADBLOC est écrit en MAD et délivre du MAD.

District of Columbia : George Washington University, Washington DC

Sans insister puisque les fiches existent dans les dossiers ERA et ONR, on peut signaler que cette université s'est impliquée très tôt dans l'informatique, avec :

ABEL, l'ONR Relay Computer, voir rubrique 453 ONR

Logistic Computer, voir rubrique 253 ERA

Il est probable que ce choix de la GWU pour ces réalisations est dû principalement au manque d'imagination de fonctionnaires du Pentagone voisin. Après quoi on n'entend plus guère parler de cette université dans le domaine de la recherche.

Hawaï : Université de Hawaï

La plus remarquable réalisation à laquelle a participé l'Université est la construction du réseau local ALOHA, à base de liaisons radio, pour transporter des fichiers à travers les îles. Ce réseau, décrit à la rubrique 360, s'est inscrit ensuite dans le réseau ARPANet.

L'université elle-même dispose d'une 360 / 65 avec un système de temps partagé UHTSS/2, écrit sur place en XPL et intégrant les liaisons du réseau Aloha.

D'une moindre envergure, on peut aussi citer la construction par un groupe d'étudiants de UHC 1, un processeur microprogrammé. C'est un modeste 16 bits avec CPU asynchrone en composants TTL, mémoire à tores de 4 à 64 KB par blocs de 4 Kmots, cycle 900 ns, I/O Bus avec 64 accès et option DMA, interruptions hiérarchisées, télétype.

Le répertoire comprend 54 opérations. Il est réalisé à travers un firmware installé sur une ROM de 1 K*8 bits, cycle 60 ns, disposant de 85 microinstructions.

La machine a été commercialisée au prix de \$ 26000 avec 4 Kmots de mémoire et un TTY.

Illinois : Université de Chicago

La seule étude informatique connue de cette université est un calculateur à usage scientifique baptisé MANIAC III, ce qui est trompeur, car il n'a aucun rapport avec les deux autres MANIAC qui sont des descendants de la machine de l'IAS. Avec cette machine construite lentement en tant que projet pédagogique, et terminée en 1960, l'Institute for Computer Research s'efforçait de mettre au point une arithmétique bien adaptée au calcul scientifique, à une époque où les ordinateurs étaient encore lents et coûteux, de sorte qu'un gain en précision était économiquement significatif.

Nous avons donc regroupé dans la fiche deux articles décrivant cette arithmétique. Par ailleurs, pour la technologie de la mémoire, dont la réalisation est tout à fait novatrice, nous avons l'original en anglais d'un article d'Electronics et un résumé en français. Pour celle des registres, nous avons un résumé du seul article connu, non conservé.

Illinois : Université d'Illinois à Urbana - Champaign

Cette université est la plus prolifique de toutes les universités américaines en matière d'étude d'ordinateurs, et nous sommes en mesure de passer en revue la longue série des réalisations de son équipe d'ingénieurs - chercheurs.

Elle commence dès 1950 avec ILLIAC, une copie de la machine de l'IAS quant à la mémoire électrostatique et aux circuits logiques, mais avec une étude propre pour le tambour magnétique qu'il a rapidement fallu lui ajouter. Voir fiche.

Fort de cette expérience, le groupe se lance dans la "production en série" avec la construction d'un SILLIAC pour l'Université de Sydney, et d'un ORDVAC pour l'Aberdeen Proving Ground. Voir fiche pour cette dernière machine.

Après ces travaux mercenaires, le Digital Computer Laboratory entreprend un grand projet scientifique, avec une ILLIAC II spécialement construite pour fonctionner en virgule flottante. L'Université, s'appuyant sur ses travaux antérieurs, réussit à obtenir des financements de l'ONR et de la Commission de l'Energie Atomique, ainsi que des périphériques offerts par IBM.

Nous disposons de deux articles sur cette machine, une description de l'unité arithmétique et une bibliographie commentée. Malgré son prix élevé, 4 M\$, la vie utile de cette machine a été courte puisqu'elle a été démantelée en 1969 ; il est probable que la fiabilité n'était pas satisfaisante, et d'autre part son architecture spéciale lui interdisait un nombre croissant de logiciels commerciaux très désirables.

Un autre article, rédigé justement en 1969, évoque après coup cette machine pour discuter de la manière dont on pourrait améliorer sa fiabilité par installation d'un contrôle de parité. Ce n'est qu'un exercice intellectuel, mais c'est aussi l'occasion d'une autre description de l'arithmétique. Voir 255-79/88.

Avec l'ILLIAC III entreprise vers 1962, le Digital Computer Laboratory abandonne les calculateurs universels qu'on trouve maintenant dans le commerce pour se lancer dans la construction d'un processeur spécialisé, largement financé par la Commission de l'Energie Atomique, qui espère automatiser l'analyse des photographies de chambre à bulles, et par l'ARPA qui s'intéresse plus généralement à l'interprétation des photos aériennes. Voir 251-187/201.

La lecture de la documentation, qui se compose d'une fiche et de trois articles joints, plus un résumé des rapports cités mais aujourd'hui inaccessibles, laisse perplexe : on ne parvient pas réellement à comprendre la conception du système, et des doutes profonds subsistent quant à son efficacité, qui n'est commentée nulle part. L'arrêt, en 1969, de la subvention ARPA, suggère que cet organisme doutait aussi.

L'ILLIAC IV est une autre affaire, dont les racines se situent en 1962, lorsque le Dr Slotnick, de la société Westinghouse, Air Armament Division, présente à la FJCC son projet Solomon I, composé d'une matrice 32 * 32 de PE, Processing Elements, interconnectés de façon fixe, et d'un séquenceur commun qui les alimente en instructions : c'est l'architecture SIMD, Single Instruction Multiple Data, censée offrir un gros avantage de performances dans de nombreux problèmes réels. Ce premier concept fonctionne en série sur des mots de longueur variable, et intéresse le RADC, qui délivre un premier contrat.

Les contraintes économiques et techniques conduisent à la réalisation effective d'une machine 10 * 10, manipulant des mots série de 24 bits, et commandée par un CDC160A, machine qui est délivrée au RADC en 1963. Voir fiche et documentation à la rubrique Westinghouse.

Les applications scientifiques paraissant un débouché plus sérieux, à cause des équations aux dérivées partielles, le projet est repensé en un Solomon II, sur lequel Westinghouse se met à travailler : la première idée, la plus simple, est de remplacer les PE série par des PE parallèles à virgule flottante 24 bits, tout le reste étant inchangé. Cependant, le financement étant difficile à trouver et Westinghouse refusant de faire l'opération sans contrat, Slotnick choisit de quitter la société et de s'installer comme chef de projet à l'Université d' Illinois, avec l'accord de l'ARPA qui voit dans ce concept un intéressant point focal pour son réseau naissant. Le projet change alors de nom et d'envergure : ILLIAC IV sera installé à l'Université, connecté au réseau ARPA et ouvert à tous ses membres dans la mesure où il ne sera pas saturé par les besoins de la Défense. Slotnick en profite pour passer les PE à 64 bits, découper la matrice de 256 PE en quatre parties dites quadrant, dont chacun disposera de sa propre unité de commande, avec la possibilité de coordonner plusieurs quadrants.

Toutefois, il faut d'abord construire la machine, et la réalisation est confiée à Burroughs, qui travaille sous l'étroite surveillance de Slotnick. Techniquement, il est prévu d'abord de réaliser les PE en circuits ECL MSI, et d'associer à chacun une mémoire à film mince, technologie dans laquelle Burroughs semble avoir quelque expérience. Les difficultés seront nombreuses et coûteront cher : l'abandon de la B8500 par Burroughs met fin aux espoirs placés dans les films minces, qu'il faut remplacer par une mémoire Fairchild en LSI bipolaires ; les MSI s'avèrent trop difficiles à mettre au point, et leur remplacement par des SSI augmente considérablement l'encombrement d'un PE, et les prix. Finalement, Slotnick sera obligé d'abandonner son plan grandiose et de limiter la réalisation à un quadrant de 64 PE.

L'écriture d'un logiciel capable d'énoncer les problèmes destinés à Iliac IV est simultanément entreprise à Urbana : c'est un langage nommé TRANQUIL, vectoriel par nature, dont les objectifs et les premiers travaux sont décrits dans 251-57/73. Mais le problème était trop difficile, et TRANQUIL ne pourra être mené à bien. Il faudra se contenter de variantes autour du thème de Fortran, obligeant les programmeurs à penser le parallélisme de leurs algorithmes, ce qu'on espérait éviter.

Les violences étudiantes de mai 68 convaincront l'ARPA que sa machine, qui a finalement coûté 20 M\$ pour un quadrant (c'était le prix prévu pour quatre !), ne peut être exposée aux risques universitaires, de sorte que l'idée d'installer ILLIAC IV à Urbana est elle aussi abandonnée. ILLIAC IV, qui garde son nom bien qu'il soit de plus en plus usurpé, sera logée au Ames Research Center de la NASA, sur le terrain d'aviation de Moffett Field en Californie, dans un Institute for Advanced Computation créé pour elle au prix de 10 M\$, dans lequel on lui adjoindra encore 10 M\$ de machines diverses:

- un PDP 11 qui gère la liaison ARPANet, par laquelle arrivent, comme promis, des demandes de calcul de toutes les grandes universités américaines.

- deux PDP 10, processeurs scientifiques et temps partagé banalisés
- deux PDP 11 assurant en duplex la gestion du centre
- deux PDP 11 formant en duplex le contrôleur des mémoires de masse, qui comprennent un tambour de swapping, des disques, et un Unicon 690. Ce dernier comprend deux tambours de lecture indépendants, sur lesquels prennent place, en 5 à 10 secondes et sur demande, des bandes de 1,5 milliard de bits ; un carrousel met à leur disposition 18 bacs interchangeable dont chacun contient 25 de ces bandes, à lecture par laser. Au total, par conséquent, 675 Gbits en ligne et un stock illimité.
- et Illiac IV, avec sa mémoire principale composée de 64 modules de 2 Kmots de 64 bits, cycle 300 ns, et 13 disques qui représentent 16 Mmots et un débit de 1 Gbit/s.
- ces cinq correspondants sont reliés à un tampon important, provisoirement une mémoire à tores de cycle 1 MHz. Elle sera remplacée par une mémoire de 512 Kmots de 37 bits, construite spécialement, au prix de \$ 700000, par Systems Concept Inc. de San Francisco. Elle est capable de délivrer 28 mots à chaque cycle de 650 ns, soit un débit de 42 Mmots / s.

C'est dans ce cadre que la machine va constituer pendant dix ans un des principaux attraits du réseau ARPA pour les universitaires, pour n'être abandonnée qu'au début de 1982. On trouvera dans un des documents du dossier une étude enthousiaste des débuts du réseau, à la fin d'un long exposé sur le projet ILLIAC IV dans son ensemble. Compte tenu des vicissitudes qui ont entouré ce projet, et de la politisation délibérée par des éléments gauchistes de son installation à Ames, il était intéressant d'analyser l'usage fait de cette machine par la communauté scientifique américaine. L'enquête a été menée en 1981 et a obtenu 53 réponses utilisables, d'où il ressort que:

- 1) contrairement aux allégations des antimilitaristes, la machine a été bien acceptée par la communauté .
- 2) elle a été utilisée sur un large éventail d'applications
- 3) les usagers ont construit leurs programmes pour contourner un réel problème, celui de l'engorgement de la liaison entre le calculateur et la mémoire de réserve.
- 4) le langage de haut niveau disponible est souvent inefficace au point d'obliger à programmer en assembleur. Le langage en cause est CFD pour 18 usagers, GLYPNIR pour 16, IVTRAN pour 12, et ASK, l'assembleur, pour 16.

Sur 53 programmes menés à bien, 10 sont écrits en pur ASK, et les autres contiennent souvent de l'ASK.. Ces programmes sont de longueur très variable, de 100 à 20000 lignes de code, mais la plupart sont longs de moins de 2000 lignes (32) . Les 19 programmes qui n'ont pas utilisé ASK n'avaient pas besoin de la mémoire de réserve. Réaction générale : la programmation de ce type de machine est contraignante parce que les parallélismes doivent être trouvés par les programmeurs, et qu'en outre il est restrictif (maxi 64 vecteurs). Ce genre de réaction, venant de chercheurs motivés, explique pourquoi les calculateurs parallèles ont si complètement échoué malgré l'engouement des théoriciens.

Le programme Plato a été entrepris en 1963 sur le calculateur ILLIAC de l'Université. Son objectif est de définir un terminal d'enseignement interactif, en même

temps qu'une philosophie de l'autoenseignement par ordinateur et les logiciels nécessaires à sa mise en oeuvre (langage TUTOR, plus tard mis à jour sous le nom de KAIL). Par le simple fait de la faible capacité du support, PLATO I ne concernait qu'un seul poste de travail, et le programme PLATO II qui vise à servir plusieurs étudiants simultanément reste modeste et lent. Voir à ce sujet un petit article sur Plato II dans la fiche ILLIAC. Le langage d'enseignement de Plato II est CATO, du à D. Bitzer, évoqué dans le microfilm SIGPLAN 9 / 72 p 5.

Le système Plato III sera en service à l' Université, avec une vingtaine de terminaux, en 1970, sur une machine plus récente et avec des terminaux spécialement conçus. A cette date, un Plato IV, capable de fournir des images en couleur sur 4000 terminaux, est à l'étude pour aboutir en 1975. On trouvera en 257-337/50 une application ouverte au public fonctionnant sur Plato III, et en 261-169/73 une tentative d'extension à l'enseignement secondaire.

Le programme a commencé à intéresser Control Data lorsque l'université a installé un 6600, et en 1976 Control Data en a fait un produit commercial, proposé sur tous les 6600 avec le support de tout le logiciel de base de cette machine.

A cette époque, les terminaux 12000 mis au point par l'université sont produits par Magnavox. L'écran est une matrice de 512 * 512 cellules à plasma, mesurant 8,5" (216 mm) au carré, ce qui permet d'afficher 32 lignes de 65 caractères. Le clavier offre un choix de 126 caractères, plus 126 autres redéfinissables. La matrice est transparente, ce qui permet de projeter par l'arrière une sélection de 256 diapositives, avec accès

en 0,3 seconde. En option, on peut aussi installer un préécran à 8 * 8 cases sélectionnables à la main, grâce à deux jeux de 8 faisceaux infrarouge orthogonaux. Un logiciel Tutor, comportant 200 ordres, peut aussi être fourni à l'usage des professeurs, qui peuvent composer leurs leçons interactivement.

Le CSX 1 est une petite machine 16 bits, construite en 1964 pour des expériences d'intelligence artificielle. Nous possédons une brève description et un article assez long décrivant un travail de thèse exécuté sur cette machine, et concernant l'autodiagnostic.

En dehors de ces travaux matériels, qui l'ont occupée longuement et ont fait sa notoriété, l'Université d'Illinois s'est intéressée à des travaux logiciels, plus apte à fournir des sujets de thèses. C'est ainsi qu'en 1969, après avoir organisé sur place un symposium sur les applications graphiques, elle a conduit plusieurs travaux sur cette discipline en plein développement, et réalisé un algorithme pratique pour l'apparition d'ombres sur les images 3D, avec éclairage par une source lumineuse ponctuelle déplaçable. Voir à ce sujet 254-1/10.

Il y a eu aussi un travail sur le concept du compilateur de compilateurs, avec une réalisation interprétative, pour démonstration. Ce programme était baptisé TACOS.

On peut aussi citer CLEOPATRA, un langage d'écriture de systèmes du à Schreiner, évoqué dans SIGPLAN 6/73 p 41 et 4/75 p 10. Sa notoriété ne paraît pas avoir dépassé la thèse de son auteur.

Illinois : Illinois Institute of Technology

Dans cet institut préoccupé essentiellement de pédagogie, le calculateur est une IBM 7040 et le langage mis à la disposition des étudiants est IITRAN, un langage algébrique allégé inspiré par Fortran. Voir allusions dans CACM 10/69 p 569 et 12/76 p 663, SIGPLAN Notices 9/72 p 7 et 11/78 p 71.

Indiana : Université Purdue à Lafayette

Cette université semble avoir hésité longuement avant de se décider à installer un système de temps partagé, probablement parce qu'elle ne disposait pas d'un laboratoire capable de le construire. Le choix portait sur une 360/67, et les difficultés logicielles de cette machine ont du décourager l'université qui, en 1967, annule sa commande et installe un CDC 6500, cad un double 6400 avec 64 Kmots de mémoire principale et 128 Kmots d'extension, et un petit nombre de périphériques locaux.

L'exploitation se faisait semble-t'il principalement à distance, à travers 4 terminaux lourds 360/20, 32 télétypes, 8 petits écrans et un grand écran graphique avec light pen., dans le cadre d'un Indiana Regional Computer Network partiellement financé par la NSF. La 7094 qui équipait auparavant le centre de calcul, sans doute achetée, est devenue un concentrateur/diffuseur pour une cinquantaine de consoles, préparant sur disque une file d'entrée des travaux et recevant de la 6500 une file de sortie par la même voie : c'est PROCYSY = Purdue Remote On-line Console SYstem.

Le système d'exploitation MACE est un dérivé du système Chippewa d'origine, et sa réalisation par l'Université a été soutenue par Control Data, qui reconnaissait les insuffisances de son propre système. Voir en 255-89/96 la description du centre de calcul et du rôle de MACE, notamment en relation avec l'ECS. L'appréciation finale "les statistiques montrent que MACE est plus efficient que son prédécesseur" est étonnamment molle et suggère quelques déceptions.

L'université a essayé de s'intéresser aux problèmes de langage, à partir d'un exposé fait par Aiken en 1969, décrivant une Aiken Dynamic Algebra. Un ancien élève d'Aiken à Harvard a développé à partir de là cette algèbre en un langage qui rappelle APL, avec cependant une grande modestie dans le nombre d'opérateurs. Une étude de 1973, décrite dans l'article suivant :

SCHUTTE (L. J.) - A report on the value of some advanced high level languages operators on current sequential computers, in SIGPLAN Notices, Vol 8 N° 11, 11/73, pp 117/123
tendrait à démontrer qu'il y aurait avantage à microprogrammer cette algèbre sur les IBM S/360 ou sur la 1130, sous l'angle des performances. Il est clair qu'il y a beaucoup d'autres aspects à prendre en considération, mais Purdue n'a pas essayé de le faire. Voir document 232.

Il y a eu également un effort orienté vers Algol 68, mais sans intention semble-t'il de réaliser un compilateur. Le but paraît avoir été de trouver une grammaire décrivant les concepts les plus originaux du langage, notamment celui d'union. Voir 254 - 493 / 505. Dans le domaine mathématique-informatique, l'Université est à l'origine du programme NAPSS, soutenu par la NSF, mais aussi par les constructeurs IBM et CDC : il s'agit de

construire une collection de polyalgorithmes pour la résolution des grands problèmes mathématiques usuels, comme les équations différentielles, linéaires ou non, ou les systèmes d'équations à optimiser. Voir 253-179, 254 - 157/64 .

En mai 1976, l'université se dote d'un AARL, Advanced Automation Research Laboratory, construit autour d'un PDP 11 / 45 relié au 6500, pour l'étude des communications homme / machine à travers la compréhension de la voix, l'analyse des images, l'analyse tridimensionnelle de scènes. On trouvera un article à ce sujet au dossier.

L'université a fini par mettre en place, à une date indéterminée, une School of Electrical Engineering, qui commence par essayer d'attirer l'attention des sponsors en publiant des études papier. Citons

REEVES (A. P.) - A systematically designed binary array processor,
in TIEEE, C29, N° 4, 4 / 80, pp 278 / 87

qui décrit une structure matricielle de processeurs, destinée au traitement d'image. Succès : sur financement de l'Air Force et sous la surveillance scientifique du RADC, l'école se lance dans l'étude d'un processeur de traitement d'images à architecture parallèle, construit à base de microprocesseurs avec une organisation SIMD; il est baptisé PASM, PARTitionnable SIMD / MIMD processor.

Le thème évoque ILLIAC III et l'étude elle-même fait constamment référence à ILLIAC IV, mais en réalité il s'agit seulement d'un projet, conduit par quatre élèves de l'école autour de deux professeurs. Les commentaires et les notes de bas de page ne permettent pas de dire si le contrat, qui est signé avec l'Université du Michigan et non avec Purdue, prévoit d'aller plus loin : on peut imaginer que UM, titulaire, a sous-traité une fraction de l'étude à Purdue, insuffisamment connue de l'ARPA et du RADC pour obtenir une étude en propre.

Autre thème d'étude susceptible d'obtenir le soutien de la DARPA : l'arséniure de gallium. En 1984, un projet architectural prend corps à Purdue. Il s'agit de définir une architecture de microprocesseur en AsGa qui facilite l'exécution directe de langages de haut niveau. Dans ce concept baptisé VM pour Vertical Migration, le calcul est rapide parce qu'exécuté sur AsGa mais l'obtention des opérands est beaucoup plus lent parce que nécessairement externe, à une époque où les mémoires sont encore lentes. Il est donc intéressant de multiplier les unités arithmétiques et de les commander à partir de microinstructions de haut niveau assez globales. On s'aperçoit que le facteur essentiel est une mémoire de registres permettant de nombreux accès simultanés, ce qu'en réalité on savait depuis longtemps (CDC 6600).

Aussi bien, les progrès très rapides du CMOS rendront assez vite inutiles ces efforts sur l' AsGa .

Iowa : Université d'Iowa à Ames

Cette université d'une région agricole n'est a priori pas particulièrement concernée par l'informatique, mais elle a tenu à se doter d'un ordinateur dès l'apparition de cette technologie : son CYCLONE est une copie d'ILLIAC, construite sur place mais avec les plans et conseils de l' Université d'Illinois.

Après cet exploit, il n'y a guère d'informatique à signaler en Iowa: voir DIAN, système de simulation continue

Maryland : Université John Hopkins à Silver Spring, Maryland

A la différence de beaucoup d'autres, cette université s'exprime assez peu dans les congrès, et en général pour des contributions plus sociologiques que directement techniques. C'est probablement qu'elle n'a pas réellement besoin d'argent, peut-être aussi que les sciences ne sont pas sa préoccupation principale.

Cependant, nous disposons d'un article qui contredit cette impression:

TOSSMAN (B. E.), WILLIAMS (C. E.), BROWN (N. K.) - SIMCON, an advancement in the simulation of physical systems, in AFIPS Vol 37, Proceedings of the FJCC 1970, pp 399/405.

Le système décrit fonctionne sur la 360/91 de l' Université, une machine assez inusuelle indiquant de larges ressources.. Le langage DSL/91 qui sert à poser les problèmes est un langage non procédural qui permet de mélanger les diagrammes de blocs et les équations en Fortran. Une interface hybride IBM 1827 fournit huit sorties 13 bits vers des enregistreurs divers et un codeur/multiplexeur 14 bits pour 16 voies d'entrées, tout en assurant la connexion d'une console de commande baptisée SIMCON. Cette console est ce qui reste d'un travail de simulation conduit par Harry Belock Associates sur une IBM 360/44, en sous-traitance d'un contrat militaire de l' Applied Physical Laboratory . Et il semble bien que l' APL soit le principal utilisateur du système SIMCON deuxième manière, qu'il a utilisé à l'occasion de contrats de Goddard pour les satellites Oscar, et de l' US Navy pour les satellites de navigation TRIAD. Ce qui explique d'où l' Université tire ses ressources.

Maryland : Université du Maryland à College Park, Md

Pour ce que nous en connaissons, l'activité de recherche informatique de cette université est orientée vers le logiciel, pour lequel elle a disposé à plusieurs reprises de soutiens financiers, NSF ou ONR, plutôt que de véritables contrats. Citons quelques articles de cette catégorie :

BLOOM (H. M.) - Structure of a direct high-level language processor, SIGPLAN Notices, Vol 8 N° 11, 11 / 73, pp 70 / 80, proceedings d'un symposium spécialisé.

Cette première étude est assez directement tournée vers les problèmes d'architecture, et s'efforce de bien séparer les problèmes linguistiques des problèmes matériels.

BASIL (V. R.), TURNER (A. J.) - A hierarchical machine model for the semantics of programming languages, in SIGPLAN Notices, Vol 8 N° 11, 11 / 73, pp 152 / 164.

Cet article montre une préoccupation plus profonde et plus ancienne puisque les crédits externes affectés à l'étude remontent à 1967, bien que la plupart des publications soient postérieures. Cette idée est qu'au moment où l'on prend conscience du besoin d'un nouveau langage, il est possible d'exprimer dans des graphes les relations entre les diverses structures de données qu'il s'agit de manipuler et les manipulations elles-mêmes,

et que ce travail fait, la synthèse d'une grammaire structurée est assez facile. Le langage SIMPL-X dont la syntaxe est décrite est capable de ce travail.

Sur un thème voisin, l'université a produit en 1973 FGRAAL, un langage de manipulation de graphes, référencé dans CACM 12 / 76 p 661 - SIGPLAN Notices 11 / 74 p 24 et 11 / 78 p 68 .

Maryland : Supercomputing Research Center, Bowie, Md

Ce centre semble avoir été créé en 1987, avec une importante participation de la DARPA et l'objectif d'approfondir sérieusement la question du calcul massivement parallèle. Nous disposons de deux articles sur ce thème, correspondant à des réalisations concrètes :

Splash est un réseau systolique linéaire de 32 éléments, entrepris en 1988 pour traiter la recherche de similitudes dans les chaînes d'ADN. Par rapport aux réalisations antérieures de cette catégorie, Splash présente la particularité d'être reprogrammable à travers un FPGA Xilinx. Un article de la revue IEEE Computer, 1 / 91, décrit cette étude. Voir en boîte 138.

En 1995, une autre étude se propose de définir une structure susceptible de permettre des travaux SIMD au sein d'un ordinateur plus classique, exactement ce que fait à la même époque le répertoire MMX de Intel. La méthode choisie consiste dans la définition de PIM, une puce de mémoire de 2K * 64 bits construite de manière à permettre, lors de la lecture d'un mot de 64 bits, un traitement parallèle dans 64 processeurs très simples ; les auteurs ont validé leur concept en équipant avec leur puce une fraction de la mémoire de quelques Sun Sparcstations 2, rebaptisées Terasys. Voir article en boîte 138.

L'idée d'introduire la puce PIM dans la mémoire d'un Cray 3 est morte avec le projet et son auteur.

Massachusetts : université de Harvard à Cambridge, Mass.

Cet état de la côte Nord Est, qui figure parmi les fondateurs de la nation, est resté l'un des plus intellectuels des USA. L'Université de Harvard, dans la ville de Cambridge proche de Boston, est la plus ancienne du pays (1638), et touche à toutes les connaissances humaines.

En 1939, alors que le monde entrait en guerre, le professeur Howard Aiken de cette université proposa à la Marine, qui entreprenait un gigantesque réarmement, la construction d'une machine à calculer scientifique numérique, par opposition à la technique du moment qui était analogique. Dans ce projet, seule l'ambition est grandiose, mais il faut bien reconnaître après coup que le projet n'apporte aucun progrès technique : Aiken est célébré par son université, par la communauté informaticienne et par la Marine comme un fondateur, mais les vrais créateurs sont ailleurs. Cela dit, il fallait oser et réussir, et peut-être cela suffit-il à faire d'Aiken un grand homme.

La machine Mk I de Harvard, ou Automatic Sequence Controlled Calculator, est mécanique, basée sur le principe des totalisateurs des tabultrices IBM, lesquels constituent une contribution officielle d'IBM au projet, par ailleurs financé par la Marine. Elle est donc décimale, avec des nombres de 23 chiffres + signe en complément à 9, et elle ne sait rien faire d'autre que des additions/soustractions. Sa mémoire se confond avec son unité arithmétique de 72 totalisateurs et son afficheur de 60 constantes, et sa source d'énergie est un moteur électrique de 4 CV, complétée par 25 Kw sous 50 volts pour une logique de commande comprenant 3000 relais. Elle travaille à la vitesse de 3 additions par seconde et par totalisateur, 6 secondes pour une multiplication et 11,4 secondes pour une division. Ces dernières opérations fonctionnent par additions ou soustractions successives et peuvent être considérées comme "cablées" puisqu'on peut les invoquer directement ; quatre interpolateurs calculent n'importe quelle fonction à partir d'une formule de Taylor et d'une table de coefficients, en exécutant des sous-programmes préparés sur des boucles de bande perforée, avec des temps de calcul atteignant la minute. La machine peut être considérée comme parallèle concurrente puisque tous ses opérateurs sont simultanés, mais les limites de cette simultanéité sont vite atteintes puisque le multiplieur et le diviseur sont uniques, et que les interpolateurs les utilisent.

La programmation se fait par des bandes perforées de 24 trous, représentant en binaire des instructions à deux adresses. L'exécution est asynchrone, en ce sens que les instructions sont lancées sans attendre la fin de celles qui les précèdent, mais il n'y a pas de contrôle de la disponibilité des opérandes: le programmeur doit connaître le timing des opérateurs et, le cas échéant, prévoir dans l'instruction un ordre d'attente (absence du bit de poids 64 dans le code opération). Le cycle de base, qui correspond au calcul d'une somme sur 23 chiffres dans un totalisateur avec propagation des retenues, dure 330 ms et comprend 16 étapes. Les périphériques, lecteurs de cartes et imprimantes, sont programmés par tableaux ; le programme se contente de les activer et de leur fournir un opérande.

Il n'existe pas de rupture de séquence : on peut itérer un programme en fermant sa bande en boucle, ou l'arrêter. La rupture de séquence est manuelle et consiste à changer la bande, ou simplement sa position.

L'architecture, on le voit, ne permet de traiter qu'un problème à la fois, et il faut prévoir un temps considérable pour les affichages préalables : constantes, positions de la virgule, préaffichage des divers opérateurs, mise en place des bandes.

La machine a été terminée en 1944 et immédiatement exploitée sur des programmes de test, comme un nouveau jouet. Après deux ans d'exploitation, elle a été transférée au Bureau of Ordnance de la Marine, très probablement sans déplacement physique. Son extrême lenteur a conduit à étudier en 1950 un nouveau multiplieur, purement électronique, capable d'un produit par cycle, mais il manquait de fiabilité. On ignore la date de l'abandon de la Mk I, toujours en service en 1953.

Dès 1945 Aiken entreprend la construction d'une deuxième machine, qu'en fait il étudie depuis un an, et il choisit la technologie à relais. Après coup, cela semble un

choix bizarre alors que se construit l'ENIAC, mais il faut remarquer à la défense d'Aiken que :

- le choix est probablement celui de son client, le Dahlgren Proving Ground de la Marine, qui veut se trouver au même niveau que l' Aberdeen Proving Ground de l' Armée.

- le rapport Von Neuman n'est pas encore sorti, et tout le monde ne peut avoir le génie de ce Maître.

Bref la Mk II, souvent appelée simplement Aiken Relay Computer, n'est qu'une reprise des concepts inventés par Stibitz, avec contrôle par duplication de l'unité de calcul, et possibilité de partition.

Avec la Mk III, également construite pour Dahlgren, Aiken aborde les machines à programme enregistré, et il choisit comme mémoire un tambour magnétique, solution certainement plus fiable que celle des tubes électrostatiques. Il ne peut plus dire qu'il ignore le rapport Von Neuman, et c'est délibérément qu'il choisit de séparer son tambour en trois parties non communicantes : programme, variables, constantes, avec des tailles différentes pour les unes et les autres. Ainsi il est légitime de nommer "architecture Harvard" ce choix qui refuse de mélanger les instructions avec les nombres, et qui s'interdit de ce fait toute programmation ; après tout, les soviétiques ont fait le même choix (erroné !).

La Mk IV, pour laquelle Aiken a obtenu un soutien financier de l' USAF sous couvert de recherche, est enfin destinée à l' Université, mais Aiken persiste et signe : la mémoire à tambour partitionnée en ordres et données non communicantes reçoit ses programmes directement à partir d'une bande perforée, le bloc de calcul est toujours décimal, les opérateurs sont indépendants et simultanés pour gagner le temps qu'une technologie très prudente ne donne pas, et il n'y a aucun logiciel.

Malgré ce handicap dont l'importance ne peut pas encore être perçue en 1951 quand la machine est en construction, il existera une copie de la Mk IV en Allemagne, à la Technische Hochschule de Darmstadt.

Avec Aiken et ces quatre machines, l' Université de Harvard a bien mérité de l' informatique, en tous cas elle le pense. Cependant, et pour un bon moment, elle se borne à vivre sur cet acquis. Par la suite, elle s'équipe comme toutes les autres universités et son activité informatique n'attire pas particulièrement l'attention, puisque aussi bien le domaine de Harvard est plutôt les sciences sociales.

Les informaticiens de l' Université, travaillant en temps partagé sur un PDP 10, entreprennent néanmoins quelques "travaux d'Hercule" : tout d'abord, une réflexion un peu abstraite, définissant un langage interactif extensible baptisé PPL (allusions dans SIGPLAN 11 / 74 p 29 et 11 / 78 p 78, CACM 12 / 76 p 666, et dans le Computer Journal anglais, 2 / 75 p 39).

Ensuite, en 1971, la réalisation d'un système de programmation baptisé ECL, comprenant le compilateur d'un langage EL1 et un environnement (éditeur, bibliothèque), sur crédits USAF et ARPA ; il s'agit en fait du premier pas vers la création d'un laboratoire voué à la programmation automatique. Un article 258-11/21 expose les objectifs de la nouvelle

structure, et l'article 260-905/15 s'efforce d'en démontrer le succès. Le thème est aussi évoqué dans CACM 9 / 75 p 507 et dans SIGPLAN Notices 12 / 71 pp 26, 87, 104, 129. L'université dispose par ailleurs d'une 360 / 65 pour tous les besoins de l'enseignement et d'une 360 / 30 pour la gestion. Le remplacement de ces machines donne lieu, dans 257-541/7, à un exercice délirant de "planning" qui surprend de la part d'un organisme aussi respectable.

Massachussets : MIT, Massachussets Institute of Technology. Voir à la rubrique 406 les travaux de cette très célèbre université technique, et à la rubrique 364 ceux du Lincoln Laboratory, l'organisme de recherche que le MIT a mis en place pour les besoins des militaires pendant et après la guerre. On trouvera en boîte 86 un article issu du Charles Stark Draper Labo, installé à Cambridge et presque certainement né du Lincoln et du MIT.

Massachussets : université de Boston à Boston, Mass.

De cette université rarement rencontrée dans nos documents, on peut citer un important effort pédagogique, réalisé autour d'un système graphique multiterminaux combinant un calculateur numérique PDP 9 et un calculateur analogique AD 40. Baptisé AID, ce système présente des animations réalisées par le PDP 9 autour des calculs exécutés par le calculateur analogique. Voir 258-453/60 .

Michigan : Université du Michigan à Ann Harbor

A la différence de beaucoup d'autres, cette université a choisi de créer sa propre machine en utilisant la technologie de SEAC, la machine d'Alexander au NBS. MIDAC a donc été une machine série à logique dynamique, avec mémoire à lignes à retard à mercure ; elle a été construite par les personnels du Centre de recherche, qui ont gardé les mots de 45 bits et les instructions à 3 adresses ; le financement est venu de l' USAF, à travers le WADC.

Puisque cette technologie est très peu contraignante au plan architectural, les auteurs se sont rapidement penchés sur le logiciel, créant d'abord des interpréteurs comme MAGIC et EASIAC.

Dès l'année suivante, profitant de l'expérience acquise avec la technologie, les chercheurs construisent pour l' Université une seconde machine, MIDSAC, présentée comme destinée à expérimenter le travail en temps réel. Cette machine ne figure dans aucun document militaire et on ignore où l'université est allée chercher le financement. Nous n'avons rien non plus sur le logiciel ni les applications.

L'architecture reste à trois adresses, mais la mémoire est de type Williams électrostatique, à peine renforcée par un petit tambour, et la circulation de l'information dynamique se fait sur 4 fils, accélérant notablement les calculs à fréquence inchangée de la base de temps, soit 1 MHz. MIDSAC rejoint ainsi les performances de l' IBM 701, sa contemporaine, sans pouvoir l'égaliser faute d'un logiciel suffisant.

Les limites de toutes ces machines étant évidentes, principalement à cause de mémoires trop petites, l' Université s'équipe d'une 704 dès que ces calculateurs commerciaux apparaissent, et c'est sur cette machine que fut créé MAD, une variante d' Algol 58 destinée aux travaux de recherche locaux ; MAD était avant tout un outil pratique, dépourvu de la rigueur théorique qui fit un peu plus tard le succès d' Algol 60, et sa notoriété ne s'étendit pas beaucoup au delà de son domaine de création. Son intérêt principal, pour l'histoire de l' informatique, est d'avoir permis à Denning de mener à bien, en liaison avec IBM, son étude sur la mémoire virtuelle, qui s'est ensuite transformée en outil doctrinal et a, dans un premier temps, donné naissance à la 360 / 67.

La 67 est livrée à l' Université au début de l'année 1967, et l'université se propose d'utiliser le système TSS/360. Mais l'echec officiel de celui-ci oblige à une décision : à l'été 67, l'université installe sur sa machine le logiciel MTS, un petit système de temps partagé étudié depuis un an sur 360/50. Bien entendu, il fallait tout changer, à la fois pour répondre aux besoins quantitatifs du campus et pour utiliser la mémoire virtuelle. Ce sera une complète réussite pratique, même si la notoriété de MTS n'atteint pas celle de TSS ou celle de CP/CMS, simplement faute de publicité ; MTS sera mis au service des universités voisines disposant de 67, offrant pas moins de 18 langages à 20000 usagers. Voir 258-585/91.

En 1972, l' Université du Michigan a organisé avec ses voisines, 4 en tout, un réseau MERIT de services de calcul, qui interconnecte, sous la surveillance d'un PDP 11, les équipements des participants, à savoir un CDC 6500 et deux 360 / 67, ces dernières se partageant 4 mémoires de 256 KB, deux ensembles 2314 à deux accès, 80 télétypes, 5 terminaux lourds et quelques consoles graphiques 2250. Mais, constate-t'on, MERIT reste en dehors de l' ARPAnet au moins jusqu'en 1973, ce qui signifie forcément qu'il n'a plus, à cette époque, de contrats DARPA. Le réseau n'a cessé de grandir depuis, et réunit 8 CPU en 1983.

A partir de l'installation de la 67, l'université se préoccupe plus particulièrement de mettre cet outil au service d'étudiants autres que ceux d'informatique.

FOIL est un système de temps partagé pédagogique créé pour la 67, capable de poser des questions, de changer de page sous condition, et d'effectuer des calculs dirigés (assez simples). Ce FOIL, en partie soutenu par Univac, a pu ensuite être transporté sur 1108 au profit de l' Université du Maryland ; voir références de catalogue dans CACM 12 / 76 p 661 et dans SIGPLAN Notices 9 / 72 p 6 et 11 / 78 p 69.

CDL est un langage de description de circuits, évoqué par les citations de diverses revues :

Computer IEEE 12/ 74 p 31

Transaction de l' IEEE, C24, 2 / 75 p 137

CACM 12 / 76 p 659

SIGPLAN 11 / 78 p 63.

En parallèle avec son activité de machines et de logiciel, l'équipe informatique n'a pas hésité, dans les années 60, à s'impliquer dans la technologie. Rosin, qui était alors à Ann Arbor, y avait accepté un contrat de l'USAF pour une mémoire associative à base de cryotrons, décrite en 228-40. Comme IBM était au même moment intéressée également aux mémoires associatives, Rosin a effectué une part du travail à Yorktown Heights, dans le cadre du projet Lightning du BuShip. Beaucoup plus tard (1990), nous trouvons à l' Université du Michigan une étude architecturale de supercalculateur, financée par la DARPA et la recherche de l' US Army, avec la participation d'un ingénieur de Vitesse Semiconductors du fait de l'emploi potentiel du GaAs. Il est impressionnant de constater que, moins de dix ans plus tard, une machine ayant toutes les caractéristiques de ce projet, mais quatre fois plus rapide, était réalisée en grande série à un prix populaire sous la forme d'un simple microprocesseur, et sans recourir à l'arséniure de gallium.

Michigan State University à East Lansing, Michigan

Cette université s'équipe en 1957 avec MISTIC, MICHigan STate Integral Computer, directement inspiré par ILLIAC, une machine dont le destin nous est inconnu. On a des raisons de penser que cette université et la précédente coopèrent régulièrement, étant toutes deux participantes à MERIT, et réalisant parfois des études en commun.

Par exemple, on trouvera dans FJCC 1966, p 613, la description d'un travail mixte consistant dans l'édification d'un générateur de traducteurs, AMOS. Le but est de permettre la construction rapide de langages spécifiques, en vue de tester leur emploi in vivo. AMOS fonctionne sur CDC 3600 depuis 10 / 65.

Le laboratoire de physique de l'université s'équipe en janvier 67 d'un ordinateur SDS Sigma 7 pour l'exploitation de son cyclotron. Ce sera l'occasion pour l'université d'édifier, avec le soutien de la NSF, un système de temps partagé imbriqué avec le temps réel sur un fond de batch, comme en disposaient déjà à la même époque le GE 635 et l'U 1108 ; ce système d'exploitation Janus est décrit en 250-1033/42.

Minnesota : Université du Minnesota à Minneapolis

On peut citer un travail effectué pour le compte et avec l'appui financier de la société Convair (Astronautics), division de la General Dynamics Corporation. Le but est de transformer un énoncé analogique, exprimant un système d'équations différentielles affiché sur un système PACE d' Electronic Associates, en programme Fortran. C'est assez symptomatique d'une époque où le ordinateur numérique était encore largement ignoré et peu enseigné. Voir 235-92.

Mississippi : Mississippi State University à Starkville, Mi

Cette université rarement représentée dans les congrès s'est associée avec l' Université de Houston au Texas pour édifier, sur contrat THEMIS de l' ONR, le système

OSSL de simulation discrète d'ordinateurs et de leur système d'exploitation. Voir 256 - 799 / 814 .

Missouri : Université du Missouri à Rolla

Parmi de multiples publications, on peut citer un travail sur la simulation d'ordinateurs, d'après un article de la revue Computer IEEE, 6 / 77, pp 35 / 41. Il s'agit de Flowware, un système de description graphique de schémas logiques d'ordinateurs, attaquant interactivement un compilateur / simulateur baptisé IDDAP.

Missouri : Université Washington à St Louis, Mo

Cette université s'est lancée , en 1967 et sur contrat ARPA, dans une étude architecturale apparemment un peu dépassée déjà par la technologie, mais encore très valable au plan pédagogique : définir des modules fonctionnels représentant chaque partie notable d'un ordinateur, et construire une sorte de meccano informatique dont les constituants sont interconnectés par câbles volants.

Le projet a eu droit à une place exceptionnelle dans la SJCC 1967, avec pas moins de six articles sur les aspects fonctionnels, logiques, technologiques, la simulation sur 360/50, le langage de programmation, et finalement une application des macromodules du programme.

Nebraska : Université du Nebraska à Lincoln

Cette université est équipée en 1970 d'une 360 / 65 qui fournit des services de batch et de temps partagé sur des terminaux fournis par Bunker Ramo. Le laboratoire de chimie a été équipé de multiples minicalculateurs Varian 620 i, un par expérience, disposant de logiciels que l'on retrouve à l' Université d' Oregon.

New Hampshire : Dartmouth College, Hanover, NH

Cette institution est devenue célèbre pour avoir édifié en 1965, à l'intention de l'enseignement, un système de temps partagé autour d'un calculateur GE 235 de 16 KB doté normalement de LC, PC, IP, bandes, et surtout d'un Datanet 30 de 16 KB, supportant 40 terminaux locaux et des liaisons téléphoniques. La mémoire de masse est un tambour magnétique de 18 Mcar.

Le logiciel conçu à cet effet par les professeurs du collège comprend un superviseur de 4 KB dans le Datanet, un interpréteur BASIC interactif et un compilateur Algol dans le CPU.

La grande invention est le BASIC, langage qui se présente comme une simplification du Fortran, avec notamment le verbe LET qui ramène l'instruction d'assignation à la norme des autres instructions, là où le Fortran en fait un cas particulier. La démonstration que ce langage simple et accessible à tous pouvait fonctionner en mode interactif a réellement ouvert le temps partagé, technique mise au point aux frais de l' ARPA avec le CTSS mais encore classée "recherche", à la clientèle populaire des écoles.

Le collège a diffusé sa solution au monde entier à travers GE, qui a décidé de commercialiser un système de time sharing à base de 235, mais n'a pas cherché à se transformer en pôle de recherche, ce que sans doute lui interdisait son statut de collègue. Par contre, il a étoffé son équipement : dès 1967, le collège était doté d'un GE 625 avec 200 terminaux.

On trouvera en 251-673/89 trois articles dans lesquels le collège exprime quelque amertume à la suite du succès de son Basic, et insiste pour dire que :

- non, le Basic n'est pas l'unique langage du collège.
- le système de temps partagé est très utilisé pour l'enseignement secondaire, et voici comment.
- il y a même de la recherche au collège, en particulier IMPRESS qui sert à l'éducation dans le domaine des sciences sociales et aux recherches des professeurs.

New Jersey : Université de Princeton

Cette université fondée en 1746 est célèbre et respectée, et regroupait dès avant la guerre 2500 élèves et de brillants professeurs, parmi lesquels le mathématicien John Von Neuman. Celui-ci, qui s'était mis à la disposition du gouvernement pendant les hostilités comme beaucoup de ses collègues, avait été affecté au projet ENIAC et s'était penché sur le problème plus général des calculateurs électroniques, au point de rédiger en 1944, avec deux collègues Burks et Goldstine, un rapport sur la question.

Ce rapport ne prétendait pas à l'universalité, se bornant à justifier chacune des solutions techniques qu'il proposait pour le prochain projet de machine à calculer, et on peut douter en le lisant que les auteurs aient eu la vision claire des implications de certaines de leurs solutions. Cependant, rendu public et largement diffusé d'université en université, il a progressivement pris le statut d'une charte posant des principes universels, à respecter impérativement par toute architecture non spécialisée. On peut citer :

- l'idée que le programme doit être enregistré, essentiellement pour que le bloc de commande ne retarde pas le bloc de calcul.
- l'emploi d'une mémoire commune pour les instructions et pour les données, manifestement suggéré par la difficulté technique et le prix élevé des mémoires, pas du tout par les perspectives encore inévaluées de la programmation.
- le choix de la représentation binaire des nombres, essentiellement à cause de l'abondance des phénomènes physiques où l'on sait discerner facilement deux états, alors qu'il n'y en a aucun à dix états.
- le choix d'une logique synchrone, parce qu'elle faciliterait considérablement les contrôles et les dépannages en permettant de figer une situation défectueuse.

Manifestement, ce n'est qu'après coup, à cause du succès de ces choix, y compris dans certaines de leurs conséquences lointaines et non prévues, que ces décisions ont été déclarées géniales, et que leur responsabilité a été résumée dans le nom du seul Von Neuman, déjà considéré comme exceptionnel avant la guerre.

La guerre terminée, Von Neuman retourne à Princeton et décide de concrétiser ses idées, en réalisant à l'Institute for Advanced Studies de l'Université la machine décrite

dans le rapport. Cette réalisation, qu'il a menée à bien, relativise considérablement les appréciations sur le rapport :

- le choix de la mémoire à Selectrons est un échec, qu'on a surmonté par une forte baisse de capacité par rapport aux ambitions initiales. Il est difficile de traiter des problèmes importants quand on doit faire tenir programme et données dans 1024 mots.

- la logique réalisée est asynchrone à couplage direct entre étages, parce que l'on souhaitait se débarrasser des condensateurs, pièce détachée jugée la moins fiable parmi les disponibilités de l'époque. La machine terminée aurait manifesté une disponibilité de 80% au départ, nettement moins par la suite ; la difficulté de dépannage des machines asynchrones pourrait être une cause de cet état de fait, choisi par l'équipe technique contre la volonté de Von Neuman.

Cependant, à l'époque, l'aurore de Von Neuman a suscité dans les universités une frénésie de copiage du modèle, quels qu'en soient les défauts objectifs : pas moins de 11 machines dans le monde ont été des copies directes de celle de l'IAS, et plus tard l'industriel Philco, avec un groupe d'ingénieurs issus de Princeton, a prolongé cette logique asynchrone pendant une dizaine d'années.

Il faut reconnaître, d'ailleurs, que Von Neuman était vraiment un génie, comme on le savait déjà avant guerre. A sa mort en 1957, on a trouvé dans ses papiers des réflexions sur des technologies nouvelles, susceptibles d'améliorer les performances ou la fiabilité des calculateurs. L'une d'elle concernait les oscillations paramétriques qui devaient permettre en principe, associées à des microondes porteuses, de considérables augmentations de fréquence de travail. La NSA et la compagnie RCA (dont le centre de recherche est à Princeton) ont estimé qu'il fallait creuser cette idée ; voir études 222-22, 222-20 et la synthèse 223-2. Entre temps, la technologie des circuits intégrés a tellement progressé qu'il n'a pas été nécessaire de recourir à cette solution assez complexe.

L'engouement passé, et Von Neuman disparu, l'Université de Princeton est revenue à ses habitudes, qui ne donnaient à l'informatique qu'un rôle de service. On trouve tout de même des communications très diverses de l'université dans les congrès, mais il s'agit d'applications plutôt que de progrès informatiques.

Par exemple, l'article 242 - 727 / 36 de 1965 décrit PROTRAN II, un langage composé pour les besoins d'études de psychologie, et dont la structure rappelle un peu COMIT. Le traducteur se compose de 58 routines, représentant environ 1000 lignes de Fortran II 7094 .

Il faut attendre 1985 pour trouver à Princeton une recherche informatique, financée par la NASA : un chercheur nommé Dan Nosenchuck cherche à améliorer le concept du Cosmic Cube inventé à Caltech, en modifiant le réseau.

Un noeud de ce dispositif se compose de 24 processeurs ECL 32 bits, du type AM29325 à 20 MHz, dont on peut tirer 480 MFlops en pointe, 400 en continu. L'objet de la recherche est le réseau Benes, qui doit relier deux entrées quelconques à deux sorties quelconques à chaque cycle. Pour 16 entrées et 16 sorties, ce réseau exige 56 carrefours, réalisés comme une matrice $8 * 7$ dont chaque point est une file de 32 registres de 32 bits. Il faut 7 CP pour fournir un opérande quelconque à un demandeur quelconque.

Le travail initial porte sur 4 noeuds, et le concept est extensible à 128 noeuds ; le contrat de 7 / 84 se monte à K\$ 750.

New Mexico : Université du New Mexico

Le langage MADCAP, universel et puissant, défini dans cette université, est présenté dans un article de SIGPLAN Notices de 12 / 84, pp 61 / 79, qui est rédigé comme un manuel de référence, et qui n'est accessible qu'en microfilm. Autre allusion dans SIGPLAN 3 / 86 p 21 .

New York : State University of New York (SUNY) à Buffalo

Cette Université s'est signalée dans les années 60 par des études sur l'arithmétique des ordinateurs, en procédant à des modifications sur une 7090 pour introduire dans la représentation en virgule flottante un champ de signification. Théoriquement d'un réel intérêt, cette solution présentait l'inconvénient que l'algorithme déterminant le contenu du champ n'était qu'approximatif, de sorte qu'il fallait conserver la borne basse, pessimiste, et qu'au bout d'un certain nombre de calculs, la signification apparaissait - prématurément - nulle. Dès la 7094, les usagers des machines préféraient se prémunir contre ce risque en calculant en double précision, plutôt que de réduire la précision de leurs représentations et découvrir faussement que leur variable était dépourvue de signification.

En 1973, le projet MU est dirigé semble-t'il par Rosin, un spécialiste de la microprogrammation. Il s'agit de construire un émulateur universel à deux niveaux de microprogrammation, afin de simuler notamment des structures pour mémoire virtuelle : algorithme de remplacement, protection de mémoire, gestion des interruptions. On peut soupçonner un soutien d' IBM.

En 1978, un autre projet de SUNY consiste en la création d'un réseau de 16 LSI 11, MicroNet, dont un système d'exploitation expérimental MicroOS mettait en commun les ressources. Voir fiche.

New York : Université de Columbia

L'Université de Columbia, fondée en 1754, est un énorme établissement qui, dès avant la guerre, ouvrait son campus à 17000 étudiants.

IBM, société dont le siège social est dans l'Etat de New York, établit ses premières relations avec l' Université, dès la fin de la guerre, en construisant un PSRC, Pluggable Sequence Relay Computer, copie de celui d' Aberdeen, avec entrées / sorties par cartes et programmation par tableau enfichable, qu'elle installe dans un laboratoire de l' Université de Columbia, confié à Eckert, enlevé à Univac après que cette compagnie ait acheté la firme Eckert-Mauchly qu'il avait fondé.

Cette machine n'y fera, semble-t'il, qu'un bref séjour, avant d'être remplacée par le SSCC, Sélective Séquence Controlled Calculator, le monumental premier calculateur de la compagnie.

Il faut bien reconnaître qu'après ce début marginal - le centre créé pour Eckert ne fera guère parler de lui - l'université de Columbia ne s'exprime pas beaucoup en

informatique, d'autant plus que l'effort d'IBM se détourne vers le Lincoln Laboratory et vers ses travaux en propre à Yorktown Heights.

Le seul projet que nous connaissions à Columbia est un processeur parallèle étudié pour la physique des particules, Commission de l'Énergie Atomique, et décrit par l'article :

CHRIST (N. H.), TERRANO (A. E.) - A very fast parallel processor, in TIEEE, C33, 4/84, pp 344 sq

Voir fiche classée Université de Columbia.

Dans le domaine logiciel, voir l'article :

KLERER (M.), MAY (J.) - Two dimensional programming, in FLCC 65 pp 63/75, référence 242-63, qui décrit une expérience de traducteur acceptant comme données des équations algébriques rédigées avec les formalismes manuels les plus inadaptés à une lecture séquentielle : signe d'intégration, symboles Sigma de cumul additif et Pi de cumul multiplicatif, grandes parenthèses, fractions répétées, etc...

La même étude, améliorée, est redécrite dans 246-675/87.

New York : Cornell University à Ithaca, NY

Cette université est connue principalement par le soutien intellectuel qu'elle apporte au Laboratoire d'Aéronautique installé sur le même site, dans le cadre bien rodé des coopérations entre les établissements d'enseignement et les laboratoires d'Etat.

Elle a créé pour les besoins de l'enseignement un langage baptisé CORC, Cornell Computing language, simplification de Fortran et d'Algol conçu pour être pratique et facile à mettre en oeuvre par des débutants. L'article 240-15/34 qui le décrit souligne avec des chiffres que cet objectif a été atteint.

En 1967, il y aura aussi un CUPL, compilateur mathématique un peu plus ambitieux, inspiré par PL / I.

Dans les années 60, la principale recherche à Cornell est celle de G. Salton, concernant les méthodes documentaires dont il deviendra l'expert reconnu, peut-être surtout à cause de ses efforts répétés de publication. Le premier système de Salton (SMART) date de 1965. Voir par exemple 251-435/46.

Les travaux de manipulation de symboles ne sont pas ignorés, et l'Université se fabrique un système de programmation LISP, le CLP, Cornell LISP Processor.

En matière de recherche, nous citerons une étude (Horwitz - Teitelbaum, 1986), soutenue par la NSF, où la préoccupation d'édition s'appuie sur une organisation des concepts selon les principes d'une base de données relationnelle. Voir 235 - 579 / 608.

New York : University of Rochester

De cette université nous ne connaissons qu'un travail de recherche, entrepris en 1980 et rapporté par SiGMicro : il s'agit de construire un compilateur qui délivre directement, à partir d'un langage de haut niveau, en l'occurrence SPL (un langage d'écriture de système), du microcode pour un ordinateur microprogrammé. L'ordinateur choisi est un Xerox Alto, un prédécesseur du Mac de Apple.

L'université est aussi impliquée dans l'étude sur contrat d'un processeur parallèle, dont nous possédons un compte-rendu en boîte 138.

New York : Rensselaer Polytechnic Institute , à Troy, NY

Cette institution qui ne s'est pas autrement manifestée en informatique fait réaliser par deux étudiants (un coréen, un taiwanais) une étude de 3ème cycle, prélude à leur embauche par des sociétés américaines. L'originalité du cas est que le sponsor de ce travail est le Ministère de la Justice, par un contrat J-LEAA-014-78 de 1978, qui aboutit à une publication en 1982, alors que les intéressés sont tous deux embauchés ailleurs. L'étude, qui n'a donné lieu à aucune réalisation, ambitionne de construire un multiprocesseur à base de micoprocesseurs bon marché, et de démontrer que ce MIMD peut être organisé en arbre de façon efficace.

North Carolina : Research Triangle Park , NC

Trois importantes universités de Caroline du Nord ont décidé, par souci d'efficacité, d'organiser un centre de calcul commun dans le Parc de Recherche du Triangle, situé à une quinzaine de miles des trois parties prenantes :

- NCSU, North Carolina State University à Raleigh, la capitale. A 16 miles.
- Duke University à Durham, à 10 miles.
- University of North Carolina à Chapel Hill, à 14 miles.

qui représentent un total de 28000 étudiants. Cette initiative a été soutenue par un don de 1,5 M\$ en provenance de la National Science Foundation, qui a permis de construire une aile de 290 m2 dans le bâtiment du North Carolina Board of Sciences & Technology.

Mis en service en juin 1966, ce centre est doté d'une 360 / 75 avec 512 KB de mémoire principale, 2 MB de LCS , deux ensembles de 8 disques 2314 sur canaux distincts, plus 5 dérouleurs de bandes et des machines à cartes., le tout fonctionnant sous OS / 360 dont la fiabilité, à l'époque, laisse encore à désirer. Les divers compilateurs sont ceux d'IBM, à l'exception du WATFOR conversationnel et d'un package statistique créé à Duke, TSAR.

Quatre 2701 et 2703 permettent de collecter les messages des cinq principaux terminaux lourds qui collectent les batch des étudiants et gèrent en même temps leurs multiples terminaux conversationnels :

- une 360 / 30 à Duke
- une 360 / 40 et deux 1130 à NCSU
- une 360 / 40 à Chapel Hill

auxquels il faut ajouter quelque 80 télétypes 33 et IBM 1050 connectés par lignes commutées dans 35 collèges des environs à Asheville, Greensboro, Winston Salem, Wilmington, etc...

L'exposé présenté par D. N. Freeman à la SJCC 1968, et que l'on peut trouver dans AFIPS Conference Proceedings Vol 32, pp 229 / 43, est instructif par la franchise avec laquelle il souligne les problèmes du logiciel de cette époque, tout en insistant sur le soutien constant des ingénieurs d'IBM. Il est essentiellement consacré à la description

des solutions apportées par ces équipes et par celles du Centre pour remédier à ces graves défauts par l'édification d'un logiciel frontal, analogue à celui qui est devenu un peu plus tard le très officiel HASP.

Trois ans plus tard, un autre article dans FJCC 72, AFIPS Vol 41 part II, pp 899 / 904, décrit une installation gonflée qui collecte ses programmes dans tout l'état depuis quelque 50 établissements scolaires, vers un 370 / 165 doté de 2 MB de mémoire principale, avec 8 disques 3330 ajoutés aux 16 * 2314 conservés. Un 2701 gère les 360 / 40 de Duke et NCSU, qui communiquent à 40,8 Kbps, et un autre la ligne semblable du correspondant de Chapel Hill, qui est maintenant la 360 / 75 réaffectée (très allégée). Un contrôleur Memorex gère en outre 28 terminaux lourds à 2400 et 4800 bauds, ainsi que 64 lignes TTY à 110 bauds. Ce qui est le plus frappant est le changement de ton : désormais le centre fonctionne en OS/360-MVT avec HASP et n'a plus de problème, il est rentable et peut aisément prouver qu'il est en même temps avantageux pour ses mandants.

La finalité du TUCC est essentiellement pédagogique, mais on a trouvé trace de plusieurs recherches accomplies dans l'un ou l'autre de ses établissements . Les articles correspondants sont joints au dossier :

Capowski (J. J.) - The matrix transform processor , in TIEEE , C25, N° 7, 7 / 76, pp 703 / 12, décrit un processeur spécialisé réalisé à Chapel Hill, Department of Physiology, avec le soutien du Ministère de la Santé, pour permettre des rotations en 3D d'images présentées sur un système graphique Evans & Sutherland.

Heaton (R.), Blevins (D.), Davis (E.) - A bit serial VLSI array processing chip for image processing , in IEEE Journal of Solid State circuits, Vol 25 N° 2, 4 / 90, pp 364 / 7, décrit un travail fait en commun par NCSU et le nouveau Centre de microélectronique installé au Triangle Park, sur un contrat de l'établissement Goddard de la NASA. Il s'agissait de créer BLITZEN, une puce CMOS 1 μ de 1,1 Mtransistors, contenant 128 processeurs série ; en groupant 128 exemplaires de cette puce, on forme un processeur de traitement d'images capable de 450 MFlops. C'est une recherche qui a été menée jusqu' au produit fini et testé.

Watanabe (H.) , Dettloff (W. D.) , Yount (K. E.) - A VLSI fuzzy logic controller with reconfigurable, cascable architecture, in IEEE Journal of Solid State circuits, Vol 25 N° 2, 4 / 90, pp 376 / 821, décrit la réalisation au mêmes endroits d'une autre puce CMOS de 688 Ktransistors, destinée à la construction d'un système expert. Chaque puce peut contenir 102 règles.
Ohio : Case Institute of Technology, Cleveland

Cet établissement s'est équipé très tôt d'une calculatrice IBM 650 et, comme tous les utilisateurs de cette époque, s'est immédiatement impliqué dans la programmation, créant le compilateur Runcible pour le langage IT de Perlis, concurrent universitaire de Fortran. Il en a réalisé de multiples versions, adaptées à toutes les variantes de l'ordinateur, et les a largement diffusées dans l'association des usagers.

Il a également réalisé une version raffinée de l'assembleur 650, Case SOAP III, et un préprocesseur Fortruncible pour convertir le Fortran en IT.

Beaucoup plus tard, en 1967, l'Institut a défini FST, un langage de description et simulation de circuits, lointain préluce à VHDL.

Ohio : Case Western Reserve University à Cleveland, Ohio

Cette université peu connue profite cependant de la manne NSF, et nous citons pour l'évoquer une étude sur une forme particulière de langage pour l'interrogation de bases de données. Il s'agit d'éviter la formalisation, et de la remplacer par une rédaction plus intuitive, essentiellement l'insertion d'un exemple dans les cases d'un menu représentant les structures de la BD.

L'origine de ce concept se trouve chez IBM, qui a inventé Query-by-example en 1977.

L'étude n'est qu'un panorama de ce qui s'est fait dans ce domaine aux USA, à peine plus qu'une recherche bibliographique ; cependant les auteurs se sont efforcés de tester l'efficacité de ces langages en les faisant exploiter par des étudiants non experts.

Ohio : Ohio State University de Columbus, Ohio

La première mention de cette université rencontrée dans un document informatique concerne l'installation, en septembre 1966, d'un système de temps partagé du modèle le plus sophistiqué, composé de deux GE 645 fonctionnant en Multics, avec 64 Kmots de mémoire, des disques, 15 télétypes et 23 terminaux locaux. La finalité paraît essentiellement pédagogique.

On a trouvé un petit travail de recherche dans le compte-rendu par SIGMicro du symposium Micro 10 de 9 / 77. Il s'agit de la réalisation d'un processeur auxiliaire pour la manipulation des clés dans un processeur gestionnaire de base de données. Après avoir analysé le travail à accomplir, les auteurs concluent qu'un microprocesseur 6800 serait surabondant, et choisissent de construire eux-mêmes un processeur microprogrammé qu'ils décrivent. On voit que, plutôt qu'une véritable recherche, il s'agit d'un exercice pédagogique, mené néanmoins avec la conscience habituelle des étudiants américains. Le financement d'un tel travail par l'ONR souligne le souci constant des armées d'entretenir dans le pays un vivier d'ingénieurs disponibles, même si dans le cas présent il s'agit d'un hindou et d'un chinois.

Ohio : Wright State University à Dayton, Ohio

Ici aussi il s'agit d'un exercice pour élèves, consistant dans la définition et la construction d'un émulateur universel. L'étude est rapportée par SiGMicro de 12 / 78. Le résultat se compose d'un bloc de commande formé d'un microprocesseur Fairchild F8 avec mémoire de 8K * 8 bits, et d'un bloc de calcul à base de microprocesseurs en

tranches Intel 3000 qui reçoit ses microinstructions d'une mémoire de 4K * 8 bits. Il serait plus intéressant de découvrir des applications concrètes de ce matériel.

Oregon : Université d'Oregon à Eugène

Une fiche décrit NEBULA, un petit calculateur construit apparemment à des fins uniquement pédagogiques, qui présente l'originalité d'utiliser des lignes à retard en verre produites par Corning Glass, fonctionnant à 20 MHz. La date de cet essai, 1966, explique que l'on n'ait pas essayé d'utiliser directement cette performance, mais au contraire de prélever des bits dans la mémoire à des intervalles plus espacés, pour rester dans les limites permises par une logique à transistors discrets.

Un an plus tard, un second travail portant cette fois sur la réalisation, toujours en lignes à retard en verre, d'une mémoire associative de 4096 mots, confirme le caractère pédagogique de NEBULA.

On ignore la provenance du financement de ces travaux, mais le sponsor le plus probable est Corning, et cela deviendrait une certitude s'il existait une usine ou un laboratoire Corning dans l'Oregon. C'est en effet, en dehors d'une machine israélienne, un des seuls exemples d'emploi de ces lignes dans un ordinateur.

En 1971, un article de 257 - 435/40 nous indique que l'Université dispose d'un PDP 10 pour le temps partagé et d'une 360 / 50 pour le batch, et qu'elle a organisé son laboratoire de chimie avec une collection de minicalculateurs Varian 620 i, un par appareil à diriger, le tout regroupé sous le contrôle d'un 620 i plus important connecté aux autres machines. Le logiciel des Varian est préparé sur l'IBM, grâce à des simulateurs de Varian rédigés par l'université. Ce même logiciel, et une organisation comparable, sont aussi utilisés pour le laboratoire de chimie de l'Université du Nebraska à Lincoln.

Oregon : université d'Etat à Corvallis

Cette université s'est équipée, assez tardivement, d'un CDC 3300, machine conçue pour faciliter les applications conversationnelles. La construction d'un système d'exploitation capable de temps partagé, par les professeurs et les élèves travaillant en commun, OS-3, est essentiellement un travail pédagogique qui n'a d'ailleurs pas revendiqué de soutien extérieur.

Pennsylvanie : Université de Pennsylvanie à Philadelphie

Cette université est plus connue par sa filiale, la Moore School of Engineering, que par ses réalisations propres, qui se résument à la construction, en 1955, de PENNSTAC, un calculateur à tambour magnétique bricolé autour d'un tambour de 650, probablement donné par IBM. Voir fiche.

On trouvera à la rubrique 420 les principales réalisations de la Moore School.

L'université s'est ensuite équipée d'une IBM 7040, sur laquelle elle s'est livrée à quelques recherches financées par des contrats ONR et RADC. En 1969 elle dispose d'une 360/75 exploitée en OS/MVT. Ce centre de calcul est géré par la Moore School.

En matière logicielle, l'un des premiers contrats de l'Université est un sous-contrat d'Univac relatif à sa participation au programme Fieldata de l'Armée. Voir ce logiciel ACT en 236 - 329/39.

Par la suite, l'université s'est intéressée aux problèmes de documentation. Voir Multilist en 232 - 1788 / 1801 et 228-42, puis Multilang en 245-559/69.

Plus récemment, la documentation est gérée par un programme baptisé USDOCTOR pour User Service DOCumentation Traffic ORganizer, rédigé en PL / I. Voir description en 253- 77/8 .

Voir aussi SPRINT, langage de liste, en 245-677/83.

Pennsylvanie : Pennsylvania State University à University Park, Pa

Nous possédons, en provenance de cette université rarement citée, la description d'un DDA travaillant en virgule flottante, réalisé en 1970. L'objectif est, bien entendu, de supprimer le problème des facteurs d'échelle. Voir explications en 255 - 369 / 76.

Vers 1972, l' Université est équipée d'une 370 / 165 et offre ses services, à travers une liaison de remote batch, à un hopital distant d'une centaine de miles, ce qui est l'occasion d'une recherche sur le logiciel de gestion de fichiers médicaux. Voir 261-93/105 .

Pennsylvanie : Carnegie Mellon University à Pittsburgh

Pittsburgh est la ville de l'acier et l'université fondée par Dale Carnegie, magnat de l'acier au XIXème siècle, était avant guerre complètement orientée vers l'industrie lourde. Cependant, après la guerre, la ville a entrepris de gros efforts contre la pollution et, dans le domaine de l'enseignement, une diversification comprenant une ouverture vers l'informatique. Cette dernière est essentiellement l'oeuvre de Mellon, un autre industriel fondateur de l'institut qui porte son nom : cet institut a reçu de larges soutiens de l'ARPA, et on trouvera à la rubrique 227 le détail de ses études.

Nous ne sommes pas en mesure de dire si le Carnegie Institute of Technology, dont l'existence est clairement attestée vers 1958, est ou non une entité distincte de l'Institut Mellon. Cet institut se manifeste fortement, dans les débuts de l'informatique, à l'occasion de son achat d'une IBM 650 ; sa contribution essentielle est la réalisation d'un compilateur pour IT, le langage scientifique défini par Perlis au Franklin Institute :

IT1 est le premier produit, fonctionnant sur 650 équipée du dispositif alphabétique au prix d'une pénible translitération. Il compile de droite à gauche et sort ses résultats en SOAP 1.

IT2 utilise les mêmes entrées mais délivre son résultat sous forme directement exploitable.

IT2A utilise la même entrée mais fonctionne sur 650 dotée de mémoire à tores, de registres d'index et de virgule flottante, avec un bénéfice de 40 à 50% à l'exécution.

IT2AS n'en diffère que par l'acceptation des caractères spéciaux de Fortran, simplifiant la translitération.

IT3 est semblable, mais ses sous-programmes de virgule flottante sont en double précision.

L'ARPA a contribué également (pour M\$ 2) à l'édification d'un centre de calcul universitaire qui, pour être ouvert à toute l'Université, n'en est pas moins confié à l'Institut Mellon. On y trouve à partir d'octobre 1965 une 360/67 monoprocasseur, avec 2 tambours, 2 disques 1302, 2 data cell, 4 bandes, 31 lignes télétypes et une trentaine de terminaux locaux. Le G21 de l'institut a une ligne d'accès direct aux disques. Après divers essais en simulation, il a été décidé de remplacer les tambours de swapping par une LCS, qui devait permettre une grande amélioration des temps de réponse.

Après quelques années, l'Université a conclu à la nécessité d'un enseignement propre en informatique, et a organisé une School of Computer Sciences. Nous disposons d'une recherche effectuée en 1987 dans cette école, financée par la DARPA et surveillée par le laboratoire d'avionique de l'USAF:

Fisher (A. L.), Highnam (P. T.), Rockoff (T. E.) - A four processor building block for SIMD processor arrays, in IEEE Journal of Solid State circuits, Vol 25 N° 2, 4/90, pp 369/75.

Il s'agit de définir et de réaliser une puce SLAP, Scan-line array processor, en CMOS 2 μ avec 60000 transistors, contenant quatre processeurs 16 bits à commande SIMD. 128 de ces puces tiennent sur deux cartes Sun avec 4 MB de mémoire et constituent un processeur capable de renouveler à 30 Hz des images dynamiques de 512 * 512 pixels.

Comme on a pu le voir dans la rubrique détaillée consacrée à cette université, l'un de ses sujets de prédilection est la construction d'ordinateurs selon des architectures nouvelles et prometteuses. On trouvera au dossier un article sur PipeRench, un calculateur reconfigurable construit en 1999.

Pennsylvania : Lehigh University à Betlehem

Pour ce que nous en savons, la plus significative des recherches de cette université privée concerne la documentation, avec notamment le programme LEADER, pour LEhigh Automatic Device for Efficient Retrieval, décrit en 251-447/55.

Dans un autre domaine, on peut aussi citer SALEM, une méthode de résolution par ordinateurs de problèmes représentables par plusieurs équations aux dérivées partielles. Voir 249-353/7.

Pennsylvania : University of Pittsburgh

Nous sommes très peu renseignés sur cette université qui ne semble pas participer par ses recherches à la manne de l'ARPA. On sait seulement, par un article 249-1/9, qu'elle s'est équipée en mars 1966 d'un système de temps partagé baptisé PITT, entièrement construit par l'équipe professorale sur une 360/50 avec LCS et disques 2314. Le principal outil de travail est un interpréteur conversationnel PIL; il existe aussi un analyseur syntaxique conversationnel pour Fortran IV, un éditeur de texte, et une gestion conversationnelle de fichiers.

L'équipe a ensuite défini un langage algébrique, AL. Voir microfilm SIGPLAN 4/73 p 16.

Rhode Island : Université Brown à Providence, RI

Cette université est équipée en 1969 d'une 360/50 sur laquelle fonctionne, sous OS/MVT, un système de temps partagé de construction locale exploitant essentiellement PL/I, ou plutôt un dialecte de ce langage, pour des raisons pratiques de réalisation. Le système dans son ensemble s'appelle Brutus, pour BRown University Terminal Users System, et comprend principalement, en plus de Fortran IV et WatFor, un interpréteur conversationnel BRUIN pour BRown University INteractive system, et un compilateur du même langage, fonctionnant en deux passes. Tous deux sont écrits en assembleur. Voir 253-665/71.

En parcourant la littérature, nous retrouvons l'université équipée en 1970 d'un 360/67 fonctionnant en temps partagé pour l'enseignement, mais assez peu apte aux études graphiques. Pour mener celles-ci, l'Université obtient un grant de la NSF et un contrat de l'ONR, aux titres desquels elle construit :

BUGS, Brown University Graphic System, composé de deux Meta 4 et d'une console graphique. Le premier Meta 4 émule une partie du code 360 pour servir d'interface avec la 67, et pour réaliser un système d'exploitation local. Le second Meta 4 gère la console en lui fournissant des ordres conformes à sa logique propre. Entre les deux, il faut introduire un vrai processeur graphique.

SIMALE est cet équipement, un processeur microprogrammé parallèle très rapide, de conception locale, qui a pour finalité de calculer les images soumises au 2ème Meta 4. Il sait en particulier effectuer des rotations 3D, que la console, cependant, ne peut guère suivre. Voir fiche.

Cet intérêt pour la microprogrammation se retrouve dans la participation de l'Université au programme AN/UYK 17 du NRL, sous la forme du langage PUMPKIN de microprogrammation du MCU, le processeur de commande de ce système. Voir 261-540/2 et SIGMicro 4/74 p 45sq.

En 1987, le Laboratoire for Engineering & Man/Machines Systems s'intéresse au calcul parallèle et entreprend la construction d'Armstrong, un ensemble de 100 noeuds reliés par l'intermédiaire d'un panneau de préaffichage, ce qui doit permettre de comparer les réseaux possibles d'interconnexion.

Chaque noeud se compose d'un microprocesseur Motorola MC 68010, d'un coprocesseur 32081 de National Semiconductors, et d'une mémoire de 512 KB. Huit liens sont gérés par chaque noeud et ramenés au tableau de connexion.

Le système d'exploitation gère ces liaisons indépendamment de la topologie du réseau en recherchant, par un message broadcast envoyé toutes les 20 secondes, le chemin le plus rapide vers sa destination. Ces informations nous sont fournies par un article d'IBM Research consacré au processeur V256 de ce constructeur, lequel les a trouvées dans la thèse d'un des auteurs du projet.

Texas : Université du Texas à Austin

Nous connaissons l'organisation du centre de calcul de l'université en 1970, qui donne une idée de la variété de ses activités. Autour d'une CDC 6600 à 128 Kmots de mémoire et ECS de 500 Kmots, les 10 PP gèrent douze canaux comme suit :

0 à 3 : deux unités de disques 6638 à double accès, soit 336 Mcar en 4 axes.

4 : un adaptateur 6674 vers un PDP 7 20 Kmots avec deux TTY, IP, graphique, bande magnétique.

un adaptateur 6675 vers quatre machines:

CDC 1700 16 Kmots avec 8 MB de disques, 3 bandes, IP, LC, TTY

CDC 3100 16 Kmots avec 2 disques, 4 bandes, IP, LC, TTY

CDC 8231 8 Kmots avec LC, IP, TTY

SDS 930 32 Kmots avec Tambour magnétique 2 MB, 3 bandes, Bande perforée, LC, IP, graphique et ensemble de conversion analogique A/D et D/A.

5 : contrôleur 6681 avec graphique et équipement de microfilms.

6 : contrôleur 6671 avec 16 voies pour terminaux lourds ou légers

7 : contrôleur 6681 avec horloge Chronolog donnant au système le temps réel et la date.

8 : pupitre de commande 6602

9 : contrôleur 6676 avec 64 voies pour télétypes ou consoles CC30 à écran

10 : contrôleur 6681 pour deux LC, une PC, 4 IP

11 : contrôleur 6681 pour 6 dérouleurs de bandes 607

La combinaison du 6600 avec l' ECS, bonne idée technique souffrant d'une absence de logiciel, a donné lieu à un effort particulier des gestionnaires du centre, qui s'en expliquent dans 254 - 459/65. On s'explique aisément l'intérêt de Control Data pour cet effort, intérêt signalé dans l'article.

L'université d' Austin a développé une compétence en matière de matériel qui a donné naissance, de la part d'anciens élèves, à la création de plusieurs sociétés d'informatique qui ont réussi, la plus célèbre étant Texas Instruments. On a joint au dossier un exemple, paru dans Electronics, selon lequel un ingénieur et un mathématicien ont créé une méthode fiable de définition de circuits. Nous manquons d'éléments pour rattacher cette recherche à des produits ultérieurs comme le langage VHDL.

L'université s'est également intéressée aux problèmes de validation d'algorithme : le langage GYPSY, évoqué par SIGPLAN Notices 3 / 77 p 1 et 5 / 79 p 29 sq, est spécialement conçu pour que les programmes ainsi rédigés soient vérifiables. On retrouve ce thème ailleurs.

Dans les années 90, l' Université s'essaye, comme beaucoup d'autres, aux architectures distribuées, avec toujours un accent plus marqué que les autres sur les aspects matériels. L'architecture proposée, baptisée DISC pour Distributed Instruction Set Computer, est capable de faire fonctionner jusqu'à 16 instructions simultanément à 25 MHz (soit 400 Mops en 1990). L'étude était soutenue par la NSF mais aussi, et c'est plus significatif, par Cray Research.

Texas : Université Rice à Houston

Dès 1958, cette université a entrepris la construction de sa propre machine, baptisée R1 pour Rice Computer, avec des caractéristiques très ambitieuses : mémoire électrostatique de 32767 mots, mot scientifique de 56 bits, instruction très riche avec multiples index cumulables, indirection, indice paramètre, etc... Le financement de cette opération coûteuse était partagé entre la Shell et la Commission de l' Energie Atomique. Le logiciel était lui aussi tout à fait ambitieux. Sous le sigle Genie, il s'agissait d'une sorte de compilateur incrémental, ce qui peut être discuté à une époque où on ne pouvait guère travailler qu'en batch.

En janvier 1969, toujours avec le soutien de l'AEC, l'université entamait l'étude d'un second calculateur, le R2 pour Rice Research Computer, en utilisant comme référence le concept BLM de l'anglais Iliffe, qui est une machine à pile. Cette machine semble terminée vers 1972.

En 1973, les premières réflexions interviennent sur une architecture susceptible de prendre en compte des langages particulièrement ambitieux, comme l'Algol 68 des européens ou le MADCAP VI de Los Alamos, ce dernier mieux connu aux USA servant de point d'appui. Voir à ce sujet dans 233 :

McMAHAN (L. N.), FEUSTEL (E. A.) - Implementation of a tagged architecture for block - structured languages, in SIGPLAN Notices, Vol 8 N° 11, 11 / 73, pp 91/100

Soutenue par un grant de la NSF, cette machine ne semble pas avoir dépassé le stade de l'étude papier.

En 1986 l' Université doit avoir beaucoup changé ses objectifs et ses méthodes, car nous découvrons une étude approfondie sur un environnement de travail orienté surtout Fortran (dans sa plus récente version, F8X encore à l'étude à l'époque), baptisé Rn et fonctionnant sur stations Sun. Comme IBM, en plus de la NSF, a participé au soutien de cette étude, il est probable que l'ordinateur de l'université est désormais IBM. Voir à ce sujet le document 235 - 491/523.

L'université s'est également intéressée aux applications distribuées, toujours en Fortran ; elle a à cet effet rédigé un compilateur Fortran D capable de décrire des traitements distribués dans une machine d'architecture MIMD, avec un parallélisme diffus et des données réparties. Voir article tiré des CACM Vol 35 N° 8, 8 /92, pp 66 / 80 .

Texas : A & M University, College station, Tex

Le projet brièvement décrit ici est intéressant par l'illustration qu'il donne des relations entre l'enseignement et les industriels dans ce pays. Il nous est connu par un article :

WHITE (S. W.), STRADER (N. R.), RHYNE (V. T.) - A VLSI based I / O formatting device

Le travail est un projet d'étudiants, consistant à réaliser un processeur spécialisé qui prend en charge une déclaration de format dans le langage Fortran. La puce est asynchrone et installée sur un I/O port parallèle. L'intérêt de l'exemple est que Texas

Instrument a réalisé les puces définies par les étudiants, permettant leur test et donc une progression du travail.

Dans une première étape, la réalisation comprend deux puces: la puce 1 est une ALU 4 bits, avec deux jeux de registres 4 bits, une horloge diphasée, des tampons, un peu de logique, et des bornes de test, le tout commandé par une microprogrammation sur 48 bits en 17 champs. La puce 2 contient deux tampons, un circulaire et un FIFO.

A l'issue des tests de ce premier essai, les élèves ont défini une puce unique adaptée à la mission, à réaliser en NMOS 5 μ , taille 220 * 260 mil, contenant un tampon de sortie 16 bytes, un tampon d'entrée 94 bytes, et un tampon de format de 110 bytes. Mais le projet s'est arrêté à ce stade, et on peut douter que le thème choisi ait une valeur autre que pédagogique.

Utah : Université d'Utah

La vocation de l'Université d'Utah pour le graphique commence probablement avec le contrat passé par l'ARPA et le RADC avec Stephen Carr et Lee Copeland pour une console graphique connectée à un Univac 1108 à travers un minicalculetur PDP 8, ce qui devait donner naissance à l'assembleur Unidex et au système graphique GS (1967). Par la suite, la pratique de ce système à l'université devait provoquer la vocation de Evans & Sutherland, fondateurs heureux d'une firme spécialisée dans toutes les finesses des processeurs graphiques et de leur emploi en simulation. Voir par exemple le travail de Sutherland sur contrat ARPA, concernant les premières expériences de réalité virtuelle, dans 249-757/64, et ses travaux sur les algorithmes cablés des consoles de visualisation, dans 249-765/75; voir aussi le travail d'Evans sur les ombres en 246-49/58.

On trouvera encore un article de Sutherland en 261-513/20, décrivant la Twinkle Box, un capteur tridimensionnel pour introduction de volumes dans l'ordinateur, un gadget réalisé par lui lors de son passage à l'Université d'Utah.

Indépendamment de ce thème principal, nous trouvons aussi à l'Université d'Utah une recherche sur la traduction de langage de haut niveau par des microinterpréteurs cablés, un thème récurrent qui a donné par exemple les B1700 de Burroughs. Le travail exécuté en 1982 suit une approche inverse, s'agissant de créer une machine M3L (susceptible d'implantation ultérieure en VLSI) capable d'exploiter des ordres de type LISP. Elle nous intéresse particulièrement parce que l'un des chercheurs était M. Castan, de l'INRIA français, d'origine toulousaine où je l'ai connu.

Dans un registre mineur, l'Université a réalisé quelques logiciels aux confins de l'objectif pédagogique et de la recherche, par exemple un programme REDUCE de manipulations de formules (1971).

Virginia : Virginia Polytechnic Institute & State University, à Blacksburg

Nous disposons d'un article de B. G. Claybrook décrivant LPL, un langage de listes, surensemble de PL/I, qu'il a réalisé comme outil pour programmer des problèmes d'intelligence artificielle et de manipulation de polynômes. Ce système, qui autorisait la

définition de cellules de taille quelconque et leur insertion dans plusieurs listes, ne semble pas avoir été subventionné et sa notoriété est restée locale.

Washington : Université du Washington à Seattle

Nous disposons d'un petit article de la revue de vulgarisation Computer, 11 / 75, pp 12 / 22, décrivant la construction de LM2, un calculateur à deux niveaux de microprogrammes, destiné à remplir le même rôle que le célèbre LINC : le soutien informatique d'une activité de laboratoire. Ce matériel a été conçu par trois chercheurs du laboratoire de physiologie et biophysique, et le principal intérêt de l'article est pédagogique. On ne peut réellement parler de recherche, c'est du bon travail d'ingénieur.

Pédagogique également est l'objectif de Writeacourse, un langage pour écrire des cours en vue d'un enseignement assisté par ordinateur, un travail financé par l'USAF. Voir 250-923/8 .

Dans un tout autre domaine, l'article suivant :

HERRIOTT (R. G.) - GLOSS : a high level machine, in 233- 81 / 90 .

décrit un travail assez abstrait, partiellement financé par la NSF, visant à concevoir une machine bien adaptée à la manipulation d'objets usuels en matière de langages de programmation, mais restant réaliste.

Wisconsin : Université du Wisconsin à Madison

Cette université a construit dès 1954 son ordinateur à tambour magnétique, WISC, dont nous possédons une photographie. Par la suite, elle s'est équipée de façon tout à fait originale avec trois unités centrales Burroughs B 8500 regroupant 256 Kmots de mémoire en 16 modules, et trois IOP supportant 7 milliards de bits de disques, et surtout quelque 700 terminaux à écrans et machines à écrire distribués dans tout l'état. Cet équipement a été développé de 1968 à 1971.

Ce système mettait à la disposition des étudiants des compilateurs COBOL, Algol et Fortran IV, ainsi qu'un interprèteur conversationnel scientifique, et un éditeur de texte.

On a aussi la trace en 1964 d'un travail fait par deux étudiants, Janofsky et Spikes, sur un langage de blocs COBLOC dans le style de Pactolus, mais la machine support est la CDC 1604, ce qui suggère qu'il s'agit d'un travail effectué pour l'armée plutôt que d'une véritable recherche. En réalité, l'idée viendra immédiatement de donner plus d'envergure à ce thème en reprenant la rédaction en Fortran : ce programme baptisé FORBLOC, qui utilise une intégration par trapèzes, est du à W. O. Veblen (1964).

On trouve en 1969 un travail, soutenu par NSF et NIH, sur le thème du jeu de GO. Cependant, l'absence de financement par le DOD (à la différence des échecs) semble indiquer que cette recherche n'est pas encore prise au sérieux. Voir rubrique 671 Jeux. L'université a aussi abordé le problème d'un langage pour décrire des circuits, avec DDL, cité dans la revue Computer IEEE, 12 / 74, p 34. Ce langage n'a pas marqué l'informatique.

A titre d'exemple de recherche menée à bien dans le cadre de l' Université, et soutenue par la NSF, on peut mentionner MCODE, un exercice d'architecture sur le thème, très en vogue vers 1975, des machines exécutant directement les instructions d'un langage de haut niveau. Il s'agit de démontrer que le choix du répertoire peut grandement réduire le nombre de lignes à écrire pour une tâche donnée : le langage de haut niveau est ici Starmod, inventé pour une programmation distribuée. Voir 234 - 87/91.

On peut encore citer PIPE, un microprocesseur original qui cherchait à résoudre le problème de l'implantation en VLSI, à une époque (le début des années 80) où on ne savait placer plus de 15000 transistors par puce et où le déséquilibre s'accroissait entre le débit des mémoires et la demande des processeurs. L'idée a quelques points communs avec RISC, mais on choisit de privilégier une organisation pipeline et le parallélisme. L'article se présente comme un historique justificatif, bien des années (1991) après l'évènement, les auteurs ayant entre temps changé d'université. Le financement provenait de la NSF.

586 - Les calculateurs neuroniques

Le problème auquel espèrent répondre ces machines est celui de l'apprentissage : chaque fois qu'il n'est pas possible de décrire en termes d'algorithme le fonctionnement d'un dispositif, on voudrait l'enseigner sans le connaître à une machine par une procédure de type pédagogique : poser une question, récompenser une bonne réponse, sanctionner une mauvaise, et recommencer jusqu'à un résultat statistiquement satisfaisant.

Pour y parvenir, on se propose généralement de construire un processeur parallèle à l'image du cerveau humain, convenablement simplifié pour tenir compte qu'on ne lui demande pas une aptitude universelle, mais seulement une compétence spécialisée, telle que comprendre un certain nombre de mots ou extraire d'une image une certaine catégorie d'objets. Le problème essentiel est le point d'application des récompenses et punitions censées orienter sa restructuration.

La cellule élémentaire d'un tel processeur est un élément à seuil : il reçoit de l'extérieur une série de signaux, les pondère par une série de coefficients modifiables, en fait la somme, et émet un signal vers l'extérieur si cette somme dépasse un seuil lui aussi ajustable. Les éléments sont disposés en un petit nombre de couches, que l'on peut distinguer en :

- couche de saisie, comprenant un élément par bit de l'information à analyser. Les éléments de cette couche sont reliés entre eux de manière à représenter un "voisinage", qui dépend évidemment de la nature de l'information à traiter.

- un petit nombre de couches de calcul (1 à 3 par exemple), comportant chacune le même nombre d'éléments que la précédente. Chaque élément d'une couche reçoit le signal de sortie de l'élément correspondant de la couche précédente, et les signaux de tout ou partie des membres de sa propre couche.

- une couche de résultat, comprenant un élément par bit du message de résultat. Chacun de ces éléments collecte les sorties d'une fraction des éléments de la dernière couche de calcul.

Pendant la phase d'apprentissage, on soumet à la couche de saisie des données dont on connaît le résultat, et on compare la réponse finale à ce résultat : la sanction consiste à augmenter les pondérations des voies et/ou les seuils des éléments qui ont contribué à un bit de réponse exact, et à diminuer les autres. Si les interconnexions choisies sont convenables, le processus converge.

Des variantes plus sophistiquées peuvent changer dynamiquement les interconnexions en fonction des résultats, et introduire des réactions entre couches de calcul.

N'ayant en ce domaine que de vagues connaissances, l'auteur se bornera à citer dans l'ordre alphabétique les expériences, matérielles et logicielles, dont il a eu connaissance. Il n'est pas du tout certain que cette démarche permette de réunir assez de documents pour évaluer ce champ d'activité.

Adaptive Solutions

Cette société ad hoc crée vers 1990 une puce spécialisée, CNAPS 1064, processeur SIMD regroupant sur une seule puce 64 processeurs 16 bits, dont chacun dispose de 4 KB de mémoire. Fonctionnant à 25 MHz, cette puce peut effectuer 1600 Mips et en tirer 250 millions de calculs logiques par seconde.

Pour en faire un neuroprocesseur, il faut toutefois regrouper un petit nombre de puces de ce type avec un séquenceur externe assez complexe, et on ne peut guère obtenir de résultats utiles si les données et consignes indispensables dépassent la capacité de la mémoire locale. En effet, la puce CNAPS ne peut échanger que 8 bits par cycle avec une quelconque mémoire externe. Résultats inconnus.

Berkeley University - Voir référence 585

RAP = Ring Array Processor (1990), à base de DSP Texas TMS 320C30 interconnectés en un anneau contrôlé par une FPGA. Résultats inconnus.

SPERT = Synthetic Perceptron Testbed (1991) semble être exactement conforme à la description de principe de l'introduction, avec les processeurs d'une couche commandés en SIMD (Single Instruction Multiple Data) et les diverses couches alimentées simultanément par un bloc de commande VLIW (Very Long Instruction Word). Résultats inconnus.

SPERT II (1995) utilise une simulation du schéma précédent sur un microprocesseur vectoriel T0 et grâce au progrès technologique, obtient des résultats très performants sur des problèmes de reconnaissance vocale. Un document correspondant figure en boîte 138.

Cornell Aeronautical Laboratory : le Perceptron

C'est l'expérience fondatrice, où un ensemble neuronique à trois couches, saisie, calcul, résultat, est simulé sur une IBM 704, à la recherche d'algorithmes convenables de punition / récompense. Il ne semble pas qu'à l'époque, on ait obtenu des résultats très convaincants. Les problèmes posés étaient du type "reconnaissance de caractères", les caractères étant représentés par une matrice de 35 points : s'il est vrai que 35 points suffisent à représenter correctement un alphabet simple et bien défini, c'est une définition trop faible pour l'écriture manuscrite.

L'organisateur de l'expérience, Rosenblatt, a présenté ses résultats dans PIRE 3 / 60, pp 301/9.

Hecht-Nielsen : le neurocomputer

Un contrat d'avril 91, décrit en rubrique 303, passé par les militaires, décrit un multiprocesseur fortement intégré (8 puces, 32 CPU VF 32 bits), assez éloigné du modèle neuronique, qui doit permettre directement des tests de reconnaissance de gabarit, cad exactement le même genre de tests que le perceptron. Les applications militaires les plus plausibles sont la reconnaissance photo.

Nestor, Inc.

Sur contrat DARPA, cette société définit et fait réaliser par Intel une puces qui paraît contenir l'équivalent de 1024 neurones et les moyens d'en commander les interconnexions et les paramétrages depuis un ordinateur hôte 16 bits. Aucun résultat connu. Voir rubrique 442.

On notera une forte ressemblance avec la puce de Adaptive Solutions, citée plus haut.

Neuralogix

Créée avec des capitaux Samsung, cette société définit en 1992 divers composants, comparateurs portant sur des chaînes de bits plus ou moins longues, classifieurs 8 bits, qui privilégient la logique floue avec mémorisation de multiples règles logiques auxquelles doit obéir le signal multibit, plutôt qu'un authentique mécanisme d'apprentissage. Voir rubrique 441.

Université d' Illinois

Le ordinateur ILLIAC III de l' université d'Illinois, financé par la DARPA, est explicitement destiné à la reconnaissance de formes, ici des trajectoires de particules dans des chambres à bulles. Un puissant ordinateur associé permet de faire des recherches variées sur les algorithmes de reconnaissance, mais à nouveau on ne semble pas avoir vraiment prévu d'utiliser l'approche neurologique.

Stanford Research Institute : les MAD

Crane (H. D.), chercheur au SRI, présente dans un article de TIRE, EC9, 9/60, pp 370/1, un concept de ligne de transmission non linéaire, qu'il appelle le "neuristor". Il se caractérise par une vitesse constante de propagation d'impulsions, un seuil de déclenchement, et une période réfractaire après émission.

C'est le fruit abstrait d'une thèse de doctorat, sponsorisée par l' ONR.

Continuant à travailler sur ce thème, Crane imagine de simuler le comportement non linéaire de son dispositif avec un réseau de tores magnétiques à 4 petits trous latéraux, les MAD, qui vont ensuite devenir sujets de recherche par eux-mêmes. Un article de PIRE 1 / 61 pp 49/52 développera cette idée.

Dans les PIEEE de 5 / 64, pp 618/9, Mattson (R.H.) décrit une autre réalisation d'une ligne de transmission dont les caractéristiques sont celles du neuristor, cette fois au moyen de diodes tunnel. Ce travail paraît avoir été mené au Laboratoire d'artillerie navale de White Oak, Md, et fait directement référence à la thèse de Crane.

A la lumière ultérieure d'un article de Crafts dans Electronics (22 / 3 / 63), il ne semble pas que notre revue technologique comporte de grosses lacunes, mais ce n'est en réalité pas là que s'est fait le travail de recherche, essentiellement basé sur des simulations et / ou des calculs. Il y a eu beaucoup de publications sur les structures qui "apprennent", par exemple 228-33 au SRI et 228-51 chez SDC.

Il s'avère que le vrai problème réside dans l'algorithme de commande des poids, et le meilleur est baptisé "rétropropagation", dont on peut trouver une description dans un article de vulgarisation :

HINTON (G.) - Apprentissage et réseaux de neurones, dans

Pour la Science, N° 181 de 11 / 92, pp 124/32

C'est la découverte de cet algorithme qui permet de décider, pour des applications pratiques, des contrats comme ceux de Neuralogix ou Nestor, qui ne sont pas des expériences.

587 - Unicon, de Precision Instrument

Cette firme PI apparaît en 1968 pour promouvoir une nouvelle catégorie de mémoire de masse basée sur l'emploi du laser, et reprenant au plan mécanique la conception des CRAM : une bande de mylar métallisé mesurant 5 * 30" (127 * 762 mm) est collectée dans un bac de 250 éléments, enroulée sur un tambour tournant à 22 tours / s, et écrite ou lue.

L'écriture, faite par un laser à argon de 1 watt, représente un bit par un trou dans le métal ; la lecture résulte d'un second laser de puissance plus faible qui distingue les 1 des 0 par leur pouvoir reflectif. La vérification des enregistrements est instantanée, par relecture, et le taux d'erreur est inférieur à 10⁻⁸.

La bande contient 1200 pistes, les bits sont des cercles de 5 µ de diamètre, la capacité atteint 13 Mbits / sqin, soit 2 Mbits / cm², et 5 Gbits par bande. Accès maximum 5 secondes, 200 ms au sein d'une bande.

Le prix de l'unité avec son contrôleur s'élève à 1,6 M\$, ce qui explique une diffusion modeste : un exemplaire a été commandé en 1969 pour 740 K\$ par la Pan Am Petroleum of Tulsa, et c'est ensuite que le prix a augmenté ; un autre exemplaire est associé à ILLIAC IV, à Ames.

En 1971, la formule a été modifiée dans le but de baisser les prix : une unité de 10 Gigabits, compatible avec les canaux S / 360, et plus particulièrement avec un disque 2314 (312 KB/s) est proposée pour K\$ 360 à l'achat, ou K\$ 15 / mois. Le débit est 312 KB/s en compatible, 500 KB/s maximum, et la compatibilité est assurée à travers une unité de commande à base de minicalculateur HP 2116 B.

Le premier client a été Boeing Vertol.

En 1975, nouvelle modernisation : un contrôleur 191 et 8 unités 192 de 16 GB sont proposées comme un sous-système pour plusieurs familles d'ordinateurs.

La disparition des Unicon, survenue peu après cette dernière annonce, résulte probablement de la banalisation des CDROM, autre forme de mémoire laser, consécutive à l'apparition du PC.

588 - Vanguard

Très modeste compagnie cherchant à vendre, en mars 76, un mini de gestion centré sur le calculateur Raytheon RDS 500, cette société semble avoir échoué et disparu après avoir placé 6 machines à la fin de 1977.

Le calculateur est commercialisé avec une mémoire à tores de 64 à 128 KB, cycle 700 à 900 ns, permettant une addition sur 18 chiffres décimaux en 400 μ s. Le prix était \$ 46000 plus logiciel et tous périphériques : clavier et écran, LC, IP, ME, disques et bandes, et jusqu'à 32 lignes à 9600 bauds.

Le logiciel comprenait un COBOL, une base de données, et SPL.

589 - Varisystem

Le PAC 16 est un modeste contrôleur qui fonctionne avec une mémoire de 1 ou 4 KB de 8 bits. La programmation utilise des opérations de 16 bits, 4 pour l'opération et 12 pour l'adressage direct. Toutes les opérations durent 3 μ s, à l'exception des entrées / sorties qui durent 4 μ s.

Les circuits sont constitués par quelques MSI/TTL, les entrées comprennent 6 à 18 lignes sense et un bus 8 bits bidirectionnel avec une option DMA; il y a deux lignes d'interruption. Les périphériques sont un lecteur de bande perforée à 60 cps, un perforateur GE ou TTY, un disque CDC 9420 ou 9432, le tout pour 3000 \$ avec la mémoire minimale de 1 KB. L'assembleur de ce PAC 16 fonctionne sur Univac 1108. Plus de 20 de ces contrôleurs ont été vendus en 7/72.

590 - Vector graphic, Inc.

Cette société au nom ambitieux se manifeste en 1980 avec un microcalculateur ZCB, construit autour d'une carte microprocesseur Z80 et d'un bus S100. Les fonctions disponibles sur le bus sont la mémoire avec un mapping pour étendre l'adressage, la commande graphique de l'écran, un digitiseur de video, un codeur A/D, un contrôleur de disquettes 8" ou 5,25", un disque Winchester à choisir de 630 KB à 30 MB.

Le logiciel se compose du système d'exploitation CP/M de Digital Research, d'un assembleur ZSM générant des fichiers compatibles avec le CIS Cobol de Microfocus, de compilateurs Pascal et Fortran, d'un interpréteur APL, d'un double BASIC interpréteur et compilateur, d'un éditeur baptisé SCOPE pour SScreen Oriented Program Editor, et d'un débogueur RAID = Rapid Interactive Debugging.

On ignore l'ampleur du succès, mais il a du être honorable car la société existe toujours en 1984 et propose un Vector SX biprocesseur 8/16 bits. Mais on s'aperçoit sur la photographie qu'il s'agit modestement d'un calculateur personnel, bricolé avec des composants hard et soft du marché. Voir fiche.

591 - Produits graphiques de Vicom System

Cette société s'est créée vers 1987 pour exploiter une idée concernant la production d'images : le produit original est installé en châssis VME et comprend essentiellement le processeur graphique, dont nous ne savons rien. Il pouvait être vendu soit comme un produit autonome, soit comme périphérique pour une station de travail Sun 3, Sun 4 ou Sparcstation.

Le dispositif devait être efficace, car Vicom en a produit plus de 1500, et s'est trouvé capable, en 1989, d'effectuer deux importantes acquisitions : la division Imaging & Graphics de Gould, et le Image Computer Business de Pixar.

En 1989, Vicom propose donc Master, un serveur de visualisation qui prolonge le produit de départ en élargissant ses possibilités. Il rassemble dans un châssis VME à bus 64 bits, 160 MB/s :

- une carte Motorola MVME 147, à base de 68030, utilisant VxWorks pour le travail en temps réel, ainsi que le noyau Unix TR de Wind River System pour l'environnement.
- un processeur scientifique, le DSP VF TMS 320C30 de Texas, 33 MFlops.
- un processeur graphique AGCS de National Semiconductors
- le processeur pipeline propriétaire
- jusqu'à 896 MB de mémoire image sur disques

Cette vaste puissance de calcul peut alimenter simultanément jusqu'à trois écrans X Windows de 1600 * 1280 pixels, ce qui est effectivement exceptionnel. Le système se suffit à lui-même mais peut s'intégrer à une Sparcstation 370.

Le rachat de Pixar permet à Vicom d'intégrer à ses produits le Pixar II, système de génération d'image basé sur la séparation en mémoire des informations de luminance et de chrominance : quatre CHAP, ou channel processors, traitent séparément le rouge, le vert, le bleu et la luminosité. Jusqu'à 196 MB de mémoire image sont disponibles. Plus de 400 systèmes ont été installés, notamment chez les militaires.

592 - Les PC de Victor Technologies

Le S1, premier ordinateur de cette société, n'est autre que le projet Sirius II de Chuck Pebbles, racheté à son inventeur en faillite à l'apparition du PC. Un groupe financier suédois, estimant au vu de l'attaque IBM que la formule du PC a de l'avenir, décide de récupérer ce projet à peu près mûr et de se lancer dans la compétition. Le S1 n'est pas un PC exactement compatible, mais il est prêt ; s'il se vend suffisamment, la suite pourra être compatible : ce pari va fonctionner.

Pour le S1, voir deux fiches pratiquement identiques, imprimées respectivement en France et en Italie. En lisant cette notice, on voit que le S1 cherche encore sa voie : deux systèmes d'exploitation livrés en même temps, et aucune des applications qui feront le succès du PC. Mais le fournisseur des divers langages inclus est Microsoft, de sorte que le virage sera facile à prendre. Prix en France 49000 FFHT avec 512 KB de mémoire, Winchester, floppy, imprimante, écran dit graphique.

En 1986, le V286 est bien un compatible AT sous MS / DOS 3.1, avec mémoire à partir de 512 KB et écran 14". Il est vendu en France 29900 FFHT avec un floppy 1,2 MB, 35900 FFHT avec un Winchester 20 MB, et 44900 FFHT avec un disque de 40 MB.

Désormais Victor suit le marché et annonce un nouveau modèle pour chaque microprocesseur Intel, comme tout le monde. En mars 88 apparaît le V386S, un haut de gamme équipé d'un 386 à 16 MHz, vendu 38000 FFHT avec un boîtier de table 6 slots, 2 MB de mémoire, une carte Hercules, un moniteur monochrome et un disque dur de 90 MB de 28 ms de temps d'accès. Voir photo.

Il en existe deux autres modèles , le plus cher coûtant 55000 FFHT avec un disque de 195 MB.

En 1989 Victor est racheté par Tandy, ce qui ne change rien à son marché plutôt européen, et explique que nous en parlions ici. C'est l'occasion d'une offensive globale, caractérisée par l'apparition des boîtiers de type tour. Cette série M, au format 32,2 * 11,4 * 31,2 cm, comprend quatre machines:

- un V86M équipé de 8086 à 10 MHz avec 640 MB de mémoire, un disque de 20 MB, un floppy 3,5 ", un écran monochrome VGA et un clavier 102 touches, coûte 10990 FFHT.

- le V286M à 12 MHz , avec 1 MB de mémoire, 40 MB de disque, écran mono, MS/DOS 4.01 et Windows, est vendu 13990 FFHT. Extensions possibles à 8 MB de mémoire et 120 MB de disque.

- le V386MX utilise un 386 SX à 16 MHz et coûte 19990 FFHT dans les mêmes conditions.

- le V386M à base de 386 DX à 25 MHz est livrable en mai 90 dans les mêmes conditions.

Toute cette série peut recevoir les disques amovibles Add-Pack de Victor.

Tout en haut de gamme, le V486TI utilise le 486 Intel à 25 MHz avec un bus ISA, 4 à 8 MB de mémoire vive, et un disque dur de 90 à 320 MB. Le boîtier est une grosse tour contenant six emplacements pour disques et bandes, et 8 connecteurs ISA d'extension 8 et 16 bits. Prix 79990 FFHT.

Un V486TE est prévu à fréquence plus élevée et bus EISA, il attend la disparition des bogues constatés sur les prototypes.

Victor sera racheté en 9 / 93 par AST, avec toute l'informatique de Tandy, et disparaîtra avec AST deux ans plus tard.

593 - Visual Technology, Inc.

On trouvera dans ce dossier les fiches de deux consoles assez anciennes, conçues avant tout pour émuler économiquement quelques matériels célèbres du marché :

- la Visual 50 émule les Hazeltine Esprit, ADDS Viewpoint, Lear-Siegler ADM-3A, et DEC VT52, et sait présenter 25 lignes de 80 caractères avec quelques dispositifs supplémentaires.

- la Visual 500 émule la Tektronix 4010 qui présente en plus du texte divers graphiques classiques en gestion, barres, fromages, etc... Elle peut en outre émuler les précédentes.

594 - Vitesse Semiconductors Corporation

Cette société très peu présente sur le marché paraît se spécialiser dans des produits très avancés comme l'arséniure de gallium, qu'il est économiquement difficile de développer sans soutien financier. Il s'agit donc probablement d'un bureau d'études qui vit de contrats gouvernementaux.

Cependant, l'information selon laquelle Vitesse a acheté Sitera, autre bureau d'études de composants avancés, suggère que cette société a quelques réserves, et donc quelques

succès. L'enigme reste entière, les quelques produits connus n'ayant pas de débouchés significatifs.

Nous trouvons le nom de Vitesse dans un article d' Electronics, consacré en 1986 aux supercalculateurs. On y apprend que la Division "Digital Products" de Vitesse étudie le VNP, un processeur numérique extensible qui juxtapose des éléments de calcul autonome le long d'un bus VME qui dessert aussi les périphériques, mais qui est incapable de jouer un rôle de réseau d'interconnexion. Chaque PE est un ordinateur complet, avec mémoire, bloc de commande, multiples blocs de calcul dont certains spécialisés

(pex LISP, BD, etc...), entre lesquels le travail est distribué par un "run-time-optimizer"; un bus propriétaire permet des liaisons de PE à PE pour d'éventuels partages de mémoire.

Un concept aussi vague n'est probablement qu'un prétexte à l'étude de composants GaAs, explicitement mentionnée dans l'article. Mais on sait que le VNP n'a pas vu le jour, et qu'il existe très peu d'applications utilisant l'arséniure de gallium, sinon aucune après la fin du Cray 3.

Pour le même motif - la performance unique attendue du GaAs - un ingénieur de Vitesse a participé à une étude de microsupercalculateur menée sur crédits ARPA à l' Université de Michigan, où l'on se donnait un objectif de 250 MHz. Les progrès du CMOS, 5 ans après cette étude, avaient dépassé ce chiffre et ramené les performances de Vitesse à la norme d'un modeste PC.

En tous cas, Vitesse persiste. En 1990 par exemple, on trouve dans sa production un crossbar 64 * 64 en GaAs, baptisé Mégaswitch VSC 864, qui supporte des débits de 200 MB/s. Compatible ECL, la logique de haut de gamme de l'époque, il consomme 8 W en - 2 V, et coûte \$ 1196 pièce en lots de 100.

595 - VLSI Technology

Cette société vouée à l'étude et à la fabrication de circuits intégrés perfectionnés se présente comme un soutien aux fabricants de microprocesseurs comme Intel, en ce qu'elle définit et réalise des composants utiles pour l'exploitation de leurs produits. Aucune limite n'est imposée à l'imagination de ses bureaux d'étude, mais il faut que les produits imaginés se vendent.

Nous ne pouvons prétendre à la connaissance de tout le catalogue VLSI, et nous ne présentons qu'un petit échantillon, jouant le rôle de jalon dans l'évolution de la compagnie.

En 1986, le VL 65C816 est une version CMOS, 16 bits internes mais 8 bits sur le bus, du 6802 de Motorola, célèbre par l'usage qu'en fit Apple. Ce circuit n'est qu'une licence du Western Design Center, sous la forme d'un DIL 40 broches, vendu \$ 10.

En 1989, le VL 86C020 est une version 30 MHz du microprocesseur anglais ACORN, comprenant 27 registres, et un cache 4 KB avec son contrôleur. Elle est vendue 150 \$.

Comme son prédécesseur 86C010, ce microprocesseur est accompagné d'un chipset : le contrôleur de mémoire 86C110, le contrôleur video 86C310, le contrôleur d'entrées/sorties 86C410. Il y a aussi un FPU.

En 1990, Topcat SX est un chipset destiné aux 386 jusqu'à 20 MHz. Il comprend un 80C320, contrôleur de mémoire jusqu'à 32 MB, utilisant indifféremment un mélange de puces 256 Kbits, 1 ou 4 Mbits ; et un 82C331 qui regroupe un contrôleur d'interruptions, 2 DMA, 2 timer, un tampon de bus, une interface de bus AT, et une interface de coprocesseur.

Simultanément, Topcat DX joue le même rôle pour les 386 plus rapides. Le 82C331 est conservé, le contrôleur de mémoire est décomposé en deux puces 330 et 332.

Simultanément encore, Scamp joue le même rôle pour les portables jusqu'à 20 MHz. Le 82C311 remplit les mêmes fonctions que le 331 à l'exception du bus parce qu'il n'y a pas d'extension dans les portables ; un 312 gère l'alimentation ; un 107 regroupe les contrôleurs de clavier, de souris, de disque dur, et PCMCIA.

En 3 / 92, le VL 82C486 comprend un contrôleur de mémoire paginée pour toutes DRAM, une horloge, un séquenceur de bus avec contrôleur, un contrôleur d'interruptions, et deux DMA. Il mémorise les paramètres d'adressage par défaut sur des registres internes. Limites : il ne peut dépasser 33 MHz, et il est incompatible avec les bus EISA et MCA.

Une annexe indispensable est la puce VL 82C113FC, qui regroupe contrôleur de clavier, RTC et tampon de bus ISA. Une autre annexe optionnelle est le contrôleur de cache VL 82C425, CMOS 1 μ , boîtier plastique carré 128 bornes. Capable de cache entre 8 KB et 256 KB externe, cette puce est très efficace grâce à une astuce qui cependant entraîne quelques contraintes de programmation.

En 12 / 93, au moment où Intel passe à la suite, VLSI réalise avec l'appui de Intel un ensemble en trois puces destiné à prolonger les succès passés que Intel ne soutient plus:

- le VL 86C300 est le CPU 32 bits, copie directe du 386 SX, mais la puce englobe en outre un cache, une interface pour NVRAM, un contrôleur de DRAM, un contrôleur graphique, et une gestion d'énergie pour les fréquences 20, 25 et 33 MHz.

- le VL 86C100 est un contrôleur d'entrées / sorties comprenant UART équivalente à un 16C550 pour les liaisons infrarouge, un codeur analogique rapide pour la voix, une interface de clavier, des portes parallèles et une gestion d'énergie.

- le VL 82C146 est un contrôleur ExCA sur le bus local, offrant une interface tamponnée pour carte PCMCIA 2.0

En 1993, VLSI annonce un chipset compatible Pentium : un contrôleur de bus local 82C591 en boîtier QFP aux cotes métriques, deux puces data path 82C592 en TQFP 144 broches pour tamponner le bus PCI, et un convertisseur PCI / ISA (82C593) en TQFP 176 broches, qui englobe deux DMA (~ 82C37A) et deux contrôleurs d'interruptions (~ 82C59A). Il existe en deux versions 5V pour le 60 MHz, et 3,3 V pour le 66 MHz. Le chipset travaille aux 33 MHz du bus PCI, sans synchronisation sur le Pentium.

Il est échantillonné à partir de 9 / 93 au prix de \$ 65 par lot de 1000.

Il y aura ensuite, en 1995, un chipset pour les Pentium II, baptisé Lynx, en deux puces seulement. Il accepte des mémoires jusqu'à 768 MB, mais pas encore les EDO

Dram ; le cache à une seule ligne peut monter à 1 MB et traite les rafales en 3.1.1.1 ; vers l'aval, le chipset propose un contrôleur IDE. Bref, un jeu correct mais plutôt classique, coûtant 30 \$ en lots de 10000.

En 1998, VLSI constate que la naissance de nouveaux produits est retardée par l'insuffisance de l'outillage matériel et logiciel d'aide à la conception et de mise au point. Pour y remédier, VLSI annonce le concept Velocity Rapid Silicon Prototyping, autorisant le développement en parallèle du logiciel et du matériel, grâce à quatre éléments:

- un logiciel HDLi, Hardware Description Language integrator, qui offre essentiellement le moyen de réutiliser les blocs antérieurement conçus et mis au point;

- des bus embarqués normalisés, tels que le ASB d' ARM, le PCI, ou encore le VPB de VLSI soi-même;

- des circuits intégrés prototypes ;

- des cartes RSP spécialisées par marché, tels que communications sans fil, réseaux locaux, loisirs électroniques grand public, informatique de pointe.

Pour commencer, VLSI propose le RSP7, un ASIC destiné aux systèmes intégrés génériques tels que les contrôleurs pour périphériques ou appareils domotiques. Il intègre un coeur RISC ARM7TDMI+ fonctionnant à 67 MHz, les bus embarqués déjà cités, 1 KB de ROM et 8 KB de RAM, les contrôleurs de mémoire, les ports de communication (IrDA, I2C, USB, UART 16550) et de test (JTAG), etc...

Outre le RSP7, la carte d'émulation associée contient un FPGA de 100000 portes, 512 K μ 16 bits de flash, 32M * 32 bits de mémoire EDO, 256 K* 32 bits de SRAM, une interface RS 232C, les ports Jtag et USB, des afficheurs 7 segments à diodes électroluminescentes, l'émetteur / récepteur IrDA, un générateur de tonalités avec modem, des connecteurs PCI et VPB, et une zone de câblage libre. Cette plateforme doit permettre de simuler la cible matérielle finale et de faire sur elle la mise au point du logiciel d'application.

596 - Wang Laboratories

Dans les années 50, An Wang (chinois de Boston) crée à Tewksbury, Mass, les Wang Laboratories, dont la première réalisation est un DDA parallèle, c'est-à-dire un DDA dont les intégrateurs sont matérialisés individuellement, en l'occurrence par un registre décalable de 18 chiffres décimaux, à base de tores magnétiques. La fréquence très basse des itérations, 1 KHz, enlève malheureusement la plus grande part de l'avantage amené par le parallélisme.

Ce Wedilog, dont la configuration minimale occupait trois racks, comprenait 600 tubes et 200 diodes, plus 350 tores magnétiques (chiffre difficilement compatible avec l'indication donnée 4 lignes plus haut), pesait 180 Kg et consommait 25 Kw, ce qui paraît tout à fait disproportionné. L'accès se faisait par Flexowriter, ce qui est pratique, et le tout coûtait \$ 20000. Très petit succès.

Pendant les années suivantes, on ignore où Wang trouve les ressources pour survivre. Puis, en 1964, Wang annonce LOCI, Logarithmic Computing Instrument, un calculateur de table qui doit remplacer la règle à calcul. Son esthétique est des plus sommaires. Sa programmation par touches annonce celle des calechettes qui apparaîtront

dix ans plus tard. Son principe est remarquable, et consiste à manipuler le logarithme des nombres, de sorte que les multiplications et divisions sont remplacées par des additions, les racines et les puissances par des multiplications ; la conversion de nombre à log et inversement se fait sans doute par développements limités, selon le modèle de la machine Mk I de Harvard tout proche, mais elle est invisible pour l'utilisateur.

Le LOCI 1 est cette simple calculette, rapide mais encombrante, mais surtout beaucoup plus précise que les règles à calcul. Cependant, elle est complètement manuelle.

Le LOCI 2 est un véritable calculateur programmable, où l'ensemble précédent est complété par un lecteur de carte statique qui peut fournir jusqu'à 80 ordres octaux (00 à 77, carte jointe) pour des sous-programmes.

Le LOCI sera un franc succès, et lancera l'entreprise, qui va d'abord essayer d'étendre la formule.

La série 300, annoncée en 1966, garde le LOCI comme unité centrale mais permet sa commande par un maximum de 4 petits claviers de table, simultanés. La combinaison de claviers plus ou moins riches, et la présence ou l'absence d'un lecteur de cartes fournissant des sous-programmes permettent de définir toute une gamme de modèles. La simultanéité n'est évidemment qu'apparente, car il n'existe qu'un bloc de calcul, mais chaque clavier a ses propres mémoires (Modèles 240 et 250).

Dès cette époque, Wang a des clients dans toute l'Europe, et en France son distributeur est Aéromaritime Electronique, qui demande 15000 F pour la machine de base, plus 4500 F par clavier.

Dans les années suivantes, toute une série de boîtes sont ajoutées au système pour y ajouter des mémoires et des opérations, varier les périphériques, étendre la capacité de programmation et la centraliser, etc.. Vers 1969, la société connaît tous les aspects de la réalisation des calculettes et des miniordinateurs de table.

La série 200, annoncée en 1969, garde les mêmes principes en reconcentrant les composants dispersés ci-dessus. Voir photos dans la fiche 300.

Simultanément, on propose un modèle 700, qui est un vrai calculateur de table à clavier, mais pour une seule personne. Il s'agit maintenant de concurrencer Hewlett Packard, qui s'est introduit sur ce même marché avec ses machines 9000: la machine dispose d'une programmation riche et modifiable, et d'un choix de périphériques, bande perforée, machine à écrire, cassettes, traceur.

Les deux années suivantes multiplient les modèles, les monopostes ayant définitivement pris le dessus : la 100 est un modèle imprimant, la 500 y ajoute une cassette pour la programmation et augmente la mémoire, la 600 ajoute à la 500 des périphériques, la 3300 étend cette possibilité jusqu'à en faire un système de temps partagé à 16 postes (45 exemplaires vendus en 7 / 72), la 400 au contraire fait baisser les prix en réduisant la capacité de programme (64 à 320 pas) et en spécialisant les machines avec des groupes de sous-programmes précablés : 7 modèles spécialisés sont vendus 4100 à 6900 FFHT (1973).

Avec le 2200 qui apparaît en 9 / 73, la philosophie de la machine change complètement, anticipant sur ce qui va bientôt être la solution des calculettes de Texas et HP : une virgule flottante à 13 chiffres + deux d'exposant, vraisemblablement obtenue

avec des mots MOS de 64 bits, gérée par un CPU 8 bits dont le programme sur ROM 10 bits peut être considéré comme un microprogramme. La seule différence est que l'on n'essaye pas de créer ni d'utiliser un microprocesseur. Nombreux périphériques.

La présentation rappelle Apple, avec un clavier intégrant le CPU, et un moniteur assez petit logrant aussi le lecteur de cassettes. Le logiciel est BASIC.

En 1975, virage commercial : Wang crée un nouveau processeur plus économique à fabriquer, le 2200 S, et l'installe au coeur de plusieurs versions marketing qui changent de cible :

- le 2200 PCS s'oppose à l'IBM 5100 et offre un service comparable aux machines antérieures, en moins cher évidemment.

- le 2220 est un poste de saisie, travaillant par paire sur un disque commun.

- le 2200 T est une machine de petite gestion, avec ses applications écrites en Basic, en particulier le traitement de texte qui va devenir une spécialité.

- les WCS 10, 20, 30 sont des minis de gestion, différant du précédent par les mémoires auxiliaires, cassettes, disquettes ou disque.

Le succès de Wang en bureautique, lancé par le traitement de texte, est considérable, et en 1979 le parc mondial atteint 12000 machines dans le monde, dont 500 en France. La version 2200 VP, caractérisée par les nouvelles mémoires à puces de 4 Kbits, représente une part notable de ce succès : elle se diversifie en SVP, LVP, MVP qui se distinguent uniquement par les tailles de mémoire et de disques, autorisant un plus ou moins grand nombre de terminaux.

A des fins marketing, ces modèles techniques sont habillés de périphériques et de logiciels qui en font des machines de gestion, WCS 25 et 40.

Pour des raisons essentiellement marketing, Wang adopte alors la mémoire virtuelle, avec comme objectif de pouvoir faire changer les paramètres commerciaux, taille de mémoire, nombre de disques et de terminaux, sans modifier les programmes. Le logiciel qui constitue la nouveauté essentielle offre 1 MB à chaque usager, ce qui est peu mais suffit en petite gestion.

Outre une mémoire topographique pour rendre cela possible, le matériel nouveau comprend un contrôleur de terminaux, baptisé un peu luxueusement IOP. La mémoire pourra monter à 512 KB lorsque les puces 16 Kbits deviendront disponibles.

Il y aura d'abord les WCS 60 et 80, produits de gestion pour 16 et 24 consoles (8 IOP), avec jusqu'à 8 disques de 288 MB amovibles, ou de 75 MB plus accessibles. Puis, avec le succès, Wang abandonnera le marketing WCS pour ne plus vanter que la souplesse de sa mémoire virtuelle, en baptisant directement ses machines VS. Il faut bien comprendre, à ce sujet, que Wang vend un service, et évite soigneusement de parler technique à ses clients PME : nous sommes donc très mal renseignés.

Il semble qu'avec le VS 100, disponible à partir de juillet 1980, on ait affaire à une nouvelle machine, quoique soigneusement compatible : mémoire physique 256 KB à 2 MB, cache 32 KB à interface 64 bits, mémoire virtuelle maintenue à 1 MB par usager avec pagination par 2 KB, processeur microprogrammé à cycle de 160 ns pour données 32 bits, possibilité de 2 adaptateurs de bus dont chacun peut supporter 8 IOP. Cette machine coûte \$ 93000 avec 1 MB de mémoire. Elle peut s'étendre à 128 terminaux et 4,6 GB de disques.

Le logiciel comprend, autour du système d'exploitation à mémoire virtuelle, un assembleur, un interpréteur Basic, des compilateurs Fortran, PL/I, Cobol et RPG II. A partir de 9/79, on peut avoir une base de données relationnelle gérant des fichiers indépendants du langage de programmation.

Pour les terminaux, on peut se procurer un traitement de texte à \$ 4300 pour les stations de travail 2246, et un système d'interconnexion bureautique nommé WISE, coûtant \$ 5000 pour faire travailler ensemble jusqu'à 4 stations.

A partir de là, Wang développera des variantes marketing telles que :

VS 50, livrable 11/80 : \$ 32900 pour 128 KB de mémoire, un disque interne de 28 MB, un lecteur de disquettes 1,2 MB, et 6 stations. Extension possible à 512 KB et 32 stations.

VS 90, qui est le 100 sans cache, vendu \$ 73000 avec 1 MB de mémoire. Extension maximale 4 MB, un seul bus d'entrées/sorties et donc au plus 8 IOP.

VS 85, dernière proposition de ce matériel en 1985, cache 32 KB, 4,9 GB de disques et 80 périphériques dont 64 terminaux.

Pendant cette période, le développement des communications conduit Wang à proposer à ses clients deux services nouveaux :

- un réseau local Wangnet débitant 10 Mbits multiplexés qui permettent de véhiculer les liaisons intersystèmes Wang, les liaisons téléphoniques, les services de l'immeuble comme la sécurité et les videoconférences, et les liaisons de terminaux. Voir document commercial.

- un service logiciel optionnel pour les clients qui doivent s'intégrer à un réseau SNA, et qui permet à leurs terminaux locaux d'apparaître à ce réseau comme des IBM 3274, et à leurs machines VS comme des terminaux lourds RJE 3777.

C'est aussi vers cette époque que le PC s'impose dans les entreprises et ne peut plus être ignoré. Wang se procure un ordinateur qu'il appelle PC et qui peut fonctionner soit en 16 bits avec MS/DOS soit en 8 bits avec CP/M, en utilisant un 8086 à 8 MHz et des caractéristiques compatibles plutôt minimales, (mémoire 128 à 640 KB, floppy, option disque 10 MB) au prix de base de 21550 FFHT.

Baptisé ordinateur professionnel de bureau tout en soulignant sa compatibilité par le sigle PC, ce système est clairement présenté comme un composant de l'équipement de l'entreprise, compatible moyennant logiciels d'émulation avec le réseau Wangnet, les services bureautiques OIS et Alliance, le courrier électronique Mailway, et les ordinateurs VS et 2200. Il n'y a aucun effort de Wang en direction des applications familiales.

On notera par contre qu'une version de cette même machine, beaucoup plus pauvre en logiciel, est commercialisée au même moment sous le nom de Wang 1107 Assistant, avec comme seule finalité le traitement de texte, et bien entendu un prix plus bas (pas de disque, pas de communication).

C'est ici qu'il semble intéressant de glisser un examen de la situation financière de Wang, car il s'agit d'un mauvais moment, qu'il faut expliquer :

Année	CA (M\$)	Bénéf (M\$)	Effectif	% Informatique	Parc (nb)
-------	----------	-------------	----------	----------------	-----------

R&D (M\$)

1974	64					
1975	76	3				
1976	97		2350	65		
1977	134	18	3200	85	15270	
1978	198	16	4100	85		
1979	410	36,9		9177	68	34000
1980	682		14000	100		
1981	1008	90	13800	100		
1982	1321	123,6		19700	100	50000+
1983	1792,9	179		100		117
1984	2400	230		100		
1985	2428,3	- 63	31000	100		187

On constate des débuts très modestes, avec une croissance régulière et modeste, correspondant à la période des calculateurs de bureau. Un brusque changement se produit quand les 2200 passent à la gestion à l'occasion de l'implantation d'un interpréteur Basic, et à ce moment se produit une première crise, qui ne se répercute pas dans les bilans : la maintenance ne suit pas, et la clientèle s'en plaint, mais sans abandonner le produit qui plaît toujours. Wang réagit pour remédier à cette lacune.

Avec l'apparition de la mémoire virtuelle, le succès s'emballé et la clientèle change de nature, passant des ingénieurs aux gestionnaires. Ceux-là n'apprécient pas la politique d'indépendance de la compagnie, et réclament des actions que Wang répugne à accomplir : possibilités de communications avec IBM et de fonctionnement en RJE. Des mesures sont cependant prises dans ce sens (voir plus haut), mais les clients en voudraient davantage. A l'occasion des retards de mise au point du modèle VS 300 (ci-dessous), cette frustration déclenche des réactions de désaffection : des clients quittent Wang pour ne plus revenir. C'est l'explication du déficit de 1985, qui provoque de vives réactions : le directeur général est remercié et An Wang, sortant de sa réserve, organise une ferme reprise en main et une politique d'ouverture. Les sommes consacrées aux études augmentent.

Dans la période qui suit le matériel est renouvelé et son logiciel s'adapte à une ouverture plus grande, en particulier dans le domaine des communications et des bases de données : l'accès à Oracle et Informix devient possible.

VS 300 (A 1984, S 2/85), haut de gamme 3,5 Mips grâce à CP = 120 ns, réalisé en TTLS, avec 4 à 16 MB de mémoire. Sa microprogrammation contient des accélérateurs pour les compilateurs Fortran, PL/I et Basic. Son système d'exploitation est paramétré pour 255 tâches, 192 stations, 32 disques représentant 20 GB. Prix K\$ 170 pour CPU, 4 MB, OS, assembleur, console et 1 station.

VS 15 (A 1984) est un bas de gamme 32 bits, mais avec bus 16 bits, 1 MB, 16 terminaux. Il peut être transformé sur site en ...

VS 65 (A 1984) 32 bits, cache 16 KB, jusqu'à 48 périphériques dont 30 terminaux locaux, 16 terminaux distants, et 2,6 GB de disques, à choisir parmi les modèles 76, 1487 et 620 MB fixes, 75, 90 et 288 MB amovibles internes ou externes.

VS 5 (1986) est encore un micro 32 bits à bus 16 bits, mais avec un cycle de microprogrammation très lent de 480 ns. Il dispose de 1 MB de mémoire, un floppy, un disque dur de 67 MB, avec option pour un second et pour un streamer, et des interfaces pour 2,5 GB de disques externes et 4 lignes. Il ne coûte que 12000 \$ en configuration de base. Il est capable de 16 périphériques dont 8 terminaux.

VS 6 peut être obtenu sur site à partir du précédent, au prix supplémentaire de 11000 \$. Il utilise une microprogrammation CP = 200 ns, d'un bus 32 bits et d'un cache 16 KB, pour une mémoire 1 (1) 4 MB. Il est estimé 0,75 Mips et coûte \$ 19950 à l'achat direct. Il est capable de 24 périphériques dont 16 terminaux. Il peut être transformé sur place en VS 65 au prix de \$ 16000.

VS 75E prend place juste au dessus des VS 5 et 6 qui passent eux aussi à la version E, caractérisée par l'introduction d'un microprocesseur 68010 pour la gestion du bus d'entrées / sorties. Avec une mémoire de 8 MB, un cache de 32 KB, 16 à 64 utilisateurs, ce VS75 remplace le 85 techniquement trop ancien.

VS 7000 est une nouvelle famille pour le haut de gamme, de 1 à 3,5 Mips, qui remplace apparemment tous les gros modèles précédents tout en utilisant le même processeur CP8 que le VS300, le même cache de 32 KB, et la même architecture à deux bus de 33,3 MB/s.

La souplesse de la micromachine permet ces adaptations :

- CP = 240 ns pour le VS7110, 4 à 16 MB de mémoire, 16 disques = 9 GB, 35 à 70 utilisateurs.

- CP = 180 ns pour le VS 7120, même mémoire, 24 disques = 14 GB, 50 à 100 utilisateurs actifs.

- CP = 120 ns pour le VS 7150, même mémoire, mêmes disques, 60 à 120 utilisateurs actifs.

- même CPU pour le VS 7310, mais mémoire 8 / 16 MB, 40 disques = 24 GB, 80 à 192 utilisateurs.

En fait il s'agit d'une solution d'attente, comme on s'en aperçoit l'année suivante.

Néanmoins, la firme semble sortie de sa crise, avec un CA 1987 de l'ordre de 3 B\$ et un bénéfice de 94,5 M\$; les effectifs restent de l'ordre de 30000 personnes, il n'y a pas eu de licenciement.

Wang entretient aussi une petite production de PC pour entreprises, avec de nouveaux modèles en 1987 :

PC 280, à base de 80286 à 6,8 ou 10 MHz, avec 640 KB , un floppy, un disque de 34 MB.

PC 380, autour d'un 80386 à 8 ou 16 MHz, avec 2,5 à 10 MB, et un disque de 68 MB. Le logiciel de ces deux machines est MS / DOS 3.2, avec Windows 1.03 .

Il y a aussi un "portable" de 6,5 Kg (photo), processeur 8088, 512 KB de mémoire, écran LCD 25 * 80 car ou 320 * 200 pixels CGA en graphique, disque 3,5" de 10 MB, imprimante thermique.

VS 5000 apparait en 1989 et constitue une famille à lui tout seul, autour d'un microprocesseur 32 bits conçu chez Wang qui peut être choisi en 25 à 33 MHz.

Plusieurs ASIC également maison, baptisés coprocesseurs, déchargent ce CPU des tâches de service. L'armoire assez importante permet d'ajuster tous les paramètres selon les

besoins de l'utilisateur entre 1 et 16 MB de mémoire, 16 à 96 périphériques dont 10 à 64 terminaux, et des disques jusqu'à 5,3 GB sur interface SCSI.

Le logiciel est en principe toujours VS/OS de Wang, mais le constructeur sent que le vent tourne et propose aussi un Unix V baptisé VS/IN ix conçu pour cohabiter, et fourni par la société Interactive Systems Corp.

VS 8400 constitue la taille intermédiaire, avec un à quatre processeurs TTL + CMOS, une mémoire extensible à 64 MB sur 64 bits + ECC, un cache de 32 à 128 KB, et le double bus habituel 66,7 MB/s qui peut recevoir jusqu'à 15 IOC et, en standard, un processeur de service et maintenance. C'est la première fois qu'on obtient de Wang une vraie notice technique de l'un de ses produits.

VS 10000 enfin est un processeur compatible réalisé en ECL, dont on ne connaît que la photographie.

Ainsi l'année 1989 est celle d'un renouvellement complet des matériels, assorti d'un prudent développement logiciel qui autorise, à travers les IOC, l'acceptation des périphériques compatibles IBM et tous les protocoles du marché. Il aurait été intéressant de découvrir si cet effort, qui maintient cependant fermement la spécificité d'un logiciel propriétaire, a été payant, ou au contraire mortel comme ce fut le cas chez DEC ou Data General. Mais on n'en sait rien, sinon qu'aucune publicité significative pour Wang n'apparaît dans la presse informatique des années 90.

597 - Mini de gestion de Warrex Computer

Cette société introduit son mini de gestion sur le marché en 1974.. Le CPU est 8 bits, la mémoire 16/60 KB en MOS présente un cycle de 800 ns, il en résulte un temps d'addition de 3,6 μ s qui souligne une architecture simpliste. Les périphériques sont des disques, au choix floppy, cartouches ou disque à tête fixe, plus écran/clavier, et jusqu'à 12 lignes.

Le logiciel est une multiprogrammation, avec des fichiers directs ou séquentiels sur disque. Ce système minimal est complété par un assembleur, un compilateur CPL1, et un package de gestion.

Le prix minimum est \$ 20000, plus maintenance. Trois versions ne différant que par la taille sont proposées, et baptisées IA, IIA et III.

Le succès local a dû être suffisant pour permettre à Warrex d'annoncer, l'année suivante, un autre mini 16 bits avec la même mémoire et un temps d'addition de 8 μ s, si élevé qu'il suggère que le processeur 16 bits est raccordé à une mémoire restée 8 bits. Le prix est un peu plus élevé, \$ 26950, bien qu'il ne soit prévu que 8 lignes, parce qu'il y a des périphériques nouveaux, cassettes, bandes magnétiques, imprimante 600 lpm. Le logiciel aussi est renforcé, avec un Fortran et un Basic.

La société existe toujours en 1978, lorsqu'elle propose un nouveau CPU 8 bits, avec une mémoire MOS de 32 à 252 KB, dont le cycle a été amélioré à 600 ns. L'addition en 16 μ s ne peut correspondre à l'arithmétique binaire, mais si elle est décimale on ignore la taille des nombres en cause.

Tous les périphériques antérieurs se retrouvent ici, sauf qu'il est maintenant possible de connecter de 4 à 64 lignes, un chiffre invraisemblable du point de vue de l'efficacité et de l'économie.

Le logiciel rejoint celui du Centurion III, avec en plus un compilateur CPL2. Pas de Fortran.

Au total, des matériels sans originalité à usage exclusivement local, et qui n'ont certainement pas dépassé ce stade. Warrex n'est plus mentionné à partir de 1980.

598 - Les multipostes de Wyse Technology

Cette société se crée à l'époque du 386, mais pas sur le thème du PC. L'idée est de construire des multipostes sous Unix. Wyse offre deux solutions.

Le modèle 5000i utilise un seul 386 à 25 MHz et propose une configuration à 16 postes, comprenant un cache de 64 KB avec accès en 25 ns, une mémoire vive de 8 MB, un disque dur de 150 MB, un lecteur de disquette 5,25" de 1,2 MB, une cartouche de sauvegarde de 150 MB, et une carte multiposte pour la connexion des terminaux. Le prix en France est 113230 FFHT.

La série 9000i peut recevoir de un à six processeurs 386 à 25 MHz, et plusieurs cartes d'extension pour une mémoire spécifique de chaque processeur. Voir photo.

Pour la gestion de 128 postes, il faut prévoir 4 CPU, 32 MB de mémoire vive, un disque dur de 780 MB, une cartouche de sauvegarde de 150 MB, et deux cartes multiaccès capables chacune de 65 terminaux. L'ensemble revient à 691380 FFHT.

Pour 64 postes, il suffit de 3 CPU et d'une carte multiterminaux, prix 515000 FFHT.

599 - Les composants de Weitek

Weitek est un bureau d'études californien qui ambitionne de créer des composants exceptionnels par leurs performances. En attendant le succès, il vit en définissant des coprocesseurs compatibles avec les microprocesseurs du marché, Intel essentiellement, mais bien meilleurs en performances.

La première production originale, en 1984, est un triplet de puces destinées au projet WARP de Carnegie Mellon, financé en partie par la DARPA. Ces trois puces sont :

- WTL 1033, multiplieur VF 32 bits
- WTL 1032, ALU 32 bits en fixe.
- WTL 1066, puce complémentaire contenant 32 registres 32 bits et 6 registres d'accès 16 bits.

Dans le WARP, ces trois puces se retrouvent sur une carte 17 * 15" (432 * 381 mm) avec quelque 180 circuits intégrés dont 16 KB de mémoire. 10 cartes sont montées en série pour constituer un pipeline avec entrée des données et adresses à une extrémité, sortie de résultats à l'autre. La configuration change toutes les 200 ns.

Nous disposons aussi d'un article d'Electronics décrivant avec quelques détails la combinaison d'un multiplieur 32 * 32 délivrant un résultat 64 bits à 16 MFlops, et d'une ALU 64 bits (W 1064 / 5). La réalisation est en NMOS. Le client est, notamment, Floating Point Systems. Voir fiche.

En 1987, autre microprocesseur 32 bits en 2 puces visant le graphique 2D, réalisé en CMOS 1,5 μ . Ces deux puces formant ACCEL 8000 sont :

- PSU, bloc de commande, qui assure aussi la gestion des interruptions. Il comporte une anticipation de une instruction, et dans le répertoire un loop control et un endloop.
- IPU, ALU en arithmétique entière.

La performance est 12,5 Mips en pointe, et 5 Mips peuvent être soutenus. L'architecture est à 3 adresses, avec une durée pipeline de 80 ns pour l'arithmétique entière ; load et store sont à une adresse.

Le logiciel comprend trois compilateurs optimiseurs pour C, Pascal et Fortran. Un programme paralléliseur améliore - a posteriori ? - le résultat des compilateurs. Il existe aussi un outil de développement sur PC / AT, avec assembleur, désassembleur, éditeur de lien et simulateur.

Le microprocesseur est utilisé par le JPL et la société Evans & Sutherland.

Cette même année, le ACCEL 8032 semble être un triplet de puces qui ajoute aux deux précédentes un FPU capable de 10 Mips. Le triplet réalise une FFT de 1024 points en 2,8 ms. Pour une fonction graphique comme le clipping, le débit atteint 500000 points / s.

Il existe aussi un ACCEL 8064 dont le FPU est en DPVF, avec un bus de communication 64 bits à 200 MB/s. Cette puce délivre 5 MFlops DP. Le jeu coûte \$ 1500 par lot de 100.

En 1991, Weitek réduit quelque peu ses ambitions et propose des circuits pour PC.

- le UIK, User Interface Kit, réunit en un seul boîtier un contrôleur SVGA couleur 1024 * 768 et un accélérateur graphique à même de traiter directement certaines opérations comme le déplacement de blocs de pixels ou de dessins. Prix prévu 20 \$.

- le W 8701 est un coprocesseur pour Sparc, regroupant une ALU classique, un FPU et un accélérateur graphique 2D. Il peut remplacer un Sparc 601 avec lequel il est compatible, améliorant considérablement leurs performances. Proposé en quantités à \$ 240 pour la version 33 MHz, et 264 \$ en version 40 MHz.

- le W 8720 est un contrôleur graphique 2D, capable de 400000 vecteurs par seconde, livrable en 9 / 91 au prix de 160 \$.

Il semble bien que ces produits n'aient pas eu beaucoup plus de succès que leurs prédécesseurs : on les essaye, puis on les oublie. Ce qu'il faudrait, c'est une coopération continue, ou une supériorité écrasante. La supériorité existe mais reste modérée, et aucune coopération ne s'instaure.

600 - Western Digital Corporation

Il s'agit d'un bureau d'études qui se consacre à la définition de processeurs originaux, d'un vif intérêt conceptuel, malheureusement trop en avance sur leur temps en général. La première application de cette démarche, intervenue en 1975, était une version microprocesseur de l'architecture PDP 11, étudiée semble-t'il pour le compte de DEC en vue de réaliser le LSI 11. Elle comprenait trois puces:

- le bloc de commande CP 1621B, reconnaissant 84 opérations.
- le bloc de calcul CP 1611B, contenant 26 registres 8 bits

- la ROM de microprogrammes, CP 1631B

Ces trois puces étaient interconnectées par un bus 18 bits bidirectionnel, avec un cycle de 300 ns. Le jeu de puces NMOS silicon gate, en boîtiers 40 broches, était vendu \$ 159 en lots de 100.

Le microprocesseur communiquait avec le monde extérieur, mémoire et IO (mapped) par un bus 16 bits. Il exigeait trois alimentations, +5, -5 et +12 Volts.

On ignore les conditions du contrat, qui comportait une seconde source chez National Semiconductors, et aurait dû assurer le démarrage de WD, mais la décision DEC d'interfacer le LSI 11 par un nouveau bus, le Q Bus, semble avoir compromis le produit WD. Fin 76, Western Digital était en faillite, c'est-à-dire s'abritait derrière le chapitre 11 pour chercher une solution.

On ignore qui a recapitalisé la société défailante, mais WD se manifeste à nouveau en 1979 avec le Pascal Microengine, un jeu de 4 puces qui matérialise la machine à pile du langage intermédiaire P des compilateurs Pascal, d'où son nom. Il comprend :

- le microséquenceur, avec le microCO et la logique d'entrées / sorties, avec 4 interruptions.

- deux mémoires 512 * 22 bits pour la micromachine et les microdiagnostics.

- le bloc de calcul, avec les registres, l'ALU et le décodeur.

L'ensemble permet d'édifier un CPU 16 bits, adressant 64 Kmots, et tournant avec une synchro 3 MHz tétraphasée. Il est compatible avec le TTL tristate, et exige les mêmes alimentations, +5, -5, et +12 Volts.

Le logiciel, dit System UCSD (Université de San Diego), comprend un Pascal, un Basic, une gestion de fichiers, un éditeur sur écran, un débogueur, et un graphique interactif.

Le jeu de puces était vendu \$ 195 pièce, ou \$ 117 par lot de 1000 en boîtiers plastiques, \$ 125 en boîtiers céramique. Une autre forme de commercialisation était une carte OEM de 8 * 16" (203 * 406 mm) contenant autour du microprocesseur une mémoire DRAM de 32 KB, deux RS 232C avec un commutateur de vitesse 110 à 19200 bauds, deux connecteurs parallèles 8 bits, un contrôleur de disque commutable entre SD, DD ou minifloppy (4 axes) : prix \$ 2995. Et pour être complet, on pouvait encore acheter pour \$ 8000 le système complet, avec 64 KB de mémoire, deux lecteurs de disquettes, une imprimante 60 cps, un terminal écran / clavier, et le système d'exploitation sur disquette.

Ce produit a dû servir à construire suffisamment de minicalculateurs pour assurer la survie de Western Digital, car on le retrouve en 1981 dans le ADA Microengine, qui est un jeu de 5 cartes OEM vendu \$ 6210 sous le sigle ME 1660. On y trouve le même microprocesseur avec trois nouvelles ROM, 128 KB de RAM, un contrôleur de disquettes, 4 interfaces série, et un contrôleur polyvalent alimentant un bus à 10 branchements de périphériques.

En utilisant ces cartes, on construit le ME 1675, qui est un calculateur à \$ 12750 comprenant 2 lecteurs de disquettes 8", une imprimante et un écran / clavier.

La même carte CPU avec Pascal et ADA sera utilisée en 1982 dans un ordinateur commercialisé par Technology Resource, avec une carte mémoire 128 KB, une carte d'entrées / sorties avec 4 RS232C et une voie parallèle pour imprimante, une carte

contrôleur pour Winchester 8", et une autre pour un lecteur de disquette 8", ainsi que le disque 10 MB et le floppy 1 MB correspondants.

Dernier travail : Western Digital s'est chargée de mettre en forme de prototype la Numachine conçue par le MIT, qui a ensuite été reprise par Texas Instrument sous le nom d'Explorer. Cette machine regroupait autour d'un bus 32 bits révolutionnaire multiplexé pour adresses et données :

- un microprocesseur Motorola 68000 avec cache, travaillant sous Unix 4.2 de Berkeley
- un 8088 comme contrôleur de l'horloge et de l'alimentation
- un convertisseur vers le Multibus qui supporte les périphériques.

Il ne semble pas que Western Digital ait tiré le moindre profit de cette opération.

Après ces événements, WD a encore essayé quelque temps de fabriquer des composants, et nous avons la trace d'un jeu de 3 puces formant contrôleur Ethernet standard : WD 83C690 contrôleur, WD 83C691 encodeur CMOS, WD 83C692 émetteur / récepteur CMOS.

Puis la société s'est fermement reconvertie vers la production de disques, et elle y a honorablement réussi : nous avons le CA de 1993, 1255 M\$ avec 25 M\$ de pertes, puis celui de 1994, 1500 M\$ avec 73,1 M\$ de bénéfice. Nous avons aussi quelques indications techniques :

WDAB 130 (1990) : disque de 2,5" pour PC/AT, poids 144 g, épaisseur 0,6" = 15 mm, capacité 31,5 MB formatés, temps d'accès moyen 19 ms, prix \$ 325.

WDAS 260 (1992) : même diamètre, même temps d'accès, 160 g, 0,75" d'épaisseur = 19 mm, 62,9 MB.

601 - Westinghouse

La société Westinghouse est connue avant guerre comme un fabricant de chaudières pour navires et centrales électriques, et elle a d'ailleurs continué cette activité après la guerre en devenant un des leaders de la construction de réacteurs nucléaires, dont les brevets ont été repris dans le monde entier. Pour une telle société, l'informatique est une activité marginale, dont l'importance relative provient de la nécessité d'automatiser ces centrales: il existe à cet effet une Electronic Division. Westinghouse avait par ailleurs une activité militaire à travers une Air Arm Division, qui a pu elle aussi donner lieu à des expériences informatiques. Ces deux divisions ont eu une importante activité pendant la guerre :

1943 AN / ARC 1, émetteur / récepteur VHF 10 voies, produit en masse jusqu'en 1954

1943 AN / APS 6, radar bande X pour chasseur

1943 AN / APS 16, radar avertisseur de queue bande L

mas c'est après la guerre que Westinghouse a remplacé la simple production par une politique de contrats de recherche et de fabrication des produits à succès, dont on ne cite que quelques-uns :

1946 AN / APG 38, radar de tir à poursuite automatique

1946 à 1959 : AN / MPS 20 et TPS 27, radar tridimensionnel pour le système tactique 412L BADGE ; AN / TRC 66, multiplex téléphonique 48 voies pour ce même système.

1948 AN / APG 26, radar de tir pour tourelles de mitrailleuses des bombardiers lourds.

1948 AN/APQ 35, combinaison de trois radars (veille, tir, avertisseur de queue) pour l'avion F3D

1946 à 1960 : radars de veille aérienne bande L pour navires AN/ SPS 6, 12, 16, 28, 37, 43.

1951 AN/BEW 1, système de commande et régulation du réacteur nucléaire du s/m NAUTILUS.

1951 AN/FPS 27, radar de veille et acquisition du système de DCA à missile Talos, partie du SAGE.

1956 AN/WRT2, émetteur /récepteur HF SSB 1 KW pour les sous-marins nucléaires.

1957 à 1973 : radars de tir pour toutes les versions du chasseur F4 Phantom, et par exemple plus de 1000 AN/APQ 120 de 1967 à 1973.

1968 à 1980 : radar tridimensionnel AN/TPS 43 du système tactique 407 L TACS ; dans les années 75 à 90 le TPS 70 qui l'améliore sera vendu au Canada et à l'Arabie Séoudite.

1969 à 1983 : brouilleurs aéroportés divers AN/ALQ 105, 119, 131, 153, 165

1978 AN/APG 66, 378 radars de tir pour avions F16, et d'autres pour navires patrouilleurs.

1970 à 1980 : radars AN/APY 1 et 2 des avions AWACS pour USA et OTAN.

1990 à 2000 : AN/SSQ 89, intégration des informations acoustiques des sonars de bord, des sonars d'hélicoptères, et de la conduite de lancement Mk 116 de torpilles filoguidées pour les croiseurs et destroyers équipés du système Aegis.

Beaucoup de ces applications exigeaient le recours à des ordinateurs incorporés.

Puissante firme industrielle, propriétaire en particulier d'un brevet mondial sur les centrales nucléaires à eau sous pression, Westinghouse est bien entendu client de l'informatique, et a installé son centre de calcul "corporate" à Pittsburgh. C'était initialement un centre de commutation de messages à base d'Univac 490 (12/62) ; cette activité s'est rapidement développée, le centre de 1968 comportant deux 494 (2/67) pour environ 800 terminaux et un affichage central pour le management, tandis que le 490, apparemment acheté, sert à la liaison avec une 1401 située à l'usine d' Athens (9/65). La force principale de calcul est éclectique :

- un CDC 6600 de 3 / 67 et un second de 1 / 68 partagent un système d'entrées/sorties qui dessert toutes les usines ayant des besoins scientifiques, dotées de CDC 8231 (terminaux analogues à des CDC 160).

- une IBM 360/75 gère en 1 / 68 la base de données du groupe et communique à travers une 360/50 avec un grand nombre de terminaux plus ou moins lourds : huit IBM 1050, quatre IBM 1130, une 360/40, quatre 360/30 et trois 360 / 20.

Bien entendu ce n'est qu'un instantané, bien caractéristique de six ans d'évolution. Nous ignorons ce qu'est devenu ce centre de calcul à travers les 30 années suivantes de notre panorama.

La première manifestation d'un intérêt pour l'informatique est la commande, en 1956, d'un calculateur à la firme Ramo Wooldridge. Il s'agit du RW 30 et de variantes ultérieures 31 à 34, rebaptisés WEDAC lorsque Westinghouse les a incorporé dans des dispositifs "track while scan" au sein de quelques-uns de ses radars, par exemple AN /

APQ 56 du bombardier RB47E. Il semble que Westinghouse ait rapidement tiré profit de cette expérience, car pour le contrat AN/APN 81 de 1961, de même type, la division Air a réalisé son propre calculateur, AWS 404 : trois blocs mémoire, arithmétique, entrées/sorties, avec mots de 20 bits, mémoire NDRO à tores pour 2048 instructions et 256 constantes, mémoire de travail à tores de 1024 variables 20 bits ou 2048 de 10 bits, addition en 6 μ s.

Autres modèles pour applications non identifiées :

DP 167 (1960) occupe 200 litres et pèse 135 Kg. Mémoire à tores 2048 mots NDRO de 20 bits, cycle 6 μ s. Mémoire de travail de 640 mots utilisés en simple ou double précision. Bloc de calcul à 1 MHz, addition 6 μ s, multiplication 42 μ s, 3 index.

DP 400 (1961) utilise des tores à commutation partielle, 4096 instructions NDRO avec accès 1 μ s, 2048 variables avec cycle 2,5 μ s. Voir fiche, très pauvre.

DPS 2402 (1965) est un ordinateur parallèle 24 bits, mémoire 4 à 32 Kmots à cycle 2 μ s, étudié aux normes militaires pour l'hydrofoil canadien FHE 400. Le logiciel comprend un assembleur symbolique, deux compilateurs Fortran et Neliac, une bibliothèque de sous-programmes.

Nous sommes incapables de préciser si des appareils qui nécessitent des calculateurs incorporés, comme les brouilleurs sophistiqués (pex AN/ALQ 131) ou l'intégrateur sonar AN/SSQ 89, utilisent des processeurs réalisés chez Westinghouse, ou recourent à la sous-traitance.

On peut noter qu'en 1972, Westinghouse a réalisé de sa propre initiative un calculateur militaire baptisé Minnie, sans autre objectif que technologique. En 1973, ce modèle a été repris avec des composants MSI TTL réalisés spécialement, ce qui permet de rassembler 70 circuits intégrés dans des hybrides qui tiennent sur deux cartes seulement, formant un processeur de 3,6 Kg occupant moins de 152 * 152 mm. Ce MicroMillie dispose d'une mémoire de 64 K* 16 bits en RAM NMOS, cycle de 1 μ s ; l'addition dure 3 μ s et la consommation n'est que de 18 bits. Il ne semble pas avoir trouvé d'application.

La division électronique fait ses propres essais dès 1956 avec NORDIC I, une machine expérimentale, puis NORDIC II qui fait l'objet d'une fiche. La compagnie essaie les tores pour la mémoire, les transistors pour la logique, et les articles traitant de cette machine montrent bien qu'il s'agit simplement d'acquérir une expérience.

A la même époque, un autre essai porte sur un problème simple dans son principe, délicat dans sa réalisation : la construction à titre expérimental d'un calculateur de navigation pour navire, avec tests de la norme MIL. E. 16400. Une architecture série et une mémoire à tambour magnétique suffisaient pour la bande passante, mais le tambour échoua aux tests. Voir fiche.

Toute cette expérience va être introduite par Westinghouse dans le Prodac 580, conçu par la compagnie mais fabriqué par Univac sur contrat. Au total cette mise en route industrielle donnera lieu aux commandes suivantes :

Modèle 510, simple data logger : 21 aux USA et 4 à l'étranger

Modèle 550, ordinateur : 9 aux USA et 4 à l'étranger

Modèle 580, ordinateur : 9 aux USA, dont par exemple le laminoir Armco à Houston.

La conclusion de cette première expérience est que les PRODAC 500 sont inutilement puissants, et qu'on pourra réaliser des machines bien plus économiques pour la suite.

Voir ainsi la fiche du PRODAC 50, une machine 14 bits dont le CPU ne coûtait que 26000 \$, et qui a eu un gros succès, 203 machines aux USA et 19 à l'étranger. La Pacific Gas & Electric Company en a commandé 7 en 1966.

En 1967, estimant devoir renouveler son offre, Westinghouse choisit de ne pas créer un matériel spécifique, mais seulement d'associer ses périphériques habituels à un calculateur Sigma 2 de SDS, très bon marché. Ce Prodac 250, proposé à \$ 50000 avec 28 canaux d'interface tamponnés, livrable en 10 / 67, sera vendu à 58 exemplaires aux USA et 10 à l'étranger. Le logiciel s'appelle PROGEN 64.

Ayant maîtrisé entre temps l'emploi des circuits intégrés (SSI), Westinghouse revient en août 1969 à une production propre avec un processeur en 4 grandes cartes, le PRODAC 2000, qui sera placé à 157 exemplaires aux USA et 44 à l'étranger. Voir fiche. L'année suivante, une version mini (W 2500) de cette même machine, présentée en une boîte de table ou mieux en rack (photos) sera proposée pour des usages plus généraux, avec un logiciel d'usage général, compilateurs divers et utilitaires sous un moniteur temps réel. Bons résultats, 155 machines vendues. Voir fiche.

Ce bilan plutôt modeste semble indiquer que Westinghouse a toujours considéré l'informatique comme une activité marginale, mais il faut reconnaître qu'il y avait dans cette entreprise au moins une personne qui lui accordait plus d'importance : D. L. Slotnick, ingénieur à l' Aerospace division de Baltimore, présente, aux FJCC de 1962, un exposé sur un concept de calculateur matriciel baptisé Solomon I, concept qui avait fait précédemment l'objet d'un rapport interne à l'entreprise.

L'exposé attira l'attention de l' ARPA, car le thème des calculateurs en chaînes contribuant à un calcul commun avait été mis à la mode, depuis 1958, par Unger, et plusieurs fois repris depuis comme solution de problèmes ponctuels. Le projet de Slotnick était détaillé et pourtant assez économique, puisque les processeurs élémentaires travaillaient bit à bit. L'ARPA accorda un contrat et Westinghouse construisit un sous-ensemble de démonstration, qui passa les tests prévus au RADC.

Slotnick reprit alors son projet en portant à 24 bits la taille de chaque PE, avec le soutien de principe de Westinghouse qui le laissait travailler, considérant comme évident que si l'ARPA continuait le financement, le SOLOMON II serait construit par la société.

Mais l'ARPA, qui préparait le projet de son futur réseau,, conçut l'idée d'une machine exceptionnellement puissante et attractive, installée dans une université, et servant de point focal pour le réseau à venir, de sorte que le projet Solomon II fut remplacé par le concept beaucoup plus ambitieux d'un ILLIAC IV à 1024 processeurs 32 bits. Slotnick dut choisir entre son projet et son employeur, et décida de s'installer à l' Université d' Illinois, de sorte que Westinghouse perdit à la fois son contrat et son ingénieur, et tout intérêt pour Solomon. Voir la suite de l'histoire à Illiac IV, dans la rubrique 585.

602 - Western Electric

Cette importante société est, au moment de la guerre, la filiale industrielle du monopole téléphonique ATT dont elle construit tous les centraux . Sa participation à

l'effort de guerre consiste donc d'abord, et tout naturellement, dans la fabrication de matériels téléphoniques militaires, tels que les centraux téléphoniques AN/TTQ 1, et les multiplexeurs, terminaux et relais, pour 4 et 12 lignes : AN/TCC 3, 5, 7, 8, 11, ainsi que les transmissions télétypes sur voies téléphoniques (AN/FGC 1).

Comme cela ne sature pas les ateliers, Western Electric produit aussi le radar terrestre AN/TPS 1B, le récepteur de balise AN/ARR 2, divers émetteurs/récepteurs VHF et UHF pour avions (AN/ARC 1, 4, 5, 11, 12, 18, 19, 28, et des radars bande X pour avions embarqués AN/APS 4 et pour les superforteresses B29 (AN/APQ 13), ainsi qu'un calculateur d'estime pour les bombardements (AN/APA 45).

Après la guerre, Western Electric sera très prise par les projets de complète réfection du réseau téléphonique avec des transistors et des relais Reed, et n'aura pas beaucoup de capacité de production à consacrer aux produits militaires. On peut seulement citer :

1946 AN/DPN2 autoguidage radar de la bombe BAT

1948 AN/BPS 1 radar périscopique pour sous-marins, et AN/BPS 9 ensemble d'antennes périscopiques.

1950 AN/SPG 34, radar de la conduite de tir navale Mk 63 Mle 14, 8800 MHz.

1951 AN/MSG 3, ensemble de conduite de tir du missile Terrier, 2 radars et un calculateur.

1951 AN/SPG 50, radar de la conduite de tir navale Mk 63 Mle 23, 9000 MHz.

1952 AN/TPS 17, radar de veille aérienne bande L, pour unités terrestres mobiles.

1954 AN/TRC 24, émetteur/récepteur pour relais téléphonique multiplex 12 voies.

1955 AN/TSQ 7, data link filaire 750 bit/s pour le système de DCA Missile Monitor AN/MSG 4.

1958 En tant que responsable du projet stratégique BMEWS d'alerte antimissiles balistiques, WE ne s'accorde que le très modeste sous-ensemble AN/FRC 47, relais troposphérique sur 400 MHz SSB.

1965 Western Electric est responsable, comme gestionnaire de projet, du système antibalistique Nike X et de son successeur Safeguard. A nouveau, elle sous-traite massivement : le calculateur sera étudié par Univac, le logiciel par Bell Labs et IBM, et probablement les radars par General Electric.

1972 AN/BQR 15, flutes remorquées pour les écoutes passives des sous-marins nucléaires.

Comme on le voit, WE est presque entièrement absente des grands armements américains sauf dans l'immédiat après-guerre.

Par contre, WE fabrique la majeure partie des modems que vont exiger les transmissions numériques, et tous les nouveaux centraux numériques, tous matériels mis au point par les chercheurs des Bell Laboratories. Cette contribution à l'informatique est évidemment majeure, même si elle est extrêmement discrète au sein du monopole. La Western Electric possède à Princeton, NJ, un centre de recherche où elle dispose d'une 360/50 pour se tenir au courant d'une technique qu'elle n'est pas autorisée à commercialiser. Nous avons un compte-rendu d'une expérience SPY, permettant de suivre sur une console graphique à base de PDP 9 (une réalisation des Bell Labs) le fonctionnement d'un OS/360-MVT : ce monitoring logiciel vise essentiellement à

déterminer l'efficacité de l'organisation de l'OS dans sa tâche principale, la gestion de la multiprogrammation. Un effort analogue avait été fait par IBM sur le système TSS/360.

Après la dissolution du monopole, WE reste le fabricant de tous les matériels pour les lignes à grande distance qui demeurent sous la responsabilité de l' ATT, et elle s'essaye, avec assez peu de bonheur, à la production/commercialisation d'ordinateurs trouvés dans l'héritage Bell (les 3BX).

Nous disposons d'un article illustré décrivant la puce WE32100, reprise complète du WE32000 aussi appelé Bellmac 32. L'auteur paraît avoir gardé un souvenir intense du travail de test effectué sur cette puce, dans une ambiance d'urgence. Voir fiche Bellmac 32.

603 - Teletype Corporation

Un teletype est devenu un nom commun, désignant une sorte de machine à écrire à commande électrique qui obéit à un code spécifique, dit Telex, qu'elle reçoit à travers une ligne du réseau télégraphique. Le clavier de ce télétype génère ce même code, qui a un triple usage :

- actionner le mécanisme de frappe, constitué par un petit cylindre à deux mouvements, rotation et déplacement vertical. Cette tête est légère, et se déplace devant le papier fixe. Elle frappe en s'inclinant vers le papier autour d'un axe transversal situé à sa base.

- générer le signal télégraphique et le transmettre à travers la ligne.

- actionner éventuellement une perforatrice de bande à 5 trous.

Il existe des télétypes complets (KSR), mais aussi des machines plus spécialisées, telles que la RO (receive only) qui n'a pas de clavier.

La société Télétype appartient au groupe ATT, et constitue une filiale de la société de fabrications Western Electric. Les productions de Teletype n'avaient, à l'origine, pas d'autre intérêt que de servir de terminaux télégraphiques ; c'est l'informatique qui leur a donné un formidable élan en en faisant le périphérique le plus économique disponible pour les ordinateurs.

De ce fait, le modèle d'avant guerre, TTY 29, a été remplacé après la guerre par le Mle 33, fabriqué en immenses séries. Il a existé ensuite un modèle 35, moins populaire, puis un Mle 37, dont l'utilité était purement informatique (mouvements avant et arrière, latéraux et dans le sens du papier).

604 - Wilkinson

Le WCS 881 est un calculateur à mémoire 8 bits, 4 à 64 KB avec cycle de 1 μ s, associé à un bloc de calcul 8/16 bits : Accu 17 bits, registre d'adresse 16 bits, registre d'index 16 bits, registre de mémoire 8 bits, registre de page, tous ramenés au pupitre. Le répertoire se compose de 78 opérations, dont l'addition 8 bits en 3 μ s, l'addition 16 bits en 4 μ s, la multiplication 8 * 8 en 7 μ s.

Vendu \$ 8810, ce calculateur est logé dans une armoire remplie seulement à 40% pour laisser la place aux circuits des clients, car l'architecture supporte 512 périphériques. Un DMA permet un débit de 800 KB/s, et il y a 4 interruptions hiérarchisées.

Malheureusement, nous ne connaissons rien du logiciel, sans lequel cette architecture tout à fait standard ne sert pas à grand chose ; en 1969, il devait exister un système d'exploitation et au moins un compilateur, qui aurait pu nous permettre de deviner les intentions des auteurs.

605 - Wintex Computer Corporation

Le 200 NS au contraire affiche la couleur : c'est un mini de petite gestion, avec les ressources logicielles minimales : assembleur, Basic, package de gestion, tous fichiers sur disques, et possibilités d'extension sur Unibus.

Ce calculateur est une simple carte OEM, au choix en format 279 * 260 ou 279 * 457 mm, le second contenant un socle pour recevoir 1 KB de mémoire. Prix 587 \$ pièce par lot.

La mémoire MOS en cartes séparées peut varier de 8 à 64 KB avec cycle de 650 ns. La machine qui travaille sur 8 bits serait microprogrammée avec un cycle de 200 ns, disposant à cet effet d'un jeu de 16 GPR et d'une pile pour 16 CO, correspondant à l'hypothèse extrême de 16 interruptions vectorisées successives. Cette microprogrammation réalise l'addition 5 chiffres en 1,5 ms, ce qui paraît peu efficace.

Les p

riphériques de base, c'est-à-dire supportés par le logiciel, sont écran / clavier, imprimante parallèle, une ligne téléphonique, 2 disquettes, et en option un disque en cartouche.

606 - Wicat

Le 150 WS de Wicat est un calculateur scientifique, de l'espèce qui a fleuri avec le microprocesseur 68000 de Motorola, disposant des compilateurs et interpréteurs habituels en l'espèce, Fortran, Basic, APL, Pascal UCSD, etc... le tout fonctionnant sous Unix. La mémoire peut varier de 256 KB à 1,5 MB, complétée par une disquette 5,25" de 250 KB et par un disque dur de 10 MB. La fréquence de travail est 8 MHz, ce qui place cette tentative tout au début de la période d'expansion du concept.

Le prix en France peut varier de 90 à 120 KF, ce qui paraît rédhitoire.

607 - Lilith de Wirth / Ohran

MM Wirth (qui est probablement le célèbre Niklaus Wirth, à en juger par la suite) et Ohran sont vraisemblablement des chercheurs universitaires qui, ayant quelques idées précises, ont pensé pouvoir réussir en les commercialisant. La machine a été fabriquée pour eux par Diser, Inc. et n'a pas eu de succès : il faut plus qu'une bonne idée pour lancer un produit.

Il y avait en fait deux idées dans cette machine:

- côté matériel, réaliser un calculateur 16 bits, 16 registres, au moyen du microprocesseur en tranches AMD 2901, microprogrammé par une mémoire de commande 2K * 40 bits à cycle de 150 ns. La recette est bonne mais commune à beaucoup de produits contemporains, issus de sociétés mieux introduites sur le marché ; il fallait donc autre chose.

La mémoire de 256 KB communique sur 64 bits de large avec une console graphique à définition 594 * 768 pixels, ce qui est bon pour l'époque ; et elle est multiport, ce qui permet sans doute le rafraichissement d'écran en direct, source d'économie.

Autres dispositions : disque 10 MB en cartouche, clavier, souris à 3 clés, interface RS 232C.

- côté logiciel, le langage machine est Modula 2 traité de façon interprétative, et tout le système est écrit en Modula 2, cad l'exécutif, le compilateur et l'éditeur graphique.

On est frappé par la ressemblance de ces idées avec celles du Xerox PARC, décrites un peu plus loin, avec un Dorado à base d'AMD 2901 et un système écrit en MESA.

608 - Wyle Laboratories

Cette petite société annonce en 1964 un calculateur de table baptisé Scientific, avec deux caractéristiques intéressantes : visualisation décimale des registres sur un écran cathodique de 8", et programmation par cartes suppléant la possible programmation au clavier. Les registres sont placés sur des lignes à retard à magnétostriction, donc série, solution économique mais lente ; la précision est très grande, 24 chiffres décimaux. Il s'agit donc d'un concurrent de Wang, mais avec un bien moindre dynamisme commercial et, semble-t'il, une erreur de cible quand on voit qu'ils ont essayé de l'utiliser en process control.

La machine de base à 3950 \$ était une simple calculatrice, très limitée en programmation automatique par l'absence de mémoire. Wyle proposera donc, au cours des années suivantes, des extensions diverses, mémoire (10 mots), programme (jusqu'à 8 * 32 lignes), et périphériques : LR, PR, ME, traceur, relais pour le temps réel ! Très modeste succès.

Pour élargir son champ d'action, Wyle construit aussi, en 1965, le DPA 4020, un calculateur de même conception mais programmé par tableau IBM, destiné à prolonger la vie des matériels mécanographiques : cette machine s'insère entre le lecteur de cartes et la tabulatrice d'une IBM 402.

609 - Xerox Data Systems

Pendant les années de l'après guerre, Xerox savoure l'avantage de disposer d'une licence d'exploitation bien verrouillée, d'un brevet remarquable : la xérocopie, inventée par Horizon, Inc., une société de Rochester, NY : ce procédé exploite l'effet de la lumière sur le sélénium : un tambour recouvert d'une couche de ce métalloïde est d'abord chargé électriquement par simple frottement, puis l'image à recopier est projetée ligne à ligne sur les génératrices du tambour par un balayage optique. Là où le papier est blanc, la lumière réfléchie décharge le sélénium ; là où le papier est noirci par l'encre, la réflexion est différente et le sélénium ne se décharge pas. Les charges sont ensuite transférées par contact sur du papier, puis une poudre colorée est projetée

sur ce papier et adhère aux endroits chargés ; pour finir ce cycle, l'encre est fixée par chauffage. On imagine que le bon fonctionnement d'un tel principe à la vitesse d'un cycle

par deux ou trois secondes, avec une bonne qualité d'image, exige une grande précision optique et mécanique mais c'est ce qu'a réussi Xerox, qui engrange pendant vingt ans des bénéfices de l'ordre de 20% du CA, tant le procédé est supérieur à tous les autres concurrents.

Xerox cependant pense à l'échéance du brevet, quand la xérocopie va tomber dans le domaine public, et cherche une voie de reconversion. Sans abandonner son activité traditionnelle, qui reste compétitive malgré une concurrence désormais très ouverte (IBM, Nashua, Ricoh, Konica, etc...), à condition de réduire les marges, Xerox choisit l'informatique et crée deux structures:

- un centre de recherche, le Xerox PARC, Palo Alto Research Center.
- une compagnie de fabrication et vente d'ordinateurs, Xerox Data System.

Pour cette dernière, et faute d'expérience, Xerox achète en 1969 la licence de Computer Automation, fabricant et vendant le CE 16, ex PDC 816, le CF 16, ex PDC 216, et en 1970 le CF16A, ex PDC 116 : il s'agit de petits calculateurs temps réel. L'investissement est modeste, les bénéfices également : 45 CE16, 35 CF16 et 50 CF16A seront vendus.

En 1968, le départ de Max Palewski jette sur le marché sa société SDS, Scientific Data System, déjà connue et appréciée pour deux générations d'ordinateurs, les 910 / 925 / 930 / 9300 / 940 d'abord, puis les Sigma 2 et 5 dans la classe supérieure. Xerox achète l'héritage, et XDS se trouve devoir choisir : soit prolonger l'activité temps réel de SDS, soit se lancer dans le haut de gamme gestion, très encombré. XDS choisit la gestion, qu'elle croit mieux connaître.

La petite Sigma 3 , en 12 / 69, succède à la Sigma 2 sur le marché du temps réel et obtient un honnête succès : 140 machines sont vendues aux USA et 40 à l'étranger en 7 / 72. Voir fiche.

La machine est commercialisée \$ 24000 avec 8 Kmots de mémoire et un télétype.

La Sigma 6, livrable à partir d'octobre 1970, reconduit presque exactement la Sigma 7; c'est en fait une machine temps réel à cause de son système de changement de contexte rapide avec multiplication des jeux de registres, mais une arithmétique décimale y a été organisée de façon un peu acrobatique. Faisant le choix de la gestion, poussée dans cette voie par son client français qui cherche à faire barrage à IBM en attendant les premières machines du Plan Calcul, XDS décide que l'arithmétique décimale sera standard, la virgule flottante et les multiples jeux de registres optionnels ; deux systèmes d'exploitation sont proposés : BTM est un time sharing pour 24 usagers, et UTS est un système à mémoire virtuelle combinant batch et mode conversationnel. Des services essentiels comme le RJE et un compilateur Cobol sont ajoutés.

La Sigma 9, première livraison en 1 / 72 à un client anglais, extrapole la Sigma 7 sans augmenter le répertoire. La nouveauté est le système d'exploitation CP. V, Control Program 5, ainsi appelé parce qu'il couvre tous les aspects de l'exploitation, batch, RJE, temps partagé, temps réel, transactionnel. Mais la fiabilité n'est pas optimale et les clients utilisent rarement toutes ces facettes. Cette machine sera produite en France sous le nom d' IRIS 80.

La société commercialise aussi des disques, par la même occasion, très probablement des matériels achetés en OEM. Nous pouvons citer le XDS 7260 à base de packs 45 MB / axe et le 7265 double densité à 90 MB/axe, l'un et l'autre vendus en groupes de 2 à 9 unités : il semble s'agir d'équivalents 2314, origine inconnue (Century, déjà ?).

La Sigma 8, annoncée en fin 71 pour livraison en 73, se veut une amélioration de la Sigma 5, autorisant jusqu'à 4 CPU et 8 IOC, fonctionnant en asynchrone synchronisé avec une base de temps pour chaque unité, ce qui permet de les arrêter individuellement. Dans ce projet on a fait attention à n'oublier aucun des services souhaitables ; mais bien sûr ce nouveau souci du détail coûte cher, et finalement Xerox abandonne le projet avant toute livraison, semble-t-il. Voir photo.

La société limite alors ses ambitions, et décide de reprendre les machines existantes avec une nouvelle technologie LSI qui coûtera moins cher. Cela commence par une 530 qui reprend l'architecture Sigma 3, et qui est vendue comme terminal lourd avec des périphériques à cartes et imprimante.

Ensuite est annoncée une 550, livrable en 9 / 74 et qui doit remplacer la Sigma 5, avec un système d'exploitation CP. R , R pour temps réel, qui cumule batch et temps partagé en 1er / 2ème plan. Elle n'a pas d'instructions décimales et ne peut dépasser 16 canaux. En même temps est annoncée la 560, successeur de la Sigma 6 avec le système CP. V complet et tous les dispositifs. Mais c'est la même machine, avec seulement des différences de microprogrammation.

Tous ces efforts ne suffisent pas à sortir XDS du rouge, et le 21 juillet 1975, Xerox annonce la clôture de la société. Pour ne pas abandonner ses clients, Xerox cherchera un acquéreur et finira par trouver HIS qui s'engage seulement à assurer la maintenance du parc d'environ 700 machines, mais sans plus faire d'effort logiciel.

On notera que tout cet exercice, qui a coûté cher en valeur absolue, ne portait que sur 2% du chiffre d'affaires de la corporation, qui n'en a pas réellement souffert. C'est ici que commence notre tableau financier, car Xerox n'abandonne pas réellement l'informatique, elle change seulement son approche ; et, pour s'accorder le temps de la réflexion, elle fait travailler son Xerox PARC pour essayer de définir une doctrine plus proche du vrai métier de la corporation, qui n'est pas la gestion, mais la bureautique.

Année	CA (M\$)	Bénéf (M\$)	CA inform	Effectif	R&D (M\$)
1975	4054				
1976	4418				
1977	5077	407	209	103977	
1978	5902				
1979	7027	563	475	115705	
1980	8197		770		
1981	8619		1100	(7800)	
1982	8455	423,7	1300	(16821)	(86)
1983	8463,5	466,4	1200	(15101)	(78)
1984			1718		
1985	8732,1	475	1959	102396	603

Le tableau ne montre pas XDS, liquidée au moment où il commence. Le petit CA de 1977 correspond à la production d'imprimantes xérogaphiques, dérivées des photocopieuses, et à l'activité de Diablo, une firme de périphériques, en particulier imprimantes de bureau, achetée vers cette époque. Cependant, à partir de 1980, le PARC a déposé quelques conclusions et proposé des produits, et Xerox se remet à investir dans les périphériques, avec les achats de Centronix (imprimantes), Versatec (traceurs / imprimantes électrostatiques), Shugart (disquettes), Kurzweil (logiciel), Century Data System (disques).

Le démarrage est difficile, d'autant que les recettes de la photocopie ont tendance à stagner du fait de la compétition ; les produits bureautiques ont quelque mal à s'imposer, mais comme on peut le constater sur les chiffres la croissance informatique finit par relayer suffisamment les baisses observées par ailleurs : en 1985, le bénéfice de Xerox Business System atteint 679 M\$ et par conséquent c'est elle qui finance les pertes des autres activités notamment les activités financière, banque et assurances. Les chiffres entre parenthèses en 81 / 83 concernent seulement l'informatique.

Dans le domaine des imprimantes, posons quelques jalons :

1973 Modèle 1200 : il s'agit d'une imprimante xérogaphique capable de 4000 lpm, proposée en deux versions : off line, 2600 \$ / mois, avec dérouleur de bande magnétique 800 / 1600.

on line, 2100 \$ / mois, pour les Sigma 7, 8 et 9. Achat possible à K\$ 125.

ces prix comprenant, comme pour les photocopieuses, l'impression de 100000 pages par mois.

Papier 8,5 * 11" (216 * 279 mm) recevant 66 lignes de 132 caractères, 8 lignes par pouce vertical, 13,3 caractère par pouce horizontal. Les caractères sont générés en bloc, non par points, de sorte qu'il n'existe qu'une seule police possible.

1975 Modèle 3010 : c'est un terminal Diablo pour ligne asynchrone 110 / 150 / 300 bauds, avec clavier ASCII + pavé numérique + fonctions, associé à une imprimante à marguerite 96 caractères commandée par un microprocesseur qui permet tous les ajustements : densité 10 ou 12 car / pouce, espacement 6 ou 8 lignes par pouce vertical, déplacements programmables de 1 / 48 " verticalement et de 1 / 60 " horizontalement permettant le dessin. Prix \$ 5050 à l'achat ou \$ 190 / mois.

1977 Modèle 9700 : première expérience de Xerox conjuguant le procédé xérogaphique avec la génération de caractères par laser. Ceux-ci, recueillis dans un tampon de 1 ligne, sont reportés sur un tambour, à partir d'un bloc de 8 groupes de 8 têtes, chacune 7 * 7 points disposés en rectangle allongé. Le reste du processus est semblable à celui des photocopieuses, le papier continu circulant à 50 cm/s.

Alphabet de 104 caractères, 64 car / ligne, 6000 lignes / minute. Résultats peu convaincants.

1977 Modèle 1660, 1200 bauds, imprimante matricielle à tête 7 * 9 fils, majuscules et minuscules pour 94 caractères ASCII, clavier inclus en faisant un terminal bidirectionnel. Voir photo.

12/80 Modèle 5700 : cette machine est l'aboutissement de l'effort commencé avec la 9700, dont elle conserve le logiciel de génération de page, associé à une mécanique de photocopieur 5600. Une armoire complète cette mécanique, contenant un calculateur 16 bits, un disque Winchester 18 MB, un lecteur de disquettes, et un panneau de commande à écran actionné par touches.

Grâce à l'ordinateur incorporé, toutes les options sont possibles : papier 216 * 279 à 279 * 381 mm, épaisseur variable du simple au double ; choix de 200 polices dont 50 simultanées (jusqu'à 4 par page, 16 par job), options multicopies, génération de formats, vitesse 43 pages par minute.

Compatibilité avec les IBM 370, OS6, 6670, connexion On ou Off line, ligne 9600 bauds selon interface RS 232C. Magasin de 1000 pages.

Prix : 57300 à 91050 \$ à l'achat, + \$ 620 / Mois pour une production de 20000 pages. Ou bien \$ 1240 / mois en leasing sur un an, plus \$ 0,025 par page au delà de 10000, \$ 0,019 par page au delà de 40000.

1993 Modèle 4135 : imprimante laser 135 pages par minute, qualité 600 ppi, pour environnements IBM, Bull et Unisys.

Années 90 : Xerox produit aussi des imprimantes couleur à jet d'encre.

En résumé, nous avons des preuves que Xerox a développé d'une part les imprimantes à marguerite de Diablo, d'autre part des imprimantes laser dérivées de ses photocopieuses, mais rien n'indique que la société ait tiré partie de ses acquisitions spécifiques, Centronix et Versatec.

On peut faire la même remarque au sujet des fabricants de disques, Shugart et Century Data Products, qui n'ont pratiquement rien produit après leur acquisition :

- en ce qui concerne Shugart, nous savons que Xerox l'a abandonnée vers 1985, sans en avoir rien tiré. Il est probable que tout le dynamisme de l'entreprise tenait à son fondateur, Alan Shugart, qui n'a pas voulu venir chez Xerox et, au contraire, a immédiatement créé une autre société, Seagate Technology.

- pour Century Data Systems, nous disposons de multiples documents, classés dans la boîte 141, qui montrent la transition continue entre Calcomp et Xerox pour les produits Trident, Hunter et Marksman. Mais nous avons aussi la preuve que Century, qui ne fait plus alors d'allusion à Xerox, a produit en 1988 un disque Tecstor T2801 de 692 MB, comprenant 8 plateaux de 8 " de diamètre, débitant 12,3 MB/s vers l'ordinateur à travers une interface de mise en parallèle; et que Century n'existe plus en 1995.

Revenons maintenant sur l'activité du PARC, car son importance dépasse largement Xerox, comme on va le constater par une revue chronologique.

1970 Alto : c'est la première machine réalisée par les chercheurs du PARC. Nous en trouvons un schéma bien renseigné dans un article de SIGMicro, rapportant un exposé présenté au Symposium Micro 13, et classé dans la production de l'université de Rochester, NY, en boîte 138.

On y trouve une description assez détaillée de la microinstruction (MIR, à droite en haut), dont les divers champs sont répercutés dans les autres secteurs du schéma. Les microinstructions proviennent soit d'une PROM qui représente les programmes permanents, soit d'une WCS où l'on peut placer des microdiagnostics et des expériences.

Dans la moitié inférieure, R représente les registres de travail, S une mémoire de contexte, à laquelle on ajoute une importante mémoire de constantes. IR contient les flags.

Noter, à droite du centre, le contrôleur Ethernet. Le PARC n'a pas inventé ce réseau, mais il lui a donné un statut, il lui a trouvé des applications, il l'a popularisé, et il en a suscité la normalisation. Sous la forme PARC, il utilise un coaxial à 3 MB/s, communiquant par paquets de 500 caractères ; le logiciel est dans toutes les stations, et très simple (système à collision, reprise légèrement différée en cas d'échec).

En matière logicielle, de nombreuses décisions datent de ce début, même si leur développement est un peu ultérieur : MESA, langage général de programmation

InterLISP, langage de manipulations diverses

Smalltalk, langage introduisant le concept de classe en s'affranchissant de

Simula 67.

1973 MAXC1 : est une émulation du DEC PDP 10 fonctionnant sous les systèmes Tenex et Interlisp, réalisée par microprogrammation d'une structure spécialement construite, la gestion des entrées / sorties étant assurée par un Nova 800. Il s'agit d'un exercice pour les chercheurs du PARC, qui expérimentent ainsi les problèmes logiciel du temps partagé, et leur maîtrise par la microprogrammation.

1974 SCU : pour System Control Unit, est une architecture d'émulateur universel, occupant 12 unités de rack dont un panneau de 4 unités. C'est un processeur 16 bits, avec une mémoire de 4 à 64 Kmots de RAM, 8 GPR, jusqu'à 128 entrées / sorties dont le débit cumulé est 2,86 Mmot/s, le tout actionné par une mémoire de microprogramme de 256 à 4096 * 32 bits. L'architecture comprend 3 bus 16 bits simultanés qui permettent du parallélisme. Les interruptions les plus critiques sont prises en compte en 350 ns,

les autres sont multiplexées mais sont prises en charge en 1,05 µs.

Ce système pouvait être commercialisé pour \$ 4500. On ignore s'il l'a été.

1975 CLISP est une variante conversationnelle de LISP créée au PARC et décrite dans un article de TIEEE C25, 4 / 76 pp 354. En pratique, le PARC utilisera plutôt, dans la suite, l' InterLISP de Bolt, Beranek & Newman, ex BBN LISP..

1977 XCS 3200 : à cette date le PARC dispose de plusieurs produits vendables, et Xerox organise une société Xerox Computer Services à cet effet. Le 3200 est un petit système de gestion produit par Diablo, comprenant un microprocesseur, une ME 120 matricielle, un écran / clavier, une disquette ou un disque dur.

Le PARC, qui a ouvert son réseau Ethernet pour familiariser les chercheurs de la région à cette discipline, propose en 1978 à ses clients un terminal intelligent repéré 1350 qui n'est autre que le calculateur précédent avec 4 floppies ; jusque là les usagers disposaient seulement d'une imprimante Diablo à marguerite, repérée 1340.

1977 MAXC2 : reprend le travail de 1973, mais cette fois l'émulateur est commercialisé, comme un service de temps partagé accessible à travers le réseau ARPAnet. Voir un article détaillé paru à ce sujet dans Computer IEEE en 5 / 78 .

1980 Dandelion est un calculateur microprogrammé, conçu pour utiliser le langage MESA créé par le centre. On dispose, dans le N° de 7 / 85 de SIGPLAN, d'un article de 14 pages 216/29 décrivant la philosophie de ce matériel., qui est le prototype du 820, commercialisé à partir de 1982.

1980 Dorado : est un processeur expérimental conçu pour servir de support à 4 langages de haut niveau.

Le bloc de calcul est microprogrammé, avec 4 KB de mémoire de commande à cycle 50 ns et une organisation pipeline. La mémoire de 1 MB, avec adressage virtuel de 22 bits, dessert ce CPU à travers un cache de 4 KB, ainsi qu'un Multibus capable de 640 Mbit/s ; la mémoire est extensible à 4 Mmots de 16 bits, avec adressage virtuel 28 bits, le cache à 16 KB.

Le bus mémoire peut recevoir en outre des processeurs spécialisés, et notamment un processeur graphique, et une série d'interpréteurs cablés pour les langages de haut niveau, eux-mêmes pipelines.

Ce système n'a pas cessé d'évoluer. En 1985, le cache atteint 64 K, la mémoire de microprogrammes a cru à 136 KB, le répertoire comprend 270 opérations, avec des formats de 8 à 24 bits. L'architecture est du type à pile.

1980 Serveur 8000 : le PARC est prêt à commercialiser sous ce nom son réseau Ethernet de bureautique, construit autour d'un microcalculateur 16 bits (à base d' AMD 2901) et d'un langage de programmation MESA . L'écran est géré en bitmap, un bit par point. La mémoire représente 192 Kmots, dont 50 pour l'écran. Plusieurs versions sont disponibles, qui diffèrent par le logiciel, l'équipement et le prix, avec l'idée qu'il s'agit de postes de travail sur le réseau.

Toute la performance du STAR tient dans la souplesse du logiciel d'écran, qui utilise la souris. En fait c'est Xerox qui a inventé la plupart des astuces logicielles qui ont par la suite fait le succès de LISA et de Macintosh chez Apple. Voir photo.

Le succès économique de cette offre, originale pour son époque, n'a pas été aussi important qu'on l'espérait, peut être à cause de la nouveauté, mais sans doute aussi du prix. Au 1 / 1 / 85, 3000 systèmes avaient été placés. L'offensive est alors reprise avec une large ouverture sur les systèmes IBM et DEC, grâce à l'adoption optionnelle des procédures de ces constructeurs.

1981 Poste 860 : est basé sur un microprocesseur Intel 8085, avec 96 à 128 KB de RAM, un écran 66 * 102 caractères, un clavier, une ME35 Diablo à marguerite, deux lecteurs de disquettes 300 K simple face, Winchester en option, et bien entendu Ethernet. Le logiciel est fourni sur disquettes, notamment Basic.

1981 Poste 820 : ce poste bureautique comprend un microprocesseur Z80, une mémoire de 64 KB, deux microfloppies de 5,25" = 92 KB, un écran, un clavier, et le choix du système d'exploitation.

Par exemple, on paye \$ 6595 pour le système CP/M, un logiciel de traitement de texte, et une machine à écrire Diablo 630 à marguerite, 40 cpm. Voir deux documents d'applications.

1982 1108 Dandelion : cette machine, recevant un nouveau microcode, est affectée aux études d'intelligence artificielle, un système expert coûtant \$ 30000 avec 1 MB de mémoire, un disque Shugart de 10 MB, et le langage Interlisp. La logique est TTLS, il n'y a pas de cache, seulement une mémoire virtuelle de 32 MB. La mémoire physique dispose d'un double port, ce qui permet d'accéder à n'importe quelle zone de mémoire alternativement comme zone de calcul et comme tampon d'image.

L'écran est grand, on y accède par clavier et souris.

1982 1132 est une machine d'intelligence artificielle plus perfectionnée, coûtant K\$ 179 pour un bloc de calcul pipeline à base d' ECL 10K, microprogrammé par une WCS de 4K * 36 bits. La mémoire atteint 8 MB, avec un cache de 8 KB, 70 ns, interface 32 bits qui permet une bande passante de 530 MB/s . La programmation se présente comme l'interpréteur d'une machine conceptuelle équivalant à un langage de haut niveau, à pile.

1984 le Xerox 16/8 est une activité de bas de gamme exploitant la mode qui précède l'apparition du PC : le calcul 8 bits avec le système d'exploitation CP/M de Digital Research. L'originalité de Xerox est de proposer en même temps un fonctionnement en 16 bits sous MS/DOS de Microsoft. Voir notice.

Il est bien clair que, lors de l'apparition du PC, tout cela vole en éclats.

610 - Zeda Computer System

Microcalculateur personnel construit autour d'un microprocesseur Z 80, et installé dans un châssis 19 slots avec une alimentation 25 A et un panneau avant qui contient des poussoirs pas à pas, slow, run, trace. Il est prévu un bootstrap. Le prix de \$ 1600 ne paraît comporter ni mémoire ni logiciel, ni aucun périphérique.

611 - Zenith Data Systems

Zenith Electronics Corporation est essentiellement un fabricant de télévisions, dont les belles années ont été par conséquent la période 1960 / 80 où cette technique s'est répandue partout. Soucieuse de se diversifier, cette société a choisi, probablement à la naissance des PC, perçus comme des calculateurs familiaux, de se créer une filiale consacrée à l'informatique, Zenith Data System (ZDS).

ZDS commence comme tout le monde, en utilisant le système d'exploitation CP/M, avec un microprocesseur Z80. Ce Z89 qui n'aura guère de succès sera remplacé en 1981 par un Z90 mieux étudié, avec mémoire de 64 KB, un disque souple 5,25" standard, deux

interfaces série RS 232C, et le logiciel d'application Supercalc, pour \$ 3195. L'opération est suffisamment réussie pour décider de continuer.

La tentative suivante sera plus durable, consistant à améliorer la performance par le recours à un microprocesseur 16 bits, le 8088. Les entrées/sorties se font en 8 bits parce qu'il n'en existe pas encore d'autres, et ZDS fait choix du bus S100, avec une mémoire de 128 à 768 KB, deux disquettes de 320 KB, un écran mono ou couleur de 24 * 80 caractères ou 640 * 225 pixels, un clavier AZERTY, et deux interfaces, RS 232C série et Centronics parallèle. Un 8085 gère ces entrées/sorties. Le système d'exploitation est MS-DOS rebaptisé ZDOS, et CP/M est optionnel. Le seul langage proposé est Basic, et il n'y a guère d'application, au moins au début.

ZDS passe au PC compatible en 1984, quand le succès initial d'IBM déclenche une véritable hystérie industrielle. Nous disposons de documents en français sur quatre matériels de cette époque :

Z 138, un lourd transportable de 10 Kg. à écran de 7".

Z 148, un PC standard exactement compatible, clavier et moniteur séparés du boîtier de table. Pas de disque dur, seulement des disquettes.

Z 158, également 3 pièces, mémoire extensible à 640 KB, option disque dur de 10 MB.

Z 171, un portable de 6,5 Kg avec écran de 10", 640 * 200 pixels, mémoire jusqu'à 1 MB, deux disquettes mais pas de disque dur.

Z 200 (1985), compatible PC / AT avec mémoire jusqu'à 1,5 MB et option disque dur de 20 MB ; l'écran est regrettablement petit, et seulement monochrome. Le logiciel est MS-DOS 3.1, et en option Xenix. Curieusement de la part du distributeur, qui était à l'époque Bull pour l'Europe, aucune allusion aux logiciels d'application n'apparaît dans ces fiches publicitaires, alors que ce sont ces applications qu'achète le public.

La commercialisation prévoit d'élargir l'offre à des terminaux (Z22 et Z29), à des moniteurs couleur (ZVM 133) ou monochromes (ZVM 122, 123, 124).

Avec son chiffre d'affaires de 352 M\$, ZDS reste mineur dans les préoccupations de Zenith en 1985, dont le chiffre d'affaires de 1623,7 M\$ assorti d'une légère perte souligne l'invasion des USA par des téléviseurs taiwanais et coréens. Mais ZDS marche bien, avec 41% de progression par rapport à 1984 ; la réussite majeure de la direction est l'obtention de contrats gouvernementaux : 18000 Z171 pour le service des impôts directs, un contrat de M\$ 27 arraché dans une compétition à 12, assorti d'un contrat d'entretien sur 10 ans, très incongru; et un contrat de 90000 Z 200 pour l' USAF, représentant plus de 200 M\$.

Ce qui nous intéresse le plus dans cette affaire est le fait que Bull, compagnie française toujours en difficulté, a quelque peu investi dans cette compagnie, et n'en a tiré que de lourdes pertes. Il est difficile de dire si c'est du à l'incurie spécifique de Bull, ou à une fâcheuse évolution de la situation de ZDS.

ZDS continue à vivoter, et en octobre 1994 elle lance le Cruisepad, une ardoise électronique sans clavier, connectée par infrarouge à un PC pour les échanges avec l'extérieur. Pesant 1,5 Kg, mesurant 640 * 480 mm, ce notebook est vendu 1500 \$.

612 - Zentec

Ephémère société proposant en 1977 un minicalcateur ZMS 70 construit autour du microprocesseur 8080, un de plus, avec 16 à 64 KB de mémoire, deux minifloppies Shugart de 80 KB, le tout formant bloc avec un écran 20 * 80 caractères et un clavier. En options externes, un disque en cartouches de 10 MB, et une imprimante parallèle. Ce matériel commercialisé en France par Tekelec était vendu 35000 FFHT avec 16 KB de mémoire, ce qui paraît très excessif.

613 - Zilog, Inc.

La société Zilog est créée en 1975 sur l'impression qu'il est possible de réaliser, avec la technologie NMOS, un microprocesseur 8 bits d'architecture meilleure que le 8080 de Intel, avec la même surface et donc pour le même prix. De fait le répertoire du Z80 englobe celui du 8080, la synchronisation monophasée est plus simple. Ce Z80 sera un grand succès en 1976, et Mostek en sera la seconde source sous le sigle MK 3880, et lui étudiera de nombreux périphériques ; il y aura aussi, un peu plus tard, une version CMOS chez Sharp au Japon.

Dès lors, le simple bureau d'études, filiale peu coûteuse d' Exxon Enterprises, Inc. , elle-même filiale d'investissements du pétrolier Exxon, devient une société à part entière et à côté du siège initial de Los Altos on voit naître d'autres établissements à Cupertino et Campbell.

En 1977 le Z80 sera suivi d'un Z80A qui n'en est qu'une réduction photographique, permettant une taille plus petite de la puce donc un meilleur rendement et une vitesse accrue à 4 MHz. A l'image de ce qu'a fait Intel avec les PL/M pour ses micros 8 et 16 bits, Zilog demandera à Conway et Gries de lui composer un PL/Z, qui d'ailleurs doit plus à Pascal qu'à PL/I.

Après ce succès, Zilog va inventer de nombreux nouveaux produits, dont liste suit:

Z8 (1977) est une réorganisation sur une seule puce du Z80 en vue d'en faire un microcontrôleur. La seconde source sera Synertek. Voir fiche.

Z8000 (1978) est un microprocesseur 16 bits, avec des opérations 32 bits, une réelle anticipation par rapport au 8086 d' Intel, et un succès dans les universités avant de devenir un succès commercial. Commenant à 4 MHz, ce Z 8000 évoluera vers le haut dans les années suivantes. La license de seconde source ira à AMD, qui apportera un grand soutien à Zilog en attendant que cette société ait établi ses réseaux, notamment avec les éditeurs de logiciels.

MCZ 1 (1979) est un minicalcateur de table, qui reprend la présentation du système de développement du Z80 tout en l'étoffant d'un peu de logiciel. Modeste succès.

MCZ 2 (1980) poursuit le même objectif mais change complètement la présentation, qui s'aligne sur celle des mini de gestion contemporains : boîtier parallélépipédique, clavier, moniteur et disquettes séparés. Le logiciel se développe avec un assembleur structuré et un compilateur Pascal.

Z 9000 (10 / 80) est une légère variante du Z 8001, décidée lorsqu'il est apparu que tous les clients du Z8000 choisissaient la version 8001 à mémoire étendue. Le 9000

simplifie la connexion du micro- processeur avec le MMU 8015 en supprimant tous les circuits intermédiaires, et il sera rebaptisé 8003 pour souligner la continuité. Il travaille à 6 MHz, il est 1,5 fois plus performant que le 8001.

Véritable successeur du 8001, le 8003 sera accompagné en 1985 de périphériques divers:

8004, version 6 MHz du 8002, adressage réel 16 bits.

8010, MMU 10 MHz fonctionnant par segments, 328,5 FFHT en lots de 1000.

8015, MMU 10 MHz fonctionnant par pages de 2048 bytes.

8016, contrôleur d'entrées / sorties pour bus multiplexé (le bus d'origine). Prix 187 FF en lots de 1000 pour la version 4 MHz, 255 FFHT pour le 16A en 6 MHz.

8516 et 16A pour les entrées / sorties sur bus non multiplexé.

8094 contrôleur universel avec EPROM pour bus multiplexé, 318 FFHT.

S8000 (10 / 81) est un minicalculateur de gestion construit autour des cartes du système de développement du Z8000, et cette fois, bien soutenu par un système d'exploitation ZEUS dérivé d' Unix 7 et par un choix de langage, il aura un bon succès comme multipostes avec trois versions sur 4 ans.

ZLab 8000 (1981) est un S8000 de première génération, proposé aux laboratoires avec un logiciel multi- postes et temps réel inspiré par le LINC de DEC.

Z80L (10 / 82) reprend le dessin du Z80A, mais il fonctionne à plus basses fréquences (2,5 / 2 / 1 MHz), avec l'avantage d'une consommation beaucoup plus faible, 75 mW.

Z 800 (1982) est un 8 bits à \$ 10 exactement compatible avec le Z80. Il reprend donc le programme du Z8 avec de substantielles améliorations : adressage 4 MB, cache 256 bytes, fréquence qui montera à 25 MHz, répertoire 16 bits complet avec multiplication et division, et intégration de tous les services : DMA à 1 MB/s, UART, compteurs, rafraîchissement des mémoires associées, MMU pour 16 MB, et liaison coprocesseur. Ces possibilités montrent qu'on aurait voulu en faire un processeur de gestion plutôt qu'un contrôleur, mais le choix de la taille 8 bits était une erreur dans ce cas.

L'offre la plus originale était la possibilité de choisir son bus : Z 8108 et 8208 ont le bus 8 bits du Z80 (respectivement boîtiers 40 et 64 broches), Z 8116 et 8216 ont le bus 16 bits du Z8000.

Z 8070 (1983) est un coprocesseur scientifique pour le Z8000, communiquant avec lui par un unique bus 16 bits pour adresses et données. Il contient un bloc de commande qui gère le décodage des instructions, le status et les interruptions, et communique avec l' ALU à travers des registres de données que l'on suppose de 80 bits.

Z 80000 (1984) est annoncé comme un 32 bits compatible avec le Z8000, et capable de 5 Mips. Il est susceptible de gérer une mémoire virtuelle de 4 GB (adressage 32 bits) et annonce dès 1953 des performances brillantes. Mais, survenant au moment où le 386 d' Intel pousse les PC dans le domaine 32 bits, il n'est pas en état de lutter contre cette déferlante et n'aura aucun succès, faute d'avoir, comme Motorola pour son 68020, un marché captif (Apple). Voir fiche. Il semble qu'après le choc de cet échec immérité, Zilog se soit replié sur soi-même. On ne parle plus guère de cette compagnie, qui n'est plus au premier rang du plus gros

marché du moment, celui des PC. On pourrait même croire que la compagnie abandonne, mais ce n'est pas le cas : elle est rachetée par ATT.

S8000 / 32 (1986) est un mini de gestion qui malgré son sigle n'utilise pas le Z8000. Le CPU est le WE32100 de Western Electric : le logiciel est entièrement composé des packages de cette compagnie, et fonctionne sous Unix V.

Modèle 110 : RAM 1 à 8 MB, cache de 256 bytes sur la puce, 32 KB sur la carte CPU, option pour un processeur flottant de 1,3 MFlops Whetstone, 2 disques 5,25" de 85 MB, 10 à 26 utilisateurs, prix en France 275000 FFHT, ce qui paraît disproportionné.

Modèle 130 : 16 MB de mémoire, 1,3 GB de disques SMD, 58 utilisateurs, prix moyen 436000 FFHT ce qui veut dire que cela comprend une vingtaine d'utilisateurs.

L'ancienne série II 16 bits peut être convertie en série 32 au prix d'une carte CPU à 50000 FFHT, ce qui paraît assez peu convaincant. Autre option : une cartouche de sauvegarde de 60 MB sur l'interface SCSI des disques.

Z 89120 (1992 / 6) est un processeur pour le téléphone, regroupant un CPU Z8, un DSP 16 bits, une interface analogique A/D et D/A, et des ROM pour le logiciel du modem et du fax (24 KB pour le Z8, 4K*16 pour le DSP), fréquence 10 MHz.

Cet ensemble est capable de full duplex sur interface V22 bis jusqu'à 2400 bauds, de l'interface V29 bis du fax jusqu'à 9600 bauds, de compression de la voix à 7 Kbit/s.

Z 893XY (1999) est un modeste DSP 16 bits, virgule fixe, capable de 20 Mips. Il autorise 64 K adresses dont 8K de RAM et 4 ou 8K mots de ROM. L'organisation interne comprend 4 générateurs d'adresses, 3 bus de données, un accumulateur 24 bits, 3 décaleurs. Le modèle Y = 1, destiné aux télécommunications, comprend deux ports série, un port parallèle, 3 interruptions. Le modèle Y = 2, plutôt orienté vers les applications industrielles, contient un port série, 4 ports parallèles, un codeur 8 bits à 4 voies, 3 timers 16 bits, 2 générateurs PWM, et 3 interruptions.

Cartezian (2000) est un multiprocesseur à l'usage des réseaux, regroupant autour d'un RISC 32 bits gonflé par des instructions DSP plusieurs processeurs 16 bits RISC également, sélectionnés en fonction des activités périphériques à leur confier. Voir fiche.

614 - Zoran

Ce fabricant qui a débuté dans les composants analogiques ne nous est connu que par la création de processeurs de signaux 16 et 32 bits, pour les besoins des radars, des sonars et de l'imagerie médicale. Le commentaire traite ces DSP de vectoriels, malheureusement sans définir cette notion.

Le ZR 34161 16 bits travaille à 30 MHz, et fournit 37,5 Mops, ce qui suggère une architecture multibus. L'adressage 27 bits concerne une mémoire essentiellement externe, mais aussi 4 registres d'instructions formant FIFO, et une mémoire de travail de 128 * 38 bits. Le répertoire comprend 23 opérations orientées traitement du signal, et

dispose en ROM d'une table trigonométrique. Les liaisons extérieures peuvent utiliser un DMA et un port parallèle. Consommation : moins de 300 mW.

Il est fourni en boîtiers PGA 48 broches ou PLCC 52 broches, ou pour les militaires dans une version conforme à la norme MIL . STD 883C .

Le ZR 34325 32 bits fonctionne à 25 MHz et délivre 31,25 MFlops, ce qui signifie que l'opérateur fonctionne en virgule flottante, et que l'architecture est la même que la précédente. L'adressage est 24 bits ($16 M * 32$) pour une mémoire essentiellement externe, à part une FIFO de 4 instructions et une mémoire de travail de 64 mots organisée comme un cache, chargeable à 50 MB/s. Répertoire 52 opérations. Mêmes entrées/sorties.

Ce DSP est fourni en boîtiers PGA ou PLCC 84 broches, et produit en seconde source par Harris Semiconductors.

Après être passé par une famille de DSP travaillant à 54 MHz, Zoran annonce en janvier 2000 le Muzichord, un DSP 32 bits en virgule fixe destiné aux applications audio de haut de gamme, vendu comme composant mais aussi comme coeur synthétisable.

Réalisé en CMOS $0,18 \mu$, ce coeur de quelque 100000 portes fonctionne à 150 MHz et occupe 2 mm², consommant 120 mW sous 1,8 Volt. Il peut aussi être fourni en $0,25 \mu$, occupant alors 3,5 mm² et consommant 144 mW sous 2,5 Volts.

Le nouveau standard DVD audio auquel il est destiné correspond à un échantillonnage 24 bits à 96 ou 192 KHz, alors que les CD auquel se destinaient les prédécesseurs demandent 16 bits à 44 KHz.

Le DSP contient un MAC $32 * 32$ avec cumul dans un accu de 72 bits fonctionnant en un seul CP ; il sait faire une FFT "butterfly" en 4 CP, un filtre FIR à raison d'un CP par pôle. Moyennant quoi le décodage d'un flux audio AC3 à 6 canaux ne mobilisera que 20% du potentiel du coeur. Autre particularité : le DSP peut fonctionner dans un mode 20 bits pour assurer la compatibilité avec les logiciels Zoran antérieurs.

Sous l'angle logiciel, le Muzichord est fourni en tant que coeur à partir de avril 2000 avec un assembleur / éditeur de lien, un compilateur C, un débogueur source, et une bibliothèque contenant des routines telles que AC3, MPEG1 et 2, Dolby Pro Logic, codage et décodage Dolby digital, DTS, CD haute densité.

615 - Computer Sciences Corporation

Cette société est apparue sur le marché dès que le téléprocessing est devenu un procédé commercialement sûr, et elle a disposé de forts appuis car ses établissements, principalement à base d'Univac 1108, sont apparus tous en même temps autour de 1964. Mais elle existait avant cette date, car elle a installé une des premières 1107, et contribué par l'écriture d'un compilateur à son démarrage (COGENT, compilateur syntaxique pour Cobol).

Un COGENT II suivra en 1968, qui se présente comme un préprocesseur pour Cobol facilitant la gestion de fichiers, la définition des données et des impressions. Il fonctionne aussi sur IBM, avec 32 KB sous DOS ou 128 KB sous OS.

Autre produit de CSC : EXODUS, vendu \$ 9000, permet de convertir des programmes de 1401 vers 360 (version II), ou de 1410 / 7010 vers 360 (version I). Le prix est à

comparer avec celui du système d'émulation proposé par IBM, en fonction de la méthode de travail du centre de calcul et de tests de qualité de la conversion et/ou de l'émulation.

L'unique vocation de CSC est le service informatique, qui peut prendre des formes diverses : écriture de logiciels, fourniture de temps de calcul, installations de réseaux informatiques. Initialement plutôt tourné vers les problèmes scientifiques, le réseau Infonet évolue dans les années 80 vers la gestion : comptabilité, paye, préparation des impôts.

Ces services ont régulièrement augmenté en volume, beaucoup plus rapidement que l'inflation, avec un taux maximum de croissance de 35% en 1980, puis cette croissance s'est ralentie au fur et à mesure de l'équipement des entreprises, pour arriver à une stagnation en 1983, où le CA de la société atteint 718 M\$ avec un effectif redescendu à 13200 personnes.

La croissance a repris en 1985, avec un changement dans la répartition des activités : le réseau de calculs à façon semble avoir été réorganisé pour redevenir rentable, et de très gros contrats d'organisation ont été signés : 282 M\$ en août 85 pour créer, au profit des Douanes, un réseau de 7500 sites et 30000 terminaux à travers le monde, 175,6 M\$ en septembre pour réorganiser toute l'informatique de l'Agence pour la Protection de l'Environnement (EPA).

Ainsi le CA de 1985 s'élève à 800,7 M\$, avec 22,3 M\$ de bénéfice, et les effectifs ont remonté à 15600 personnes. CSC est 37ème société mondiale d'informatique, 22ème société américaine.

En 1986, l'USAF passe avec CSC un contrat de 110 M\$ sur 8 ans, pour les problèmes de contrôle des stocks et de distribution de son Logistic Command. Les sous-traitants de CSC, dans cette affaire, sont IBM Federal pour les matériels et Applied Data Research Corp. pour le logiciel.

Bien que nous ne disposions pas des chiffres pour le bilan de CSC au cours des 15 dernières années du siècle, on sait que CSC existe toujours et maintient son activité. Il est clair que les gouvernements, en l'absence de services techniques capables de définir eux-mêmes les besoins des organismes de l'Etat, continuent forcément de recourir à des entreprises comme CSC pour définir des équipements dont il est aujourd'hui impossible de se passer.

616 - Comdisco, Inc.

Très en marge de l'informatique bien qu'en relevant clairement, Comdisco est une société purement financière, qui vit du commerce des surplus. Chaque fois qu'IBM annonce une nouvelle famille, les machines de la précédente perdent la plus grande partie de leur valeur : ceux qui louent les restituent à IBM, mais ceux qui les ont achetées sont perdants et s'en débarrassent à vil prix. Comdisco les rachète, les remet en état, et les revend ou les loue avec d'importants bénéfices.

Ainsi, en 1985, le marché d'occasion porte sur les 308X alors qu'IBM porte son effort sur les 3090 Sierra, et Comdisco n'a aucune difficulté à revendre ses acquisitions. On s'étonne tout de même du CA de 467,9 M\$ et surtout du bénéfice de 57,5 M\$ de la

partie informatique de Comdisco, 54ème société mondiale d'informatique et 34ème société américaine.

Estimant que cette situation favorable n'est pas destinée à durer, Comdisco essaye de se diversifier en organisant des services de secours pour entreprises aux prises avec des problèmes, incendies, inondations et grèves dures, mais en 1985 les revenus correspondants restent marginaux.

Cette rubrique n'a été intégrée à cette étude que comme indicateur d'ambiance : nous ne sommes pas en mesure de dire ce qu'il est advenu de Comdisco dans les années suivantes. Tout au plus peut on penser que sa prospérité ne s'est pas maintenue, puisque nous savons qu'autour de l'an 2000 le nombre des mainframes a beaucoup diminué, et qu'il existe un problème d'élimination des innombrables PC déclassés par les amortissements en 3 ans et moins.

617 - Computervision Corporation

Cette compagnie a fondé son destin dans les années 70 sur la spécialisation des machines de CAD, Computer Aided Design, et progressivement s'est élevée jusqu'à la première place de ce métier, avec des processeurs obtenus en OEM et des périphériques propres. Voir par exemple la fiche CGP 100, 1977.

Son CA de 1984 s'élevait à 556,3 M\$, avec un bénéfice de 41,4 M\$, et brusquement elle se réveille en 1985 pour se découvrir au 3ème rang derrière IBM et Intergraph, avec 80 M\$ de pertes sur un CA de 441,5 M\$ et l'obligation de licencier 20% de son personnel.

Ses clients, désormais acquis aux stations de travail, boudent ses deux derniers produits, le CDS 5000 basé sur un IBM 4300 et le CDS 3000 qui provient de Sun Microsystem. Cet effacement est particulièrement net aux USA, où la part de marché est tombée en un an de 55 à 42%, alors que l'Europe est encore optimiste (passage de 35 à 48%).

Il est pratiquement certain que Computervision ne réussira pas la conversion radicale qui s'imposerait vers les stations de travail, et il ne lui reste guère qu'à négocier la conversion de sa bibliothèque CADDS 4, très appréciée, vers Fortran et Unix. En fin de compte, Computervision a été achetée par Prime en 1987.

618 - Centronics Data Computer Corporation

Centronics s'est fait un nom, tôt dans l'histoire des ordinateurs, en inventant un connecteur parallèle pour relier ses imprimantes à l'unité centrale. Bien qu'on puisse aisément imaginer d'autres interfaces parallèles que celui-là, et en particulier l'interface bidirectionnel à 8 bits indépendants, la dénomination "interface parallèle" désigne depuis les PC celle qu'a inventé Centronics.

Cela dit, il existe chez Centronics des imprimantes série, et plus généralement la plupart des imprimantes de cette société acceptent souvent divers modes de connexion, série ou parallèle au choix de l'acheteur. De l'époque des débuts, on peut citer quelques modèles :

- la 101A de 1972 est une imprimante matricielle à 165 cps, avec un alphabet de 64 caractères générés par matrice 9 * 7 points. La transmission peut se faire en série à 4800 bauds, mais aussi en parallèle jusqu'à 75000 bauds. Prix \$ 4130.

Elle sera transformée en terminal en 1974, par addition d'un clavier asynchrone, sous le sigle 308 (80 colonnes) ou 508 (132 colonnes).

- la 102A de 1972 est une imprimante parallèle de table, capable de 125 lpm.
- la 306, toujours de 1972, est un modèle plus modeste, 100 cps par matrice 7 * 5 .
- en 1976, la 103 est une imprimante bidirectionnelle, ajustable de 70 à 340 lpm, avec un espacement interligne choisi par clé à 66 ou 88 lignes sur la hauteur de 11" (28 cm). Elle est compatible avec les autres modèles 100 et coûte \$ 4560 ; en même temps est annoncée une 503 qui ne coûte que \$ 3795, et qui ne diffère de la précédente que par le caractère optionnel de plusieurs dispositions.
- en 9 / 79 sort la 753, une imprimante de qualité lettre qui comporte une tête à 9 fils ; la frappe d'un caractère peut nécessiter jusqu'à 18 frappes, et le débit série varie de 130 à 150 cps. Un microprocesseur permet une souplesse inégalée : espacement fixe ou proportionnel, répertoire ASCII 96 caractères, lignes de 132 colonnes, fonctionnement bidirectionnel de la tête, interligne de 6 ou 8 lignes par inch, entraînement par perforations Caroll, deux voies de commande du papier. Prix \$ 2895.

Le succès de la compagnie reste modeste jusqu'en 1982, date à laquelle Computer Peripherals, filiale commune de Control Data, NCR et International Computers, prend 45% de son capital. Les imprimantes Centronics deviennent alors les imprimantes standard de plusieurs constructeurs. Cependant, pour Centronics comme pour beaucoup d'autres sociétés, l'année 1984 est une année de pertes, M\$ 10 sur un CA de 171 M\$, mais cette situation fâcheuse ne dure pas et, dès 1985, l'annonce de nouveaux modèles relance les ventes qui s'élèvent à 216 M\$ avec un bénéfice positif quoique encore symbolique : modèles GLC et Horizon pour les PC, Linewriter Serie 400 / 800, sans parler d'un marché IBM de M\$ 65 pour une imprimante spécialement configurée.

Lors de la débacle de Control Data, Centronics est rachetée par Xerox, mais on a peu d'indices sur l'usage que cette société a fait de son acquisition ; le nom, en tous cas, n'a pas subsisté.

619 - Continental Telecom Inc.

Il s'agit d'une importante compagnie de téléphone, non régulée : c'est-à-dire qu'il ne s'agit pas d'une ex filiale de l' ATT, et que les services qu'elle offre ne sont pas contrôlés par le gouvernement. Elle détient vers 1985, deux ans après la dérégulation de l' ATT, environ 2,2 millions de lignes dans le Sud Est des USA, avec des ramifications sur 31 états.

Elle ne nous intéresse que pour environ 12% de son activité, 277,8 M\$ en 1985, un chiffre qui la place au 78ème rang mondial des sociétés d'informatique, et au 51ème rang des USA. Il s'agit de réaliser des ensembles distribués de traitement de l'information et de communication au profit des petites et moyennes entreprises, sur étagères (Business Systems Div.) ou à la demande (Information Systems Div.), et aussi de travailler pour les administrations (Federal Systems Div.). Aucun produit, cependant, n'a atteint un niveau de notoriété suffisant pour être décrit.

620 - Electronic Data Systems

Ce nom suggère que la compagnie, formée avec quelques retards sur la concurrence, vit comme eux de services de calcul à façon. En réalité, il s'agit

principalement de services à l' Administration, avec une part importante dans la gestion et les statistiques. On peut évoquer le contrat exceptionnel de M\$ 656 avec l' US Army, en 1982, et de nombreux contrats de services avec des banques et des caisses d'épargne. Sa croissance est très rapide et surtout soutenue, avec un CA de 414 M\$ en 1980, 480,6 en 1981, 555,6 en 1982, 718,8 avec 67,4 M\$ de bénéfice en 1983, l'année où EDS rattrape CSC.

EDS est donc tout à fait prospère lorsqu'en 1984, elle est achetée par General Motors pour 2,5 B\$. une énorme activité interne de 2,36 B\$ vient s'ajouter, par transfert de services, à l'organisation de base, mais le CA externe continue à croître, avec 786,1 M\$ en 1984, 978,3 en 1985, avec des bénéfices extraordinaires qui disparaissent rapidement dans une réorganisation de la comptabilité.

Par la suite, EDS a continué ses succès, obtenant par exemple la gestion de toute l'informatique européenne du Groupe Unilever, un contrat de M\$ 200 sur 10 ans avec le Ministère de l'Agriculture, un contrat de M\$ 45 sur 7 ans avec les Douanes (pour ne pas tout donner à CSC), un contrat de M\$ 260 sur 10 ans avec Western Union pour la gestion de leurs installations, etc...

621 - Dataproducts Corporation

Cette société a été fondée en 1962 par Graham Tyson, pour étudier et commercialiser des imprimantes parallèles. Son produit principal est en 1964 la P3300, une imprimante à tambour offrant un alphabet de 64 caractères sur 132 positions de large. Elle est capable de 360 lpm en alphanumérique, 720 lpm en numérique pur, 250 lpm en pratique avec un interligne de 1". Le papier peut varier de 3,5 à 17,5 inches de large (89 à 445 mm), avec les réglages 10 caractères par ligne, 6 lignes par inch ; la commande de ce papier est assurée par une bande pilote à 8 trous, qui autorise les sauts de papier à 20 ips. La force de frappe autorise des liasses à 6 copies. Ce produit évolue l'année suivante, avec une P4100 autorisant du papier de 19" de large (483 mm), puis une P4200 à 600 lpm, 1200 en numérique pur. Il y aura aussi une version militaire, RO280 (XN 1)/UYK.

Sans prétendre être exhaustif, on peut donner quelques indications sur les produits ultérieurs, que l'on retrouve sous d'autres sigles chez de nombreux constructeurs en dehors d' IBM, grâce aux ventes OEM :

P4300 (1967) offre trois tambours interchangeable de 64, 96 et 128 caractères, et un saut de papier à 35 ips. On peut en obtenir 1000 lpm avec 48 caractères (Fortran), 566 lpm avec 96 caractères.

P4400 (1967) offre deux tambours de 64 et 96 caractères, et deux vitesses de 360 et 248 t/min, avec un saut de papier à 20 ips. On peut en obtenir 360 lpm avec 54 caractères (Cobol), 220 lpm avec 96 caractères.

P4500 (1967) est la même mécanique, avec des vitesses de rotation de 615 et 413 t/min. On peut en obtenir 600 lpm avec 48 caractères et 342 lpm avec 96 caractères.

P4800 (1968) est une imprimante de table capable de 375 lpm sur 80 colonnes, ou 1050 lpm sur 20 colonnes, avec deux alphabets de 64 et 96 caractères et un saut de papier à 25 ips. Un tampon de une ligne est disponible, organisé en quatre segments.

Dataproducts s'essaiera aussi, brièvement en 1969, à la commercialisation de mémoires à tores modulaires pour extensions de matériels existants (add on) :

Store 235 est une mémoire de 4K * 18 bits, avec un cycle de 500 ns et un temps d'accès de 235 ns, réalisée au moyen de tores 14 mil au lithium, et tenant sur une carte. Elle est extensible en chassiss 16 Kmots, et en racks 64 Kmots.

Store 1720 est une mémoire de masse qui vise le marché de la LCS d'IBM. C'est une mémoire à tores organisée en 2 1/2 D sur 40 bits dont 4 de rechange, à base de plaques 4096 * 2560 tores de 20 mils traversés par 2 fils seulement. Les courants, fournis par des drivers en logique TTL, atteignent 850 mA, commutation en 220 ns.

Existe en deux modèles : la I a une capacité de 1 MB, organisée en 2 * 18 bits, cycle 3 µs, accès 1,75 µs. Elle est perçue comme 262 Kmots* 36 bits pour les "add on" des 360 / 50, ou comme 128 Kmots * 72 bits pour les extensions des 360 / 65, 67 et 75. La II monte à 2 MB, avec un cycle de 2 µs et un temps d'accès de 1,25 µs. Les deux modèles incluent une mémoire séparée de protection par pages de 2048 bytes, contenant des clés de 4 bits.

Quelques années plus tard, le matériel a été renouvelé, mais Dataproducts fait toujours des imprimantes à tambour : la 2230 à 300 lpm, la 2260 à 600 lpm, la 2290 à 900 lpm ne diffèrent que par la puissance des moteurs et la robustesse des supports. Cependant, Dataproducts a élargi sa gamme et produit aussi une imprimante à chaîne, la 2250 Charaband. Elle comporte une chaîne interchangeable de 384 caractères circulant sur des roulements à rouleaux pour réduire le frottement, avec des alphabets divers répétés plusieurs fois, de 48 à 256 caractères. L'impression se fait au choix sur 132 ou 136 colonnes. On peut obtenir 1500 lpm avec la chaîne de 48 caractères (8 copies par tour de chaîne), 1220 lpm avec l'alphabet OCR (6 copies), etc...

En 1977, renouvellement du matériel, devant le succès de l'imprimante à bande. La B300 utilise une bande d'acier de 208 caractères, avec une fréquence des caractères ajustée d'après les particularités de la langue, un marteau Mk 5, un moteur à impulsions 15 ips et un contrôleur construit avec des micro-processeurs en tranches ; la bande est facile à changer.

Le papier en liasses comportant jusqu'à 6 épaisseurs mesure 76 à 381 mm de large, et au plus 356 mm de long par page. Les options comprennent une bande pilote à 12 colonnes, le choix de la longueur de page, un contrôle de parité sur les caractères, un compteur de temps écoulé, un passage à la ligne automatique quand le tampon dépasse la longueur de ligne choisie, une isolation sonore.

La mécanique est proposée en deux versions, B180 à 180 lpm, et B300 à 300 lpm.

La M200, proposée cette même année pour livraison à mi 78, est une imprimante à tête mobile 14 fils disposés sur deux colonnes, susceptible d'imprimer en bidirectionnel à 320 cps pour une matrice 7 * 7, jusqu'à 132 caractères par ligne, avec un maximum de 200 lpm. Le prix OEM est de \$ 2000 par quantités.

Dans un registre complètement différent, la T80 est une imprimante thermique 80 cps, avec une seule tête, livrable à la mi 77 au prix de \$ 1000 par quantité pour un matériel complet, \$ 600 pour le seul mécanisme.

La technique provient du P6060 d'Olivetti, sous licence valable dans le monde entier. Elle est vendue en trois versions : imprimante, imprimante avec contrôleur, la même avec alimentation et interface RS432C. Elle mesure 266 * 121 * 200 mm. Elle offre des rouleaux de papier sensible de 222 mm de large pour 80 colonnes avec espacement standard, plaçant 70 points par pouce en largeur et 7 par caractère en hauteur.

Cette variété croissante de produits amène Dataproducts à un chiffre d'affaires de 438,8 M\$ et un bénéfice de 23,4 M\$ en 1984, pour un effectif de 6000 personnes.. Mais cette situation euphorique s'écroule en 1985, sans raison autre que la conjoncture, avec un CA de 378,4 M\$ et 33 M\$ de pertes. Le président est chassé en avril, le fondateur prend provisoirement la succession et prend des mesures sévères, fermeture de trois usines et licenciement de 2000 personnes, choix d'un nouveau président, augmentation des crédits de recherche conduisant à la définition de deux imprimantes laser, LZR 2650 / 55 et LZR 1230, et au renouvellement des imprimantes à fils et à bande.

La société finalement remise sur pieds sera achetée par Lockheed Aircraft, ou plus probablement par une de ses filiales.

622 - Qume

Qume est un fabricant de petits périphériques OEM que nous trouvons en 1978 dans le giron d'Exxon Office Systems et, en 1984, au sein de l'ITT. Il n'a jamais eu de véritable possibilité de développement, mais on ne choisit pas ses maîtres.

Le Sprint 5 de 1978 est un terminal de type machine à écrire, assez raffiné, vendu avec ou sans clavier. La partie imprimante, 55 cps, de type marguerite, bidirectionnelle, est commandée par microprocesseur, avec 59 ordres pour le formatage et les services. Cela permet la sélection des espacements 10 ou 12 caractères par pouce, avec des ajustements de 1 / 120" latéralement, 1 / 48" verticalement. On peut choisir entre 50 jeux de caractères et 15 rubans en 10 couleurs.

La connexion est complètement souple, parallèle, série RS 232C ou boucle de courant, avec commutation manuelle entre les vitesses de 110 / 150 / 300 / 600 / 1200 bauds.

623 - Diebold Inc.

Cette société a été longtemps un éditeur de renseignements statistiques et économiques concernant l'informatique. Vers 1985, elle produit des guichets automatiques et autres terminaux : son produit phare est le guichet TABS 9000, le plus vendu aux USA, et sa meilleure garantie consiste dans les 120 millions de cartes de crédit déjà distribuées.

Néanmoins, l'année est mauvaise pour elle comme pour beaucoup d'autres, avec un CA de 410,9 M\$ et un bénéfice de 30,4 M\$, tous deux en baisse par rapport à 1984 (474,1 / 56,9) : avec un peu plus de 8000 guichets automatiques installés cette année aux USA, c'est une baisse de 25% dans les livraisons, que la firme attribue aux mauvaises conditions de l'industrie financière, son principal client.

624 - Eastman - Kodak Company

La société leader du monde de la photo est restée longtemps indifférente à l'informatique, en fait tant que la qualité des images que celle-ci pouvait fournir restait très inférieure à celle des images issues de l'optique et stockées sur support argentique. Néanmoins, elle n'a pas manqué les rares occasions que l'informatique a pu offrir, pendant ses trente premières années, à une firme de photographie :

KOM 90 (1968) a été construit par Cubic Corporation sur commande Kodak pour répondre à la demande de sortie de grandes quantités d'informations sur films. La source est une bande magnétique produite par ordinateur, format quelconque, 7 ou 9 pistes, 3 densités NRZ. Le produit est un film 16 mm recevant 500 pages / min, avec 132 car / ligne, 64 lignes par page, alphabet de 61 caractères (122 en option), avec trois styles mélangeables : normal, italique, boldface. Les bandes débitent 90 KB/s. Une hardcopy d'une page quelconque peut être obtenue en 15 secondes.

KOMStar reprend le problème en 1977, proposant trois variantes : Mle 100 est on line sur calculateur IBM ; Mle 200 est on line également, mais le formatage est confié à un microprocesseur incorporé pour alléger la charge du CPU ; Mle 300 est off line avec bande magnétique.

Vers 1985, le chiffre d'affaires de Kodak, 10631 M\$, est à comparer avec les 210 M\$ de ses récents placements informatiques, constitués par Verbatim, producteur de disques, Atex, fabricant de matériel informatique pour l'édition, et Eikonix Corp, dont le Designmaster 8000 joue le même rôle pour les images en couleurs. Ces acquisitions sont en réalité très orientées et motivées.

C'est ainsi que Verbatim, après un an passé sous le choc à des fabrications routinières, produit un disque de 12 MB adapté à un lecteur créé par Kodak (débit 2 Mbit/s), et un disque optique réinscriptible de 40 MB au format 3,5". Tandis que la combinaison du Designmaster d'Eikonix avec l'écran d'Atex constitue un efficace système de traitement d'images en couleurs.

L'importance de cette attitude n'a cessé de croître dans les années suivantes, où la photographie numérique progresse au point de menacer, à partir de 2000, la photo argentique et par conséquent l'existence même de Kodak.

625 - Gerber Scientific Inc.

Cette firme se consacre, depuis les premiers temps de l'informatique, au dessin industriel et plus récemment, au dessin assisté par ordinateur. Nous avons, à titre d'exemple, la description d'une table à dessiner de 1968, Modèle 622, entièrement mécanique, avec le mouvement en X par crémaillère et pignon, le mouvement en Y par vis, tous deux complètement numérisés avec une précision de 0,007" (mieux que 0,2 mm) sur toute la surface inclinable de 1,27 * 1,52 m. Accès par clavier et bande perforée à travers une armoire d'électronique. On imagine le prix d'un tel tour de force.

Vers 1985, la société s'est fortement modernisée, et divisée en filiales orientées vers les industries les plus diverses, aérospatiale, appareillage, automobile, cartographie, chaussures, construction, électronique, impression, signalétique, etc... Par exemple, il existe une Gerber Scientific Products Inc qui dispose, pour les marchés japonais et chinois,

d'une vaste mémoire de 10000 kanji associée à des appareils de visualisation ou de dessin.

Comme pour presque toutes les sociétés d'informatique, l'année 85 a été mauvaise, le CA de 207 M\$ représentant une diminution d'environ 3%, malgré des bénéfices encore raisonnables de 19,7 M\$. Située au 98ème rang de l'informatique mondiale, au 65ème rang des USA, Gerber n'est cependant pas réellement menacée dans sa niche technique.

626 - 3M = Minnesota Mining Mfg Co

3M est d'abord une firme d'industrie chimique de 85000 employés, et son CA 1985 de 7846 M\$ s'accompagne de bénéfices importants, 664 M\$. Mais cette année là le CA mondial n'augmente que de 1,8%, et les bénéfices diminuent de 9,4%, et cela est dû à la modeste fraction informatique de ses activités, 295 M\$, qui n'a augmenté que de 4,5%. Cela semble caricatural, mais c'est qu'en réalité l'informatique a sur la firme une influence bien supérieure à ce chiffre : car 3M fabrique la matière première dont sont constituées les disquettes et les bandes magnétiques, et par la suite celle qui sera au cœur de certains Winchester et des disques optiques CDROM : les fluctuations de l'industrie informatique se répercutent donc sur l'activité de base de la firme.

D'autre part et de façon plus immédiate, 3M a passé en 1984 un accord avec Harris Corporation pour produire et commercialiser un ensemble de copieurs et de fac simile dans le cadre d'une filiale commune baptisée Harris / 3M Documents Products, société qui a dû abandonner son premier produit, baptisé Whisper Exchange, de transmission électronique de documents, moins d'un an après sa mise sur le marché. Coût 50 M\$.

Mais il ne s'agit que d'un alevin : le démarrage des méthodes optiques de stockage de documents, qui date précisément de cette époque, assure l'avenir, et il est tout à fait certain que 3M est et restera une société largement bénéficiaire.

627 - M/A Com, Inc.

Cette entreprise de communications numériques est en 1985 la 73ème firme informatique mondiale, et la 48ème américaine. Elle semble tout à fait prospère avec un effectif de 11790 personnes, un CA global de 855 M\$, et un bénéfice de 32,6 M\$; d'autre part ses activités informatiques, qui représentent 305 M\$, viennent d'augmenter de plus de 20% en un an.

Cependant la firme voit tout en noir, car elle escomptait atteindre cette année la frontière symbolique du B\$, elle doit attendre 1987 pour que sa production de codeurs pour TV payante soit rentabilisée, les achats de semi-conducteurs et de composants HF subissent le contrecoup d'un marasme économique, les militaires ont différé certains contrats, etc...

Dans le domaine qui nous intéresse, une baisse est également prévisible, parce que la fibre optique prend progressivement la place du cuivre dans les transmissions, de sorte que les compagnies de télécommunications délaissent les équipements que fournit M/A Com.

Bref, il s'agit d'activités dont l'informaticien moyen ne s'occupe guère, car il n'a pas de produit précis auxquelles les rattacher.

628 - NBI Inc.

Fondée en 1973 pour produire des machines de traitement de textes, NBI éprouve par la suite quelques difficultés à étendre efficacement son domaine d'activité à l'ensemble d'une bureautique qui entre temps a généralisé l'emploi des réseaux locaux. En 1985, le développement du CA à 260,7 M\$ a été remarquable, 36,4%, mais les bénéfices n'ont pas suivi.

Malgré une déception dans une politique d'acquisitions, le développement de l'activité bureautique (Système OASys) semble rester satisfaisant et la firme se situe au 82ème rang mondial, 55ème national.

629 - Paradyne Corporation

Cette compagnie vouée à l'installation de réseaux d'entreprises est 85ème mondiale en 1985, 58ème nationale, et son chiffre d'affaires de cette année-là vient de subir une forte baisse de 12% à la suite d'une série de procès avec l'Administration de la Sécurité Sociale pour des fraudes aggravées de certains dirigeants. La prolongation de tels procès, pour une firme dont le CA est de 252 M\$ peut certes la conduire à la catastrophe.

On ne connaît pas la suite de l'histoire.

630 - Seagate Technology

Après l'absorption de Shugart par Xerox, son fondateur Alan Shugart fonde une nouvelle société sur le même thème du disque magnétique. Elle réussit d'abord très bien en obtenant la clientèle d'IBM qui lui achète jusqu'à 50% de sa production, et le plus connu des produits de cette époque est le ST 506, format 5,25", capacité 6 MB non formaté. Ce modèle sera repris en fin d'année 1981 sous le sigle ST 512 : c'est la même mécanique, mais avec des têtes à film mince produites par Dastek Corp. à Los Gatos, capacité 12 MB par doublement du nombre de pistes à densité constante.

Malheureusement, en 1985 IBM et Hewlett Packard, pour ne citer qu'eux, ont mis en place leur propre production, et Seagate devient plus dépendante de l'industrie du PC, qui n'est encore qu'à ses débuts. Les effets sont brutaux : le CA de Seagate tombe de 37,6 %, de 343,9 M\$ à 214,6 M\$, la société n'ayant aucune autre activité pour compenser.

L'explosion des PC, survenant à ce moment, sauve Seagate, qui réussit à suivre la demande, sans chercher à sortir de son domaine de prédilection, les petits disques. En fait, la société voit surgir plusieurs concurrents, et devra se battre pour maintenir sa suprématie. La production comprend des 5,25 et des 3,5".

ST 4000 sont les 5,25", têtes Winchester, actionneur à bobine de haut-parleur ; il y en aura plusieurs :

ST 4026 , 25,62 MB, 625 tpi, 9617 bpi, \$ 730 pièce par lot de 1000.

ST 4038 , 38,17 MB, 750 tpi, 9617 bpi, \$ 850 pièce par lot de 1000. 1985

ST 4051 , 50,88 MB, 960 tpi, 9848 bpi, \$ 975 pièce par lot de 1000.

ST 4096 (1988) loge 80 MB formatés sur 5 plateaux, accès moyen 28 ms, interface ST 412.

ST 112 de 1985 est le prototype 3,5", 12,75 MB à 10864 bpi, accès moyen 65 ms, \$ 445 pièce par lot de 1000. Il y aura peu après un ST 225 de 25 MB.

Seagate aborde en force la nouvelle taille de 2,5" en novembre 1990, avec les modèles suivants :

ST 9025A, 21,4 MB en un plateau, accès moyen 20 ms, prix d'annonce 325 \$.

ST 9051A, 42,8 MB en deux plateaux, accès moyen 20 ms, prix d'annonce 385 \$.

ST 9096A, 84 MB en 4 plateaux, accès moyen 20 ms, prix d'annonce 585 \$.

Ces petits disques, qui tiennent dans la paume de la main et ne dépassent pas 19 mm d'épaisseur, consomment seulement 1 W en attente, et supportent des chocs de 150 g. L'interface standard est IDE.

L'année suivante, cependant, Seagate propose l'interface SCSI 2 à 10 MB/s synchrones pour les disques plus importants :

ST 1418 N est un 3,5" de 426 MB, incluant un cache de 256 KB pour réduire le temps d'accès moyen.

ST 11200 N est un 3,5" de 1,2 GB, tournant à 4500 t/min, soit 6,7 ms de temps de latence, 10,5 ms d'accès moyen en écriture, 12 ms en lecture. Les têtes sont à film mince, et la technique d'enregistrement dite ZBR, Zero Bit Recording, place plus de bits sur la piste extérieure pour garder approximativement la densité constante le long d'un rayon.

Les modèles 5,25" sont également renouvelés, et tournent maintenant à 5400 t/min, soit un temps de latence de 5,6 ms ; le contrôleur SCSI2 est incorporé :

ST 42100 N Wren 2 contient 1,8 GB et offre un accès moyen de 13 ms, grâce à un cache de 256 KB. La consommation en service est seulement 23 W.

ST 42400 N Elite 2 à deux plateaux dépasse 2 GB et jouit d'un temps d'accès de 11 ms, grâce à un système de deux têtes en parallèle qui font gagner un demi tour en moyenne.

Ces modèles seront développés par augmentation du nombre de plateaux, dans les années suivantes :

Elite 8, capacité 8,5 GB, accès moyen 17,5 ms, est le modèle utilisé par EMC pour édifier son 5200.9.

Elite 9, annoncé en 10 / 93, offre une capacité brute de 10,8 GB, ou 9,08 MB formatés, accès 11 à 12 ms, 14 plateaux en aluminium, 27 têtes de lecture à film mince, cache de 1 MB inclus. Prix d'échantillonnage à la première livraison en 5 / 94 = 3450 \$.

Barracuda (10 / 93 aussi) en 3,5", demi-hauteur, 7200 t/min, deux têtes indépendantes pour deux accès simultanés au débit de 14,1 MB/s. Le modèle 2 fournit 1,78 GB, le modèle 4 contient 4,3 GB formatés avec la technique de lecture PRML. Interface Fibrechannel à 100 MB/s.

Decathlon 850 (10 / 94) est un 3,5" de 850 MB, 5400 t/min, avec cache 256 KB et interface ATA2 à 16,6 MB/s. Prix 400 \$ en quantités.

Seagate est depuis 1993 leader mondial en matière de disques magnétiques, un marché de 23 B\$ qui représente quelque 60 millions d'unités, si on veut donner un sens à ce genre de moyenne. La part de Seagate, qui emploie 53000 personnes à travers le monde, doit représenter plus de 20 millions d'unités, car c'est essentiellement un fabricant, et une part importante de sa production va chez d'autres sociétés du domaine, par

exemple EMC2, pour y être assemblée dans des structures complexes comme les RAID pour grands systèmes.

Le CA de Seagate s'est élevé à 3044 M\$ en 1993, 3500 M\$ en 1994, plus de 30% devant IBM qui est encore second pour peu de temps. Cette croissance de 15% semble destinée à durer, puisque la demande est soutenue chez les divers types d'utilisateurs : les PC à cause des besoins toujours plus grands des systèmes d'exploitation Microsoft, les stations de travail à cause de la gourmandise des travaux d'imagerie et d'animation, les mainframes parce que les entreprises mettent désormais en ligne toutes leurs données, et en double exemplaire par raison de sécurité. Les bénéfices suivent, sans être particulièrement importants à cause d'une sévère concurrence : 195,4 M\$ en 1993, 225,1 M\$ en 1994.

631 - Tandon Corporation

Cet autre producteur de disques est apparu à peu près en même temps que le précédent, créé par un indien, Ranjit Sitlani, autour d'un brevet d'enregistrement double face sur un disque dur pour micros. Le succès semble avoir été plus rapide que celui de Seagate, et le CA de 1984 atteignait 398,5 M\$ avec 29,4 M\$ de bénéfices. Produits typiques :

TM 500, 5,25", un, deux ou trois plateaux de chacun 5 MB formatés, 306 cylindres, 345 tpi.

TM 703, même format, 31 MB, 600 tpi.

Mais le brevet semble avoir été tourné, ou volé, par plusieurs firmes japonaises et coréennes, de sorte qu'en 1985 le CA est tombé à 268,8 M\$, avec des pertes de 135,4 M\$.

La société se bat, bien entendu, fait des procès à une dizaine de copieurs, se trouve de nouveaux dirigeants pris aux meilleures sources, chez IBM notamment, se lance dans des diversifications en 1986 .

Diskard 21 est un Winchester de 21,3 MB, présenté sur une carte enfichable pour les slots des PC / XT et compatible MS / DOS. Voir photo.

Mais il semble que le choc ait été trop dur, et Tandon a disparu du marché peu après ces événements.

632 - EMC Computers

Cette société surgit du néant à la fin des années 80 en proposant des mémoires, notamment des pseudodisques à haute performance construits avec des DRAM. Petits succès.

L'évènement est son entrée, en 1990, sur le marché des disques pour grands ordinateurs, avec le produit Symmetrix 4224, livrable en 1991. Construit par groupement de tourne-disques Seagate de 5,25", ce produit offre une solution économique au problème des grandes capacités, car les petits disques coûtent beaucoup moins cher que les grands, qui en l'occurrence sont les IBM 3390 ou leurs équivalents produits par Hitachi; il est annoncé alors qu'il n'est pas encore parfaitement prêt, très probablement pour prendre rang à côté d' Iceberg, le produit phare de STC, lui aussi annoncé un peu trop tôt.

Ce premier Symmetrix est donc présenté dans une armoire de moins d'un m² au sol, contenant 1 ou 2 contrôleurs, un cache minimum de 128 MB, et un minimum de 8 disques de 1 GB chacun. Prix 1,4 MFF. EMC2 prend le risque d'offrir son produit pour tous les environnements IBM, et avec des fonctionnalités qu'IBM ne propose pas encore partout ; le temps d'en arriver aux livraisons, on espère être prêt. Voir fiche.

En 1991, EMC2 a résolu tous ces problèmes, a décidé d'offrir aux acheteurs, enregistrement par enregistrement, le choix de RAID 0, 1, 5, et commence à multiplier les modèles. C'est ainsi qu'un Symmetrix 4204, avec 4 disques de 1 GB formatés, et un cache de 64 (256) 1536 MB, est offert dans une armoire de 850 * 290 mm au sol, au prix de K\$ 730 + \$ 2800 /mois de maintenance.

Le succès considérable de cette offre surprend tout le monde, et le reste de la profession suit en adoptant les disques en grappes : on a vu qu'IBM et STC sont contraints de rechercher une alliance.

En 1992, le Symmetrix Mod 2 utilise 16 à 32 disques Hitachi de 1,2 GB, avec un cache de 768 MB à 3 GB, pour un prix de base de 4,65 MFF. En juin de la même année, l'axe élémentaire passe à 1,89 MB.

Dès le début de 1993, le Symmetrix Mle 3 comprend une armoire de commande contenant deux contrôleurs et jusqu'à 8 canaux, encadrée de deux armoires de disques contenant chacune jusqu'à 64 disques de 2,83 MB. Unisys achète le produit en OEM pour ses 2200.

En 1994, l'offre de EMC2 est le 5200. 9, concurrent direct de l'IBM 3390.9. Construit à base de Seagate Elite de 8,5 GB, ce système offre des capacités de 68 à 272 GB dans une armoire de 0,6 m² au sol, ou de 272 à 1088 GB dans 1,6 m² au sol, avec un prix de base de 30 à 49 F le MB, selon le positionnement par rapport aux créneaux de la configuration RAID.

En 11 / 94, les Symmetrix acceptent l'interface SCSI Fast Wide, ce qui les rend compatible avec Unix en plus de MVS. EMC introduit deux nouveaux modèles plus modestes, pour ne pas se couper des clients moyens :

Centriplex est un RAID 0 / 1 / 5 en une seule armoire pour 54 à 432 GB, totalement indépendant du CPU et par conséquent compatible avec Unix, Windows NT, OS/2, Netware. En multipliant les canaux, le système peut travailler avec un maximum de 9 serveurs.

Modarray est un RAID 0 / 1 / 3 / 5 contenant de 2 à 32 GB pour le modèle de bureau, 2 à 200 GB en armoire. Ce modèle sera adopté par Unisys sous le nom de Series Dimension.

Cette année 1994 voit EMC dépasser le B\$, passant de CA 782,6 M\$ en 1993 à 1377 M\$ en 1994, avec en outre un bénéfice qui double exactement à 250,7 M\$. Le marché des RAID grandit extrêmement vite, 5,7 B\$ en 1994, 7, 8 B\$ prévus en 1995. La part d'EMC atteint 1000 Symmetrix.

Au moment où cette étude se termine, EMC2 est devenu premier vendeur de disques pour mainframes, devant IBM et Storagetek. Le dernier Symmetrix utilise des

disques de 18 et 36 GB, regroupés dans des baies de stockage de 1,35 ou 9 TB, dont le prix peut varier de 1,5 à 20 MFFHT.

L'accroissement constant du mode transactionnel, dont ces vastes bases de données sont la cible, conduit à l'apparition des Connectrix, des commutateurs de canaux Fibrechannel jusqu'à 16 voies aval et 2 * 32 voies amont. Les systèmes utilisateurs sont Unix ou Windows NT.

L'un des gros clients d'EMC2 est Hewlett-Packard, qui achète 20% de la production pour l'incorporer à ses serveurs : mais on n'est jamais sûr de rien, et en 1999 HP semble s'ouvrir aux disques Hitachi, sans pour le moment renier EMC2.

633 - Périphériques de stockage

Le problème du stockage d'information date évidemment des origines de l'informatique, mais il n'a pendant longtemps représenté qu'un revenu marginal. Puis on a inventé les disques, qui ont eu d'abord à faire des progrès techniques considérables avant de passer du statut de mémoire auxiliaire à celui, économiquement bien plus avantageux, de mémoire de masse.

Vers la fin de la période qui nous occupe, le stockage est devenu une préoccupation majeure parce qu'un nombre toujours plus grand d'entreprises disposent de bases de données où elles placent toutes leurs informations, auxquelles ensuite tout membre de l'entreprise et beaucoup de clients ont le droit ou le besoin d'accéder. Les informations à stocker sont de trois catégories :

- les informations vivantes, fréquemment mises à jour, consultées sans cesse, qui exigent des disques magnétiques.
- les informations utiles, mais appartenant au passé, qui n'ont plus de mise à jour mais font encore l'objet de consultations, et qui doivent donc être accessibles en ligne, en acceptant des délais plus longs (quelques secondes) : mémoires optiques.
- les pures archives, qui ne sont plus consultées que rarement, et acceptent des temps de montage (quelques minutes) et de plus sont chronologiques : bandes magnétiques, mémoires optiques.

La particularité qui nous amène à ouvrir une rubrique particulière est l'explosion des dix dernières années de notre période : la plupart des sociétés mentionnées n'existaient pas dix ans plus tôt. Bien entendu, il y a tout de même des sociétés plus anciennes qui s'occupent toujours de stockage, et dans ce cas nous renverrons à leur rubrique particulière, ne traitant ici que celles qui n'ont existé qu'entre 1990 et 2000, date finale à laquelle d'ailleurs la plupart existent toujours.

La date de cet examen est 1995, choisie parce que nous avons un peu plus d'information que sur d'autres périodes. Lorsque cette date ne convient pas, ce sera mentionné. Les firmes citées sont classées par chiffre d'affaires.

On notera que les technologies mises en oeuvre sont complexes, et que le produit final contient souvent des produits d'une hiérarchie d'entreprises, dont les dernières seules sont en relation avec l'utilisateur.

Matériaux : on peut évoquer Du Pont de Nemours pour le mylar des bandes, ou 3M pour les résines des CDROM. Ces fournisseurs essentiels ne sont pas considérés comme relevant de l'industrie informatique.

Composants : citons Read-Rite, fabricant de têtes magnétiques, un produit très technique dont tous les suivants ont besoin : CA 93 = 588,6 M\$ avec 6 M\$ de bénéfice, CA 94 = 638,6 M\$, bénéfice 19,7 M\$. Les grands, comme IBM, traitent eux-mêmes ce problème et ont contribué à d'importants progrès ; mais beaucoup de petits fabricants ont besoin d'un tel spécialiste.

Citons encore Komag, qui produit des plateaux magnétiques, CA 93 = 385,4 M\$ avec 9,9 M\$ de pertes, mais CA 94 = 392,4 M\$ avec 58,5 M\$ de bénéfice. On conçoit que la plupart des fabricants de disques ne s'occupent pas de métallurgie et donc achètent leurs plateaux, dont l'exacte platitude est pourtant essentielle ; mais ceux qui utilisent des plateaux en aluminium se chargent en général de les recouvrir de ferrite magnétique et de protections diverses, tandis que d'autres y font déposer des couches d'alliages métalliques de très haute technicité.

Et, bien entendu, tous les produits contiennent de l'électronique, dont chacun des acteurs ne fait lui-même qu'une partie, montage final toujours, câblage et soudures parfois, production de composants élémentaires pratiquement jamais. En arrière-plan constant tout au long de cette étude, l'industrie des composants n'en est pas l'objet, et n'est mentionnée que lorsque le composant est lui-même un ordinateur, ou au moins une pièce essentielle de celui-ci.

Méthodes : pendant 25 ans, de 1964 à 1985, les méthodes d'enregistrement ont été inventées par IBM et se sont vite transformées en normes, pour des raisons économiques sur lesquelles il n'est pas utile de revenir. Voir industrie des compatibles IBM.

L'avènement du PC, puis l'explosion de sa clientèle, créant une intense concurrence, ont fait baisser les prix de façon spectaculaire sans nuire à la qualité, au contraire, car la miniaturisation réduisait l'effet des chocs et vibrations et globalement augmentait considérablement les durées de vie. Les fabricants de ces petits disques devinrent fournisseurs des grands constructeurs, augmentant leurs marges car les prix de vente des sous-systèmes de disques, très enrichis par des contrôleurs perfectionnés, ne diminuaient que lentement.

C'est vers 1988, semble-t-il, que des universitaires proposèrent, à travers un groupe professionnel de l'ACM, une organisation radicalement nouvelle des systèmes de disques, basée sur une distribution de l'information à travers plusieurs de ces petits disques bon marché, sous le nom de RAID, Redundant Arrays of Inexpensive Disks. Le concept recevait rapidement un accueil très favorable à l'initiative de sociétés d'assemblage décidant d'attaquer frontalement IBM, au point qu'en quelques années, et en profitant d'une période financièrement très difficile pour ce constructeur, les RAID devenaient partout la solution de prédilection du problème de stockage, obligeant IBM à l'adopter en s'alliant avec Storage Technology.

Rappelons brièvement ce que sont les méthodes RAID, en renvoyant pour les détails à la documentation :

RAID 0 : c'est la méthode antérieure : l'information définie par un ordre de stockage est logée sur un seul disque, avec tous ses bits de contrôle qui permettent en général un pourcentage élevé d'autocorrections.

RAID 1 : antérieurement nommé disque miroir, autrement dit stockage en double sur deux tourne-disques différents : efficace mais cher, puisque redondance 50% du matériel.

RAID 3 : l'information utile est distribuée au niveau du byte entre n enregistrements plus petits, chacun avec ses contrôles, qui sont inscrits sur des disques différents. Un disque supplémentaire reçoit un enregistrement de même taille que les n principaux, dont chaque byte est la disjonction des bytes correspondants des autres enregistrements. En cas de perte d'un des disques, la disjonction avec l'enregistrement de parité permet de reconstituer l'information perdue. Et la redondance tombe à $1/n+1$. Inconvénient : le remplissage des disques est moins bon que dans les méthodes plus simples, parce que les enregistrements partiels contiennent les mêmes sécurités que les enregistrements normaux, tout en étant plus petits. La perte de place pour l'information proprement dite grandit donc avec n, et aussi la durée d'exécution d'un stockage, puisque la complexité de l'opération augmente avec n.

RAID 4 : même conception mais avec une unité de stockage qui est le secteur (de 512 bytes en général) plutôt que le byte. Le principal avantage de cette variante est que plusieurs ordres de lecture peuvent être acceptés et traités simultanément, mais les arguments d'encombrement restent valables, et d'autre part la méthode ne convient que pour une majorité d'enregistrements multisecteurs. Inconvénient : le disque de parité est un goulet d'étranglement, lors d'accès multiples.

RAID 5 : pour éviter le dernier inconvénient, le disque de parité change à chaque enregistrement dans le groupe de n+1 axes, mais il faut noter quelque part cette localisation pour éviter une lecture inutile. La durée de l'éventuelle procédure de rattrapage est accrue, mais les rattrapages sont très rares.

Pour approfondir ces questions, qui ont fait l'objet d'études importantes, nous disposons de deux articles, classés en boîte 145:

- une étude scientifique de l'Université de Berkeley, sur l'efficacité comparée des divers positionnements des informations d'autocorrection. Le soutien financier est exceptionnel, car au delà de la NSF et de la DARPA, contractants habituels, on trouve Array Technology, DEC, Eastman Kodak, Hewlett Packard, IBM, Intel, Seagate, Sun et Thinking Machines.

- un article de vulgarisation technique, en provenance de la revue ACM Computing Surveys, Vol 26 N° 2, juin 1994, pp 145 / 185, 63 références bibliographiques. Les origines très diverses des auteurs confirment que l'intérêt pour la formule est universel.

Concepteurs / assembleurs : ce sont les véritables sujets de cette rubrique, et ils sont classés par ordre de chiffre d'affaires décroissant.

Seagate Technology est en 1994 le leader de l'industrie des disques, avec un CA de 3500 M\$. Il fabrique lui-même ses têtes magnétiques, et vend une large part de sa production à des assembleurs. Voir rubrique 630 ci-dessus.

IBM continue en 1994 à produire des disques et des dérouleurs de bandes magnétiques, qu'il organise en sous-systèmes adaptés à ses diverses familles d'ordinateurs. Bien que les laboratoires de la corporation soient toujours richement dotés et très créatifs, et par exemple qu'ils viennent de mettre au point la nouvelle procédure de lecture PRML, Partial Response Maximum Likelihood, le centre d'intérêt s'est quelque peu déplacé et IBM utilise désormais largement l'OEM. Elle a passé des accords de fourniture avec des producteurs comme Seagate ou avec des assembleurs comme Storage Technology. Voir rubriques 333/4.

On estime à 2700 M\$ le CA d'IBM dans le domaine du stockage en 1994.

Comme preuve de la créativité d'IBM dans ce domaine, on peut citer le Microdrive annoncé en 1999. Ce disque de 340 MB, tournant à 4500 t/min, comporte des plateaux de la taille d'une pièce de 1 F, dans un boîtier mesurant 42,8 * 36,4 * 5 mm, et l'accès prend en moyenne 15 ms. Antichoc, doté de têtes magnéto-résistives, incluant un système économiseur d'énergie, ce disque tient dans une carte PCMCIA. Prix 2660 FFTTC pour la version maximale, et 1830 FF pour la capacité 170 MB. Il ne s'agit pas d'une amulette, mais d'un véritable concurrent des mémoires flash contemporaines, dont la version 2000 atteint le GB et peut trouver place dans des objets aussi petits que des téléphones portables.

Conner Peripherals est un producteur de périphériques de stockage assez diversifiés, couvrant l'ensemble de la fourniture, disques, bandes, sous-systèmes et leurs logiciels.

On peut citer quelques disques 2,5" : Kato, premier essai de fin 89, contient 21,4 MB accessible en moyenne en 23 ms, et coûte 550 \$. Les Pancho de fin 90 ont un temps d'accès de 19 ms, et des capacités de 32, 42 et 64 MB, aux prix respectifs de 395, 445 et 495 \$.

Le CA 1993 = 2152 M\$ avec un énorme déficit de 445,3 M\$, mais CA 94 = 2365 M\$ avec 109,7 M\$ de bénéfice.

Quantum est également producteur de disques, et depuis 1980 au moins, quand il s'introduisait sur le marché en créant des compatibles pour les produits du leader de l'époque, Shugart. Citons par exemple le Q2000, compatible du SA 1000, diamètre 8", en trois modèles à 1, 2 et 3 plateaux tournant à 3000 t/min: 10 MB pour \$ 1200, 20 MB pour \$ 1500, 30 MB pour \$ 1800.

Ces disques comportant 345 tpi permettaient un accès moyen en 60 ms grâce à un actionneur économique et léger, moins coûteux que les moteurs à impulsion de Shugart. Ce disque comportait une compensation de température à cause de sa densité doublée : elle consistait en la lecture d'un numéro de piste inscrit sur celle-ci et réaligné à chaque tour de disque par comparaison avec une échelle gravée sur verre et lue par le bras.

Quantum a beaucoup grandi par la suite, produisant en 1990 des Winchester de 3,5", 330 à 425 MB, avec contrôleur SCSI incorporé et cache, autorisant un temps d'accès moyen apparent de 19 ms.

En 1991 on peut citer les ProDrive de faible épaisseur (1 / 4 du standard) et de faible consommation, entre 84 et 168 MB ; ou encore les nouveaux GoDrive qui abordent le format 2,5", 42 et 84 MB formatés.

En 1994 on peut citer le Grand Prix en 3,5", en deux modèles 2140 de 2,1 GB et 4280 de 4,2 GB, respectivement 5 et 10 plateaux. Ces disques qui tournent à 7200 t/min ont une tête rotative excentrée, un temps d'accès moyen de 8,6 ms, un débit de 9,6 MB/s à travers un connecteur SCSI 50 broches (8 bits) ou FastSCSI 68 broches (16 bits), et utilisent le concept PRML d'IBM : rappelons qu'il consiste à détecter les changements de phase, et à confirmer la conclusion par une logique qui exploite les bits encadrants.

Le CA 93 de Quantum est 1697 M\$, avec un bénéfice modeste de 93,8 MB, celui de 1994 atteint 2131 M\$, avec un bénéfice très court de 2,7 MB, mais c'est que Quantum s'apprête à acheter pour 360 M\$ les activités disques de DEC en déconfiture : le CA de l'année calendaire 94, qui en tient compte, dépasse 3 B\$ et place Quantum au second rang de cette industrie, avec un élargissement de sa compétence aux bandes, aux "disques électroniques" et, dans son domaine, aux têtes magnéto-résistives.

Storage Technology fabrique des bandes, des bandothèques, et des disques RAID. A partir de 1990, elle s'efforce de travailler en liaison avec IBM plutôt que de tenter, comme à l'époque des "compatibles", de lui arracher des clients. Cette attitude a permis à cette société de monter au quatrième rang par le CA. Voir rubrique 536.

Western Digital, autrefois vouée à l'étude de composants originaux qui régulièrement se vendaient très mal, s'est reconvertie avec succès dans le disque, et se trouve au 5ème rang avec un CA de 1540 M\$. Voir rubrique 600.

Hewlett-Packard qui a fait son succès dans diverses catégories de serveurs, a souhaité pouvoir fournir les disques, bandes et même juke-boxes qui les accompagnent, et qu'il édifie à partir de tourne-disques achetés chez Seagate ou Hitachi. Son CA dans ce domaine est estimé à 1500 M\$ en 1994, en forte croissance. Voir rubrique 305.

Mais, apparemment HP veut davantage, et s'est impliqué dans les disques au point de créer une nouvelle technologie pour les têtes, Dual Stripe Magneto-Resistive, puis de créer avec Asahi Glass et Komag une filiale Headway Technology, en vue de développer des applications de cette idée ; il s'appuie par ailleurs sur la procédure PRML, Partial Response Maximum Likelihood, inventée par IBM et reprise par Fujitsu en vue d'améliorer la lecture des disques en contexte dégradé.

Les premiers produits sont des disques 3,5" destinés aux stations de travail, avec des capacités de 4,35 GB (Modèle C3331A) et 2,17 GB (Modèle C3325 et 3330A).

HP construit aussi en fin 94 le juke-box magnéto-optique LAN 20xt, ainsi nommé parce qu'il contient son propre interface réseau, acceptant TCP/IP et Netware. Il offre 20 cartouches de 1,3 GB accessibles à travers un cache sur disque de 340 MB, et coûte 80000 FFHT, soit moitié moins qu'un RAID de même capacité.

Dans cette activité comme dans les autres, au rythme de plus en plus accéléré du progrès technique, les alliances les plus inattendues ne cessent de se former pour un objectif à court terme et de se défaire peu après parce que les conditions ont changé. C'est ainsi qu'en 1999 s'élabore une alliance entre Hewlett-Packard, Seagate et IBM, pour prolonger le succès des cartouches à bandes Magstar d'IBM et les 9840 de Storage Technology. Cette filiale lance deux produits :

Ultrium est une cartouche de 100 GB, accessible en 60 à 90 secondes dans les bandothèques, et capable ensuite de débiter 10 à 20 MB/s. L'objectif est de pousser cette technologie jusqu'à 800 GB par cartouche, et le débit jusqu'à 80 / 160 MB/s.

Accelis en est une version réduite, 25 GB, même débit, mais accès en moins de 10 secondes. L'objectif est de pousser la capacité à 200 GB, le débit comme ci-dessus, et de réduire le temps d'accès en dessous de 7 secondes.

EMC Computer apparait en 1988 et se lance en 1990 sans la production et la commercialisation de sous-systèmes RAID, construit au moyen de tourne-disques achetés chez Seagate et Hitachi. Considérable succès qui l'amène en 1994 à un CA de 1377 M\$, mais ce n'est qu'une étape. Vers 1999, EMC2 est leader américain des moyens de stockage, devant IBM et STC. Voir rubrique 632.

Miniscribe, qui offre en 1989 une vaste collection de petits disques 3,5 et 5,25" en formats normaux ou réduits, illustrée par un document en boîte 141, est achetée en 1990 par Maxtor, une firme californienne, pour 100 M\$. L'opération, qui marie des conceptions très différentes du commerce des disques - Maxtor s'intéresse surtout aux disques très performants - entraîne le départ du PDG, une perte de 3 M\$, et une reprise en main par le fondateur J. McCoy.

Cela fait, Maxtor sort un ambitieux disque 3,5" à 8 plateaux, 5400 t/min, densité de 30929 à 41109 bpi, capacité 1,079 GB avec accès moyen en 11 ms seulement par interface SCSI2, et plusieurs disques 5,25" de 2 à 4 GB. En outre, elle aborde à mi 91 les disques de 2,5" pour lesquels la demande est très supérieure à l'offre, avec des modèles de 40 et 80 MB, accès 18 ms, dans des épaisseurs de 15,2 et 17,5 mm.

Citons encore le LXT 535, un Winchester 3,5" de 535 MB en 6 plateaux, 11 têtes, offert avec des interfaces AT ou SCSI, accès 12 ms en lecture, 13 ms en écriture grâce à un cache. Le débit est 5 MB/s en SCSI synchrone, 3 MB/s en asynchrone, 4 MB/s en AT, le MTBF calculé 150000 heures. Le prix est \$ 1450 en lots de 100. De la même famille, le LX 437 à 5 plateaux coûte \$ 1250 en lots de 100.

Maxtor atteindra ainsi un CA de 1400 M\$ en 1993, avec un bénéfice de 46,1 M\$, délocalisant sa production à Singapour, et abordant des technologies nouvelles avec le MLX 105 III de 105 MB, qui tient dans une cartouche PCMCIA III, pesant 70 g. Ce produit remarquable, de diamètre 1,8", comprend deux plateaux de verre tournant à 4500 t/min, avec 4 têtes à film mince : il peut supporter 100 g en marche, 300 g à l'arrêt. Accès 18 ms en lecture, 19 ms en écriture.

Les prévisions techniques étaient de 130 MB en fin 93, 200 MB à fin 94, 100 MB dans le format PCMCIA II pour la fin 94. Mais l'année 1994 sera catastrophique, avec CA de 1153 M\$ seulement, et surtout une perte de 257,6 M\$. Maxtor ne s'en relèvera pas et sera racheté par le coréen Hyundai.

Micropolis Corporation est fondée en 1979 pour fabriquer le 1015, un lecteur de disquettes 5,25", en deux versions 96 et 100 tpi, 1100 KB maximum, accès moyen 365 ms, 10 ms entre pistes. 60000 exemplaires seront produits en 1979.

En même temps Micropolis étudie un petit disque dur de 9, 27 ou 45 MB en 1, 2 ou 3 plateaux dans le volume standard d'un lecteur de disquettes, 218 mm de large * 363 mm

de profondeur * 117 mm de haut. L'idée est qu'il existe une face de service, et 1, 3 ou 5 faces utiles de 8,975 MB. Le principe du disque est Winchester, le mécanisme des têtes utilise un support rotatif mu par bobine de haut-parleur, avec une densité transversale de 500 tpi.

Ces disques sont fournis avec un contrôleur optionnel capable de 4 axes, prix 500 \$ en OEM, qui trouve sa place dans un des disques. Ceux-ci sont vendus \$ 1300 en OEM. Livraison 11 / 79.

L'annonce suivante, en 1981, est le 1115, un nouveau lecteur de disquettes 5,25", 96 tpi, capacité 512 KB pour une tête ou 1 MB avec deux têtes, dans une présentation blindée, dont la mécanique amovible s'insère dans un boîtier au format compatible. Le moteur est en prise sur l'axe, la tête est positionnée par vis, un microprocesseur dirige le tout. La production s'élève à 2000 par jour en fin 1982.

Il y aura ensuite un disque Winchester 8" baptisé 1202 SA, interchangeable avec le SA 1000 de Shugart sur le contrôleur Shugart SA 1400. Le 1202 comprend 2 plateaux pour 20,62 MB brut, 16,22 MB formatés en 32 secteurs de 256 bytes sur chaque piste. Modulation MFM.

Le 1203 est la version à 3 plateaux, 34,37 MB bruts ou 27 MB formatés.

Ces deux disques ont un MTBF de 10000 heures, une stabilité de vitesse de 0,5% sur 3124 t/min. Il est prévu qu'en cas de coupure de courant, les têtes atterrissent automatiquement sur une zone réservée qui sert aussi au transport.

On trouve encore trace d'un disque 1908 annoncé en 1991. C'est un 5,25", capacité 1,6 GB, vitesse de rotation 5400 t/min, accès moyen en 12 ms, interface SCSI2 débitant 10 MB/s.

Quelles que soient les raisons de cette disgrâce, Micropolis est en très mauvaise position en 1994 : le CA 93 s'élève à 382,9 M\$, mais avec une perte de 19,9 M\$; le CA 94 est en baisse de 10%, à 346,3 M\$, et la perte s'est aggravée à 30,7 M\$. La société n'a pu résister à cette situation prolongée et a disparu.

Syquest s'est construit une niche commerciale avec des disques durs présentés en cartouches amovibles, recommandés par les forces armées pour les travaux très secrets : les cartouches sont enlevées des ordinateurs chaque soir et placées dans des coffres. Voir rubrique 541.

Syquest reste pratiquement stationnaire, se développant au rythme de l'inflation avec des hauts et des bas. Le CA 93 est 206,4 M\$ avec 15,2 M\$ de bénéfice, celui de 94 atteint 221 M\$ avec 5,4 M\$ seulement de bénéfice.

Iomega s'est spécialisé dans la production de disquettes lourdes qui s'insèrent dans de petits lecteurs plats baptisés ZIP, essentiellement destinés aux PC et comme tels réalisés sous forme de boîtiers indépendants à alimentation séparée. Le premier modèle accepte 100 MB par disquette, et se branche sur connecteur parallèle ; le prix est de 890 FF, les disquettes coûtent 79 FF en paquets de 10 en 2000.

Iomega est passé ensuite à des disquettes de 250 MB, dont le lecteur se connecte sur SCSI2.

Nomaï propose début 96 des disquettes de 540 MB en 3,5", au prix de 350 FFHT. Le lecteur associé coûte 3500 FFHT en externe, 2950 FFHT en interne, et prend place sur un câble SCSI2. Avec un temps d'accès de 10 ms et un débit de 5,3 MB/s, il peut remplacer provisoirement un disque dur, bien que la fiabilité moindre suggère de se limiter aux sauvegardes.

Autres : la demande est si élevée que les fournisseurs évoqués ci-dessus ne suffisent pas à la satisfaire, et la compétition est suffisamment sévère pour que chacune de ces sociétés accepte de réduire ses marges (on le voit dans le niveau des bénéfices), avec la conséquence que plusieurs des concurrents n'ont pas survécu. Il faut ajouter que cette compétition ne se livre pas qu'entre américains : les japonais Fujitsu (à travers Amdahl, et aussi par une filiale directe), Hitachi (à travers sa filiale HDS), Matsushita, Sony et Toshiba, à travers de moindres filiales américaines, sont aussi en course ; toutefois, il semble bien que les CA spécifiques des deux premiers, les plus importants, restent en dessous du B\$ en 1994.

634 - Quotron Systems, Inc.

Cette société de service est spécialisée dans la définition et l'installation de réseaux de terminaux qui collectent des données économiques dans toutes les bourses du monde, et les diffusent dans les banques et chez les agents de change à travers un grand nombre de terminaux.

Son implantation atteint 80000 terminaux en 1985, année où son chiffre d'affaires s'établit à M\$ 205, avec un bénéfice de M\$ 22. Son plus gros client, qui représente 25% de son activité, est l'agent de change new yorkais Merrill Lynch qui a prolongé son contrat jusqu'en fin 88.

Parmi les fournisseurs de Quotron, on peut citer ATT, avec un contrat 1985 pour le système Q1000, à base de stations de travail de type PC et un réseau StarLAN. En fait ATT se propose d'être partenaire de Quotron dans l'organisation d'un IFIS, Integrated Financial Information System.

635 - Xidex Corporation

Fondée en 1969, cette société s'est vouée à la production de lecteurs de disquettes et a réussi à devenir en 1984 leader de cette activité, après la disparition de Shugart. Sa croissance régulière lui a permis, en 1985, d'acheter son principal compétiteur, Dysan Corporation de Santa Clara, fabricant de disques souples et durs, puis en fin d'année la société Charlton Associates d'Irvine, filiale de Dysan, la société Trimedia de Fremont qui fabrique des plateaux magnétiques pour disques, et la fraction disques du Business Products Group de Control Data. Toutes ces acquisitions changent complètement son profil.

La société combinée qui en résulte devient pour 1985 la 69ème compagnie informatique mondiale et la 44ème compagnie américaine, avec un CA de 342 M\$ et un bénéfice de 17,8 M\$; elle dispose d'une usine en Suisse, qui produit pour l'Europe, et les exportations de 1985 se montent à 57 M\$.

Cette description d'une société prospère est en violent contraste avec le fait que Xidex ne joue plus aucun rôle dans l'industrie du disque en 1990, et ne peut s'expliquer que par une absorption. On ignore le nom de l'absorbeur.

636 - Les DSP de ZSP

ZSP, certainement de création récente en 1999, produit un DSP 16 bits à hautes performances, le ZSP 16400, 400 Mips à 200 MHz, réalisé en CMOS 0,35 μ avec une alimentation 3,3 Volts.

Consommation 2 Watts.

L'organisation comprend un pipeline à 5 niveaux alimenté par deux caches D et I, et débouchant sur deux ALU 16 bits et deux MAC, tous puisant dans un jeu de 16 registres. Le débit est donc de 4 instructions par cycle. Le circuit contient encore un bootstrap sur ROM, un tampon SRAM d'entrées/sorties, deux ports série, un port pour l'hôte, deux compteurs et un ensemble JTAG pour les tests.

637 - Waicom 16

Cette machine dont on ne connaît pas le constructeur est plus perfectionnée et complexe qu'un simple bricolage d'assembleur, apparaissant d'un niveau de complexité comparable à un PDP 11/45, ce qu'elle ne peut être du fait de la date. On n'a aucune idée du marché qu'elle a pu trouver.

C'est une 16 bits, avec une mémoire comprise entre 8 et 64 Kmots, cycle de 500 ns, ce qui est performant et pauvre, donc assez incohérent; il est d'autant plus curieux que la description mentionne une possibilité de relocation, qui n'a aucun intérêt dans cette taille de mémoire.

Le bloc de calcul comprend 10 registres dont 6 peuvent servir d'index et de base, ce dernier point à nouveau incohérent. Adressage indirect indéfini, addition en 1,2 μ s, répertoire de 83 opérations dont la virgule flottante en simple et double précision. Il y a aussi protection de mémoire et mode exécutif, donc opérations privilégiées.

Les entrées/sorties se font sur 4 à 16 canaux capables de 4 MB/s, ce qui à nouveau est incohérent. Les périphériques comprennent un disque de 20,8 MB, une bande magnétique 800 bpi en 7 ou 9 pistes, LC 300, IP 300, LR 300, PR 25.

638 - les UCOM de Binary Data Systems

Cette société BDS semble être un assembleur à la demande, travaillant avec des matériels existants pour satisfaire les besoins de commerçants locaux. Il a existé trois modèles de produits, chacun réalisé à plusieurs exemplaires:

UCOM I utilise le Nova 3 ou 3D avec mémoire 64 (32) 256 KB, et peut utiliser tous les périphériques du moment, soit :

disques 40 à 800 MB

bandes magnétiques 10 à 72 Kbps, ou cassettes 1600 bps.

bande perforée LR 400, PR 75.

cartes perforées LC 1000, PC 150

Ecran 1920 caractères avec clavier et ME 165.

Choix d'imprimantes de 200 à 1500 lpm.

Jusqu'à 256 lignes 9600 bds en asynchrone, 48 Kbps en synchrone, protocoles 2780 /3780

Tous les logiciels DG sont également disponibles, au sein d'un OS à 64 partitions : Cobol Fortran, Basic, Assembleur, tous types de fichiers, base de données, packages.

Prix : 45000 \$ avec 40 MB de disques, écran et imprimante.

UCOM II utilise deux CPU Eclipse S130, chacun avec 128 à 256 KB, ce qui est beaucoup plus adapté au grand nombre de lignes cité ci-dessus. Prix \$ 150000.

UCOM III est de même construit autour de C330, avec 256 à 512 KB, et coûte \$ 175000. Toutes les possibilités des précédents.

639 - Le Telecontroller d' Action

Ce Telecontroller est un ordinateur frontal de télécommunication, connectable à un CPU par canal ou ligne rapide, et capable de concentrer jusqu'à 64 lignes de 1800 à 9600 bauds, avec sur chaque ligne un maximum de 32 terminaux accessibles en polling. Le logiciel spécialisé "store and forward" sait gérer l'ASCII asynchrone, le BSC et le Telex.

Le processeur est un 16 bits microprogrammé, avec jusqu'à 64K mots de mémoire 16 bits, cycle 1,2 ou 0,8 µs. Tous les périphériques de service disposent de DMA, mais les lignes travaillent par interruption.

Le ordinateur est livré clé en main, au prix de \$ 90000 à 250000. 78 exemplaires ont été vendus en 1979.

640 - SIMBOL de Martin Wolfe, Inc.

Simple mini de gestion construit autour d'un Nova 1200, et livrable en janvier 1972. Ce ordinateur étant connu, l'appréciation du produit se fait en regardant le service offert, et en réalité ne peut être jugé qu'en connaissant le contexte de l'époque et de la ville où est né le besoin.

Les périphériques proposés sont des disques en cartouche de 2,5 à 10 MB capables de 153 KB/s, des dérouleurs de bandes à 30 KB/s, une ME30, et de modestes imprimantes à 60 ou 120 lpm.

Le système d'exploitation est un DOS qui n'occupe que 4KB de mémoire, accompagné d'un RPG, d'un tri sur disque et de quelques applications.

Le prix, pour 16 KB de mémoire et un disque de 4,6 MB, s'élève à \$ 70000, ou \$ 1260 par mois.

641 - Neuron 3150 d' Echelon

Ce nom qui évoque l'intelligence a été choisi parce que ce circuit est à lui tout seul le cœur et le moteur d'un réseau industriel, qui peut comporter jusqu'à 32K noeuds. C'est un microcontrôleur 8 bits qui rassemble trois fonctions programmables (accès au média, gestion de réseau, application). Il dispose de 512 bytes d'EEPROM, 2048 bytes

de RAM, 2 timers 16 bits, un chien de garde, 11 bornes d'entrée / sortie indépendamment programmables, et deux gestions de service :

- gestion de fréquence 10 / 5 / 2,5 / 1,25 / 0,6125 MHz avec toutes adaptations internes
- gestion de consommation, entre normal = 20 à 30 mA et veille = quelques μ W.

Une interface 5 fils existe vers une puce transceiver qui est choisie dans un catalogue en fonction du support du réseau : paire torsadée 1,25 Mbit/s , radio 5 Kbit/s, modulation sur le secteur 10 Kbit/s, infrarouge, fibre optique, etc...

La puce 3150 ne coûte que \$ 10, et il y en a une en chaque noeud du réseau. Le kit de mise au point, qui en permet la programmation, est vendu \$ 14965.

Il existe une version plus spécialisée, Neuron 3120, avec 512 bytes d' EEPROM, 1024 bytes de RAM, un seul timer, et 10 KB de ROM préprogrammée : protocole réseau, exécutif piloté par les événements, bibliothèque arithmétique.

Conçue par Echelon Systems Corporation, qui est un simple bureau d'études, cette puce a été fabriquée et commercialisée par Motorola pour les USA et Toshiba pour l' Orient.

642 - Micro 2 de Garrett

Garrett Manufacturing Co est en 1972 un fabricant de petits turboréacteurs et de turbines pour le conditionnement des avions. Son Micro 2 est un ordinateur temps réel minuscule, comme il peut être nécessaire d'en installer sur un moteur pour une régulation. La mémoire réalisée en bipolaire comprend 256 à 2 Kmots avec un cycle de 500 ns, le processeur 8 bits se contente d'un répertoire de 16 opérations. Les périphériques peuvent être les clés du panneau avant, qui servent de bootstrap, le reste provenant d'un lecteur de bande perforée, d'un clavier ou d'une minicassette.

L'appareil proprement dit s'installe en rack 19" ou dans une simple boîte. Prix de base \$ 1550.

643 - MESA TWO de A. O. Smith

Ce nom compliqué désigne un terminal d'interrogation de base de données, construit autour d'un Nova 3. Compte tenu de la date de sa conception, le mode d'accès envisagé est le RJE, c'est-à-dire l'envoi des questions par ligne téléphonique et leur introduction dans le batch d'un ordinateur maître.

La mémoire est à tores, 64 à 256 KB, cyclé 1 μ s. Les fichiers locaux sont sur disque ou sur bande, les autres périphériques sont un écran / clavier, et une ME 165.

Le système peut supporter jusqu'à 16 lignes, travaillant en protocole 3780 ou HASP, ce qui correspond à de multiples connexions avec de grosses machines, une situation assez bizarre.

Le logiciel comprend un système d'exploitation à deux partitions seulement, une de travail local, l'autre pour les communications. Les processeurs sont RPG, FPG , une base de données, et des logiciels d'application. Le prix s'élève à 56700 \$.

On ne s'étonnera pas qu'un matériel si curieusement conçu ne se soit vendu qu'à 5 exemplaires.

644 - Documentor Sciences Corporation

Le matériel créé par cette société paraît destiné essentiellement à exploiter une enquête dont les données prennent la forme de cartes à cases cochées, en se servant d'un petit ordinateur série comprenant 6 registres, une mémoire de 4 à 16 KB avec un cycle de 5 μ s, et un canal parallèle pour les entrées / sorties. Les instructions occupent 8 ou 16 bits, les données sont 8 à 12 bits en complément à 2. Le répertoire comprend 16 opérations de base et 40 à 50 génériques, cad probablement des primitives sous-programmées liées à la finalité du système.

Sur le canal on trouve un lecteur de marques, une imprimante sur 12 caractères, deux visualisations à 4 chiffres, et cela se répète jusqu'à 12 postes. Le prix du central est environ 5000 \$, les boîtes d'extension qui n'ont pas d'arithmétique coûtent moitié prix. Les cartes mesurent 107 * 279 mm et contiennent jusqu'à 800 caractères, et son traitement prend 3 à 4 secondes.

645 - Oak Ridge National Laboratory

Ce laboratoire, créé pendant la guerre pour le projet Manhattan, s'était consacré à une méthode de séparation de l'uranium coûteuse et de médiocre rendement. La guerre finie, cette méthode est abandonnée, et Oak Ridge reconverti sur un projet extrêmement ambitieux, Nuclear Energy for Propulsion of Aircraft (NEPA), qui d'ailleurs finira par échouer.

Ayant de ce fait des besoins d'informatique, ce laboratoire cherchera un industriel capable d'une étude dans ce sens et obtiendra l'accord de Fairchild Camera, une société qui avait fait sa fortune pendant la guerre avec des caméras d'avions, et qui désirait se reconvertir dans l'électronique. Voir à la référence NEPA cette réalisation qui est probablement le plus ancien ordinateur opérationnel de la Défense, mis en service en juin 1950.

Très imparfaite, cette machine sera vite remplacée par ORACLE, un ordinateur de type Princeton construit pour Oak Ridge par les techniciens du laboratoire voisin d'Argonne, sur le modèle de leur AVIDAC. Cette machine aura une longue vie utile.

646 - Radiation, Inc.

Cette société d'électronique nous apparaît en 1963 en construisant pour le Laboratoire de Livermore une imprimante à 30000 caractères/seconde sur papier Teledeltos : 120 caractères sont imprimés simultanément par 600 styles, en 7 passages à travers le tampon d'une ligne. Voir 228-25.

Par la suite, l'activité est essentiellement militaire. On s'intéresse ici à un de ses travaux des années 1970 pour le bombardier B1, étudié comme successeur des B52 et finalement réalisé en petites quantités seulement parce que trop cher.

Le système E MUX concerne le câblage du bombardier, qui utilise, comme partout désormais, le concept de bus. L'ensemble des liaisons de l'avion, communications et commandes, utilise un système de 4 bus bifilaires, deux de chaque côté, tous deux reliés aux deux câbles du bord. De chaque côté, il y a :

- un panneau de maintenance
- une interface avec le C MUX, multiplexeur de ISC / Telephonics pour la maintenance on line.

- onze interfaces d'entrées / sorties discrètes
- trois interfaces de données numériques.

Les calculateurs jouent le rôle d'un multiplex temporel à 1 MHz, gérant 30 messages par seconde composés chacun de 3 bits de synchronisation, 20 bits d'information, et un bit de parité. Ils utilisent 24000 bits de mémoire de travail, 240000 bits de ROM à fusibles, et une mémoire NDRO à fils magnétiques qui mémorise l'état des disjoncteurs du cockpit.

L'un des calculateurs est actif, l'autre en standby qui prend la relève automatiquement en cas d'incident dans l'autre. Le calculateur actif a pour rôle de transmettre sur les deux bus les messages qu'il reçoit des capteurs, commandes et systèmes d'armes; il contrôle en outre l'ensemble des bornes de connecteurs, 800 par calculateurs, 400 par interface.

647 - Distribution System de J. Baker & Associates

Monsieur J. Baker et ses associés se sont proposés, comme un grand nombre d'autres ingénieurs dans d'autres villes, de fabriquer à la demande, en se servant de produits OEM, des systèmes transactionnels multipostes pour la distribution chez les commerçants locaux.

Le Modèle 1, réalisé à 35 exemplaires à partir de septembre 1975, utilise le PDP 11 / 34, avec un logiciel à 4 partitions et les compilateurs Cobol, RPG, Fortran, Basic, Dibol, et assembleur. Le prix commence à \$ 45000 , auquel il faut ajouter 7000 à 9500 \$ pour la rédaction d'un logiciel d'application clé en main.

Toutes les ressources de DEC peuvent être utilisées : mémoire 128 (32) 256 KB, 3 à 32 périphériques, à choisir parmi les suivants:

Cartouche 14 MB en standard, option disquette de 512 KB et/ou disque fixe de 2 MB.

Clavier alphanumérique + pavé numérique, écran 24 * 80 car.

Machine à écrire 30 cps

Bande perforée LR 300, PR 50

Cartes perforées LC 1200, PC 285

Imprimante 230 ou 300 lpm

Bande magnétique 9 KB/s ou cassettes 562 cps

et jusqu'à 32 lignes en protocole 2780

Le Modèle 2, proposé à la même date, utilise le PDP 11 / 70 avec une mémoire 128 (32) 4096 KB à cycle de 990 ns, et peut disposer d'un maximum de 64 périphériques. Le disque standard est un pack de 88 MB, et il peut y en avoir deux. Tout le reste comme ci-dessus.

Prix à partir de \$ 100000. 6 matériels ont été vendus sur trois ans.

Le Modèle 3, proposé en mai 77, essaye d'étendre la clientèle à des commerçants de moindre envergure, en utilisant un calculateur PDP 11 / 03 avec mémoire 32 (8) 56 KB et un maximum de 16 périphériques. La cartouche standard est 4,8 MB, et le

nombre de lignes est limité à 3. Le logiciel aussi est réduit, avec disparition du Cobol.
Prix \$ 34995 .

Il semble bien qu'après deux ans de service dont les chiffres ci-dessus indiquent la modeste ampleur, MM Baker et associés aient été achetés par la société Computer Horizons. Cette société semble avoir un peu durci les relations avec la clientèle : augmentation du prix qui devient un forfait de 150000 \$, interdiction de toucher au logiciel et donc non livraison d'un assembleur :

Un façonnier de plus, qui réalise à la demande des systèmes de distribution à base de calculateurs PDP 11/34 ou /70. Mémoire 16 (16) 248 KB en MOS ou en tores, disques 88 MB, bande magnétique 75 ips, ME 180, écran 24 * 80 sont compris dans le prix de \$ 150000. Mais la finalité principale est assurée par un maximum de 64 lignes à 9600 bauds, protocole au choix, qui sont en sus. Le système d'exploitation à 32 partitions n'est accompagné que d'un BASIC et d'un COBOL.

648 - RDM 1100 de Amperif

Il s'agit ici d'un matériel opportuniste, créé par une petite société qui ne peut espérer faire seule sa promotion. Le RDM 1100 est composé d'un miniordinateur non précisé et de disques abritant une base de données relationnelle, à l'époque encore médiocrement soutenue par Univac. Vendu 240000 \$, ce sous-système offre donc un logiciel de gestion de base de donnée relationnelle, avec les nécessaires mécanismes de sécurité et de récupération en cas de crash, un langage d'interrogation de haut niveau, et une interface logicielle et matérielle de raccordement à n'importe quel ordinateur Univac de la famille 1100.

L'extension maximale est de 4 contrôleurs capables chacun de 4 disques de 600 MB. La consultation de la BD est programmée en firmware pour améliorer les performances. D'autre part, le sous-système peut accepter, comme beaucoup de contrôleurs, jusqu'à quatre interfaces de canal 1100, soit qu'on souhaite s'intégrer dans une organisation de type MP ou même Non stop, soit que la BD intéresse plusieurs clients.

649 - les gadgets d' Oregon Scientific

Cette petite société s'est manifestée à partir de 2000 en diffusant des produits très élaborés dont la technique s'apparente à celle des téléphones portables et dont la mise en oeuvre relève de principes comparables. Nous avons consacré une fiche très incomplète à un minuscule assistant personnel tenant dans la paume de la main, le OS.Pro .

Un autre gadget très réussi se compose d'un afficheur / calculateur mural englobant une liaison radio de portée 30 mètres qui le relie à un capteur météorologique qui prend place à l'extérieur du bâtiment. Le dispositif LCD affiche en noir sur fond gris des textes décrivant toutes les informations utiles, température, pression et tendances.

650 - Le langage PLAIN

Ce langage qui appartient à la famille de Pascal est conçu comme outil pour la génération de logiciels interactifs, ce que signifie justement son nom : Programming LAnguage for INteraction. Le traducteur a été réalisé sous Unix 7 en utilisant comme langage intermédiaire celui de la machine abstraite EM1, définie par Tenenbaum en 1978.

Nous disposons d'un document de référence rédigé par MM WASSERMAN (A. I.), KERSTEN (M. L.), VAN DE RICCI (R. P.), DIPPE (M. D.) - Revised report on the programming language PLAIN, dans SIGPLAN Notice, Vol 16 N° 5, 5 / 81 pp 59 / 80, disponible sous forme de microfilm.

651 - Le langage CYBIL d'écriture de systèmes

C'est à partir du CDC 205, semble t'il, que les ingénieurs système de Control Data ont éprouvé le besoin de disposer d'un langage spécifique pour écrire le logiciel de leurs nouvelles machines. Ce langage nous est connu à travers l'article suivant :

RAGAN (R. R.) - CYBIL, Cyber implementation language, in SIGPLAN Vol 20 N° 5, 5 / 85 pp 21sq

Ce langage qui se présente comme une extension de Pascal a donné lieu à des compilateurs pour les CDC 170, 180, 205, plus des crosscompilateurs sur 170 vers 180, PCode 4. 0, MC 68000, 205. Le compilateur est écrit en CYBIL, ce qui explique son ubiquité ; il est rédigé pour s'appliquer aussi bien au microprocesseur 8 bits qu'au calculateur vectoriel 205.

Cybil a servi à écrire le système d'exploitation NOS / VE, des compilateurs Fortran 77, Cobol, APL, Prolog, et de nombreux outils.

Le langage permet la compilation partielle au niveau du module, lequel contient des déclarations de constantes, de variables, de types et de procédures. Le mode d'allocation est déclaré au niveau du module, et peut être STATIC, READ (= read only), XDCL (déclaration dans un autre module), XREF (objet dans un autre module). Dans les deux derniers cas, c'est le nom qui sert de lien.

Certains des compilateurs comprennent un débogueur interactif et un optimiseur.

652 - Le langage D

Chaque spécialiste veut disposer de son propre langage, c'est une maladie des chercheurs qui a donné lieu à de considérables travaux d'un intérêt pratique douteux. Cette remarque sévère ne signifie d'ailleurs pas que tous les dialectes et extensions aient été inutiles, ni que les langages qui ont dépassé ce stade aient tous été géniaux.

Le langage D est un dérivé de C, avec des extensions dans le domaine des allocations.

Ce travail nous est connu par l'article :

DUNLAVEY (M. R.) - A program report on D, compiled language featuring continuation, in

SIGPLAN Notices Vol 20 N° 5, 5 / 85 pp 8 / 15.

653 - Le langage B

Ce langage est issu d'un travail de thèse effectué en 1982 à l'Université de New York, et qui fit à cette époque l'objet d'une brève description dans les Sigplan Notices. De retour à leur établissement d'origine à Amsterdam, Hollande, les chercheurs ont essayé de mieux formaliser leur travail, qui nous parvient à travers le document :

MEERTENS (L.), PEMBERTON (S.) - Description of B,
in SIGPLAN Notices, Vol 20 N° 2, 2 / 85, pp 58 / 76

Le langage fonctionne sous Unix, et depuis 1985 sur PC sous MS-DOS.

654 - Le langage EUCLID

Ce langage est un travail collectif, rédigé par cinq auteurs qui se sont peu ou pas rencontrés, mais qui ont coopéré à travers le réseau ARPANet. Lampson et Mitchell sont au Xerox PARC et ont contribué à tous les travaux de ce centre de recherche, Horning est canadien en année sabattique avec un grant de l' Université de Toronto, London et Popek ont travaillé dans leurs universités californiennes respectives à l'occasion de contrats ARPA.

Le but d' Euclid est d'écrire des programmes de système (temps réel, modulaires, interactifs) qui ont besoin d'être vérifiés, c'est-à-dire dont on veut s'assurer que les assertions qu'ils énoncent sont logiquement inattaquables.

Euclid a fait l'objet d'une publication spécifique :

LAMPSON (B. W.), HORNING (J. J.), LONDON (R. L.), MITCHELL (J. G.), POPEK (G. J.) - Report on the Programming Language Euclid, SIGPLAN Notices, Vol 12 N° 2, 2 / 77, 78 pages.

Ce document figure en boîte 145 .

Autres articles importants dans SIGPLAN Notices 3 / 78 pp 34 / 89 et 5 / 79 p 29 sq.

Peu après, Lampson s'est lancé comme d'autres dans la définition d'un langage d'écriture de système, baptisé Concurrent Euclid pour souligner ses origines, et publié par l' Université de Toronto, ce qui suggère que Horning est le principal auteur de ce travail. Voir rubrique 679.

655 - Le langage SPL / Mk IV

Sur contrat du Laboratoire d'avionique de l' USAF à Wright-Patterson AFB, Ohio, la société Logicon, de San Pedro, Cal, a examiné en détails la possibilité et l'intérêt de réaliser un multiprocesseur aérospatial capable d'exécuter directement les instructions d'un langage de haut niveau à choisir. Le résultat de l'étude est que c'est possible et que ce serait avantageux, le langage choisi étant une variante de SPL, langage d'écriture de système dérivé de Jovial. Cette variante Mk IV comporte les adaptations nécessaires pour qu'on puisse effectivement adapter matériel et logiciel.

Un résumé du rapport de recherche est présenté dans le document 233 :

NIELSEN (W. C.) - Design of an Aerospace computer for direct HOL execution,
in SIGPLAN Notices, Vol 8 N° 11, 11 / 73, pp 34 / 42, proceedings d'un symposium spécialisé.

656 - Langage pour multiprocesseur aérospatial

La SAMSO, Space & Missile Systems Organisation de l' USAF, est une structure de réflexion sur l'avenir qui dispose d'importants crédits d'étude pour fixer les orientations des prochains programmes. L'une de ses obsessions est clairement la définition de multiprocesseurs ultrafiabiles destinés aux véhicules interplanétaires qui doivent se débrouiller seuls dans l'espace pendant au moins une dizaine d'années.

Ce thème a donné lieu à de nombreux contrats, notamment celui du projet MSC auquel a contribué Avizienis, le spécialiste en fiabilité de l' UCLA.

Le contrat avec Intermetrics vise un objectif différent. Il concerne une architecture qui devrait supporter directement un langage de haut niveau, du genre Algol 60 par exemple. Le contractant, qui a commenté ses rapports dans divers articles des SIGPLAN Notices, a résumé son approche dans l'article:

MILLER (J. S.), VANDEVER (W. H.) - Instruction architecture of an aerospace multiprocessor,

in SIGPLAN Notices, Vol 8 N° 11, 11 / 73, pp 52 / 60 -

La recommandation porte sur un ordinateur fortement inspiré par l'architecture à pile des B 6500, dont il décrit soigneusement l'organisation. Voir document 233 - 52.

657 - le langage PL / EXUS

PL / EXUS est un développement de XPL, lui-même un dialecte de PL/I présentant l'intérêt de disposer d'un compilateur écrit en XPL ; EXUS signifie Extended XPL User's Superset.

L'article suivant :

SITTON (G. A.), KENDRICK (T. A.), CARRICK (A. G.) - The PL / EXUS language and virtual machine, in SIGPLAN Notices, Vol 8 N° 11, 11 / 73, pp 124 / 130 .

décrit un travail entrepris au Texas dans une école de médecine (?), visant à définir un langage adapté à la réalisation d'une machine pour l'exploiter. C'est ce qui a été fait sous la forme d'une machine virtuelle, un vocabulaire avantageux pour ce qui n'est qu'un compilateur aboutissant à un langage interprétatif.

La conclusion, comme toujours dans ce type d'étude, est que la réalisation effective d'une machine serait intéressante, mais jamais on ne trouve un industriel pour s'y risquer.

Voir document 233 - 124

658 - Les langages ALGOL

A peu près au moment où IBM produisait le Fortran I, le problème du langage universel pour mathématiciens avait fait l'objet, dans les pays germaniques, d'une étude purement théorique (Bauer et Samuelson, 1956). Le GAMM, association des programmeurs/mathématiciens de langue allemande, prit l'initiative de proposer à son homologue américain, l'ACM, une action commune en vue de créer un langage à la fois puissant et rationnel, c'est-à-dire aisément analysable. Le groupe de travail, constitué en 1957, comprit finalement 10 européens et 10 américains.

Ces chercheurs travaillaient de façon très ouverte, publiant des rapports intermédiaires. Dès 1958, certains concepts intéressants avaient été dégagés et la première version du langage, Algol 58, était soumise à la communauté scientifique pour critique :

PERLIS (A. J.), SAMELSON (K.) - Preliminary report : International Algebraic Language,

in CACM 12 / 58, pp 8/22 .

Il y eut alors deux types de réactions:

- d'une part, un accueil enthousiaste d'un petit nombre de programmeurs qui n'avaient pas de Fortran et, désireux de dépasser le stade de l'assembleur, voyaient là l'occasion d'édifier facilement un langage puissant. Ceux-là se mirent immédiatement au travail, et parmi leurs oeuvres il faut évoquer :

MAD, conçu à l' Université du Michigan comme un outil de travail interne doté d'extensibilité, a d'abord donné lieu à un compilateur pour les IBM 700/7000 ; des variantes ont été rencontrées dans quelques autres universités, mais le langage n'a jamais atteint un véritable statut national. Cependant une version fortement étendue de MAD a été écrite chez Ford à Dearborn, Michigan, pour un calculateur Philco 212, et largement utilisée pour diverses manipulations de symboles ; le langage de listes SLIP a été écrit avec ce MAD.

NELIAC, développé par Halstead à San Diego pour les calculateurs Univac de la Marine Américaine :

Halstead (M. H.) - Machine Independant Computer Programming , Spartan books 1962

Huskey (H. D.), Love (R.), Wirth (N.) - A syntactic description of B C Neliac,

in CACM 7 / 63 pp 367 / 75, avec une carte syntaxique.

Un article de Halstead, référence 246-587, rappelle cette première expérience de compilateur rédigé dans son propre langage : un noyau de compilateur de 4000 mots a été écrit en langage machine de l'AN/USQ 17, et réécrit en NELIAC puis compilé. Les 4000 premiers mots ont ensuite été éliminés et tous travaux ultérieurs effectués en NELIAC.

Au delà du calculateur initial, des compilateurs NELIAC ont été écrits pour tous les calculateurs militaires dont l' US Navy a eu à connaître, et pour de nombreux calculateurs civils, à savoir tous les IBM 700/7000, les S/360, la 1620, l'Univac 1108, les divers CDC 3000, les CDC 1604 et 924, les Burroughs 220 et D825, le NAREC et le PB 250.

Autres allusions : CACM 8 / 60 p 463 - 11 / 60 p 607 - 3 / 63 p 91 - 6 / 63 p 367 - 12 / 76 p 665

SIGPLAN Notices 9 / 72 p 9 - 11 / 78 p 75 .

JOVIAL, créé par System Development Corporation pour les programmations en temps réel de l'aviation américaine, et normalisé par cette administration . Voir :

Shaw (C. J.) - JOVIAL : a programming language for real-time command systems,

in Annual Review in Automatic Programming, Vol 3, Pergamon Press 1963, pp 53 / 119.

Shaw (C. J.) - a specification of Jovial, in CACM 12 / 63, pp 721 / 36.

- d'autre part, des critiques très vives portant sur la timidité de la syntaxe, à laquelle furent proposées d'innombrables modifications.

Fortran effectuant une percée pendant cette période de réflexion, le groupe de travail cherchait de plus en plus à s'en démarquer pour proposer un langage complètement indépendant des machines physiques et de leurs contraintes sordides. Le produit final, Algol 60, faisait alors l'objet d'un rapport fondamental :

Rapport Algol 60, original anglais : CACM, 5 / 60, pp 229 / 314

Rapport Algol 60, traduction française : Chiffres 3/60, page 1 sq

Ce document innovait largement, puisque c'est pour lui qu'a été introduit le métalangage de Backus (BNF).

Le rapport Algol est une bible, c'est-à-dire qu'il doit être admis tel quel, sans en changer un mot. Malgré l'emploi de la langue naturelle pour décrire la sémantique, malgré des traductions dans diverses langues, il n'était donc pas inutile, à cette époque où les esprits étaient encore peu formés aux problèmes d'analyse syntaxique, d'en donner une exégèse :

BOTTENBRUCH (H.) - Structure and use of Algol 60, in JACM 4/62, pp 161 / 221.

Cela n'empêcha pas la critique de se déchaîner, de dénoncer les imprécisions et de proposer des amendements, conduisant le groupe de travail à se réunir une nouvelle fois à Rome en 1963, et à publier un rapport révisé et définitif.

Laissant aux curieux le soin de lire l'un ou l'autre de ces textes, nous devons souligner le caractère abstrait de l'oeuvre, sans entrées/sorties ni contrôle d'erreurs en particulier. Les auteurs considéraient qu'il est difficile de définir des entrées/sorties sans référence à un matériel, et ils pensaient que chaque compilateur contiendrait des instructions adaptées ; de même, le langage imposait implicitement de nombreux contrôles, mais comme une servitude à rédaction libre.

C'était une erreur psychologique, particulièrement vis-à-vis des américains, essentiellement pragmatiques : Algol n'a jamais réussi à s'implanter aux USA comme langage de programmation. De toutes façons, avec ces lacunes, il aurait été impossible de créer un compilateur polyvalent, et le souhait d'un moyen commun de programmation était bafoué. On peut tout de même citer Euler, un compilateur Algol réalisé par Wirth pendant son séjour à l' Université de Stanford ; publié dans CACM 1 / 66 p 89, ce travail a contribué à la notoriété de Wirth et à la reconnaissance de ses idées, concrétisées plus tard avec Modula et Pascal.

On peut aussi citer IMP, un langage extensible inventé par Irons et implanté sur CDC 1604 et 6600, qui présente la particularité, importante du point de vue théorique, d'être autodéscriptible. Voir CACM 1/70 p 31, et divers allusions dans CACM 12 / 76 p 663 et SIGPLAN Notices 10 / 71 p 7, 11 / 74 p 25 et 11 / 78 p 71.

Par contre, Algol a fait une belle carrière comme langage de spécification, utilisé notamment pour les publications d'algorithmes des CACM pendant plus de dix ans. Comme langage d'enseignement, il a également servi pendant quelque cinq ans, avant d'être supplanté par PL/I. Comme langage de référence enfin, il a subsisté bien plus longtemps, malgré d'évidentes insuffisances de types.

En Europe, où Algol est né, il n'a probablement pas été utilisé davantage qu'aux USA, même si les compilateurs sont sortis des universités où le langage tenait une place éminente dans l'enseignement. Il a ensuite été totalement supplanté par Pascal et APL.

En résumé, ALGOL a constitué une étape essentielle de la connaissance informatique, en étant l'occasion d'une réflexion approfondie sur la relation entre la forme du langage et son analyse syntaxique, ainsi que sur les techniques de compilation et même l'architecture des machines. Mais, n'étant pas un bon outil de programmation, il a disparu quand son intérêt théorique a été épuisé.

659 - Algol 68

Les scientifiques européens du groupe Algol 60 avaient estimé, après la publication en 1963 du rapport révisé, que leur tâche n'était pas terminée. Unis par la publication d'un bulletin international (BIT), ils avaient entrepris l'étude d'un langage plus ambitieux et ouvert, c'est-à-dire extensible.

En 1968, un conflit naquit dans le groupe quant à l'objectif poursuivi : certains des participants, souhaitant un aboutissement, décidaient sous la direction de Van Wijngarten de publier un rapport, tandis que d'autres voulaient au contraire ne rien figer ; il semble que l'éclatement du groupe ait néanmoins mis fin à cet important effort intellectuel.

Le fruit de ce travail est un rapport en anglais, publié dans la revue *Numerische Mathematik*, Vol 14 (1969), pp 79 / 218., est un langage très puissant, et riche de dispositifs remarquables. Mais l'absence de concession des auteurs au lecteur, manifeste dans le recours à un métalangage exceptionnellement ésotérique, risquait de créer un barrage définitif. Plusieurs tentatives de vulgarisation (ci-dessous) ont atténué ces craintes, mais Algol 68, que les américains ont largement ignoré, est resté un pur produit universitaire.

VAN DER MEULEN (S. G.), LINDSEY (C. H.) - Informal Introduction to Algol 68

Publication du Mathematisch Centrum, Amsterdam 5 / 70. Voir boîte 149.

SINTZOFF (M.) - Introduction à la description d'Algol 68, RIRO 3ème année, 1969, B3, pp 3 / 16.

BOUSSARD (J. C.), PAIR (C.) - Introduction à Algol 68, RIRO 3ème année, 1969, B3, pp 17 / 52.

Il a tout de même existé plusieurs compilateurs Algol 68, le premier ayant été écrit en 1970 dans un laboratoire militaire britannique. En France, les chercheurs de Grenoble et de Nancy ont également atteint ce stade. Par contre, il n'a jamais été imaginable qu'un constructeur fasse l'effort d'un compilateur pratique, tout simplement parce qu'aucun programmeur de l'industrie n'aurait su s'en servir.

Aux USA, qui ne se sont intéressés à l'opération que pour ses aspects théoriques, on ne peut guère signaler que la rédaction d'une grammaire décrivant le langage, à l'Université Purdue (Schneider, 254-493/505). Cependant, le SIGPLAN lui a consacré deux volumes complets (mai et juin 77) et de nombreux articles antérieurs (9/72 p 3) et ultérieurs (7/79 p 38, 62 - 2/80 p 43 - 4/85 p 80)

Par la suite, on peut dire que les objectifs théoriques d'Algol 68 ont été repris par ADA, et que les créateurs de ce dernier langage, ainsi que l'administration promoteur, ont su faire les concessions nécessaires à l'industrialisation, de sorte qu'on peut oublier Algol 68.

660 - Les alphabets : EBCDIC, ASCII, ISO, Unicode, Multicode

Intervenant dans les années 60, la norme ASCII (ANSI X3.4), ou American Standard Code for Information Interchange, définissait un alphabet de 128 caractères de 7 bits, comprenant 96 caractères représentables et 32 caractères de service, permettant d'organiser des transmissions entre équipements informatiques divers à travers un pays équipé de façon moderne. Arrivant juste après l'introduction par IBM de son alphabet EBCDIC, cette normalisation était légèrement trop tardive, mais IBM sauva les apparences en prévoyant que ses nouveaux ordinateurs supporteraient l'ASCII dans leurs échanges, en plaçant simplement par programme un certain bit dans un certain registre., et en soulignant d'autre part que l'ASCII était optimisé pour les communications alors que l'EBCDIC l'était pour les manipulations internes.

En outre, l'architecture S/360 comprenait une opération Translate qui rendait très simple la conversion d'un texte d'un alphabet quelconque en un autre.

Pour tout cela, voir par exemple 206, I, pp 56/60 ; ou encore un extrait de Honeywell Computer Journal, pp 143 / 5, dans la boîte 145.

Parfaite pour le monde occidental, qui ne tarda pas à l'adopter à travers une norme ISO définissant quatre caractères diacritiques pour les alphabets accentués (France, Suède, Allemagne, Turquie, Espagne), cette solution se prêtait mal à l'exploitation par ordinateurs d'alphabets franchement différents, et particulièrement s'ils comportaient plus de 256 caractères.

On vit donc se créer un consortium, réunissant les pays les plus handicapés et des industriels intéressés à la réalisation d'équipements informatiques et bureautique pour ces pays, qui finit par mettre au point une nouvelle norme, pour un alphabet 16 bits assez vaste pour prendre en compte les idéogrammes japonais et même chinois.

Englobant tous les alphabets mondiaux dans un seul codage, cette solution paraît à première vue satisfaisante, mais ce n'est pas le cas parce qu'il y a d'autres subtilités dans les écritures, telles que le sens du déplacement (droite à gauche ou gauche à droite, ou même vertical), et d'éventuels liens entre caractères dont les caractères diacritiques des européens ne donnent qu'une pâle idée (les langues sans voyelles par exemple). Aussi des chercheurs de ces pays se sont ils consacrés à trouver des solutions plus raffinées, par exemple le Multicode décrit dans Computer IEEE, 4 / 97, pp 37 / 43, en boîte 145.

661 - Le langage JAVA

Java est au départ un langage interprétatif installé par Sun Microsystem sur ses derniers modèles de stations de travail (à base de microprocesseurs SPARC), afin d'en faciliter les relations à travers les réseaux et notamment Internet. Sun a, en particulier, défini des API (Applications Peripheral Interface) qui peuvent être utilisées pour établir des relations entre une station et des applications distribuées.

JAVA est conçu comme le langage d'une machine virtuelle qu'il est assez facile d'installer sur n'importe quel ordinateur. D'ailleurs, des interpréteurs JAVA ont été très rapidement rédigés pour les principaux microprocesseurs de PC et de stations, et pouvaient être chargés depuis des sites Internet.

A partir de ce point de départ, JAVA semble avoir largement échappé à son créateur, en particulier parce que Microsoft a réalisé un compilateur de JAVA sur PC, qui a permis une considérable expansion de son domaine d'emploi. JAVA est devenu une mode, dont par manque d'expérience pratique et d'ouverture sur Internet, je ne peux évaluer le véritable intérêt.

662 - Architecture Dataflow

L'idée de l'architecture Dataflow est née au début des années 70, comme une réaction de chercheurs à l'écrasante domination de l'architecture Von Neuman et de son incarnation par IBM. C'est une architecture asynchrone, et déjà cette simple constatation montre le mépris des inventeurs pour les pénibles réalités telles que les pannes ; mais il est vrai qu'on pourrait probablement trouver une solution à ce regrettable problème d'intendance.

L'intérêt essentiel, dans l'esprit des inventeurs, est le caractère naturellement parallèle d'une architecture de ce type : elle est constituée par une collection - sans contrainte de taille autre qu'économique - d'opérateurs plus ou moins spécialisés, disposant chacun d'entrées et de sorties : les entrées sont des files d'attente pour les opérandes, les sorties des postes de distribution de résultats vers d'autres opérateurs. Un opérateur exécute l'opération pour laquelle il est construit dès qu'il a un opérande sur chacune de ses entrées, et expédie son résultat vers la suite du calcul sans attendre aucun signal de synchronisation. Ainsi, en théorie, le calcul est exécuté à la vitesse maximum permise par la technologie et par l'investissement consenti.

Ce concept a donné lieu à un très grand nombre d'études universitaires, mais à aucune réalisation commerciale. La présente rubrique ne contient donc que des références aux articles que nous possédons sur ce thème. Les noms de machines de l'espèce, expérimentales ou simplement conceptuelles, renvoient à cette même liste ci-après.

VAL est une première tentative du MIT de s'intéresser, en 1980, à cette architecture. Ce travail est évoqué dans TIEEE, 12/80, p 1095 (microfilm).

LEE (B.), HURSON (A. R.) - Dataflow architecture and Multithreading,
in Computer IEEE, 8/94, pp 27 / 39 - Boite 138, Pennsylvania State

University

Voir aussi rubriques 344, Isotropic Nexus System - 376, LFD 100 de Loral - 486, LIMAC de RCA - *T, de Nikhis et Papadopoulos - Epsilon 2 de Graf et Hoch - EM4 de Sakai et al.

663 - Le langage Prolog

Prolog est un langage interprétatif d'origine française (Colmerauer 1970), destiné à l'énoncé de vérités logiques, et son domaine naturel d'intervention est l'intelligence artificielle. Bien entendu il s'est trouvé des chercheurs pour en étendre l'emploi à d'autres domaines, et pour en réaliser divers traducteurs.

En l'absence totale de compétence sur le sujet, je me borne à centraliser ici des références dispersées à des documents en ma possession.

VAN ROY (P.), DESPAIN (A. M.) - High - Performance Logic Programming with the Aquarius Prolog Compiler, in Computer IEEE , 1 / 92, pp 54 / 67 - Financement DARPA

Boite 138, University of Southern California

WARREN (D.), BOWEN (D.), BYRD (L.), PEREIRA (L.) - C-Prolog user's manual

Prolog a fait l'objet d'un interpréteur sur DECsystem 10/20, probablement à l' Université d'Edinburgh (UK). Cet interpréteur a été repris en langage IMP sous système EMAS sur ICL 4/75 à Edinburgh, puis en C au SRI de Menlo Park. Le point commun à ces diverses versions qui s'inspirent mutuellement est Pereira (F.), passé en 1986 d'Edinburgh au SRI.

Voir ce manuel en boîte 145.

Le sujet Prolog a longuement agité la communauté informatique américaine, comme le montre la liste des allusions dans SIGPLAN Notices : 12 / 80 p 15 - 9 / 82 p 34 - 12 / 82 p 80 - 5 / 83 p 46 - 1 / 85 p 20 - 8 / 85 p 28 - 10 / 85 p 48 - 4 / 86 p 75 - 6 / 86 p 61 .

Les documents originaux sur Prolog se trouvent dans la partie française de la base de données.

664 - Systèmes experts

Un système expert est défini par les services qu'il rend, et pour toute la période qui nous concerne, il s'agit d'un programme tournant sur un ordinateur universel. Ce programme dispose d'une banque de données sur une technique particulière objet de l'expertise, mais ce n'est absolument pas suffisant : les connaissances accumulées ne sont pas disposées en vrac, mais en obéissant à des règles logiques qui représentent les relations entre notions telles que les perçoivent les experts humains qui ont construit le programme. Grâce à ces règles que le programme applique sans les commenter, un non expert peut en principe, à partir d'informations incomplètes et pour lui dépourvues de signification, situer le problème qui l'intéresse dans le domaine concerné ou, au minimum, être informé des observations supplémentaires indispensables pour y parvenir.

En 1973, le MIT avec inventé un langage D. SCRIPT pour introduire ces règles dans la mémoire d'un système expert. Voir TIEEE, C25, 4/76, p 366 .

Le problème de l'intelligence artificielle, dont les systèmes experts sont une application, réside donc essentiellement dans la manière d'organiser les connaissances pour faciliter les consultations, et dans l'expression non ambiguë des relations entre elles. Il est relativement facile de construire des règles de déduction et c'est déjà une aide notable pour les consultants ignorants du domaine.

Mais l'intelligence artificielle véritable exigerait qu'on sache bâtir un mécanisme d'induction, et pour cela il faudrait que l'on sache comment ce mécanisme fonctionne chez les hommes. En fin de notre période de collecte de données, on n'y est pas encore arrivé et les systèmes experts commercialisés en sont largement incapables.

Les origines lointaines des systèmes experts remontent aux travaux de la Rand, en particulier le General Problem Solver de Newell, Shaw et Simon, et à ceux du MIT. Les tâtonnements ont duré de nombreuses années après les premières désillusions, mais le succès de LISP et la réalisation des LISP Machines ont donné l'impression que l'on avait résolu le problème. Il existe des Systèmes experts commerciaux depuis cette époque. Texas Instruments, en achetant les brevets de la Numachine et en construisant Explorer, estimait que la technique avait atteint le stade de la commercialisation. Univac, en acceptant d'assurer cette commercialisation pour TI, pensait de même. Tout cela, cad Explorer et les LISP Machines, a disparu dans la tourmente financière de 1985 - 1993.

Nous disposons d'un article écrit par un chercheur du Bell-Northern Research Center, installé au Research Triangle Park de North Carolina, qui analyse cinq systèmes experts commerciaux existant à la date de la rédaction :

METTREY (W.) - A comparative evaluation of Expert Systems Tools,
in Computer IEEE 2 / 91, pp 19 / 31 - Voir en boîte 145, études

industrielles

Il s'agit de :

- CLIPS, C Language Integrated Production System, écrit en C et grâce à cela très largement diffusé dans la NASA et les universités. C'est l'oeuvre du L. B. Johnson Space Center.

- ART-IM, Automated Reasoning Tool for Information Management. ART a été écrit en LISP en 1985 par Inference Corporation, et à cause de ce choix s'est d'abord trouvé réservé aux usagers universitaires de ce langage. A partir de 1987, ART est rédigé en C ; la version 1990 baptisée ART-IM est inspirée par CLIPS en améliorant son environnement.

- KES, Knowledge Engineering Systems, a été rédigé par Software Architecture & Engineering en 1982, en s'inspirant du système KMS de l' Université du Maryland. Lui aussi a d'abord été rédigé en LISP, puis réécrit en C à partir de la version 2.1.

- Level 5 est le nom actuel d'un système commercialisé par Information Builders, Inc., qui a acheté en 6 / 87 la société Level Five Research, créatrice du produit sous le nom d' Insight. Level 5 est écrit en Pascal et fonctionne donc sur un grand nombre de machines non Unix, à la différence des précédentes : en particulier, les PC et les Mac, ainsi que tous les systèmes IBM.

- OPS 5, Office Production System version 5, est un descendant de systèmes experts rédigés à Carnegie Mellon University. DEC en a rédigé une version spécifique des VAX.

665 - Le langage APT de commande numérique

Le langage APT (Automatically Programmed Tool), qui date de 1956, est l'oeuvre de D. T. Ross, du Laboratoire de Servomécanismes du MIT. Ayant obtenu un succès immédiat auprès des fabricants de machines-outils, il fut ensuite repris et développé à partir de 1961 par l' Institut de recherche technologique d' Illinois, sous la direction du Prof Hori, avec un tel succès qu'en 1963 un sous-comité de l'ANSI, l'association américaine de normalisation, USASI X3.4.7, en entreprit la normalisation tout en constatant l'existence d'un si grand nombre de variations actives qui rendaient la tâche difficile : en 1968, cette tâche n'avait pas abouti.

Un autre essai, mené par IBM, Pratt et Whitney et le MIT également en 1961, s'appelait Autoprompt pour AUTOMATIC PROGRAMMING for Machine Tools et disposait d'un vocabulaire de 110 mots. L'importance des parrainages rend improbable que ce travail ait été abandonné. Il est plus vraisemblable que son existence ait été entérinée comme une variante de APT, et que ses promoteurs aient jugé plus pratique de le rebaptiser APT, comme les concurrents.

APT est le premier langage "non procédural". Ce vocabulaire désigne une classe de langages spécialisés conçus pour exploiter la connaissance approfondie des procédures de certains techniciens en la transformant en algorithmes exploitables par ordinateurs. Dans le cas de APT, les connaissances dont il s'agit sont celles concernant la mise en oeuvre de machines-outils d'usinage.

Il en existe à plusieurs niveaux de complexité :

- les tours et aléseuses, qui génèrent des objets de révolution, à génératrice quelconque. L'outil dispose de deux degrés de liberté.
- les perceuses, qui creusent dans une plaque de nombreux trous de diamètres divers, tous parallèles et soigneusement positionnés les uns par rapport aux autres. Trois degrés de liberté.
- les fraiseuses, capables d'usiner des surfaces quelconques avec jusqu'à six degrés de liberté.

Pour composer un langage non procédural, il faut disposer de quatre ingrédients :

a) un catalogue de déclarations délimitant l'univers des objets manipulés. Dans le cas de APT, les objets sont les surfaces à usiner, plans et cylindres. Ultérieurement, on a pu y ajouter des surfaces quelconques, définies algébriquement.

b) un catalogue implicite d'algorithmes décrivant toutes les manipulations autorisées sur ces objets. Pour APT, il s'agit des combinaisons possibles de mouvements du porte-ébauche et de l'outil, avec un choix de fraises et de vitesses de coupe.

c) un langage d'assertions soigneusement restrictif qui ne permet d'énoncer des propriétés qu'au sein de l'univers précédent. Avec APT, il s'agit de définir les surfaces que l'on souhaite usiner dans une ébauche de pièce, au moyen de conditions géométriques successives : plan parallèle à un plan donné et passant par un point, cylindre de diamètre donné tangent à un plan en un point, plan tangent à un cylindre et passant par un point, etc...

d) un mécanisme d'induction permettant de découvrir, à partir des assertions constituant l'énoncé, la liste et l'ordonnancement des algorithmes de bibliothèque qui obtiendront le résultat souhaité. Ainsi APT doit choisir les caractéristiques des passes de dégrossissage qui mettront au plus vite la pièce en état de subir les passes de finition, puis les trajectoires qui permettront d'obtenir la surface spécifiée avec la précision appropriée.

Le langage APT de l'IITRI, disponible seulement sous forme de microfilm, est décrit par l'article suivant :

Brown (S. A.), Drayton (C. E.), Mittman (B.) - A description of the APT langage, in Communications of the ACM, 11 / 63, pp 649 / 58.

Nous disposons aussi d'un article plus récent, paru dans l'IBM System Journal, référence 213 - 15.

Un document en français, décrivant le traducteur APT de l'Univac 1108, rédigé au CCSA, et expérimenté dans l'établissement de Ruelle, figure dans la boîte 142. Depuis 1963, un important effort d'organisation a été entrepris par le sous-comité, définissant cinq niveaux de complexité dont chacun est un sous ensemble du précédent. On renvoie à l'article 249-67/74 pour un aperçu de cette tentative de rationalisation.

666 - Progiciels mathématiques

L'ordinateur a été créé initialement pour résoudre des problèmes mathématiques, et d'innombrables algorithmes, de portée souvent très générale, ont été rédigés et publiés, devenant ainsi une sorte de patrimoine de la communauté mathématique. De ce fait, à côté de langages comme Fortran, Algol ou PL/I, qui permettent de continuer ce travail de rédaction avec une souplesse d'écriture plus ou moins grande, il existe des "bibliothèques" de sous-programmes qui mettent ce patrimoine à la portée de tous : pour s'en servir, il n'est plus absolument nécessaire de les comprendre, il suffit de respecter le mode d'emploi.

Il existe de nombreux domaines où ce stade est dépassé, en ce sens que la théorie est au point, et couramment utilisée par des ingénieurs et des techniciens, qui n'ont pas le temps de traiter chaque application comme un problème nouveau. Il est alors possible de construire à leur intention des progiciels rédigés dans l'un de ces langages normalisés, acceptés de ce fait par la plupart des machines, et qui regroupent :

- une collection d'algorithmes utiles pour la résolution d'une classe de problèmes.
- des critères pour sélectionner dans cette collection le ou les algorithmes exactement adaptés à chaque situation particulière.
- une procédure de mise en oeuvre adaptée aux usagers destinataires, appliquant ces critères aux données de façon implicite, sans exiger de connaissances spéciales extérieures au domaine d'application.
- et en particulier des moyens pratiques de présenter les résultats des calculs conformément aux habitudes de la profession (tableaux, graphiques, cartes, images en deux ou trois dimensions, etc...).

Lorsque le domaine est devenu routinier, la présentation de l'outil ci-dessus peut être non procédurale, c'est-à-dire que l'énoncé d'une application se résume à un exposé des données et à un ordre "résoudre" implicite. Dans d'autres cas, il reste souhaitable que l'utilisateur comprenne exactement la signification de ce qu'il demande à la machine et même qu'il intervienne de temps à autre, de sorte que des insertions en langage de programmation sont possibles. Tous les intermédiaires existent. Un essai de classification des fonctions nécessaires à un tel système est présenté en 247-439/58 sur la base des réalisations de Control Data, General Electric et IBM.

On trouvera donc ci-après des exemples de ces diverses catégories, et de brefs commentaires pour situer l'outil cité. Dans la plupart des cas, nous ne disposons pas de cet outil, qui n'est évoqué que si nous avons au minimum une description et des références.

ALPAK (1964) est un ensemble de routines rédigées sur IBM 7090 pour les manipulations de polynômes et de fractions rationnelles. Voir BSTJ 9/63 p 2081 et 3/64 p 785.

AMTRAN (1965) a d'abord été réalisé au Marshall Space Flight Center de Huntsville comme outil commode de programmation mathématique sur IBM 1620 et 1130, des choix qui limitent considérablement le domaine d'application du langage. Il a ensuite été mis à disposition d'un plus grand nombre à travers un système de temps partagé fonctionnant sur Burroughs 5500.

La plus récente version, toujours pour petites machines, a été formalisée en 1969 par Kratky à l'Université de Georgie, puis réécrite pour 1620.

AUTOMAST (1966) effectue la résolution formelle de certaines équations différentielles. On renvoie à une étude détaillée accessible par microfilm dans CACM 8/66 pp 626/33.

DEPI (1957) est un Differential Equations Pseudocode Interpréter, réalisé par F. Lesh du Jet Propulsion Laboratory sur Datatron 204, développant un travail de Selfridge en 1955. Ce système utilisait la méthode d'intégration de Runge Kutta du 4ème ordre. Description de ce travail dans le JACM N° 3 de 1958, qui n'est pas en notre possession. Le succès pratique de ce programme a conduit à l'écriture d'autres versions, dont un DEPI 4 de 1959, rédigé en virgule flottante sur IBM 704 par Hurley.

DSL / 91 (1970) est, d'après ses initiales, Digital Simulation Language, un langage de simulation et de fait, il accepte de mêler des diagrammes de bloc à la formulation en Fortran des équations qu'il traite. Cependant, comme il ne comporte pas de contrainte de temps, et que sa structure est non procédurale, nous préférons le classer ici, comme un moyen d'accéder à la solution (sous forme d'enregistrements et de graphiques) d'un ensemble d'équations. Référence 255 - 399/405.

Ce langage n'est guère universel, ayant été conçu pour la 360 / 91 de l'Université John Hopkins, travaillant pour le compte de l'Applied Physical Laboratory.

DYNASAR (1962) est un système pour calculs de mécaniques rédigé dès l'époque de la 704 par Incke, Robertson et Jones de General Electric Evendale. On ne l'appelle pas simulation parce que les opérateurs sont purement mathématiques, mais sur le fond il n'y a guère de différence. L'intégration utilise une méthode d'Adams en 4 points, avec possibilité de faire varier le pas selon la courbure de la courbe fonction. Un tri est disponible pour ordonner les opérateurs, et un calcul d'erreurs est possible.

Le système a été présenté pour la première fois aux Joint Automatic Control Conferences de 1965, dont nous n'avons pas le compte-rendu.

DISAC (1961) est une reprise de DEPI 4 sur calculateur CDC 1604 par Skiles et Hurley de l'Université du Wisconsin. Les formats sont très améliorés, il existe de nouveaux opérateurs non linéaires tels que seuils et retards qui font de ce système de batch un véritable simulateur, ce qu'exprime d'ailleurs le sigle, Digitally Simulated Analog Computer.

Présentations 1084 et 1085 au AIEE Summer General Meeting de 6 / 62, qui fait ensuite l'objet d'un article dans les SJCC 1963.

FLAP (1971) est un exercice de mathématiques formelles, entrepris à Dahlgren en 1971, sur machine IBM 360. On ne dispose que de références de catalogue, avec CACM 12 / 76 p 661 - SIGPLAN Notices 11 / 74 p 24 et 11 / 78 p 69.

FORMAC (1964) est né au laboratoire de Cambridge de la Data System Division d'IBM, avec un statut prudent de produit expérimental à usage interne. Une description de ses possibilités a été présentée à la 19th ACM Conference en 1964, dans un article où figurent déjà, parmi 8 chercheurs, les noms de Bond et Sammett. Voir cette communication de 19 pages en 267-K2. 1.

Une communication contemporaine met en avant Sammett, qui par la suite prendra le produit en charge.

SAMMETT (J. E.), BOND (E. R.) - Introduction to Formac,
in TIRE, EC 13, 8 / 64, pp 386 / 94

Voir 206-291/2

Ce langage est au départ une extension de Fortran, qu'il englobe : outre les calculs numériques habituels de ce langage, un formalisme voisin mais distinct permet de décrire des calculs symboliques, tels que les développements de formules parenthésées ou au contraire les factorisations, ainsi que les dérivations.

Le langage a ensuite évolué vers PL / I en s'enrichissant. L'auteur Sammett fait en 1966 le point de ce type de calcul dans une bibliographie:

SAMMETT (J. E.) - Survey of formula manipulation, CACM 8 / 66, pp 555 / 569
microfilm

Le thème sera repris par l'auteur dans Advances in Computer Vol 8 (référence 265 - 47/102), et figure dans les catalogues : CACM 10 / 66 p 742 et 12 / 76 p 661, SIGPLAN Notices 11 / 74 p 24 et 11 / 78 p 69.

FORMAL (1971) est un système de manipulations algébriques formelles fonctionnant sur Univac 1100, que nous ne connaissons que par ses références de catalogue : CACM 12 / 76 p 661 et SIGPLAN Notices 11 / 74 p 24 et 11 / 78 p 69. Il n'est probablement pas sorti de l'Université du Michigan.

FORMAT - Fortran est un langage de calcul matriciel mis au point chez Douglas Aircraft en 1968 et resté complètement confidentiel. La seule mention que nous connaissons se trouve dans les catalogues CACM 12 / 76 p 662 et SIGPLAN Notices 11 / 78 p 69.

HABEAS (1969) est un ensemble de programmes d'analyse mécanique créés par Harry Bellock Associates, Inc., de Great Neck, NY, pour le compte du Naval Ship Research & Development Center à Washington DC. Il est rédigé pour une 360 quelconque mais, compte tenu de l'importance des calculs, il est exploité sur la 360/91 du centre. Voir les types de calcul disponibles (la poutre-bateau, évaluée par éléments finis) sur cette collection d'algorithmes dans 253- 647/64.

ICES (1965), Integrated Civil Engineering System, est un ensemble de services construit au MIT, département de Génie civil, pour mettre à la disposition des spécialistes un véritable outillage. On y trouve plusieurs composants, notamment :

COGO = COordinate GeOmetry, un système permettant de poser et de résoudre de manière conversationnelle des problèmes de géométrie (Miller 1963).

ICETRAN, une extension du Fortran contenant des types adaptés au domaine du génie civil.

STRESS, STRuctural Engineering System Solver, un système permettant de poser et de résoudre de manière conversationnelle des problèmes de statique (Fenves 1964)

Voir présentation dans FJCC 1965 pp 423/33.

MACSYMA (1971) est un système de manipulations algébriques, écrit en LISP au MIT. Nous n'avons guère que des allusions à ce programme dans CACM 12 / 76 p 664, SIGPLAN Notices 11 / 74 p 27 et 11 / 78 p 73, et dans TIEJ 3 / 85 p 26.

Réf 242-423

MAP (1 / 66), de Kaplow et Strong, est un outil conversationnel de mathématiques offert par le projet MAC du MIT, et décrit dans FJCC 1966, pp 465/77

Réf 244-465

MATHEMATICA, né dans les années 60, est une réalisation parfaite du concept évoqué dans l'en tête, à savoir un outil permettant, avec peu ou pas de programmation, de lancer des calculs extraordinaires par leur précision ou le degré des expressions manipulées, de travailler sur les expressions formelles et les expressions numériques au choix, et de n'être limité dans ses ambitions que par la taille de la mémoire ou par la durée des calculs.

La version 2000 est un produit commercial, d'un prix élevé (de l'ordre de 10 KF), fonctionnant au choix sur PC ou sur Mac, et associé à des outils graphiques pour la présentation des résultats, le tout très facile à mettre en oeuvre sur le mode conversationnel.

MATHLAB (1965) est un programme de calcul symbolique développé par Mitre Corporation sur son Stretch, et décrit dans FJCC 1965 pp 413/21.

Réf 242-413

NASTRAN (1972) est un code de calcul créé par les sous-traitants de la NASA pour faciliter et généraliser l'emploi de la méthode des éléments finis dans les calculs de résistance des structures.

NAPSS (1968) est un travail à long terme qui représente au mieux les objectifs généraux énoncés en tête de cette rubrique, et qui reçoit le soutien de la NSF, de IBM et de CDC. Il se construit à l'Université Purdue et a donné lieu à de multiples publications partielles dont nous ne possédons qu'une partie.

Voir notamment :

RICE (J. R.) - A polyalgorithm for the automatic solution of non linear equations,
in Proceedings of the 24th National Conference of the ACM, pp 179/83
Réf 253-179

Un exposé plus complet apparait dans 254 - 157/64.

NU SPEAK est un programme pour les manipulations formelles de polynomes, préparé à l'Université de New York dans les années 60. Evoqué dans CACM 8 / 65 p 607 .

OPS-3 de Greenberger, qui fait l'objet d'une publication officielle du MIT en 1965, offre des possibilités de calcul conversationnel en ligne et de simulation. Lui aussi relève du projet MAC du MIT.

PDEL (1968) : ce Partial Differential Equations Language est un simple preprocesseur pour PL/I, construit en utilisant quelque peu les services des Compile Time Facilities. Il est rédigé entièrement en PL/I par des chercheurs de l' UCLA, et il génère un programme PL/I. Référence 254 - 513 / 23.

POSE (1967) est un exercice dans le même sens, pour la résolution d'équations différentielles. C'est un cas ultime, en ce sens que l'utilisateur écrit seulement "résoudre", mais en contrepartie le domaine d'action est assez étroit, trop probablement pour que le produit devienne populaire.

SCHLESINGER (S.), SASHKIN (C.) - POSE : a language for posing problems to a computer,
in CACM 5 / 67, pp 279 / 85
microfilm

RECKONER, annoncé par Stowe et al en fin 66 , est une collection de services de calcul conversationnels et préorganisés proposés par le Lincoln Laboratory et fonctionnant sur TX2. Il est décrit par un article des FJCC 1966.
Référence 244-433

REDUCE (1971) est un système de manipulations de formules créé à l'Université d'Utah. Nous n'avons aucune spécification, seulement des évocations : CACM 12 / 76 p 667, SIGPLAN Notices 11 / 74 p 79 - 9 / 75 p 2 - 9 / 78 p 42 - 11 / 78 p 79 .

SALEM (1968) est un système de calcul pour la résolution numérique d'équations aux dérivées partielles, étudié à l'Université Lehigh de Betlehem, Penn. Voir l'article :
MORRIS (S. M.), SCHIESSER (W. F.) - SALEM, a programming system for the simulation of systems described by partial differential equations, in FJCC 1968 part I, pp 353/7.

SETL (1973) est un système pour manipulation d'ensembles, construit par l'Institut Courant de New York. Nombreuses allusions non classées : CACM 12 / 75 p 722 et

12 / 76 p 667, SIGPLAN Notices 4 / 74 p 43 - 11 / 74 p 30 - 11 / 78 p 80 - 10 / 79 p 69 - 12 / 85 p 33 .

SETS (1973), contemporain et peut-être corrélé, est aussi un système de manipulation d'ensembles, construit par Sandia Laboratories pour une CDC 6600 .

SLANG (1968) est rédigé par TRW System Group, une société d'ingénierie. Sa finalité est l'optimisation : un système d'équations algébriques, représentant le fonctionnement d'un mécanisme, est énoncé dans un langage proche du Fortran, et on peut définir des variables indépendantes sur lesquelles on peut agir pour obtenir l'optimisation, c'est-à-dire la minimisation ou la maximisation d'une fonction explicitée. L'aspect mathématique des calculs est à la charge de SLANG.

Au dossier en boîte 147 : un document de présentation détaillé rédigé par TRW, avec exemples.

STATPAK (1968) est un ensemble de sous-programmes statistiques rédigé chez RCA sur Spectra 70/45. Les chercheurs de deux universités mineures se sont réunis pour améliorer ce package et le rendre économiquement extensible en lui appliquant des techniques inspirées par les bases de données.

Voir 261-375/7.

STRESS (1964) est un des premiers programmes réalisés par le MIT, groupe de mécanique. Voir plus haut l'ensemble ICES. Edité en deux volumes, un manuel de l'utilisateur et un manuel de référence contenant le texte source du programme.

SYMBAL (1968) est un petit package de manipulations algébriques pour CDC 6600 sur lequel on ne possède aucun renseignement. Allusions dans CACM 12 / 76 p 669 et SIGPLAN 11 / 74 p 31 .

SYMBOLANG (1965) est un produit analogue, et tout aussi mal connu, réalisé à l'Université de New York sur IBM 7090 en utilisant le langage SLIP. Allusion dans CACM 8 / 65 p 501 .

TAF (1968) se présente comme une extension de Fortran IV permettant de poser à la machine des problèmes numériques représentant la solution de systèmes d'équations différentielles. C'est un travail de thèse de PhD financé par la Commission de l'Energie Atomique, sous la forme d'un stage à Los Alamos avec libre accès aux ordinateurs.

Référence 249-359/70

TERMAC (1969) est un package conversationnel pour le calcul vectoriel et matriciel, réalisé dans le cadre du projet MAC au MIT. Allusions dans CACM 12/76 p 669 et SIGPLAN Notices 11 / 74 p 31.

TK! Solver (1984) est un langage non procédural de résolution de problèmes mathématiques, à base de déclaration de formules. Du à deux chercheurs Konopasek et

Jayaraman, il ne nous est connu que par une citation dans SIGPLAN Notices 12 / 85 p 39.

TMC = Tape Matrix Compiler est un très ancien programme de calcul matriciel réalisé chez Douglas Aircraft pour une IBM 709 à bandes, et cité dans CACM 9 / 59 pp 31/2. On le mentionne pour souligner l'activisme des premiers usagers de l'informatique en matière de programmation : tous ces programmes étaient gratuitement disponibles pour tous les clients à travers le SHARE .

UHELP (1969) est un package de programmation linéaire réalisé à l' Université de Houston et cité par SIGPLAN Notices 11 / 78 p 84 .

667 - Langages de simulation

Un langage de simulation permet de décrire des phénomènes physiques concrets en énonçant les variables qui définissent l'état du système, les relations mathématiques qui existent entre ces variables, et l'évolution des variables en fonction du temps, seule variable indépendante. La simulation consiste à donner aux variables des valeurs initiales et à dérouler le temps pour voir où les relations conduisent le système.

Puisque le moyen de simulation est un ordinateur, les variables continues sont représentées par des valeurs discrètes de précision finie, et les équations différentielles sont remplacées par des équations aux différences finies ; l'exactitude de la simulation exige alors que la fréquence d'échantillonnage de ce découpage soit au minimum le double de la bande passante du phénomène simulé (Shannon), ce qui définit l'échelle de représentation du temps :

- si l'ensemble des calculs à effectuer sur l'ensemble des variables peut être exécuté par l'ordinateur considéré dans le quantum de temps alloué par cette échelle, la simulation est "en temps réel" et des phénomènes réels, extérieurs à l'ordinateur, peuvent être pris en compte. C'est par exemple le cas d'un simulateur de vol pour l'entraînement au pilotage d'un avion ou d'un véhicule spatial.

- si c'est impossible, il faut changer d'ordinateur ou s'interdire ce type d'intervention dans la simulation. On peut néanmoins apprendre énormément de telles simulations, qu'il s'agisse de l'explosion de bombes atomiques (échelle de temps 10⁻³ à 10⁻⁶) ou du choc de galaxies (échelle de temps 10⁹ à 10¹⁵).

Ce genre de simulation est dit "continu".

Il existe aussi des cas où les participants au système sont des objets discrets, dotés d'attributs caractéristiques (quantités, performances), qui peuvent être considérés comme indépendants les uns des autres en dehors d'interactions ponctuelles, au cours desquelles leurs attributs subissent des variations . La simulation peut alors se limiter à l'énoncé des règles d'interaction, et au calcul des instants où elles se produisent, les seuls qui sont effectivement simulés . La simulation est dite "discrète".

Dans ce qui suit, on n'évoque que les systèmes de simulation pour lesquels nous disposons soit d'une documentation, soit au minimum d'une référence.

Simulations continues

ASTRAL : STEIN (M. L.), ROSE (J), PARKER (D. B.) - A compiler with an analog oriented input language, in Proceedings of the WJCC 1959, pp 92/102. Ce système, qui n'utilise pas du tout un ordinateur analogique, utilise une méthode d'intégration de Runge-Kutta du 4ème ordre. Le langage est conçu pour transposer directement les schémas de câblage du ordinateur analogique PACE de EAI.

BHSL : STRAUSS (J. C.) - Basic Hytran Simulation Language, un langage de simulation qui décrit des phénomènes continus de façon à peu près conformes aux recommandations du comité pour la définition d'un CSSL, Continuous System Simulation Language. BHSL est le langage de programmation du ordinateur 8400 de Electronic Associates.

BLODI : KELLY (J. L.), LOCHBAUM (C.), VYSSOTSKY (V. A.), Bell Labs at Murray Hill - A block diagram compiler, in BSTJ Vol 40 N° 3, 5 / 61, pp 669/76 - pour IBM 704, 709

BLODIB : KARAFIN (B. J.), Bell Labs à Murray Hill - The new block diagram compiler for simulation of sampled-data systems, in AFIPS Proceedings Vol 27 part 1, FJCC 1965, pp 55 / 61 -
Pour IBM 709X.

COBLOC : ce langage de bloc étudié à l' Université du Wisconsin pour les militaires équipés de CDC 1604, par Janofsky et Spikes, propose trois méthodes différentes d' Intégration, un tri optionnel, des blocs logiques pour un contrôle hybride, etc... Les opérations arithmétiques sont faites en dehors des blocs, à l'entrée de ceux-ci.

Voir microfilm de TIEEE, C15, 2 / 66, pp 74/82 .

Le même travail sera repris sur d'autres machines plus courantes avec FORBLOC écrit en Fortran, puis avec HYBLOC destiné à des machines hybrides de Allis-Chalmers.

CSMP : BRENNAN (R. D.), SILVERBERG (M. Y.) - Two Continuous system modeling programs, in IBM Systems Journal, Vol 6 N° 4, 1967, pp 242 / 66 - Reference 213 -5 -
pour IBM S/360 et IBM 1130.

CSSL : tentative de normalisation des langages de simulation continue par un comité, c'est le Continuous System Simulation Language. A peu près personne n'a suivi exactement les recommandations de ce comité, mais il a existé plusieurs langages concrets qui s'en rapprochent beaucoup . Signalons par exemple des programmes pour CDC 6400 et SDS Sigma 7. BHSL est également très proche de cet idéal.

DAS : est un des tous premiers essais de langage de simulation continue, entrepris par Gaskill chez Martin Orlando, et rendu public par une communication aux

SJCC 1963 que nous ne possédons pas. Une description ultérieure a été donnée dans TIEEE, EC13, 8 / 64 p 415, et aussi dans la revue britannique Computer Journal (UK), 8 / 66 p 175.

Le principal intérêt de ce programme est sa commodité d'emploi, qui élimine en particulier les problèmes d'échelle. Il présente cependant l'inconvénient d'une médiocre méthode d'intégration et de l'absence de tri, de sorte que les blocs sont listés dans l'ordre de l'énoncé.

DARE : KORN (G. A.) - Projet DARE - Differential Analyzer REplacement by on-line digital simulation, in AFIPS Vol 35, Proceedings of the FJCC 1969, p 247 Référence 252-247
Installé sur DEC PDP 9.

DIAN : FARRIS et BURKHARDT, de l' Université d' Iowa, ont mis au point en 1963, pour un problème d'ingénierie chimique, un langage de blocs inspiré par la programmation des DDA. L'intégration s'effectue par la méthode d' Euler, et les services sont pauvres ; en particulier le texte source ne fait pas l'objet de tri. Description publiée dans le N° de 5 / 66 du journal Simulation, qui n'est pas en notre possession.

DIDAS : G. K. SLAYTON, de Lockheed Georgia, compose dès 1954 un programme de 704 simulant le fonctionnement d'un DDA, avec emploi de la méthode d'intégration d' Euler. Les DDA de l'époque sont cablés, mais sont aussi, il faut le noter, des simulations de calculateurs analogiques. Le S du sigle permet de rattacher ce programme à la longue série, encore dans le futur à la date de la rédaction, des programmes de simulation continue qui n'en sont qu'une extrapolation.

DSL / 90 : SYN (W. M.), LINEBARGER (R. N.), IBM San Jose - A digital simulation program for continuous system modeling , in AFIPS Proceedings, SJCC 1966, pp 165 / 87 -

pour IBM 709X. On y trouve des allusions dans SIGPLAN Notices 9 / 72 p 6 et 11 / 78 p 67, et dans CACM 12 / 76 p 660 . Ce système, qui développe un premier produit interne baptisé PLIANT, est assez riche : 8 variantes d'intégration, format libre avec tri pouvant être optionnellement supprimé ; le résultat est un programme Fortran.

EASL = Engineering Analysis & Simulation Language a été défini par Sashkin et Schlesinger de l' Aerospace Corporation pour être exploité en mode conversationnel sur leur IBM 7094, en 1965. C'est un langage de bloc, sans tri, auquel on peut mêler des déclarations Fortran. La méthode d'intégration est Runge-Kutta du 4ème ordre. La présentation est visuelle et immédiate, et le résultat peut être envoyé à un traceur. Ce produit a été décrit dans la revue Simulation, 2 / 66 (non en notre possession).

HYPAC : BALABAN (P.) - A hybrid-computer circuit simulation program, in AFIPS Vol 35, Proceedings of the FJCC 1969, pp 771 / 80
Référence 252-771

La simulation convaincante d'un circuit électrique est, à l'époque, impossible en analogique pour cause de complexité et en digital pour cause de lenteur. L'établissement de Holmdel des Bell Labs se propose de tourner ces difficultés en utilisant le calcul hybride, avec un langage inspiré de Pactolus pour décrire le circuit. L'auteur reconnaît que son programme impose des restrictions sur la forme du circuit.

MADBLOC : est un langage de simulation par blocs, inspiré par COBLOC et réalisé par L. Tavernini à l'Université du Colorado. Les déclarations sont rédigées en MAD, l'intégration se fait par la méthode des trapèzes, il n'y a pas de tri, et pour finir le résultat est un programme MAD.

MARSYAS : TRAUBOTH (H.), PRASAD (N.) - A software system for the digital simulation of physical systems, in AFIPS Vol 36, Proceedings of the SJCC 1970
Référence 254-223

Ce système rédigé en Fortran est inspiré par la norme CSSL mais ne paraît pas comporter une très grande variété de blocs ; c'est en effet un simple préprocesseur de Fortran IV, et dans certains cas la solution la plus simple sera de rédiger des passages directement en Fortran. Il fonctionne sur U 1108 au Marshall Space Center de Huntsville et c'est l'oeuvre d'un programmeur de Computer Applications, Inc.
Allusions de catalogue dans CACM 12 / 76 p 664, SIGPLAN 11 / 74 p 27 et 11 / 78 p 74 .

MIDAS : PETERSEN (M. E.) et al, Wright Patterson AFB - MIDAS : how it works and how it's worked, in AFIPS Proceedings Vol 26, FJCC 1964, pp 313 / 24 - pour IBM 709X.

MIMIC : perfectionnement du précédent par Sanson à Wright-Patterson, ce langage offre une intégration Runge-Kutta du 4ème ordre avec pas variable, des éléments logiques, la possibilité d'insérer des équations dans l'énoncé, et un tri. La description initiale est parue dans Simulation Vol 8, 4 / 67, mais nous n'en disposons pas. Autres allusions dans CACM 12 / 76 p 664, SIGPLAN Notices 11 / 74 p 27 et 11 / 78 p 74.

MOBSSL-UAF : MERRITT (M. J.) et MILLER (D. S.) - An augmented block structured continuous system simulation language for digital and hybrid computers, in AFIPS Vol 35, Proceedings of the FJCC 1969, pp 255/74 - pour IBM 360/44 -
Référence 252-255

PACTOLUS : BRENNAN (R. D.), SANO (H.), IBM San Jose - PACTOLUS : a digital analog simulator program for the IBM 1620, in AFIPS Proceedings Vol 26, FJCC 1964, pp 299 / 312 - pour IBM 1620.

PARTNER est un programme qui se veut Proof of Analog Results Through Numerically Equivalent Routines, rédigé en 1962 par Stover sur calculateur Honeywell H800. Les intégrations se font par la méthode des trapèzes ou par celle d'

Euler. Il n'y a pas de tri, mais les boucles sont traitées itérativement pour préserver le parallélisme.

PLIANT est un Procedural Language Implementing Analog Techniques, autrement un système de simulation par blocs réalisé en 1964 par Linebarger au laboratoire IBM de développement. Intégration par trapèze. Le système génère simplement des blocs de Fortran IV.

SADSAC (1965) est le Seiler Algol Digitally Simulated Analog Computer, réalisé par Funk (et Seiler, peut on supposer) à l'USAF Academy sur calculateur B5000. C'est une reprise en Algol du programme MIDAS, avec intégration par prédicteur/correcteur du 5ème ordre et pas variable, et sachant manipuler les discontinuités en interrompant les intégrations quand elles interviennent. Inclut un tri.

SCADS (1964) de Strauss et Gilbert, est une Simulation of Combined Analog Digital System, réalisée à Carnegie Tech. Inspirée par Partner, elle utilise une intégration par méthode de Runge Kutta d'ordre 4. L'originalité est de pouvoir s'étendre aux calculateurs hybrides. Travail présenté à la Joint Automatic Control Conference de 6/65, pas de document.

SLASH (1965) est un développement de SADSAC, toujours sur B5000, simulant un hybride. Il permet de commander en Algol les études paramétriques, les optimisations de plotting, etc...

TELSIM : BUSCH (K. J.) - A user-oriented language for simulating continuous systems at a remote terminal, in FJCC 1966, pp 445/63.
Référence 244-445

Ce programme des Bell Labs fonctionne sur un système de temps partagé à base de GE 235, et permet une définition conversationnelle du schéma de simulation continue qui sera, une fois accepté en tant que schéma, compilé en programme Fortran II exécutable.

Simulations discrètes

DCDS : ESTRIN (G.), POTASH (H.), et al - DCDS digital simulating system, in AFIPS Vol 35, Proceedings of the FJCC 1969, pp 707/20
Reference 252-707/20

Ce système étudié à l'UCLA avec le soutien de la Commission de l'Energie Atomique a pour but de faciliter l'évaluation de systèmes de calcul, essentiellement en temps réel, définis a priori soit à partir du besoin, soit à partir d'une architecture, soit à partir d'une technologie. Trop vaste pour être étudié complètement, le système comprend un langage de description de structures, DCDL, une pseudomachine écrite en Fortran qui interprète ce langage, et deux calculateurs Sigma 7 dont l'un simule la machine DCDL tandis que l'autre en décrit une réalisation physique.

ECSS : est une extension de Simscript destinée à la simulation d'ordinateurs, réalisée à la Rand Corporation vers 1976. Evocation en CACM 12/76 p 661 et SIGPLAN Notice 11/78 p 68.

FORSIM : est un langage de simulation basé sur Fortran IV, fonctionnant sur le Stretch de la Mitre Corporation en 1964. Il ne nous est connu que par deux allusions dans CACM 10/66 pp 726 et 740. Voir microfilms.

GASP : est un autre langage de simulation rédigé en Fortran, que l'on rencontre sur diverses machines IBM et sur le G20 de Bendix devenu Control Data. Des allusions existent dans CACM 210/66 pp 727, 730, 740.

GPSS III : HERSCOVITCH (H.), SCHNEIDER (T.) - GPSS III - an expanded general purpose simulator, in IBM Systems Journal, Vol 4 N° 3, 1965, pp 174/83 - Reference 213 - 1 - Pour IBM 709X .

GPSS / 360 : GOULD (R. L.) - GPSS/360 - an improved general purpose simulator , in IBM Systems Journal, Vol 8 N° 1, 1969, pp 16/27 - Reference 213 - 6 - Pour IBM S / 360.

LOCS : ZUCKER (M. S.) - LOCS : an EDP machine logic and control simulator, in 1965 IEEE Convention, part 3, tenue à New York les 23-25/3/65, pp 28 / 50.

GRIFFIN (J. F.), HAIMS (M. J.) - An experiment with the simulation of machine logic & control, in 1965 IEEE Convention, part 3, New York 23-25/3/65, pp 51 / 66.

Ce système mis au point au laboratoire IBM de Yorktown Heights permet de décrire la logique macroscopique d'une machine (au niveau des registres), puis de compiler cette description pour animer une simulation de cette machine supposée traiter un problème typique. Reference 266 - 28

LOGAL / LADS : système analogue, mais moins bien documenté, utilisé par Univac en 1973.

Article de vulgarisation dans Computer IEEE 12 / 74 p 47 et 6 / 77 p 18.

MILITRAN : LEVINE (E.) - Structure and Dynamics of military simulations , in FJCC 1965 p 249.

Bien implanté, mais mal documenté parce que confidentiel , ce système est un outil pour l'édification de war games.

Le langage englobe le traitement de listes, les expressions mixtes, les étiquettes symboliques, les tableaux jusqu'à 10 dimensions, la définition de dimensions au chargement. Le système peut être acheté sur bande à son fabricant, à Mineola, NY, pour \$ 200. Référence 242-249

MODEL est un programme de simulation de circuits numérique, rédigé en 1975 au Laboratoire National de Brookhaven. Voir allusion dans CACM 12 / 76 p 665 .

OSSL est un langage spécialement conçu en 1972 pour décrire un ordinateur et son système d'exploitation, pour une simulation discrète inspirée par GPSS. Il est rédigé en Fortran IV. Le travail a été effectué en commun par deux chercheurs, l'un de l'Université de Houston, l'autre de l'Université d'état du Mississippi. Voir 256 - 799 / 814 , plus des allusions dans CACM 12 / 76 p 665 et SIGPLAN Notice 11 / 74 p 28 et 11 / 78 p 76.

SCERT : HERMANN (D. J.), IHRER (F. C.) de Compress - The use of a computer to evaluate computers, in AFIPS Vol 25, SJCC 1964, pp 383/95 -
Référence 239 - 383

Il s'agit d'un produit commercial, conçu pour soumettre n'importe quel ordinateur, mis en mémoire sous la forme d'une collection de paramètres, à des tests représentant des problèmes mathématiques. La validité d'un tel système dépend de la qualité de la modélisation, car il ne s'agit pas d'un benchmark. Un autre produit commercial, CASE de Software Product Corp, s'attaque au même marché en 1968, prétendant faire beaucoup mieux que SCERT dans le domaine du temps partagé.

SIMCOM : Ce langage est destiné à simuler la logique d'un ordinateur, et a été défini chez Thompson-Ramo-Wooldridge dans le cadre d'un contrat général de soutien informatique à l'établissement de Fort Huachaca de l'Armée de terre. Le travail a été sous-traité à la société Space Technology Laboratories, et on trouve sa description dans l'article :

SANBORN (T. G.) - SIMCOM, the Simulator Compiler,
in Proceedings of the EJCC, 12 / 59 , pp 139 / 42

La particularité de ce système est que SIMCOM est un compilateur, qui génère un programme de simulation, rédigé en SCAT, un langage exécutable adapté au problème.

SIMPL / I : est un langage de simulation basé sur PL / I, a priori une transposition de Simscript, mais il n'est pas sorti du domaine IBM où Simscript a trouvé sa place dès le départ. Evoqué dans CACM 12 / 76 p 667, SIGPLAN Notices 11 / 74 p 30 et 11 / 78 p 81 .

SIMSCRIPT : MARKOWITZ (H. M.), HAUSSNER (B.), CARR (H. W.) - SIMSCRIPT, a simulation programming language, Rand Corporation 1963, chez Prentice Hall, 138 pages - Boite 146
Réalisations interprétatives jusqu'en 1966, compilateurs depuis lors. Nombreuses évocations en CACM 10 / 66 pp 728, 730, 741, et 12 / 76 p 668 ; SIGPLAN Notices 9 / 72 p 11, 11 / 74 p 30, et 11 / 78 p 81 .

SIMULA : DAHL (O. J.), NYGAARD (K.) - Simula, an Algol based simulation language,

in Communications of the ACM, 9 / 66, pp 671 / 8 -

Microfilm

Origine norvégienne, mais adoption rapide. Evocations en CACM 9 / 66 et 10 / 66 pp 726, 741 - Description détaillée en SIGPLAN Notices 8 / 78 pp 243 / 72.

SIMULA 67 : DAHL (O. J.), MYHRHAUG (B.), NYGAARD (K.) - Simula 67, Common base language,

publication S2 du Norwegian Computing Center, Oslo, 5 / 68 -

Boite 147

ANDRE (J.), Control Data - Conférence en français sur Simula 67

- Boite 147

Ce langage est beaucoup plus qu'un simple langage de simulation comme son prédécesseur, car il introduit le concept de classe, prélude lointain à la programmation par objets. Evocations comme ci-dessus.

SMPS : JACOBY (K.), FACKENTHAL (D.), CASSEL (A.) - SMPS, a toolbox for military communications staffs, in SJCC 1966, PP 149/57.

Référence 243-149

Ce petit langage a été écrit au Franklin Research Institute pour éviter aux cadres du DCA d'apprendre à programmer en GPSS. Il s'agit donc d'un petit progiciel permettant à un usager inexpérimenté de décrire simplement le genre de renseignement qu'il souhaite, concernant la performance de son système face à une catégorie particulière de messages dans un environnement défini. Ce préprocesseur déclenche ensuite l'exécution d'un programme GPSS adapté aux caractéristiques du centre.

SODAS : PARNAS (D. L.), DARRINGER (J. A.) - SODAS and a methodology for system design,

in FJCC 1967, pp 449/74

Référence 246-

449/74

Ce langage, Structure Oriented Description And Simulation, associé à un compilateur, a pour but de faciliter la conception de nouveaux calculateurs. Pour ses auteurs, c'est d'abord la mise en oeuvre d'une méthodologie de la "conception de systèmes".

UNISIM (1964) est un simulateur de réseaux de communication réalisé en 1964 par les Bell Laboratories, en liaison probable avec les réalisations contemporaines du DOD comme AUTODIN. Voir à ce sujet la présentation aux FJCC 1964, 240-233.

668 - Les langages de manipulation de symboles

On trouvera la première allusion à ce thème, appelé à se développer, dans un article du volume 7 du livre annuel *Advance in Computers*, référence 264 - 209.

Le langage AMBIT

Créé en 10 / 64 par Computer Associates, ce langage dont nous possédons un manuel a fait l'objet de la publication AD608894 du Département of Commerce et de nombreux commentaires dans la presse spécialisée. Citons, accessibles sous forme de microfilms :

CACM 8/66 pp 570/3 et 12/76 p 657.

SIGPLAN 9/72 p 4 - 10/72 p 66 - 11/78 p 60

Le langage COMIT

Réalisé au MIT avant que le concept de langage de manipulation de symboles se soit dégagé, le langage COMIT de Yngve peut aussi être considéré comme une forme de langage de liste. Sa carrière au MIT a été assez brève, parce que les travaux ultérieurs, susceptibles d'offrir davantage de services avec plus d'efficacité, l'ont fait oublier : il s'agit de SNOBOL ci-après, qui a bénéficié du soutien des constructeurs, et de LISP, plus complet et surtout plus indépendant des machines. Voir rubrique 406 MIT.

Bibliothèque CONVERT

Il s'agit simplement d'une collection de routines écrites en LISP permettant à tout propriétaire d'un compilateur LISP 1.5 de faire de la manipulation de symboles. Cette bibliothèque est décrite en détails dans CACM 8 / 66 pp 604 / 15 ; elle est aussi mentionnée dans SIGPLAN 4 / 86 p 48 .

LOLITA est un système conversationnel de manipulation de symboles, disposant d'une structure de liste, organisé au laboratoire de Redondo Beach, Cal, de la firme TRW. Ce système a fait l'objet d'une présentation à la 22ème Conférence de l' ACM, p 203. Cet article n'est pas disponible, cependant.

MACRO (Univac 1978) est un langage de manipulation de symboles, qu'on peut aussi considérer comme un macrogénérateur de PL / I. Voir le microfilm SIGPLAN Notices 12 / 79 pp 80 / 91 .

METEOR (1964) est un langage de manipulation de symboles écrit en LISP. Voir description dans le microfilm de TIRE, EC13, 8/64, p 395 .

PRISM (1985) est un langage de manipulation de chaînes composé au Brooklyn College de New York, et mentionné dans SIGPLAN 12 / 85 p 5 .

QUILL (1970) est un langage de manipulations de symboles créé à l' Université de Queens, NY, avec l'idée de permettre à des littéraires de modifier des textes. Il s'apparente donc probablement à un éditeur de texte, permettant de rechercher un symbole, un mot ou une phrase dans un texte, et de lui substituer une autre phrase. Evocation dans SIGPLAN 4 / 74 p 112 .

SLS (1975) est un langage de manipulations de chaînes et de listes, inspiré par SNOBOL, et réalisé par Griswold et Hansen à l'Université d'Arizona.

Le langage SNAP

Monsieur M. P. Barnett semble obnubilé, depuis 1962 au moins, par l'idée de programmer en langage naturel. Bien que sa carrière nous soit inconnue, la bibliographie nous apprend qu'il est en 1969 dans une société nommée H. W. Wilson Company, et qu'il a réalisé au moins partiellement son objectif en composant le langage SNAP de manipulations de symboles, dont les ordres sont rédigés dans une sorte de langue anglaise simplifiée. Voir 251 - 75/87.

Le langage SNOBOL

Ce langage de manipulation de symboles a été introduit en 1964 par l'article suivant :

FARBER (D. J.), GRISWOLD (R. E.), POLONSKY (I. P.) - Snobol, a string manipulation language,

in JACM Vol 11, N° 2, 1 / 64, pp 21 / 30.

Les auteurs étaient aux Bell Laboratories, Holmdel, et travaillaient sur IBM 7090. Voir boîte 147.

Après cette introduction, le langage subit quelques modifications, et il en est à sa version 3 lorsque la DGRST, organisme français de soutien à la recherche, décide qu'il mérite d'être connu et charge un chercheur de l'Université de Nancy d'en faire l'analyse. Nous possédons un exemplaire de ce travail français en boîte 147.

La forme définitive du langage est SNOBOL 4, qui fait l'objet d'une publication: GRISWOLD (R. E.), POAGE (J. F.), POLONSKY (I. P.) - The Snobol 4 programming Language, chez Prentice Hall 1968. Nous possédons la seconde édition de 1971, 256 pages. En boîte 147.

Par la suite des traducteurs de ce langage ont été réalisés chez divers constructeurs, et nous possédons deux documents rédigés au CCSA, Centre de Calcul Scientifique de l'Armement, et décrivant la version interprétative de ce langage fonctionnant sur U 1108. En boîte 147.

Presque tous les constructeurs disposent, soit directement soit à travers une université, d'un traducteur SNOBOL 4. Ainsi, les DECsystems 10 utilisent SITBOL, une version réalisée en 1974 par le Stevens Institute of Technology. Nombreuses évocations non classées : CACM 6 / 75 p 330 et 12 / 76 p 668 - SIGPLAN Notices 9 / 72 p 11 - 2 / 74 P 7 - 11 / 74 p 30 - 5 / 75 p 36 - 1 / 77 p 67 - 9 / 77 p 77 - 10 / 77 p 70 - 5 / 78 p 56 - 8 / 78 pp 273 / 308 - 11 / 78 p 82 - 1 / 79 p 91 - 8 / 81 p 41 - 11 / 82 p 24 .

TRAC est un interpréteur conversationnel pour manipulations de symboles, porté à la connaissance de la communauté informatique par un article de CACM 3 / 66 pp 215/9. Ce travail réalisé au Rockford Research Institute a fait ensuite l'objet de plusieurs allusions : CACM 12 / 76 p 669 et SIGPLAN Notices 11 / 71 p 20 - 9 / 72 p 11 - 11 / 78 p 83 .

Le langage Vulcan

Ce travail, financé par le National Resource Analysis Center à l'université de Syracuse, concerne un nouveau langage de manipulation de symboles pour le calculateur Univac 1108 sous Exec 8, dont la nécessité principale est sans doute celle de trouver des sujets de thèses pour les étudiants. L'idée de base de l'étude, d'ailleurs intéressante, est que les programmeurs d'applications (ici la manipulation de symboles) ne devraient pas avoir à s'occuper de considérations informatiques comme l'allocation de mémoire. Contrairement donc aux habitudes d'autres langages, Vulcan travaille dans un environnement mémoire strict et automatique, qui n'interfère pas du tout avec le travail du programmeur. Voir 255-21/32.

669 - Activités informatiques de la FAA

Il existait probablement, dès avant la guerre, un organisme étatique chargé de règlementer l'activité aéronautique au dessus du territoire, mais il est évident que le problème avait changé d'échelle après la guerre, tant pour le transport aérien qu'à cause des interférences de celui-ci avec les nombreux avions militaires parcourant le ciel national.

Cet organisme s'appelait alors CAA, Civil Aeronautic Administration. Il disposait déjà d'un contrôle aérien avec radars, mais les techniques de suivi des plans de vol étaient sommaires. On peut en trouver une description indicative dans un article écrit par le chef du Centre de Développement Technique, sis à Indianapolis. Voir 224 - 169 / 72. La date à laquelle le CAA devient FAA, Federal Aviation Agency, n'est pas connue. Ce qui est clair, c'est que la nouvelle équipe, ambitieuse et richement dotée, manquait cruellement de compétence technique, et qu'elle a dans ses débuts gaspillé beaucoup d'argent. Le problème en effet devenait critique avec un ciel de plus en plus encombré, et en même temps des syndicats très conservateurs, hostile à toute modification qui se traduirait par l'élimination des opérateurs techniquement insuffisants.

La FAA, constatant de grandes similitudes entre son problème et celui qu'à la même époque (1956), le Département de la Défense venait de régler avec audace et fermeté en décidant d'implanter le SAGE, se lance alors dans deux projets ambitieux :

- pour essayer de faire des économies tout en s'équipant à grande échelle, le projet SATIN se propose de partager les implantations radar avec la Défense, tout site placé à un endroit convenant aux deux missions devant alimenter les deux services. Un contrat d'étude est passé à cet effet à la MITRE Corporation en 1958 .

L'échec du projet, au bout de deux ans, a été imputé à la technique, mais il est hautement probable que l'explication réside dans le désir d'indépendance des deux services, hostiles au principe des responsabilités partagées et des effectifs mixtes.

La FAA se dotera donc d'un réseau de radars en propre pour la surveillance de l'espace aérien, auquel il faut ajouter des radars d'aérodromes et des radars de surveillance des pistes. Un mécanisme assez léger permettra au SAGE de recevoir les plans de vol des avions civils, pour ne pas risquer de confondre avions de ligne et raids ennemis.

- un système de calculateurs d'Air Traffic Control sera établi, avec une spécification fonctionnelle entérinant simplement les habitudes; on en confie l'étude à Librascope, société connue dans les milieux aéronautiques par un calculateur d'avion (AN / ASN 24). Cette façon de considérer le calculateur comme une simple fourniture n'avait aucun rapport avec la réalité du trafic aérien, et de toutes façons le L3000 de Librascope était largement inadapté; l'échec fut rapide, après construction d'un petit nombre de machines. Résultat : on est en 1961 et il n'y a toujours pas de système informatisé.

La FAA décide alors de demander l'étude à IBM, auréolée du succès technique du SAGE . Et IBM, forte de l'expérience de maints contrats avec des administration, ne manque pas de souligner l'ampleur du projet, et de proposer des solutions raffinées et une prudente organisation du travail.

De fait, l'envergure du projet, baptisé NAS, National Airspace System, rappelle celle du SAGE : 21 centres régionaux reliés à 111 radars de l'USAF et 66 radars propres, aux bases militaires , à 60 aéroports civils dotés d'ARTS, et aux QG des compagnies aériennes. La réalisation comprendra la construction d'un prototype en 1964, celle d'un groupe de 4 machines pour M\$ 17 en 1967 qui seront installées à Jacksonville, Fla, enfin la commande de la série en 1972.

Les groupes de calcul des centres utilisent des matériels 360 presque standard, mais dans des configurations multiprocesseurs qui sont encore expérimentales à l'époque, et ces calculateurs partagent des mémoires qui sont dotées d'un dispositif de translation d'adresse : en cas de panne d'un bloc de mémoire, son remplacement est géré par le programme, et le bloc remplaçant reprend l'adresse du bloc remplacé.

Le sigle IBM 9020 est attribué à ces machines qui sont en fait des 360 / 50 (9020 A et E) ou des 360 / 65 (9020 D). Un centre typique comprend 3 ou 4 CPU, 9 à 12 modules de mémoire de 128 KB, 3 * 2780 comprenant chacun un multiplex et deux sélecteurs, et un contrôleur de service. Trois des sélecteurs gèrent les consoles, trois autres les 12 bandes magnétiques attachées à des contrôleurs bicanaux, et les multiplex sont liés à trois armoires d'adapteurs qui assument toutes les liaisons. Les liaisons avec les calculateurs Burroughs qui accomplissent la fonction d'extracteur au pied des radars se font à 7200 bauds.

Cette conception initiale a évolué avec les installations de série, où la connexion des consoles est sous-traitée à un calculateur Raytheon 730 de 16 KB, qui alimente jusqu'à 60 consoles . Celles-ci, qui disposent d'un écran circulaire de 20" renouvelé 55 fois par seconde, présentent en moyenne 45 pistes, 400 symboles alphanumériques, et quelque 300 vecteurs de carte géographique. Les cinq plus gros centres, dont le prix atteint 8 M\$, ont un 9020 E en supplément pour gestion d'une multitude d'écrans supplémentaires, information qui ne paraît pas parfaitement cohérente avec ce qui est dit ci-dessus.

Le logiciel de cette installation représente 350000 instructions, auxquelles a beaucoup contribué la MITRE Corporation, déjà partenaire d' IBM dans le SAGE. On trouvera d'importants commentaires sur le programme opérationnel et sur les programmes de maintenance dans le numéro 2 de 1967 de l' IBM System Journal, entièrement consacré à ce projet, et joint au dossier. Voir aussi dans 250-1399/1410 les études de simulation par lesquelles IBM et MITRE ont validé leurs options.

Pendant que ce considérable effort se mettait en place, l'infrastructure évoluait, avec en particulier la généralisation du système SIF d'interrogation sur les avions civils. Il s'agit d'un IFF Mk 10 qui ne fonctionne que sur interrogation explicite (pour désencombrer l'éther) et qui transmet, en réponse à une interrogation codée par une paire d'impulsions (prf 200 à 300), soit 12 bits d'identification, soit 12 bits d'altitude. La FAA décide en 1971 d'installer à travers les USA le système ARTS, comprenant 101 interrogateurs dont 61 sont associés à un extracteur Burroughs, un calculateur Univac, des écrans Texas, et un logiciel Univac. Chicago, le plus gros trafic des USA, dispose même de deux balises.

La prestation d' Univac porte sur des calculateurs dotés de 24 Kmots de mémoire, cycle 750 ns, travaillant à 250 Kops, ce qui suggère la modeste machine U 1616. Chicago dispose de 40 Kmots, 2 CPU avec bandes, 2 TTY, 6 écrans horizontaux et 7 verticaux.

Revenons au contrôle "en route" ; on peut penser que le service d' IBM a donné satisfaction, car en 1987 l'équipement de 19 centres a été renouvelé, chacun recevant une paire de 3083 (ce sont des S/370) qui représente une puissance quintuple des 360/50 initiales.

En réalité, il s'agit simplement de maintenir le système en service dans la ligne précédente, tout en réfléchissant énergiquement à la génération suivante. En 1985 donc, la FAA lance un appel d'offre pour une étude de définition, insistant sur l'aspect disponibilité. Puis, après 42 mois de réflexion, elle attribue en 1988 à IBM Federal un contrat de 4,8 B\$, couvrant une collection de systèmes SP1 communiquant entre eux par un réseau redondant de type Token Ring ; la disponibilité devait être assurée par logiciel. Après quoi, en 1994, la FAA annule la commande, portant sur 23 grands systèmes ACCS (Area Control Computer System), comprenant jusqu'à 400 RS/6000 chacun, et sur les Terminal AAS plus modestes qui en dépendaient. Elle laisse subsister un système de moindre envergure baptisé TowerCCC, et passe par profit et pertes le B\$ déjà dépensé en logiciel.

670 - Services de télécommunications

Depuis les années 20, les services de télécommunication sont, avec l'accord du gouvernement américain, monopolisés par l'American Telephone & Telegraph, une puissante entreprise qui dispose après la guerre d'une solide infrastructure (les lignes à grande distance), de services locaux autour des grandes villes (22 Bell Service companies), d'une base industrielle (Western Electric) et de remarquables laboratoires (Bell Laboratories). On renvoie à chacun de ces noms pour plus de détails.

Les conditions du monopole sont les suivantes, après quelques procès :

- le monopole du téléphone est complet, jusqu'à la porte des entreprises. Au sein de chaque implantation, l'organisation des communications est libre, pourvu que l'interface soit conforme aux normes imposées par le monopole. Conclusion : la concurrence est libre au sein des entreprises (PABX) et à l'étranger, où toutes les grandes sociétés américaines ont d'importantes filiales.

- le télégraphe n'est pas monopolisé, mais ne sert plus guère qu'aux téléimprimeurs. Il y a essentiellement deux réseaux aux USA, un de l' ATT et un de la Western Union. Cette dernière monopolise pratiquement les liaisons internationales.

- on peut transporter l'information que l'on veut sur les lignes, pourvu que l'interface soit respecté. Depuis qu'il existe des ordinateurs, la possibilité de transporter des données a été démontrée. Le monopole ne peut s'y opposer. Les lignes qui s'y adonnent coûtent le même prix que les autres et n'en diffèrent pas techniquement.

- le monopole n'est pas autorisé à fournir des services informatiques, cad qu'il ne peut commercialiser ni des ordinateurs ni des services informatiques.

Sur ces bases, les services suivants existent dans les années 60 :

TELEX est un service télégraphique national et international de la Western Union. Son débit maximum de 50 mots/minute limite son usage aux téléimprimeurs. L'alphabet de base est un code à 5 moments (Baudot), et les extensions graphiques sont très limitées.

TWX est le service télégraphique de l'ATT, commuté comme le précédent, et limité au territoire des USA. Il offre le choix entre deux débits, 60 et 100 mots/minute, et l'extension graphique est efficace. L'ATT dispose d'une filiale, Teletype, qui fabrique des téléimprimeurs utilisant ce service.

Dataphone est un service de transmissions de données fonctionnant sur le réseau téléphonique, pour lequel l' ATT fournit exclusivement les modems. Toute une gamme de modems sont mis au point par les Bell Laboratories et sont commercialisés après homologation. Dans les années 60, les débits disponibles sont 300, 600, 1200, 2400 et 4800 bauds, et beaucoup de lignes sont incapables de supporter le débit supérieur de cette séquence.

Pour certaines lignes de qualité, ATT offre WATS, Wide Area Toll Service, qui permet de transporter les débits de 4800 bauds sur tout le territoire national et sur les cables de la Western Union.

Au prix d'importants investissements sur le réseau à grande distance et d'améliorations locales, l' ATT deviendra progressivement capable de fournir des liaisons point à point à 9600 bauds, 19200 bauds, puis 56 Kbauds, y compris en liaisons commutées.

Broadband est un service de transmissions de données commuté, sans téléphone, sur le territoire national, offert par la Western Union. Son implantation commence seulement dans les années 60 et les services sont essentiellements locaux, presque au coup par coup. Les débits proposés sont 2, 4, 8, 16 et 48 Kbauds, ces derniers seulement dans les très grandes villes.

Telpak est un service de regroupement de lignes organisé par les Bell Labs, permettant de multiplexer 12, 24, 60 ou 240 lignes téléphoniques sur un seul cable, donc de faire de substantielles économies. Du côté usager du dispositif, les lignes sont indépendantes. A l'échelle nationale, le grand intérêt de ce produit est la possibilité de relier directement

les PABX (centraux privés) de plusieurs établissements d'une même société par des faisceaux Telpak.

DATEL est un service international de transmissions de données de l'ITT, qui commence vers 1960 par les modestes débits de 100 et 600 / 1200 bauds.

L'article 244 - 395, qui donne ces informations, vise à rappeler ces notions à une clientèle informatique encore peu familiarisée avec les transmissions de données. Pour un lecteur de 2000, c'est une sorte d'évocation de la préhistoire. Les articles suivants, dans le même volume EJCC 1966, examinent divers aspects des mêmes problèmes avec un peu plus de technicité.

La date du panoramique ci-dessus n'est évidemment pas une limite, et dans les années suivantes on a vu apparaître des services nouveaux. Par exemple :

Picturephone apparaît à titre expérimental en 1971, sous la forme d'un terminal à écran qui permet de présenter des données alphanumériques (maxi 20 * 22 car) et des histogrammes, donc de servir de terminal à des transmissions de données. C'est assez analogue à notre minitel, mais introduit avec beaucoup plus de prudence car il semble s'agir d'une violation caractérisée du Consent Decree, puisque le terminal n'a de sens que pour recevoir des données. Aussi peut on penser que le matériel n'est proposé qu'aux entreprises, pour usage interne, mais même ainsi l'accord paraît bien violé.

Voir en 257 - 71/7 la description du travail expérimental des Bell Labs, et en 257- 65/70 une application de ce matériel dans le cadre de l'Alcoa. Il y a donc eu préméditation.

671 - Jeux de stratégie

Faute de compétence, cette rubrique ne sera qu'une courte revue d'articles et références diverses concernant des jeux que l'on peut, au choix, qualifier de "stratégiques" ou "d'intelligence artificielle", la méthode d'attaque de ces deux types de problèmes ayant beaucoup en commun. La présentation, clairement insuffisante, ne concerne que des articles en notre possession.

Jeu d'échecs

Dans ce jeu, l'approche progressivement mise en place par les auteurs comprend trois parties : les ouvertures, le jeu proprement dit, les fins de partie. Pour les deux extrémités, l'approche est généralement de rédiger un catalogue convenablement codé de l'expérience des siècles, dans lequel le programme joueur puisera selon des règles simples définies par l'auteur.

Pour la partie centrale, l'idée directrice est de partir de la situation présente et d'examiner toutes les possibilités de mouvements et de contre-attaques de l'adversaire en évaluant chacune des situations résultantes (à quelques coups plus loin, "quelques" dépendant de la puissance de l'ordinateur) qui est la clé du programme. Cette projection dans le futur est considérablement aidée par la constatation que beaucoup de branches de la prédiction se disqualifient très vite en manifestant une valeur du critère très inférieure à la meilleure des alternatives ; ces branches sont alors abandonnées et cela libère du temps pour prolonger plus loin l'étude des branches prometteuses.

A la fin de la période étudiée, la plupart des programmes conservant un intérêt étaient capables d'examiner l'avenir bien plus loin que n'importe quel grand maître, mais ils ne gagnaient pas pour autant, car le véritable problème est le choix de critères, nécessairement objectifs, cad chiffrables, là où les grands joueurs ont essentiellement de l'intuition.

MATER est un programme de H. A. Simon à Carnegie-Mellon, remontant à 1965 et plusieurs fois amélioré. Il ne joue pas, c'est seulement un outil d'évaluation des situations. Voir 243-431/7, 247-725/35.

MAC Hack Six, de Greenblatt R. D., est au contraire un vrai programme de jeu, engagé dans plusieurs tournois depuis 1967, et qui a amélioré son classement de 1200 à 1400 environ entre février et mai de cette année. L'article décrivant ce programme se trouve dans FJCC 1967, pp 801/10, et a bénéficié de la compétence des chercheurs en intelligence artificielle du MIT, travaillant sur le projet MAC de temps partagé. C'est à travers ce projet que l'ARPA a soutenu cette étude.

Jeu de GO

Ce jeu japonais est un des plus difficiles à traiter sur ordinateur, et de plus peu connu en Occident. La première manifestation d'intérêt pour ce jeu dans la littérature technique américaine est l'article suivant :

ZOBRIST (A. L.), de l' Université de Wisconsin - A model of visual organisation for the game of GO, in AFIPS Vol 34, Proceedings of the SJCC 1969, Boston, pp 103/12.

Comme le fait comprendre le titre, il s'agit à peine d'une étude, tout juste d'un cadre pour présenter de futures expériences. On est encore très loin de programmes qui joueraient au GO ; néanmoins, l'auteur a obtenu pour cette première approche des soutiens du NIH et de la NSF.

TIC-TAC-TOE

A l'inverse du précédent, ce jeu très simple, connu en France sous le nom de Morpion, est complètement résolu sous l'angle de la stratégie : cad qu'il existe une stratégie pour gagner à tout coup en jouant le premier. Cette stratégie est extensible à n'importe quel nombre de cases et à trois dimensions, mais pas au delà. Voir étude complète en 261-349/55.

672 - Les simulateurs de Boeing

Il semble bien que l'intérêt de Boeing pour les simulateurs d'étude soit contemporaine de la naissance de la NASA, qui représentait pour Boeing une chance exceptionnelle, cette société ayant été choisie comme constructeur (à Michoud, Louisiane) du premier étage de la fusée Saturn (booster S1C).

Dans cette phase initiale où les grandes décisions d'organisation de la NASA n'étaient pas encore prises, Boeing se sentait indispensable et se préparait à jouer un rôle majeur

dans les lancements en organisant "à ses frais" un centre de simulation des lancements de véhicules habités.

Ce centre privé comprenait pour commencer deux IBM 7094 et une 7044, associés à un équipement analogique et hybride AD256 de Applied Dynamics (schéma). C'était pour Boeing une expérience tout à fait nouvelle, la programmation d'un système hybride étant délicate. Voir fiche

On ignore les applications de ce centre de calcul, lorsqu'il fut devenu évident que le coeur des lancements habités ne se situerait pas à Huntsville, mais un texte bien plus tardif, du à un ingénieur de Boeing, déclare que les travaux de Huntsville ont été très formateurs et que le centre a été reconfiguré plusieurs fois ; sa grande expérience en a fait, semble-t-il, la référence de la société en matière de calcul hybride. Voir plus loin. Quoi qu'il en soit, on constate que Boeing installe à Seattle, Washington, en 1966, un autre simulateur hybride organisé autour d'un SDS 9300 avec des consoles Beckman EASE 2100. La finalité d'un tel centre à un tel endroit est forcément la simulation des avions de ligne, puisque c'est autour de Seattle que se trouvent les usines où Boeing construit les 727, 737 et 747 qui, à l'époque, entament une longue période de quasi monopole sur le transport aérien. Voir photographie en 232-1722/9.

Ce système paraît modeste, mais il a effectivement été renforcé. Un autre article, 257-233/42, fait état en 1971 de simulations aéronautiques qui associent ce système de base, connecté à l'équipement de vol, à un autre ensemble hybride groupant un ensemble de quatre consoles analogiques AD4 et d'un calculateur 360/75. Le but de l'opération est d'utiliser dans la simulation des fonctions non linéaires résultant de mesures, plutôt que les fonctions théoriques trop éloignées des réalités ; l'article expose comment la 75 construit, à partir de tables issues des mesures et exploitant jusqu'à six variables, les valeurs appropriées des fonctions.

Boeing participe également à des expériences de simulation de vol avec le fournisseur Control Data de l'un de ses calculateurs de Seattle. L'idée est d'installer le simulateur de vol avec son cockpit et le 6600 qui fait les calculs en deux points différents, chacun choisi en fonction de sa mission propre et des contraintes techniques. Cela conduit à éloigner les deux locaux de quelque 10 miles. CDC installe un minicalcuteur 1700 près du cockpit et le relie par lignes téléphoniques au 6600. Voir 254-237/49.

La croissance de la compagnie l'amène à se lancer dans la construction d'hélicoptères et à acheter Vertol, une firme qui avait obtenu la confiance de l'USAF pour la construction de gros porteurs. Cet achat fut suivi de la décision de construire, cette fois dans l'Est du pays, un autre centre de simulation hybride, apparemment à Morton, Pennsylvanie. Ce centre organisé autour d'un calculateur IBM 360/44 et de quatre équipements analogiques AD4 de Applied Dynamics est décrit dans 249-709/18, et sa mise en route semble avoir largement bénéficié de l'aide de Huntsville.

Ce qui paraît un peu troublant est que, d'après un article des FJCC 1968, il existe à Huntsville un simulateur hybride composé également de 360/44 et de AD4, dont l'article 250-997/1000 décrit le système de contrôle. Il semble tout à fait probable que ce système de Huntsville a été installé le premier, probablement au début de 1966, et que le simulateur Vertol l'a simplement recopié.

673 - La NASA, National Aeronautic & Space Administration

La guerre terminée, le gouvernement s'efforce de tirer les leçons de l'expérience et de réorganiser l'Administration en vue d'une efficacité accrue ; la Défense, en particulier, ressent l'urgence et essaye d'évaluer les priorités. En gros :

- la principale menace, immédiate, est aérienne. L'Amérique, qui a construit le bombardier B36, sait que ses villes peuvent être attaquées par son équivalent soviétique. La bombe atomique russe, dès 1949, fait que de telles attaques pourraient être décisives. C'est ce qui conduit, dès 1950, à l'étude du SAGE, système défensif à la hauteur de l'enjeu.

- la construction des V2 par l'Allemagne annonce un second danger, qui trouvera sa mesure lorsqu'il sera possible de fabriquer une bombe atomique assez petite pour être transportable par un gros missile.

A la fin de la guerre, l'armée américaine avait récupéré en Allemagne Werner von Braun et une partie de son équipe de Peenemunde, ainsi qu'une collection de V1 et de V2 ; hommes et matériels étaient installés à Huntsville, où ils essayaient, avec un très modeste budget, de construire une fusée capable de lancer quelque chose. Cependant, si Von Braun ne s'interdisait pas de rêver, ses sponsors américains n'avaient pas d'autre objectif que le missile balistique intercontinental et nucléaire ; il y avait d'ailleurs urgence, du fait que les russes aussi avaient récupéré "leurs allemands".

Malgré l'évidence du caractère global de la menace, l'organisation américaine de la Défense était toujours divisée entre trois ministères et trois budgets, en compétition sévère. L'analyse des menaces énoncées ci-dessus avait conduit ces trois entités aux décisions suivantes:

a) L'US Air Force était en première ligne, et seule capable d'agir à la fois défensivement (nouveaux intercepteurs, SAGE) et offensivement (bombardiers B47, puis B52). La coordination de ces actions militaires était confiée à un grand commandement, le SAC, Strategic Air Command.

Les études techniques avancées étaient confiées à un organisme civil, relevant du ministère des transports, le NACA : elles se proposaient essentiellement de comprendre le vol supersonique et de construire un appareil piloté capable de passer le mur du son.

b) L'US Army était responsable de la Défense Contre les Avions, vitale au double plan de la défense stratégique et tactique. Elle s'occupait essentiellement de la mise au point de missiles sol/air, les Nike contre les bombardiers lourds, les Hawk pour la défense tactique.

c) L'US Navy n'avait guère à se préoccuper que de la défense de ses bâtiments contre les avions, entièrement à reprendre à la lumière des missiles allemands (bombes planantes), car aucune mission lointaine offensive n'était envisagée. Donc, mise au point des missiles Talos, Tartar et Terrier, et refonte de navires pour les transporter.

Cette attitude persista jusqu'à l'annonce de la bombe russe, qui rendait nécessaires des études de missiles stratégiques. La guerre de Corée redonna de l'importance à la marine, qui commença des essais de missiles de croisière et de navires nucléaires, mais sans urgence ; le gouvernement avait clairement confié à l'USAF la responsabilité des

missiles balistiques, et les études étaient lancées pour les missiles (Atlas, Titan, Thor, Redstone), pour la détection des missiles adverses encore hypothétiques (BMEWS), et pour un quartier général enterré de la défense (NORAD). Personne aux USA, sauf Von Braun, ne pensait sérieusement à la lune ni aux satellites.

Quand il devint clair, vers 1956, qu'on pourrait lancer dans l'espace proche des charges utiles importantes, les scientifiques exprimèrent leur intérêt, et le gouvernement accepta quelques modestes investissements. On y croyait si peu qu'on régla l'affaire comme un simple problème de budget et d'équilibre interarmes : puisque l' USAF était occupée aux choses sérieuses, l'Armée de Terre pourrait essayer de lancer un satellite, et la Marine d'en suivre la trajectoire.

Ainsi, l' US Army entreprit l'étude de son propre lanceur, une fusée nommée Vanguard qui d'ailleurs commença sa carrière par une série d'échecs. D'autre part, en juin 57, un contrat du Naval Research Laboratory, jouant un rôle presque exclusivement administratif, chargeait IBM d'établir un centre de calcul pour le lancement et le guidage du Vanguard. Ce centre, installé à Washington même, comprenait une IBM 709 avec quelques liaisons, et pouvait en cas de défaillance être suppléé par une autre 709 sise à Poughkeepsie, NY, dans les locaux d' IBM. Un programme de quelque 40000 lignes fut écrit pour réaliser les calculs de détermination d'orbite et de poursuite. Mais ces calculs n'étaient pas contraints au temps réel, et n'offraient donc aucune difficulté.

Le lancement du Sputnik 1 par les soviétiques, en octobre 1957, prit par surprise la population américaine, sinon les militaires, et atteignit l'orgueil national, déclenchant le financement de plusieurs programmes :

- la transformation du NACA en NASA, National Aeronautic & Space Administration, qui mit immédiatement en place un programme de satellites scientifiques, les Explorer ; tandis que les premiers essais Vanguard voyaient se succéder les échecs, le lancement réussi du premier satellite américain intervint dès 1958, utilisant comme lanceur une des fusées antérieurement étudiées comme missile balistique à moyenne portée, le Jupiter. Désormais, tous les engins balistiques militairement périmés sont à la disposition de la NASA pour ses expériences, et le principe est admis de l'accès de la NASA aux lanceurs opérationnels, si besoin est.

- un programme d'envoi d'hommes dans l'espace, Mercury, était également décidé, et l'on procédait au recrutement des premiers futurs astronautes, ceux du film l'Etoffe des Héros. On espérait lancer un singe dans l'espace dès 12 / 58, mais c'était méconnaître la difficulté du problème : le premier vol avec récupération d'un chimpanzé aura lieu seulement en janvier 61, le premier vol d'un homme 4 mois plus tard (Shepard, sur lanceur Redstone, 5 / 5 / 61).

- l' USAF prend soudain conscience du danger (encore lointain) d'un satellite militaire chez l'ennemi potentiel, et des choses extraordinaires que l'on peut faire avec des satellites nationaux : communications, météorologie, surveillance de la terre depuis le ciel, bombardements. Elle lance immédiatement un programme de surveillance du ciel depuis des radars au sol, le SPADATS, construit une SCF (satellite communication facility), et entame plusieurs études préparatoires de satellites d'application.

- l' US Navy découvre également l'intérêt des satellites, essentiellement pour les communications et la navigation. Elle offre à la NASA son site Vanguard, qui grossit et

devient le SPASUR (ci-après), et elle amorce le programme Transit de satellite de navigation, essentiel pour ses sous-marins stratégiques.

La NASA avait besoin de bases de lancement et d'établissements. On lui confie Patrick AFB, à Cape Canaveral en Floride, parce que c'est le site le plus proche de l'équateur disponible aux USA, sur la côte orientale pour profiter de la rotation de la terre : tous les lancements importants, et notamment tous les lancements habités, auront lieu à partir de là.

Le site insulaire de Wallop pourra effectuer des lancements plus modestes, satellites scientifiques légers sur fusée à poudre Scout essentiellement.

D'autre part, la NASA installe à Greenbelt, Md, à deux pas de Washington DC pour être près du pouvoir, un centre de recherche qui sera baptisé Goddard Space Flight Center, en souvenir du premier américain qui se soit intéressé aux fusées. Il dirigera le programme des Explorer et pourra définir certains d'entre eux. Voir par exemple le cas de l'IMP. F, article 232 - 1734 / 42.

La NASA crée aussi le SPASUR, un réseau de surveillance de l'espace, qui collecte les observations spatiales à travers le monde et les fait converger vers un ordinateur IBM 7090 situé à Goddard, à travers des lignes téléphoniques à 2500 bauds. Les premières sources seront les radars existants, conçus à d'autres fins, ainsi que des télescopes optiques, puis le réseau s'étoffera des observatoires NASA au fur et à mesure de leur installation.

Le choc suivant survient quand l'URSS lance, avant le premier vol Mercury, un homme dans l'espace. Même si le retard américain est désormais faible, l'effet sur le public, qui l'ignore et qui ignore aussi les risques pris par les russes pour arriver les premiers à n'importe quel prix, est énorme. Kennedy, président depuis quelques mois, convoque Von Braun et, sur son conseil, lance la course à la lune avec un budget, extraordinaire pour l'époque, de 20 B\$, et une date objectif, 1969.

La NASA n'a plus rien à se refuser, car elle n'a pas le droit d'échouer. Elle décide :

a) la création à Houston, Texas, du Manned Space Center, d'où seront commandées toutes les opérations spatiales comportant plus d'un véhicule. Cela concernait à échéance le programme Apollo, mais aussi, et tout de suite, le programme Gemini.

En plus de ces systèmes de commande, il fallait aussi prévoir la construction de multiples simulateurs d'entraînement au pilotage, à l'atterrissage, et au rendez-vous spatial.

b) la définition et l'exécution du programme Gemini de capsules habitées biplaces, comportant des rendez-vous en orbite avec des satellites Agena : 12 vols entre 1964 et 1966, y compris de vastes travaux médicaux pour découvrir les possibilités d'adaptation des hommes aux conditions de vie dans l'espace, essentiellement l'apesanteur.

c) l'étude, les essais et la réalisation des fusées Saturn 1 et Saturn 5, cette dernière devant décoller au poids de 2500 tonnes pour emmener jusqu'à la lune une capsule

habitée triplace et un module lunaire biplace, puis ramener la capsule et ses passagers. Ce travail sera l'oeuvre de Von Braun au Marshall Space Center de Huntsville, Alabama, avec ses annexes de Slidell et Michoud, Louisiane.

d) la création à Cape Canaveral d'une infrastructure d'assemblage et de lancement pour cette fusée.

e) la mise en place, dans plusieurs dizaines de bases ou simples points d'appui à travers le monde, des moyens d'observation et de mesure capables de suivre, 24 heures sur 24, ces vols de huit jours. Les radars exceptionnels d'astronomie, Goldstone au JPL et Arecibo à Porto Rico, pourront participer au programme sur demande, avec priorité.

f) le développement progressif et raisonné du NASCOM, le réseau de communications qui reliera en temps réel tous les équipements et tous les hommes participant à l'opération, de telle sorte qu'il ne s'écoule pas plus de 6 secondes entre la pression d'un bouton à Houston et l'exécution de l'action correspondante sur la lune, quelles que soient les positions respectives des deux extrémités du trajet.

g) et toute une série de lancements d'exploration lunaire non habités, neuf Rangers de Août 61 à Mars 65 pour photographie de sites, cinq Lunar Orbiters en 1966/7 pour cartographie, et sept Surveyors à atterrissage doux de 5 / 66 à 1 / 67, pour étude du sol lunaire et des sites possibles d'alunissage.

h) tous les vols non habités, et pour commencer les précédents en plus du programme Explorer, seront suivis et exploités à Goddard, dont l'importance est plutôt renforcée.

j) la NASA n'hériterait pas du Spadats mais en sera client à part entière, de manière à savoir à chaque instant quels sont les satellites qui pourraient se trouver sur la trajectoire d'un lancement.

A partir d'ici, nous renvoyons le lecteur aux rubriques spécialisées, comme suit :

Rubrique 118 : les réseaux de surveillance de l'espace : SPADATS, SPASUR

Rubrique 287 : le Goddard Space Flight Center à Greenbelt, Md

Rubrique 288 : le réseau NASCOM

Rubrique 289 : le Manned Spacecraft Center de Houston, Texas

Rubrique 290 : le Jet Propulsion Laboratory à Pasadena, Cal, et le radar de Goldstone

Rubrique 291 : le Marshall Space Center à Huntsville, Alabama, Slidell et Michoud en Louisiane

Rubrique 292 : les simulateurs de vol des programmes spatiaux

Rubrique 293 : la base de lancement de Cape Canaveral, Floride.

La période intense des vols Apollo s'étend de 1967 à 1972 et apporte à l'Amérique la victoire politique que méritaient ses énormes investissements, le professionnalisme sans faille de la réalisation, et son art de l'exploitation journalistique. Elle se prolonge en 1973 par l'opération Skylab, qui utilise les lanceurs Saturn restants pour mettre en orbite autour de la terre une ministration spatiale faisant pendant aux Salyut soviétiques, et lui amener des visiteurs. Techniquement parlant, les équipements de Cape Canaveral, de Houston, de Goddard, ainsi que le NASCOM et tous les sites radar qu'il réunit, sont

encore parfaitement adaptés aux problèmes pas vraiment nouveaux que pose le Skylab, opération beaucoup plus politique que scientifique ou même technique.

Puis vient une période de silence : l'Amérique du Vietnam et de Carter se culpabilise, se désarme et abandonne ses compétences. La NASA a moins d'argent et évite les missions habitées, coûteuses et comme telles fortement attaquées par les scientifiques autant que par les démocrates du Welfare : la navette est encore loin, avec son premier vol en 1981, bien qu'on s'en soit préoccupé dès 1974.

Suivront les missions de navettes, de 1981 à 2000, avec un creux de plusieurs années après la perte de la navette Challenger. On ne les détaillera pas - il y en a plus de 100. On trouvera des indications générales dans la rubrique MSCC. L'histoire des navettes ne s'arrête d'ailleurs pas avec le siècle.

En dehors de son activité temps réel, dont les navettes sont l'expression la plus spectaculaire, mais qui comprend aussi de remarquables opérations de découverte du système solaire, suivies par Goddard, la NASA effectue de nombreux travaux de recherche dans ses établissements, en général cédés par l'USAF, par exemple Ames en Californie, où fut installée, à l'abri des étudiants soixante-huitards, le calculateur Illiac IV. On trouvera en 249-719/30 des indications sur l'équipement de ce laboratoire en 1968, avec ses deux simulateurs hybrides.

Il y a aussi un NASA Electronics Research Center, installé à Cambridge depuis 1968, à côté mais sans doute indépendant du MIT qui lui fournit des ingénieurs. Ce laboratoire lancera en 1969 l'étude d'un processeur modulaire à base de circuits LSI, en commençant par une maquette, le MCB Modular Computer Breadboard, pour laquelle Hugues proposera son concept des dix "characters". Voir en 252 - 231/45 l'énoncé de la spécification du MCB et la réponse détaillée proposée par Hugues Aircraft à l'occasion d'un contrat d'étude. Il apparaît plausible que ce centre ait fusionné, après le succès lunaire, avec le Lincoln Lab et peut-être avec l'AFCRC, pour devenir le Charles Draper Research Labo.

Administration civile, la NASA peut aisément utiliser les satellites commerciaux pour ses liaisons, et le fait régulièrement. Cependant, puisqu'elle est sans cesse en train de lancer ou de poursuivre des satellites scientifiques, elle s'associe avec la Western Union dans une Space Communications Company, chargée d'organiser un important programme de 6 satellites relais de communications, les TDRS construits par TRW, et les services au sol correspondants. Communiquant entre eux, les TDRS assurent une collecte de données planétaire et une retransmission précise vers le sol.

Les TDRS de 2540 Kg sont largués depuis un vol navette affecté, avec un IUS de 13,5 tonnes qui permet une mise en place précise sur orbite stationnaire. Ils portent 12 transpondeurs dans la bande C de 4/6 GHz, et 4 dans la bande Ku de 12 à 14 GHz, chacun de ces derniers avec un débit de 250 Mbit/s.

Le partage prévu était un satellite Western Union, deux pour la NASA, un partagé en réserve sur orbite et deux au sol. Le TDRS 1 lancé le 5/4/83 a eu de sérieuses difficultés mais a fini par s'installer à 41 °W, puis plus tard à 85°W. Le TDRS 2 a été

perdu et les autres se sont progressivement répartis en 56°W, 74°W, 171°W, 2°W (dernier lancement en 1993).

674 - Les calculateurs analogiques et hybrides

A la fin de la guerre, le calcul numérique est encore expérimental et, malgré la volonté manifeste de soutenir son développement qui se manifeste dans les Armées, un véritable débouché sur des services est encore à plusieurs années dans le futur. Au contraire, les méthodes analogiques ont été créées avant la guerre (analyseur différentiel mécanique de Vannevar Bush) et ont été régulièrement utilisées dans l'automatisation des armes.

A la fin de la guerre, la conduite de tir des navires et celle de la DCA terrestre sont assurées par des calculateurs analogiques, principalement à synchro et résolveurs ; il existe néanmoins quelques réalisations de calculateurs à courant continu (poste Mk 10 pour les canons de DCA de 90 mm), et plusieurs industriels sont en mesure de faire beaucoup mieux sur demande. Justement, on le leur demande, car la découverte des missiles allemands a suscité un énorme engouement pour la simulation de vol.

On ne peut oublier que les phénomènes physiques à l'échelle humaine évoluent de façon continue, de sorte que les calculateurs étudiés pour travailler en temps réel devront utiliser des interfaces Analogique / Numérique (A/D ou A/N) pour leurs entrées de données, Numérique / Analogique (D/A ou N/A) pour leurs sorties ; le théorème de Shannon retardera assez longuement l'intégration de calculateurs numériques dans des asservissements de variables continues et en attendant que les progrès technologiques l'aient rendue possible, de nombreux calculateurs hybrides verront le jour. La période de la course à la lune, où l'objectif et le calendrier primaient sur le budget, a été particulièrement propice à ces développements.

Les calculateurs analogiques ne sont pas directement dans notre sujet, de sorte que nous nous limiterons à un catalogue peu détaillé, inspiré par un article illustré de Rubin en 255-641/52.

Berkeley Scientific Computer Company produit EASE, avec comme clientèle les applications de process control. Cette société sera absorbée un peu plus tard par Beckman Instruments.

Boeing Airplane Company construit BEAC, un simulateur d'avions.

Goodyear Aircraft Company, fabricant de dirigeables souples pour la Marine, construit GEDA, également pour ses besoins militaires.

G. A. Philbrick Research Company est un nouveau venu qui se lance dans la réalisation de petits simulateurs pour le process control. On trouve par exemple un de ses GAP/R chez Pullman pour l'étude des suspensions de cars.

Reeves Instrument Company est un fournisseur de la défense, et ses calculateurs les plus universels sont, semble-t'il, des aides pour maquetter ses réalisations militaires, calculateurs de DCA et de bombardement.

Les caractéristiques de cette première génération de matériels, qui correspond à l'époque de la guerre de Corée, sont les faibles dimensions, 20 à 80 amplificateurs, et l'absence de toute commodité d'affichage : les connexions se font directement sur les faces avant des boîtiers, de sorte que le matériel coûteux est immobilisé pendant tout le temps de préparation, d'exécution et de rangement, pour des solutions qui fonctionnent en temps réel. En outre, la précision des composants limitait à 1% celle des résultats, et l'exploitation se faisait sur oscilloscopes.

Avec l'apparition de Electronic Associates, et la naissance de composants (résistances et condensateurs) de précision 0,01% , le calcul analogique s'installe, son domaine ne se recoupant pratiquement jamais avec celui des calculateurs numériques. En même temps, on commence à mieux évaluer la valeur relative du matériel du personnel et du temps, et on introduit les premières commodités d'affichage, et d'abord le tableau amovible de précablage.

Dans cette période qui s'étend de 1954 à 1960, on voit disparaître de la compétition Boeing et Goodyear qui ont mieux à faire, de sorte qu'il reste essentiellement EAI et Reeves pour les simulations importantes, et Beckman pour les simulations de processus industriels.

Beckman Instruments : voir rubrique 107

Electronic Associates : voir rubrique 245. Principaux modèles : 31R en 1954, 131R en 1956, 231R à partir de 1959 (plusieurs fois révisé), 8800 et 680 en 1966

Dans la période suivante, l'apparition du transistor donne naissance à une catégorie nouvelle de petits matériels de calcul de la taille d'un bureau, fonctionnant avec une référence de 10 volts, tandis que les matériels importants, dont le nombre d'amplificateurs augmente considérablement, restent à tubes et travaillent entre à l'échelle de 100 volts, avec une précision espérée du millième. On voit apparaître des éléments nouveaux, multiplieurs électroniques, résolveurs, générateurs de fonctions, et aussi des sociétés nouvelles :

Donner est un exemple de la première catégorie, et sera vite absorbée par Systron.

Comcor, Inc. qui par la suite fusionnera avec Astrodata : modèle CI 5000 en 1966

Applied Dynamics Inc. qui par la suite fusionnera avec Reliance Electric. On peut citer son modèle AD 256, qui propose le total impressionnant de 256 amplificateurs. Plus récemment, AD4 en 1966.

Vers 1965, Reeves abandonne ce métier, dont la technique change : transistorisation généralisée, télécommande d'une large partie des fonctions, fiabilité très améliorée, généralisation des liaisons hybrides

puisque le calculateur numérique non seulement fournit une précision inaccessible à l'analogique, mais commence à rivaliser en bande passante avec lui.

De vastes systèmes hybrides, comportant deux à quatre ensembles analogiques, fleurissent chez toutes les grosses entreprises qui participent au programme Apollo : Boeing, Lockheed, TRW, United Aircraft, Grumman, et bien sûr la NASA.

Plus tard encore, la part de l'analogique diminue parce qu'il est plus cher et moins précis que son concurrent numérique, de sorte qu'on n'y recourt que si la bande passante du problème est hors d'atteinte pour le calculateur numérique. Il subsiste néanmoins, et peut même justifier de nouveaux compétiteurs :

Adage, Inc. produit des interfaces hybrides pour relier des calculateurs numériques à des phénomènes physiques, plutôt qu'à de véritables calculateurs analogiques : Ambilog 200.

675 - Tymshare

Cette société s'est fondée vers 1970 pour exploiter commercialement un réseau analogue à celui de l'ARPA, aboutissant initialement à un modeste calculateur SDS 940 installé à Cupertino, Californie. Le réseau de commutation de paquets, baptisé Tymnet, était réalisé au moyen de minicalculateurs Varian 620 i et permettait d'emblée d'accepter à très petits frais une évolution de la clientèle sur l'ensemble des Etats-Unis, à condition de développer corrélativement le centre de calcul.

On trouvera en 256 - 211/6 la description de ce réseau initial, dont la croissance a été très rapide.

En 1982, un an avant son absorption par Mc Donnell Douglas, Tymshare avait atteint une notoriété mondiale et un chiffre d'affaires de 297 M\$, avec 8,8 M\$ de bénéfice et un effectif de 3600 personnes. En comparant ces chiffres à ceux de l'absorbeur, l'Information System Group de Mc Donnell Douglas, 476,4 M\$ pour cette même année, on peut comprendre les difficultés de la fusion, surtout si l'on songe qu'en 1984 Tymshare a continué à croître de 30% .

676 - Organisation de la météorologie américaine

L'organisation américaine de la météorologie est fortement marquée par le fait que les USA sont une puissance mondiale, avec en particulier :

- une aviation stratégique, dont les bombardiers sont dépendants de la météo pour leur sécurité plus que pour leur camouflage, et dont la portée est mondiale.

- une marine dont les interventions sont également mondiales, avec au moins une grosse flotte par océan et des bases dans le monde entier.

- en outre et bien entendu, la population américaine s'intéresse aussi à la météorologie pour sa sécurité (ouragans) et pour son agriculture, mais ses besoins seraient plutôt moindres que ceux des deux organismes précédents.

En conséquence, pour éviter des doubles ou triples emplois qui coûteraient très cher et poseraient même des problèmes politiques, le gouvernement américain a décidé que le réseau de collecte serait unique et utiliserait toutes les implantations américaines dans le

monde, et que la masse des informations centralisées serait ensuite distribuée pour exploitation aux services utilisateurs.

On peut distinguer trois périodes dans l'évolution de la météo américaine :

- après la guerre, organisation du réseau de collecte qui passe progressivement des méthodes manuelles à une complète automatisation des transmissions par des ordinateurs, essentiellement des U 418.

- vers 1970, la puissance des ordinateurs permet de réaliser des prédictions quotidiennes significatives, puisqu'il est devenu possible de terminer le calcul avant l'échéance qu'il décrit.

- à partir de 1980, les satellites météo fonctionnent et sont renouvelés régulièrement, contribuant de façon importante à la qualité des prédictions.

Collecte : la situation initiale de fin de guerre, qui dure jusqu'à la fin de la guerre de Corée, est celle de la collecte manuelle. Dans le Pacifique, le point de concentration est Fuchu au Japon, vers lequel convergent les mesures de Corée, des Ryu Kyu (Okinawa), du VietNam, de Clark AFB aux Philippines, de Guam et de Hawaï ; ces deux dernières, possessions américaines, ont en outre des liens directs avec le centre de Tinker AFB en Oklahoma.

Dans l'Atlantique, la concentration se fait à High Wycombe, en Angleterre, à partir de collecteurs secondaires en Turquie (Incirlik, Cigli), en Espagne (Rota, Torrejon, San Pablo), en Grèce (Athènes), en Allemagne (Kindsbach), en Angleterre (Croughton) et en Afrique (Wheeler AFB à Tripoli).

Aux USA même, la météo est distribuée entre trois bases clés interconnectées, Tinker en Oklahoma, Offutt Nebraska et Suitland au Maryland. L'Alaska est relié à Tinker, l'Islande, le Groenland et le Canada (Goose Bay, Labrador), Porto Rico et les Açores à Suitland.

La collecte manuelle et les liaisons téléphoniques conduisent à un délai de 8 heures avant que puisse commencer la synthèse quotidienne. Accessoirement, on voit que le réseau de bases devra s'adapter à pas mal de bouleversements, tels que la perte du Vietnam et de la Lybie, et l'indépendance des Philippines.

En décembre 1964, ces lenteurs conduisent à lancer une phase 1 comportant une automatisation des tâches de Fuchu, High Wycombe et des USA : Offutt AFB abrite l'Air Force Global Weather Center qui génère quotidiennement la météo de l'hémisphère Nord, à partir des données reçues, filtrées et archivées à Tinker AFB. Tinker transmet à Suitland et à Monterey toutes les informations qui intéressent leurs domaines respectifs, et reçoivent de ces centres ce qui leur est propre : les météos de navires pour Monterey, les situations fines des USA et des Caraïbes pour Suitland.

- Tinker AFB est équipée d'une paire de 418, deux Fastrand, un FH 880 et un 1004 à bandes. Son travail de collecteur consiste à contrôler toutes les transmissions, accusant réception des messages corrects ou faisant répéter ceux qui contiennent des erreurs de parité. Il y ajoute ses propres collectes continentales recueillies sur le FH 880, génère des files de messages sur les Fastrand, puis transmet le tout à Offutt et une partie à Monterey, tous deux à 3600 bauds.

- Trois 418 sont installées à Offutt, Fuchu et High Wycombe, chacun avec FH 880 et 1004 à bande, les deux derniers reliés à 2400 bauds à Tinker. Leur travail consiste à collecter des informations qui leur arrivent par télétypes sous forme de messages découpés en segments de 90 caractères, à doter tous les caractères de bits de parité et les segments de contrôles, et à les transmettre à 2400 bauds synchrones avec accusé de réception à chaque segment. Un message commence par ZCZC, se termine par NNNN, et peut être considéré comme terminé si la ligne est silencieuse pendant 16 secondes, ou qu'elle a transmis un total de 3216 caractères.

- il y a en outre un 1004 à bande à Midwest City, Okl, pour le contrôle de réseau (Weather Network Coordinating Station), qui communique avec toutes les stations à travers Tinker. Cette station comprend LC 600, PC 200, IP 600, deux bandes U VIC, 1922KB de mémoire et un modem 2400 bauds.

La phase 1 accomplie en 11 mois, de janvier à novembre 1965, la phase 2 est immédiatement entreprise pour améliorer l'efficacité et la fiabilité de l'ensemble. Elle consiste dans le doublement des 418 de Fuchu et High Wycombe, la suppression des Fastrand de Tinker, trop gros et trop lents, remplacés par des FH 880, et l'installation de 418 simples à Clark AFB, San Pablo et Incirlik, pour le matériel.

Le logiciel est amélioré par la suppression des duplications, l'élimination à la source de messages d'intérêt uniquement local (NOTAM, prévisions), le filtrage des informations invraisemblables dues à des erreurs de TTY, l'introduction de diffusions automatiques et la mise en route de l'archivage à Tinker AFB.

Les collectes sont indiquées par les chiffres suivants:

Fuchu : 5 lignes sortantes et 27 lignes entrantes, lentes (TTY)

High Wycombe : 4 lignes sortantes et 30 lignes entrantes (TTY)

Offutt : 18 lignes sortantes et 11 entrantes à vitesse TTY, plus 3 lignes duplex rapides.

Les débits de cette installation, terminée en 1966, ont été mesurés ensuite pendant 6 mois, en moyenne mensuelle, à Tinker AFB, point focal du réseau :

entrées (Kcar) venant de	Base	destination des sorties (Kcar)
195524	Offutt	739560
184314	Fuchu	189000
247104	High Wycombe	171834
0	Monterey	697542
0	Suitland	455796
324390	divers	2832

Une phase 3 est alors entamée, prévue pour durer deux ans et aboutir à une collecte mondiale des données météo et à une diffusion sélective des prévisions.

Air Force Weather Network : le centre d' Offutt s'est équipé, vers 1958, avec des 7090, qu'il remplace en 1969 par des Univac 1108 chargées d'utiliser ces données, à travers une liaison 3600 bd avec Tinker, pour le calcul quotidien du modèle mondial, en vue de diffuser les prédictions aux missions des B52. Le caractère mondial de la collecte est exploité par trois transmissions issues de Tinker : 3600 bd vers la météo

Marine à Monterey, Cal ; 3600 bd vers la météo nationale à Suitland, Md ; et 2400 bd vers la FAA.

NOAA : le Centre Météorologique National de la NOAA, installé à Suitland, Md, comporte dans sa version 1973 un équipement remarquable par sa puissance, composé de trois 360 / 195, une KJ (3072 KB) et deux K (2048 KB), solidarisées par liaisons canal à canal et liaisons directes entre processeurs. Les K se partagent un disque 2305 et disposent chacune d'un canal temps réel 2909. 64 tourne-disques, 23 dérouleurs de bandes magnétiques et un contrôleur d'unit record sont partagés entre les trois machines, dont les canaux temps réel sont reliés, par une matrice de dix lignes, à une variété de machines spécialisées, parmi lesquelles trois 360 / 40 et une 2701 de gestion de télétypes, ainsi que des bandes magnétiques de formats propres à la météo (4 NWC, 7 NESS).

Deux fois par jour, le système effectue la collecte de 800 prélèvements officiels, 5000 stations terrestres plus ou moins automatiques, 2500 navires, 1200 avions, et les satellites de la NOAA ; il diffuse les résultats de calcul dans 500 directions. Les données collectées sont mises en forme par les 360 / 40 et dirigées en batch vers les 195 qui traitent 5 problèmes toutes les 12 heures :

- dégrossissage barotrope de l'hémisphère Nord sur un maillage de 380 km.

Durée 20 minutes,

prévision valable 48 heures.

- LFM, programme à 6 couches horizontales et mailles de 190,5 Km de l'Amérique du Nord, durée 2 h.

- 7LPE, modèle à 7 couches sur le même maillage, durée 4 heures, prévision sur 84 heures.

- MFM, modèle à 10 couches sur un maillage de 60 km, dans un carré de 3000 Km de côté centré sur

les USA. Durée 1 heure, prédiction 48 heures.

- 9LPE, modèle mondial à 9 couches sur maillage de 2,5°, durée 20 minutes.

La multiplication des modèles montre qu'aucun n'est jugé réellement satisfaisant, et il est bien évident que tout cela n'est qu'une photographie d'un moment de la météo américaine, qui a beaucoup évolué depuis.

677 - Informatique médicale

La médecine a très rapidement trouvé intérêt à employer l'informatique, en s'impliquant très peu dans le matériel (on ne peut guère évoquer que les LINC) mais considérablement dans le logiciel. Les constructeurs eux-mêmes ont reconnu rapidement ce potentiel et chacun d'eux s'est doté de logiciels plus ou moins importants pour les cliniques et hôpitaux .

Exemple (1963) : MEDCOMP est un logiciel médical, essentiellement statistique, établi par le centre de calcul du Collège de médecine de l'Université de Cincinnati, Ohio. Il fonctionne sur IBM 1401 minimale, mémoire 4 KB, avec les dispositifs MPY/div, sense, index, hilo compare, column binary. IBM se borne à distribuer à la demande.

Les constructeurs préfèrent participer, en général avec le soutien financier de l'administration (NIH), aux études d'intérêt général parmi lesquelles on peut citer :

- MEDLARS, MEDical Litteratur Analysis & Retrieval System, système documentaire réalisé sur Honeywell H800 à bandes, avec une IP à 21000 mots/min pour noter les réponses, et le système GRACE pour les sorties off line à gros débit.

- MEDLARS II, autre système documentaire réalisé sur IBM 360/50 pour la National Library of Medicine. Le CPU comprend 256 KB de mémoire renforcée par 1MB sur LCS, 8 disques 2314 et 2 data cell, tandis qu'un 2703 dessert 80 à 200 terminaux KSR 37 ou Uniscope 300. Software COSMIS.

- MUMPS, Massachussets general hospital Utility MultiProgramming System, est un système de temps partagé mis en oeuvre dans l'hôpital éponyme, et assez souple pour prendre en compte les applications particulières des services. Il pourrait aisément s'appliquer à d'autres hôpitaux.

- BUGSYS, un système d'édition pour l'imagerie médicale sur COM, financé en 1966 par la National Biomedical Research Foundation et décrit par SJCC 1966 p 415. Mais les particularismes ont presque toujours empêché toute généralisation.

Ces travaux ayant le caractère d'applications, nous ne les détaillerons pas, renvoyant le lecteur aux très nombreuses communications présentées deux fois par an aux Joint Computer Conferences. On pourra consulter en particulier l'article de synthèse de 261 - 215/25, dont on résume les conclusions : tous les constructeurs, et plusieurs sociétés de service, sont en 1972 en mesure de fournir à la demande, pratiquement comme un produit commercial, un système de gestion administrative pour hôpitaux, prenant en charge les formalités d'admission et de sortie, la gestion des lits, des régimes, des visites, des laboratoires, de la pharmacie ; l'adaptation aux moeurs locales fait que ces systèmes, généralement testés sur un très petit nombre d'hôpitaux moyens (souvent un seul), ne sont pas réellement équivalents ; le problème du dossier médical, qui a fait l'objet d'innombrables expériences sponsorisées, n'est en général pourtant pas pris en compte sinon sous la forme minimale d'un simple texte, inapte à toute exploitation statistique.

Une fraction seulement de ces logiciels est capable de s'adapter à divers calculateurs ; la plupart sont spécifiques de machines connues, certains sont fournis avec un matériel spécialisé. Plusieurs sont conçus pour permettre des groupements de cliniques sur un centre d'exploitation régional commun, avec des facilités pour ajouter des participants après le démarrage.

Aucune normalisation n'existe et n'est prévisible à cette date.

678 - Les périphériques de NCR

La société National Cash Register a fait sa réputation avec des caisses enregistreuses électromécaniques, et gardera de cette époque une compétence en mécanique qu'elle utilisera pour :

- continuer longuement à produire des machines comptables et facturières (299, 399, 499)

- produire elle-même une large part de ses périphériques.

Nous pouvons donc passer en revue la gamme des périphériques NCR, revue à laquelle renverront les descriptions de systèmes informatiques ; nous n'avons malheureusement pas beaucoup de documentation imprimée sur ces machines.

Control Data reconnaitra cette compétence lorsque, après son premier procès contre IBM, Norris s'efforcera de construire une barrière protectrice de type industriel plutôt que juridique. La seule création de cette période qui fonctionnera durablement est la filiale commune avec NCR, Computer Peripherals.

L'activité périphériques de NCR est très importante, plus de 30% de son chiffre d'affaires en 1985, année plutôt difficile. Elle est évaluée à 1200 M\$ en englobant les communications, et la plus grande part est effectivement produite dans ses usines.

Bande perforée

NCR 472.1 est l'ensemble LR 1000 / PR 110 fourni avec le système NCR 315. Le lecteur sera commercialisé séparément en 1966 sous le sigle EM. A2 .

NCR 361. 201 est un LR 600 proposé avec le système 315. Il sera commercialisé séparément en 1966 sous le sigle EM. A3 .

NCR 371. 201 est la perforatrice de bande à 120 cps proposée avec le système 315. Elle sera commercialisée en 1966 sous le sigle EM. B2 .

NCR 660.101 (1972) est le LR 1500 des Century, machine en pied organisée pour une vraie production : tous supports, toutes largeurs, tous codes, dérouleur et enrouleur, rebobinage.

NCR 665. 101 (1972) est la PR 200 des Century, tous avantages comme ci-dessus.

Cartes perforées

NCR 380. 3 est un LC 2000 utilisé avec le système 315.

NCR 376. 101 est une PC 250 proposée avec le système 315.

EM. D2 est le sigle commercial sous lequel NCR vend séparément, en 1966, un petit lecteur de table capable de 100 cpm.

NCR 680. 201 (1965) est un LC 1200 fonctionnant colonne par colonne, encadré d'un hopper de 4000 cartes et de deux stackers de 4000 et 240 cartes. Le contrôleur est incorporé.

NCR 682 (1969) est le LC 300 du calculateur NCR 500. Il fonctionne avec un hopper de 1000 cartes et une tête de lecture photoélectrique, et il incorpore son contrôleur 581.3 qui inclut un tampon. Il accepte une carte de programme en plastique préperforée pour décrire les formats à lire. Prix \$ 5050, ou \$ 110 par mois.

NCR 684 (1973) est un ensemble LC 500 / PC 100 à 460 selon le nombre de colonnes concernées, avec un seul chemin de cartes puisqu'il n'existe qu'un hopper 1200 et deux stackers 1300 et rejet. Ce modèle 101 peut se voir amputé de son LC et devient un 301.

NCR 686 (1975) adopte la même conception, avec un seul chemin de données : hopper 1500, LC 800, PC 83 à 294, deux stackers 1800 et une case de rejets de 100 cartes. Le contrôleur est inclus. Ces chiffres correspondent au modèle 102. Il existe un modèle 111 dont le LC est réduit à 560 cpm et la perforatrice à 60/180 cpm.

Le 686.201 est un lecteur seul 750 cpm.

Les 686.302 et 311 ne comprennent que la partie perforatrice des 102 et 111, respectivement.

NCR 687.301 (1977) est une perforatrice de cartes 100 cpm, avec contrôleur 622.701 séparé. Elle comporte un hopper de 800 cartes et un stacker de même capacité.

NCR 6831 (1978) est un lecteur de table, avec capteurs optiques et convertisseur du code vers l'ASCII, comportant hopper et stacker de 1000 cartes. Le modèle 201 à 600 cpm concerne le 8580, le modèle 301 à 1000 cpm est fourni avec le 8590.

Imprimantes

Les premières expériences de NCR sur ce thème qui a sollicité tous les constructeurs sont décrites dans le document 224-243, et concernaient un codage par tube cathodique spécial et une impression sur papier magnétique. Elles n'ont pas donné lieu à production.

NCR 340.601 est l'imprimante à tambour, 56 caractères, du système 315, capable de 950 à 1000 lpm sur une largeur de 120 caractères. La vitesse réelle tombait à 407 lpm avec une interpage de 1". Cette machine utilisait un papier de 4 à 22" de large, 10 caractères par pouce en largeur, 6 lignes par pouce verticalement. La bande pilote à 6 canaux permettait un saut de papier à 14 ips. Pas de tableau d'édition. 6 copies.

Cette machine a été commercialisée à partir de 1966 sous le sigle EM. C2.

NCR 640.200 (1969) est une imprimante à tambour interchangeable, 64 ou 51 caractères, 132 (Mle 200) ou 160 (Mle 210) caractères par ligne, capable de 3000 lpm en numérique pur ou 1500 lpm en alpha. 10 caractères par pouce, 6 ou 8 lignes par pouce par sélection manuelle. Saut de papier à 30 ips pour les 5 premières lignes, puis 90 ips au delà soit 2,25 m/s.

Encombrement : 1473 mm largeur * 914 mm profondeur * 1346 mm hauteur pour la partie mécanique, plus une électronique de 1041 * 686 * 1067 mm. Ce matériel a été commercialisé immédiatement sous le sigle EM. C5.

NCR 640.102 (1970) est une variante allégée de cette machine pour le Century 100, ralentie à 900 lpm en numérique et 450 en alpha, largeur limitée à 132 caractères, saut réduit à 75 cm/s.

NCR 640.300 (1970) est la même machine avec un tambour de 128 caractères, permettant 1200 lpm en numérique ou 600 en alpha. Espacement 6 lignes par pouce.

NCR 745.2 (1970) est une IP 300 tamponnée, avec 132 caractères par ligne de 336 mm, 10 caractères par pouce latéralement, 6 ou 8 lignes par pouce verticalement. Bande pilote, plus possibilité d'ordonner des sauts de 0 à 28 lignes par programme. Alphabet limité à 46 caractères.

NCR 649 (1973) est encore un modèle à tambour, 132 colonnes, avec choix de trois vitesses 200, 300 ou 150/300 lpm. La mécanique ne comporte que 64 têtes qui se déplacent en bloc, de sorte qu'il faut deux tours de tambour par ligne. Cela exige un tampon d'une ligne, chargé à 9100 B/s en code

ASCII à 64 caractères.. Utilise du papier continu de 4 à 20,5" de large, jusqu'à 122 " par page, commandé par une bande pilote à 12 colonnes. La densité de 6 ou 8 lignes par pouce est une option.

NCR 646 (1974) est une imprimante à chaîne, avec choix de chaînes de 16 / 20 / 44 / 48 / 52 / 57 / 64 / 96 caractères permettant un maximum de 2500 lpm (en 16), ou 1200 lpm (en 48) sur 132 positions, avec choix de deux espacements 6 et 8 lignes par pouce. Le prix en France est 298 KF, ou 7390 F/mois sur 3 ans, avec en outre 1400 F/mois de maintenance.

NCR 647 (1974) est une simple accélération de la précédente, jusqu'à 2000 lpm avec la chaîne de 48 caractères. Le prix passe à 352 KF ou 8730 F/mois sur 3 ans, plus 2000 F/m de maintenance.

NCR 260 (1974) est une imprimante thermique, proposée pour fournir des copies des écrans NCR 796. Elle est capable de 30 cps, travaille avec une cassette à 7,5 ips qui rembobine en 60 secondes, et comprend un tampon de 256 caractères. Les options sont une deuxième cassette pour travail en alternat, et une ligne half ou full duplex, 110 / 150 / 300 bauds, avec ou sans parité, en code ASCII.

NCR 6420 (1978) est une imprimante parallèle allégée, 132 cal / ligne, code ASCII 64 caractères, proposée en trois versions 300 / 600 / 900 lpm.

Les quatre derniers modèles sont offerts avec les machines de la série 8000.

Lecture optique

NCR 420 (1962) est destiné à relire, au profit d'un ordinateur chargé de la synthèse, les bandes de papier imprimées par les caisses enregistreuses non connectées. Ces bandes contiennent 32 caractères par ligne, une programmation par tableau permet d'en extraire 20, lus à raison de 26 lignes par seconde.

L'alphabet comprend 10 chiffres et 6 symboles, reconnus par une grille assez simple qui divise l'image du caractère en 5 colonnes, elles-mêmes découpées verticalement en deux parties : ces dix zones sont noires ou blanches et l'identification se fait en les comparant à une table.

En 3 / 66, une seconde version traite 52 lignes par seconde. Un clavier à 16 touches permet de corriger manuellement les erreurs signalées, et le tout est lu à 10 µs par caractère par le système NCR 315. Le prix est 80 K\$ ou 1950 \$/mois.

NCR 402 (1963) est la trieuse de chèques 750 doct/min du NCR 315, capable de fonctionner en lecture magnétique MICR E13 B. Papiers 5,25 * 2,5" à 10 * 4,5", alimentation par friction, entraîne-ment par convoyeur. Il y aura ensuite une 406 en 1963.

NCR 407 (1964) est un modèle plus luxueux, 1200 doct/min, trieuse à 18 cases, papiers de 4 * 2,75" à 8,75 * 4,5", débit 3200 car/s en E13B qui fonctionne par comparaison de formes analogiques.

NCR 404 (1966) est une réétude par souci d'économie, 600 doct/min, 29900 \$ à l'achat ou 790 \$/mois. Trieuse à 11 cases.

NCR 670 (1972) est le matériel proposé avec les Century, 600 doct/min, débitant 1200 cps en E13B avec le choix réduit de 10 chiffres et 4 symboles. Prix \$ 45000.

NCR 671.101 (1972) est un modèle plus luxueux, 1200 doct/min en E13B ou CMC 7, et jusqu'à 3200 cps, au prix de \$ 117500.

Disques magnétiques

NCR 655 (1970) est un tourne-disque à 2 axes, pour dispacs 955.1 à 3 plateaux, 6 surfaces, 12 têtes de lecture. L'unité stocke 262 KB par cylindre et contient 32 cylindres divisés en 8 secteurs de 512 bytes, soit un total de 4,19 MB. Elle tourne à 1440 t/min et débite 108 KB/s.

Il en existe quatre modèles avec contrôleur intégré : 151 et 152 ont un temps d'accès de 131 ms, 101 et 102 de 44,7 ms. Le contrôleur 625.101 supporte 4 unités.

NCR 657 (1972) utilise des dispacs de 29,8 MB qui comportent 6 plateaux et 12 faces, soit 16 cylindres de 12 pistes, chacune 8 secteurs de 512 bytes avec parité. Une piste occupe 0,2 mm de large, soit une densité transversale de 125 tpi. Des informations incohérentes suggèrent que chaque face contiendrait 192 pistes organisées en 16 groupes de 12, une tête donnant accès simultanément aux 12 pistes d'une zone, dont deux serviraient au timing et au contrôle ; cette définition du cylindre n'est pas compatible avec les habitudes définies par IBM, et de toutes façons la capacité totale à laquelle elle conduit est bien inférieure à celle annoncée pour le dispac.

Proposée en deux modèles 101 à un axe et 102 à deux axes, la conversion étant possible sur site. Le contrôleur associé 625.201 supporte jusqu'à 8 axes. Accès moyen 72,5 ms, débit 315 KB/s. Prix contrôleur 40250 \$ à l'achat ou 875 \$/mois en location, prix disque 26450 / 575 \$ pour le Mle 101, 41400 / 900 \$ pour le 102. Livraison à partir de 9 / 71.

NCR 658 (1972) est un équivalent de l'IBM 3330, utilisant un pack 958.2 de 10 plateaux, 19 faces, contenant 404 + 7 cylindres en mode 100 MB (658.201) ou 808 + 15 cylindres en mode 200 MB (658.401). Rotation 3600 t/min, accès 10 (30) 55 ms, débit 806 KB/s.

Le contrôleur 625.301 est intégré pour 1, 2 ou 3 chaînes de 8 disques, avec un attachement pour ces extensions. Il est microprogrammé à partir d'une cassette qui sert aussi à mémoriser les logs ; il sait faire RPS, command retry et correction d'erreur jusqu'à 11 bits.

NCR 656 (1973) contient deux piles de 5 MB, une fixe et une amovible, soit 406 cylindres de 2 pistes divisées en 12 secteurs contenant chacun une adresse et 512 bytes. Rotation 2400 t/min, densité 2200 bpi, accès 10 (35) 70 ms, débit 312 KB/s. La cartouche amovible est 956.1.

NCR 6590 (1975) est un équivalent de l'IBM 3340 Winchester, comprenant deux axes pour packs 6591 de 36 ou 70 MB, soit 348 / 696 cylindres logiques de chacun 6 pistes physiques ; il y a 100416 B/cylindre, 8368 bytes par piste logique qui comprend deux pistes physiques. Rotation 2670 t/min, accès moyen 10,1 ms de rotation (latency) + 25 ms de positionnement (seek), débit 885 KB/s.

NCR 6540 (1979) est une armoire contenant quatre Winchester non amovibles, chacun 135 MB, 3600 t/min, latency 8,3 ms, seek 30 ms, débit 1,2 MB/s. On peut attacher deux unités sur un IOLA (Criterion).

NCR 6550.201 (1979) regroupe deux unités de 546 MB, 3600 t/min, même délai et débit que ci-dessus.

Dérouleurs de bandes magnétiques

NCR 332.204 (1964) est un dérouleur 556 bpi capable de 66 KHz. Il a été commercialisé séparément sous le sigle EM/F121.

NCR 333.101 (1964) est un dérouleur 556 bpi capable de 160 KHz, probablement acheté en OEM à Control Data.

NCR 334 (1965) est un modeste dérouleur capable de 12 à 33 KB/s, probablement OEM de Potter.

NCR 633 (1972) est la bande magnétique des Century, fonctionnant sous contrôleur 624 avec un adaptateur spécifique du modèle, dont liste ci-après :

111 est un 9 pistes 1600 bpi, 50 ips = 80 KB/s, rebobinage 150 ips.

117 est un 7 pistes NRZI 3 densités, même performance et mécanique.

119 est un 9 pistes NRZI 800 bpi, même mécanisme.

121 est un groupement de deux 111.

211 est un 9 pistes 1600 bpi, 90 ips = 144 KB/s, rebobinage à 240 ips.

311 est un 9 pistes 1600 bpi, 150 ips = 240 KB/s, rebobinage à 380 ips.

NCR 636 (1972) est la cassette de chargement du logiciel des NCR 605 et Century, associé à un contrôleur 636.301 qui peut servir deux cassettes. La cartouche contient deux pistes dont une seule active à chaque instant : 800 bpi PE, 7,5 ips = 750 B/s, la bande de 280 ft (85 m) contenant 240 blocs de 80 caractères ou 984 blocs de 256 caractères.

NCR 634 (1974) est un dérouleur polyvalent qui peut choisir, par bouton poussoir, vitesse et densité. Le contrôleur est incorporé dans un dérouleur maître qui peut gérer trois esclaves. Trois modèles :

117 maître, 107 esclave : 7 pistes NRZI, 3 densités, 25 ips.

119 / 109 : 9 pistes NRZI / PE, 800 / 1600 bpi, 25 ips.

219 / 209 : 9 pistes NRZI / PE, 800 / 1600 bpi, 50 ips.

NCR 635 (1974) est une extension plus robuste du précédent, pour les grandes vitesses, avec un 109 à 100 ips et un 209 à 200 ips. Le contrôleur 624.401 peut gérer 8 unités, et il en existe une version double mode qui peut aussi prendre en charge des 634 à 7 pistes.

NCR 6370 (1978) est un dérouleur à haute performance, 9 pistes 1600 / 6250 bpi, trois mécaniques équipées de chambres à vide, le 401 à 75 ips, le 601 à 125 ips et le 801 à 200 ips. On peut attacher 4 dérouleurs à un IOLA, spécialement adapté à chaque modèle.

Sortie sur film

L'archivage sur film de textes ou d'images produites par ordinateur, à partir de bandes magnétiques, est une vieille idée lorsqu'en 1972 NCR décide qu'elle ne peut plus l'ignorer. La société commercialise donc sous son nom un équipement produit par

Quantor (NCR 105) avant de décider, devant le succès, d'acheter cette société et de devenir producteur /vendeur de visionneuses et de tous équipements de cette catégorie. NCR 105 (1973) est déjà un équipement perfectionné, complètement automatique, fabriquant des microfiches à partir de bandes magnétiques.

NCR 643.101 (1977) est une reprise modernisée de cet équipement, utilisant un dérouleur 1600 bpi. Les fiches produites sont au format A6, 105 * 148 mm, avec 48 pages par fiche, et 64 lignes de 132 caractères par page. Voir documentation illustrée en boîte 96.

NCR 5330 (1981) est un système complet, comprenant microprocesseur avec 128 KB de mémoire, machine COM avec camera, développeuse et massicot, disque 10 MB, lecteur de bande magnétique, imprimante thermique de contrôle, et logiciel MSX.

NCR 5310 / 20 (1984) est une simplification du précédent, qui s'était peu vendu à cause de son prix. Le système comprend un lecteur de bande magnétique NCR 6045 fonctionnant en 1600 / 6350 bpi, un minicalculetur Decision V, et une imprimante de microfiches NCR 6047 en deux versions : chimique dans le 5310, thermique dans le 6320.

Cartes magnétiques

Le NCR 353 CRAM, mémoire de masse à cartes magnétiques, annoncé en 5 / 62 en même temps que le système NCR 315, est une réussite qui a suscité plusieurs imitateurs (RACE de RCA, IBM 2321) et qui est à l'origine du succès rapide de la 315. Voir à ce sujet la fiche de cette machine.

NCR ayant notablement investi dans cette machine essaiera d'en prolonger la commercialisation, ce qui explique la médiocrité des premiers disques de la firme, à une époque où IBM avait pleinement fait son choix (qui s'est imposé à tous).

La CRAM initiale utilisait des chargeurs de 384 cartes à 144 pistes de 1120 caractères, lus à 38000 cps par un bloc de 36 têtes mobiles qui imposait un temps d'accès moyen de 150 ms. 16 de ces machines, qui coûtaient \$ 1350 par mois, pouvaient être groupées sur un seul CPU.

La CRAM 5 destinée aux Century, Mle 653.101 de 1967, a un débit de 71250 cps. Le modèle suivant, annoncé en 1970, contient 2523 bytes par piste, avec une densité de 1750 bpi en modulation de phase comme les bandes. La carte pèse 5 grammes et permet un accès moyen en 110 ms, avec un changement de piste en 23 ms moyen. La capacité totale est 145 MB par unité, indéfiniment extensible par changement de bac, et on peut réunir jusqu'à 8 unités sur un contrôleur.

On trouvera des photographies des deux premiers modèles dans la documentation sur la 315, et des photos du dernier modèle dans le dossier Century.

Communications

NCR 321 (1966) est le processeur de communications du système 315, disposant d'un accès à la mémoire cad fonctionnant en contrôleur. Il dispose d'un scanner de 100 lignes organisé en un arbre de 10 branches de 10, fonctionnant en deux étages. L'interruption fonctionne quand le tampon a accumulé 17 caractères.

NCR 621.201 (1968) est le contrôleur de communications des Century, capable d'un maximum de 255 lignes et d'un débit global de 50000 bauds. C'est en fait un processeur Century 100 augmenté de trois opérations pour les conversions de code et le calcul d'un CRC.

NCR 693.600 (1972) est présenté comme un adaptateur de ligne synchrone qui prend place dans le précédent.. Il est capable de 600 à 50000 bauds pour supporter le protocole BSC en mode 2780, mais cette indication même fait penser qu'il ne s'agit pas d'un modem..

NCR 3690 (1977) est cette fois un calculateur autonome, acheté en OEM par NCR au fabricant Comten. Cette société produisait depuis des années un 3650 émulant les 270X d'IBM, puis un 3670 émulant le 370X. Ce calculateur supporte jusqu'à 32 interfaces de modem, dont un maximum de 8 ordinateurs IBM, et 512 liaisons full duplex asynchrones, avec un débit global de 15,4 MB/s. Le logiciel DSS est compatible, côté IBM, avec le réseau SNA.

NCR 3695 (1986) est une amélioration du précédent, car entre temps NCR a acheté Comten. Ce modèle diffère du précédent par l'emploi de disquettes 5,25" au lieu de 8", et par le nombre de lignes de la première armoire, porté de 64 à 96. Le prix varie de 700 KF à 2 MF.

NCR 5520 (1985) est un concentrateur multiplexeur construit par Comten de façon économique autour du microprocesseur NCR 32. Il accepte 32 lignes et 2 hôtes, et il est intégralement compatible avec IBM et SNA.

NCR 5660 (1986) est un calculateur de communications haut de gamme, construit en ECL avec pipeline 4 étages, cache de 64 KB et mémoire jusqu'à 16 MB. Il peut exécuter tous les logiciels commerciaux concernant la liaison avec IBM, soit ACF/NCP, CNS, MAF, COS2 ; il peut recevoir des adaptateurs pour toutes lignes PTT jusqu'à 2 MB/s.

Terminaux

NCR est vraiment un spécialiste des terminaux pour informatique distribuée, et a obtenu dans ce domaine des succès importants, comme par exemple le contrat Montgomery Ward de 1974 pour 14 noeuds de communication (NCR 721), 3000 écrans et 18000 terminaux de caisse NCR 280, à relier à une paire de 370/158. Mais ce n'est qu'un exemple, comme on peut s'en rendre compte en examinant les terminaux de divers grands magasins parisiens.

La variété des terminaux s'adapte à tous les besoins, caisse électronique, points de vente, guichets bancaires manuels ou automatiques, blindés ou non. De ce fait, on procède à un simple balayage chronologique.

NCR 42 (1958) est le modèle le plus ancien, avec multiples rangées de plus de 10 poussoirs pour les introductions de nombres, et deux imprimantes pour les tickets de transactions et les livrets de caisse d'épargne.. Il a été utilisé avant même de devenir le moyen normal d'exploitation distribuée sur les systèmes 315.

NCR 795 (1968) est le premier terminal à écran de NCR, en fait une adaptation du Sanders 620 aux besoins du système 315. Il est multiplexable jusqu'à 12 postes

et coûte \$ 5560 ou \$ 159 / mois. Voir description à la rubrique 504 de Sanders.

NCR 270 (1971) est un terminal bancaire, comportant en un seul bloc une imprimante, une visualisation numérique, un clavier 13 * 10 poussoirs, ou décimal, ou alpha, 10 touches d'action dont la signification est donnée à chaque instant par la projection d'un microfilm, et six touches annexes marquées feed open feed close, add mach, override, void, clear.

NCR 280 (1971) est un terminal de caisse comprenant un clavier décimal avec des fonctions, un crayon lecteur d'étiquettes colorées (système NCR, non suivi), une visualisation de messages par projection, une visualisation décimale, et une imprimante à carnets. Le plus gros succès concerne les magasins Montgomery Ward, mais on peut aussi citer 2500 terminaux pour les hypermarchés E. J. Korvette.

NCR 230 (1973) est une caisse électronique, non destinée à une liaison avec ordinateur, mais enregistreuse.

NCR 275 (1973) est un terminal point de vente programmable, avec lecteur de code couleur par fibre optique.

NCR 255 (1974) est une caisse enregistreuse connectée, comportant clavier d'additionneuse, large visualisation, et passage pour impression de carnet. Elle travaille avec un miniprocesseur NCR 726 séparé. On peut lui ajouter un lecteur de cartes magnétiques 2580 et un miniclavier décimal 2520 pour introduction du code confidentiel de la carte.

NCR 279 (1974) est un terminal bancaire intelligent, dont on peut rassembler dix exemplaires sur un concentrateur 751 qui accepte aussi les terminaux 270, 275 et 770 et peut soit stocker les messages sur cassette, soit les transférer. Ce système de guichet semi automatique guide le client par un film défilant, et peut accepter en sus un lecteur de cartes de crédit et un clavier pour code confidentiel.

NCR 770 (1974) est un guichet automatique pour extérieur, pouvant soit fonctionner en autonomie, soit être relié à un ordinateur.. Il comprend :

- un lecteur de carte magnétique, qui valide la suite des opérations.
- un clavier pour code confidentiel, caché au repos sous la porte blindée
- un film défilant pour donner les instructions au client.
- une porte blindée pour insérer les chèques, les enveloppes ou le

paiement.

- un tiroir de type tambour pour rendre la monnaie.

Le système, qui est programmable, numérote les enveloppes entrantes et inscrit dessus le nom lu sur la carte. Prix \$ 18000 à 33000 selon choix de périphériques.

NCR 721 (1975) est le contrôleur des terminaux POS utilisé dans le contrat Montgomery Ward. Il utilise le même processeur que la facturière NCR 399 et le contrôleur 725 pour grands magasins. Il deviendra contrôleur de noeud pour DNA, Distributed Network Architecture, le réseau maison utilisant le protocole NCRDLC, très proche du HDLC. Le logiciel de ce réseau, qui est

"unbundled", comprend un protocole de commutation de paquets et une interface dans les calculateurs hôtes.

NCR 2500 (1976) est un jeu de modules bancaires permettant de faire face à des demandes variées, gérés par un microprocesseur et 48 KB de mémoire. Le contrôleur peut prendre en charge huit stations composites où on peut rassembler tout ou partie de :

- clavier 16 touches, numériques plus fonctions
- clavier 44 touches, numériques + fonctions
- clavier 56 touches, alpha + fonctions
- visualisation numérique
- visualisation alphanumérique
- imprimante locale
- imprimante partageable entre trois stations
- imprimante de carnets
- lecteur de carte magnétique de crédit
- lecteur pour carte de crédit ou passbook
- machine de change.

Le composite peut fonctionner en local à partir de cassettes, ou comme terminal. Le logiciel modulaire "unbundled" permet toutes opérations de guichet. Prix \$ 7750 ou \$ 290 / mois.

NCR 250 (1977) est destiné à l' hôtellerie. Le modèle 8000 est capable de stocker trois menus, 500 items et 128 totaux de garçons. Un 8000 peut contrôler quatre 5000 avec lesquels il partage sa mémoire.

NCR 2100 (1978) est un terminal point de vente qui prend des formes variées selon l'application :

2116 vaut pour 4 à 9 rayons, et comprend deux stations d'impression, permettant deux modes de règlement, calcul de la monnaie à rendre et des remises.

2120 est semblable pour 17 rayons.

2125.1301 concerne 30 rayons, 9 regroupements, 6 vendeurs, 4 modes de règlement.

2125.1601 concerne 30 rayons, 9 regroupements, 2 caissières, appel de prix.

2125-restau concerne 90 prix programmés, 8 regroupements, 10 garçons, 3 modes de règlement, appel de prix, et trois stations d'impression qui inscrivent l' horaire.

NCR 2140 (1978) est un terminal point de vente modulaire contenant plusieurs microprocesseurs. Il fonctionne en autonomie, programmé par EAROM, ou avec un contrôleur 3251. La mémoire de travail pour les principaux compteurs est non volatile, de même que certaines fonctions programmables, qui peuvent cependant être modifiées par le clavier ou l'ordinateur. Le choix de modules est

exceptionnellement varié :

- une, deux ou trois imprimantes à 40 car/ligne ; celle du journal peut être déportée.
- clavier de machine à additionner
- écran intégré comprenant en haut les informations complètes, et en bas les chiffres au fur et à mesure de la frappe et les consignes à l'employé.

- écran client optionnel reprenant la partie haute du précédent.
- lecteur laser EAN 13
- en option, lecteur OCR A
- en option, cassette séparée
- en option, distributeur automatique de monnaie minimisant le nombre de pièces.
- en option, lecteur de cartes magnétiques de crédit et clavier pour code confidentiel.
- en option, horloge imprimant sur les tickets l'heure de la transaction.
- en option, insertion de données du réseau DNA.

NCR 7500 (1978) est un terminal universel construit autour d'un microprocesseur 8080 avec 40 KB de mémoire. Il comporte un écran 9" pour 512 caractères, un lecteur de disquette compatible IBM 3740, une imprimante de 50 à 125 lpm, avec des options depuis la cassette à \$ 5575 jusqu'à \$ 20000 pour des disques et des bandes. Les communications se font à 9600 bauds.

Le logiciel de base laisse 24 KB à l'utilisateur, avec un Basic ; un logiciel plus sommaire, uniquement data entry, ne lui laisse que 2 KB mais coûte moins de mémoire.

NCR 1295 (1979) est un tiroir caisse associé à un terminal pour le système de distribution NCR 8255 T, il comporte un écran principal avec clavier spécialisé, un écran client surélevé et orientable, une bande pour tickets, et une caisse. En option, un lecteur laser à trois faisceaux.

NCR 1770 (1980) est un guichet automatique pour intérieur de banque comportant un microprocesseur capable de 8 périphériques. Ceux-ci peuvent être un distributeur avec cassettes pour deux types de billets, 4000 en tout ; une imprimante de journal ; une imprimante de ticket ; une saisie sur disquette ou cassette ; et un logiciel à la demande pour tous services bancaires.

NCR 1780 est le même, en version blindée pour l'extérieur.

NCR 2140 (1980) est une caisse formant terminal POS, connectable en grappe sur un 2140 servant de maître qui peut, soit enregistrer sur cassette, soit transmettre à un central. Périphériques inclus : écran propre, écran répéteur, clavier, lecteur de carte magnétique, imprimante, et un ou deux tiroirs caisse ; en option, lecteur d'étiquettes et enregistreur de cassettes.

NCR 2770 (1981) est un automate de caisse avec 4 à 6 cassettes de billets, capable de délivrer la somme demandée à la suite d'une demande présentée sur un écran de guichet. Existe en version coffre-fort.

NCR 1830 (1984) est un automate de paiement libre 24 h / 24 pour les pompes à essence, comportant lecteur de cartes magnétiques, écran alphanumérique, clavier 10 chiffres + 10 fonctions, imprimante de reçu, et connexion vers l'ordinateur.

NCR 5070 (1984) est un automate bancaire interne pour jusqu'à 4 types de billets, écran à 8 touches latérales, clavier 15 touches, imprimante de ticket, lecteur de cartes magnétiques, et microprocesseur avec mémoire jusqu'à 1 MB. Cette vaste capacité permet de stocker des procédures raffinées et des protocoles variés comme SNA, BSC 3270, X25, ISO asynchrone, VIP 7700.

NCR 5080 est le même en version blindée pour l'extérieur.

NCR 5084 (1985) est un guichet automatique utilisant un microprocesseur 16 bits avec écran graphique, 8 touches de fonction, imprimante 40 colonnes à 100 cps, clavier numérique, cassette à indicateur de fraude pour approvisionnement par société de service dans 2 à 4 bacs contenant jusqu'à 3000 billets, option pour module vocal (16 messages enregistrés). Il s'agit d'un modèle nouveau formant la série LSB1 caractérisée par une très grande modularité et une programmation en Pascal.

L'imprimante est à jet d'encre.

NCR 2155 (1985) est un terminal pour magasins, pouvant servir de tête de grappe pour un maximum de sept 2154. Ce dernier contient 128 KB de mémoire, le maître comprend 192 à 256 KB et une ou deux disquettes de 650 KB. Tous ont une imprimante à 2 * 21 colonnes pour ticket et journal à 170 lpm, un clavier à 10 touches numériques et 39 fonctions, un écran orientable à 6 chiffres + 4 messages, un lecteur de code barre, un lecteur de carte magnétique.

Le microprocesseur 8085 est programmé en BASIC et supporte une imprimante externe matricielle sur 80 ou 132 caractères de large.

NCR 7052 (1990) est un terminal POS utilisant un microprocesseur 80286 à 10 MHz, avec 128 KB de ROM, 8KB de CMOS protégés par batterie, 640K / 1 MB / 1,64 MB de DRAM, et une option disque. La présentation est au choix en caisse enregistreuse ou en microordinateur, toujours connectée à un ordinateur central.

Il est bien clair que cette évolution ne s'est pas arrêtée en 1990, mais nous n'avons plus d'information : la confrontation des descriptions ci-dessus avec ce qu'on peut voir dans les supermarchés et banques montre seulement une recherche accrue d'ergonomie ; on peut supposer qu'en outre on porte de moins en moins d'attention à ce qui ne coûte que très peu, cad la mémoire et son logiciel ; il est à peu près certain, par exemple, que les terminaux plus récents contiennent matériel et logiciel pour cryptage des communications.

679 - Langages d'écriture de systèmes

La question de langages adaptés au temps réel s'est posée dès que des ordinateurs ont été capables d'exécuter des tâches significatives en liaison avec des activités physiques, mais il s'est d'abord agi de décrire des actions à très faible bande passante. Ces tentatives, si même elles ont effectivement défini des langages, n'ont eu aucun retentissement. On peut citer :

AED = Automated Engineering Design, Ross 1967, mentionné dans SIGPLAN 11/78 p 60.

B, défini aux Bell Labs en 1972, cité par CACM 12 / 76 p 658 et SIGPLAN 11 / 78 p 62 .

BLISS, Carnegie Mellon pour PDP 10, dans SIGPLAN Notices 10 / 71 p 42.

CHILI, défini par Chi Corporation en 1975 pour ses besoins propres, cité par CACM 12/76 p 659 et par SIGPLAN Notices 11 / 78 p 64. Dérivé de PL / I .

CLEOPATRA, de Schreiner, à l' Université d' Illinois, 1974, simple sujet de thèse. Cité dans SIGPLAN Notices 6/73 p 41.

GOGOL, dérivé d' Algol servant à écrire des applications temps réel sur PDP 1. Cité dans SIGPLAN Notice 10 / 71 p 21.

ISL, défini par B. F. Goodrich Company et mis en place sur ses machines IBM S/360 et PDP 11. Citation dans SIGPLAN Notices 7 / 77 p 85 .

LSD, dialecte de PL/I utilisé comme langage d'écriture de système, compilateur produit par la Brown University de Providence RI. Citations dans SIGPLAN 10/71 pp 10, 50 et 11/74 p 26.

Voir communication dans AFIPS Vol 43, 1974 NCC, référence 261 - 653.

PL/S, combinaison de PL/I, de la compile time facility et d'assembleur pour écrire des programmes temps réel. Voir SIGPLAN Notices 10/71 pp 10, 111.

POLYP est proposé en 1970 par Scientific Control System, qui combine à cet effet un langage de bas niveau de style PL/360 avec un macroprocesseur. Allusion dans SIGPLAN 9/76 p 18.

SPL, Space Programming Language, composé par System Development Corporation en 1970.

Autres allusions dans CACM 12/76 p 668, et SIGPLAN Notices 11/74 p 30 et 11/78 p 82.

Après la publication de l'article de Dijkstra sur THE système d'exploitation, un intérêt considérable s'est fait jour dans la communauté informatique pour la programmation en temps réel : des concepts nouveaux, comme la gestion de ressources par le moyen de sémaphores, ou la dépendance entre l'exécution de certains programmes et l'apparition d'événements asynchrones, prenaient soudain de l'importance et devaient être exprimées de façon plus pratique et plus universelle que par l'assembleur.

Dans un premier temps, cette préoccupation s'exprima par des articles ou des communications de congrès, prenant en général la forme de description de langages nouveaux, extensions de langages connus avec mise en forme syntaxique des nouveaux concepts :

Concurrent Pascal, par Brinch Hansen, publié dans CACM 10/74 pp 549/57, repris ensuite dans TIEEE, SE1, 6/75, p 199. C'est une extension de Pascal.

Simone, version anglaise de la même préoccupation, 1976 par Perrott de l'Université de Belfast, publié dans Computer Journal (UK), 5/80 p 142.

Modula, de Niklaus Wirth, 1977, publié dans SIGPLAN Notices, 5/79, pp 29 sq, puis repris dans Computer Journal (UK) 5/80 p 147 et SIGPLAN 6/80 p 39. Egalement inspiré par Pascal dont Wirth était l'auteur.

Modula 2, approfondissement du même thème par Wirth, mentionné pour la première fois par un article d'Electronics, 24/3/81 p 39, puis déclenchant une interminable série de discussions dans les SIGPLAN Notices : 8/82 p 43 - 9/82 p 28 - 10/83 p 25 - 6/84 p 310 - 10/84 p 32 - 11/84 pp 23, 33 - 12/84 p 41 - 5/85 p 31 - 6/85 pp 20, 56 - 8/85 p 71 - 11/85 pp 49, 69 - 12/85 pp 13, 18, 26 - 4/86 p 32 - 6/86 pp 28, 63.

Concurrent Euclid, par Lampson en 1977 à l'Université de Toronto, commenté seulement par SIGPLAN en 5/82 p 60.

Praxis, langage et compilateur créés chez BBN, et cités dans SIGPLAN 5/86 p 45.

Après ces débuts théoriques, et quelques exercices universitaires autour des thèmes précédents, deux événements se produisent :

a) sans rendre la chose publique pendant plusieurs années, les constructeurs se mettent à créer pour leurs besoins propres des langages ad hoc avec lesquels ils se mettent à écrire leurs principaux logiciels. Citons :

PLUS, chez Univac, 1977, évoqué publiquement pour la première fois par SIGPLAN Notices 1/80, pp 139 et 146, puis diffusé à la clientèle comme accessoire pour les mises à jour logicielles. Voir rubrique 583 chez Unisys et boîte 131. Le traducteur fonctionne sous OS 1100, OS3 et OS9.

CYBIL, chez Control Data, 1980, mentionné par SIGPLAN 5/85 pp 21 sq, et utilisé pour la rédaction du système et des compilateurs des Cyber. Voir rubrique 651.

BPL, sous-ensemble de PL/I, conçu dès 1967 mais utilisé comme langage de système pour le logiciel des machines japonaises dites de 5ème génération.

b) le Département de la Défense, premier usager du temps réel, et déjà à l'origine de plusieurs langages "temps réel" orientés essentiellement sur l'efficacité objet (Jovial, CS1), décide de renouveler l'opération Cobol dans des conditions bien plus difficiles et lance le concours Ironman (1978). Les contrats aboutissent à la définition, puis à l'adoption comme norme DOD puis ISO du langage ADA (rubrique 302).

680 - Langages de listes

Les langages de listes ont été inventés principalement pour rendre le problème indépendant de la mémoire disponible dans l'ordinateur. A cet effet ces langages sont caractérisés par trois dispositions :

a) chaque objet est décrit par plusieurs champs, au minimum un identificateur de type, une valeur et un chaînage. Le chaînage contient un pointeur vers le prochain objet de la liste.

b) l'allocation de mémoire est généralement dynamique, c'est-à-dire effectuée à partir d'une réserve de mémoire affectée au problème, à laquelle est demandée, à l'instant du besoin, l'affectation d'un groupe approprié d'unités de stockage. La mémoire disponible pour le problème est généralement insuffisante pour une méthode d'allocation aussi dispendieuse, de sorte qu'une opération de "garbage collection" (ramassage des poubelles) est nécessaire quand la mémoire disponible est épuisée. Deux solutions sont possibles :

- la mémoire disponible est un tas (heap), c'est à dire une collection non structurée de positions de mémoire. Quand le tas est vide, le problème est suspendu, et une routine spécialisée recherche les positions de mémoire non actuellement incorporées dans une liste, avec lesquelles on reconstitue un nouveau tas.

- la mémoire disponible est une liste, dans laquelle on puise pour chaque création d'un objet nouveau. En contrepartie, tout objet qui ne sert plus est restitué à la liste des disponibles.

Dans les deux cas, il peut arriver que la mémoire soit insuffisante, ce qu'il est rarement possible de prévoir en commençant. La seule solution est de poser le problème à un ordinateur mieux doté en mémoire.

c) les listes peuvent être linéaires, selon la simple description ci-dessus, et dans ce cas le dernier élément comporte un pointeur zéro. Mais elles peuvent aussi être arborescentes, grâce à l'invention d'un élément dont la valeur est le pointeur d'une liste ; dans ces conditions, le dernier élément d'une branche doit renvoyer au point de branchement pour permettre une exploration de tout l'arbre : ce sont les "knotted lists", ou anneaux (CACM 3 / 62 p 161 ou 9 / 63 p 575).

Les langages de liste ont en commun cette ignorance initiale du nombre d'objets qu'ils vont manipuler, mais ils diffèrent entre eux par la nature de ces objets. Ils sont particulièrement simples si tous les objets entrent dans un même moule (un objet = n unités de mémoire, n fixé à l'avance), mais c'est rare. On a généralement besoin de manipuler simultanément plusieurs types d'objets de tailles diverses, et souvent même les objets de même type sont de taille variable (exemple : une chaîne de caractères). En outre, les langages et les traducteurs sont très différents si les diverses listes sont disjointes, ou si au contraire un objet peut appartenir à plusieurs listes (plexes).

A cause de cette diversité, il existe peu ou pas d'ordinateur conçu pour travailler sur des listes, et toutes les tentatives d'en réaliser un se sont heurtées à une souplesse insuffisante par rapport aux besoins. Il en résulte que tous les langages de listes sont associés à des traducteurs, fréquemment des interpréteurs. Nous nous bornerons à dresser un catalogue peu commenté.

BALM (1970) : composé à l' Université de New York, ce langage qui voudrait mettre les listes à la portée de tous les étudiants ajoute à LISP 1.5, le plus connu des traducteurs de LISP, les types vecteur, chaîne et entry. Le compilateur est écrit partiellement en Fortran, partiellement en LISP. Il ne semble pas que la notoriété de ce langage ait dépassé le cadre de l' Université.

CLP (1964) est le Cornell List Processor, et donc un contemporain du travail de Mc Carthy, il n'a pas eu le même succès. Références dans CACM 4 / 65 p 215 - 10 / 66 pp 727, 730, 740 .

COMIT (Yngve 1960 au MIT sur IBM 7090) est essentiellement un langage de manipulation de symboles, mais son architecture est celle d'un langage de liste, avec une liste des disponibles et plusieurs listes de travail dont le contenu ne cesse d'évoluer. Voir rubrique 406 du MIT.

Nombreuses évocations dans CACM 1/62 pp 19, 44 - 3/63 p 83 - 4 / 64 pp 232, 234/5, 237, 239 - 12 / 76 p 659 et dans SIGPLAN Notices 11 / 74 p 22 - 11 / 78 p 65 .

CORAL (1965) du Lincoln Laboratory est un langage de liste conçu spécialement pour manipuler des graphiques. Il fonctionne sur TX2 ce qui le condamne à un usage purement local. Voir 22ème conférence de l'ACM p 357, et SIGPLAN 9 / 72 p 5 .

DYSTAL (1965) est en réalité une collection de 90 routines Fortran, qui permet de se servir de compilateurs existants. Ces listes sont disposées de façon séquentielle en mémoire, ce qui facilite les recherches mais supprime une particularité essentielle des

langages de liste, ou oblige à une restructuration permanente si les listes doivent croître au delà de la définition initiale. Douteux.

DYSTAL 2 (1977) est une reprise du concept précédent par l'Université Brown de Providence, pour l'adapter au nouveau compilateur Fortran 77. Voir SIGPLAN Notices 1 / 79 p 77.

FLPL est un ensemble de routines ajoutées au Fortran pour lui permettre de manipuler des listes. Ce système a été rendu public par l'article:

Gelernter (H.), Hansen (J. R.), Gerberich (C. L.) - A Fortran compiled list-processing language,
in JACM 4 / 60, pp 87 / 101.

GLYPNIR (1969) est un langage de liste parallèle particulièrement étudié pour le processeur Illiac IV et nous disposons en boîte 139 d'un manuel qui doit permettre de comprendre ce que le parallélisme apporte dans ce domaine.

IPL V (Newell, Shaw et Simon 1960 à la Rand Corporation, sur IBM 709 / 709X) : tout objet est un mot de 36 bits, qui peut soit contenir une valeur de 15 bits, soit pointer sur une valeur de un mot. Voir rubrique 490 de la Rand Corporation. Outre cette implantation initiale, IPL V a été installé sur plusieurs autres machines, dont l'IBM 1620 au SRI : voir 267-D1.2.

Les autres IPL, créés par les mêmes chercheurs pour les besoins de leurs travaux, sont plus liés aux problèmes locaux (calculateur Johnniac) et n'ont pas la même notoriété. Ils ne nous sont connus qu'à travers les communications des auteurs aux WJCC 1957 et 1958 sur leur travail, le General Problem Solver.

IPLT (1960) est un langage de listes, inspiré par IPL V, mis en place par Philco sur son système 2000 / 211, et qui ne semble pas avoir essaimé. Allusion dans CACM 9 / 62 p 479.

L6 (Bell Laboratories, 1966), langage très souple et très proche de l'ordinateur, permettant de bâtir des listes variées et des plexes. Description dans CACM 8 / 66 pp 616 / 25, autres références dans CACM 12 / 76 p 663, SIGPLAN Notices 9 / 72 p 8 et 11 / 78 p 72.

LISP (McCarthy au MIT, 1960). Ce langage présente la particularité que sa grammaire peut être rédigée en LISP, ce qui le rend autojustificatif. A cause de cela il a obtenu un succès sans comparaison avec tous les autres, et durable. Il a même existé des machines LISP, qui d'ailleurs n'ont pas réussi à rentabiliser l'entreprise de leurs auteurs. Voir rubriques 367 LISP et 406 MIT.

LPL est un langage inspiré par LISP mais plus proche de Fortran, réalisé en 1970 par IBM ; le travail a été repris un peu plus tard par la Virginia State University qui a réalisé une extension de PL / I manipulant les listes, décrite dans la référence 261 - 659.

Allusions ultérieures dans CACM 12 / 76 pp 655, 663 et dans SIGPLAN Notices 11 / 74 p 26 .

NUCLEOL est un langage de liste réalisé à l'Université d' Illinois en 1969 sous la forme d'une pseudo-machine dont les manipulations de listes sont les instructions. Evoqué dans SIGPLAN 11 / 74 p 28.

SLIP = Symetric List Processing, (Weizenbaum 1963) . Ce langage est réalisé comme une collection de routines Fortran, et a fait l'objet de nombreux commentaires. Voir les microfilms :

CACM 9 / 63 pp 524/44, 575 - 4 / 64 pp 233/4, 236, 239 - 5 / 65 p 263 - 10 / 66 p 711 - 7/69 p 370 et TIRE, EC 16, 8 / 64, p 395

TREET (1965) est le langage de listes créé par la Mitre Corporation sur son calculateur Stretch, et rendu public lors d'un symposium sur les manipulations algébriques et symboliques de mars 1971 (non disponible).

Il a été évoqué dans CACM 12 / 76 p 669 et SIGPLAN Notices 11 / 69 p 21, 9 / 72 p 12, et 11 / 78 p 83.

681 - Digitek Corporation

Cette entreprise s'est fondée pour appliquer les plus récentes techniques de compilation aux langages les plus utilisés par l'industrie, et d'abord à Fortran.

Le F4D est un compilateur qui englobe toutes les particularités du Fortran IV d' IBM et de celui de l'ASA, avec quelques améliorations de langage, diverses commodités de débogage en partie automatique et en partie programmé, et qui délivre un code objet plus efficace que les compilateurs qu'il remplace. Ce compilateur représente 10000 instructions.

Il est proposé en deux versions :

F4D. JM remplace IBFTC sous IBJOB

F4D. SB s'intègre directement sous IBSYS

Exemple de mesure effectuée sur la 7094 de Hugues, pour un programme IBFTC qui demande

1588 secondes de compilation et 386 d'exécution : la version JM compile ce programme en

1397 secondes et l'exécute en 332 secondes, soit 0,876 * IBM ; la version SB compile en

555 secondes et s'exécute en 316 secondes, soit 0,441 * IBM. La vitesse dépend évidemment

de la machine, passant de 500 statements par minute sur 7040 à 2500 / min en 7094.

Digitek loue le programme à l'année, et en assure la maintenance complète.

Forte de ce succès, Digitek essaiera de réaliser un compilateur PL / I, et abandonnera après avoir dépensé 100 M\$; la société ne s'en relèvera pas, semble-t'il .

682 - Le langage FORTH

Ce langage est apparu en 1970, avant que les microcalculateurs prennent de l'importance, son auteur C. H. Moore se proposant cependant de définir un langage convenable pour ces machines, limitées à la fois par la faible capacité de mémoire et par l'impécuniosité des usagers.

FORTH est un langage interprétatif, disposant de 40 primitives dont la rédaction est possible dans 6 KB, tout le reste étant construit à partir de ces briques.

La plus notable manifestation de ce concept est le calculateur TRS 80 de Tandy, où il se manifeste sous la forme d'une disquette de 16 KB contenant à la fois l'interpréteur, et le système d'exploitation écrit en FORTH. Cette remarquable version offre la mémoire virtuelle, l'arithmétique double-précision, une édition en ligne, des manipulations de chaînes dans le style de Basic, et des drivers pour disque, bande et imprimante. Cette incarnation de FORTH est produite par Miller Microcomputer Service, une éphémère entreprise de services.

FORTH n'a jamais débouché sur une véritable clientèle, malgré plusieurs tentatives de relance dues à ses évidentes qualités.

On le voit aux citations dans SIGPLAN Notices : 10 / 78 p 33, 3 / 82 p 20 , 4 / 85 p 24 .

683 - Lahey Computer Systems

Dans les années 90, la mise au point de compilateurs et d'ateliers logiciel est devenue un travail accessible à des sociétés de service mineures, à la limite une personne avec un miniordinateur performant. La société Lahey s'est signalée en réalisant des compilateurs Fortran 77 pour PC, compatibles Windows et OS/2, accompagnés d'un atelier logiciel comprenant éditeur, débogueur, graphique, bibliothèque.

Le compilateur LF 90 reprend ces services autour d'un compilateur Fortran 90, fonctionnant sur PC 386 + 387, 486 ou Pentium avec un DOS de version postérieure à 3.3. L'exploitation exige 8 MB de RAM et 12 MB de disque, et le prix de vente 1994 est \$ 895 .

Les services nouveaux comprennent :

- optimisation a priori par déroulement de boucles et redistribution des instructions internes.
- acceptation d'identificateurs jusqu'à 32 caractères, sorties à 132 caractères par ligne.
- et tous les concepts de F 90, expressions de tableaux, allocation dynamique, packages, listes et arbres.

Le compilateur LF 90 a démontré une performance objet de 18,08 MFlops sur un problème scientifique exécuté sur Pentium 90 MHz.

684 - Description de matériels

L'idée d'utiliser l'ordinateur pour prévoir le comportement d'autres ordinateurs est venue très tôt, avec des objectifs variables d'une réalisation à l'autre, dont on peut indiquer quelques interprétations :

- a) objectif minimal : décrire une architecture existante d'une façon non ambiguë, de telle manière que cette description ait la même signification pour tous les lecteurs.

b) guide qualitatif de sélection : une fois la description formelle possible avec un outil globalement accepté, utiliser cette description pour une modélisation qui permettrait de prédire le comportement de diverses machines face à un même problème, dans le but de choisir celle qui serait la plus apte, économiquement parlant, à traiter le problème.

c) simulation quantitative : un constructeur voudrait évaluer avec précision le comportement de tout ou partie de sa future machine face à un problème donné pour valider sa conception ou l'améliorer. Ce type de simulation est d'un très vif intérêt pratique dans la mesure où la simulation suffisamment fine pour que ses résultats soient incontestables ne coûte pas plus cher qu'une maquette ; or le prix de ces dernières diminue rapidement avec le progrès technologique.

La distinction entre les simulations de registres (utilisant une logique bien connue et de performances clairement chiffrées) et les simulations de circuits (toujours partielles, et travaillant au niveau de composants élémentaires, en modes statique et transitoire) intervient dès que la performance des ordinateurs permet d'aborder ce troisième degré.

d) synthèse : on peut imaginer une situation, presque réalisée en fin de notre période 1945-2000, où le concepteur d'une machine nouvelle se borne à la décrire abstraitement par des équations logiques et par le choix d'une technologie établie, le logiciel se chargeant de tout : découpage en sous-ensemble, définition des nouveaux composants à créer, optimisation du dessin, préparation des masques, définition des tests des puces fabriquées, optimisation des cartes multicouches sur lesquels se montent les circuits, montage et câblage.

En réalité le nombre des possibilités est trop grand, et l'évolution technologique encore trop dynamique pour qu'une telle méthode soit possible pour un produit innovant. Par contre, le schéma ci-dessus s'applique à peu près pour produire rapidement et massivement des matériels utilisant des techniques normalisées .

Le niveau b de la description ci-dessus est intervenu avant que les méthodes du niveau a soient universellement acceptées, les promoteurs se bornant à proclamer les mérites de leurs méthodes de description de matériel qu'ils se gardent bien de rendre publiques. Les sélections sont payantes et le client prend ses risques.

Exemples : SCERT, de Comress
CASE, de Software Products

Les constructeurs ont souvent abordé le niveau c ci-dessus, pour leurs besoins propres et sans chercher à promouvoir leur méthode, en gardant sur les résultats un regard très critique afin de n'être pas dupe de l'enthousiasme des inventeurs. De tels produits peuvent évidemment faire gagner du temps.

Exemples de ces débuts :

LOCS chez IBM au laboratoire de Yorktown Heights permet description et simulation des ensembles fonctionnels décrits. Communication à CIEEE 1965, part 3, pp 28 / 66.

LOGAL permet à Univac de décrire un matériel au moyen de "briques" conceptuelles, puis LADS transforme cette description fonctionnelle en description logique à partir d'un catalogue de composants. Article de vulgarisation dans Computer IEEE, 12 / 74 p 47 et 6 / 77 p 18.

La formalisation des descriptions, niveau a de notre énoncé, a fait l'objet d'une première démonstration dans l'article :

FALFOFF (A. D.), IVERSON (K. E.), SUSSENGUTH (E. H.) - a formal description of System 360, in IBM System Journal Vol 3 N° 3, 1956, pp 198/261 .

qui utilise le langage APL comme support. Ce travail figure dans notre documentation, boîte 60.

La définition d'un langage plus pratique a été entreprise par Gordon Bell lors de son passage à Carnegie Mellon, et il a utilisé ce système assez régulièrement quand il est entré chez DEC.

Nous nous référons à l'article 254 - 351/74, intitulé :

C. Gordon BELL et A. NEWELL - The PMS and ISP descriptive systems for computer structures, in AFIPS Vol 36, Proceedings of the 1970 SJCC, Atlantic City, 5-7/5/70 pp 351 / 74 .

La description de type PMS (Processor - Memory - Switch level) définit des blocs fonctionnels comme mémoire, Control ou ALU et les relie par des liens également fonctionnels baptisés Link plutôt que bus, ce dernier mot ayant une connotation technique trop précise. L'article revendique 22 descriptions PMS introduites dans le livre publié en 1970 par les auteurs chez Mc Graw Hill, et l'une de celles-ci peut être trouvée dans l'appendice 2 du livre Computer Engineering, qui constitue notre référence 200.

La description de type ISP (Instruction Set Processor) est également fonctionnelle plutôt que technique, et correspond à un langage de registres. L'article de Bell et Newell indique que 14 de ces descriptions figurent dans leur livre, et en présente deux (PDP 8 et CDC 6600) ; on retrouve la description du PDP 8 dans la référence 200 - 519/35, appendice 1.

Il y a eu de nombreux autres essais depuis, par exemple AHPL à l' Université d' Arizona, DDL à l' Université du Wisconsin, Flowware / IDMAP à l' Université du Missouri, FST au Case Institute of Technology, RTL (Schorr 1964, publié dans TIEEE, EC13, 12 / 64 et TIEEE, C24, 2/75 p 137).

Vers 1985, à l'occasion d'un important programme d'étude de composants avancés à usage militaire suscité par la DARPA, le programme VHSIC , un langage de description est mis au point pour faciliter l'usage de ces circuits qui doivent constituer les briques des futurs matériels. Ce VHSIC Hardware Description Language s'avèrera suffisamment pratique pour que l' IEEE décide d'en normaliser une version : ce sera la norme 1076 publiée en 1988, après quoi il n'y a plus qu'un seul langage de description de matériel. Voir manuel en boîte 149.

VHDL devient alors un outil essentiel pour les simulations de matériels, et de nombreuses sociétés, certaines éphémères, créent des environnements logiciels pour conception de matériels, incluant un compilateur VHDL : Cadence, CLSI, Intermetrics, Mentor, Synopsis, Teradyne, Valid, Vantage, Zycad peuvent être cités mais cette liste n'est pas exhaustive et surtout elle est inutile, dans la mesure où elle n'apporte aucune connaissance sur les services qu'on peut en attendre.

685 - Le système d'exploitation UNIX

Ce sujet est traité ici de façon légère, et même insuffisante : la raison en est qu'il est très largement étranger à l'auteur, lequel n'en connaît que les bribes qu'il a lues. Au départ, Unix est un système d'exploitation supportant un mode conversationnel multipostes, rédigé par un chercheur des Bell Laboratories pour exploiter commodément son ordinateur DEC PDP 11/20, puis un PDP 11/45. Ce système supporte une structure de fichiers arborescente, guère protégée, et comporte un interpréteur de commande baptisé Shell ; il est rédigé dans un langage baptisé C.

Le succès d'Unix a été immédiat dans les sphères universitaires, où sa diffusion était gratuite et accompagnait en général l'installation de nouveaux PDP 11 : son caractère convivial répondait exactement aux goûts de cette clientèle. Il portait peu d'ombrage aux systèmes d'exploitation des constructeurs d'une part parce que son domaine initial d'application concernait des minis souvent médiocrement équipés sur ce plan, d'autre part parce que les clients des grosses machines étaient très généralement hostiles à l'esprit qui avait présidé à sa création et plus généralement aux méthodes de travail universitaires. Fortement sollicitée par plusieurs constructeurs de petites machines, l'ATT décida de vendre le logiciel pour \$ 20000, sans support : 60 compagnies acquièrent ainsi un excellent système d'exploitation qui leur aurait coûté bien plus cher à créer eux-mêmes, et qui s'est appliqué à 360 machines en quelques années. Le support logiciel s'est improvisé tant bien que mal entre groupes d'utilisateurs.

Puis, en juin 77, Peter Weiner crée Interactive Systems Corporation, une société qui prend officiellement la licence d'Unix à l'ATT et qui assure, à partir de là, un support plus formel pour les demandeurs.

Nous disposons d'un manuel Unix écrit en 1983 par Kernighan, ingénieur des Bell Labs, et logé dans la boîte d'archives 147. Il est donc antérieur aux conflits décrits plus loin.

Il y a donc désormais deux approches d'Unix :

- d'une part ISC, en liaison étroite avec l'Université de Berkeley, crée progressivement un environnement de programmation autour d'Unix, introduisant d'autre part des modifications structurelles qui définiront progressivement un Unix version 4, qui se stabilisera avec la version 4.2. Des produits complètement nouveaux deviennent disponibles, en marge d'Unix, comme la base de données relationnelle INGRES à accès graphique (licence Berkeley) et l'éditeur interactif INED. Les relations d'ISC avec ATT donnent accès à d'autres productions des Bell Labs, par exemple PWB, un logiciel interactif d'écriture de programmes.

- d'autre part les acheteurs initiaux, qui ne peuvent nommer Unix leurs produits puisqu'ils n'ont pas la licence, mais qui disposent du programme source, choisissent fréquemment de construire des "Unix like" qu'ils peuvent développer à leur gré, mais qui divergent forcément assez vite, faute de norme : Xenix de Microsoft, Idriss de Whitesmith Ltd, AIX d'IBM, HPUNIX de Hewlett Packard, etc.

- d'autres contributions naissent spontanément, notamment la bibliothèque X. WINDOW mise en service par le MIT en 1980, offrant 150 primitives graphiques de bas niveau sous Unix, rédigées dans un code source très portable. On y trouve la formation de

fenêtres (création, destruction, défilement bitmap), le paramétrage (setup), et une base graphique : lignes, arcs, polygones, déplacement de blocs, remplissage de surfaces, affichage de caractères.

Commercialisé en 1988 en version 2, ce package en est à la version 5 en 1991, avec une bibliothèque XLib portée à 250 routines, et une couche Toolkit pour construire des objets graphiques.

A l'occasion de la fin du monopole ATT, en 1983, la situation est la suivante :

- ISC et l'Université de Berkeley détiennent les droits de l'Unix 3 et ceux de leur création l'Unix 4.

- l'ATT a trouvé chez Bell les éléments d'un Unix 5 qui sera progressivement amené à maturité, et que l'ATT vendra finalement à un consortium.

- une nouvelle équipe s'efforce depuis 1980 de définir une version 7 indépendante des précédentes. Après des années de lutte elle échouera et se ralliera à l'Unix V stabilisé.

- les divers "Unix like" n'ont aucun droit sur le sigle Unix mais se gardent bien de laisser oublier le lien originel, rappelant à chaque occasion leur attachement formel soit à Unix 4.2, soit à Unix 5 plus couramment nommé Unix SVR3 ou 4 pour System 5 Release 3 ou 4. Leur importance formelle résulte exclusivement de leur succès commercial, notable pour AIX et HP-UX par exemple.

La guerre des consortium aurait pu conduire à une fragmentation d'Unix en un grand nombre de versions incompatibles, chacune avec un propriétaire jaloux de ses particularismes, comme c'était déjà le cas des systèmes d'exploitation des constructeurs (MVS chez IBM, OS 1100 chez Univac, MCP chez Burroughs, VMS chez DEC, Windows pour les PC, MacOS chez Apple, etc...), si la presse n'était intervenue.

La presse informatique utilise des journalistes jeunes, passés par l'Université, et généralement hostiles aux monopoles des constructeurs qui sont clairement soutenus par les gros clients. S'appuyant sur des concepts d'origine universitaire, comme les réseaux et le mode client/serveur, cette presse devint le chantre d'une informatique ouverte dont un Unix abstrait, idéalisé, serait le symbole et permettrait de fédérer tous les utilisateurs du monde à travers des réseaux de communication. Cette presse n'hésitait pas à annoncer la mort prochaine du "mainframe" parce qu'elle la souhaitait, et à interpréter les chiffres et les faits pour affirmer que ce bouleversement était en cours (downsizing des informatiques d'entreprises).

L'extraordinaire succès de l'informatique individuelle à partir de 1985, développant l'individualisme des acteurs et transférant le pouvoir informatique des constructeurs classiques, effectivement mal partis, à la société Microsoft à travers son Windows, eut un effet inverse de celui que cette presse espérait : l'immense clientèle des PC n'avait pas besoin d'Unix et celui-ci ne réussissait que dans les collectivités, universités déjà acquises à son idée, entreprises souvent hostiles et qu'il fallait convaincre de changer. C'est en réalité le développement d'un outil nouveau, la station de travail, puissant ordinateur scientifique individuel unissant les performances mathématiques à de gros moyens de visualisation, qui soutint le second souffle du développement d'Unix avec de nouveaux constructeurs tels que Sun et Silicon Graphics, obligeant de fait les anciens constructeurs survivants à créer une filière Unix à côté de leurs produits classiques.

Dans les années 90, après d'incessantes luttes d'influence ponctuées d'alliances inattendues et de trahisons, il semble ne plus exister que deux Unix de consortiums et quatre ou cinq Unix propriétaires, dont les produits ont des structures internes différentes, mais dont l'interface avec les applications est défini de façon unique et rigide par la norme POSIX 1003, indépendante puisque définie par l'IEEE :

- un premier consortium défend l'Unix SVR4 et bien que l'ATT ne soit plus qu'un des membres du consortium, c'est à cette version que se rattache sa filiale GIS ex NCR.

- un second consortium dit OSF / 1 s'est édifié vers 1991 autour d'un noyau Mach conçu au Carnegie Mellon Institute et reçoit le soutien de MIPS (cad probablement celui de Berkeley, et celui de Silicon Graphics qui a acheté MIPS), de Hewlett Packard et de DEC.

- IBM s'est choisi de longue date un Unix propre baptisé AIX, qui a rallié Motorola lors du passage de cette société au PowerPC. Cet AIX accepte volontiers d'évoluer formellement vers les normes Posix, sous réserve qu'on ne lui demande pas de modifier sa structure interne. C'est le système d'exploitation des stations de travail RS / 6000 et il peut s'appliquer sur demande aux mainframes de la compagnie, comme une application sous MVS, si un client le désire.

- Unisys qui réunit Univac et Burroughs, en préservant leurs habitudes logicielles OS 1100 et MCP, peut proposer un SX 1100 qui enveloppe l'OS, et qui adhère aux normes POSIX.

- Hewlett Packard a de longue date proposé à ses clients un pseudoUnix baptisé HP-UX comme une alternative au système 3000 propriétaire. Cet HP-UX ressemble beaucoup, à partir de sa version 10, à l'Unix de l'OSF / 1 et respecte l'essentiel des normes Posix.

- l'Unix de Sun s'appelle Solaris et dérive de Unix SVR4. Quatre versions de Sun OS ont existé dans la période initiale, puis le nom est devenu Solaris avec les Sparcs. La version 1.1 était monoprocesseur, il y a eu ensuite une version 2.0 livrée fin 92 avec les premières stations multiprocesseurs, puis une version 2.1 capable des Supersparcs et sortie en fin 93. Toutes ces versions respectent à peu près les normes Posix.

Un bilan des systèmes UNIX effectué au début de 1995 montre que les positions ont évolué en un an, mais la comparaison des études n'est pas possible parce que l'objet de l'enquête est un peu différent : il s'agit ici de système exploités sous Unix, sans s'occuper de la conformité de cet Unix aux normes. On obtient les chiffres suivants :

- 16,4 % pour Hewlett Packard, en train de pousser son MPE vers Unix avec MPE / IX.

- 16,3 % pour Sun, dont le Solaris 2.3 est un des Unix les moins controversés.

- 12,7% pour IBM, ce qui doit englober quelques systèmes MVS, influant lourdement sur la proportion.

- 6,1 % pour ATT GIS (NCR)

- 5,5 % pour Silicon Graphic, dont l'ascension ne fait que commencer

- 4% pour DEC, dont il faut au contraire souligner la chute

- 2,7% pour Cray Research

- 2,1% pour Compaq, dont à la vérité ce n'est pas l'objectif - et....

- 34,2% pour le reste, Data General, NEC, SNI, ICL, Fujitsu, Sequent, Intergraph, tous à moins de 2% .

Ces chiffres représentent une croissance de 26,5% et un prix de 26,9 B\$ pour les machines concernées, à comparer avec le prix des stations de 1 / 94, qui montre bien qu'on ne parle pas de la même chose. Ce total se décompose en :

+ 20,5 % pour les seules stations monoprocesseurs, soit 12,7 B\$, comparable au chiffre de 1 / 94.

Les nombres, provenant d'une autre statistique, seraient 281877 Sun, 154222 HP, 100917 IBM, 83360 DEC, 159009 autres. IBM progresse, à l'évidence, mais nous verrons plus loin que

son chiffre est douteux, comprenant probablement les multiprocesseurs.

+ 29,1 % pour les petits serveurs, soit 9 B\$

+ 27,7 % pour les moyens serveurs, soit 4 B\$

+ 2,7% pour les gros serveurs, en vérité IBM, Cray, et certains japonais, soit 1 B\$.

Ces chiffres confirment deux tendances déjà signalées : la montée en puissance du mode transactionnel sur les petits et moyens serveurs, la solidité de l'attachement aux mainframes pour les gros.

Il peut être intéressant de confronter les chiffres français avec les chiffres mondiaux : nous disposons à cet effet des ventes du premier semestre 1994 pour la France, 14707 stations. Ce chiffre faible souligne que la France reste, plus que beaucoup d'autres pays, encore fortement attachée au système des mainframes, cohérent avec une organisation très centralisée. Les pourcentages, 40% Sun, 23% HP, DEC 17%, IBM 11%, Silicon Graphic 8%, eux aussi décalés par rapport au reste du monde, soulignent qu'en France on achète sur réputation plus que selon le prix, et rappellent que les administrations n'ont que depuis peu été autorisées à penser à IBM.

686 - Logique magnétique

Ce thème technologique a eu un grand succès dans les premiers temps de l'informatique, quand on a pu observer la fiabilité désagréablement insuffisante des machines à tubes ; il a malheureusement très vite montré son point faible en ne parvenant pas à dépasser de façon fiable une fréquence de travail de quelques centaines de KHz, alors que les premières grandes machines à tubes atteignaient toutes le MHz.

Dans un deuxième temps, l'ordinateur magnétique a essentiellement intéressé la recherche spatiale, car les particules d'origine solaire qui balayent la haute atmosphère apparaissaient dangereuses pour l'électronique à base de transistors. Sa lenteur restait un sérieux inconvénient, qui l'a fait abandonner dès qu'on a trouvé le moyen de "durcir" les circuits intégrés à finalité spatiale.

Aussi, malgré quelques réussites techniques sans suite, le seul succès durable des composants magnétiques a été constaté dans le domaine des mémoires, où les tores ont pris la relève des solutions électrostatiques dès l'invention de Forrester, pour rester technique préférentielle pendant 20 ans.

La logique magnétique a donc été essentiellement un sujet de recherche, sur lequel nous n'avons pas de documentation sérieuse. On évoque seulement ci-dessous les articles en notre possession, pas nécessairement les plus pertinents :

Ampex : tores multitrous en 223-21, en 1961.

Bell Labs : plaquettes à 3 trous en 223-26, en 1960.

IBM : tores multitrous en 223-6, en 1962.

RCA : Rajchman, transfluxor à 2 trous, deux articles 222-26 en 1958, et 223-43 en 1962.

Sperry Gyroscope : logique à tores en 228-17, article général en 1964.

SRI : Crane, les MAD = MultiAperture Devices, 222-23 en 1958.

Une mise en ordre des concepts pourra être trouvée dans Advance in Computers, Vol 4, dans l'article de Bennion et Crane (81 pages, avec bibliographie).

Référence 263-54/134.

687 - Le système d'exploitation PICK

Le système Pick a été créé en 1965 par R. Pick, et contre toute attente il a trouvé des clients, le plus connu étant Mc Donnell Douglas, qui licencie son système Reality à travers le monde, notamment à Intertechnique en France. Sa particularité essentielle aujourd'hui est l'existence d'une base de données relationnelle intégrée. Le système n'a pas donné lieu à normalisation, et de nombreux systèmes bien implantés sont en réalité de simples "like".

La version de base est multitâche depuis mars 1985, et 9 sociétés l'ont achetée. En 1991, PICK équipe environ 250000 machines et ces clients satisfaits sont trop nombreux pour simplement tirer un trait. On reproche à Pick, qui continue à soutenir son oeuvre, son manque d'ouverture sur d'autres matériels : aussi crée-t-il en 7 / 90 un Advanced Pick compatible Unix.

Les vendeurs de machines Pick sont à cette époque Ultimate, IN2 (Siemens), et General Automation.

Pour essayer de récupérer ces quelques fanatiques, les constructeurs bien implantés proposent les solutions suivantes :

Ultimate Plus est une interface proposée par Hewlett Packard sur ses HP 9000, permettant de faire tourner les applications Pick sous Unix SVR3.

Universe est une interface proposée par Data General dans le même but. Elle est acceptée en Europe par IN2 (Allemagne) et par Ultimate France.

688 - Simulateurs d'entraînement militaires

Toutes les professions suscitent des problèmes d'entraînement, mais il est évident que l'entraînement des militaires justifie des matériels plus complexes que la plupart des entraînements civils, parce que :

a) le métier de militaire comporte un risque de vie ou de mort, et un militaire mort ne sert plus à rien. A moins de disposer d'une quantité illimitée de militaires consommables, comme l'ont à certaines époques fait les chinois et les iraniens, il vaut mieux mettre les chances du côté de ses soldats par une bonne préparation.

b) l'usage des armes est par nature destructeur, et l'entraînement avec armes réelles risque donc de coûter cher en matériel acheté et détruit avant d'avoir joué son rôle. Une

arme fictive qui fonctionne de façon réaliste sans rien détruire est une source d'économies importantes.

c) certains matériels opérationnels coûtent des sommes énormes, par le simple fait qu'on les utilise, même sans les abimer ni même les user. Un simulateur qui réduit ces frais de simple fonctionnement est avantageux.

Il est clair que certains de ces arguments sont transposables à d'autres domaines que les Armées, et par exemple nous avons consacré une rubrique aux simulateurs des vols spatiaux. Bon nombre de simulateurs militaires sont avantageusement transposables à des applications civiles, le plus connu étant le simulateur d'entraînement au pilotage des avions de transport.

Pour toutes ces excellentes raisons, et quelques autres qui relèvent davantage du domaine de la psychologie, il existe dans les armées un très grand nombre de simulateurs de toutes sortes, dont certains, assez simples pour ne pas nécessiter d'informatique, ne seront pas évoqués ici.

Le présent catalogue n'est pas du tout exhaustif, et du point de vue de la présente base de données il peut être redondant ; si donc un simulateur est décrit ailleurs, il sera seulement mentionné ici, avec un renvoi à la rubrique qui contient le texte explicatif.

US Navy

14A2A, construit par Honeywell en 1967, est un simulateur d'attaque ASM pour navire, composé d'un calculateur universel SDS 930 et de consoles réelles du modèle installé à bord, que le calculateur alimente en pseudo-échos sonar. L'équipe à l'entraînement est libre de sa tactique, tout est enregistré sur bandes et une chasse terminée peut être rejouée. Voir fiche.

14A6A, construit par Lockheed Electronics Company en 1967, poursuit le même objectif avec un peu plus de généralités, en ce sens qu'il permet d'utiliser aussi des bandes magnétiques d'écoutes sonars réelles, et d'expérimenter toutes les techniques de brouillage sonore. Voir fiche.

14H4A est un simulateur d'hélicoptères, construit en deux exemplaires par Cubic Corporation pour l'entraînement à la guerre ASM. Voir fiche.

15F6, construit en 1966 par la division Ameco de Litton, est un simulateur d'entraînement au travail en escadre, qui nous est connu par un article d'Electronics de 1 / 5 / 67. Compte tenu de ses objectifs, il est beaucoup plus coûteux que les précédents (par exemple), soit M\$ 9,5.

Il comporte 9 salles représentant chacune un type de navire : deux DE (petit escorteur), DER (picket radar), CL (croiseur léger), CVS (porte-avion d'escorte), DD (gros escorteur), CG (croiseur lourd), CVA (porte-avion de combat), plus une salle polyvalente équipée pour l'entraînement au maniement du NTDS. Les informations simulées sont l'environnement mer/météo, le radar, les brouillages, les signaux d'avions (IFF avec SIF), les liaisons radio, avec les équipements de bord correspondants.

21 consoles identiques permettent à l'équipe d'instructeurs de simuler 128 cibles navales ou aériennes et plastrons, à raison de 6 par console. Il est donc possible de

conduire jusqu'à 9 exercices indépendants simultanément, ou de grouper plusieurs salles en escadres pour l'entraînement à la coopération..

Les calculateurs utilisés sont deux AN/USQ 20, ce qui est naturel puisque le NTDS fait partie de la simulation et qu'il est, pour la première fois en matière de machines embarquées, produit en série.

Les sigles utilisés pour les navires sont très datés, mais la modularité du système permet des mises à jour.

1A22 est un simulateur d'entraînement à la navigation aérienne, conçu par le Naval Training Device Center, un organisme dont c'est la mission de définir les équipements d'entraînement, mais qui n'en réalise lui-même qu'une petite fraction. Le 1A22, d'après une information de la Digital Newsletter de 1/68 p 25, est centré sur un ordinateur DDP 116 avec mémoire de 4 Kmoets et un simple TTY pour sa commande. Il peut gérer simultanément deux classes dont chacune comprend :

- un panneau d'instruments de bord
- un panneau de commandes radio
- un simulateur de ciel avec 4 postes équipés chacun de sextants périscopiques, d'un gyrocompas, d'un compas magnétique et d'une horloge.
- un simulateur d'indicateur LORAN
- un simulateur de dérivomètre 1BN4

20A62 est un simulateur d'entraînement en escadre (Goodyear 1967) qui poursuit sans doute des buts un peu différents de ceux du 15F6, car il comprend des passerelles très réalistes plutôt que des centraux opérations : porte-avion de combat CVA 59, destroyer lance-missiles DDG 2, navire d'assaut AKA 112, et une quatrième non identifiée. Les informations simulées sont les commandes de barre et de machines, les instruments de navigation, les radars de navigation ; le ordinateur est numérique mais son type est inconnu.

20B4, simulateur d'instruction pour l'emploi au combat des frégates de la classe Perry, construit par AAI Corp., est installé dans une seule remorque qui prend place sur le quai le long du navire, auquel elle est reliée par un câble multivoies. Les équipages travaillent à leur poste habituel où le système génère des images cohérentes sur les diverses visualisations ; on peut ainsi organiser des exercices de lutte ASM, de défense contre avions et missiles, ou de combat de surface.

20B5, de même conception, est destiné aux destroyers de la classe Spruance, et organisé un peu différemment. Pour un exercice, un certain nombre de matériels de simulation sont embarqués, et reliés à la semi-remorque qui pose les problèmes par un câble à fibre optique, ou par une liaison radio si l'on souhaite faire l'exercice à la mer. Pour les simulateurs suivants, il ne sera plus nécessaire d'embarquer que des dispositifs de liaison, et ce sont des programmes de simulation, exécutés sur les ordinateurs normaux du bord, qui communiqueront avec la direction de problèmes restée à terre. La Marine a commandé quatre simulateurs au moins.

2B21 est un simulateur d'entraînement aux aspects aérodynamiques du pilotage, commandé à 9 exemplaires à General Precision / Link en 1967. Il se compose d'un calculateur Link Mk 4 et de quatre cockpits banalisés fonctionnant simultanément.

2F90 est un simulateur analogue, commandé à 8 exemplaires à la société Goodyear en 1969. Il comprend un calculateur numérique et quatre cockpits simultanés de l'avion TA4J, qui est un avion de combat biplace équipé pour l'entraînement. L'objectif est manifestement de ne mettre les élèves en vol réel que lorsqu'ils maîtriseront tous les automatismes du pilotage et toutes les fonctions des instruments du cockpit.

6B4 est un simulateur d'ordinateur, fonctionnant pas à pas pour l'instruction des personnels (1960). Voir fiche et photos à Computer Control Company.

6F2 est voisin du précédent, mais beaucoup plus important, car il ne s'agit pas seulement de comprendre, mais d'apprendre à dépanner. Voir photo dans la fiche précédente .

MET, MultiEnvironment Trainer, livré en mai 83 par Cubic Corporation en exécution d'un contrat de 50 M\$, permet d'étudier et simuler tous les aspects de la vie du navire. Le calculateur SEL 32/75 est relié aux installations du bord et permet de simuler les activités du central opération, du sonar ou de la passerelle, avec un grand réalisme, reconstituant le bruit ambiant, l'état de la mer, les conditions météo, les images radar de la terre et des formations nuageuses, et même le bruit des mammifères marins. Les exercices sont enregistrés et il est possible de les rejouer sur grand écran en fin de mission.

NEWTS de Grumman, est un énorme système destiné à l'école des pilotes navals de Pensacola, Fla, où il est installé en 1981. Il couvre tous les aspects de la guerre électronique, sauf la maintenance, et sa construction modulaire doit lui permettre de s'adapter aux progrès de la discipline. Prévu dans sa version finale pour 100 élèves, il suffit à tous les besoins de la Marine. Voir fiche.

Team Tactic Trainer est un simulateur d'application pour des élèves ayant subi le cours précédent. Construit en 1979 par AAI Corp. autour d'un calculateur SEL 86, il représente un avion de guerre électronique EA6B Prowler, multiplace spécialement construit pour contrer toutes menaces ennemies en avant d'un raid ami, grâce à autant de brouilleurs spécifiques.

Le TTT, installé à Whidbey Island, Wash, comporte deux postes d'instructeurs dont l'un gère la menace tandis que l'autre suit le travail des élèves ; ceux-ci, installés côte à côte devant leurs pupitres, se répartissent les fréquences à surveiller et coopèrent pour les décisions.

Le simulateur peut représenter deux versions assez différentes de l'EA6B et dispose à cet effet de deux jeux de postes d'élèves, mais un seul jeu est actif pendant un exercice.

Le Marine Corps, qui dispose aussi de Prowler, n'utilise plus que la version Icap, et s'est doté d'un simulateur TTT installé à Cherry Point, North Carolina.

Simulateur de guerre navale, sur lequel on n'a pas de détails : 13,6 M\$ en 2 / 80 pour Computer Sciences Corporation, à livrer en 1982.

Simulateur d'appontage sur le porte-avions Enterprise, construit par Goodyear Aerospace en 1969 pour 1,5 M\$: les élèves, au poste de pilotage d'un avion T28, ont l'impression d'être catapultés, de quitter le porte-avions jusqu'à le perdre de vue, puis de le retrouver et de devoir se poser ; le porte-avion est en réalité une modeste maquette.

Simulateur d'armes du S3A Viking, un bimoteur de porte-avions richement équipé pour la lutte ASM. Lockheed, le constructeur, fournit aussi le simulateur d'armes pour M\$ 19 (5/73).

Simulateur d'armes du P3C Orion, un biturbopropulseurs de patrouilles ASM maritimes. Deux exemplaires sont commandés à Singer-Link en 3 / 74 pour M\$ 5,3 .

Simulateur d'armes pour l'avion Northrop F / A 18, 56 M\$ à Hughes Aircraft pour un nombre inconnu de simulateurs, à installer en 1982.

Simulateur d'entraînement à la conduite de tir Mk 86 de Lockheed, qui équipe les destroyers Spruance et de nombreux autres navires : 2,7 M\$ à Gould pour un simulateur.

Simulateur de pilotage pour l'avion AV8B, dérivé du Harrier britannique : 55 M\$ à McDonnell Douglas pour un nombre inconnu de simulateurs, à installer en 1985.

US Air Force

AN / ALQ. T5 est le SEWT, Simulator for Electronic Warfare Training, construit en 1979 par AAI Corp. pour l'Aeronautical System Division de l' USAF, au prix de 5,8 M\$.

C'est un simulateur de premier niveau qui ne figure aucun avion particulier, mais permet de représenter 37 types d'équipements avioniques dont 22 de guerre électronique ; il peut soumettre les élèves à des menaces complexes, leur fait manipuler tous les types de protection, y compris le lancement de leurres ou de missiles antiradar. A l'issue de cet enseignement, l'élève est transféré sur un simulateur d'avion particulier.

L'économie annuelle, résultant de la suppression des vols d'entraînement, est estimée à 1,2 M\$. Voir fiche.

AN / GPY - T1 est le STEM, System Trainer & Exercise Module, un simulateur d'entraînement au métier de contrôleur aérien, construit par GTE en 1985 pour travailler avec les centres tactiques opérationnels AN / TSQ 91. On a la trace d'un marché complémentaire de 5 STEM, en 6 / 84. Voir fiche.

Simulateur d'hélicoptères HH3F et HH52A, construit par Reflectone à base de calculateurs Datacraft 6024 pilotant deux cockpits multiplaces, 1971.

Simulateurs de pilotage pour l'avion d'entraînement Beech T34C, 8,7 M\$ pour livraison en 79/80.

Simulateurs de vol de l'avion de transport C130, une commande de 19,7 M\$ à Singer-Link en 2 / 77 pour livraison en 1979 ; plusieurs autres en 2 / 80 pour 37,3 M\$.

Simulateur de pilotage du ravitailleur KC10A, commandé à deux exemplaires au moins en Angleterre, chez Link-Miles (6/83). Le KC10 est en effet pratiquement un avion de ligne.

Simulateurs d'entraînement aux armes pour les B52, commandes renouvelées à chaque refonte des avions : 2 en juin 80 à Singer-Link pour 97,5 M\$, à installer en 1982 ; 2 en janvier 81 pour 77,5 M\$; 5 en janvier 82 pour 70 M\$, installation en 83/84.

Simulateur de pilotage du chasseur F15, trois exemplaires à Goodyear Aerospace pour M\$ 20,6, à installer en 1983.

Simulateurs divers pour le B1B. La grande complexité de l'avion et son prix très élevé ont justifié dans ce cas une succession d'arrangements entre parties prenantes (Boeing, Rockwell) et spécialistes (AAI Corp., Singer-Link, Cubic Corp) pour définir et construire au moins 5 simulateurs d'armes, 2 simulateurs de mission, un simulateur de guerre électronique, et un centre de logiciel, pour un montant total de l'ordre de 300 M\$, en mi 84.

Simulateur de vol de l'avion de guerre électronique EF111A, 40 M\$ à AAI Corp en 9 / 82 pour installation en 1986.

Simulateur de vol de l'avion F5A, 1986. General Electric réalise ici une opération commerciale, proposant aux nombreux pays qui ont acheté des F5 une formation approfondie de pilotage et emploi des armes de leur appareil, tout en espérant que l' USAF lui confiera la charge de former ses propres pilotes de F5. Le poste de pilotage de ce simulateur est accompagné d'images exceptionnellement réalistes, et cet entraînement au vol est encadré par une formation plus théorique en cabines individuelles, où chaque élève peut travailler à son rythme. Voir photos et fiche.

US Army

CATTS, étudié par TRW Redondo Beach, est le Combined Arms Tactical Training Simulator, dont le premier exemplaire entre en service en juin 75 à Fort Benning. Il comprend trois locaux distincts :

- le local technique avec les ordinateurs, qui disposent en particulier d'une base de données représentant une zone de 27 * 100 km avec un maillage de 25 mètres (4,32 millions de cotes). En plus du relief et de toutes ses conséquences, les programmes font aussi intervenir les conditions météorologiques.

- un centre tactique standard avec l'équipement normal d'un bataillon, agrémenté d'une sonorisation représentant ce qui parviendrait réellement aux oreilles des stagiaires. Ceux-ci sont le commandant de bataillon et ses aides techniques, radio, téléphonistes et officiers. On peut y introduire des véhicules de combat réels pour utiliser leurs matériels de transmission

- un local pour trois contrôleurs et tous enregistrements.

La durée prévue pour un exercice est de 4 heures.

Simulateur d'hélicoptères de combat Cobra, 5 exemplaires commandés à Singer-Link pour 82 M\$ en mi 81.

Simulateur opérationnel de l'hélicoptère de combat AH64 Apache, 29 M\$ à Singer-Link en 1982 pour un système à installer en 1985.

Simulateur d'entrainement à l'emploi des missiles antimissiles Patriot, 19 M\$ pour Sanders en 3 / 82.

Simulateur COFT, Conduct-of-Fire Trainer. En 1978, l'US Army lance un appel d'offre pour un simulateur d'entrainement des chefs de char et des tireurs des M1 Abrams, M2 Bradley, et M60A3. En 9 / 79, elle confie à General Electric et Singer-Link des contrats de développement parallèle pour un COFT. L'évaluation des prototypes se poursuit jusqu'en 1982, année au cours de laquelle GE se voit attribuer un premier contrat de M\$ 40,6 pour la production de 4 simulateurs ; un contrat de 107 M\$ suit en 3 / 83 pour la fourniture de 46 simulateurs supplémentaires (26 de M1, 16 de M2 et 4 de M60A3), et par la suite les commandes 83 / 89 se sont élevées à 270 systèmes représentant environ 610 M\$. Voir fiche.

Le UCOFT, qui représente un char isolé, est le produit de base, installé dans trois containers : un pour le poste de tir et l'instructeur, un pour le calculateur, le troisième pour un atelier de maintenance et une petite salle de conférence. General Electric propose aussi un PCOFT, groupement dans un bâtiment fixe de trois ensembles UCOFT travaillant en coordination dans un paysage commun.

689 - Bus normalisés

Un bus est un ensemble de conducteurs solidaires destinés à véhiculer une information numérique complexe entre deux ou plusieurs points. Avec cette définition très générale, il est évident qu'il existe plusieurs bus dans chaque dispositif numérique, aussi devons nous préciser l'énoncé en créant des classifications ; un bus peut être :

- interne, lorsqu'il fait communiquer des points situés à l'intérieur d'un même matériel. Important pour la compréhension et / ou la description du matériel, il ne concerne cependant que son fabricant.

- externe, lorsque les points réunis par le bus sont des connecteurs sur lesquels peuvent prendre place des cartes enfichables ou des cables optionnels. Le matériel peut alors exister en configurations multiples selon les options adoptées ; il est clair que les connecteurs d'un tel bus , qui servent d'interface, et les signaux qu'ils véhiculent, doivent être strictement spécifiés pour que l'interchangeabilité soit garantie.

- privé, si le seul utilisateur du bus est le fabricant qui l'a défini.

- public, si le matériel est conçu pour que les composants interchangeables mentionnés ci-dessus puissent provenir de fournisseurs divers. L'interface doit alors faire l'objet d'une spécification publique. Un bus public est forcément externe ; il peut être "propriétaire" si la spécification est le fait du seul fabricant privé, ou "industriel" si la spécification a été rédigée par un comité issu d'un consortium de fabricants.

- normalisé enfin, lorsque un bus public et industriel suscite un tel intérêt que toute l'industrie informatique désire pouvoir y recourir. En général, le consortium créateur apporte sa compétence à l'organisme national (IEEE aux USA) ou international (ECMA, en Europe) pour définir une spécification peu différente de la sienne et capable de satisfaire le plus grand nombre.

Il peut arriver que le DOD, pour satisfaire ses besoins propres, suscite l'étude d'un bus public répondant à un objectif fonctionnel d'intérêt général, comme "les communications à bord d'un avion". Dans la pratique, le DOD fait un appel d'offre, choisit un vainqueur

dans les propositions, et élève le résultat choisi au rang de norme publique DOD, avant de la faire éventuellement transformer en norme publique IEEE.

Au plan technique, le bus peut être parallèle ou série. Dans un bus parallèle, tous les bits de l'information sont transférés simultanément à l'occasion d'une impulsion de synchronisation, et la fréquence maximale de ces transmissions est une caractéristique importante du bus. Le bus sera dit "multiplexé" si des informations de natures différentes peuvent être transférées, d'une fois à la suivante ; un ou plusieurs conducteurs du bus sont alors affectés à l'identification de la nature du message.

Un bus travaillant point à point peut être actif en permanence, mais un bus comportant plus de deux correspondants exige un protocole pour organiser le trafic : demande de liaison par un émetteur potentiel, désignation du destinataire, établissement de la connexion après arbitrage résultant de règles de priorité, succession de transmissions, signal de fin de message. Plusieurs conducteurs du bus sont affectés à cette fonction d'arbitrage.

La finalité d'un bus parallèle peut être purement locale, ou correspondre à un véritable besoin de transmission à distance :

- un bus parallèle local sera en général un "fond de panier", c'est-à-dire une carte imprimée portant une juxtaposition de connecteurs identiques. Placée au fond d'un châssis, le fond de panier n'a d'autre finalité que de réunir une collection de cartes imprimées représentant autant de correspondants possibles. La longueur du bus est toujours très faible, et les prolongateurs utilisés pour la maintenance ne doivent pas dépasser quelques dizaines de centimètres.

- un bus de transmission, qui utilise un câble spécial entre correspondants, est toujours sévèrement limité en longueur, avec un maximum de quelques dizaines de mètres. La raison en est que les inégalités d'impédance entre conducteurs obligent à prendre des marges entre signaux successifs sur le bus, donc à réduire la fréquence d'utilisation ou, ce qui revient au même, le débit du câble.

Par un abus de langage, on trouvera souvent, dans la spécification d'un bus fond de panier, des conducteurs qui ne transportent pas des signaux, mais des alimentations, tensions continues et masses.

Un bus série est indispensable dès lors qu'on a besoin de transmission à grande distance, au delà de 100 mètres par exemple. Les bits d'information sont alors transmis l'un après l'autre dans un ordre défini, à une fréquence qui est caractéristique de l'installation et qui est naturellement plafonnée par la technologie.

L'usage d'un tel bus exige toujours un protocole, avec au minimum des signaux caractéristiques de début et de fin pour délimiter chaque message, et généralement bien davantage puisque de tels bus desservent généralement de multiples correspondants transmettant plusieurs types de messages.

Un bus série ne comporte que deux fils (masse et signal) ou trois (masse, et deux fils pour signaux différentiels), et c'est une des raisons de son emploi : économiser du cuivre, du poids et de la place. Tous les signaux, protocole et information, utilisent cette même voie. Très généralement, les alimentations passent par d'autres câbles, mais on peut

concevoir des exceptions (emploi des câbles THT de l'EDF pour transmettre téléphone et signaux de dispatching).

Ce vocabulaire établi, nous ne mentionnerons ci-après que des bus externes normalisés, que la norme soit propriétaire, publique DOD, publique IEEE ou publique internationale. La liste disposée par ordre alphabétique n'est certainement pas exhaustive et, pour beaucoup des bus cités, nous ne sommes pas en état de fournir le texte de la norme. Les documents en notre possession sont en boîte 149.

Access.bus a été proposé par Philips avec les caractéristiques techniques des circuits I2L et un logiciel de Digital Equipment, mais ce produit s'est condamné d'avance en fixant un débit de seulement 100 Kbit/s qui en limite grandement les applications. Incapable de lutter contre l'offre USB de Intel, il devra se limiter à des tâches subalternes comme la gestion des écrans ou le dialogue avec les batteries intelligentes des portables ; ou tout simplement disparaître (ce qui paraît acquis en 2000).

AGP = Accelerated Graphic Port est une interface entre la mémoire et la carte vidéo, particulièrement rapide, introduite par Intel en 1997 comme un aspect du chipset i82440LX proposé avec le Pentium II, et repris depuis lors sur tous les chipsets pour Pentium. La performance de base est 264 MB/s, et peut être doublée (AGP2x) si la carte vidéo peut accepter cette vitesse. Il y aura ensuite d'autres chipsets capables d'AGP4x, soit 1 GB/s. Seule allusion directe dans la rubrique 321 Intel, sous-rubrique P II. On notera que l'interface est intitulée "port" plutôt que bus, du fait qu'il s'agit d'une liaison ultracourte et toujours purement locale. Mais elle a été conçue pour être utilisée par tous, et copiée sans licence.

Bluetooth est le nom de code de l'interface IEEE 802.11, définie en fin 97 pour les liaisons sans fil entre ordinateurs et périphériques. Elle existe en trois modes : infrarouge, où elle remplace le modeste IRDA ; et deux fréquences radio dans les bandes 2400 - 2483.5 et 5150 - 5350 MHz, où la liaison fonctionne avec étalement de spectre et saut de fréquence. Le protocole est de type CSMA/CA. La portée est d'une dizaine de mètres, une amplification à 100 mètres n'est pas interdite.

La norme se téléscopie avec une 802.11b qui travaille sur les mêmes fréquences et dont la finalité est de transmettre le réseau Ethernet par radio.

En 2001, la première version de la norme (1.1), bien que reconnue comme provisoire, a obtenu l'adhésion de 2400 sociétés, pratiquement tout ce qui touche à l'informatique et à l'électronique, avec en première ligne les membres fondateurs du Special Interest Group, IBM, Intel, Lucent, Mitsubishi, Toshiba, 3Com. Une quinzaine de produits étaient annoncés et décrits au congrès de Monaco en juin 2001, tous et quelques autres apparaissaient matériellement au congrès des développeurs tenu à San Francisco en 12/01, et nombre d'entre eux avaient déjà fait l'objet de livraisons massives en 2001 (13 millions de pièces), alors même que l'interchangeabilité n'était pas encore parfaitement garantie.

Tous ces produits vont bien au delà de la norme, en ce qu'ils comprennent, dans des encombrements d'ailleurs très faibles (moins de 10 * 10 mm) l'émetteur/récepteur, une

interface avec l'équipement (UART, USB ou PC Card), un processeur (presque toujours un coeur ARM7 sous licence) et ses mémoires permettant de loger des protocoles complexes, multivoies par exemple. Les prix sont dès ce moment inférieurs à 10 \$ par lot de 10000 et visent 5 \$ quand une normalisation stabilisée permettra la production de masse.

Le débit brut de la norme 1.1 est limité à 1 Mbit/s; il est prévu qu'une norme 1.2 à 2 ou 3 Mbit/s sorte en 2003, et une norme 2.0 à trois débits 4 / 8 / 12 Mbit/s en fin 2004 ; toutefois, cette dernière variante, qui doit abandonner le mode maître / esclave au profit d'un dispositif distribué, pose quelques problèmes qui peuvent retarder cette décision.

La norme 11b (WiFi), dont le but est de permettre les raccordements de postes privés à Internet dans les lieux publics, entre en service en fin 2002 avec l'installation d'une première borne, due à l'opérateur TLC Mobile, au palais des Congrès de la porte Maillot. La nouvelle législation limite la puissance dans la bande 2,4 GHz à 100 mW à l'intérieur des bâtiments et 10 mW à l'extérieur, tandis que la bande 5 GHz est interdite à l'extérieur et limitée à 200 mW en intérieur.

Compact / PCI a été proposé par les sociétés Ziatech et Pro-Log, puis défini à la fin de l'année 1994 par le consortium PICMG (PCI Industrial Computers Manufacturers Group), qui avait déjà défini, sous le sigle PICMG 1.0, le fond de panier standard ISA / PCI. La nouvelle norme se propose d'offrir les avantages économiques du PCI produit en masse, pour les applications de type industriel. Le bus Compact/PCI (CPCI) est un fond de panier compatible électriquement avec PCI et mécaniquement avec VME, offrant par conséquent un débit de 132 MB/s en 32 bits ou 264 MB/s en 64 bits, bien supérieur au VME. Pour lier un

chassis CPCI au bus PCI d'un PC, il faut cependant prévoir un pont PCI/PCI, qui reste peu coûteux puisqu'il n'y a pas changement de niveaux électriques.

Les connecteurs des cartes CPCI sont des connecteurs à espacement métrique, à 5 rangées de 47 broches, différents des connecteurs VME qui ne sont pas métriques et ne prévoient pas de le devenir. Le bus CPCI est prévu pour un seul maître, et les cartes qui s'y enfichent contiennent les registres d'identification et de paramétrage qui permettent à ce maître de les configurer : c'est la notion de "plug & play" qui est étrangère au bus VME. N'importe quel contrôleur peut demander la liaison à l'arbitre, mais c'est le maître qui l'accorde ou la refuse.

En résumé, CPCI (PICMG 2.0) est plus un bus d'informatique qu'un bus industriel, et c'est la raison pour laquelle il existe une contre-proposition PXI (voir plus loin).

Cependant, National Instruments ne fait probablement pas le poids en face du comité PICMG.

Pour les applications de transmissions, le bus CPCI présente aux yeux de la profession quelques lacunes que celle-ci propose de combler, avec l'accord du PICMG, par l'addition du cPSB : sans rien modifier du chassis CPCI, ce complément de norme (compact Packet Switching Backplane = PICMG 2.16) lui ajoute, sur le connecteur J3 facultatif, un système de commutation de paquets fonctionnant en mode Ethernet (protocole IP) pour transporter commandes et données entre cartes qui en ont besoin.

Au cours de l'année 2002, le PICMG a beaucoup travaillé et défini de nombreuses variantes qui répondent à des besoins divers, ayant toutes en commun de travailler en série entre cartes équipées :

PICMG 2.16 est donc un lien série à 1 Gbit/s, liaison Ethernet entre cartes cPCI équipées.

PICMG 2.17 est un lien série à 2,5 Gbit/s, liaisons StarFabric entre cartes cPCI équipées, passe aussi la voix qu'une norme H 110 autorisait déjà séparément.

PICMG 2.20, suite à une proposition cSMB = Serial Mesh Backplane de Motorola, est un réseau maillé de liaisons point à point entre cartes cPCI, qui ne suppose plus de protocole et accepte donc, en plus de IP, des trames Frame Relay, des protocoles propriétaires ou des cellules ATM.

PICMG 3.0 va plus loin et définit les caractéristiques électriques et mécaniques de liaisons point à point 1 à 10 Gbit/s selon une nouvelle architecture AdvancedTCA. Ensuite les spécifications 3.1, 3.2, 3.3 définissent les aspects Ethernet, Infiniband et Star Fabric de cette architecture.

Tout cela dévie beaucoup le bus cPCI de ses objectifs initiaux et devient un moyen d'interconnecter des chassis informatiques par des liaisons série plus ou moins spécialisées et de très haut débit.

Préoccupation plus immédiate, le multiprocessing devient chose courante à partir de 1995 dans les applications industrielles. Prévue en principe dès l'origine, cette solution jusque là peu utilisée est en réalité d'emploi facile, comme l'explique l'article d'Electronique N° 69, avril 97.

EISA pour Extended ISA, décrit un bus fond de panier pour PC, défini par un groupement de fabricants menés par Compaq dans le but de combattre le bus propriétaire d'IBM, MCA. C'est un bus ouvert dont la principale qualité est de maintenir la compatibilité avec le bus ISA des PC/AT.

En 1989, les cartes EISA représentaient 2,3% des 1,76 B\$ de produits enfichables commercialisés.

ESCON est un bus série sur fibre optique, introduit par IBM en 1990 comme constituant fondamental de l'architecture ESA 390, et alternative prioritaire aux anciens canaux parallèles. Il se caractérise par une transmission à 200 Mbit/s en half duplex point à point, avec une portée de 1,5 à 3 Km entre correspondants selon la nature de ceux-ci. Voir présentation détaillée en boîtes 72 et 73.

FibreChannel est l'aboutissement d'études entreprises vers 1991 pour définir un successeur au bus SCSI. C'est un bus série sur fibre optique, normalisé par le comité ANSI X3T9.3, débit 100 MB/s.

Imaginé d'abord comme un réseau susceptible d'élargir le domaine d'Ethernet, il a été réorienté par les industriels du stockage lorsque IBM a fait la preuve, avec son système ESCON, qu'une liaison série sur fibres pouvait jouer un rôle de canal. Ils ont alors suscité la définition électrique d'une variante cuivre compatible, FC-AL (Fibre Channel Arbitrated Loop), destinée à mettre en commun de gigantesques bases de données sur disques avec des usagers de type Wintel ou Unix ; les performances diminuent un peu,

l'utilisateur pouvant arbitrer entre débit et portée par son choix de moyen de transport. La topographie est alors en anneau unidirectionnel éventuellement doublé pour disposer des deux sens de transfert.

Le succès de Fibre Channel s'est confirmé lorsque des fabricants de disques pour serveurs Wintel, tels que Hewlett-Packard, Quantum, Seagate, EMC2, ont commencé à installer des connecteurs FibreChannel sur leurs armoires de disques ou sur leurs bandothèques. Faute de pouvoir ignorer les mainframes, qui restent une clientèle majeure en volume et qui se sont spontanément normalisés sur FICON, il est admis que les fabricants de gros stockages pourront installer à la fois FICON et FibreChannel sur leurs contrôleurs, pour faire communiquer les banques de données d'entreprises avec les réseaux Wintel d'utilisateurs.

La mise au point de FC-AL prendra plus longtemps que prévu, donnant un important sursis à UltraSCSI. Quelques appareils annoncés en 1999 donnent une idée des implantations possibles dès ce moment, et encore peu répandues cette année-là :

- un concentrateur multiboucle de Storagetek, 32 ports full duplex à 1 Gbit/s .
- Surestore E Switch F16, un commutateur 16 ports de Hewlett-Packard, certifié pour le clustering de systèmes Windows NT et HP-UX .
- passerelle IBM pour 4 ports Ultra SCSI et 1 ou 2 ports FibreChannel.
- adaptateur EMC de baie Symmetrix pour serveur AIX. Plus généralement, la baie Symmetrix 5700 peut recevoir des attachements de tous types : ESCON et parallèle côté IBM, FC et UltraSCSI côté PC.
- disques à connexion FibreChannel (UltraSCSI en option) chez Quantum, Compaq, Data General.
- Scalar 218FC, bandothèque 630 GB de sauvegarde de ADIC, avec connexion FC de portée 2 Km.
- Juke-boxes à base de disques optiques, CDROM ou DVD, tel que Surestore 1200x de HP, 128 disques, 4 lecteurs, ou le M500 de Plasmon, 500 disques, 6 lecteurs.

En 2000, il est clair que le domaine de FC n'est pas, et ne sera plus, celui d'un concurrent pour les réseaux de taille moyenne . Le nouveau concept est le SAN, Storage Area Network, réseau de moyenne portée pour mise en commun de données au sein d'une collectivité et sauvegarde, avec une structure en anneau. Les supports peuvent s'adapter :

- Fibre monomode 9 microns en ondes longues, débit 100 MB/s sur 10 Km
- Fibre multimode 50 microns en ondes courtes, débit 100 MB/s sur 500 m
- La même en ondes longues, débit 25 MB/s sur 2 Km.
- Fibre multimode 62,5 microns en ondes courtes, débit 100 MB/s sur 175 m.
- La même en ondes longues, débit 25 MB/s sur 1,5 Km.
- Cable coaxial, 100 MB/s sur 25 mètres (FC-AL)
- Paire torsadée, 25 MB/s sur 50 mètres.

Les débits de 2 et 4 Gbits/s sont à l'étude. Au total, l'objectif avoué est de suppléer le bus SCSI dès qu'on sort de l'usage local.

FICON est une amélioration technologique d'ESCON, annoncée en 1998 avec moins de solennité dans le cadre de la Z Architecture et sous OS/390. Sans changement de principes d'emploi, ce système apporte un débit très accru de 70 MB/s en full duplex en

commutation de paquets, et les distances peuvent grimper à 20 km. Nous ne disposons pas de documentation.

Firewire a été proposé par Apple en 1993, puis défini par une norme IEEE 1394, adoptée en fin 97 comme une interface 400 Mbit/s pour tous périphériques rapides : disques durs, lecteurs de cartouches, CDROM, DVD, dont la connexion peut se faire en plug and play. Il a trouvé très vite sa place dans les divers produits d'électronique domestique, caméscopes, magnétoscopes, lecteurs de DVD, devenant d'autant mieux le bus du multimedia que son débit normalisé est porté à 800 Mbits/s en 2000.

Firewire est léger et économique, son câble contenant seulement deux paires torsadées plus deux fils pour alimentation et signal de commande, et se terminant sur un connecteur robuste. En contrepartie, sa portée est faible, au maximum 63 noeuds chaînés en série et très proches, ou 16 avec un maximum de 4,5 m entre correspondants. Chaque périphérique doit disposer de deux ports pour ne pas couper la chaîne, la plupart en ont trois ce qui permet des dérivations.

Les équipementiers rivalisent d'idées pour utiliser ce bus, et en font un concurrent, selon les cas, pour GPIB, pour USB, pour VXI et pour Compact/PCI. Compte tenu de sa finalité, il existe des convertisseurs Compact/PCI - Firewire (Gespac) ou VME / FW (Janz, Sederta), ou PCI / FW (Sederta).

Apple, de son côté, peu intéressée par les problèmes de SAN et le Fibrechannel, voit dans le FW un bon successeur pour les applications locales actuelles du SCSI. Microsoft, qui semble avoir la même appréciation de sa part de marché, annonce qu'il introduit des drivers USB et FW dans Windows 98 et NT.

Futurebus+ est une tentative de l'IEEE de définir un bus pour les années 90, dans l'espoir de freiner l'explosion consécutive à la production massive de calculateurs personnels et d'applications embarquées. La parution d'une norme IEEE 896 en 1990 voulait donner l'impression que cette tentative avait réussi, mais elle ne faisait qu'entériner les divergences des participants en définissant pas moins de six "profils" :

Profil A ou VME II utilise des adresses 32 et 64 bits, et des données 64 bits avec défaut 32, avec un protocole complexe ayant pour but d'assurer la cohérence des caches dans les installations multiprocesseurs. C'est un fond de panier pour cartes 298 * 265 mm, avec espacement des connecteurs égal à 30 mm, pour racks de 12SU * 12 SU (une SU = 25 mm) désormais métriques.

Profil B soumis par DEC accepte des données de 128 bits, avec 64 et 32 par défaut. Pour le protocole, c'est un sous-ensemble du précédent qui ne traite pas le cas des caches.

Profil F (fast) soumis par Sun est le même que le précédent, mais les contraintes sur les signaux sont plus strictes parce qu'on vise des performances plus élevées.

Profil D (desktop) vise les PC et se propose de succéder au bus EISA, mais il incorpore le protocole nécessaire pour prendre en compte le cas des multiprocesseurs symétriques.

Profil M (militaire) est un sous-ensemble du A avec le même répertoire que le D, mais il utilisera des cartes différentes, puisque le DOD est parvenu à normaliser les cartes et la technologie SEM. E .

Profil S est un profil de transition proche du VME, car il doit accepter les Eurocard existantes.

La tentative reprend l'année suivante et aboutit à une norme 896.2 qui porte sur les profils A, B et F, définissant des cartes 288 * 265 mm, enfichables dans un fond de panier haut de 300 mm, et espacée de 30 mm. Il est possible d'ajouter des connecteurs sur la face avant des cartes, la distance de ces connecteurs aux connecteurs arrière étant fixée à 300 mm.

Les connecteurs sont à 4 rangées au pas de 2 mm, selon norme IEEE 1301.1, et ils sont fractionnés par mission, comme suit :

Mission E, adresse, 192 broches

Mission B, données, 192 broches

Missions C et D, alimentations, 32 broches véhiculant 5 V, 3,3 V, et 48 V, plus des masses.

Missions A et F, signaux, 24 broches

Mission X, arbitrage centralisé, 24 broches.

Les connecteurs des diverses missions peuvent n'en faire qu'un, mais leurs bornes sont clairement disjointes, et ils sont disposés dans l'ordre A, B, C, X, D, E, F.

Il est difficile d'affirmer que le Futurebus ait été utilisé, car les constructeurs se sont bien gardés d'y faire référence, préférant conserver le sigle que les clients connaissent, éventuellement avec un n° 2 pour marquer la différence. Cependant, il est probable que c'est le cas, ne serait-ce qu'à cause de l'industrie des connecteurs.

Geoport proposé par Apple (qui n'a pas attendu cette norme pour réaliser son Airport), et soutenu par Siemens, IBM et ATT au sein de l'initiative Versit qui cherche à intégrer les microordinateurs et la téléphonie, pêche par son manque d'universalité : il ne supporte qu'un périphérique, sur une courte distance (1,2 m en standard) et ne peut débiter plus que 2 Mbit/s. Il est clair en 2000 qu'il a dû se réorganiser autour de la norme Bluetooth ou équivalente.

GPIB, pour General Purpose Instrumentation Bus, est une très ancienne norme IEEE 488, créée pour les besoins du contrôle industriel et toujours utilisée par les fabricants d'instruments, qui se contentent généralement de faibles fréquences de prélèvement. Très répandue, cette méthode d'exploitation à distance des instruments est en 1998 servie par des logiciels perfectionnés, produits par les fabricants d'instruments, qui permettent par exemple de faire apparaître sur l'écran du PC un panneau de commande virtuel. C'est un bus série/parallèle pour signaux de 8 bits, travaillant à 1 MHz avec une portée de quelques mètres. Sa lenteur a suscité une variante HS 488 de National Instruments, non normalisée.

HIPPI pour High Performance Parallel Interface, est un canal d'entrées/sorties défini par DEC qui a réussi à le faire normaliser par le comité X3T9.3 de l'ANSI en 1991, mais dont la clientèle est restée limitée aux sous-traitants de DEC et à quelques administrations liées à cette compagnie, comme ceux des laboratoires nucléaires qui bricolent par eux-mêmes des appareils à haute performance.

Le débit atteint 100 MB/s, ce qui limite la portée à 25 mètres. Des sous-traitants proposent des kits d'extension par fibres optiques, en particulier Broadband Communications dont le M1e 1210 transmet deux fois 800 Mbit/s à 10 km avec un taux d'erreur de 10⁻¹⁴. Les convertisseurs sont consultables par ligne téléphonique à travers une interface RS 232 pour status, erreurs et diagnostics. Dans un style très différent, le 1200 GL du même fabricant peut convertir le signal du canal en modulation d'un rayon laser transmissible sur 40 km sans répéteur (sous réserve de vision directe).

IBM Canal est un bus d'entrées/sorties né en avril 1964 avec l'architecture IBM S/360, modernisé depuis régulièrement mais sans changement fondamental à chaque nouvelle architecture de Mainframe. C'est au départ un bus 8 bits + parité, avec un débit de 1,5 MB/s, multiplexé en ce sens que les signaux de commande utilisent la même voie ; ces signaux sont décrits fonctionnellement dans les Principes of Operation successifs. Le bus sera porté à 3 MB/s avec l'architecture S/370 VS, pouvant passer en outre à 16 bits + 2P pour certains périphériques à haute performance, et le débit de 4,5 MB/s sera autorisé avec l'architecture XA. Voir des documents de spécification dans la boîte 60 (1964).

IBM n'a jamais souhaité voir ce bus normalisé, afin de garder sa liberté de création et de changement d'architecture, mais la spécification est tout à fait publique et presque tous les industriels de l'informatique l'ont utilisée à un moment ou un autre pour proposer des périphériques compatibles.

IrDA est une association (Infrared Data Association) créée en juin 93 pour tenter de normaliser les communications entre ordinateur et périphériques proches, que beaucoup de constructeurs exploitaient depuis des années à la manière des télécommandes de TV, mais en ordre dispersé. En trois ans, l'association comprenait quelque 150 membres.

La norme, née en 1994 de cette initiative, consiste à passer par la voie série half duplex d'un UART, en utilisant la technique SIR de Hewlett Packard : puissance comprise entre 40 et 500 mW dans la plage 850 / 900 nm ; débit 115,2 Kbit/s ; distance entre équipements jusqu'à 1 mètre ; taux d'erreur 10⁻⁹ ; codage économique (1 = pas d'émission, 0 = impulsion de largeur inférieure à 3/16 de période).

Cette première norme au débit un peu faible a été rapidement révisée en une norme 1.1 qui propose deux autres vitesses, 1,152 et 4 Mbit/s, ce dernier exigeant une nouvelle modulation plus raffinée, par position d'impulsions avec codage sur deux bits et transmission synchrone. Des vitesses plus élevées sont envisagées, mais exigeraient des composants optiques beaucoup plus onéreux, ce qui retarde la décision.

Un grand nombre de fabricants de circuits intégrés proposent des composants pour les liaisons IrDA, parmi lesquels on peut citer Hewlett Packard, IBM Microelectronics, National Semi, Sharp Electronics, Siemens, Temic, Texas Instruments, VLSI Technology. Ces circuits sont en général compatibles avec les UART de types 16550 et 85C30.

ISA est le bus défini par IBM lors de la création du PC / AT, et il a été repris par tous les fabricants de PC compatibles dans la période d'euphorie où il n'était pas nécessaire de se différencier pour vendre. Il pouvait servir directement d'interface disque sous le nom de IDE, ou ATA (AT Attachment) mais il s'agit d'une solution très limitée, incapable

de dépasser 528 MB en capacité et 2,5 ou 5,5 MB/s en débit. Il faut se rappeler cependant qu'il a fallu une dizaine d'années pour que la capacité du disque dur des PC dépasse la limite précitée. Un Fast ATA-2 à 16,6 MB/s, compatible, permet aux PC les plus exigeants de satisfaire leurs besoins en disques, à partir de 1994.

En 1989, 11,4 % en valeur des cartes d'extension produites pour des bus de fond de panier, soit 1,76 B\$, relevaient du bus ISA.

Le bus ISA est suffisamment utilisé pour qu'en 1992, le consortium PICMG, qui s'occupe d'étendre le bus PCI à l'usage industriel, ait normalisé son usage en ce domaine avec la spécification PICMG 1.0 pour un fond de panier commun à PCI et ISA.

Néanmoins, dix ans plus tard, le bus ISA n'est pratiquement plus utilisé en tant que tel, même s'il subsiste dans des interfaces ATA.

MCA pour Micro Channel Architecture est le bus propriétaire à 40 MB/s créé par IBM lors de sa relance des PC par l'annonce du format PS/2 et utilisé aussi pour les stations de travail RS/6000. Ce bus n'a pas réussi à s'imposer dans l'industrie des PC, au point que IBM ait dû organiser avec Intel une association de promotion. Il sera finalement abandonné par IBM avec les PS/2 en profitant de l'avènement du bus PCI. On peut apprécier le poids des PS/2 en notant qu'en 1989, 5,7% des 1,76 B\$ de cartes d'extension pour bus de fond de panier relevaient du MCA.

MIL-STD-1553 B est une norme militaire pour un bus série destiné aux liaisons internes aux avions et navires : elle se propose de transférer ordres et données entre ordinateurs centraux et périphériques divers, tels que radars, sonars, télémètres laser, calculateur d'aérodynamique, gouvernes et armes.

La spécification de la plupart des senseurs et armes à bord d'avions indique le choix de ce bus pour leur liaison avec le calculateur central. Celui-ci utilisant en général un bus de fond de panier, normalisé ou non, les fabricants de cet ordinateur sont généralement contraints de créer une carte de conversion entre le bus, VME par exemple, et le bus 1553B, avec prise en charge du protocole.

Multibus est une création Intel de 1975, à une époque où il n'existait pas de PC et où Intel consacrait encore une part notable de son activité au marché du temps réel et de l'embarqué. Un important consortium de sous-traitants soutenait Intel dans cet effort qui représentait encore, en 1989, 17% des 1,76 B\$ de cartes d'extension vendues. Le Multibus à cette époque n'était plus un bus mémoire, seulement un bus d'entrées/sorties, et une conversion devait exister entre le bus mémoire / CPU et le Multibus.

Conçu pour le 8086, le Multibus est un bus 16 bits asynchrone, adapté à la logique TTL à 3 états. Sa spécification comportait les précisions suivantes :

- Bus d'adresse de 20 à 24 bits (mémoire 1 à 16 MB)
- Bus de données 8 bits capable de 3 MB/s.
- Bus SBX d'extension d'entrées/sorties
- Bus LBX d'extension locale à 10 MB/s, pour usage d'une mémoire locale
- arbitrage centralisé organisé en chaîne imbriquée à 16 niveaux de priorité
- 8 niveaux d'interruptions codées sur 3 fils
- signal de défaillance secteur

Le bus tenait sur deux connecteurs de 60 ou 96 broches, attachés à des cartes de 178 * 350 mm.

Nous disposons du document qui transforme le Multibus, norme propriétaire, en norme IEEE 796 en octobre 1980 avec de légers changements. Voir boîte 149.

Multibus II est une tentative de Intel de reprendre en main sa clientèle et ses sous-traitants, en étendant son Multibus à 32 bits avec l'arrivée des 386. Le bus sera normalisé IEEE 1296 en 1987, et lors du recensement de 1989, il détiendra 4% des 1,76 B\$ de cartes d'extension .

Le nouveau bus comprend quatre champs de communication :

- le champ principal permet d'adresser jusqu'à 4 MB de mémoire, la partie données du bus pouvant travailler au choix sur 8 / 16 / 24 / 32 bits. Ce sont les champs PSB et LBX.
- les entrées / sorties ont leur espace de mémoire (virtuelle) séparé de 64 Kmots, avec les mêmes choix en largeur. C'est le champ SBX.
- un champ Messages permet de transporter des interruptions virtuelles, excluant les interruptions physiques.
- un champ dit d'interconnexion permet d'atteindre un minimum de 32 registres fixes, matérialisés en ROM ou en NVRAM : noms des cartes et des versions, configuration, tests internes.

Pour gérer un système construit autour de ce bus, Intel propose un logiciel nommé MPC, travaillant initialement à 40 MB/s sur 16 bits pour une synchro à 10 MHz ; il était prévu de doubler ce débit dès que la technologie permettrait de passer les microprocesseurs à 20 MHz. En pratique, il fallait prévoir une carte de gérant de bus contenant un microcontrôleur 8051 pour l'initialisation et la gestion des registres d'interconnexion.

Le Multibus II s'exprimait dans un rack de 21 slots, avec connecteur de 96 bits. Le fonctionnement était synchrone, l'arbitrage distribué, avec deux niveaux de priorité pour l'accès au bus. Pas d'interruption, mais tout de même des conducteurs pour les signaux d'erreur et de défaillance secteur.

Le Multibus II aurait certainement pu continuer à tenir le rang acquis par le Multibus , si Intel avait décidé de s'accrocher. Mais Intel, obligé de choisir entre ses marchés, renonça au temps réel pour se consacrer entièrement aux PC, et le Multibus II n'eut jamais l'importance de son prédécesseur.

NTDS est un système spécifique de l'US Navy, qui utilise un bus parallèle 30 bits avec trois fils de protocole pour ses entrées/sorties. Voir la documentation NTDS pour le détail de ce canal qui a donné lieu à la réalisation, sur contrats de l'US Navy, de nombreux périphériques.

NuBus a été créé par Texas à l'époque où ce constructeur voulait s'impliquer dans l'intelligence artificielle. Il est devenu le choix de Apple pour les Mac Intosh II et comme tel pouvait revendiquer 4,3% des 1,76 B\$ de cartes d'extension de l'année 1989. Cette position va se dégrader avec les ennuis d'Apple en fin de carrière des 68000, et le NuBus sera abandonné lorsque Apple passera au PowerPC.

PCI est une création de Intel en 1991, comme fond de panier des PC, en l'occurrence comme bus externe de la carte mère des PC. Sa nécessité est apparue lorsque l'accroissement de performance des microprocesseurs pourvus de caches a obligé les constructeurs à séparer les périphériques et le fond de panier de l'ensemble CPU / mémoire. Le bus PCI a été salué par tous car il reconstituait une norme d'interface raisonnable pour les cartes, incapables désormais de suivre la mémoire, mais aussi parce qu'il réalisait un formidable bond de débit (132 MB/s au lieu des 1 à 5 d'un bus ISA). Le schéma d'un PC est donc désormais le suivant :

- un bus local Intel relie CPU et mémoire et sa vitesse croit très vite : 50, 66, puis 100 MHz.
 - un convertisseur fait passer de cette fréquence à celle du bus PCI, qui dessert à 33 MHz, sur 32 bits de large, les disques, la carte graphique et le contrôleur de réseau. Pour des questions de fan out probablement, le bus PCI ne peut supporter que quatre périphériques extérieurs ; au delà, il faut prévoir un pont PCI / PCI, qui pose des problèmes de gestion à Windows. Voir solution plus loin.
 - un autre pont convertit le signal PCI à la fréquence et au format des bus antérieurs, EISA ou MCA, pour les équipements traditionnels comme clavier et souris.
- Au passage et pour un moment, Intel acquiert le monopole de la carte mère et peut créer un chipset 82420 qui représente toutes les fonctions citées. Le PCI est doté d'un mode rafale à 132 MB/s, pouvant monter à 264 MB/s si le bus local n'est pas multiplexé. Le bus et le chipset peuvent être fournis en alimentation 5V ou 3,3 V. Les transferts portent au choix sur 8, 16, 32 ou 64 bits. Les bus EISA et MCA, auxquels on enlève les fonctions qui les justifiaient pour ne leur laisser que les petits périphériques dont la vitesse reste celle du bus ISA, sont de moins en moins utiles, et IBM y souscrit parce que c'est l'occasion de masquer dans de bonnes conditions l'échec commercial du MCA sur PC. Le principal inconvénient du bus PCI est l'incompatibilité du 82420 avec le bus EISA, car il introduit des cycles d'attente dans la procédure d'écriture où celui-ci prétendait gagner 15% de performance.

Le bus PCI a été adopté très rapidement, puisqu'en novembre 93 il était accepté par 168 sociétés, parmi lesquelles Compac, Dell, DEC, IBM, NCR, NEC, Olivetti, SNI, et plusieurs fabricants de cartes. La normalisation Intel devient norme mondiale de fait sans avoir le temps d'être entérinée par les instances techniques nationales. La production en masse des PC fait que les prix sont bas, et des cartes d'instrumentation sont apparues, qui permettent, à moindre prix et moindre encombrement, de faire le travail d'un petit chassis VME ou VXI.

D'ailleurs, le prix avantageux des cartes PCI fabriquées en masse conduit les promoteurs du VME à adopter le PCI comme bus local dans leurs chassis. Voir ce bus, plus loin. Pour les applications industrielles tournées vers les PC, le consortium PICMG a tout de suite proposé, sous le sigle PICMG 1.0, un fond de panier ISA / PCI qui est resté norme pendant plus de 10 ans.

L'augmentation de puissance des processeurs rendant possibles des applications jusque là inaccessibles, la limitation à 4 des cartes périphériques sur bus PCI devient une gêne importante. On trouve dans Electronique N° 84, 9/98, la solution de la société Systolic, baptisée ACI pour Active Computer Interconnect, consistant à insérer sur le fond de panier ou sur la carte-mère des drivers externes, capables de fournir 64 mA à 33 MHz, ou à 66 MHz après la dernière révision de la spécification PCI ; dans ces conditions, les fonds de paniers PCI accepteront jusqu'à 21 connecteurs. Au passage, cette technique s'adapte directement à l'extension "Hot Plug" grâce à laquelle il est devenu possible de remplacer les cartes PCI en cours de fonctionnement.

La disparition progressive du bus ISA, vers 2000, et l'apparition de ponts PCI / PCI répondant économiquement au problème ci-dessus évoqué décident le PICMG, en 2001, à étudier une nouvelle norme de fond de panier offrant deux bus PCI simultanés. Cette spécification PICMG 1.2, ou ePCI-X pour Embedded PCI, reste compatible avec les anciennes cartes ISA en ce sens qu'un châssis ISA / PCI peut recevoir un fond de panier ePCI-X, avec des cartes de 13,33 " de long (340 mm) et 4,8 " de haut (122 mm). Ce fond de panier peut recevoir une carte CPU = SHB, System Host Board et, de part et d'autre, deux segments PCI-X de quatre emplacements espacés de 0,8 " (20 mm). Chaque segment a son horloge, ses interruptions et signaux d'arbitrage indépendants, et ses options de largeur (32 ou 64 bits), de protocole (PCI ou PCI-X), et de vitesse (33 / 66 / 133 MHz). Si on oublie ISA, le châssis existe aussi en profondeur 7,52" (191 mm), toutes choses égales d'ailleurs, et ce châssis court aura du succès. Les premières réalisations industrielles de châssis et bus PCI-X paraissent en 6 / 2002 chez Kontron et Force Computers (Flexor 1H).

PCMCIA est une interface, définie par une association, qui permet l'ajout occasionnel de fonctionnalités importantes à un PC portable qui n'en dispose pas. Les portables sont la cible pratiquement unique de cette association parce que, forcément limités en volume et encombrement, ils présentent tôt ou tard des lacunes que le propriétaire souhaitera surmonter ; dans un PC de bureau, la richesse des interfaces permet d'installer à demeure tous les périphériques imaginables.

L'interface PCMCIA (rebaptisée PC Card en 1994) est donc un simple connecteur sur la tranche du portable, susceptible de recevoir des cartes enfichables de format 100,6 mm (long) * 54 mm (large), avec choix de trois épaisseurs qui définissent les types I, II et III:

- le format I, épaisseur 2 mm, correspond à des extensions de mémoire, de type flash dans les propositions les plus récentes. Une telle carte permet de loger un programme complet ou une petite base de données.

- le format II, épaisseur 5 mm, peut recevoir à partir de 1995 un modem 56 Kbauds ou un lecteur de carte à puce. Exemple : la Smartcard de SCM (12 / 95), prix OEM 1350 FF, lit tous les types de cartes.

- le format III, moins d'un cm d'épaisseur, a donné lieu à des réalisations spectaculaires comme un disque magnétique, mais ce n'est qu'un exemple.

La version 2.1 des PC Cards et de leur connecteur, datant de novembre 92, supportait un bus 16 bits utilisable en 8 bits. La version de 2 / 95 du connecteur est le

Cardbus, un format 32 bits acceptant la fréquence de 33 MHz, et donc le débit 132 MB/s du bus PCI, ainsi que l'alimentation 3,3 volts et la gestion de consommation, tout en gardant la compatibilité 8/16 bits.

En réalité, les applications du port PCMCIA sont de plus en plus complexes, puisque la miniaturisation le permet et que d'autre part, les portables contiennent désormais presque tout ce qu'on trouve dans un PC de bureau. Exemple d'application 1997 : un décodeur MPEG permettant de transférer sur l'écran du portable la vidéo comprimée d'un support multimedia.

PXI est une extension modulaire d'instrumentation du bus PCI, proposée par National Instruments pour profiter des bas prix de la technologie PC; les services attendus sont ceux du bus VXI, mais les prix devraient être sensiblement inférieurs. Le châssis PXI 1000 de NS offre un slot pour un PC exactement compatible en format industriel, et 7 emplacements pour cartes 3 ou 6 unités. Voir article.

QBus est lancé par DEC au moment où il annonce son microprocesseur LSI 11. Le constructeur, qui depuis des années mise sur l'Unibus et ne peut l'abandonner compte tenu du nombre des machines en activité, choisit délibérément de créer une norme concurrente pour son bas de gamme, qu'il estime promis à un grand avenir. La décision était judicieuse, puisqu'en 1989 le QBus s'est acquis 15,6% des 1,76 B\$ de cartes d'extension pour bus de fond de panier.

On trouvera une description complète du QBus dans l'appendice E du MicroPDP11 Handbook, boîte 27. Il en existe trois variantes, selon la taille du bus d'adresse : 20, 22 ou 24 bits.

S100 est un fond de panier 8 bits établi au moment où les premiers microprocesseurs avaient déclenché un grand enthousiasme pour les petites applications de gestion personnelle sous CP/M. Il a été normalisé sous le sigle IEEE 696 et utilisé par de nombreux constructeurs de minis comme Cromemco ou North Star qui, cependant, ne représentaient que quelques milliers de machines.

Ces fabricants se sont assez rapidement trouvés gênés par les limites du bus, 8 bits en largeur et 16 bits en adressage, et ont proposé des extensions. Nous disposons du projet complètement détaillé qui a été adopté en 1979, portant la largeur maximale à 16 bits et l'adressage à 24 bits. Voir boîte 149.

En réalité, l'arrivée du PC, survenue vers cette époque, a mis fin au bus S100 en changeant les ordres de grandeur de la production et les formats de mise en boîte.

SCSI est un bus d'entrées/sorties normalisé en 1985 par l'ECMA, et seulement en 1986 par le comité X3T9.2 de l'ANSI, en partant du bus SASI proposé en 1979 par Shugart, fabricant de disques. A la différence de diverses interfaces proposées par les constructeurs de disques, et notamment des ST506, ESDI et SMD, il s'agit d'un véritable bus, multiplexé, et qui peut relier "en bretelle" jusqu'à 7 périphériques qui se distinguent par leur adresse, les priorités étant définies par la position sur le câble.

Le bus comprend 50 conducteurs qui véhiculent les signaux suivants : 8 bits de données + parité, reset, attention, ACK, Request, Message, Sens du transit, C/D distinguant control ou donnée, sélection, occupé. Les adresses passent sur le bus aussi bien que les données.

Le fonctionnement peut être asynchrone à 1,5 MB/s si on s'impose une réponse ACK après chaque byte ; le débit peut monter à 4 MB/s si on attend 8 bytes pour un ACK.

Le bus SCSI a obtenu très rapidement sa reconnaissance par tous les constructeurs et équipementiers, mais ne s'est pas imposé pour autant, car il est plus cher que l' IDE, qui suffit parfaitement aux besoins des PC, le produit de masse. Le SCSI ne devient incontournable que pour les serveurs qui dépassent la limite technique de capacité de l' IDE.

La norme sera reprise par l'ANSI le 31 / 8 / 90 pour définir un SCSI 2 plus rapide et de ce fait plus contraignant : la largeur de bus peut désormais être portée de 8 bits (conservée) à 16 ou 32 bits avec un câble à 68 conducteurs, la parité est obligatoire, et la synchronisation est à 10 MHz, ce qui permet d'organiser un débit de 40 MB/s si vraiment nécessaire. Les instructions du contrôleur, au nombre de 18, font désormais partie de la spécification.

Ce SCSI 2 est assez vite devenu la norme pour les serveurs, présenté par de nombreux fabricants de circuits sous la forme d'un contrôleur incluant DMA et arbitre de bus, avec interface PCI et, dans la plus récente version, avec tampon pour une file d'attente des commandes (TCQ = Tag Command Queue).

L'importance croissante des stockages et les progrès techniques des disques conduisent les fabricants de disques, dès 1995, à une réflexion plus approfondie, en deux étapes :

- dans un proche avenir, et à titre d'interim, promouvoir Ultra SCSI (ou Fast-20 SCSI), qui débite 20 MB/s en 8 bits ou 40 en 16 bits. Même caractéristiques électriques, protocole SCSI 3 un peu plus élaboré. Ces débits continueront à satisfaire la masse des petits utilisateurs, mais il faut connaître les limites : au plus 15 utilisateurs sur un câble de 12 mètres.

- dès que possible, et en réalité il a fallu huit ans pour aboutir, équiper les serveurs Windows interconnectés avec FibreChannel (voir plus haut).

On trouvera en boite 149 deux articles montrant comment le retard important à la mise au point de FibreChannel a été utilisé pour prolonger la vie des deux interfaces UltraSCSI et UltraATA = EIDE.

SDMS constitue la réponse du groupe Rockwell au concours ouvert par l' US Navy en 1974, et il a gagné face à quatre autres concurrents, obtenant un contrat de 2 M\$ pour un prototype de démonstration, puis en janvier 1978 un contrat de 31 M\$ pour installer deux système complets à bord d'un destroyer Spruance. Le succès de cette épreuve conduit à l'adoption du SDMS pour les 50 destroyers Arleigh Burke.

Dans ce système, un bus est constitué par deux à cinq câbles courant sur la longueur du navire, chacun terminé par un régulateur de trafic TC qui évite les collisions en n'autorisant une connection que si son câble est disponible. Les multiplexeurs de zone AM sont liés à tous les câbles et alimentent soit des unités d'entrée / sortie , soit des multiplexeurs secondaires RM auxquels seront reliés les UES. Il existe aussi une unité de maintenance, reliée à tous les câbles, et grâce à laquelle le MTTR ne dépasse pas 15 minutes.

Le système est plafonné à 16 AM, 112 RM et 448 UES mais pour un système moins chargé, on peut supprimer les RM et disposer encore de 64 UES.

Chaque câble est un coaxial dans lequel circulent 5 porteuses échelonnées entre 40 et 80 MHz, sur chacune desquelles on applique un signal utile à 1,2 Mbauds. Les AM et les RM sont redondants, divisés en deux moitiés indépendantes et simultanées pour la sécurité. Dans le faisceau on utilise quatre des cinq câbles pour les données, et le dernier sert au contrôle du trafic.

Chaque UES est divisée en quatre sections, et chacune de celles-ci en 16 IOM, et chaque IOM adresse une ou l'autre moitié de RM. La structure particulière des messages de chaque correspondant, qui utilise un IOM, est notée dans une PROM, de sorte qu'il suffit de modifier le contenu d'une PROM pour adapter le réseau à un nouveau type de correspondant.

En résumé, le débit maximum d'un correspondant est 1,2 Mbaud, ce qui ne permet pas de faire communiquer entre eux des ordinateurs, mais suffit à la plupart des autres besoins. Le débit global du réseau est $1,2 * 4 * 5 = 24$ Mbauds. Le bus est asynchrone et la modulation de fréquence utilisée autorise tous les types de transmission, des signaux analogiques aussi bien que numériques ; par contre les communications d'adresses de RM à AM se font par créneaux (time division), solution simple et économique puisque le nombre de connexions sur un AM est une puissance de 2 connue.

Udicon est un bus naval série proposé par FMC, conçu pour fonctionner sur toute la longueur d'un grand navire, ce qui correspond à plusieurs centaines de mètres. C'est une boucle à deux canaux pour pouvoir toujours prendre le chemin le plus court, et fonctionnant à 10 MHz. Le premier niveau est constitué par une paire d'émetteurs / récepteurs qui coupent la boucle et régénèrent le signal ; il s'y attache un multiplexeur à partir duquel on peut brancher plusieurs correspondants dont les messages sont entrelacés. Ce qui circule sur la boucle est la combinaison de trois signaux codés Manchester : la synchro, le bit de données, et un bit de départ qui indique le début d'une donnée : le rythme est maintenu par la présence constante de la synchro.

Pour la sécurité, chaque élément E/R contient un relais dont la position préférentielle établit une continuité physique entre entrée et sortie de l'élément. Toute panne dans l'E/R relâche le relais et isole le coupable. D'autre part, une coupure de câble entre deux E/R n'empêche pas les communications de passer puisque l'information peut faire le tour par la partie non coupée ; par contre, la destruction des deux éléments de boucle traversant une tranche sépare le réseau en deux parties non communicantes.

Le système Udicon, qui n'a pas été présenté au concours de l'US Navy de 1974, a finalement été homologué plus tard et apparaît dans tous les bâtiments qui disposent de la conduite de tir Mk 26.

UNIBUS est le bus d'entrées/sorties des calculateurs DEC de type VAX. Le grand nombre de machines de ce type, auxquelles on peut ajouter les PDP 11, explique l'apparition de périphériques compatibles.

UNIVAC Canal mot : lors du lancement de la série 1100, les canaux 36 bits de la famille, multiplexés avec seulement trois fils de protocole, sont un héritage intellectuel du

NTDS étudié par Univac pour la Marine. Bien qu'Univac n'ait évidemment pas suscité autant de compatibles qu'IBM, cette interface est restée en activité pour les principaux périphériques de la famille jusqu'en 1987 au moins, Unisys continuant à supporter cette possibilité sur ses 2200 pendant encore 10 ans.

La principale évolution, qui se produit avec les 1100 / 40, est la possibilité d'utiliser cette voie en 18 ou 9 bits sur spécification externe (ESI), cad à la demande du périphérique lui-même.

Voir description de ce canal dans les manuels Univac des diverses machines 1100 (1108, 1110, 1100 / 10-20-40-80-90-60) qui figurent dans les boîtes d'archives.

USB 1 est un bus série d'entrées/sorties pour PC, introduit par Intel en 1997 pour unifier les liaisons des périphériques externes. Il ne comprend que quatre fils (2 fils d'information en mode différentiel, codage NRZ inverse, niveaux logiques du CMOS 3,3 Volts ; et deux fils d'alimentation, masse et 500 mA sous 5 V.) et peut théoriquement desservir en bretelle jusqu'à 127 périphériques, avec un débit cumulé de 12 MB/s et une portée de 5 mètres (cable blindé) ou seulement 3 (cable non blindé) ; en contrepartie, bien entendu, il nécessite un protocole assez complexe, pour lequel Intel a défini un contrôleur i82930A.

Comme bon nombre de périphériques n'ont pas besoin d'alimentation parce qu'ils la reçoivent déjà directement, certains utilisateurs du bus USB offrent des connexions souples à deux fils seulement, dont le connecteur est fragile et peu satisfaisant.

Une seconde spécification non propriétaire a été définie, sous le nom de Open HCI (Host Controlled Interface), par Compaq / Microsoft / National Semiconductors, et adoptée rapidement par 25 sociétés, dont Philips, Texas, Via, VLSI Tech, etc... Microsoft développera des drivers pour les deux philosophies.

Le bus a reçu immédiatement le soutien de HP, Packard Bell, Apple, Toshiba, Compaq, etc... et Intel l'a prévu sur ses cartes mères, mais c'est seulement la décision radicale de Apple, supprimant les autres connecteurs, qui l'a réellement lancé. On trouvera en boîte 149 un article de Electronique N° 73, 9 / 97, commentant les avantages du bus USB et son application chez Cypress.

Un USB 2 capable de 480 Mbit/s, soit environ 60 MB/s, effectuée des démonstrations chez NEC en fin 99, mais son déploiement n'est pas prévu avant 2001.

VLB est une tentative de normaliser l'interface de visualisation des PC, proposée en 6 / 92 par la Video Electronic Standard Association, de sorte que cette interface est aussi nommée dans la presse Bus VESA. Le VLB défini pour le microprocesseur Intel 486 présentait quelques lacunes : fréquence limitée à 25 ou 33 MHz, nombre de connecteurs plafonné à 3, pas de contrôleur propre ce qui impose d'en placer un sur la carte graphique, ou d'en définir un pour l'interface avec le bus ISA.

La tentative est donc apparue insuffisante, et une seconde proposition, VLB2, est sortie le 15 / 9 / 93, pour un bus 64 bits compatible Pentium, avec tampon pour un cache interne. En somme, l'interface VESA impose à la carte vidéo de contenir un contrôleur. Cette tentative sera rapidement contrée par Intel qui inventera le bus AGP pour jouer ce rôle, mais le fera avec d'autant plus d'autorité qu'il proposera des chipsets prenant en charge cette interface.

VME est une création de Motorola, constructeur de composants, qui avait observé le succès du Multibus d'Intel et pensait pouvoir faire au moins aussi bien dans le domaine du temps réel avec ses microprocesseurs 16 / 32 bits de la famille 68000. Le bus VME, soutenu par Mostek, Signetics, EFCIS en France, et une constellation de sous-traitants, est vite devenu assez solide pour qu'intervienne une norme IEEE 1014 derrière une norme européenne IEC 821. Ses caractéristiques détaillées seront trouvées en boîte 89 et peuvent être résumées ici :

- bus d'adresse non multiplexé, 16 / 24 / 32 bits
- bus de données 8 / 16 / 32 bits capable de 30 MB/s .
- bus local d'extension VSL vers la mémoire, 60 MB/s .
- bus série VMS, pour les intersignalisations et la maintenance.
- bus d'entrées / sorties, 1 à 5 MB/s
- 3 fils d'interruptions représentant 7 possibilités.
- 2 fils pour signal d'erreur et signal de défaillance secteur.

Le fonctionnement est asynchrone, l'arbitrage est libre, avec 4 priorités exploitables soit en pile soit à tour de rôle. Inconvénient : à chaque transfert, la carte émettrice doit attendre le signal d'acquiescement de la carte réceptrice pour libérer le bus, et c'est ce qui limite la vitesse. Les cartes mesurent 160 * 233,35 mm et sont espacées de 20 mm dans les racks. Chaque connecteur porte deux connecteurs de 96 bits, pour signaux de niveau TTL ; il existe aussi des demi cartes 160 * 100 mm avec un seul connecteur, dites Eurocards parce que le principal soutien à la normalisation est apparu en Europe où Motorola a une usine.

Le bus VME a été un très grand succès, et s'adjuge 19,3% des 1,76 B\$ de produits pour bus de fond de panier vendus en 1989. On pourra voir plus haut, sous le nom de Futurebus, son extension qui s'appelle aussi VME II, et qui se maintiendra très bien jusqu'en 2000 au moins, sous le seul sigle VME64.

En 1997, le succès du bus PCI, et la baisse consécutive du prix des cartes correspondantes, conduisent les promoteurs du VME à proposer à l'IEEE la définition des PMC, PCI Mezzanine cards, qui permettront aux châssis VME d'utiliser le PCI comme bus local d'un prix avantageux, sans perdre les caractéristiques de robustesse qui font choisir par l'industrie les solutions VME.

Les applications devenant de plus en plus complexes, la norme VME64 (Futurebus profil A) offre une possibilité différente : un nombre important de positions y sont disponibles sur les rangées externes du connecteur P2, et divers fournisseurs en ont profité pour proposer des bus secondaires pour désengorger le bus principal, incapable d'assumer seul tout le trafic :

- l'une de ces solutions est déjà normalisée, c'est le bus VSB = VME Subsystem Bus, mais compte tenu de l'époque de sa définition il est déjà dépassé.

- la nouvelle idée est le P2CI proposé par Cetia : le bus local PCI est relié à P2 par une carte VME particulière, et devient bus secondaire avec toutes les performances du PCI et les connecteurs VME. Cette proposition présentée à la VITA (VMEBus International Trade Association) et entérinée par la VSO (VITA Standards Organisation) à

travers un comité ad hoc est décrite dans l'article d' Electronique N° 76, décembre 97, dans la boîte 149.

- un autre exemple est le bus Raceway Interlink, par lequel la société Mercury Computer fait passer les multiples liaisons 32 bits, 160 MB/s, restructurables, suscitées par ses ASIC crossbars pour organiser le parallélisme dans une application.

A partir de 1997, les équipementiers du consortium VITA commencent à matérialiser les dernières avancées préparées par la VSO (voir rubriques Force 263 et Themis 564) :

- le doublement de performances à 80 MB/s permis par le mode 2eVME64.
- la nouvelle technologie VME 320 inventée par le consultant Arizona Digital pour le compte du fabricant de fond de paniers Bustronic, qui porte le débit à 320 MB/s en exploitant le bus en mode synchrone et supprimant l'accusé de réception lors des transferts.

VXI est un bus d'instrumentation destiné à succéder au GPIB, et soutenu par Hewlett Packard, Tektronix, etc... Il reprend en fait les concepts du GPIB, accéléré par les techniques à base de registres du VME, dont il apparait comme une dépendance périphérique.

Le VXI est un fond de panier 40 MB/s sur 32 bits, un châssis de 19" pouvant recevoir un maximum de 13 modules. Ce fond comprend les deux connecteurs P1 et P2 de 96 broches du bus VME, plus un bus analogique de sommation et un bus local à 12 broches pour liaisons intermodules.

Le slot 0 du châssis contient le gestionnaire de ressources avec horloge. Le connecteur P1 standard contient un bus 16 bits, l'arbitrage et les interruptions. Le connecteur P2 optionnel contient l'extension à 32 bits, le bus local à 12 lignes, l' horloge à 10 MHz, l'alimentation, et le bus de déclenchement TTL/ECL (?). Le connecteur P3 est optionnel et contient les autres extensions, et l'éventuelle horloge 100 MHz.

Deux tailles de cartes sont proposées : la carte C de 233 * 340 mm à deux connecteurs, et la carte D de 367 * 340 mm à trois connecteurs, beaucoup plus rare, en fait limitée aux cas où l'utilisateur a besoin de l'horloge à 100 MHz. Le bus VXI est bien adapté et bien accepté, mais reste une solution coûteuse et quelque peu encombrante.

Un autre problème du bus VXI est l'inconfort de sa programmation, dès lors qu'on souhaite profiter de la vitesse permise par le bus VME. Un logiciel a été étudié pour contourner cette difficulté.

690 - Périphériques Control Data

Control Data ne s'est jamais trouvé en position de créer ses propres périphériques, ayant besoin de toutes ses disponibilités pour financer ses ordinateurs. La société s'est donc procuré ses périphériques par l' OEM, au moins au début. Par la suite, prenant conscience que les clients dépensent autant d'argent pour les périphériques que pour l'unité centrale, CDC a cherché à devenir indépendant au moins dans certains domaines, et acheté divers fabricants de périphériques qu'il a regroupés administrativement dans une filiale, qu'il a tenté de partager avec NCR ; cette alliance, baptisée Computer Peripherals,

n'a pas duré très longtemps car CDC, en grave déficit, a du revendre progressivement tout ce qu'il possédait dans ce domaine.

La liste donnée ci-après est une tentative de mettre de l'ordre dans une production foisonnante que nous connaissons mal, les documents en notre possession ne représentant qu'une faible part des sigles et noms trouvés dans les publicités.

Bandes magnétiques

CDC 603 (1962) est un dérouleur 7 pistes 200 / 556 bpi, avec 2,75 ms pour start, 2,25 ms pour stop, une vitesse de croisière de 75 ips, et un rebobinage à 320 ips. Prix au début de 1966 \$ 24000 à l'achat, \$ 550 / mois en location.

CDC 604 est le même dérouleur en trois densités, donnant donc à 75 ips des débits de 15000, 41000 ou 60000 cps. L'appareil est compatible avec l' IBM 729, dispose de parités latérale et longitudinale, et autorise la lecture arrière. Prix au début de 1966 : \$ 26000 à l'achat, \$ 600 / mois en location.

CDC 606 (1963) est l'équivalent du 603 en 150 ips, ce qui ne raccourcit que le stop, à 1,75 ms. Prix \$ 36000 à l'achat, \$ 825 / mois en location.

CDC 607 est la même machine en trois densités, avec en outre la vitesse de rebobinage portée à 350 ips. Nous disposons d'un manuel de référence en boîte 17. Prix 1966 = \$ 41700 / 875 .

Ces quatre machines utilisent un contrôleur 3228 pour 4 dérouleurs sur un seul canal, ou un 3229 pour 8 dérouleurs, ou un 3433 pour 8 bandes avec deux canaux.

CDC 626 (1964) est une tentative originale pour accroître les performances d'une mécanique de 606 en portant la densité à 800 bpi et surtout en utilisant des bandes larges à 16 pistes : synchro, 6 bits d'information, un bit de parité, 6 bits d'information, un bit de parité, une synchro. A part cela, mêmes performances et double sens de lecture.

CDC 601 (1965) est un dérouleur 7 pistes économique, 200 / 556 bpi, limité à 37,5 ips avec start/stop en 3 ms et rebobinage à 190 ips. Prix 1966 = \$ 11000 / 250 .

CDC 608 (1966) est un dérouleur 7 pistes, 3 densités, 37,5 ips, compatible IBM 729, y compris lecture AR. Le contrôleur est un 3128, 1 canal, 8 bandes.

CDC 609 (1966) est un dérouleur 9 pistes, avec deux densités 200 bpi = 7500 cps, et 800 bpi = 30000 cps. Il est compatible avec l' IBM 2400, avec parités latérale et longitudinale et relecture après chaque écriture, mais pas de lecture arrière.

Utilise un contrôleur 3121, un seul canal et seulement deux dérouleurs.

CDC 657 / 659 (1970) est une mécanique à 150 ips acceptant la lecture arrière : le 657 utilise des bandes 7 pistes 3 densités plafonnant à 120 Kcps, le 659 est un 9 pistes 800 / 1600 qui peut atteindre 240 Kcar/s. Les prix sont 272844 FFHT à l'achat pour le 657, 256727 FFHT pour le 659 ; les locations comprennent 4343 FFHT/mois de loyer et 871 ou 932 FFHT/mois de maintenance.

Le contrôleur est soit un 3518 à un canal, 262844 / 4582 / 1082 FFHT, soit un 3528 à deux canaux, coûtant 409266 / 6753 / 1742 FFHT. Les locations sont basées sur un contrat de 5 ans.

CDC 667 / 669 (1973) constituent les modèles standard pour les 6000 et les Cyber, avec choix de vitesse 100 / 150 / 200 ips et de densité 556 / 800 / 1600 bpi, ce dernier cas pour le 9 pistes seulement.

Le contrôleur est soit un 7021 à un ou 2 canaux pour les compatibles 6000, soit un 7622 pour les 7600 et Cyber 76. Nous disposons d'une fiche en boîte 17. CDC 34201, rebaptisé ensuite 92xxx, est un dérouleur (japonais ?) compatible IBM 3420 et proposé en 1973, disponible en toutes densités, toutes vitesses et tous formats.

CDC 677 / 679 est le modèle de 1976, proposé pour trois densités 800 / 1600 / 6250 bpi, trois vitesses 100 / 150 / 200 ips et seulement en 9 pistes, pour travail avec les contrôleurs 7021. 31 / 32 à minicalculateur incorporé. Chargement automatique.

Voir document sur les dérouleurs et fiche contrôleur en boîte 17.

Dérouleur de sauvegarde (1968) 12,8 Mbit/s à 150 ips sur 36 bits de large en bandes de 2" et bobines de 3600 ft, ce qui donne une capacité de 4 Gbits. Peut fonctionner en mode standard avec gap de 1" entre enregistrements, ou en streamer pour les sauvegardes.

CDC 9216 (1976) est un dérouleur en rack, 75 ou 125 ips, proposé soit en GCR 6250 bpi, soit en NRZI / PE 800 / 1600 bpi, avec le contrôleur associé.

CDC 923xx (1976) est un dérouleur OEM offrant en 9 pistes toutes vitesses et toutes densités.

Bandothèque

SCROLL (1974) est une mémoire de masse qui reprend le brevet Clevite : une bande de 12" de large, divisée en segments de 30" qui sont lus par un tambour tournant à 3500 t/min et contenant des têtes encastrées, avec un coussin d'air intercalé.

Longueur totale 3000 ft, soit un Terabit. Débit 4,5 MB/s, mais accès moyen en 17 secondes ce qui est trop long. Pas de succès.

CDC 38500 / 98500 (1975) est apparemment une bandothèque japonaise, sans qu'on puisse dire si CDC en a pris la licence de fabrication ou seulement celle de commercialisation. Le stockage comprend 2000 cartouches dont chacune contient une bande de 2,75 * 150" (69,85 * 3810 mm) logeant 8 MB ; le sélecteur fonctionne comme un chariot de plotteur XY et place la cartouche à une station d'attente. La station travaille en GCR 6250 bpi, avec des chambres à vide, et transfère 806 KB/s compatibles 3330, le délai total étant de 5 secondes.

Le logiciel VDAM fonctionne sous OS ou VS et accepte jusqu'à 4 interfaces de calculateur, avec ou sans disque 3330 en tampon ; il assure les modes d'accès direct ou séquentiel, la gestion des tampons sur disques et celle des files d'attente.

Prix : \$ 326335 + \$ 987 / mois, avec une capacité de 16 GB et deux stations de lecture. On peut rajouter jusqu'à deux stations au prix de \$ 52000 pièce. Les cartouches coûtent \$ 120 pour 8 ex. Ce matériel a été proposé à tous clients, puis fin 78 aux acheteurs de Cyber sous le sigle CDC 7880, au prix de \$ 362365 : six étaient en service au 1 / 1 / 79.

Bande perforée

CDC 3691 inclut en un seul meuble un LR photoélectrique à 350 cps, une perforatrice à 120 cps, un contrôleur qui dispose d'un seul canal.

CDC 3694 est le même matériel, avec un lecteur poussé à 1000 cps et un contrôleur à deux canaux.

Cartes perforées

CDC 405 (1963) est un lecteur 1200 cpm avec deux stackers, 240 cartes pour le secondaire. Il y a un tampon de 80 caractères dans le contrôleur pour permettre un contrôle par double lecture. Le contrôleur 3447 existe en deux variantes, binaire 12 bits et ASCII.

Prix : \$ 22500 /400 sur contrats de location de 5 ans, en France 1971 : 145723 / 1993 / 394 FFHT Contrôleur 3447 = 74412 / 1041 / 333 FFHT, 3447.2 = 86697 / 1190 / 372 FFHT.

CDC 415 (1965) est une perforatrice de cartes 250 cpm avec tampon de 80 caractères dans le contrôleur pour contrôle par relecture. Codage binaire 12 bits ou ASCII.

Prix : \$ 18150 / 295 ou, en France 1971 : 117819 / 1398 / 360 FFHT sur contrat de location 5 ans.

Contrôleur 3446 = 142623 / 2320 / 394, 3446.2 = 154908 / 2500 / 422 FFHT .

CDC 9200 (1973) est un matériel modulaire , pour 80 colonnes, ou 51 colonnes + marques, proposé en 4 vitesses de 300 à 1200 cpm, vendu en OEM au prix de \$ 1275 à 1700 par lot de 100.

Lecteurs optiques

CDC 915 est un produit Rabinow fonctionnant par cellules photodiodes et matrice de comparaison, jusqu'à 370 cps en majuscules. Alimentation à vide, convoyeur à courroie pour documents 2,5 * 4 à 14 * 12" (soit 63,5 * 102 à 356 * 305 mm), soit par exemple 180 doc/min pour 216 * 292 mm.

CDC 935 (1968) lit trois lignes de document simultanément grâce à 3 cameras qui accèdent à 1100 bits par caractère (14 colonnes de 80 bits) et transmettent successivement par fibre optique ces observations à 80 photomultiplicateurs pour pondération et comparaison. Débit 750 cps. ~ 20 doc/s car seules trois lignes sélectionnées sont lues. Format 2,5 * 3 à 8,5 * 5,5 " (soit 63,5 * 76 à 216 * 140 mm), mm), épaisseur 4 à 10 mils (soit 0,1 à 0,25 mm), transporteur à courroie.

Incorpore un CDC 1700 et fonctionne off line, produisant bande magnétique ou perforée.

Prix : \$ 191550 à l'achat ou \$ 5465 par mois en location.

CDC 955 (S 3 / 71) est probablement dérivé du précédent, mais utilise un SC 1700 plus économique avec tampon 1,1 µs, une plus grande variété d'accès (bandes journal, manuscrits) et un plus grand choix de polices (OCR A et B, 1428, 1403, 7B, E13B, 12F, NOF) .

Logiciels DRAFT, GRASP, simulateur de clavier, traitement de listes. Prix : \$ 197980 / 5498 .

CDC 921 (1971) est cette fois à balayage laser, acceptant trois polices (OCRA taille 1 et 4, OCRB taille 1, Farrington 7B) . Lit 1200 doc/min ligne à ligne au débit maximum de 2210 cps. Il incorpore un CDC 8092 à 4KB, un dérouleur de bande magnétique et un télétype, pour 10800 FFHT / mois.

CDC 92650 (1976) est vendu en OEM : il lit les OCR A et B et l'écriture manuscrite, dispose d'un stacker à deux cases et accepte des documents en format libre.

Imprimantes

CDC 166 est une imprimante 150 lpm pour les diverses variantes du calculateur CDC 160 / 160A / 8090.

CDC 501 est l'imprimante à tambour des CDC 3000, 1000 lpm sur 136 colonnes.

Alphabet de 64 caractères, bande pilote. Prix \$ 42500 / 865 .

CDC 505 est la même, détimbrée à 500 lpm et vendue \$ 25500 / 635 .

CDC 512 (1967) est une imprimante à chaîne pour tous calculateurs 3000 et 6000, 1200 lpm avec le jeu de 48 caractères, maximum 1500 lpm avec des jeux réduits.

La chaîne 595 est proposée en trois versions de longueur et 6 polices, code ASCII.

Saut de papier par bande pilote 12 trous à lecture photoélectrique, espacement 6 ou 8 lignes par pouce, 70 ips atteints en 2 lignes, arrêt sur 2 lignes.

Prix en France 1971 : imprimante 79044 / 4194 / 1348 FFHT - chaîne 18603 / 565 FFHT - contrôleur 3555 = 167427 / 3243 / 272 FFHT .

CDC 712 (1971) est une mécanique Univac dans un carter et avec une électronique CDC, fabriquée comme hardcopy pour l'écran CDC 711.

CDC 9320 (1971) est une imprimante à 200 lpm pour vente OEM, 4 options de 80 à 136 caractères par ligne, bande pilote.

Fasttrain 14031 (1973) est une imprimante à bande vendue en OEM, compatible IBM.

Choix de trois vitesses 1200 / 1600 / 2000 lpm, chaîne standard 384 = 8 * 48

caractères. Contrôle automatique de qualité d'impression selon l'épaisseur du papier ;

stacker automatique sur les deux modèles les plus rapides. Prix de base : \$ 28200 avec contrôleur.

CDC 580 (1977) est une imprimante à chaîne sur 136 colonnes, trois modèles de vitesses 12090 / 1600 / 2000 lpm avec 48 caractères, plus avec alphabets réduits.

CDC 3254 est une imprimante à tambour à contrôleur incorporé, 300 lpm sur 136 caractères, alphabet de 64 caractères, commande par bande pilote, probablement pour l'OEM.

CDC 9318 (1977) est une imprimante série à une tête, 180 cps = 70 à 200 lpm.

CDC 9319 est une imprimante série à deux têtes, 360 cps, 125 lpm, même mécanique que la précédente.

CDC 9380 (1977) est une imprimante à bande vendue en OEM, 132 car/ligne, bandes de 48 / 64 / 96 / 128 caractères, vitesse de 175 à 1130 lpm selon bande et vitesse.

Certainty 420 (1978) est une ME 180 à matrice, bidirectionnelle, 10 ou 16,5 caractères pa pouce, produite pour les calculateurs Series / 1 d' IBM.

Certainty 450 (1978) est une imprimante OEM à bande horizontale, produite pour le calculateur Series/1 d' IBM. 132 car/ligne, espacement 10 ou 15 car/pouce, bande 384 caractères en jeux de 48 / 64 / 96.

Prix : 10995 à 15300 \$.

Mémoire add on

CDC 94300 (1977) est une mémoire à tores proposée en cartes 16 Kmots, proposée en deux vitesses : 94300 avec un cycle de 650 ns, et 94320 avec un cycle de 750 ns.

Tambours magnétiques

CDC 861 (1963) est un tambour magnétique tournant à 1800 t/min, contenant 768 pistes de 32768 bits, soit 4,2 Mcar de 6 bits. L'organisation matérielle est en

64 bandes de chacune 12 pistes d'information + une de parité, les 13 bits lus en parallèle à 2 Mcar/s, barre porte-têtes mobile.

Contrôleur à un canal, prix \$ 80000 / 1850.

CDC 862 tourne à 3600 t/min et ne contient que 16384 bits par piste, on a donc le même débit au prix d'une capacité et d'un temps d'accès divisés par 2. Prix \$ 75000 / 1740 .

CDC 863 (1964) est un tambour de 4 Mcar, tournant à 3600 t/min, organisé en secteurs de 100 caractères, et débitant 1,3 Mcar/s. Le contrôleur 3637 à 2 canaux peut supporter 8 tambours .

CDC 865 (1964) est le même tambour physique avec une capacité de 8,3 Mcar et un débit réduit à 1 Mcar/s, obtenu en tournant à vitesse moitié.

Nous disposons d'un manuel de référence de 1966, décrivant une version B de ces tambours et des contrôleurs 3636 et 3637, mais les performances et caractéristiques indiquées sont celles données ci-dessus.

CDC 1751 (1967) est un tambour à têtes fixes et lecture parallèle, débitant 125000 mots/s et tournant à 3750 t/min. Proposé en 4 capacités, 64 / 128 / 192 / 256 Kmots.

CDEC 8950 (1964) est un tambour apparemment construit spécialement comme distributeur pour un système expérimental de temps partagé à base de CDC 8090.

Disques magnétiques

CDC 807 / 808 (1963) comprend 2 ou 4 piles de disques, chacune 8 disques, en tout 32 faces d'information contenant chacune 192 pistes de 16 secteurs, servis par deux peignes indépendants. Rotation 1140 t/min. Densité 850 bpi. Capacité 84 ou 168 Mcar, lus en parallèle sur 12 pistes à 840 Kcar/s .

CDC 813 / 814 sont respectivement 100 et 200 Mcar, organisés en secteurs de 256 caractères, avec un débit de 196 Kcar/s. Le positionnement du bras prend 30 à 165 ms pour le 813, 30 à 110 ms pour le

814 et le délai de rotation est 25 ms, correspondant à une vitesse de rotation très modeste de 1200 t/min. Le contrôleur est un 3234 à 2 canaux, pour 8 dérouleurs.

CDC 828 / 838 (1965) sont des disques à deux accès, avec des capacités respectives de 33 et 66 Mcar, un temps d'accès de 187 ms, et un débit de 96 Kcar/s. Ces chiffres modestes surprennent à cette date.

Prix \$ 92000 / 2400 pour le 828, 155000 / 3600 pour le 838.

CDC 6608 (1966) sont des disques fixes pour les premiers 6600, tournant dans un plan vertical. L'unité comprend 8 axes, en deux groupes coaxiaux de 4 juxtaposés. Les bras porte-têtes sont mus hydrauliquement, et placés entre deux modules. Chaque module comporte 9 disques, ce qui donne 8

paires de faces utiles; chaque patin porte 6 têtes espacées de 3 pistes, de sorte qu'en trois positions juxtaposées on explore une bande. Au total, les têtes peuvent prendre 32 positions de sorte qu'il y a une bande incomplète. Les deux patins d'un dispositif d'accès accèdent simultanément à 12 pistes dans deux modules contigus.

Les disques de 2 ft de diamètre tournent à 1200 t/min et un tour donne accès à 8192 mots de 60 bits, ce qui

veut dire qu'une piste contient $5 * 8192$ bits ; 8 modules avec 8 paires de faces portant 32 pistes donnent une capacité de 16 Mmots environ.

L'unité possède deux canaux: le premier appelé choisit son groupe de 4 modules (figure), l'autre canal doit alors consulter l'autre groupe. A cause du parallélisme le débit atteint 1,68 Mcar/s ; les temps d'accès sont 34 ms au sein d'une bande, 40 à 100 ms pour changer de bande.

CDC 6607 (1966) semble être la même mécanique, avec un seul groupe de 4 modules contenant 36 disques

et donc un seul canal. Prix avec contrôleur \$ 200000 .

CDC 852 / 3 / 4 (1966) est à base de dispac, de conception analogue aux 2311 d'IBM. Le pack de six

disques offre 10 faces utiles accessibles par un peigne de 10 bras en 100 ms en moyenne.

Le 852 est un compatible IBM, débitant 208333 cps et utilisant un contrôleur 3232. Le 853 à 100 pistes par face et le 854 à 200 pistes par face sont plus lents, 78000 cps, chaque piste découpée en

10 secteurs de 384 caractères, donnant des capacités de 1,5 Mcar pour le 853, 3,1 pour le 854, qui tous deux utilisent un contrôleur 3234. Tous ces packs tournent à 1200 t/min.

CDC 841 (1969) est une unité compatible avec le 2314 d'IBM, avec des packs 871 de 11 disques

contenant 35,75 Mcar, organisés en secteurs de 640 caractères de 6 bits. Un sous-système comprend

de 3 à 8 unités plus une rechange et débite 420 Kcar/s après un temps d'accès moyen de 75 ms.

Prix en France 1190592 / 22224 / 3180 FFHT ; le contrôleur 3553 autorise double accès et deux

canaux, au prix supplémentaire de 10163 FFHT par tourne-disque.

CDC 7638 (1971) est encore un système à disques fixes totalisant 79,6 Mmots, accessibles par 16 têtes lisant en parallèle qui donnent un débit de 6 Mcar de 6 bits par seconde. Chaque disque contient 512 pistes de 40 secteurs. Le temps d'accès du peigne est 30 à 145 ms, la vitesse de rotation est 1690 t/min. Prix en France 2340000 / 57358 / 6105 FFHT avec contrat de location de 5 ans.

CDC 9425 (1971) est une cartouche de 25 Mbits, comparable à l'IBM 54440, avec un temps d'accès moyen de 70 ms. Elle évoluera vers un CDC 9427 de 12 MB.

CDC 844 (1972) est un dispack de 14", 11 disques, 19 surfaces, 4040 bpi, 384 tpi, 3600 t/min, compatible avec l'IBM 3330. Voir fiche et photo. Prix en France 3311 FFHT / mois + 555 de maintenance, et 10294 / 1610 FFHT pour le contrôleur 7654.

CDC 846 (1972) est un disque en cartouche compatible avec l'IBM 1130. Sectorisation 1 à 31.

CDC 847 (1972) est un disque en cartouche compatible avec l'IBM S/3. Sectorisation 1 à 32.

CDC 9790 (1973) est un disque à têtes fixes, enregistrement 6000 bpi, 1 à 4 têtes débitant jusqu'à 38,7 Mbit/s. Positionnement électromagnétique en 50 ms moyen, vitesse 3600 t/min. Vente OEM à \$ 29600 par lots de 100.

CDC 9760 (1973) est un tourne-dispack de 40 MB, 6000 bpi, 2400 t/min, utilisant le pack 9876 à 5 disques et un système de bras mu par bobine de HP, accès moyen 30 ms, débit 9,6 MHz. Il existe un 9762 de 80 MB par doublement du nombre de pistes. Prix OEM \$ 3900 par lot de 100.

Voir fiche et photo en boîte 17.

CDC 9780 (1973) est une copie compatible du 3330 IBM Mle 11, 4400 bpi, 6,4 MHz, en packs de 200 MB. Il est vendu en OEM à \$ 10500 la pièce. Le CDC 33302 est le même matériel vendu en indépendant.

CDC 33401 (1974) est une version compatible du 3340 IBM, 5500 bpi, 7,1 MHz, en unités de 70 MB à têtes incorporées dans le pack.

CDC 9764 (1975) reprend la mécanique du 9760 avec un nouveau dispack à 12 disques, 19 faces, 6000 bpi 192 ou 384 tpi, ce qui correspond à des packs de 150 ou 300 MB. Voir photo en boîte 17, ainsi qu'une copieuse notice qui décrit ces deux tourne-disques sous les sigles BT6 et BT7.

CDC 9730 est un disque OEM à têtes fixes, 6220 bpi, 300 tpi, capacité 12 ou 24 MB, pour petits besoins.

CDC 9756 (1976) est un dispack compatible 3330 IBM, 4040 bpi, offert en packs de 100 ou 200 MB. La date qui est celle d'une publicité est peu compatible avec cette définition : le matériel existait forcément dès 1973 et probablement ne pouvait plus être vendu en 1976 qu'à prix cassés.

CDC 819 et le contrôleur 7639 (2/76) sont des matériels spécialisés dans le soutien des calculateurs 7600 et Cyber 76. Voir fiche en boîte 17.

CDC 33801 (1976) est un Winchester 5500 bpi, débit 7,1 MHz, intégralement compatible IBM. Accès en 25 ms, débit 1,2 MB/s, option de têtes fixes accédant à 1,24 MB. Ces disques sont commercialisés avec un contrôleur 33802 pour un maximum de 4 sous-systèmes comprenant chacun deux axes de 400 MB, perçus par le système comme une paire de 3330 Mle 11.

CDC 7154 est en fin 1976 un contrôleur à 1/2/3/4 canaux pour relier à tous Cyber 70 ou 170 des mélanges de disques 844, versions 2 à 21 ou 41 à 44. Voir photo et fiche en boîte 17.

CDC 9448 (1977) est un ensemble OEM composé d'un disque fixe de 16, 48 ou 80 MB et d'une cartouche amovible de 16 MB, avec un débit de 9,67 MHz supérieur à la moyenne du marché.

CDC 9776 (1977) est un ensemble OEM composé d'un disque Winchester comprenant 400 MB amovibles et 1,72 MB de têtes fixes, avec le débit ci-dessus de 9,76 MHz. Ce matériel apparaît à l'ordinateur soit comme un 3350, soit comme une paire de 3330.

CDC 33502 (1978) est produit par la filiale Magnetic Peripherals et se présente comme deux axes de 635 MB, 20 surfaces, 40 têtes mobiles, 660 tpi, plus une option pour 1,72 MB en têtes fixes. Il est perçu par un ordinateur IBM comme deux 3350. Accès moyen 19 ms.

Prix \$ 59600 avec contrôleur, \$ 50250 pour un subordonné. Un supplément de \$ 12750 est nécessaire pour l'addition des têtes fixes. Le contrôleur CDC sait mélanger ce disque avec les autres modèles de 100, 200, 400, et 317,5 MB.

CDC 9775 (1978) est un produit OEM compatible 3350, mais vendu \$ 22 / MB, soit \$ 15155 par quantités. Le module magnétique hermétique comprend 675 MB en 12 disques à 6400 bpi et 9,7 MHz, ainsi qu'en option 1,9 MB avec têtes fixes. Format FMB. Temps d'accès moyen 25 ms. Le contrôleur associé comprend 27 cartes, y compris deux microprocesseurs pour la commande des têtes et pour les tests / diagnostics.

Certainty 2xx (1978) est une famille de disques destinés aux calculateurs IBM Series/1, fournis sur la base des contrats prévus dans l'arrangement post-procès. Les modèles sont :
210, floppy de 608208 bytes, prix \$ 2690.

230, disque fixe étanche au format d'une cartouche, deux modèles 9,3 et 19,7 MB, deux ou quatre bras mobiles plus une option pour 48 têtes fixes accédant à 740 KB. Prix \$ 6850 à 12860 .

240 combine un 210 et un 230 dans un boîtier commun.

270 offre des tourne-disques de 63 / 126 / 240 MB, débit 1,2 MB/s. L'unité comprend alimentation et refroidissement, le contrôleur tient sur une carte qui s'enfiche dans un processeur Series/1.

Prix 21250 à 40500 \$.

CDC 9455 LARK est une unité de format 8" combinant 8 MB fixes et 8 MB amovible. Ce n'est pas du pur Winchester puisque les têtes sont rétractables, ce qui impose une densité de 6774 inversions de flux par pouce et 237 tpi. Cependant, un code spécial dit "2.9 code" permet de mettre en moyenne 1,3 bit par inversion de flux et coûte 4 circuits ECL spécialement conçus. Un microprocesseur 8049 sert à commander les têtes, à travers un positionneur linéaire à bobine de HP, accès moyen 50 ms, débit 1,2 MB/s.

L'unité occupe 216 mm large * 130 mm haut * 533 mm profondeur, son alimentation et son contrôleur étant logés dans une autre boîte de 216 * 104 * 216 mm. Livraison en 2 / 81 au prix de \$ 2700, plus \$ 80 par cartouche.

CDC 885 (9 / 79) est un disque de 692 Mcar, 6436 bpi * 662 tpi, débit 9,6 Mbit/s, utilisable par tous les Cyber 170. Voir photo et fiche en boîte 17.

CDC 9715 (1983) existe en deux versions composées toutes deux de 7 disques de 9", soit 12 surfaces équipées de 24 têtes dans un boîtier de 259 * 216 * 762 mm, pesant 37 Kg. La pile tourne à 3600 t/min et supporte 711 cylindres, serrés à la densité de 960 tpi. Le débit est 968 KB/s. Les porte-têtes assurent un accès moyen en 20 ms, 45 ms au maximum, 5 ms pour un passage de piste à piste. L'interface est SMD, le MTBF calculé de 15000 heures.

Le modèle FSD 340 , 9492 bpi, 344 MB non formaté, coûte 6820 \$; le modèle FSD 500, 15159 bpi, atteint 516 MB non formatés, et coûte 7855 \$.

CDC 3380 (1983) se compose de quatre HDA scellés de 630 MB chacun, avec 4 logiques et 4 alimentations, 800 tpi. Le contrôleur 33800 ne diffère de son prédécesseur 33750 que par le formatage ; il contient un microprocesseur qui assure une maintenance intégrée.

XMD 9971 est un module de disques 14" à couche d'oxyde, têtes à film mince, 5 disques, 8 surfaces, 16 têtes, 15400 bpi, 960 tpi, regroupant 825 MB dans un boîtier étanche refroidi par ailettes, mesurant 264 mm de haut * 480 mm large * 765 mm profondeur, pesant 80 Kg. Le pack tourne à 2160 t/min, débite 1,45 MB/s dans une interface SMD. L'actuateur linéaire donne un temps d'accès moyen de 16 ms, maximum 30 ms, piste à piste 5 ms. L'électronique tient en 4 cartes, et le MTBF atteint 10000 heures. Le prix ne dépasse pas \$ 10000 par quantités.

Cricket est un Winchester de 3,5", annoncé en 1983. C'est un monodisque double face recouvert de NiCo, contenant 6,38 MB non formatés à 15390 bpi et 450 tpi, et des têtes à film mince. Le contrôleur se réduit à deux circuits intégrés pour la lecture et l'asservissement, et cette simplicité assure un MTBF de 30000 heures. L'interface ST506 travaille à 5 Mbit/s, l'accès moyen se fait en 117 ms.

CDC 9772 XMD II (1985) est un Winchester qui loge 858 MB dans 5 plateaux de 14" occupant un tiroir. L'accès moyen prend 24 ms, le débit atteint 24 MHz ou 3 MB/s dans une interface SMD.E. Mis en évaluation en 7/85, ce disque est produit en série à partir de 10/85 au prix de \$ 8340.

CDC 9720 transpose cette technologie au diamètre 8", avec un débit de 14,5 MHz = 1,8 MB/s. L'interface est au choix SMD ou SMD.E par commutation. Le prix est \$ 4305.

CDC 836 est un disque à film mince de 414 MB, destiné aux ordinateurs départementaux de la famille Cyber 180 et aux 930, il débite 14,5 MHz. Le 9836 est sa version OEM.

CDC 895 offre 611 MB par axe et un débit de 24 Mbit/s, ce qui le situe vers 1985. Pour Cyber 180

CDC 9853 est un disque OEM offrant 1150 MB par axe, avec le même débit de 24 MHz.

CDC 887 offre 550 MB par axe, avec un débit global de 96 Mbit/s, qui suggère des lectures multiples, par exemple un accès de type RAID.

MMSS (1990) est un matériel militaire en rack, destiné aux installations sur véhicules. Il utilise des cartouches amovibles étanches de diamètre 5,25", avec des capacités de 155 ou 331 MB, un débit de 1,25 MB/s, et un temps d'accès moyen de 18 ms.

E/SA (1990) est aussi un disque militaire, pour usages aériens : diamètre 3,5", capacité 171 MB, débit 10 Mbit/s dans une interface SCSI, accès moyen 15 ms.

Lecteurs de disquettes

CDC 9404, 9406 (1977) est un lecteur de disquettes de 3,2 Mbits non formaté, ou 1,9 Mbit en formatage IBM, offrant une densité de 3268 bpi et un ensemble de 77 pistes groupées à 48 tpi. La double densité est possible en option.

Le Mle 9406 propose un bras deux fois plus rapide.

Le Mle 9474 est un boîtier contenant de 1 à 4 de ces lecteurs avec un contrôleur.

Nous disposons de deux fiches décrivant ces divers modèles.

CDC 9408, 9409 (1980) est un minifloppy de diamètre 5,25", proposé en simple ou double densité avec des capacités de 109 ou 218 KB, sur 35 pistes espacées de 48 tpi. Le 9409 est la version double face, qui double les capacités.

Disque optique

Laserdrive 1200 (1984) est un disque de 306 mm de diamètre en tellure placé entre deux couches de verre, supportant un sillon en spirale de 0,6 μ de large, effectuant 32000 tours et contenant 32 secteurs de 1 KB par tour, soit au total 1 GB environ. L'enregistrement est permanent par brulure du tellure et comporte un code ECC Reed-Solomon qui garantit un taux d'erreur inférieur à 10^{-12} .

Le laser d'inscription est une diode Philips de 15 mW, le faisceau réfléchi étant utilisé pour un contrôle d'erreur. L'émission occupe 4mm de diamètre mais elle est concentrée optiquement; la lecture s'effectue avec le même laser mais à la puissance de 1 mW. Caractéristiques mécaniques: 480 t/min, débit 250 KB/s. Positionnement 1 ms/piste, soit en moyenne 200 ms, interface SCSI.

Meuble de 13 * 48 * 63 cm, 25 Kg. Prix 7000 \$ par lot de 100. Disques: 280 \$ par lot de 500.

Collecte de données

CDC 180 (1960) est un collecteur de données en forme de pupitre mural, produisant de la bande perforée 16 cps à partir de cartes (maximum 3 cartes = 240 caractères par enregistrement) et d'un jeu de dix boutons décimaux.

CDC 1180 (1963) permet de relier un pupitre 180 à un ordinateur.

CDC 8010 (1964) est un système de collecte de données comprenant:

- des postes 8011 de collecte
- des multiplexeurs 8012 ou 8013
- un téléprogrammeur 8092, recevant les messages multiplexés et les transmettant sur ligne téléphonique.
- un enregistreur, si le réceptacle final n'est pas un ordinateur.

CDC 0107 (1966) remplace tout le matériel précédent et se compose de postes de saisie acceptant en standard 10 chiffres affichables et 15 ou 22 colonnes lues sur une carte plastique, plus en option un badge et jusqu'à 30 caractères d'informations fixes pour identification du poste. Transmission à 120 bauds sur ligne unique exploitée par polling.

Communications

CDT (1962): aucun renseignement

CDC 8528 (1964) est un contrôleur pour 1 à 7 lignes véhiculant du 12 bits série.

CDC 8061 (1964) est une liaison entre ordinateurs de type 160 sur ligne téléphonique. L'équipement se décompose en un contrôleur 8523 et un convertisseur série/parallèle et parallèle/série.

CDC 8063 (1964) est un convertisseur série/parallèle 12 bits pour insertion dans un 8061.

CDC 8297 (1964) est un convertisseur série/parallèle 8 bits pour liaison entre un ordinateur 160 et un dataphone 201.

CDC 8097 (1964) est le convertisseur série/parallèle 8 bits contenu dans le CDC 8092.

CDC 8030 (1964) est une interface de transmission entre n'importe quel poste numérique (IP, LR/PR, LC/PC, ordinateur) et une ligne; il comprend un 8092, un contrôleur et un modem.

CDC 311, 312 (1965) est un contrôleur pour liaison full duplex à travers un dataphone 201/2 (asynchrone 2400 / 1200 bauds), avec (312) ou sans (311) appel automatique, prix : \$ 4250 / 85 ou \$ 6750 / 135 .

CDC 313, 314 (1966) offre le même service pour un dataphone 103 (asynchrone 300 bauds),

prix \$ 3500 / 70 ou \$ 6000 / 120 .

CDC 2552 Host communication processor (3 / 74) est un calculateur capable de gérer jusqu'à 256 lignes pour le compte d'un calculateur de la famille Cyber 170. Nous disposons de deux fiches décrivant d'une part le processeur, d'autre part les divers adaptateurs de lignes, synchrones et/ou asynchrones selon divers protocoles jusqu'à 56 Kbit/s.

CDC 2551 Network Processing Unit (8 / 77) est un calculateur autonome, capable de gérer un réseau de communications avec d'autres NPU, et de relier ce réseau à un ou plusieurs ordinateurs hôtes. Côté lignes, il peut recevoir jusqu'à 127 adaptateurs de lignes, tous protocoles. Voir fiche.

CDC 380 Network Access Device (1981) est une interface entre un canal de calculateur Cyber 170 et un à 4 réseaux . Le câble de réseau est capable de 50 Mbit/s et peut s'attacher jusqu'à 27 autres NAD. Nous disposons de fiches décrivant les diverses extensions possibles de ce système, cartes de mémoire et cartes de protocoles.

Terminaux

CDC 6060 (1965) est un terminal en forme de calculateur de bureau, destiné au travail en temps partagé local sur un ordinateur du type 6600. On en trouvera une notice dans la fiche 6600.

CDC 321, 322, 323 (1966) est un adaptateur de ligne pour un téléimprimeur 60, 75 ou 100 mots/min . Prix \$ 2000 / 40 en full duplex, \$ 1250 / 25 en half duplex, ne comprend pas le TTY.

CDC 200 (1967) est un terminal composé d'un contrôleur câblé, d'un écran dd10 avec clavier, d'une IP 300 (alphabet de 63 caractères sur 80 ou 136 car de large), et d'un LC 100 de table. Le contrôleur contient un tampon de 1000 caractères et un adaptateur de ligne en deux modes, block pour le téléprocessing ou line pour le temps partagé. L'adaptateur de ligne comprend détection d'erreur et retransmission automatique.

CDC 2025 (1968) est un collecteur de messages recevant de 7 à 200 lignes et plaçant les messages sur bande magnétique après contrôle et édition. Le 2025.1 comprend deux dérouleurs travaillant en bascule, le 2025.2 y ajoute une machine à écrire.

CDC 731, 732, 733 (1972) sont des terminaux lourds construits autour d'un calculateur CDC 160A. Choix de périphériques jusqu'à 1200 lpm pour l' IP, et mémoire à tores ou semiconducteurs.

CDC 734 / 27801 (1973) est un terminal beaucoup moins coûteux construit autour d'un calculateur 16 K microprogrammé émulant soit le précédent, soit l' IBM 2780. Les deux émulateurs peuvent être chargés alternativement par cartes et supportent une transmission synchrone à 9600 bauds, avec CRC pour sécurité. Prix : £ 12500 pour LC 300 / IP 300 .

CDC 750 (1978) est un terminal à écran comprenant un microprocesseur 8080 et capable de ce fait de gérer imprimante, lecteur de cassettes et ligne vers une interface RS 232 ou boucle de courant.

Voir deux documents illustrés.

Certainty 760 (1978) est un terminal de gestion construit autour d'un microprocesseur Z80 et disposant d'un éditeur et d'un Basic. Prix \$ 8671 pour une machine 48 KB avec floppy 512 K et éditeur, \$ 12750 pour la même mémoire, floppy 1 MB, ME 180, deux processeurs.

D'après le nom, il pourrait avoir été produit pour IBM.

Terminaux écrans

CDC 210 (1964) est le dd10 de Data Display, une société achetée cette année-là par CDC. Le système se compose d'un contrôleur capable de 64 écrans, d'un tampon de 1024 caractères à base de ligne à retard, et d'écrans rectangulaires avec clavier, pouvant recevoir 500 caractères en une seconde.

CDC 216, 217 (1967) se présente sur table (216) ou sur pied (217), et affiche dans 8 * 6 " un maximum de 1040 caractères, en 20 ou 13 lignes de 50 ou 80 caractères de 0,25 * 0,125", produits par matrice de 5 * 7 points et déflexion électromagnétique. Le tampon à ligne à retard assure 50 régénérations par seconde. Les fonctions disponibles sont un curseur non destructif, crac delete, crac insert, partial transmit. La liaison se fait en ASCII, 2400 bauds half duplex sur modem 201A1B à partir d'un contrôleur qui peut accepter 12 postes. Prix \$ 6250 / 195 pour 12 postes.

CDC 711 (1971) est un écran de 15" présentant 8 ou 16 lignes de 80 caractères à travers une interface RS232C à 4800 bauds. Les fonctions disponibles sont scroll, page, blink cursor, refresh à 60 Hz, options cassettes et hardcopy. Prix \$ 90 / mois, plus \$ 20 de maintenance.

CDC 713 (1971) est le même matériel à usage de temps partagé, proposé avec une liaison en ASCII complet à 75 / 110 / 150 / 300 bauds, full ou half duplex, pour \$ 1995 / 60 / 15 .

Accepte une hardcopy 712, 132 colonnes, 30 cps, pour \$ 4950 / 150 / 40 .

CDC 3290 (1971) est un contrôleur / multiplexeur pour relier un calculateur CDC 3000 à un maximum de 12 terminaux comprenant écran 211, ME 218, hardcopy 228, polling 215. Débit global 59500 cps.

CDC 20290 (1971) est le même matériel avec logiciel et interface pour IBM 360.

CDC 9245 (1976) sont des écrans vendus en OEM, 1920 caractères avec définition 7 * 9 points. Le 92451 comprend un 8080 incorporé permettant de nombreuses fonctions, les autres modèles ont un contrôleur cablé plus modeste.

Console graphique

Digigraphics 274 (1967) est produit par une société que CDC vient d'acheter : c'est un écran de 22", associé à un tampon de 4 à 8K mots, un générateur de caractères pour 1800 positions, et un générateur de vecteurs. Il est exploité en liaison avec un calculateur CDC 1700, dont le logiciel fournit les compléments nécessaires à l'emploi d'un compilateur Fortran IV.

Grid 240 (1970) comprend un écran 12 * 12 " capable de 1024 * 1024 pixels, avec tampon de 4, 8, ou 12K mots de 12 bits, cycle de 2,4 µs , un clavier de 64 ou 128 caractères avec fonctions d'édition, et un logiciel, le tout pour 70000 \$.

CDC 777 (1977) est un grand écran circulaire, associé à un mini 16 bits exécutant un logiciel graphique qui fait partie de la fourniture. Le système est fourni avec l'interface et le logiciel convenables pour l'exploitation par un 6600 ou un Cyber.

691 - Périphériques de DEC

Cette compagnie n'a défini qu'une assez faible partie des périphériques pour ses machines, essentiellement ceux qui assurent les services rapprochés. Les gros disques et les gros dérouleurs de bandes sont généralement obtenus en OEM.

Imprimantes

LA 30 DECwriter (1971) est une imprimante matricielle 5 * 7 points, 30 cps sur 80 caractères de large.

LA 36 DECWriter II (1974) est une imprimante 30 cps sur 132 colonnes, capable de majuscules et minuscules, 5 copies sur papier 8 à 38 cm de large . Interface boucle de courant 20 mA ou V24.

LS 120 DECWriter III (1978) utilise une large part de la mécanique LA 36, mais avec un microprocesseur et un entraînement à picots à 180 cps. Ligne 50 à 9600 bauds. Prix \$ 1830 par lots de 100.

LA 38 DECWriter IV (1979) utilise une matrice 7 * 9 et un alphabet de 128 caractères ASCII avec une transmission à faible vitesse, 300 bauds semble-t'il. Le bas de gamme s'appelle en fait LA 34 et dispose seulement d'un entraînement à rouleau, coûtant \$ 975 par lots de 100 ; la vraie LA38, avec entraînement au choix à rouleau ou à picots, dispose d'un clavier numérique de 16 touches en supplément du clavier alpha, et coûte \$ 1700 pièce.

LA 180 DECPrinter II est une ME 180 sur 132 colonnes, avec matrice à aiguilles 7 * 7, saut de ligne en 32 ms, déplacement horizontal à 18,7 cm/s, frappe capable de 5 copies. Transmission parallèle ou série au choix, multiples options sur ce point.

Bandes magnétiques

DECTape = Microtape 555 (1963), petits dérouleurs 10 pistes donnant 2 * (3 infos + repère), synchrones sans gap, vitesse très faible. Pour les petits PDP.

DLT 2000 (3 / 93 pour tests, 9 / 93 en série) est un dérouleur pour cartouches de 10 GB, ou 20 GB avec compression, accès à 25 MB/s. Remplace des cartouches de 6 GB.

Mémoire auxiliaire

EPS 510 (11/92) est un pseudodisque de 107 MB à base de DRAM 16 Mbits, accès 250 ns, avec batterie de secours. Produit à Shrewsbury, Mass, il se présente en boîtier au format standard 5,25", avec interface SCSI2 et débit de 800 I/O par seconde. Prix OEM d'évaluation \$ 13500, probablement 35 à 100 \$ /MB en série, ou 160 KF, soit 30 fois un vrai disque pour un temps d'accès divisé par 70.

EPS 530, le même en 267 MB. Et en 6 / 93 un modèle de 428 MB.

Tambour magnétique

DEC 251 (1965) offre 7 tailles de tambours de 8 à 256 Kmots, chaque piste divisée en 8 secteurs adressables de 128 mots, avec parité. Les secteurs ne sont en séquence, les 4 pairs précédant 4 impairs, ce qui limite le débit moyen à 15150 mots/s, accès moyen 8,65 ms = 3468 t/min.

RM 08 (1967) est un tambour série, 64 à 256 Kmots à raison de 64 secteurs de 16 mots par piste, 65536 mots/s, accès moyen 8,65 ms soit également 3468 t/min.

RM10B (1970) est un tambour destiné au PDP 10, 346500 mots de 36 bits, 3600 t/min, accès 8,3 ms moyen, débit 240000 mots/s.

Disques magnétiques

DF 32 DECDisk (1967) comprend 1 à 4 disques de 32768 mots chacun, 12 + P bits, présentés en rack 6U. Accès moyen 16,67 ms, transfert 66 µs par mot. Chaque disque porte 16 têtes fixes, servant 16 pistes de 2 Kmots. Les enregistrements peuvent comprendre de 1 à 4095 mots, et le débit est 15150 mots/s.

RP 01, 02 (1969) concerne des disques pour PDP 6 et 10, proposés aussi en RPQ sur PDP 8 et 9. Le contrôleur RP10, qui coûte K\$ 25, peut supporter 8 disques RP01 K\$ 22,5 ou 8 RP02 à K\$ 26. Le RP01 offre 1,3 Mmots de 36 bits à 28,8 µs/mot, le RP02 est 5,1 Mmots à 14,4 µs/mot.

RB10 (1969) est un disque de swapping, axe horizontal et grand diamètre, pour 0,5 à 100 Mmots. Il porte 6 têtes flottantes par face et concerne le PDP 10.

DF 32 D (1970) reprend le concept initial avec un temps de transfert divisé par 2 et le même temps d'accès ce qui ne peut s'expliquer que par une densité doublée sur des disques ou rien n'a changé, sauf le nombre de pistes.

RK 05 (1972) est une cartouche monodisque compatible IBM, 2,45 MB à 2200 bpi, accès moyen 50 ms.

RP 06 est un dispack de 176 MB, débitant 806 Kcar/s, présenté avec un contrôleur pour 8 unités qui visent le même service que les 3330 IBM. Temps d'accès moyen 38,3 ms tout compris.

RK 07 (1978) est un dispack de 28 MB, proposé en simple tourne-disque pour \$ 10500, soit avec un contrôleur à \$ 14500 pour 8 unités. Accès moyen 48 ms, débit 538 KB/s.

Convient pour PDP 11 / 04, 11 / 34, 11 / 70, VAX.

RL 01 (1978) est une cartouche de 5,2 MB, proposée en simple tourne-disque pour \$ 3800, soit avec un contrôleur à \$ 5100 pour 4 unités. Accès moyen 67,5 ms, débit 512 KB/s. Il existe aussi un RL 02 utilisant la même mécanique, capacité doublée en doublant le nombre de pistes.

Convient pour PDP 8, PDP 11 / 03.

RM 03 (1978) est un pack de 67 MB, 6038 bpi * 384 tpi, 3600 t/min, accès moyen 38 ms, débit 1200 KB/s. Contrôleur pour Massbus, option double accès. Le

RM 02 est un prédécesseur de mêmes caractéristiques propres, moins rapide : 806 KB/s, accès 42,5 ms.

RM 05 (1980) est un dispack pour PDP 11 / 70 et VAX, 12 disques = 19 surfaces à 6038 bpi * 384 tpi. Bien que tournant toujours à 3600 t/min, le simple accroissement de

densité porte la capacité à 300 MB et le débit à 1200 KB/s , avec le même temps d'accès que le précédent.

Prix : 208500 FFHT pour le tourne-disque, 270000 FFHT avec un contrôleur pour 8 unités.

RM 80 (1980) est une amélioration du RM 03 à 6339 bpi * 478 tpi, portant la capacité à 124 MB. Il s'agit d'un module Winchester à 4 plateaux = 7 faces, 2 têtes par face. Accès moyen 25 ms + demie rotation 16,6 ms à 3600 t/min. Prix 183300 FFHT pour un tourne-disque et un contrôleur, 122000 FFHT pour un tourne-disque supplémentaire jusqu'à un maximum de 8. Débit 1200 KB/s sur Massbus. Double accès en standard.

RP 20 (1980) est un Winchester à modules de 15 surfaces, 2 têtes par face, chaque unité contenant deux modules de 600 MB non formaté, 496 MB formatés. Débit et accès comme ci-dessus. Options double accès et double canal . Contrôleur à microprocesseur.

Prix : 858200 FFHT pour unité + contrôleur, 300400 FFHT /unité supplémentaire jusqu'à 4.

SHA 21ZZ (4/93) est une armoire contenant un contrôleur configurable en RAID 0, 1, 3 ou 5, avec 14 à 35 tourne-disques de 3,5" contenant chacun 1,6 GB, en tout 56 GB, débit 20 MB/s.

Prix à partir de \$ 20500 .

DSP 3210 (5/93) est un disque de 3,5" contenant 2,1 GB dans une unité de demi-hauteur, accès 10 ms. Incorpore un cache de 1 MB.

De même philosophie : DSP 3133 L, 1,6 GB dans 1" d'épaisseur, accès 9,5 ms, cache 512 KB .

Prévisions pour 9/93 : DSP 3107 L de 1,07 GB et DSP 3053 L de 535 MB, prix ~ \$ 1000 .

Communications

630 DCS (1964) est un contrôleur pour un maximum de 64 TTY disposés en polling sur une ligne. Il assure la conversion série / parallèle et inverse, gérer le polling, interpréter les ordres, et transférer jusqu'à 12500 bauds. Prix \$ 9689 au central, plus \$ 900 par poste.

DEC 680 I (1969) est un concentrateur à base de PDP 8I capable de 128 lignes asynchrones.

Consoles graphiques

30 (1960) est une console graphique à écran de 16", 1024 * 1024 pixels, déflexion magnétique. Il peut recevoir et présenter 20000 points/seconde, et autorise les interventions par light pen.

33 (1960) : en option, on peut installer un générateur de caractères sur le 30. Il est basé sur une matrice de 35 points en 4 tailles . Il est lent et limité à environ 220 caractères sur l'écran pour n'avoir pas de flicker.

34 (1960) est un oscilloscope Tektronix RM 503 ou 564 à mémoire, avec une électronique de commande point par point. Pour association à un PDP 5.

340 (1964) est un plotteur incrémental sur écran, qui prend 35 µs pour afficher un nouveau point, et 1,5 µs pour un incrément. Cet équipement, qui occupe deux racks, peut aussi comporter un mode vecteur, et un mode optionnel pour 128 caractères. Il est assez original pour avoir fait l'objet d'un article dans TIEEE, C18, 3 / 69, p 269 avec photos.

338 (1965) reprend le tube précédent et l'associe à un PDP 8 pour produire une puissante console graphique à 4 modes point, incrément, vecteur et caractères.

VD 8/I (1968) est un contrôleur connecté sur un PDP 8/I pour l'utilisation d'un écran à mémoire, tel que le Tektronix 611, qui ne fait pas partie de la fourniture DEC.

GT/40 est une console graphique à base de PDP 11/10, avec clavier 31 fonctions, communication en ASCII full duplex, light pen., coûtant quelque 14000 \$ et pouvant exploiter tout le logiciel des

PDP 11. Par la suite, ce modèle s'est développé en un GT 42 à écran 17" et modem, puis à un GT 44 à base de PDP 11/40 16 KB avec DECWriter.

VT 30 (1973) est un dispositif économique pour visualisation de synoptiques et de textes en 8 couleurs sur un moniteur TV, à partir d'un PDP 11.

VSV 11 (1980) comprend un contrôleur à base d'AMD 2901 pour la gestion de ressources comprenant :

- un écran VT100LA noir et blanc 12", 16 nuances de gris.
- un écran couleur 19" VSV 02, 16 couleurs.
- un balayage TV, définition 512 * 512 * 2 ou 4 bits, entrelacé.
- un clavier
- un curseur mu par un manche à balai, option programmable.

La sortie video permet de relier l'ensemble à n'importe quelle TV couleur, selon norme EIA RS170. Ce dispositif fonctionne sous RSX 11M 3.2, RSX 11S et VAX/VMS.

Terminaux

VT 52 est un écran rectangulaire pour 24 * 80 caractères, ASCII 96 codes en majuscule et minuscule concrétisés par matrice 7 * 7 points. Clavier alphanumérique + 11 touches numériques + 4 fonctions + 4 commandes de curseur, liaison 75 à 9600 bauds par boucle de courant 20 mA ou V24. Les fonctions sont arrêt sur image, mode rouleau bidirectionnel, insertion ligne et page.

Datacenter (1971) est un terminal monobloc caréné comprenant un PDP 11 4 KB, un écran, une imprimante, un clavier avec des clés de fonctions lumineuses permettant d'édifier des programmes guides. Prix à partir de \$ 21395, plus \$ 7995 par terminal supplémentaire.

RT 01 est un terminal minimum de 1972 comprenant clavier 16 touches dont 10 chiffres, une visualisation Nixie, 4 indicateurs d'état, prix \$ 500 à 1000, au bout d'une ligne série pour TTY.

RT 02 est analogue et contemporain : clavier 16 touches, visualisation 32 position, alphabet 64 caractères. Fonctionne en asynchrone sur 110 bauds.

DECStation 78 (1978) est un écran/clavier pour 1024 caractères, avec processeur LSI 8, 32 KB de mémoire, sur une tablette à roulettes portant deux lecteurs de disquettes et, en option, une machine à écrire LA 78. Cet ensemble pourrait être le Datasystem

308, une tentative de DEC pour proposer un petit calculateur 8 bits, avec le logiciel COS 310 du Datasystem 310 contemporain.

PDT 11 (1978) est une famille de terminaux basés sur le microcalculateur LSI 11 :

PDT 11 / 110 comprend un écran VT100, 16 à 64 KB de mémoire MOS, éventuellement jusqu'à trois écrans supplémentaires, et le logiciel RT 11. Prix \$ 3900, ou \$ 2890 par lot de 100.

PDT 11 / 130 y ajoute deux lecteurs de cassettes.

PDT 11 / 150 y ajoute un ou deux lecteurs de disquettes et une hardcopy, pour \$ 6325 pièce, ou \$ 4322 par lot de 100 .

692 - L'informatique dans l' US Army

Aussitôt après la guerre, dans l'enthousiasme de la découverte, l'US Army a entrepris le programme baptisé FIELDDATA (rubrique 487), qui représentait une complète erreur d'interprétation : la difficulté des problèmes posés aux personnels de l'Armée de terre ne se situait pas dans les techniques mises en oeuvre, mais dans les communications. Les ordinateurs réalisés au titre du programme pouvaient traiter les problèmes pour lesquels ils étaient conçus, mais :

- ils étaient beaucoup trop encombrants, ce qui en limitait l'emploi aux Etats-Majors de l'arrière.

- ils ne pouvaient exploiter que les renseignements qu'ils avaient reçus , ce qui soulignait leur dépendance des transmissions.

- ils ne pouvaient transmettre les ordres qu'ils avaient contribué à élaborer, en tous cas pas mieux que lorsque ces ordres étaient le seul fait des officiers d' EM. Les normalisations définies à l'occasion des contrats Fielddata étaient certes utiles, bien qu'elles eussent gagné à être interarmes, mais elles étaient insuffisantes. Quant au programme d'équipement qu'il préparait, le CCIS 70 (rubrique 33), il était trop en avance sur la technique pour aboutir.

La période 60 / 70 fut donc consacrée à développer les technologies de communications au delà des fils téléphoniques et des liaisons radio de l'avant, ce qui n'est pas encore un problème informatique.

Trois problèmes techniques propres à l' Armée de terre semblaient pourtant accessibles à l'informa- tique modeste de ces années, dans la mesure où leur solution passait par une certaine stabilité des matériels sur le terrain :

a) les communications. Le problème des communications non tactiques, posé à Burroughs et résolu en 1967 avec le réseau AMPS, Automatic Message Processing System, à base de D 825, échappera bientôt à l'armée lorsque le DOD imposera son organisation centralisée Autodin. Voir rubrique 503 DOD.

Celui des communications tactiques, auquel Burroughs avait aussi apporté une solution avec le TADS, Tactical Automatic Digital Switch à base de B3500 sur camions (7ème armée en Europe, 1967), sera aussi repris par le DOD avec le programme TRI-TAC. Voir rubrique 503 DOD et boîte 149.

b) la défense contre les avions au moyen de canons, puis de missiles sol/air.

c) la direction de l'artillerie divisionnaire.

Ces deux derniers problèmes, perçus d'abord comme locaux, ont donc fait l'objet des premières études concrètes. Mais, dès qu'une solution leur avait été apportée, on constatait que l'accroissement de la vitesse des avions, de la puissance des armes et de la portée des missiles rendait cette solution insuffisante et qu'il fallait étendre le domaine où elle s'appliquait, ce qui reposait le problème des communications.

Défense contre avions

Confiée à l'Armée de terre parce que les objectifs comme les canons sont à terre, la DCA était déjà, à la fin de la guerre, un domaine à part caractérisé par une forte technicité : les calculateurs y étaient indispensables depuis déjà 20 ans à cause de la grande vitesse des cibles et des nombreuses variables influant sur l'efficacité du tir, et c'étaient des calculateurs analogiques, seuls capables de la bande passante nécessaire. Un calculateur par canon permettait à celui-ci de placer ses obus au voisinage immédiat de sa cible, sous réserve qu'un viseur approprié suive exactement cette cible ; les fusées à détection radioélectrique remplaçaient les fusées chronométriques depuis la fin de la guerre, avec beaucoup plus d'efficacité.

Le radar de veille autorisait à la fin de la guerre une surveillance de zone et l'élimination des surprises, puis très vite le radar de désignation d'objectif, la technique "track while scan" et le calculateur numérique permirent aux pièces de suivre exactement leur cible avant même de commencer à tirer. L'apparition de missiles sol/air, tout en changeant complètement les méthodes de poursuite, ne modifiait pas cette phase préparatoire. Cette époque voit la naissance de plusieurs systèmes :

Missile Master de Martin Orlando (1951) est d'abord un système de DO, alerté par les radars du SAGE et dirigeant le tir des batteries fixes de missiles Nike Ajax et Nike Hercules. Avant même que le système et les missiles fonctionnent, l'Armée se rend compte que cette installation, peut-être acceptable pour la défense d'installations industrielles continentales, n'a pas de sens en campagne, et tout le système est repensé pour devenir mobile, au service des batteries de missiles Hawk. Mais le problème des communications devient alors d'autant plus critique qu'on ne peut plus compter sur le téléphone pour les liaisons, et que d'incessantes conversions A/N et N/A sont nécessaires entre les matériels analogiques existants et les calculateurs numériques. Finalement le programme des installations fixes sera réduit, et celui des installations mobiles abandonné avant achèvement. Voir aspects techniques dans la chemise Martin, boîte 86.

AN/MSG 4 de Hughes reprend à peu près ce thème en 1961, avec les mêmes problèmes de transmissions. Les huttes AN/MSQ 18 semblent contenir essentiellement des matériels de conversion, et la multiplication de ces composants encombrants qu'il faut déplacer par camion ou hélicoptères réduit abusivement la mobilité des EM qu'il s'agit de protéger. Voir boîte 149.

AN/TSQ 73 Missile Minder de Litton Data System sera finalement la solution purement numérique choisie vers 1971 pour ces problèmes, et fera l'objet de multiples commandes, y compris une refonte vers 1975, de sorte que ce système reste valide jusqu'en 1990 au moins : 26 M\$ en

3/77, 103 M\$ pour l'US Army et 17,5 M\$ pour la Corée du Sud en mi 81.

En réalité, à partir de 1980, ces défenses de zone ne sont plus le véritable problème, et ce sont des armes à plus courte portée que nous allons trouver sur le terrain.

Défense contre les ICBM

C'est par extrapolation de ses responsabilités en matière de DCA que l'US Army se retrouve, dans les années 60, chargée d'examiner la possibilité d'une défense directe contre les ICBM. Le thème l'intéresse, car la solution, si elle existe, passe par des missiles défensifs à tête nucléaire, ce qui fait participer l'Armée à une technique dont elle était initialement exclue.

La première tentative, avant 1960, s'appelle Sentinel. Il s'agit de détruire une tête nucléaire mégatonnique isolée, visant une ville américaine, car à cette époque la seule stratégie est celle de l'équilibre de la terreur, et ce sont les villes qui sont visées : la précision des missiles est insuffisante pour qu'ils aient une probabilité acceptable de détruire un silo, donc on n'essaie pas. Le missile défensif s'appelle Nike Zeus parce que c'est le plus gros de la famille Nike, puis on le rebaptisera Nike X quand il apparaîtra qu'on ne peut se contenter d'une trajectoire atmosphérique et qu'il faut donc étudier quelque chose de différent.

Le système Sentinel comprend un radar de grandes performances, qui doit détecter et poursuivre la tête attaquante malgré la probable présence de leurres ; on sait faire un radar assez sensible, mais on doute de savoir distinguer entre la bombe et les leurres. Le problème informatique de l'exploitation de la vidéo comporte donc beaucoup de calculs à faire très vite, et il sera posé à Burroughs (PEPE) et à Univac (voir lignes "Calculateur du Nike X" et / ou "Target identification" dans la base de données).

Le problème s'aggrave rapidement quand d'une part la précision des ICBM s'accroît suffisamment pour qu'il devienne possible d'attaquer les silos adverses, et que d'autre part les gouvernants, peu enthousiastes de la doctrine initiale, mettent en place le premier accord SALT de limitation des armements nucléaires, et la stratégie MAD, Mutual Assured Destruction. Au titre de ces accords, chaque pays est fondé à protéger comme il l'entend sa capitale et une base d'ICBM.

Le nouveau projet s'appelle Safeguard et prévoit douze sites pour défendre Washington et la base de Grand Forks, au Dakota, pour une dépense totale de 7,8 B\$. Chaque site comprend deux radars à balayage électronique, le MSR pour la détection lointaine et le PAR pour la poursuite de précision. Il comprend aussi deux types de missiles, Spartan pour attaquer la tête incidente au dessus de l'atmosphère, et Sprint pour une tentative de la dernière chance contre un missile qui aurait franchi la première barrière. Le calculateur Univac est retenu pour les guidages et poursuit une difficile mise au point. Mais finalement, les membres du Congrès refusent ces solutions ruineuses, au succès aléatoire, et dont le principe est de faire éclater des bombes atomiques défensives au dessus du territoire national. Le projet est abandonné vers 1970 et l'Amérique choisit de miser sur la seule MAD, garantie par un système de détection très perfectionné donnant une demi-heure de préavis (voir USAF).

L'Armée devra donc se contenter d'armes atomiques tactiques devenues réalistes avec les "bombes à neutrons" et autres "bombes propres", qui équipent :

- l'obus nucléaire de 203, tiré par un obusier mobile de portée 25 à 30 Km..

- et un peu plus tard, le missile tactique Pershing, dont l'installation en Europe donnera lieu à de grandes manoeuvres plus politiques que militaires. Bien entendu ces armes exigent des ordinateurs mais nous n'avons sur ceux-ci aucune indication. Les problèmes qu'ils posent ne sont d'ailleurs pas du tout difficiles, comparés à ceux de Safeguard.

Appui tactique

L'US Army est parfaitement consciente, pour l'avoir vu en action sur le front de l'Ouest, que l'appui tactique de l'aviation est essentiel : c'est cet appui qui a vaincu les blindés allemands. Mais, dans les conditions techniques de l'immédiat après-guerre, on ne peut parler de coopération tactique : les avions survolent le champ de bataille et tirent sur tout ce qui bouge au delà du front, mais les liaisons ne sont pas assez bonnes pour qu'on prenne le risque d'actions sur les premières lignes. Il y a eu de nombreuses erreurs d'identification et des pertes.

Les travaux d'après-guerre portent donc sur l'établissement de liaisons plus sûres et de localisations plus précises, mais l'Armée se convainc volontiers que l'efficacité ne sera réellement atteinte que lorsque les intervenants lui appartiendront. Elle organise donc, avec succès, des unités d'avions antichars (A10 Thunderbolt) et d'hélicoptères d'assaut (Cobra, AH 64 Apache) et des procédures très précises de localisation, et le Marine Corps qui a le même problème choisit des solutions voisines.

En sens inverse, les deux armes équipent leurs troupes de défenses rapprochées, missiles portables Stinger, canons DIVAD, missiles sur véhicules chenillés Chapparral. Pour éviter les surprises, ces armes doivent être incorporées à un réseau d'alerte, le SHORADS, qui relance le problème des communications.

Tout cela est efficace, mais encore très peu informatique. Les ordinateurs apparaissent avec le PLRS, Position Location Reporting System, que le Marine Corps fait étudier, à partir de 1972, par General Dynamics et Hugues. L'US Army s'associe au projet dès 1975, et en prend la direction en 1976 après définition de spécifications communes : Hugues est alors choisi pour la réalisation du système AN / TSQ 129, les premières livraisons étant prévues pour 1984.

Le système comprend un central multiordinateurs qui détermine, à travers un protocole de communication à codage temporel, la position relative d'un grand nombre de terminaux. Tous les propriétaires d'un poste d'utilisateur se situent dans un espace commun en consultant le central. Voir boîte 149.

Mais, si le Marine Corps peut à la rigueur se suffire de ce système parce qu'il dispose de sa propre aviation d'appui, l'Armée de terre aura en général besoin de l'USAF et cela signifie qu'il faut rattacher le PLRS au système de communication interarmée, le JTIDS. On est encore ramené au problème des communications. Voir JTIDS en boîte 149.

Résultat : tandis que le Marine Corps lance tel quel le programme résultant des études, et se trouve en 1986 en plein équipement, l'Armée fait étudier par Hugues l'interconnexion du PLRS avec le JTIDS, sous le sigle PJH, H pour hybride. Puis, quand cette liaison fonctionne, l'Armée demande des liaisons plus directes de point à point jusqu'à 1200 bauds, une protection du trafic à deux degrés confidentiel et secret, et rebaptise le système ADDS, Army Data Distribution System.

En fin 86, l' ADDS est donc toujours en étude.

Commande de l' artillerie

Le problème technique des batteries d'artillerie consiste à préparer à l'avance, à partir de mesures collectées par renseignement, avions et observateurs, des plans de tir qui peuvent ensuite être exécutés rapidement et avec précision, chaque pièce recevant ses propres consignes. Le problème très local ainsi défini est simple et l'Armée de terre lui a rapidement apporté une solution avec le FADAC, un calculateur transportable sur une jeep que l'on relie aux pièces par des câbles raisonnablement courts.

Mais cette solution satisfaisante en 1963 cesse rapidement de l'être lorsqu'apparaissent les radars qui localisent les canons à partir de la trajectoire des obus, et qu'il faut sans cesse déplacer les pièces pour assurer leur survie. D'ailleurs, l'artillerie ne s'emploie plus de cette façon : les renseignements servant à bâtir les plans de tir proviennent de tout le secteur de la division et l'artillerie divisionnaire concentrera souvent son effort même si ses pièces sont dispersées ; en outre, les demandes de soutien pourront survenir sans préavis de la part d'unités que la batterie ne sait pas localiser, et la division devra décider qui répond, pour éviter erreurs catastrophiques et doubles emplois.

Pour répondre à cette version plus complète du problème, l'US Army passe en 1970 un contrat d'études à Litton Industries, une société qui profitera de ce contrat pour se hisser dans les premiers rangs des fournisseurs des Armées. Voir fiche TACFIRE. Le Tacfire AN/GSG 10 est d'abord conçu comme complètement centralisé, avec un calculateur central en cadre AN/GYK 12 au PC de l'artillerie divisionnaire, et des terminaux bidirectionnels mais passifs dans les unités. Avant même que les commandes soient livrées, en 1978, des protestations se font entendre à la fois sur la saturation des liaisons et sur la passivité des régiments.

S'appuyant sur la réussite britannique de Marconi avec le système FACE, la société Norden filiale de United Technology, propose en 1978 d'installer au niveau des batteries son calculateur AN/GYK 29, en fait le Marconi 1800, pour leur donner une possibilité d'autonomie. C'est un double emploi avec le FADAC et un désaveu des principes du Tacfire, mais la demande des artilleurs est forte et on tourne cela par le choix des mots : le système Norden est le BLC, Battery Level Computer présenté à la fois comme une partie du Tacfire et comme le remplacement du FADAC, puis il deviendra le BCS, Battery Computer System, et il gagnera la partie avec un contrat de 27,9 M\$ en 8/82. Son succès sera considérable, puisque le total cumulé des commandes à mi 90 atteint 687 systèmes. Voir fiche BCS.

Norden verrouille son succès en fournissant pour le lance-roquettes Vought MLRS, qui achève alors ses essais et entame sa carrière OTAN, une conduite de tir compatible avec le BCS et partageant une partie de son matériel, puis en obtenant un contrat de 8,5 M\$ pour ajouter à ses possibilités l'AIFS, Advanced Indirect Fire System.

Conscients que ce genre de succès n'est pas exactement ce qu'ils recherchaient, les responsables de l'artillerie reprennent leurs études avec le MIFASS du Marine Corps et l'AFADTS de l'US Army.

Le MIFASS se propose de créer un système unifié d'appuie-feu, couvrant l'usage des mortiers, de l'artillerie, des chars et de l'aviation tactique. A cet effet il réunit en réseau, par des liaisons cryptées, des FASC, Fire & Air Support Center, au total 18 pour une division. Grâce au PLRS, chaque responsable de FASC peut savoir où se trouvent ses unités ; le renseignement et les observateurs lui permettent de situer et d'évaluer l'ennemi, le calculateur du FASC intégrant les données aussitôt qu'elles lui parviennent ; les disponibilités en munitions sont tenues à jour, de sorte qu'à chaque demande de soutien il est possible de déterminer ce qui peut lui être accordé, et c'est l'ordinateur qui s'en charge. Voir boîte 149.

Les objectifs du MIFASS, essentiellement une amélioration des délais de réaction, semblent accessibles à l'issue des essais, mais le programme échouera in fine, apparemment à l'occasion d'arbitrages budgétaires. Le Marine Corps se trouvera dans l'obligation de demander à Litton une solution toute faite pour sa seule artillerie : le Fireflex, dérivé du Tacfire, dont 29 BCT seront livrés en 3 / 89 et encore 33 en 11 / 90, pour deux régiments d'artillerie.

L'Armée est moins centralisatrice, et n'envisage pas moins de trois systèmes :

- le LFATDS vise à peu près le même objectif que le BCS et s'adresse à la force d'intervention rapide, pour laquelle il faut prévoir du matériel léger. Litton et Norden sont candidats pour proposer des terminaux qui se tiennent à la main.

- l' AFATDS , Advanced Field Artillery Tactical Data System, est moins ambitieux que le MIFASS en ce sens qu'il ne porte que sur l'artillerie, excluant mortiers et aviation, mais il reprend les objectifs initiaux du TACFIRE avec le soutien des industriels qui ont en pratique les matériels nécessaires et souhaitent seulement voir préciser des objectifs réalisables par logiciel. Voir fiche en boîte 149.

Ce programme semble avoir abouti, car en 1986, Magnavox a rédigé et testé 493000 lignes ADA sur un total prévu de 730000 ; il est difficile d'imaginer un tel travail sur un contrat de développement.

- le SHORAD se propose de coordonner les moyens d'action antiaériens de la division , Stinger, Chapparral, Roland et DIVAD.

On peut certes se demander si cette pléthore de systèmes est réellement nécessaire, quand on constate que le Marine Corps croit pouvoir tout faire avec un seul. Au demeurant il semble bien qu'après avoir financé de multiples études, l'Armée ne commandera aucun système, probablement parce qu'il est finalement préférable de financer des matériels que des accessoires de commandement que les officiers les plus dynamiques court-circuiteront, tandis que les autres se débrouilleront avec le BCS existant.

Aides au commandement

Sous ce vocable, qui bien entendu s'appliquerait aussi à une partie au moins des systèmes précités, on veut regrouper des outils permettant aux chefs de moyennes et grandes unités de stocker et de présenter de façon pratique les informations tactiquement indispensables, telles que :

- renseignements sur la situation de l'ennemi

- situation exacte des forces amies
- effectifs, armements et munitions disponibles dans les unités amies

Les calculateurs en cause ne font pas de calculs trigonométriques, mais ils ont besoin de mémoire de masse. A part cela, ce pourraient être les mêmes que ceux de l'artillerie, mais les problèmes de hiérarchie s'y opposent en général, et on a vu que le Marine Corps au moins s'en était aperçu.

L'US Army pense depuis l'immédiat après-guerre à automatiser le travail des états-majors tactiques, et s'est laissée aller au rêve dans les années 50 avec le programme Fieldata (rubrique 487) qui était un effort de normalisation, puis avec le programme CCIS 70 (rubrique 33) bien trop en avance sur la technique et sur les moeurs. Ce programme qui avait donné lieu à des réalisations a échoué dès les essais quand il a fallu constater sa mobilité et sa fiabilité gravement insuffisantes.

Le premier système de manipulation d'information étudié pour les QG sur des bases réalistes est le TOS, qui se propose de faire circuler les renseignements dans les deux sens au sein des PC de la division. L'objectif est si peu précis que le programme ne pourra s'achever, après avoir donné naissance à toute une série de composants ; les articles traitant de ce sujet dans la Revue Internationale de Défense ne parviennent pas à déterminer si le TOS est un système de traitement du renseignement, ou seulement un système de diffusion. Confié à Litton qui n'est pas non plus parvenue, semble-t'il, à déterminer la véritable mission du TOS avant son abandon, ce programme a donné lieu à quelques commandes de matériels chez Singer-Librascope, le TCS = Tactical Computer System AN / UYQ 19, et le terminal TCT AN / UYQ 30, qui seront réutilisés. Voir fiche TOS en boîte 149.

A partir de 1975, de nouvelles sources de renseignements apparaissent, dues aux progrès de l'électronique : au delà des observations visuelles classiques et des interrogatoires de prisonniers, on voit se développer les écoutes radio dans toute la gamme des fréquences civiles et militaires, les radars de champ de bataille détectant les mouvements de l'ennemi, une multitude de radars surveillant le ciel, l'infrarouge pour la détection thermique et / ou nocturne, les dispositifs à intensification de lumière, les lasers permettant des mesures de distance d'une grande précision, puis les drones ou les avions capables de cartographie optique ou radar et de photogrammétrie, et des matériels d'espionnage électronique parachutés capables de transmissions comprimées à peu près indétectables, ou encore par le truchement de satellites. Et aussi les mesures directes des satellites spécialisés, écoutes, photo, communications, météo, etc...

Ce flot rapidement croissant d'informations converge vers les PC de division et de corps d'armée, où l'exploitation manuelle est évidemment impossible. Avant que la situation dégénère, l'Armée organise à partir de 1977 une réflexion méthodologique, qui va aboutir en 1979, avec l'appoint de l'USAF et de la DARPA, au programme BETA, Battlefield Exploitation & Target Acquisition.

Ce programme expérimental est réalisé en deux exemplaires avec des matériels civils, et ces systèmes sont transférés en Europe pour participer aux manoeuvres OTAN de 9 / 80.

Ce travail de débroussaillage et de persuasion vient en soutien du projet ASAS, All Sources Analysis System, qui a fait l'objet d'un appel d'offre de dégrossissage en

1978 : trois contrats de 200 K\$ à GTE Sylvania, RCA et TRW. RCA a été retenu en mars 1979 et a reçu un premier contrat de 35 M\$ de type QRC (Quick Response Contract) pour l' AN/TSQ 130. Ce système se décompose en pratique en deux parties financées séparément, pour cause d'inégale maturité :

- TCAC = Technical Control & Analysis Center, qui doit équiper les divisions et diffuser l'information de manière sélective jusqu'au niveau des bataillons.

- SEWS = SIGINT EW Subsystem, qui s'exerce au niveau des corps d'armées et n'est diffusée plus bas qu'après interprétation et transformation en directives. Il bénéficiera d'un second contrat de 13 M\$ en 4/79 pour une livraison en 1981.

Ce sous-système, qui est aussi relié à la NSA, prend en compte les relations avec tous les équipements de guerre électronique dont l'Armée est en train de s'équiper, et qui tous, notons le, font usage d'ordinateurs intégrés ; c'est faute de référence précise à ces ordinateurs qu'on n'entre dans aucun détail sur ces équipements. L'ASAS et le BETA sont complémentaires au départ, le premier traitant des sources trop confidentielles pour utiliser les communications publiques ; mais surtout, le BETA est provisoire, et les algorithmes qu'il aura permis de mettre au point sont destinés à s'intégrer dans l'ASAS. Voir fiche commune pour OASIS, BETA et ASAS, en boîte 149.

Dans le budget 1980, le Congrès refuse les crédits du TOS qui devait intégrer toutes les études précédentes, le jugeant trop compliqué pour réussir ; mais il ne discute pas de l'utilité de l'ASAS.

L'Armée revoit donc sa copie et propose l'OCCIS, Operational Control & Command Information System, qui reçoit d'un ASAS indépendant les seules informations ayant une incidence sur les opérations immédiates, et gère par contre l'exploitation de ses propres domaines fonctionnels : feux d'appui à travers le Tacfire et ses BCS, défense aérienne à travers le Missile Minder AN/TSQ 73 et le SHORAD, conduite des opérations et soutien logistique au combat. Les matériels Librascope, TCS et TCT, commandés pour le TOS, ayant été approuvés par le Congrès, leur emploi était prévu pour l'OCCIS.

Finalement, après encore quelques péripéties administratives, le programme devient MCS, Manoeuver Control System, et utilise les mêmes matériels TCT et TCS de Librascope, dans une nouvelle mise en boîte visible au dos de la fiche TOS. Librascope reçoit 26 M\$ à cet effet en 9/83.

C'est Ford Aerospace qui est chargé de rédiger le logiciel, écrit en ADA ; la firme est assistée de techniciens de RCA et BDM. Ce programme bénéficie enfin de l'accord du Congrès, qui a autorisé la production en série des TCS et TCT : série est d'ailleurs un peu fort, car il est prévu un seul TCS au niveau de la division, et des TCT aux niveaux subordonnés.

Programme de calculateurs banalisés MCF

Ce programme ambitieux d'un ensemble compatible de calculateurs pour l'US Army a été entrepris vers 1983, à l'exemple de ce que faisait la Marine depuis longtemps déjà, en vue d'abord de baisser les prix d'achat, de programmation et de maintenance.

Il s'agit de définir trois calculateurs caractérisés par :

- le répertoire NEBULA (MIL. STD. 1862 de l'US Army) ;

- le support contractuel du langage de programmation ADA;
- l'existence d'interfaces de communication MIL. STD. 1553 B, des deux types High speed parallel point to point, et serial point to point.
- les normes d'environnement - 54 à + 71°C en fonctionnement, - 62 à + 85 °C en stockage, pour des altitudes de 0 à 30000 ft.
- l'exigence d'une autodétection de 98% des pannes possibles.

Trois machines étaient demandées à chacun des quatre concurrents, priés de délivrer leurs prototypes en janvier 83 : General Electric / TRW, IBM, Raytheon, RCA. A savoir :

- un AN / UYK 48, 3 Mips, mémoire de 2 MB, avec les contraintes suivantes : dimensions 319 * 238 * 194 mm = 15 litres, poids 18 Kg, consommation < 100 watts, MTBF > 10000 heures, et prix K\$ 75.
- un AN / UYK 49, 500 Kips, mémoire de 1 MB, avec les contraintes : dimensions 319 * 57 * 194 mm = 3,4 litres, poids 4,5 Kg, consommation 20 watts, MTBF 33000 heures, prix K\$ 25 .
- un calculateur sur une seule carte, 500 Kips, taille 15 * 22 cm, mémoire de 128 Kmots, poids 340 g, consommation 5 W, MTBF de 100000 heures, pas de dépannage. Prix \$ 5000 .

Il semble qu'IBM ait renoncé assez vite, et il est certain qu'elle n'a pas présenté de prototype. A la mi 83, la situation est la suivante :

- on ne sait rien de la proposition de GE / TRW, sinon qu'elle fera usage de la technologie VHSIC, pour laquelle TRW est en mesure de présenter ses premiers circuits.
- RCA, qui a exécuté quelques contrats VHSIC, estime que ses circuits TTL 3 μ sont parfaitement suffisants pour obtenir les performances demandées.
- Raytheon, qui n'avait pas participé au programme VHSIC, a utilisé des CMOS 2 μ et montré avant l'heure au moins l'aspect extérieur de ses propositions, en fait des parallélépipèdes aux formats ATR et 1/2 ATR, sans aucune originalité visible.

L'échéance était septembre 1983, date à laquelle on ne devait conserver que deux concurrents pour pousser leur produit jusqu'à une mise au point complète, puis choisir un gagnant en donnant au perdant une chance de participer à la production de la série. Les prototypes ont été fournis, mais le budget FY 85 n'a pas permis la poursuite du projet MCF. Deux des concurrents, GE/TRW et Raytheon, ont alors renoncé. RCA a essayé de tirer parti de son travail préliminaire en construisant en CMOS/SOS le MISP (Multiple Instruction Set Processor), une machine disposant simultanément des jeux d'instructions 1750A et 1862, avec une puissance de 3 Mips sur 32 bits. Autant qu'on le sache, il n'y a pas eu de suite.

Deux ans plus tard, l'Armée réattaque le problème d'une manière différente, avec le programme Army Command and Control System. Il s'agit de préparer une nouvelle gamme de machines et de communications modernes pour remplacer tout ce qui vient d'être décrit et qui a donné tant de mal : le programme est le même, avec les mêmes cinq sous-ensembles fonctionnels que dans l'ancien OCCIS, et l'objectif est un remplacement progressif des matériels périmés par des machines beaucoup plus légères.

Publié en 1987, l'appel d'offre porte sur des machines 32 bits, programmées en ADA, en trois tailles poche, dorsal, véhicule, capables d'un débit protégé de 16 KB/s. La commande d'ensemble pourrait porter sur 15000 machines. Trois consortiums sont candidats : Magnavox /IBM, Norden / DEC, et Litton / Rolm.

On ignore le sort de ce nouveau projet, mais on connaît l'offre de Magnavox, dite System 21 : c'est un appareil tenu à la main, pesant 1,8 Kg, avec un écran à cristaux liquides de 400 * 400 pixels capable de texte et de graphiques. Cet appareil serait capable, malgré sa petite taille, de communiquer avec tous les postes militaires américains, probablement grâce aux satellites.

Communications

On a souligné combien vitales étaient les communications, à tous les niveaux depuis les plus hautes autorités de l'état jusqu'aux unités isolées, éventuellement porteuses d'armes puissantes. C'est dans ce domaine que le DOD, soucieux à la fois d'économies sur les frais d'études et de production, et d'interchangeabilité entre les trois armes, a pris les premières mesures d'unification : on renvoie à la rubrique 503 DOD pour la description de ces mesures, d'abord dans le domaine administratif avec le réseau AUTODIN, puis dans le domaine opérationnel avec le TRI-TAC, le JTIDS et les satellites.

Divers

L'armée de terre utilise naturellement les ordinateurs pour tous ses problèmes administratifs, dont on peut donner quelques exemples :

- aux USA comme en France, le Service du Génie (Corps of Engineers) s'occupe en temps de paix de Génie civil et de travaux publics, missions pour lesquelles son équipement est exactement celui d'une entreprise privée. Ces tâches justifient dans les années 60 l'installation d'un réseau de calculateurs General Electric, comprenant 9 GE 425 dans les régions militaires, interconnectés par des Datanet 30 qui gèrent de multiples téléimprimeurs dans 37 villes assez importantes pour justifier l'existence d'une cellule du service. Prix 10 M\$. Par la suite ce réseau a plusieurs fois évolué.

- autre service disposant au sein de l' Armée d'une certaine autonomie financière, le Signal Corps qui s'occupe des matériels de transmission a son établissement principal à Fort Monmouth, avec dépôt et matériel d'entretien. On trouvera dans le dossier US Army, boîte 149, quelques indications sur le premier équipement de maintenance que ce centre a commandé auprès de RCA, le Dimate.

- l'entraînement des personnels, tant opérationnels que technique, exige comme partout des simulateurs très variés. On en trouvera un échantillonnage dans la rubrique 688 Simulateurs militaires.

693 - WWMCCS

Le World Wide Military Command & Control System peut être défini techniquement comme l'ensemble des moyens de direction des opérations et de soutien technique-administratif pour le commandement et la conduite des opérations de toutes les

forces des Etats-Unis. Il sert donc à surveiller la situation mondiale, recueillir et évaluer les informations des systèmes de détection, pour donner au Président des Etats-Unis et aux chefs militaires les moyens de leurs décisions, en paix comme en guerre, quant à l'usage des forces militaires.

Les plus importantes fonctions du WWMCCS sont donc :

- la surveillance de la situation dans le monde entier
- l'état des forces américaines et non américaines
- la détection lointaine des attaques par missiles intercontinentaux et l'évaluation de la menace, cad nombre et destination des missiles.
- la contribution à l'élaboration de plans pour les différentes réactions possibles.
- la formulation et la transmission des décisions et des ordres d'exécution

Le système peut donc se décomposer classiquement en cinq parties : les capteurs, les communications, les centres de commandement, les calculateurs et les aides à la prise de décision. Voir ci-après.

Le système doit fonctionner en divers modes, que l'on peut baptiser routine quotidienne, crise locale, guerre classique, guerre stratégique généralisée. L'énorme variation d'activité entre ces extrêmes est une des difficultés de la réalisation.

Le système doit être crédible. Ses débuts ont en effet été troublés par plusieurs fausses alertes, certainement imputables à un logiciel insuffisant plutôt qu'à la technologie. On peut douter qu'il ait réellement besoin de mobilité, mais dans la perspective d'une guerre nucléaire, très sérieusement envisagée à l'époque, il a principalement un problème de survie. C'est beaucoup de problèmes à résoudre pour passer de l'ère du simple téléphone à celle de l'automatisme intégral, et il ne faut pas s'étonner que cette première version ait finalement été un échec partiel.

Détecteurs

Les détecteurs du système sont en évolution constante, au grè des inventions des techniciens qui obtenaient facilement, dans l'ambiance paranoïaque de l'époque - justifiée !

- d'au moins expérimenter leur idée. Il s'agit donc :

- des radars de détection de raids de bombardiers : essentiellement le SAGE et son vaste rideau de radars couvrant tout le Nord du continent, de l'Alaska à l'Atlantique.
- des radars de détection des attaques par ICBM, à Clair (Alaska), Thulé (Groenland) et Fylingdale (UK), constituant le BMEWS, Ballistic Missiles Electronic Warfare System.
- des radars de détection des attaques par SSBM, sur les côtes Atlantique et Pacifique : il s'est agi transitoirement de radars SAGE AN / FPS 26 reconvertis précipitemment en AN / FSS 7, puis plus récemment de deux radars OTH bistatiques à très grande portée (mais médiocre précision).
- des satellites de surveillance des sites soviétiques, comprenant au moins trois systèmes : les MIDAS puis les BMEWS pour la détection des lancements à partir des bases soviétiques, les VELA moins précis recherchant les sources d'explosions nucléaires, et ensuite les IMEWS puis les DSP regroupant ces missions.

Tous ces systèmes ont leur autonomie, avec des algorithmes de filtrage pour éviter les erreurs grossières, et les lancements qu'ils décèlent doivent faire l'objet de corrélations avant de provoquer des décisions brutales : on considère généralement qu'une attaque doit

avoir été reconnue par deux détecteurs indépendants pour être prise au sérieux, mais il est bon d'avoir présentes à l'esprit les durées de trajet : 20 à 25 minutes entre la détection confirmée d'un ICBM en route vers les USA et son arrivée, au plus 10 minutes pour un SSBM. S'il n'est pas envisageable de décider automatiquement d'une guerre, la diffusion des alertes ne peut dépendre de la bonne volonté d'un dirigeant ou d'un chef militaire.

Second niveau de détection, et en réalité il s'agit du premier car les préavis sont plus grands et les réactions moins brutales, le renseignement est une fonction à part entière dont les détecteurs ne peuvent être connectés en prise directe sur WWMCCS. Citons les espions de la CIA (à l'étranger) et les contre-espions du FBI (sur le territoire CONUS), les renseignements des services d'espionnage étrangers, les écoutes de la NSA, les satellites de vision directe (équipements KH 1 à 12, portés par plusieurs générations de véhicules (Discoverer, E5, E6, Samos). Voir éventuellement la fiche USAF WTR, en boîte 149).

Des accords délicats entre autorités civiles et militaires décident les procédures par lesquelles les innombrables renseignements stratégiques sont insérés dans WWMCCS.

Télécommunications

Les liaisons entre les centres de commandement et avec les détecteurs ont un haut niveau de sécurité, d'une part parce qu'elles sont strictement et automatiquement cryptées, d'autre part parce qu'elles sont démultipliées : câbles sous-marins intercontinentaux, câbles terrestres profondément enterrés, liaisons radio utilisant tout le spectre en fonction de leurs destinataires, et plus récemment relais satellites.

Par exemple, il existe des liaisons ELF par ébranlements sous-marins pour atteindre les sous-marins stratégiques en plongée sans avoir besoin de les localiser, et des avions TACAMO pour obtenir ces mêmes liaisons en VLF lorsque la zone d'action du sous-marin est connue.

Les liaisons entre centres de commandement se font en commutation de paquets, ce qui assure automatiquement le contournement des pannes ou des destructions.

Centres de commandement

Le WWMCCS concerne une quarantaine de centres de commandement à divers échelons, implantés de façon permanente dans diverses parties du monde. Le centre principal NMCC = National Military Command Center, est au Pentagone. Deux autres centres sont protégés au maximum permis par la technique : l'ANMC ou centre national de secours, à Fort Ritchie, Md, et l'Air Defense Command ADCOM dans le Colorado, tous deux enterrés profondément dans les montagnes. Les autres sont à l'épreuve des bombes classiques.

En outre, il existe des centres de rechange mobiles, notamment six Airborne Command Posts (avions E4B du type Boeing 747, très spécialement équipés). Il y a toujours un de ces avions au moins en vol, intégré au système, et les autres sont en alerte au sol., en particulier l'avion du président, Air Force One.

Dans la conception des hostilités qui a présidé à cette organisation, vers 1975-85, les seuls centres supposés survivants après une première frappe soviétique sont ces avions

et les deux centres majeurs, le préavis permettant d'y mettre à l'abri les personnels essentiels à la survie de l'état et du commandement.

Calculateurs

Dans la première version du système, le système comprend 35 calculateurs H 6000 de Honeywell, distribués entre 26 centres principaux reliés entre eux à travers un réseau à commutation de paquets à base de calculateurs Norden PDP 11 / 70 M. Chacun de ces calculateurs a accès à la base de données qu'il contribue à tenir à jour à partir des détecteurs (au sens large) qu'il a dans son secteur, et alimente des terminaux et des tableaux de renseignements dans les postes de commandement.

Les centres secondaires qui ne possèdent pas une ou deux de ces machines disposent tout de même d'ordinateurs plus modestes et de terminaux, la différence étant qu'ils ne participent pas à l'édification de la base de données, seulement à sa consultation (filtrée). Ils peuvent par contre être responsables d'armes stratégiques ou du commandement tactique de grandes unités.

Armes

Le WWMCCS est essentiellement un centre de décisions stratégiques, qui n'a pas à se mêler de l'exécution très technique des ordres qu'il est amené à formuler. Néanmoins, il est clair que le WMMCCS doit être le véhicule de grandes décisions telles que :

- la mise en alerte des Forces Armées, qui comporte au moins trois niveaux. Se souvenir que c'est seulement si le niveau d'alerte est le plus élevé que l'on pourra sauver les Personnalités clés et tirer les ICBM terrestres, en cas d'attaque généralisée .
- la validation par le président des têtes nucléaires des missiles des silos du Dakota, des bombes du SAC et des SSBM des sous-marins stratégiques (SNLE). Cette procédure globale n'est pas instantanée ; elle est exécutable depuis n'importe quel poste de commandement, avions inclus.
- l'autorisation de tirer des missiles anti ICBM , quel que soit le modèle en service au moment de l'attaque, décision qui n'a de sens que si elle intervient au plus tard dix minutes après la détection des missiles incidents.
- l'autorisation de tir à donner aux silos des missiles terrestres à temps , c'est-à-dire au moins dix minutes avant qu'ils ne soient atteints par les charges nucléaires des missiles adverses.
- l'autorisation pour les SNLE à la mer de lancer leurs 16 (ou plus récemment 24) missiles, décision un peu moins urgente puisque l'ennemi et même le commandement ami ne savent pas où ils sont .
- la notification de l'état de guerre à un commandement de théâtre d'opération, qui en principe dispose de tous les plans nécessaires pour assumer sa responsabilité à partir de ce message.

Cette description qui a toutes les apparences de la science-fiction n'a heureusement pas eu à passer l'épreuve de vérité, mais on peut affirmer que le premier WWMCCS n'était pas en état de la mettre en oeuvre. Depuis ce début des années 80, le système a beaucoup évolué et prouvé son efficacité à l'occasion d'exercices annuels. On n'a pas de

détails, mais tout le monde a pu voir tout cela dans au moins une dizaine de films d'anticipation.

694 - Les navires AEGIS

L'équipement des navires AEGIS, principaux bâtiments défensifs de la Marine américaine des années 1985 à 2015, est un festival d'informatique temps réel et c'est à ce titre qu'ils nous intéressent ici. Puisque nous ne connaissons pas le détail des connexions entre les ordinateurs et les systèmes d'armes, et moins encore le détail des logiciels, le paragraphe sera tout à fait léger, et renverra le lecteur à des documents plus orientés, comme l'annuaire des flottes de combat pour la liste des navires (croiseurs CG 47 Ticonderoga et destroyers DDG 51 Arleigh Burke) et leurs équipements spécifiques.

Le principe du radar AEGIS est la commande par ordinateur d'un système de multiples dipôles disposés en quatre antennes planes, de façon à composer, pour chaque impulsion émise, un diagramme spécifique du besoin instantané : veille panoramique en général, pinceau de poursuite pour la localisation précise d'un avion dont les caractéristiques doivent être transmises à une conduite de tir. Ce radar remplace donc le radar de veille aérienne et le radar de désignation d'objectif des navires de l'immédiat après-guerre, qui utilisaient le même missile Standard (ex Tartar, Terrier).

La responsabilité des systèmes d'armes Aegis est confiée à RCA, en tant que directeur de programme et intégrateur, prenant en charge tous les approvisionnements. Les navires Aegis sont confiés, au moins au départ, au chantier Ingalls de Pascagoula, racheté par Litton qui y a introduit des méthodes révolutionnaires de construction.

Un croiseur AEGIS (9500 tonnes) porte au moins sept calculateurs :

- deux AN / UYK 7 à 4 baies pour la commande des antennes des deux radars avant et arrière, AN / SPYIA de Raytheon.
- un AN / UYK 7 pour le système de commandement, qui évalue la menace à partir des données des radars et des IFF, mais aussi du sonar, essentiellement l'AN / SQS 53A d'étrave.
- un AN / UYK 7 pour le système d'armes, composé de deux rampes doubles Mk 26 puisant chacune ses missiles dans une soute qui loge aussi des ASROC antisous-marins, et de quatre télépointeurs Mk 80 à radar / illuminateur AN / SPG 62, constituant la conduite de tir Mk 99. Il n'y aura guère de changement, sauf logiciel, lorsque, vers 1985, les missiles seront fournis en magasins / lanceurs verticaux de 61 positions au lieu de rampes orientables..
- un calculateur AN / UYK 20 pour la surveillance permanente de la disponibilité de l'ensemble des armes.
- un calculateur numérique dans la conduite de tir Lockheed Mk 86 qui dirige en particulier le canon automatique de 127 L 54, mais qui peut aussi bien diriger tout autre canon.
- un calculateur numérique AN / UYK 7 au moins dans la gestion du sonar et des armes sous-marines.

Il existe en outre des calculateurs numériques intégrés dans les deux systèmes Phalanx de canons à courte portée contre missiles en vol rasant et dans la centrale Sperry de cap et

verticale., ainsi qu'à bord des deux hélicoptères LAMPS de guerre sous-marine embarqués par le navire.

Un destroyer AEGIS, un peu plus petit (7500 tonnes), ne disposera que d'un seul radar AN/SPY 1D, d'un seul hélicoptère, et d'un peu moins de missiles et de télépointeurs, mais en gros gardera la même organisation. Les plus récents destroyers AEGIS (1992, 8000 tonnes) ont un radar AN/SPY 1E et deux hélicoptères et rejoignent à peu près les croiseurs ; les calculateurs sont des AN/UYK 43 et 44.

La fiche AEGIS, jointe au dossier, est une fiche système très peu informatique, principalement destinée aux lecteurs militaires intéressés par la doctrine élaborée pour tirer parti de ces matériels.

695 - Le programme VHSIC

A la fin des années 70, le DOD désormais unifié cherche à faire des économies en unifiant dans toute la mesure du possible les technologies, les techniques et les procédures de création et d'approvisionnement des matériels des quatre armées. En particulier, la DARPA, organisme chargé des recherches, décide de lancer un programme d'études devant aboutir, en six ans, à des progrès majeurs en matière de circuits intégrés ; l'idée directrice est d'imposer ensuite l'emploi de la nouvelle technologie dans l'ensemble des matériels militaires, à travers la définition d'un catalogue de microcircuits d'intérêt général.

La première étape consiste à trouver des entreprises volontaires et à les faire travailler sur la définition de processus de fabrication de géométrie inférieure à $1\ \mu$, chiffre ambitieux défini un peu au hasard à cause de sa valeur symbolique. Les circuits intégrés des années 75 utilisaient plutôt une géométrie $10\ \mu$, ce qui signifie approximativement que toutes les connexions sur les puces, y compris la grille des transistors, étaient dessinés avec cette largeur.

Les sociétés qui répondirent à l'appel d'offre furent General Electric, Honeywell, Hughes Aircraft, IBM, Raytheon, Rockwell, Texas Instruments et Westinghouse, chacune s'associant avec d'autres industriels de l'électronique pour ne pas risquer de s'égarer dans des directions sans issue ni débouché. Aucun type de logique n'était imposé à ce stade, car personne n'était en mesure de dire quelle logique fonctionnerait le mieux (rapidité, fiabilité) dans les dimensions minuscules que visait le programme.

Conscients que les chercheurs s'aventuraient dans l'inconnu, les responsables du projet à la DARPA ne refusèrent personne, et demandèrent seulement à chacun des participants de définir et déclarer leur objectif, dans le cadre administratif et financier d'un programme en trois phases d'un montant global de 250 M\$ sur six années :

Phase zéro : réalisation de l'objectif déclaré en géométrie $3,5\ \mu$.

Phase 1 : première sélection, et passage à une géométrie $1,5\ \mu$.

Phase 2 : seconde sélection, et définition d'une gamme de circuits en géométrie $0,5\ \mu$ si possible, à défaut $0,8\ \mu$. Si les objectifs sont atteints, choix d'un petit nombre de logiques répondant à une série d'objectifs de vitesse et consommation, et normalisation de ces circuits, que tout fabricant pourra ensuite recopier.

Ce programme provoqua un vif intérêt chez presque tous les industriels, dont certains comme RCA ne participaient pas à la phase zéro mais devinrent candidats pour la phase 1 en présentant le fruit de leurs travaux privés. La découverte progressive des possibilités immenses de cette intégration à grande échelle, que la plupart des participants

n'osaient pas envisager initialement, fit qu'à la fin du programme, presque tous les industriels, avec ou sans l'aide de la DARPA, étaient capables de fabriquer de façon rentable des circuits de géométrie inférieure à $1\ \mu$, même si beaucoup n'étaient pas convaincus d'en avoir besoin.

Aussi, pour la phase 1 entreprise vers 1981, et pour la phase 2 intervenue en 1985, il ne restait en lice que trois concurrents : IBM, TRW et Honeywell, ayant des circuits à présenter et décidés à accepter, si nécessaire, les contraintes de normalisation du DOD. A cette date, chacun des concurrents savait réaliser des circuits en géométrie $0,5\ \mu$.

La normalisation DOD envisagée fut tentée vers 1985, mais sans conviction, car il apparaissait que :

- beaucoup d'applications de la Défense n'avaient pas besoin des densités extrêmes désormais possibles, qui impliquaient la création d'usines extrêmement coûteuses.
- les méthodes de fabrication de ces circuits étaient suffisamment connues désormais pour que tout fabricant sérieux, suffisamment motivé par une commande de grande série, puisse construire avec succès une usine capable d'une telle production.
- le DOD n'était plus seul utilisateur de séries importantes de matériel électronique de très hautes performances exigeant de tels circuits : l'industrie aéronautique, l'industrie automobile, et l'industrie des ordinateurs civils justifiaient de telles séries. Aussi la normalisation DOD risquait de priver la Défense de l'accès aux produits de l'extraordinaire créativité suscitée par ces demandes diverses.

C'est pourquoi la normalisation se transforma, à l'issue de la phase 2, en une homologation de circuits réalisés par les participants, et en quelques contrats de phase 3 pour des perfectionnements orientés.

En conclusion, le programme VHSIC, bien qu'il n'ait pas abouti à la normalisation initialement envisagée, a été le moteur d'une évolution qui aurait sans doute eu lieu sans lui, mais beaucoup plus lentement. Dix ans plus tard, c'est la compétition pour les PC qui relancera ce type d'effort, conduisant en 2000, notre limite arbitraire, à la géométrie $0,18\ \mu$ et à des fréquences de travail de l'ordre du GHz, mais aussi au prix exorbitant des usines capables de produire ces circuits, avec d'importantes conséquences sur l'organisation de l'industrie des semiconducteurs, totalement mondialisée.

On trouvera en boîte 149 deux articles de la revue Electronics sur le programme VHSIC, ainsi que trois articles tirés de la Revue Internationale de Défense. Ces derniers montrent que malgré son échec très relatif, la Défense ne désarmait pas :

- le programme MIMIC, lancé en 1986, étend les méthodes du programme VHSIC à un domaine plus étroit, celui des circuits en AsGa, susceptibles de vitesses nettement supérieures, mais au prix de contraintes techniques qui limitaient le nombre des participants autant que l'usage de leurs résultats.
- le programme Pave Pillar de l' USAF reprend tout à fait les objectifs de normalisation de la DARPA avec une moindre ambition, s'agissant seulement de l'électronique aéronautique. Le but explicite est maintenant l'amélioration des conditions de maintenance.

Il semble bien que la foudroyante accélération des méthodes de miniaturisation, vers 2000, avec ses conséquences en matière de densité (plusieurs CPU avec leur mémoire sur une seule puce) et de vitesse (2,5 GHz dès 2002) aient rendu inutiles ces nouveaux efforts.

696 - L'Océanographie dans l' US Navy

Après la guerre, les divers progrès de la météorologie et de l'informatique rendent possible une étude méthodique des océans, avec comme premier but militaire une meilleure maîtrise de la propagation des signaux acoustiques.

Un établissement spécifique est organisé à Monterey, Cal. Un réseau de transmission affecté est créé pour relier des stations de mesure côtières distribuées à travers le monde, et il est construit avec des calculateurs Control Data, comme suit (situation de 1967) :

Centre de Calcul à FNFW Monterey, équipé d'un biprocesseur CDC 6500, d'un 1604B datant de la création, et d'une paire de CDC 3200 gérant la mémoire de masse, constituée par un tambour Univac FH 880 et trois gros tambours Bryant. Le terminal du réseau à Monterey est une CDC 3100.

Une CDC 8090 est chargée des liaisons avec la météo de l' USAF, AWN à Tinker AFB.

Collecte Ouest à FWC Alameda, un 3100 pour 9 stations.

Collecte Est à FWF Norfolk, un 3100 pour 9 stations de la côte Est et pour recueillir la météo civile en provenance de Suitland.

Collecte européenne par un 3100 à FWC Rota, Espagne, et un 160 A à FFF Londres.

Collecte asiatique par un 160A à FWF Yokosuka, Japon, et un autre à FWF Sangley, Philippines.

Collecte Pacifique par un 3100 à FWC Pearl Harbour, Hawaï, et un autre à FWC Guam.

On ne sait rien des évolutions ultérieures.

En 2000 Monterey est toujours l'établissement océanographique de référence, bien que les méthodes aient beaucoup changé :

- d'une part grâce à des campagnes méthodiques de navires océanographiques richement dotés en équipements de mesure de position (pour évaluer les courants), de la salinité (qui conditionne les mouvements verticaux de l'eau), de sondage (pour affiner les cartes) et de bathythermographie (parce que c'est un facteur important de la propagation acoustique).

- d'autre part et assez tardivement à cause de l'apparition de satellites perfectionnés spécifiques, dont le premier, Topex / Poseidon, a été exploité en liaison étroite avec la France. Ce satellite et ses successeurs disposent principalement d'un altimètre radar de précision mesurant la distance entre la surface de l'eau et le satellite, lui-même localisé avec rigueur sur son orbite. On situe ainsi la surface de la mer par rapport au géoïde, et par effet doppler on peut évaluer les courants.