

# **Catalogue informatique**

Architectures

Constructeurs

Logiciels

Machines

Périphériques

Personnalités

par

Henri BOUCHER

## 1 - Abacus, Inc

Cette société ne nous est connue que par l'étude, réalisée dans les années 60 en liaison avec le Space Technical Laboratory de l'USAF, d'un processeur associatif expérimental qui aurait pu trouver des applications dans les missions spatiales.

Contractant : Space Systems Division, USAF

Siège social : Santa Monica, Californie

Chercheurs : Richard G. Ewing et Paul M. Davies

Référence : article An associative processor, AFIPS 1964 Fall JCC, pp 147/158, 11 réf.

## 2 - Aberdeen Proving Ground

Ce laboratoire de l'US Army, intitulé Ballistic Research Lab, était avant guerre voué à la mise au point des munitions d'artillerie par le calcul manuel et l'expérimentation. Il y a des Aberdeen dans de nombreux états américains, mais celui-ci se trouve dans le Maryland : sa relative célébrité vient de ce qu'il fut l'hôte, de 1943 à 1955, du premier ordinateur électronique, l'ENIAC.

Première installation : 1943 : la Moore School of Engineering construit sur place l'ENIAC.

Deuxième installation : 12 / 44 : PSRC, Pluggable Sequence Relay Calculator d'IBM.

Troisième installation : un des deux calculateurs à relais Bell Mk 5, installé au BRL en 1947.

Quatrième installation : 1949 : EDVAC, construit aussi par la Moore School, et qui fonctionnera réellement de 1952 à 1960.

Cinquième installation : ORDVAC, une machine de type Princeton construite par l'Université d'Illinois et installée à Aberdeen en 1952.

Sixième installation : BRLESC, une machine étudiée par le National Bureau of Standard pour être mathématiquement compatible avec ORDVAC, et assemblée par les ingénieurs d'Aberdeen en 1961.

Le BRL a installé bien d'autres machines, depuis ces calculateurs historiques, mais il s'agit de calculateurs du commerce sur lesquels il n'y a pas lieu de s'appesantir.

## 3 - Model 10 de Accelerated Processors

Machine parallèle construite en 1985 par cette société qui ne nous est pas autrement connue. Il est par contre certain que cette machine n'a pas obtenu plus qu'un succès d'estime et probablement quelques commandes locales pour usages spécialisés.

Le modèle pouvait comporter de 4 à 12 groupes de huit processeurs arithmétiques, qui pouvaient se reconfigurer dynamiquement pour s'adapter à la nature des problèmes. Prix de base \$ 88000.

## 4 - AC Electronics / Delco

Pendant la guerre, les filiales d'équipement de General Motors étaient très largement occupées par la fourniture de composants pour l'armada des véhicules construits pour les armées. Cependant, la filiale Delco (allumages) devait avoir quelques disponibilités dans le domaine de l'électronique, car on trouve trace en 1943 d'un contrat de production de l'AN/APN 4, un récepteur Loran pour avions conçu par Philco.

Delco a continué, après la guerre, à accepter de petits contrats de production, et tout particulièrement pour le nouveau portable d'infanterie produit à 30000 exemplaires à partir de 1969 : récepteur AN/PRR 9, émetteur AN/PRT 4, situés sur le casque. Mais cela s'est arrêté lorsque la société a réussi à imposer sa centrale à inertie Carroussel 4 (AN/ASN 119, 1975).

On ne trouve par contre aucune trace de travaux d'électronique confiés à AC Spark Plug, qui pendant la guerre ne produisit guère que des bougies. Les diversifications scientifiques d'après-guerre poussèrent la General Motors à développer cette société en une filiale consacrée à l'informatique, laquelle s'introduisit sur le marché en 1962 avec le ordinateur MAGIC, un mecano destiné au calcul temps réel pour l'aviation et l'espace.

Par la suite, la technologie a évolué, mais le nom a subsisté, couvrant une gamme diversifiée de machines de petite taille, assez robustes pour tous usages aéronautiques et spatiaux, et qui y ont trouvé de nombreuses applications: 301 (SRAM), 311 (Carroussel), 341 (HH 60), 351 (C5B), 362 (F16 A/B), 372 (F16 C/D, Lantirn), etc... Au total plus de 10000 machines.

AC Electronics a changé une deuxième fois de nom, ou bien fusionné avec Delco, seul nom qui apparaît dans les contrats après 1970. Les derniers des Magic 3 datent de cette époque, et on trouve ensuite un Magic IV en 1975, puis un Magic V en 1985, au rythme des technologies.

Le Magic IV est une version LSI du Magic 3, permettant de réduire poids, volume et consommation. Il est utilisé notamment pour le système de fuel saving advisory (économies de carburant) intégré au tableau de bord du ravitailleur KC 135.

Le M372 de 1982 est le calculateur de bord du chasseur F16 C/D, pour les commandes Block 10, 20 et 30. Il occupe un demi-ATR et obéit aux normes suivantes:

MIL. STD. 1750A pour l'architecture (apparente, sans doute émulée).

MIL. STD. 1553B pour le bus de collecte de données à travers l'avion.

MIL. STD. 1589B pour le langage de programmation.

Le Magic V est un calculateur mono-carte conforme à la norme MIL. STD. 1750A, utilisant 12 circuits intégrés CMOS définis par Delco et réalisés par Motorola pour fournir 850 Kops. CPU et mémoire jusqu'à 192 KB tiennent sur 109 \* 162,5 mm, qui s'inscrit dans un demi ATR et consomme 5 watts.

L'adressage est prévu pour des extensions jusqu'à 1 Mmots, et le multiprocessing est possible jusqu'à 5 CPU.

Application : six de ces machines seraient incorporées à la nouvelle version du brouilleur AN/ALQ 99 de l'avion EF111A de guerre électronique, permettant 100% d'autodétection des défauts et pannes.

## 5. MAGIC 311

Calculateur de la centrale inertielle Carrousel IV, construit avec une combinaison de circuits MSI et de circuits intégrés. Volume 12,5 litres, poids 10 kg, consommation 110 watts, MTBF 3500 heures.

Mémoire à tores DRO de 6 à 8 K mots de 12 bits, cycle 2,6 us.

Logique : 29 opérations dont addition 19,5 µs, multiplication 104 µs, division 332 µs. Indexation possible sur 12 ou 24 bits. Une seule interruption exploitée par programme.

Entrées/sorties : DMA de 153000 mots/s, Multiplex de 50 KB/s.

Logiciel : mise au point sur simulateur réalisé sur IBM 360.

## 6. MAGIC 341

Calculateur universel 16 bits pour tous usages aéronautiques, à base de circuits MSI. Volume de base 3,4 litres. Mémoire principale en tores DRO, 2 à 64 Kmots, cycle 2,5 us. Mémoire de travail NDRO en MOS, 4 Kmots, cycle 1 µs. Logique 16 opérations, addition 5 µs, multiplication 20 µs, index en mémoire.

Entrées/sorties par DMA 400 Kmots/s, sur une unique interruption.

## 7. MAGIC 301

Calculateur du missile SRAM, construit en circuits intégrés. Volume 3 litres, 2,35 Kg, 39 watts, MTBF 4600 heures. Mémoire comprenant 384 mots de tores DRO 8 bits, cycle 4 us, plus 1664 mots en NDRO. Logique 12 opérations, avec addition 24 µs, multiplication 40 µs, division 280 µs. Possibilité d'index sur 8 ou 16 bits. Une seule interruption.

Logiciel compatible tous autres Magic, grâce à simulation sur IBM 360.

## 8. MAGIC 362 / 372

Calculateur du chasseur-bombardier F16 A/B, aucun détail technique. Logiciel rédigé en Jovial J3B avec compilateur et simulateur sur IBM 370.

Le Magic 372 des F16 C/D, qui date de 1982, n'est plus rattaché au type 3 d'origine que par des souvenirs, car il est construit selon des normes qui n'ont rien à voir avec ce qui précède : MIL. STD. 1750A pour l'architecture, MIL. STD. 1589B pour le langage de programmation, MIL. STD. 1553B pour le bus série d'interface avec toute l'électronique de l'avion.

## 9. DAP / CP8

Extension du concept DAP, dans laquelle chaque processeur 1 bit dispose d'un coprocesseur 8 bits, avec répartition des tâches fixée par logiciel.

Nouveau modèle 510 C : arithmétique VF 32 bits 140 M Flops, arithmétique entière 8 bits 5000 Mips

Nouveau modèle 610 C : arithmétique VF 32 bits 560 M Flops, arithmétique entière 8 bits 20000 Mips

Débit interne 5,1 GB/s, débit externe 80 Gbits/s avec impact de 3% sur la puissance de calcul. Disques possibles jusqu'à 45 GB, débit jusqu'à 16 Mbits/s.

Le prototype 1991 est une carte de 38 \* 30,5 \* 2,5 cm contenant 4 chips de chacun 64 processeurs, connectés par 180 broches, logique à 10 MHz. Elle est accompagnée d'un contrôleur sur deux cartes.

En cours d'étude à cette date : nouveau chip en CMOS 1 µ, 20 MHz, contenant 64 processeurs de 1 bit, 16 processeurs de 8 bits et un contrôleur : il sera monté en hybride sur des cartes de 9 \* 9 \* 3 cm.

## 10 . Active Memory Technology

Cette société semble une création ad hoc autour d'un ingénieur titulaire des brevets (anglais, semble t'il) de la mémoire active constituée par une structure matricielle de processeurs de 1 bit. L'organisme qui finance les études est la DARPA. En dehors d'AMT, les bénéficiaires des crédits sont des sociétés susceptibles d'exploiter la formule dans des processeurs temps réel, comme Martin Marietta ou E System.

## 11 . ADAGE, Inc

Cette société a été fondée à Boston, Massachussets, dans les années du calcul analogique et s'est lancée dans le créneau du calcul hybride, en particulier avec le calculateur Ambilog 200, succédant à des logiques hybrides de connexion pour calculateurs analogiques préexistants, comme le 770 (voir document de 1964). Elle a aussi réalisé des consoles graphiques, à une époque où il s'agissait encore d'une aventure, et semble avoir poursuivi dans cette voie, lorsque le calcul hybride est passé de mode :

AGT 10 (1968) est une console à grand écran rectangulaire destinée au travail avec le calculateur hybride Ambilog 200. Capable de générer et maintenir jusqu'à 4500 vecteurs à un rythme de présentation de 40 images /s, avec une résolution meilleure que 100 lignes par pouce. Le modèle de base, avec tampon de 4 KB, light pen, poussoirs de fonctions, et télétype, est vendu \$ 60000. Des extensions sont possibles jusqu'à 32 KB de tampon, d'autres périphériques, un joystick, une tablette, un générateur de caractères, et une sortie sur photos.

GS/300 (1974) est un système graphique complet, fonctionnant comme périphérique d'un calculateur universel sur 30 bits, a priori un Univac conçu pour le NTDS. Ce système dispose d'un processeur spécialisé, micro-programmé sur 56 bits, et manipulant des données de visualisation 16 bits. Un logiciel important accompagne ce support.

Adage 4100 (1978) semble être une orientation systématique vers ce type de prestation, où l'on retrouve le processeur micro-programmé précédent, associé à une mémoire de données suffisamment rapide pour afficher jusqu'à 23000 vecteurs sans flicker. Trois modèles sont proposés :

- un Modèle 4120 pour images 2D, associé à une mémoire de programme sur ROM
- un Modèle 4135 pour images 3D, également à mémoire ROM.
- un Modèle 4135 pour images 3D, avec mémoire sur DRAM.

Chacun de ces processeurs peut supporter jusqu'à 4 consoles, et supporte en option les services suivants : zoom 128 : 1, fenêtre programmable maintenue par registres hardware, générateur de cercles, ajustement de profondeur 3D, tampon collectif jusqu'à 128 KB. Chaque console dispose aussi d'options propres : clavier alphanumérique, 32 clés de fonctions programmables, light pen, joystick, tablette, et même couleur.

Adage 6080 (1985) représente l'état de la technique 7 ans plus tard : chaque console 19", définition 1024 \* 1024 pixels entretenues à 60 Hz non entrelacés, dispose de son propre processeur graphique Ocean et d'un bus VME. Jusqu'à 32 consoles peuvent être réunies sur un canal Adage 4250 connectable à une majorité de gros ordinateurs.

La console dispose localement de 50 ns par pixel pour l'ensemble des tâches de visualisation, incluant light pen, zoom, scroll, curseur matériel, antialiasing sélectable par l'utilisateur. En options : émulation 3270, transformations 2D et 3D, clipping, 256 couleurs choisies parmi 4096, communications jusqu'à 3 Mbits/s, et un tampon de 256 à 1250 KB.

Lui sont associés un clavier alphanumérique, une tablette avec style ou 4 boutons, groupe de touches de fonction programmables, et 8 cadrans à variation continue.

Le prix a bien diminué : \$ 18000 en monochrome, \$ 22000 en 16 couleurs.

## 12. Applied Digital Data Systems

Modeste société créée pour exploiter les créneaux ouverts par d'autres, c'est essentiellement une société de services construisant ses systèmes par assemblage de composants commerciaux, et dont la valeur ajoutée réside dans le logiciel et le service clé en main. Elle est située à Hauppauge, dans l'état de New York. On peut citer d'abord le System 70, ensemble de saisie multiterminaux et, plus récemment, Mentor.

## 13. System 70

Système de saisie comportant, autour d'un petit ordinateur non précisé, un petit bureau contenant deux lecteurs de disquettes 8", un petit écran et un clavier. Les liaisons peuvent se faire selon les modes TTY, IBM 3780, ou Burroughs.

Le système d'exploitation s'appelle ADOS pour rappeler qu'il est construit autour d'une disquette. Les services proposés sont Assembleur, Basic, Fortran IV, et un langage de saisie baptisé ADDS+.

Le chiffre communiqué de 50000 exemplaires vendus ne porte certainement pas sur le system 70 seul, mais sur l'ensemble de la production de ADDS depuis que cette société se consacre à la saisie.

## 14. MENTOR

Gamme de mini-ordinateurs de gestion construits autour du microprocesseur Zilog 8001 de 16 bits, associé à une mémoire de 128 à 1024 KBytes. Les périphériques proposés sont des disques Winchester 14" jusqu'à 150 MB, et une bande magnétique de type streamer capable de 2 MB par bobine.

Le logiciel est construit autour du système d'exploitation PICK accompagné d'une base de données, d'un traitement de texte Documentor, d'un programme Calcumentor de prévision financière, d'un programme Distributor de gestion commerciale, d'un générateur d'applications Implementor, et du langage de programmation Data Basic.

Les configurations proposées sont les 2000 et 4000 capables de 32 terminaux, et 5000 à 64 terminaux. Ces chiffres paraissent extrêmement douteux en pratique.

Prix d'un modèle 4064 comportant 512 KB de mémoire avec contrôle de parité, 60 MB de disques, 1 dérouleur, un contrôleur pour huit terminaux, une interface d'imprimante, l'alimentation permanente et le logiciel : 404000 F.

## 15. Super 186 de Advanced Digital Corp

Ce produit n'est pas un mini de gestion, mais une simple carte OEM destinée à construire des mini de gestion. Le processeur est un Intel 80186 à 8 MHz, associé à une mémoire 256 KB à 1 MB et à des contrôleurs d'entrée/sortie : mélange de disquettes 8" ou 5,25", quatre RS232, deux ports parallèles, un DMA, un contrôle de parité, un bootstrap sur EPROM. Prévu pour bus S100, en position maître ou esclave.

Le logiciel n'est pas fourni, mais la carte est compatible avec les systèmes CP/M86 et MP/M86 de Digital Research, MS/DOS de Microsoft, et TurboDOS de Software 2000.

Le prix de vente OEM par quantités est de \$ 1650.

## 16. System 3000 de Advanced Information Design

Petit système de gestion dans la ligne du System 2000 (voir fiche), mais construit autour du calculateur Interdata 7/16. 45 systèmes auraient été placés de 1975 à fin 77, au prix de base de \$ 18528 ou \$ 426 / mois, plus logiciel. Ce prix a été restructuré à \$ 22800 / 420 en 9 / 78.

Mémoire 32 à 64 KB, cycle 1  $\mu$ s, tous choix de périphériques comme le 2000, mais l'extension usuelle est de 15 terminaux, extensible à 40. Les protocoles offerts incluent le SDLC. En matière de logiciel, la principale nouveauté est un compilateur PL / I.

## 17. System 4000 de Advanced Information Design

Petit système de gestion dans la ligne du System 2000 (voir fiche), mais construit autour du calculateur Interdata 7/32. Prix de base \$ 66750 ou \$ 1535 / mois, restructuré en 9 / 78 en \$ 75000 / 1380 avec 60 mois de leasing, pour une configuration à deux disques de 50 MB.

C'est un matériel nettement plus ambitieux que les précédents, avec mémoire 128 (32 / 64 ) 1024 KB, cycle 750 ns, et un système d'exploitation capable de 12 partitions. Tous périphériques et logiciels comme les précédents, évidemment plus performants.

## 18. System 5000 de Advanced Information Design

Petit système de gestion dans la ligne du System 2000 (voir fiche), mais construit autour du calculateur Interdata 8/16 E avec 16 à 64 Kmots de mémoire à tores, cycle 750 ns. Prix minimum \$ 27980 ou \$ 520 / mois sur la base d'un leasing 60 mois, avec un disque de 60 MB.

Ce modèle est plafonné à 4 floppies et 4 disques, cartouches de 10 MB ou packs de 300 MB. Il peut comporter jusqu'à 80 usagers et son système d'exploitation se diviser en 24 partitions, ce dernier chiffre relativisant le premier. Tous périphériques et logiciels de la famille.

## 19. System 6000 de Advanced Information Design

Petit système de gestion dans la lignée du précédent, ce système est construit autour du calculateur Interdata 8/32, avec mémoire 32 à 512 Kmots de cycle 750 ns avec cache, et un maximum de 1024 ports ou 128 lignes, et jusqu'à 1200 MB de disques.

Le prix s'en ressent, \$ 125000 ou \$ 2300 / mois pour un produit de base comprenant deux disques de 50 MB, un écran, une ligne, une machine à écrire 165 cps.

## 20. Advanced MicroDevices

Cette société s'est créée vers 1975 pour commercialiser un microprocesseur en tranches, le 2901, remarquable succès développant une formule jusque là confidentielle, et l'imposant dans au moins une dizaine de calculateurs micro-programmés de toutes origines. Ce succès régulièrement entretenu par la mise en service de nouveaux produits sur le même thème en a fait progressivement un fournisseur de composants qui s'imposait comme seconde source pour les produits Intel, 8080 puis 80286 et 80386.

Simultanément, et parce qu'il s'agit désormais d'une catégorie de produit qui trouve sa place presque dans chaque PC, AMD s'implante solidement dans le domaine des réseaux. Voici quelques produits :

1988 Ethernet : pour le standard 10 base S, le contrôleur 7990 est accompagné du codeur 7292 et de l'émetteur / récepteur 7995; le 7990 sera produit en seconde source par Motorola sous le sigle MC 68590, ce qui est le signe du succès. Pour le standard 10 base T, le circuit 79C98 TPEX (en CMOS) est mis au point avec le bureau d'études Synoptic Communications.

1988 FDDI : le Supernet 1 est un premier jeu de 5 circuits pour ce réseau rapide en anneau, pour prendre rang. Il consomme cependant trop, 8,1 watts.

3 / 91 FDDI : le Supernet 2 ne consomme plus que 2,8 watts, et ne comprend plus que 4 composants:  
- deux circuits PDT émetteur et PDR récepteur pour la couche physique.  
- un circuit CMOS, le PLD, pour la couche de protocole SMT.  
- un circuit Formac + pour la couche MAC de service : c'est un microprocesseur capable de gérer une mémoire tampon externe jusqu'à 256 KB, mémoire qu'il exploite comme un ensemble de six piles FIFO, cinq en émission, une en réception.

1994 : le 79C974 est un circuit typique des problèmes du PC, un fragment de l'indispensable chipset valable d'ailleurs pendant une courte période, tant ce domaine évolue rapidement. Ce circuit CMOS 5 Volts, présenté en PQFP 132 broches, comprend :

- une interface PCI 32 bits multiplexant adresse et données, capable de big et little endian.
- une interface SCSI2 avec DMA 32 bits et une pile FIFO de 96 bytes qui permet de soutenir des rafales jusqu'à 132 MB/s.
- une interface Ethernet avec deux FIFO de 132 bytes pour émission et 128 bytes pour réception, et deux adaptateurs pour les modes Ethernet 802.3 et 10 base T.

Simultanément encore, et pour ne perdre aucune clientèle malgré une forte compétition, AMD maintient la fabrication de mémoires mortes 27C, EPROM CMOS à fenêtre UV : cette série s'étend du 512K \* 8 bits, cycle 150 ns (27C040) au 8K \* 8 bits à cycle de 55 ns (27C64).

Ces mêmes mémoires peuvent être fabriquées sans fenêtre et deviennent alors bon marché. Ce sont des équivalents des PROM à fusibles, programmables très rapidement. On les utilise après mise au point du programme sur la version à fenêtre ; elles se présentent en DIP 28, 32 ou 40 selon capacité.

A titre indicatif, la compétition comprend AKM, Catalyst, Cypress, Fujitsu, Hitachi, Intel, NEC, Oki, Philips. AMD n'est pas toujours le mieux placé.

A partir de 1990, AMD cherche à secouer la tutelle de Intel en inventant des variantes de ses composants sous licence, puis en proposant, en 1991, sous le nom Intel de 80386, un composant non licencié, créé dans ses laboratoires. Le procès qui s'ensuivit fut perdu par Intel, au motif qu'on ne peut breveter un numéro, moyennant quoi AMD réitère son coup avec un 486 "dégriffé", puis en créant systématiquement des produits compatibles en compétition directe avec Intel, comme le 486 DX2/66, puis le K5 et le K6.

Cette dernière opération est caractéristique des méthodes et des possibilités d'AMD. Elle commence par un projet K5, abondamment orchestré dans la presse technique, décrivant un processeur qui sera 100 à 120 MHz, et 30% plus performant à fréquence égale que le Pentium. A l'échéance, le produit n'est pas prêt, et les premiers exemplaires ne dépassent pas 75 MHz.

Les retards s'aggravant, AMD se décide à acheter (10/95) la société Nexgen, malgré les défauts reconnus de son produit 5x86, pour accroître son potentiel d'étude, et annoncer un projet K6 qui progressivement fera oublier le K5 abandonné. En attendant, pour vivre, AMD multiplie les processeurs compatibles et met sur le marché successivement :

- 4/94 : un 486 SX2/50 avec cache 8 KB
- 11/94 : un 186 EM à 40 MHz avec interface série synchrone, port série, CS unit, boîtier TQFP 100 broches ; un 386 EM avec adressage jusqu'à 96 MB, choix d'horloges 25/33/40 MHz, plus de timers, de portes série, de DMA et d'interruptions que les versions précédentes, boîtier PQFP 132 broches; un 486 SE avec cache unique 8 KB et MMU, boundary scan selon IEEE 1149.1, compatible avec les logiciels Microsoft, Novel et Next.
- 6/95 : un 486 DX4/120 avec cache "write back", mode de gestion SMM, fonctions évoluées d'économie d'énergie, présenté comme comparable au Pentium 75. En fait, il ne l'est qu'en arithmétique entière, car la VF du 486 est bien inférieure à celle du Pentium.
- 3/96 : un 5x86.P75 qui est une véritable tromperie : ainsi baptisé pour faire croire qu'il s'appuie sur l'héritage Nexgen, et qu'il a la puissance du Pentium 75, il s'avère à l'analyse que c'est un simple 486 à 133 MHz, avec cache write back de 16 KB et VF intégrée sur une puce de 43 mm<sup>2</sup> mais sans aucun des dispositifs avancés du K5 ; le pipeline est à 5 étages et une seule opération est possible par cycle. Prix \$ 93/1000 en PGA 168 ou SQFP 208 broches.

Le K5, rebaptisé K86, sort publiquement à cette époque, cadencé 75 MHz (\$ 75) ou 90 MHz (\$ 99), mais les versions 100 MHz attendront l'été, et les 120 MHz l'automne. En fait, elles ne sortiront pas, étant dépassées par la concurrence Intel, et AMD le fera oublier en commençant, dès avril, la campagne publicitaire du K6. Moyennant quoi, AMD réussira à séduire la Bourse pour un temps, et à vendre ses x86 pour se tenir à flot (de l'ordre de 10 millions par an).

En 1996, le K6 à 233 MHz est un succès, dépassant en performances, pour quelques semaines, les hauts de gamme de Intel, Pentium II/233 et Pentium Pro/200 : AMD atteint ses limites dans ce conflit désormais institutionnel, en ce sens que la société ne parvient pas à fournir à la fois la totalité des commandes qui lui sont passées et les nouveaux produits qu'elle a elle-même définis. D'autre part, le prix de création d'une nouvelle usine de microprocesseurs est si élevé que AMD ne peut pas, et peut-être ne souhaite pas provoquer Intel trop sérieusement sur ce terrain, de peur de ne pouvoir rétribuer ses avances bancaires.

Vers 2000, AMD est toujours en pleine activité, mais semble vouée à rester dans l'ombre de Intel même lorsqu'elle propose un microprocesseur original, mais obligatoirement compatible. Ses produits sont reconnus et se vendent, mais en tant que compatibles. En fait, la société est dans le rouge la moitié du temps et continue à ne survivre que par un tour de force permanent : de nouveau, son avenir est suspendu à la valeur et à la ponctualité de son étude suivante, le K7.

La sortie effective du K7, nom de code Athlon, en août 1999, va changer la donne : le K7 est en effet supérieur au PIII sur tous les plans, et va désormais garantir à AMD une part de la clientèle des fabricants de PC, et non plus seulement des niches.

L'Athlon, réalisé d'abord en 0,25  $\mu$  et 600 MHz, va évoluer rapidement vers des variantes 0,18  $\mu$  cuivre dépassant le GHz, baptisées Thunderbird et Duron, qui établiront solidement AMD dans un rôle de concurrent d'Intel. Une fiche détaille cette révolution.

## 21 . AMD 80286

Production sous licence en seconde source du microprocesseur Intel, pour la description duquel on renvoie à la fiche Intel. En 1985 AMD produit:

- une version 6 MHz en deux variantes, un 68 broches leadless vendu \$ 54 pièce par quantité de 100, ou \$ 100 en boîtier grid array.
- une version 8 MHz leadless vendue \$ 120 pièce par lots de 100.

En 1986 apparaît une version 12,5 MHz, réalisée en NMOS 1,8 microns.

En accompagnement, AMD produit de son propre chef des périphériques compatibles tels que :

- AMD 82284 clock driver 18 broches, logique de synchronisation contenant oscillateur à quartz, générateur de synchro pour CPU et périphériques, logique de synchronisation et remise à zéro pour le Multibus d'Intel. Prix \$ 22,4 en 8 MHz.
- AMD 82C288, contrôleur de bus 20 broches comprenant registre d'adresse (latch), conversion de données (data transceiver), logique pour cycles de mémoire et de périphériques. Alimenté en 5 V, ce circuit consomme 40 mW en activité, 50 µW en veille. Prix \$ 26,8 en 8 MHz.
- AMD 82C54, compteur / timer pour 8 ou 10 MHz.

## 22. AMD 286 ZXTM / LXTM

Caractéristique de l'indépendance acquise par AMD, ce chip CMOS annoncé en 1990 contient tous les composants de la carte mère IBM AT. Réalisé de façon complètement statique, il accepte toutes les fréquences de 0 à 12 MHz pour le ZX destiné aux machines de bureau (\$ 69), 0 à 16 MHz pour le LX destiné aux portables (\$ 89).

Le ZX contient un CPU 80C286, une interface DRAM capable de 16 MB physique, deux DMA équivalents chacun au 9517A à 4 voies, trois timer équivalents à un 8254, un circuit à 2 interruptions équivalent au 8259, 114 bytes de SRAM faible consommation composant une RTC, une interface pour coprocesseur 287, une interface pour clavier, un contrôleur de bus équivalent au 86288, et un générateur d'horloge équivalent au 82284. L'interface DRAM est un véritable MMU capable d'une mémoire virtuelle de 4 GB, avec deux jeux de 64 registres pour le TLB, paging facultatif selon programme, entrelacement 2 ou 4.

Le LX contient en outre un mode veille pour l'économie d'énergie, qui suspend l'alimentation du CPU et l'émission de toutes les horloges à l'exception de celle du rafraîchissement des DRAM.

## 23. AMD 386 DX40 " Longhorn "

Réalisé et vendu comme 386 sans l'accord de Intel, ce microprocesseur est un CMOS 0,8 microns fabriqué à Austin, capable de 40 MHz mais complètement statique, et livré en boîtier PGA 14 x 14 = 132 broches, interchangeable avec les versions Intel. Il en existe une version DXL40, L pour low power, qui peut être placé dans un mode veille où il ne consomme que des microampères; ce DXL40 est vendu \$ 306 pièce par lots de 100, ce qui est le prix du 386 DX d'Intel. Des versions un peu moins performantes, et moins chères encore assureront à AMD un gros succès commercial.

Fin 91, AMD sort un DXLV qui fonctionne à 25 MHz avec une alimentation 3,3 V, et un SXLV qui existe en 20 et 25 MHz, ainsi que des jeux de périphériques compatibles.

## 24. AMD 386 SC " Elan "

Ce microprocesseur rassemble sur une puce tous les composants d'un PC / AT, à savoir un CPU 386 16 bits, et des contrôleurs pour les connecteurs PCMCIA, vidéo, parallèle et série. Alimentation 3,3 volts avec fonctions d'économie.

## 25. AMD 386 SX " Shorthorn "

Second produit agressif à l'égard de Intel, c'est celui qui donnera lieu au procès que Intel perdra. C'est un CMOS statique à 25 MHz, disponible à partir de 7/91, au prix de \$ 110 par lots de 100. Un SXL à fréquence ajustable jusqu'à 0, pour permettre des économies de consommation dans les portables, sera proposé en même temps.

## 26. AMD 486

Profitant de sa victoire juridique, AMD annonce sans licence des 486 DX à 25, 33 et 50 MHz, puis des 486 SX à 25 MHz, et des 486 alimentés en 3,3 volts fonctionnant à 16, 20 et 25 MHz. Il y a un peu de tromperie sur la marchandise, car certains de ces produits n'incluaient pas de processeur VF, ce qui était une des caractéristiques du 486 Intel. C'est pour mettre fin à ces confusions que le prochain processeur d'Intel, qui devait être le 586, fut rebaptisé Pentium, un nom brevetable.

Fin 93, AMD propose encore des 486 DX2 / 66.

## 27. AMD 9080

Licence du microprocesseur Intel 8080A, fortement révisée pour la production par le processus d'implantation ionique en NMOS, silicium gate. Ce produit a donné lieu à des variantes militaires, plus ou moins rapides, et jusqu'à un cycle de 325 ns.

Le constructeur propose simultanément un jeu complet de mémoires et périphériques, mais l'interface est universelle.

Début 76, version A4 faible consommation (maximum 1,1 watt) et très dense (puce de 131 x 169 mils) obtenue par le mode load depletion. Le cycle de 1 µs en fait un produit de performances moyennes.

AMD, allié avec Siemens dans une filiale Advanced Micro Computers, emploie ce microprocesseur dans un calculateur sur une carte, l'AMC 95 / 4000. On y trouve, outre le 9080 A4 comme processeur de service, un 9511 comme processeur de calcul, 4 K de RAM, 12 K de PROM, 48 bits d'entrée/sortie pouvant s'appuyer sur 4 DMA, 8 interruptions vectorisées. Prix \$ 1390 en 2 MHz, \$ 1950 en 4 MHz.

On retrouvera cette machine AMC dans la production de Siemens.

## 28. AMD 29205

Famille de contrôleurs RISC 16 bits qui représentent l'aboutissement commercial de la famille 29000. Ces processeurs de 8 Mips comprennent :

- un coeur 29000 voir fiche correspondante
- un contrôleur de mémoire externe, capable de ROM, DRAM, SRAM
- un DMA à deux canaux
- un timer 24 bits
- un registre d'état
- un port parallèle, et un port série avec UART
- une interface vidéo
- un adaptateur d'interfaces périphériques ?
- un contrôleur d'interruptions

## 29. AMD 29240

Contrôleur RISC 32 bits contenant:

- un coeur 29000, voir fiche correspondante
- un multiplieur 32 \* 32 bits travaillant en une seule période de synchronisation
- un cache d'instructions de 4 KB et un cache de données de 2 KB
- un MMU
- deux ports série
- quatre canaux DMA à 100 Mb / s

Il est vendu \$ 69 par lots de 1000.

Il existe aussi un 29245 plus performant et orienté vers les communications, avec un MMU plus efficace et un contrôle de parité.

## 30. Advance Scientific Instrument Corporation

Cette société de Minneapolis apparaît sur le marché informatique en 1962, avec la machine scientifique ASI 210 qui essayait de profiter du créneau du Bendix G15. Accueilli avec un modeste succès d'estime, ce matériel ne pouvait faire la fortune de la société mais attira l'attention de l'investisseur polyvalent Schlumberger, qui en 1964 l'acheta pour la confier à sa filiale électronique ElectroMechanical Research, installée en Floride.

Ce parrainage, qui ne semble pas avoir entraîné de délocalisation, permit à ASI de proposer, sous son ancien sigle, la famille Advance 6000 (1965), puis la famille Advance 6100 (1966). Ces matériels sont utilisables pour des applications en temps réel, et par exemple le système AutoSACE de Lockheed, construit pour tester, dans les dépôts, les missiles Poséidon. Il en existe, en 1967, deux exemplaires :

- celui de la côte Ouest comprend un poste central EMR 6040 à mémoire 32 KB, avec trois bandes et 5 Mmots de disques, qui dirige 9 stations de contrôle équipées chacune d'un EMR 6020 à mémoire de 16 Kmots. Chaque 6020 contrôle lui-même jusqu'à 16 postes de tests de sous-ensemble, au total 58 postes.

- celui de la côte Est est plus modeste, avec seulement quatre 6020 et 18 postes de test.

Voir à ce sujet l'article :

Schulz (G. W. ), Colebank (J. M.) - AutoSACE - automatic checkout for Poseidon, in AFIPS Conference Proceedings, Vol 31, 1967 Fall Joint Computer Conference, pp 653 / 63.

En 1969 EMR décide qu'il est temps d'apparaître au premier plan et annonce le calculateur EMR 6135, qui ne diffère du 6130 que par une nouvelle mémoire à cycle de 500 ns, au prix remis à jour de \$ 44500 pour une mémoire de 8 Kmots, \$ 113500 en 32 Kmots. C'est encore très cher, et le succès est modeste.

En 1970, on annonce donc un 6120, compatible avec les deux précédents, mémoire 4 à 32 Kmots, 128 périphériques, 38 interruptions, qui n'est toujours qu'une opération marketing, mêmes résultats.

En 1971, annonce du 6145, cette fois une machine nouvelle dotée de divers perfectionnements, mais qui assure la continuité par une compatibilité ascendante avec le 6135. C'est toujours un 16 bits, que tout naturellement le groupe Schlumberger essaye de pousser dans le domaine du pétrole et de la sismique, mais il possède tous les dispositifs utiles en temps réel, et peut mettre en oeuvre une riche panoplie de périphériques. Il peut aussi être plus ou moins mis à l'abri des pannes dans sa version 6154, ou franchement doublé sous la forme 6155, qui peut être organisée soit pour doubler la puissance, soit pour garantir une dégradation progressive (1972). Aucune de ces machines ne semble avoir atteint plus que la stricte couverture de ses frais, de sorte qu'en 1972 Schlumberger décide de se retirer de l'informatique commerciale et vend l'équipe à UNIVAC, filiale du groupe Sperry, qui possède une forte implantation à Minneapolis. Il semble qu'UNIVAC ait utilisé cette acquisition, dont il entretenait le parc, pour s'introduire dans les marchés de prospection pétrolière et de gestion de centrales électriques..

### 31. Aeronutronic Systems, Inc

Cette société de Glendale, Californie, entre dans le monde de l'informatique en 1957, en décrivant à la WJCC une réalisation de "DDA" série à usage de simulation, entreprise en liaison avec l'UCLA. On trouvera une description assez détaillée de ce dispositif, construit autour d'un tambour magnétique, dans l'article suivant

William E. Smith, A digital system simulator, in Western JCC 1957, 26-28/2/57, pp 31/ 6

En gros, il s'agit de simuler le comportement d'un ensemble de bascules et de circuits logiques interconnectés, à l'aide d'une technologie qui rappelle beaucoup celle des DDA contemporains.

Par la suite, la société se signale par l'étude d'ARTOC, sous-système de l'ambitieux CCIS70, qui devait permettre de présenter au commandement une synthèse du champ de bataille.

Elle paraît avoir été achetée, vers 1958, par Ford Motor, qui en fait une division électronique, sans changer son nom. Elle est alors installée à Newport Beach, Cal, dans la Ford Road, ce qui souligne le caractère de filiale : elle va se signaler par des travaux de recherche originaux.

a) le BIAX, petit cube de ferrite percé de deux trous non communicants et orthogonaux, pourrait être à la base de mémoires NDRO économiques et d'une logique très fiable. L'extraordinaire succès du transistor rendra inutiles tous les efforts de cette nature (Bell, Burroughs, Northrop, paramétrons des japonais, etc...), pour cause de vitesse insuffisante.

Nous disposons de trois références :

Wanlass (C. L.) et Wanlass (S. D.) : BIAX high speed magnetic computer element, in 1959 IRE Wescon Convention record, part 4, pp 40 à 54, 31 figures. Voir 230 - 40.

Pyle (W. I.), Chavannes (T. E.), Mc Intyre (R. M.), de Philco Corporation : A 10 Mc NDRO BIAX memory of 1024 words, 48 bits per word capacity, in AFIPS Conference proceedings, Vol 26, 1964 FJCC, pp 69 / 80, 7 réf. biblio.

McAteer (J. E.), Capobianco (J. A.), de Hugues Aircraft Fullerton, Koppel (R. L.) d'Autonetics : Associative memory system implementation and characteristics, in AFIPS Conference proceedings, Vol 26, 1964 FJCC, pp 81 / 92, 13 ref. biblio.

On voit que le BIAX était sorti du cadre de sa naissance, et s'était trouvé des applications.

b) le cryosar, élément logique cryogénique issu d'une étude du Lincoln Laboratory. Les performances obtenues par les techniques fonctionnant à la température ordinaire rendront inutile le recours aux techniques cryogéniques dans le domaine du calcul, mais le dispositif fonctionnait. Nous disposons de deux références :

McWhorter (A. L.), Rediker (R. H.) : The cryosar, a new low temperature computer component, in PIRE 1959, pp 1207 / 14, référence 18 de notre collection d'extraits PIRE.

Lambert (L. M.), McAteer (J. E.) : The cryosar, promising element for tomorrow's computers, in Electronics, 17 / 8 / 62, pp 39 / 45, référence 5 de notre collection d'extraits Electronics.

En dehors de ces travaux assez fondamentaux, Aeronutronics semble avoir reçu quelques commandes militaires, par exemple l'AN/GLA 12 qui est un analyseur des signaux captés par des récepteurs de contre-mesure à bande large : il utilise une mémoire à BIAX.

Le statut d'Aeronutronics, à partir de 1963, n'est pas clair : ses relations avec la firme Philco sont évidentes, et les noms de Philco et de Ford sont fréquemment rapprochés à l'occasion d'un produit particulier. Philco d'ailleurs semble avoir au moins une implantation sur les terrains californiens de Ford. Voir en 160 ce que l'on sait de cette firme, importante pour les débuts de l'informatique. Après cela, Ford s'est néanmoins conservé une compétence en électronique, Ford Instrument Co., qui évoluera en Ford Aerospace Co .

## 32 - Itek Corporation

Cette société est la transformation en bureau d'études d'un groupe de recherches de l'Université de Boston, transformation effectuée à l'occasion d'un contrat de l'USAF portant sur la mémoire photographique de King et sur une application documentaire, l'AN/GSQ 16.

Le travail s'est poursuivi au delà du projet initial, et a conduit à la réalisation d'un produit commercialisable, avec un meuble d'écriture sur disque et un ou plusieurs lecteurs. Voir 245-227/37.

Bien que la mémoire King n'ait pas débouché réellement sur une application industrielle, les chercheurs ne pouvaient revenir à l'Université. Itek a donc dû se reconvertir pour continuer à exister : elle l'a fait essentiellement dans le domaine des contre-mesures radio/radar, où l'électronique et l'informatique se rejoignent. Le statut de cette conversion n'est pas clair : il semble que Itek ait fusionné avec une société Applied Technology vers 1970, puis qu'il y ait eu ensuite des coopérations ou des fusions avec E System :

1970 : Applied Technology produit l'AN/APR 25, récepteur cristal/vidéo avec indicateur type I pour homing et alerte missile, 500 exemplaires pour F105, F4, C130, C123 dans le cadre du programme Wild Weasel. En 1971, la production dépasse 1000 avec l'équipement des AC119K et F14A.

1970 : Itek produit AN/APR 26, récepteur cristal/vidéo bande L pour la détection des lancements de missiles SAM. Ce système comprend jusqu'à 13 antennes : 4 spirales à polarisation circulaire pour le homing, 2 coniques pour la recherche, 4 directionnelles avant pour homing, 2 pour la goniométrie et une en forme de lame pour l'alerte de lancement.

1971 : Applied Technology, division de Itek, produit AN/APR 36, radar avertisseur de queue du B52, c'est le programme Rivet Ace.

1973 : Itek réalise l'AN/APR 41, perfectionnement de l'AN/APR 39 de E System conçu pour les hélicoptères. La version d'Itek donne l'azimut du radar.

1973 : AN/ALR 45 est un récepteur d'alerte et homing, 2 à 14,5 GHz, avec exploitation numérique. 219 sont commandés pour l'US Army ; en 1979, 630 seront commandés par la Navy.

1973 : AN/ALR 46, destiné au F105 et prévu à 2000 exemplaires, combine un AN/APR 25, 2 à 18 GHz, avec un processeur numérique AN/DSA 20 qui comprend un calculateur Rolm 1601, une mémoire, un processeur vidéo et des entrées/sorties étudiées par Dalmo Victor. Ce système peut traiter jusqu'à 80000 impulsions dans sa bande, en provenance de 16 émetteurs différents : il mesure la fréquence porteuse, la largeur d'impulsions, la fréquence de répétition, et la vitesse de rotation de l'antenne.

En l'absence de marché ultérieur pour Itek, on est fondé à penser que Itek a été absorbé, peut-être par E System, que l'on retrouve ensuite dans beaucoup de marchés de contre-mesures.

## 33. CCIS 70

Ce système ambitieux, et probablement jamais mis en service parce que technologiquement périmé avant d'avoir été achevé, est le Command, Control and Intelligence System des années 70, premier exercice en vraie grandeur d'application de l'informatique aux tâches du commandement. Le challenge est de construire ce système de façon compatible avec les quartiers généraux de grandes unités en campagne, donc avec toutes les contraintes de sécurité et de fiabilité dans un environnement moyennement hostile (secousses des transports, brouillage des infrastructures proches, instabilité des alimentations, humidité et chaleur). On n'en était pas encore à envisager l'ambiance de combat, ni les climats polaires et tropicaux.

Le CCIS70 se compose donc de moyens de collecte, de moyens de communication, et de moyens d'exploitation. Ces derniers constituent ARTOC, confié à Aeronutronic System. Voir fiche.

Le système de collecte se propose d'utiliser les premiers travaux entrepris par RCA sous le nom de Fieldata. Il ne se développera jamais en un ensemble cohérent. Il a donné lieu à des travaux ponctuels chez RCA (2 machines RAC), chez IBM (Impac, Informer), chez Philco (Basicpac, Logicpac, Compac), chez Autonetics (FADAC).

### 34 - Hazeltine

Cette société existe depuis la guerre au moins, et elle a consacré toute son expertise de cette époque à l'étude et à la production de balises pour diverses utilisations:

- 1943 : AN/PPN 1, balise de sauvetage pour aviateurs, 214 - 234 MHz  
AN/APN 8, transpondeur 176 - 515 MHz  
AN/APX 1 et 2, IFF Mk 3, premier IFF opérationnel. Aussi l'AN/APN 8, utilisable en outre pour le homing sur l'interrogateur de l'aérodrome.  
AN/SSQ 42, sonobuoy Julie à profondeur réglable (avant lancement).
- 1944 : AN/PPN 8, balise 950 - 1150 MHz pour parachutistes.
- 1945 : AN/APX 6, IFF Mk 5 d'avion, dans la gamme 1000 MHz. Ce modèle a été très longuement utilisé, et d'autres contrats de production ont été placés en 1952 et 1953 chez Stewart Warner, en 1957 chez Packard Bell.  
AN/CPX 3 et 4, interrogateur au sol pour IFF Mk 5.  
AN/UPM 1 à 4, testeurs d'IFF, produit jusqu'en 1967.  
AN/FPS 5, radar altimétrique fonctionnant à 6 GHz, dérivé de l'AN/MPS 4.

Après la guerre, l'activité de Hazeltine reste fortement tournée vers la Défense, et toujours orientée sur les balises et particulièrement les IFF.

- 1946 : AN/APX 7, IFF Mk 10 d'avion, pouvant être associé au radar AEW AN/APS 20 (de GE). Par la suite, on en déduira un APX 17 associé à d'autres radars, et un APX 37 pour le F105.
- 1950 : AN/APA 98, récepteur commun à l'IFF AN/APX 6 et aux radars de veille bde X, les AN/APS 19 - 21 - 31 - 33 de provenances diverses.  
AN/FQQ 10, sonar fixe côtier du programme Colossus.
- 1951 : AN/UPA 25, PPI universel de navire, pour présentation des radars AEW. Indique l'altitude.
- 1952 : AN/DPN 31, balise de missile bde S ou C, capable de résister à 100 g.  
AN/SPA 8, PPI d'avion, répéteur de radar AEW.
- 1953 : AN/APN 71, radioaltimètre fonctionnant à 4,3 GHz.  
AN/UPA 39, commande de 1646 décodeurs d'IFF Mk 10 pour présentation PPI d'avions amis.  
AN/SSQ 23, commande de sonobuoys conçues ailleurs.
- 1954 : AN/APS 20D, version du radar AEW comprenant AN/APR 12 récepteur de balises et AN/APA 81 présentation excentrée de l'estime du porteur.
- 1956 : AN/GPA 124 et 125, versions automatique et manuelle d'un ensemble codeur/décodeur pour les liaisons du SAGE ou des AWACS.
- 1958 : AN/APS 82, radar dorsal de l'avion WF2 Tracer.  
AN/MPS 24, radar de veille du Marine Corps.
- 1959 : AN/APS 95, radar AEW pour l'avion RC 121D, développé en APS 70 par GE pour le WV2E.  
AN/MPS 30, doppler de champ de bataille, détecteur de mouvements.  
AN/TPS 25, doppler d'infanterie bande X, 12 commandés.  
AN/TPS 28, veille aérienne à 220 MHz pour l'Army.
- 1960 : AN/APX 46, IFF Mk 10 transistorisé pour F104 G et F 111. Par la suite, on en déduira un APX 64 qui code l'altitude, puis une version durcie pour le B1, puis un APX 76 qui codera 4 variables de vol (commande en 5000 ex.), puis un APX 77 avec SIF et altitude.  
AN/DPN 57, balise de missile, bande C, pouvant servir de télécommande. Et DPN 58, bande X.
- 1968 : AN/WRC 2, commande de 333 téléphones sous-marins.
- 1970 : AN/UPA 59, décodeur PPI associé à l'interrogateur AN/UPX 23 de navire.
- 1972 : AN/TPX 50, commande de 400 interrogateurs IFF/SIF 3 modes associés au radar MPQ 49 d'alerte avancée de Sanders.
- 1975 : nouvelle bouée passive AN/SSQ 79 PADS.
- 1981 : AN/TRX 46, IFF du missile Patriot.

Une aussi constante activité pour les militaires aurait pu accaparer tous les efforts de la société, mais il n'en est rien. Lorsque IBM a pratiquement libéré la production de consoles à écran compatibles 3270, Hazeltine est devenu l'un des fournisseurs importants de ce produit civil à grande diffusion. D'autre part, Hazeltine a réalisé un DDA industriel, le SPEDAC.

### 35. AES 80 C de AES Data Inc

Processeur OEM de \$ 850 se présentant comme un ensemble de 3 cartes 7 \* 7" (185 \* 185 mm ) enfichées dans un socle pré-câblé de 133 \* 216 mm à 9 connecteurs. A la fois performant et modeste, ce processeur utilise une ROM de 12 bits pour les instructions, une RAM 8 bits pour les données, et un mémoire à circuits intégrés qui peut être au choix à base de MOS 800 ns ou de bipolaires 240 ns. Les entrées/sorties en parallèle se font au débit de 1 MB /s.

Tout le répertoire, qui comprend 375 opérations, s'exécute en un seul cycle, y compris Branch and link et Pop ou Push.

Pour les mises au point, il existe un panneau avant amovible, un cross-assembleur, et un autoassembleur qui exige une mémoire extérieure de 4 K \* 16 bits et une console.

### 36. Air Force Cambridge Research Center

Fondé tout de suite après la guerre, l'AFCRC se propose d'exploiter, au profit des besoins avancés de l'USAF, le vivier intellectuel constitué à Cambridge même par le Massachusetts Institute of Technology et toutes les sociétés "start up" qui en sont issues : cet environnement exceptionnel grandit autour de la "Route 128" et on lui doit de nombreuses réussites.

L'AFCRC s'est doté très tôt (1953) d'un calculateur scientifique ABC. On sait qu'il l'a utilisé pour des expériences de communication vocale, voir à ce sujet 237-11.

Son association avec l'industrie est à l'origine de produits expérimentaux parmi lesquels on peut citer le X308 Bogart et l'UNIVAC Magnetic avec Sperry UNIVAC, et le CADAC 102 qui a introduit l'informatique chez NCR. Il existait un Monrobot III à l'AFCRC, mais il ne semble pas qu'il y ait servi à autre chose qu'à la gestion.

Le produit commercialisé par NCR s'appelle CRC 102A, CRC signifiant Computer Research Corporation. Autant qu'on puisse en juger, dès qu'ils ont constaté le bon fonctionnement du CADAC, ses créateurs ont quitté l'AFCRC, et se sont installés à Hawthorne, Cal, dans une usine appartenant à la société d'aviation Northrop qui a transmis à cette filiale ses propres activités informatiques, dont le Maddida qui devient le CRC 105. Cette société a fabriqué une vingtaine de machines des deux modèles avant d'être absorbée par NCR comme une de ses divisions. Il est clair que par de tels procédés délibérés, les forces armées ont considérablement contribué à la transmission à l'industrie du savoir-faire né de la guerre.

En matière de logiciel, nous connaissons un résultat de l'activité de l'AFCRC : la création, en 1964, du langage AMBIT de manipulation de symboles par Computer Associates. Il semble bien, cependant, que ce ne soit pas la première réalisation de l'espèce : FORMAC est contemporain et COMIT antérieur.

Pour les tâches réellement ambitieuses, l'AFCRC n'a pas essayé d'entrer en compétition avec le prestigieux Lincoln Laboratory, son voisin, né pendant la guerre et dont le statut de société "non profit" offrait plus de souplesse que celui d'établissement. Parmi les activités non informatiques de l'AFCRC, on peut citer la mise au point du Selcal AN / GGA 11, un modulateur / multiplexeur / filtre qui permet de regrouper jusqu'à 1000 adresses sur une seule voie radio HF.

### 37. AKI 90 de A. K. Industries

Ce petit assembleur, fournisseur de machines clé en main à une clientèle généralement régionale, basait sa production sur le processeur Datapoint.

Le modèle de 1974, AKI 90, vendu \$ 25000 ou loué en leasing à \$ 550 / mois, utilise le premier Datapoint construit autour du 8080, avec 16 Kmots de mémoire 8 bits, un floppy, un écran/clavier, une ME 165, une IP 600, et une ligne émulant le protocole 2780. Le logiciel est celui de Datapoint, et l'on voit bien que la valeur ajoutée de la société réside simplement dans l'écran qu'elle introduit entre la technique et des usagers de PME qui sont et veulent rester incompetents.

Ce très modeste succès incitera AKI à élargir légèrement son ambition avec le 91, qui utilise le 8080A avec 32 à 64 KB de mémoire, et qui offre en standard un disque de 80 MB, un logiciel à deux partitions et 8 lignes pour terminaux. On n'entend plus parler de ce petit constructeur après la vente d'un seul 91, fin 77, et il est probable que les clients devenus plus familiers avec l'informatique se sont tournés vers des industriels de plus grande envergure, et que AKI a du se faire absorber ou disparaître.

### 38. DSP 32 C4 de Alcor

Il s'agit d'un processeur de signal en forme de carte enfichable, proposé en option sur les stations de travail Sun, et composé de :

- quatre processeurs DSP 32 C à 50 MHz, chacun disposant de 128 à 512 KB de SRAM, zéro ou un wait state au plus.
- un convertisseur analogique / numérique 12 bits, 10 MHz
- un convertisseur numérique / analogique 12 bits, 25 MHz
- un générateur de signaux de test
- deux ports 16 bits pour entrée et sortie parallèles
- quatre ports série.

L'essentiel des applications paraît avoir été graphique.

### 39. PL3 de Allen Bradley

Allen Bradley est une société d'ingénierie travaillant dans les problèmes de commande de processus industriels. Le PL3 se présente essentiellement comme un calculateur universel temps réel, adaptable à toutes tâches de mesure, enregistrement et surveillance de processus.

L'unité centrale rapide 16 bits est construite à base de microprocesseurs en tranches AMD 2903 et tient sur deux cartes. Elle est capable de 1 Mips, VF incluse.

La mémoire peut être une RAM rapide, en CMOS avec ECC fourni en modules de 8, 16 ou 32 K ; ou à tores, 16 ou 32 K . Les entrées / sorties sont assurées par deux Z 8002, chacun offrant 1 à 4 canaux de 1024 voies de mesure.

Le tout tient dans une boîte de 483 \* 508 \* 369 mm et se vend \$ 30000 à 60000 selon le nombre des IO.

Pour une grande usine, le PL3 peut s'insérer dans un réseau à 57,6 KB / s, qui peut comporter jusqu'à 64 correspondants.

### 40. Alliant Computer System Corp

Cette société est née vers 1985, période d'enthousiasme un peu prématuré des chercheurs universitaires pour le calcul parallèle et vectoriel, qui semblait possible avec l'apparition de processeurs CMOS à la fois performants et économiques. La difficulté est que ce genre de machines n'intéresse que des entreprises fortement subventionnées, et peu nombreuses : la clientèle a été vite saturée, et le compromis prix / puissance de Alliant n'était pas nécessairement optimal.

Exemple: CEDAR : ce projet concerne un multiprocesseur hiérarchisé de calculateur scientifique organisé en trois étages, à savoir :

- au premier niveau, des systèmes à base de 8 Alliant FX8 avec processeur vectoriel
- interconnectés par un crossbar à un cache et à diverses structures de communication
- puis par un autre crossbar à une mémoire multimodules

On voit qu'Alliant en était arrivée à des offres quelque peu délirantes : comme elles sont restées sans client, Alliant dut déposer, en 1992, un bilan que personne ne souhaitait racheter. Elle n'était d'ailleurs pas seule dans ce cas sur ce créneau (Denelcor, Thinking Machines ).

### 41 . FX / 800 de Alliant

Ce deuxième processeur est basé sur le processeur Intel i860 et sur une interface d'application nommée PAX, définie en commun avec ce constructeur : graphique 3D, normes PHIGS et X11, mode de parallélisme en font partie.

La machine est construite à partir de modules de calcul à quatre processeurs i860, et de modules d'entrée / sortie où un 860 gère deux bus 40 Mb / s. Tous ces modules se partagent un cache de 4 MB et une mémoire de 512 MB, à travers un commutateur crossbar à 320 MB / s . La puissance maximale, très théorique, est de 480 MFlops.

Le logiciel se compose de deux systèmes d'exploitation co-résidents, FX / RT qui gère le temps réel, et Concentrix qui est un UNIX parallèle pour le calcul vectoriel.

Les langages comprennent des compilateurs C et FORTRAN au standard PAX qui assure la portabilité des applications entre 860. Il existe aussi un compilateur ADA validé.

Prix de vente \$ 189000 à 600000, a priori très compétitif.

#### 42. FX 2800 de Alliant

Toujours réalisé autour du 860, ce système prétend moderniser la formule avec les nouveautés suivantes, qui visent à élargir les applications au domaine des bases de données:

- la mémoire passe de 1 à 4 GB par adoption de puces 4 Mbits.
- le système d'entrée / sortie supporte jusqu'à 5 paires de canaux HIPPI, High Performance Parallel Interface, selon norme X3T9.3 de l'ANSI.
- il supporte aussi IPI 2, Intelligent Peripheral Interface, qui double le débit des disques.
- mise en service d'un logiciel de raccordement de disques en grappes offrant jusqu'à 51 GB par unité, et 512 GB en tout.
- communications FDDI, réseau en deux anneaux à fibres optiques à 100 Mbits / s
- amélioration du système d'exploitation pour une meilleure gestion des ressources CPU, IO, et temps de connexion.

Toutes ces idées étaient bonnes, mais chères, et furent perçues comme des raffinements réservés aux très grands organismes et ruineux en personnel. Le FX 2800 ne s'est pas vendu.

#### 43. Campus / 800 de Alliant

Summum d'exaltation avant la faillite, ce système géant est proposé aux rares laboratoires dont les besoins toujours grandissants ne paraissent pas limités par les contingences financières: TCGMSG et P4 du Laboratoire d'Argonne, PICL de Oak Ridge, l'environnement Express de Parasoft Corp.

Le complexe peut comprendre jusqu'à 32 noeuds, chacun composé de 25 i860 et 4 GB de mémoire, la performance d'un noeud étant de 32 GFlops avec la mémoire minimale de 128 MB. Les noeuds communiquent entre eux à travers une mémoire collective débitant 2,56 GB / s.

Les noeuds travaillent en Concentrix, et le tout est compatible avec le logiciel FX / 2800.

On peut acheter 100 processeurs pour 2,5 M\$, et moderniser un FX/2800 à partir de K\$ 100. Malheureusement, aucun des candidats pressentis n'a désiré faire l'essai : six mois plus tard, Alliant était en faillite.

#### 44. AM 1030 de Alpha Micro

Encore un exemple d'un petit façonnier tentant de créer un marché local du petit système de gestion clé en main autour d'un CPU vendu en OEM. En l'occurrence il s'agit d'un processeur étudié par Western Electric et offert en exclusivité à Alpha Micro : le WD 16, microprocesseur 16 bits dont on s'étonne qu'il ait été connecté à un bus S100 ( 8 bits ), imposant deux cycles de mémoire pour tout accès.

La machine était prévue pour un maximum de 24 terminaux, chiffre qui en ferait un serveur avant la lettre, n'était cette curieuse erreur. En fait, si quelqu'un avait eu la hardiesse d'essayer un tel multitâche, il n'aurait pu faire utilement que de la saisie, à cette époque, ce qui rend bizarre l'existence d'une VF sur 11 chiffres décimaux (32 bits) dans le logiciel.

Mémoire jusqu'à 1024 bits, trois tailles de RTC au choix, et trois suggestions pour la mémoire de masse :

- Modèle 1010 / 1 : simple floppy
- Modèle 1030 / 1 : cartouche 10 MB
- Modèle 1050 / 1 : pack de 90 MB

Malgré ces choix discutables, il semble que quelques exemplaires au moins aient été vendus, car la société existe toujours quatre ans plus tard (ci-dessous).

#### 45 - AM 1042 de Alpha Micro

Cette nouvelle gamme est construite autour du 68000 de Motorola, un choix beaucoup plus heureux. La machine supporterait de 26 à 40 utilisateurs en multitâche, ce qui paraît, une fois de plus, tout à fait illusoire. Un circuit intégré assure la protection du logiciel contre l'usage hors ordinateur.

Trois modèles sont proposés :

- 1042 E à 234000 F, 512 KB à 3 MB, sauvegarde sur vidéocassette 100 MB en standard. Le prix semble comprendre un disque Winchester 8 " de 60 MB, extensible à 240 MB avec un contrôleur ou même à 480 MB avec deux contrôleurs.
- 1072 à 277000 F, 512 KB à 4 MB, sauvegarde sur vidéocassette en standard. Le prix semble comprendre un Winchester 8 " de 70 MB et deux ports série.
- 1092 à 424000 F, 512 KB à 4 MB, sauvegarde. Le prix comprend 400 MB de disque Winchester 10,5 " et deux ports série. La mémoire de masse est extensible à 1600 MB, ou même à 3200 avec deux contrôleurs.

Le logiciel comprend un interpréteur BASIC, des compilateurs Fortran et Cobol, un émulateur de protocole 2780, un traitement de texte Alphawrite, un tableur Alpha Calc, et diverses applications.

#### 46. APS 12 de Alphanumeric Publication System

Ce petit système réalisé spécialement est destiné à l'édition, ce qui paraît une approche tout à fait rétrograde de l'informatique. Mémoire 16 ou 32 K mots de 16 bits, cycle 1 µs, CPU étudié ad hoc, bande perforée 600 cps en 6 ou 8 bits, bande magnétique 9 bits, petit disque 2,4 MB, et terminal local qui peut être soit une machine à écrire Selectric, soit un ensemble APS 41 à \$ 3450 groupant LR et écran.

Pour vendre \$ 59650 ce matériel simpliste, on compte sur le logiciel TEXT 12 capable de trouver en quelques ms une chaîne quelconque jusqu'à 163 caractères EBCDIC dans 1000 pages de 25 lignes.

#### 47 - Altos Computer System

Société fondée en 1977 par David Jackson dans la Silicon Valley, elle démarre sa publicité par le design audacieux de son prototype 580, simple coup de bluff sans signification technique, car ce joli produit n'est jamais vendu sous cette forme. En fait, l'inventeur vise l'OEM, qui n'est une réussite que si l'on parvient à la grande série : il ne veut pas, ou ne peut pas, se lancer dans le marketing et la commercialisation.

Les années suivantes renouvellent l'effort en proposant un processeur OEM et toutes les nouveautés réalistes, hard et soft, pour chaque nouveau microprocesseur du marché : 8086, 80286, 68000, mais les ventes restent insuffisantes pour financer un vrai développement. Finalement, Altos sera racheté en 7 / 90 par la société taiwanaise ACER, auquel il apporte tout de même un réseau commercial dense, notamment en Europe, et une expertise dans le domaine des multipostes UNIX .

Sous sa nouvelle direction, Altos commence par persévérer dans le domaine qu'il connaît bien, avec un serveur UNIX Système 4000 à base de 486 / 25 capable de 64 terminaux . Prix 145 KFF pour 4 MB RAM et un disque de 210 MB, 170 KFF pour 8 MB RAM et un disque de 440 MB.

Plus modeste, le serveur Modèle 400 à 56750 FFHT est centré sur un 386SX / 20 avec 4 / 8 MB RAM et 90 MB de disque, et surtout 8 ports série. Le serveur Modèle 700, avec un 386 DX / 33, une cartouche de sauvegarde de 150 MB et des connexions pour 8 postes de travail vaut 79750 FFHT.

Finalement, on offre également un Desktop sans disque, simple terminal à base de 286 / 8 MHz à 12850 FFHT sans écran (+ 4000 FFHT pour un écran VGA!), et une station de travail SX20 à base de 386 SX à 20 MHz avec disque 40 MB et moniteur VGA pour 22750 FFHT.

Les résultats commerciaux de cette offre nouvelle ne nous sont pas connus, mais ce qui frappe est que, dès l'année suivante, le nom Altos a disparu de la presse informatique.

#### 48 - CDC 114 Série A

Cette machine semble n'être rien de plus que la commercialisation du processeur 586 de la firme Altos. Prix \$ 15000 pour un CPU et un disque de 20 MB.

#### 49 - BANYAN

Cette firme semble avoir utilisé le processeur 1026 d'Altos Computer System pour construire, grâce à l'existence d'un IOP de communications constitué par un 8086, un serveur de communications qui peut interconnecter des réseaux divers en un réseau virtuel d'apparence unifiée : les protocoles de SNA, Omninet, Arcnet, ProNet, Ethernet, PC Net, sans compter les normes public X25, Telex et asynchrone, peuvent être perçus par un calculateur client comme un seul protocole à choisir.

Outre des cartes spécifiques pour adapter la partie matérielle des protocoles, le système offre des logiciels spécifiques pour chacun d'eux, et un logiciel de transfert de fichiers sur terminaux virtuels.

La photo de ce processeur, très impersonnelle, se trouve dans la fiche Altos 1086.

#### 50 - Amdahl Corporation

Cette société a été fondée en 1970 par Gene Myron Amdahl, ingénieur d'IBM qui avait participé à l'étude du Stretch et à celle de la série 360. Mécontent de constater que pour des raisons de marketing, des progrès proposés par lui, et techniquement parfaitement réalisables, étaient différés pour ne pas nuire aux machines existantes, il décide de fonder sa propre société.

Un tour de table comprenant Fujitsu, Nixdorf, Heizer Corp de Chicago, etc... lui rapporte 27,5 M\$. A partir de 1973 et pendant une quinzaine d'années, Amdahl va construire et commercialiser des compatibles stricts des machines IBM des familles 360, puis 370, puis 390, généralement vendables à prix légèrement moindre pour un service égal ou un peu supérieur, avec un retard sur l'original qui ne dépasse jamais trois mois. Au début, il s'agit de machines originales et Fujitsu en achète, tout en fournissant les composants ECL;

ensuite, progressivement, la répartition des tâches évolue, les machines pouvant être construites n'importe où et adaptées par microprogrammation pour représenter diverses architectures. Le rythme de croissance est intéressant à observer:

Année	CA M\$	Bénéfice M\$	Effectif	Croissance %
1975	14			
1976	93	23	700	560
1977	189	37	1700	103
1978	321	48	3000	70
1979	300	17,1	3638	- 7
1980	394	15,2	4200	31
1981	443	27	-	12,4
1982	462	6,7	5800	4,3
1983	777,7	46,5	6600	68,3

Il est marqué par des difficultés de trésorerie, notamment en 1979, qui fut une année difficile pour tous les constructeurs américains : chaque fois, c'est Fujitsu qui sauve la mise, en fournissant d'excellentes machines qu'il faut seulement micro-programmer à l'image d'IBM.

Installée à Sunnyvale, Californie, la société Amdahl comprend en 1988 7650 employés, dont 65 en France où ne se fait que la commercialisation. Le chiffre d'affaires atteint M\$ 1510, dont 209 en France où les gros processeurs Amdahl s'associent souvent à des processeurs IBM dans de vastes centres de calcul mixtes que l'on espère économiquement optimaux. Le bénéfice s'élève à 146 M\$, dont 19,9 en France.

Ces chiffres plutôt modestes, comparés à ceux d'IBM, soulignent que ce type de compétition technique est difficile, de sorte que Amdahl est progressivement contraint de laisser Fujitsu prendre la majorité du capital ; Gene Amdahl se retire alors pour aller créer une nouvelle entreprise de haute technologie (qui échouera), mais la société garde son nom.

A partir de 1991, la baisse de popularité des très grands systèmes pose à la compagnie, qui cherche toujours à profiter de la notoriété des mainframes IBM, des problèmes financiers. Le CA se maintient difficilement, les marges se réduisent, les bénéfices tendent vers zéro : des reconversions au moins partielles s'imposent. Amdahl passe en 93 des accords de distribution avec Sun pour les Sparcservers.

La compagnie reste cependant créative, et annonce par exemple en 1991 l'aboutissement d'un travail de recherche de dix années, Huron : il s'agit d'un système de développement comprenant langage de programmation et base de données, fonctionnant sous VM ou MVS, et compatible avec DB2, IDMS, IMS et VSAM. On ne sait si ce système, qui se déclarait incompatible avec AD / Cycle, a survécu à l'abandon du projet d'IBM ; Amdahl n'avait sans doute pas les finances assez solides pour pouvoir soutenir une offre aussi complexe dans la tourmente qui menaçait les mainframes durant ces années.

Cependant la situation ne s'améliore pas, car IBM maintient la pression. Le chiffre d'affaire de 1996 est 1,631 B\$, avec une perte atteignant 326,7 M\$. Fujitsu comble le déficit et Amdahl devient, en 10 / 97, une filiale à 100 % du groupe japonais.

### 51. Amdahl 4705 T

Calculateur frontal de communications qui se présente comme compatible avec le matériel équivalent IBM 3705 et avec le logiciel ACF / NCP. Bande passante 1554 Kbits/s aux USA et 2048 Kbits/s en Europe. Il supporte jusqu'à 6 canaux amont vers les BMUX ou MUX des 370, et jusqu'à 352 lignes half duplex du côté aval. Le logiciel incorpore les protocoles BSC, SDLC, X25, Start / stop, et X21 pour l'Europe. Prix de base : \$ 91000 pour 1 MB de mémoire, 2 canaux amont, 6 lignes aval et un trunk.

Amdahl propose aussi divers autres équipements de communication, pas nécessairement produits par lui: concentrateur 4400 capable de lignes asynchrones et BSC en simultanéité : \$ 15000 .

administrateur 4404 E (?) : \$ 50000

processeur 4410 E et F, \$ 120000, pour édification de réseaux à commutation de paquets.

### 52. Amdahl 4725 T

Tout à fait dans la même ligne, le 4725 T est un frontal compatible avec l'IBM 3725, à base de puces ECL et de CMOS à 20000 portes par puce, associées à 3 MB de mémoire.

Ce modèle peut supporter jusqu'à 256 lignes de 50 bauds à 256 Kbauds. Logiciel ACF / NCP .

### 53. Amdahl 599X

En 1990, la pression d'IBM s'accroît sur Amdahl avec l'annonce des ES/9000. Cette annonce n'est au départ qu'une réorganisation, avec cependant beaucoup de nouveautés du côté des périphériques, qui obligent Amdahl et Fujitsu à se disperser : les délais augmentent :

- les canaux ESCON ne seront supportés qu'en 5/92
- l'architecture VM/ESA sera réalisée par microprogrammation en mi 91
- le système Sysplex pourra être proposé en fin 92
- le nouveau disque Hitachi, nommé 6390 par Amdahl, annoncé en 4/91, ne sera livré qu'en 9/91. Ce matériel groupe dans une armoire modulaire 4, 8, 12 ou 16 tourne-disques de 8,25", capacité individuelle 1,89 GB, fournissant une capacité globale supérieure de 8 GB à celle du 3390 IBM. Son débit est 4,5 MB/s, son temps d'accès moyen est 10,7 ms, minimum 1,7 ms. Prix 0,915 à 2,6 MFFHT.
- le contrôleur de disques 6100, qui est apparu avec les disques 6380, et qui contient trop de dispositions complexes (tampon jusqu'à 512 MB, NVRAM jusqu'à 16 MB) pour être remplacé, pourra être adapté à temps au nouveau disque (prix inchangé 715 KFF), mais ne sera pas compatible ESCON avant 1992, sauf à passer par des convertisseurs.

L'originalité d'Amdahl se manifeste seulement, en attendant, dans le domaine logiciel, avec l'adoption du logiciel UTS, Unix à sécurité renforcée conforme à la norme XPG3 de X Open.

La véritable réponse d'Amdahl est annoncée au début de 1991, pour livraison en 12/91 : c'est le processeur 5995 M, équivalent Fujitsu des Summit d'IBM. Le CPU de 55 Mips, à cycle de 7,5 ns, tient sur une seule carte en céramique 52 couches, portant 144 chips dont chacun contient 15000 circuits intégrés. Il est produit à Dublin, Irlande, et malgré cela Amdahl n'est plus tout à fait rentable avec seulement 5,4 % du marché des mainframes..

La commercialisation se fait en quatre configurations : 3550 à trois processeurs, 4550 M à quatre CPU, 6550 M à six CPU, et 8550 M à huit CPU. Le système PR/SM permet une partition des ressources en 14 domaines. Logiciel et matériel sont conçus pour un fonctionnement continu, et sont réparables en marche, sous le contrôle d'un système expert intégré au dispositif d'auto-diagnostic.

Les disques, part essentielle d'un grand système, doivent être les 6390 provenant d'Hitachi. Malheureusement, le produit commence mal : les 1000 premières livraisons devront être remplacées.

En mars 93, nouvelle technologie permettant d'abaisser la période à 5,9 ns, gagnant 28 % de puissance. Simultanément, les tarifs sont abaissés de 30 %.

En avril 94, quatre nouvelles configurations d'ajoutent aux précédentes : 5570 à 5 CPU, 6570 à 6 CPU, 10670 à dix CPU, 12670 à 12 CPU. On annonce en même temps un directeur ESCON et un nouveau contrôleur de disques 6690, ainsi qu'un logiciel de cryptage, Guardata, en provenance de Racal.

### 54. ACT 16 / 18 d'American Computer Technology

Unique intérêt de cette petite machine issue d'une compagnie éphémère et inconnue: fixer l'état de la technique à une date donnée. Ce petit calculateur de table comporte une mémoire de 64 Kmots de 16 ou 18 bits en tores au lithium, cycle 1  $\mu$ s ; un processeur spécialement étudié contenant 6 index, composé de MSI avec quelques circuits intégrés ; un DMA d'entrées / sorties ; un panneau de commandes avec visualisation octale des registres.

### 55. AIS 3210 de American Information System

Carte OEM permettant de transformer un modeste LSI 11, ou PDP 11 / 03, en un processus polyvalent beaucoup plus puissant, en s'insérant sur le Q Bus du châssis. Elle contient un processeur 32 bits NSC 32032, un coprocesseur scientifique 16081, et un MMU 16082 capable de 16 MB virtuels ; le LSI 11 se charge des entrées / sorties et assure la compatibilité.

La carte travaille en Xenix, avec une interface VIOS d'adaptation logicielle au calculateur hôte. Ce système d'exploitation supporte BASIC, Fortran 77, PL/I, COBOL et Pascal.

En fait on peut choisir entre deux versions du système : dans l'une la carte AIS est maître du bus, dans l'autre les deux processeurs travaillent simultanément et se partagent les périphériques que gère le LSI 11.

Prix \$ 2400 pour mémoire de 512 KB, \$ 3600 pour 1 MB, plus \$ 800 pour Xenix.

## 56. American Microsystems, Inc.

Cette société de Santa Clara, Californie, s'est d'emblée consacrée, semble t'il, à l'étude de circuits intégrés, à l'époque encore des MSI : le premier produit porté à notre connaissance par les compte-rendus de congrès propose trois MSI permettant de construire un miniordinateur.

Par la suite, AMI devient pour dix ans un producteur honorable de microprocesseurs LSI, puis se fait absorber par Gould, Inc., ne pouvant faire face aux investissements nécessaires pour se tenir au niveau de la concurrence ( Intel, IBM, Motorola, AMD ).

Dans les années 90, on trouve ainsi chez AMI une production de ROM en CMOS, de 16K à 4Mbits, conformes à la norme MIL 883C, accès 100 ns, alimentation unique +5 V.

Pour fournir un repère dans le domaine, évaluant extrêmement vite, de la technologie des mémoires, précisons que la puce 4 Mbits existe en 512K \* 8 et en 256K \* 16, est présentée en DIP céramique 24 ou 28 broches, ou en CLCC 32 broches, et coûte selon boîtier \$ 30 à \$ 105 pièce en lots de 1000.

## 57. S 6800 de American Microsystems

En 1980, AMI est suffisamment bien établi pour être choisi comme seconde source dans la fabrication du microprocesseur 6800 de Motorola.

AMI choisira en particulier d'en produire une version militarisée, capable de fonctionner entre -55 et +125 °C selon norme MIL. STD. 833. La gamme comprend :

- les microprocesseurs S 6800, 6802, 6808 - prix du 6900 : \$ 42,6 pièce par lot de 1000
- une SRAM bipolaire de 1 Kbits, le S 6810
- une SRAM CMOS de 256 \* 4, la S 5101
- une SRAM CMOS 1024 \* 1, la S 6508
- une ROM de 16 Kbits, la S 6831B
- un PIA, le S 6821
- une entrée / sortie synchrone série, le S 6852
- un timer programmable, le S 6821

## 58. S 83 de American Microsystems

Ce circuit réunit sur une puce un processeur Z 80 de Zilog, dont AMI a la licence, et une ROM de 8 KB, suffisamment grande pour placer un noyau de système CP/M, par exemple; ainsi qu'une interface de bus permettant d'exploiter une mémoire externe de 64 KB. C'est donc un premier essai de contrôleur intégré. Prix \$ 32 pièce par lot de 100.

## 59. System 14 de Ametek

Projet de processeur parallèle, comportant 16 à 256 couples de processeurs 80286 / 7 connectés en Hypercube autour d'une mémoire pouvant comporter jusqu'à 256 MB. Prix envisagé à partir de \$ 75000. Prématuré, et non réalisé.

## 60 - Ampex Corporation

La société Ampex est connue, pendant et après la guerre, pour ses enregistreurs magnétiques analogiques qui servent à une grande variété d'usages, notamment pour le bureau, la musique et le cinéma. Lorsque les premiers constructeurs d'ordinateurs, IBM et Univac, décident d'utiliser des bandes magnétiques avec leurs calculateurs, Ampex découvre l'enregistrement numérique et décide de s'y introduire. Progressivement, Ampex prend place dans tous les domaines de l'informatique qui utilisent les phénomènes magnétiques, à savoir bandes, disques, mémoires à tores, mais ces activités ne représenteront jamais plus de 37% du chiffre d'affaires de l'entreprise, et elles iront en diminuant à partir de 1980 : disparition des mémoires à tores, spécialisation croissante des disques et bandes à un niveau de performances qui n'est pas nécessaire pour les clients plus usuels.

Classée avec les compatibles, Ampex ne l'a pas été au sens de Memorex ou Telex, car elle a toujours vendu ses propres produits, se bornant à réaliser des interfaces appropriées pour les rendre acceptables aux unités centrales des majors. D'ailleurs, Ampex n'a pas réellement essayé de conquérir le marché des périphériques de luxe ; son domaine était plutôt celui des innombrables machines en temps réel, les 1800 d'IBM, les PDP 8 et 11 de DEC, les Nova de Data General. On peut donc traiter rapidement cette vaste production.

### **Bandes magnétiques**

1958 FR 300 : à cette époque où il n'y a pas encore de norme IBM, Ampex se garde d'imposer quoi que

ce soit. Le FR 300 travaille à 150 ips, 200 ou 300 bpi, avec start / stop en 1,5 ms, et l'acheteur peut choisir la largeur de 0,5" (8 pistes) ou celle de 1" (16 têtes).

1962 TM4 : sont encore des dérouleurs lents dont la régulation est assurée par des tendeurs à galets

1963 TM5 : multiples montés sur des peignes entrelacés.

1964 CDR 1 : Cet appareil est une tentative d' Ampex de s'introduire sur le marché créé par Mohawks, à savoir la production de bandes à partir d'un clavier ou de cartes. C'est un enregistreur à cartouches de 85000 bits, acceptant des entrées série bit à bit à une cadence quelconque entre 0 et 300 cps, et les inscrivant à la densité de 200 ips. Il peut aussi relire de 75 à 480 cps. Pas de suite.

1964 TM3 : désormais compatible IBM, ce dérouleur fonctionne à 112,5 ips, 200 et 556 bpi, avec start en 2 ms, stop en 1,5 ms, gap 0,25", régulation de vitesse 1% .

1964 TM7 : mono-cabestan avec deux petites chambres à vide disposées à 45° entre le cabestan et les bobines. C'est un modèle compatible IBM, trois vitesses 200 / 556 / 800 bpi, deux modèles 7 et 9 pistes, mais des vitesses modestes : 10 à 45 ips, start / stop en 10 ms sur 0,18", re-bobinage à 180 ips. Proposé en deux versions : 7212 pour gros ordinateurs comprend 4 dérouleurs et un contrôleur, 7211 pour petites machines comprend un dérouleur et un contrôleur en rack.

1965 TM11 : modèle haut de gamme mono-cabestan avec grandes chambres à vide, 120 ips = 96 KHz, 3 vitesses, têtes interchangeable pour 7 ou 9 pistes. Start / stop 3,8 ms, re-bobinage 300 ips .

1965 TM12 : même type de mécanique, 60 / 150 ips = 120 KHz, 3 vitesses, 7 ou 9 pistes, start / stop en 3 ms, re-bobinage 300 ips. MTBF 2000 heures.

1966 TM9 : même type de mécanique, mais plus économique, 37 à 75 ips = 60 KHz, start / stop 6,5 ms, re-bobinage 225 ips.

1967 TM16 : mono-cabestan acceptant 800 bpi NRZ ou 1600 bpi en modulation de phase, 75 à 150 ips dont 112,5 ips pour les échanges de bandes.

1971 Terabit : sur un contrat de la Défense, Ampex réalise la mémoire d'archives Terabit composée de 64 dérouleurs de bande magnétique associés à des calculateurs contrôleurs. Cet imposant dispositif réalisé à un seul exemplaire, est décrit dans deux articles : SJCC 71 pp 345 / 56, consacré au TABLON dont le Terabit fait partie, et PIEEE 8 / 75 p 1160.

1981 Virgo : Bande de sauvegarde pour petits ordinateurs. Ce modèle dispose de deux modes : un start / stop très lent, 12,5 ips et 20 KB/s pour ne pas nécessiter de chambres à vide; et un streamer à 100 ips, 160 KB/s. Prix \$ 3500.

1992 DST 800 : Créateur de l'inscription hélicoïdale sur bande magnétique, Ampex propose ici une bibliothèque de 6,4 TB, en 256 cassettes de 25 GB, associée à 2 à 4 unités de lecture / écriture.

La surface au sol est 1,9 m<sup>2</sup>, l'interface de connexion au CPU est SCSI2, ce qui est curieux car cela rattache de façon improbable ce dispositif au PC, plutôt qu'aux mainframes. Le débit est de 15 à 20 MB/s. IBM semble avoir cependant donné son accord pour une version ESCON .

### Disques magnétiques

1973 DM 323 : c'est la variante DEC System 10 d'un dispac réalisé avec des interfaces pour divers calculateurs du marché. Inspiré par le IBM 2314, il loge 10,24 Mmots de 36 bits sur un dispac de 400 cylindres, et débite 66667 mots / s, avec un accès moyen de 32 ms .

1975 DM 331 : c'est un compatible IBM 3330. En fait Ampex semble s'être surtout intéressée à une famille voisine qui n'est pas compatible, seulement équivalente, et qui nécessite des contrôleurs spéciaux. Ces DM 9100 / 9200 / 9300 utilisent respectivement des dispacs de 100 / 200 / 300 MB .

1976 DM 440 : Choix de 8 modèles de disques en cartouches amovibles, 2400 t / min, avec une capacité maximale de 100 Mbits en 200 tpi .

1977 DM 940 / 980 est une famille de disques en tiroirs utilisant un pack de 5 disques, 40 ou 80 MB.

1981 Capricorn est un Winchester de 14", d'une capacité de 165 ou 330 MB non formaté, avec des densités de 6370 bpi et 960 tpi, accès moyen 30 ms. Le 165 MB à 5900 \$ comprend 3 disques et 5 surfaces utiles, le 330 MB à 7450 \$ a 5 disques et 8 surfaces ; il y a 2 têtes par surface.

### Mémoires à tores

1962 LZ, première manifestation de Ampex dans le domaine des mémoires à tores.

1963 RVS, autre modèle à la demande quasi expérimental.

1964 RQA / RQL, famille de mémoires de 1 à 8 Kmots de 8 à 60 bits, cycle 5 ou 6 μs.

1966 RF : famille de mémoires à tores à cycle de 1,8 μs, présentées en rack. Modèles variés de 512, 1024, 4096 mots de 4 à 18 bits. Dans les plus grandes tailles de mots, pour gros calculateurs, Ampex produit et vend des 4K\*36, 4K\*72, 8K\*36 et 16K\*36 bits.

1967 RM : est une mémoire de masse qui vise le marché de la LCS d'IBM; du type 2 1/2 D à 2 fils, elle est organisée en 262144 mots de 72 bits. Matériellement, cette capacité est à l'époque inaccessible en un seul bloc, et la mémoire est construite en 4 sections de 65536 mots, chacune 4 \* 8 sous-rectangles, chacune avec sa propre mémoire auxiliaire de clés de protection. Les quatre sections entrelacées acceptent des demandes indépendantes à 200 ns d'intervalle, malgré un cycle de 2,7 µs, et les distribuent sur deux bus simultanés.

Il n'y a que 72 amplificateurs pour toute la mémoire, ce qui abaisse son prix à K\$ 500.

1968 3DM.750 est un module 16K\*40 bits, cycle 750 ns, accès 300 ns, en tores 18 mil câblés avec seulement 3 fils bien que le mode de consultation soit 3D : sense et inhibit sont combinés. Le module qui occupe 5,25" de rack est empilable par 8 pour réaliser une mémoire de 64 K \* 80 bits, vendue K\$ 250.

1977 Megastore utilise des modules de 512 KB, chacun doté de son alimentation et d'une interface. Les modules non volatiles sont entrelaçables, le temps d'accès est 2,5 µs + 3,5 µs par octet. Les groupements peuvent aller de 1 à 64 modules, donc jusqu'à 32 MB.

La finalité de ces modules est de réaliser des pseudo-disques, par exemple :

- le modèle 1223 de 512K vise le Novadisk de Data General et se vend 122950 FF.
- le modèle 11 vise le RJS 03/04 de DEC et coûte 129750 FF pour 512K.

### **Mémoires Add on**

1977 ARM 1100 est un module 32 K \* 18 bits pour les PDP 11 de Digital Equipment.

1979 ARM 3031 pour IBM se présente comme une porte d'armoire de capacité 1 MB, entrelacement 4.

ARM 3032 de même capacité est de même destiné à l' IBM 3032.

ARM 3033 destiné à la 3033 d' IBM est entrelacée 8 fois et peut varier de 1 à 16 MB. La porte mesure 724 mm de large \* 463 mm de profondeur \* 1708 mm de haut, et contient une alimentation de 900 VA pour les deux premiers MB, puis un supplément de 400 VA pour chaque 2 MB suivant, ainsi qu'un dispositif de contrôle automatique. Prix \$ 50000 par MB.

### **Ordinateurs complets**

Ampex n'a pas essayé de copier les ordinateurs d' IBM, pour ne pas avoir à organiser un service commercial. Mais elle s'est intéressée, avec le Model 12, au marché des minis. Le modèle 12 est compatible plug to plug avec le Nova de Data General pour toutes ses relations avec les périphériques et pour le logiciel. Prix \$ 3975 en OEM.

Processeur à base d'AMD 2901, cycle CPU 300 ns. Mémoire MOS de 64 KB ou 128 KB, cycle 1200 ns dans le Model 12, 800 ns dans le Model 8. Présentation en châssis de 5, 13 ou 17 slots.

Dataserver multiprocesseur (1993) : réalisé par IBM, voir rubrique 336.

## **61. Core Module de Ampro Computer**

Il s'agit d'une collection de modules industriels, réalisation antichoc en cartes 9,14 \* 9,6 \* 1,7 cm connectables par des appendices latéraux :

- module CPU à base de microprocesseur NEC V20 équivalent à un 8088, avec RAM 256 KB à 2 MB, deux emplacements pour enfichage de EPROM 256 KB, port série, port parallèle, RTC. Horloge 10 MHz. Logiquement compatible XT.

- modules ultérieurs prévus à base de 80286 en 6/91, de 386 SX en 12/91.

- contrôleur d'écrans CGA ou VGA

- contrôleur de disques comprenant interface de floppy, interface SCSI, port série

- carte d'extension mémoire

Tout cela étant assez ordinaire, il semble s'agir d'une tentative d'introduire une nouvelle norme de modules, plutôt que de nouvelles architectures : en l'occurrence, le format PC 104.

En 12/92, la technologie a évolué très vite, et le module proposé est à base de 486 SLC à 25 MHz. La carte au format PC 104 contient en outre 4 MB de DRAM, un contrôleur d'accès série et parallèle, un port clavier, une interface de haut-parleur. En option, un quart de la mémoire peut être organisé en pseudo disque solid state. Consommation 4 watts sous 5 volts. Prix \$ 995 par lot de 100.

## 62. Analog Devices, Inc.

Cette société commence à nous intéresser en 1986, avec la création du 2100, qui n'est pas le premier DSP (Data Signal Processor) étudié, mais probablement le premier DSP commercialisé. Elle s'est ensuite longuement spécialisée dans cette catégorie de circuits intégrés pour traitement du signal, lesquels ont effectivement des entrées et sorties analogiques.

Diverses fiches décrivent les plus répandus des DSP produits par Analog Devices ; on trouvera ci-après quelques informations sur l'un d'entre eux qui n'en a pas, faute de photo.

La puce ADSP 2100 est un DSP réalisé en CMOS 1,5 micron, cycle 125 ns, et livré en flatpack quad soudable à 100 broches. Ce DSP comprend un accumulateur de 40 bits, une ALU, un multiplieur 16 \* 16, un séquenceur de programmes, deux générateurs d'adresses de données capables d'incrémementation / décrémentation, un tampon circulaire.

Critère classique de performances dans sa catégorie, il est capable de calculer une FFT complexe 1024 points en moins de 3 ms, avec seulement 4 Kmots de mémoire.

## 63 - Les périphériques d'Anelex

Anelex est d'abord un fabricant d'imprimantes, un marché où il s'est introduit dans les années 50 à l'occasion d'un contrat gouvernemental - le synchroprinter - visant à doter un ordinateur militaire d'un moyen d'impression un peu plus élaboré qu'un télétype ou un flexowriter. La technique inventée à cette occasion, à base de marteaux frappant au vol un caractère porté par une roue, ou un tambour tournant à grande vitesse, a été largement généralisée depuis.

Toutes les machines produites par la suite chez Anelex sont basées sur ce principe, et les particularisations mentionnées ci-après ne sont que des exemples : on trouve des imprimantes Anelex associées à d'autres ordinateurs que ceux cités, et on y trouve aussi des imprimantes d'autres marques .

4. 300 est une imprimante à tambour portant un alphabet de 48 caractères, proposée avec 120 à 160 caractères par ligne, et un débit maximum de 300 lpm, qui tombe à 257 lpm si l'interligne est de 1". Peut recevoir du papier de 3 à 19" de large ; la densité d'impression, imposée par le tambour, est 10 car / ", l'interligne standard peut être choisi à 6 ou 8 lignes par pouce ; la force des marteaux autorise 6 copies. L'imprimante dispose d'une commande du papier par bande pilote à 8 colonnes, qui autorise des sauts de papier jusqu'à 25 ips. On trouve cette imprimante sur les calculateurs Philco 2000.

4. 1000 est la même mécanique que la précédente, mais elle est capable de 1000 lpm, qui tombent à 643 lpm avec un espacement de 1". La performance peut être améliorée en inscrivant 96 caractères par tour au lieu de 48. Cette imprimante est proposée avec les calculateurs PDP 4 et 6 de DEC.

5. 300 est une autre imprimante à tambours, offrant un choix d'alphabets entre 48 et 128 caractères, inscrits sur un cercle du tambour. Sur du papier de 2 à 26" de large, on peut choisir d'imprimer 72 à 160 car / ligne, avec les mêmes performances que la 4. 300 . La bande pilote comporte 12 voies, le saut de papier plafonne à 18 ips. Cette imprimante a été choisie pour les calculateurs 301 et 3301 de RCA.

5. 600 est l'imprimante des calculateurs GE 210 et 225, mécaniquement semblable à la précédente, à l'exception du débit maximum de 600 lpm, qui tombe à 514 lpm pour l'interligne de 1 ". Le saut de papier peut atteindre 27,5 ips.

5. 1250 a été choisie pour les calculateurs CDC 160 et 1604. C'est la même mécanique que ci-dessus, sauf un débit maximum de 1250 lpm, tombant à 712 lpm pour l'interligne 1".

A partir de 1964, date critique de l'annonce des calculateurs IBM S / 360, Anelex complète son offre par divers modèles de disques : on peut citer le modèle 80, dispac de 27,6 Mbits sur 6 disques enregistrés à 187 KHz, et le Modèle 800, un disque fixe de 26 Mbits.

Pour terminer, Anelex a été rachetée par Control Data en 1966, et s'est fondue dans un vaste complexe d'étude et de production de périphériques, compatibles ou non avec IBM, complexe qui disparaîtra par morceaux quand s'écroulera CDC.

#### 64. ICS de Androx

Cet Image Computing System est un MIMD ( Multiple Instruction, Multiple Data ) proposé soit comme un système autonome, soit comme carte graphique VME 9 unités sur des stations de travail de DEC, Silicon Graphic, Solbourne, Stardent, ou Sun.

Il englobe de un à quatre DSP 2100 de Analog Device , un processeur graphique TMS 34010 de Texas Instrument, une logique à base de gate arrays, et jusqu'à 8 MB de mémoire.

#### 65. ADS 2100 de Anker Data System

Témoin de l'état de l'art en 1970, ce matériel de très petite gestion est plus une machine comptable perfectionnée qu'un mini véritable, bien qu'il puisse loger des instructions en plus des données dans sa mémoire forte de 13000 à 52000 positions de 4 bits. Les périphériques sont ceux auxquels on est habitué sur ce genre de machine, soit clavier, lecteur / perforateur de bande, lecteur / perforateur de cartes (c'est plus rare, et pas très performant), imprimante, et mémoire de fiches du type "ledger" (un fragment de bande magnétique au dos d'une grande carte imprimable) avec magasin de 500 cartes et chargeur automatique.

#### 66. Apollo Computer Inc.

En 1977, trois ingénieurs de la société Prime, fabricants de minis, estimant que leur compagnie s'engluait dans des applications à trop long terme, fondent leur propre société avec comme objectif de créer le concept de station de travail, c'est-à-dire d'un ordinateur scientifique individuel, appuyé notamment sur une console graphique. Idées maîtresses : emploi du très prometteur 68000 de Motorola, mémoire virtuelle pour supporter un logiciel puissant, intégration à un réseau local.

Pendant quelques années, ils sauront profiter de la dynamique de Motorola pour créer des stations à la fois économiques et performantes, et atteindront en 1985 un chiffre d'affaires de 295,6 M\$. Mais justement, 1985 est une année de pertes, car les stations de travail de DEC et IBM apparaissent sur le marché. Bien que le marché des stations soit en plein développement, Apollo a besoin de soutien financier. Après quelques tentatives de coopération avec Texas Instruments, Apollo se fera absorber par Hewlett Packard qui en fera provisoirement une Apollo System Division, chargée précisément de renouveler l'approche "Station de travail" de la compagnie, avant de les fondre dans l'activité générale.

#### 67. Série 10000 de Apollo System Div. de Hewlett Packard

Famille de stations de travail à hautes performances, construites par l'ancienne équipe d'Apollo autour de leurs principes fondateurs et du nouveau processeur RISC de HP, construit en gate arrays 1 micron. Processeur permettant 44 Mips ou 12 MFlops . Mémoire pouvant être portée à 512 MB, à base de chips 4 Mbits. Disque dur jusqu'à 18 GB. Compilateur vectoriseur amélioré augmentant la performance de calcul dans un rapport de 2 à 4 sur les problèmes parallélisables.

#### 68. Apple Computer, Inc.

Fondée en 1976 par Steven Jobs et Stephen Wozniak, Apple Computer Inc se proposait d'abord la production en série et la commercialisation d'un ordinateur personnel fondé sur l'emploi d'un microprocesseur, d'un écran et d'un floppy disk, avec un traducteur BASIC. Le succès prodigieux de cette machine Apple II, plus de 50000 vendues au 1/1/80, a fait de la compagnie, dirigée par A. C. Markkula et M. M. Scott, une des cent premières sociétés d'informatique, installée à Cupertino, Californie, dans une usine de 12000 m<sup>2</sup>. Cette société fête en juillet 1983 la vente de son millionième ordinateur.

Arrivée à ce stade, la société devait se fixer de nouveaux objectifs et commença par une lente extension vers la petite gestion. Mais la vraie mutation portait sur le logiciel, qui devait prendre une forme nouvelle, inspirée clairement par les travaux du Xerox Park, avec les ordinateurs Lisa et Mac Intosh, construits autour des microprocesseurs 68000 de Motorola : nouveau et très grand succès, qui se traduit par une explosion des ventes à partir de 1984.

L'exploitation du succès commence en 1987, avec l'apparition d'un Mac II nettement plus puissant en même temps que d'améliorations du Mac I, les SE et les Plus. Réussite à nouveau, qu'Apple soutient en multipliant les versions améliorées des uns et des autres, et en préparant calmement un nouveau système d'exploitation, le Mac OS 7. Une multitude de cartes accélératrices, cad de cartes enfichables dans les slots de la carte mère pour remplacer de fait le processeur de celle-ci, permettent à tout propriétaire d'un Mac d'améliorer ses performances pour un prix moindre que celui du prochain modèle Apple.

La sortie du Système 7, en mai 90, commentée par la presse comme une réponse à Windows 3.0, alors qu'Apple vise essentiellement à offrir de nouveaux services à ses clients habituels, déclenche des réactions nuancées : approbations des principes, réserves sur le besoin réel de ces nouveautés dans les entreprises et sur le coût exorbitant induit par les mises à jour (car les nouveautés ne fonctionnent pas, la plupart du temps, sur les modèles existants). Le grand nombre des modèles, variantes et "add on" rend difficiles les conversions : il y a toujours une partie de la nouvelle version qui ne fonctionne pas sur votre modèle particulier, même quand le contraire est officiellement vrai : en conséquence, l'attente s'installe.

Pour y remédier, Apple invente le Macintosh Classic, une version améliorée du Plus qui est proposée avec de faibles marges. Le succès disproportionné de cette machine, ainsi que des LC et IIsi qui représentent le même effort sur des produits plus raffinés, est d'autant plus gênant que ces machines sont incapables de supporter correctement le Système 7: il entraîne des problèmes financiers qui se répercutent sur la production. Apple n'arrive plus à suivre le train d'enfer de la technologie, ni même à maintenir son Système 7 au niveau des nouveautés de Windows, ni même à produire assez de machines pour satisfaire la demande de ses fidèles inconditionnels. Une tentative de remédier à cette dernière insuffisance en donnant des licences à divers copieurs taiwanais échoue.

CA 1991 : 6,3 B\$ - 14000 employés - 1,79 M de micros vendus

CA 1992 : 7,08 B\$ et bénéfice 530,3 M\$ - ventes sur les 6 premiers mois : 1,23 M de micros, dont 180000 en France représentant 2,67 Md F.

CA 1993 : 7,97 B\$ et bénéfice 86,6 M\$. Plan de restructuration supprimant 2500 emplois.

Refusant d'abandonner un système d'exploitation que ses clients considèrent comme très supérieur à Windows aussi bien qu'à l'OS/2 d'IBM, Apple décide de suivre Motorola dans son évolution vers le PowerPC hérité d'IBM et bâtit sa série suivante sur ce nouveau et très puissant microprocesseur ; cela conduit Apple à entrer dans un consortium aux côtés de son vieil adversaire IBM, et cela ne se fait pas sans difficultés, dont on trouvera les péripéties dans les études IBM et Motorola. En attendant que sorte ce produit sauveur, il faut vivre, et les décisions parfois contradictoires du marketing se succèdent avec les Centris, les Quadras et les Performa.

Fin 93, l'échec du Newton et les délais de mise en route de la révolution ci-dessus, sur fond de CA stagnant et de premier trimestre de perte, condamnent John Sculley, qui abandonne en juin le poste de CEO à Michael Spindler, et en octobre celui de PDG à Mike Markkula. La décision est prise d'anticiper sur la performance des futurs PowerPC : les Centris disparaissent, les Quadra et les Performa sont gonflés au maximum en les dotant de 68LC040 au lieu des 68030 installés au départ, car on estime que les PowerPC seront de toutes façons très supérieurs. Et pour finir, on lancera prématurément les nouvelles machines, alors que leurs logiciels ne sont encore que des émulations, au risque de s'attirer des critiques, fondées et qui ne manqueront pas. Mais ce sera un succès.

CA 1994 : 9,19 B\$ et bénéfice 310,2 M\$ - 4ème trimestre : 2,83 B\$ et bénéfice 115 M\$.

Les ventes de l'année ont atteint 3,955 M de micros, dont plus d'un million des nouveaux PowerPC, mais cela ne représente plus que 8,5 % de la production mondiale, contre 9,6 % en 1993.

Apple est donc sauvée, et gagne le temps nécessaire à une mise en place correcte du pacte tripartite, et d'alliances de clonage éventuel. Un exemple de ces clonages est le multiprocesseur symétrique Genesis MP, de Daystar Digital, étudié en liaison avec Apple; son logiciel MacOS 7.5 est complètement compatible avec les produits Apple et un kit de développement est disponible. Un tel Genesis à deux PowerPC 120 MHz coûte \$ 10000, et pour \$ 15000 on peut obtenir un modèle à 4 PowerPC 132 MHz, bus PCI, 32 MB de RAM, 2 GB de disques, et CDROM.

Cependant Apple ne parvient pas à s'intéresser à ce genre de coopération, qui vise à réaliser des serveurs ; le succès des 6 / 7 / 8100 assure son redémarrage et, la technologie aidant, les clients sont re-fidélisés : avec de nouvelles machines au look audacieux, Apple est plébiscitée par ses clients privés, mais il ne semble pas que les entreprises soit aussi satisfaites : trop de changements, trop de modes et de coups de pub pour qu'on fasse confiance à une solution le temps d'amortir un gros investissement. Cependant Apple conserve, au tournant du millénaire, quelque 10 % du marché des micro-calculateurs mono-postes.

Pour fixer les idées, on peut donner les chiffres correspondant au premier trimestre 2000, dixième trimestre profitable depuis le début 1998 :

Chiffre d'affaires : 1,94 B\$ (+27%), dont 51 % à l'exportation.

Bénéfice : 233 M\$, dont 73 M\$ il est vrai pour la revente de 1,5 millions d'actions ARM.

Effectif : 10624 personnes, contre 9536 au trimestre précédent.

Ventes : 1043000 machines, dont 350000 PowerMac G4 et 100000 Powerbook. iMac et iBook restent des succès.

Trésorerie : 3,6 B\$ de liquidités, dont 224 M\$ d'investissements stratégiques.

Un peu plus tard 2ème trimestre fiscal = 1er trimestre 2002 : 813000 machines dont 152000 iMAC G3 et 220000 iMAC G4 montrent un gros progrès avec un mini-bénéfice de 40 M\$, mais ce n'est qu 6% du marché. Un Mac OS X compatible Unix est annoncé, c'est l'OS 10.1.3.

Malgré cette modeste ambition et ses modestes résultats, Apple va bien. Elle a racheté Next, et remis à sa tête son ancien président Steve Jobs, qui avait fondé cette société. Les anciennes habitudes sont reprises, les anciens clients ont été conservés ; est-il vraiment important que la société, qui n'a pas perdu son âme, ne gagne plus de part de marché ?

## 69. MacIntosh II vi

Avec ce matériel, le MacIntosh en fin de carrière essaie de se défendre contre une compétition de plus en plus agressive, et s'appuyant sur des processeurs plus puissants. Ce modèle de table utilise un 68030 à 16 MHz, avec coprocesseur en option. La mémoire peut varier de 4 à 68 MB, le disque dur est 40 ou 80 MB, il y a trois slots NuBus d'extension seulement. L'écran est en 256 couleurs, et il existe une option de lecteur CD double vitesse (Sony). Mais surtout, le prix est inférieur à \$ 2500.

Pour un prix plus élevé, soigneusement calculé pour ne pas nuire au produit de base, on annonce en même temps le II vx qui utilise un 68030 à 32 MHz avec coprocesseur en standard, tout le reste semblable.

## 70 - CENTRIS et QUADRA

Au début de 1993 Apple est en complet désarroi. Destinés à revigorer le marché par des annonces paraissant nouvelles grâce au processeur 68040, les Centris sont en réalité des nouveaux noms pour des machines existantes:

Centris 650 est MacIntosh II vx à 25 MHz, avec 4 MB soudés et 4 slots d'extension mémoire, 3 connecteurs NuBus dont un bloqué par la carte Ethernet. Prix de base 17800 FF TTC avec disque 80 MB.

Extensions : mémoire jusqu'à 132 MB, mémoire video 512 KB ou 1 MB, connecteur pour carte Fast SCSI et disques 230 ou 500 MB, connecteur PDS, lecteur de CDROM.

Centris 610 est un LC 475 à 20 MHz sans coprocesseur, sans extension NuBus, avec seulement deux slots d'extension mémoire au delà des 4 MB soudés.

En mars 1993, les livraisons n'auront pas pu intervenir et Apple fusionnera cette offre douteuse avec celle des Quadra survenue entre temps, qui exploite le même filon du 68040.

Les Quadra sont en principe des serveurs de réseaux, en forme d'armoires verticales capables de loger disques et sauvegardes, et basés sur l'emploi du microprocesseur Motorola 68040 à 25 puis 33 MHz.

A l'origine de cet exercice se trouve une annonce de 1/91, concernant un modèle 68040 à 20 MHz, avec 8 MB de mémoire de base et 16 emplacements pour barrettes SIMM de 1 ou 4 MB. L'unité comportait tous les ports usuels, plus un port Ethernet AAUI standard, une interface SCSI2 capable de 4 disques, et un connecteur NuBus extensible, capable de 10 à 20 MB/s par changement des ROM système. Le boîtier contenait des emplacements pour disque dur ou floppy 5,25".

Deux ans plus tard, trois modèles de Quadra développant cette idée sont proposés :

- Modèle 700, 4/64 MB de mémoire, disque 80 MB pour 39900 FF ou 400 MB pour 48900 FF

- Modèle 900, 4/192 MB de mémoire, disque 160 MB pour 52900 FF, ou 400 MB pour 57900 FF.

- Modèle 950 de 1/93, proposé avec disques SCSI2 en organisation RAID, et logiciels AUX, Appleshare, base de données Oracle 7.0. Le passage au Power est annoncé pour 1994.

- Modèle 840 AV de 12/93, modèle multimédia en petite tour, 68040 porté à 40 MHz, mémoire à partir de 8 MB, disque dur 500 MB ou 1 GB. Les périphériques comportent un CDROM Sony, un système de manipulations acoustiques à base de DSP ATT 3210 à 66 MHz, et des enceintes intégrées.

En fait, même la vidéo est manipulable, on peut entrer les trois standards PAL, SECAM, NTSC, et ressortir du PAL ou du NTSC.

## 71 - Les portables de Apple

Apple n'avait encore présenté aucun portable en 1990, et on commençait à le lui reprocher chez ses fidèles, dans la mesure où le prix de ce type d'ordinateur devenait abordable ailleurs.

En fin 90, Apple annonce donc le Portable II, qui utilise un 68HC030 à 15,57 MHz, avec un écran TFT, contenant 2 à 8 MB de mémoire, un floppy 3,5" de 1,44 MB et un disque dur de 40 MB, pour 17700 F. Un Isopoint remplace la boule des concurrents. Succès de découverte chez les amis.

Ce matériel sera rapidement remplacé par le Powerbook 140, qui semble n'en différer que par un nouveau processeur plus rapide. Le changement de nom est censé préparer la génération PowerPC à venir.

Un Powerbook 100 lui succède en 9/91, qui pèse moins de 2 Kg. Il est construit autour d'un 68030 à 25 MHz, avec un écran à 16 niveaux de gris et un isopoint. Il est proposé à 12900 FF, et dispose d'une station d'accueil comportant lecteur de disquettes, et plusieurs autres connecteurs pour extensions diverses.

En 1992, Apple aborde le haut de gamme avec le Powerbook 180, équipé d'un 68040 à 33 MHz avec coprocesseur, 4 à 14 MB de mémoire, choix de disques 40, 80 ou 120 MB, écran à 16 niveaux de gris. Un socle de compatibilité est proposé dans la variante Duo 230, l'enfichable provoquant une réorganisation des ressources.

Simultanément, un Powerbook 160 à 25 MHz et sa version Duo 210 avec socle sont aussi proposés.

En 1993, cette version évoluera en un 180c utilisant un 68030/33 toujours aussi puissant mais devenu bon marché, avec 4 MB de mémoire, un disque dur de 160 MB, un écran TFT 256 couleurs 640 \* 400 pixels, une connexion pour un moniteur externe 16" de définition 832 \* 624, et une interface micro pour une amorce de multimédia. Prix 23600 FFTTC.

Fin 93, le même 68030 se retrouve dans un 270c pourvu d'un écran de 8,4", TFT 640 \* 480 en 256 couleurs, ou 640 \* 400 en 32768 couleurs, avec une nouvelle batterie qui autorise 2 à 4 heures d'exploitation. Le prix est inférieur à 22000 FF pour 4 MB de mémoire et un disque de 240 MB.

Plus abordable, un Powerbook 250 est proposé simultanément avec un écran 9" à 16 nuances de gris, avec une autonomie de 2,5 à 6 heures, et un prix de 17400 FFTTC pour une mémoire de 4 MB et un disque de 200 MB.

A ce moment, une certaine impatience commence à se faire jour, car le PowerPC 603 annoncé ne se manifeste toujours pas. Pour faire patienter, Apple annonce une nouvelle famille utilisant un 68LC040, comme les Quadra au même moment, en deux tailles 520 et 540 à 16 niveaux de gris, ou 520c et 540c à matrice active 256 couleurs. Voir fiche.

Ces modèles pourront profiter, fin 94, d'un échange de carte pour être enfin équipés du PPC 603.

Au moment où, en 1995, les portables 603 deviennent la règle, Apple annoncera un Powerbook 190 à prix cassé, liquidant les 68040 à fréquence 66/33 MHz qui lui restaient en stock. Le disque atteint 500 MB, la version monochrome à écran de 9,5" ne coûte que 10500 FFHT, et la version couleur à écran 10,4" est vendue 13500 FFHT.

Il y aura surtout, ensuite, des modèles new look équipés du microprocesseur G3, et dotés d'un boîtier provocateur en plastique teinté, d'abord le Bronze, puis le Prismo. Ces matériels redeviennent compétitifs avec les meilleurs concurrents d'IBM et Toshiba, si on aime les formes curieuses qu'ils proposent.

Les derniers Powerbooks, au tournant de notre enquête, sont les Titanium, équipés de G4 à 550 MHz, et disposant d'un écran 15,2" TFT, d'une mémoire vive de 256 MB à 1 GB, d'un disque de 20 GB, d'un bus AGP4x avec carte ATI Radeon 128, d'un modem 56 Kbauds et d'une interface Ethernet 10/100/1000 base T. Prix 2429 euros.

## 72 - PERFORMA de Apple Computers Inc.

En même temps que ses problèmes techniques, Apple rencontrait aussi des problèmes de commercialisation, son approche directe de contact avec une clientèle d'amis ne suffisait plus devant la généralisation de l'informatique dans le public. Les Performa correspondent donc à une nouvelle approche, destinée à une distribution indirecte dans les FNAC, Darty, et autres grandes surfaces, avec des logiciels pré-installés.

Performa 200 dérive du Classic II, avec un processeur 68030 à 16 MHz, 4 à 10 MB de mémoire, et un disque de 80 MB. L'écran monochrome de 9" paraît bien petit pour l'époque. Le logiciel System 7 est sur ROM; une bureautique intégrée Claris Works est fournie en standard.

Performa 400 dérive du LC II et ajoute au 200 un connecteur d'extension et le choix de deux types d'écran couleur. Apparemment le succès n'a pas paru suffisant: en 9/93 une offre promotionnelle porte sur un 400 à 5900 FFHT (6997 FFTTC) avec 4 MB de mémoire, 40 MB de disques, et les logiciels System 7, Claris Works 1.0 (traitement de texte, tableur, gestion de fichiers, dessin, communications), AtEASE (mode d'accès aux applications et aux documents), communications avec les PC, et deux jeux (Sun City, Prince of Persia).

Performa 600 dérive du Mac IIsi, avec un 68030 à 33 MHz, une mémoire 5 à 68 MB, un disque 80 ou 160 MB, un lecteur de CDROM, trois connecteurs NuBus. Le système d'exploitation est sur ROM, et Claris Works est standard.

Là encore, une offre promotionnelle intervient en 11/93, pour épuiser les stocks avant l'introduction des PowerPC. Pour 14900 FFTTC, on a un 68030 à 25 MHz sans coprocesseur ni cache, un disque 80 MB, une mémoire video 512 KB, la connexion SCSI, et un écran 14". Le CDROM est encore optionnel.

Performa 630 marque la dernière étape avant passage aux RISC, avec un processeur 68040. Voir fiche.

Performa 5200, qui dérive du 400 pour la présentation, assure la transition vers le Power PC 603 en gardant la formule du logiciel pré-chargé.

### 73 - Les PowerPC chez Apple

Au delà du 5200, le nom de Performa est abandonné, et sa position commerciale est occupée par le Power Mac 6200. En avril 96, les Power Mac 5500 et 6500 leur succèdent, bâtis autour de PowerPC 603ev à 225, 250, 275 et 300 MHz : un 6500 à 64 MB, 4 GB de disques, CDRom 12x, est livrable en France en 9/97.

Succès modéré qui convaincra Apple de revenir dès que possible à son mode de distribution préféré, quitte à confier la distribution en grandes surfaces à des compatibles certifiés.

Le Power Mac 9500 est une station graphique construite autour d'un Power PC 604 à 132 MHz, avec un cache de second niveau de 512 à 4096 KB, montés sur une carte fille qui permet une évolution vers des Power PC plus puissants. La mémoire de 16 MB peut s'étendre à 768 MB, et les connexions extérieures sont, pour la première fois chez Apple, assurées par un bus PCI, auquel sont reliés 6 connecteurs d'extensions, dont un déjà occupé par une carte d'accélération graphique. C'est la fin du NuBus, qui ne sera pas regretté par les clients parce que les fournisseurs de cartes PCI sont beaucoup plus nombreux que les fabricants de cartes NuBus, de sorte que les prix sont plus bas.

La mémoire de masse, qui peut atteindre 2 GB (chiffre confirmé, mais ridiculement bas), est formée de disques à interface SCSI.

Le logiciel est MacOS 7.5.1, système dérivé du 7, mais optimisé pour le Power PC et la nouvelle architecture. Les applications envisagées sont la PAO et la CAO, ce qui explique l'annonce simultanée de l'imprimante Laserwriter 12/600 PS couleur (3 pages/min à 600 ppi).

Le prix de ce modèle serait de l'ordre de 38 000 FHT, celui de l'imprimante d'environ 50 000 FHT.

Deux ans plus tard, le Power Mac 9600 est annoncé, centré sur un Power PC 604e à 350 MHz, associé à un cache de 1 MB auquel il est lié par un bus à 100 MHz. Le logiciel est MacOS/8.

La rapidité du progrès technique est soulignée par le fait que le prix de 38 000 FHT correspond maintenant à 64 MB de mémoire vive, 4 GB de disques, une carte graphique Micro Twin Turbo, un lecteur de CD ROM 8x, et une sauvegarde Iomega. En se contentant de 300 MHz, le prix tombe à 31 000 FHT.

Dans le domaine des grandes puissances, il y aura ensuite des modèles de calculateurs Mac bâtis autour des microprocesseurs G3 et G4, d'une part des PowerMac G4 à ambition graphique, d'autre part des iMac G3 et G4 au design futuriste. Prix maximum : 2750 euros pour le PowerMAC Quicksilver à 867 MHz, au 1/1/02. Voir fiches.

### 74 - Axiom

Cette société sans passé apparaît fin 1990 dans les bilans périodiques des compatibles PC et, semble t'il, pour une période assez courte. On se borne donc à lister les produits mentionnés à l'occasion de cette publication :

Modèle 1112, à base de NEC V20, avec seulement 640 KB et une ou deux disquettes, en principe une de 5,25" et une de 3,5". Il semble donc s'agir d'un network computer, bien qu'on mentionne 4 slots d'extension. Option de connexion sur le réseau Novell, ce qui fait douter de l'indépendance du fabricant. Prix 5870 FF.

Modèle 3316, à base de 386 SX/16 MHz avec 1 à 4 MB de mémoire et un floppy à choisir. La capacité en disques, de 40 à 1000 MB, et les options, suggèrent qu'il s'agit d'un serveur : coprocesseur 387, logiciel Xenix SCO, branchement sur réseau Novell. Prix 14970 FF.

Modèle 4425, à base de 486/25 avec 1 à 16 MB de mémoire, et toutes les options comme ci-dessus, à l'exception du coprocesseur qui est incorporé. C'est donc un serveur, prix 43520 FF.

### 75 - Sentinel de Computer System Development

Quand Cincinnati Milacron a, en 1977, abandonné la fabrication d'ordinateurs de gestion, quelques spécialistes laissés pour compte ont créé sur place Computer System Development, et commencé l'étude de Sentinel, une sorte de mini de gestion personnelle.

Le CPU est un 8086, avec mémoire 16 bits, cycle 600 ns; toutes les liaisons externes se font à travers un rack Multibus. L'originalité vient du logiciel écrit par Tominy, Inc., une firme locale qui peut très bien se réduire à une seule personne : le coeur du logiciel est une base de données, accessible à travers DBL, une sorte de Cobol fortement intégré. Le compilateur est en deux phases, le langage intermédiaire pouvant être

traduit soit pour le 8086, soit par exemple pour l'IBM Series / 1: une sorte d'UNCOL en somme.

Quatre niveaux étaient envisagés:

Model 10: \$ 9990 pour mémoire 32 KB, écran 1920 caractères et 2 disques souples.

Model 20: \$ 19990 pour passer la mémoire à 64 KB et ajouter une ME 150.

Model 30: \$ 24900 pour ajouter un disque Winchester de 14,5 MB et une IP 300.

Model 40: \$ 34900 pour porter le disque à 29 MB.

Ce qui manque le plus pour apprécier l'ambiance de l'époque est le chiffre des ventes; en tous cas, la corrélation entre le niveau technologique et les prix est claire.

## 76. Ressource 100 de Applied Data Processing

Mini de gestion construit autour d'un processeur NOVA avec mémoire à tores de 64 à 256 KB, cycle 1 us. Périphériques proposés: écrans 27 \* 74 caractères, clavier 10 touches, cartes perforées, machines à écrire jusqu'à 330 cps, imprimante jusqu'à 600 lpm, 8 ou 16 portes IO, disques ou bandes au choix.

Logiciel: Système d'exploitation multiterminaux avec gestion jusqu'à 7 lignes de 1200 bauds simulant le 2780, assembleur, Basic, package comptable, base de données.

Prix: \$ 39300 à l'achat ou \$ 865 par mois, logiciel en plus.

## 77. Applied Digital Communications

Cette société qui n'a pas particulièrement fait parler d'elle nous est connue par un grand nombre de machines construites "clés en main" au profit de PME jugeant indispensable de prendre le virage de l'informatique. C'est un simple assembleur qui brille surtout par son aptitude à utiliser tout ce qu'offre le marché des mini-ordinateurs. Jugez en:

101, à base de Wang 2200. Mémoire 8 à 32 KB en MOS 800 ns, \$ 30000 + logiciel

102, à base de MicroNova. Mémoire 64 KB en MOS, \$ 23750 logiciel inclus

103, à base d'Interdata 5 / 16. Mémoire 64 KB en MOS 600 ns, \$ 22645 avec un package de comptabilité

201, process control à base de Varian V77. Mémoire MOS 8 à 32 KB 660 ns, \$ 40000 plus logiciel

202, à base de Nova 3. Mémoire 64 (16) 256 KB en MOS, \$ 31500. Version plus puissante du 102.

301, à base de Hewlett Packard 2100. Mémoire MOS 6 à 32 KB en MOS 650 ns, \$ 40000 plus logiciel

400, à base de PDP 8 et plutôt scientifique, \$ 12500.

401, scientifique plus grosse à base d'Interdata 8 / 16 E, mémoire à tores 64 (8) 256 KB, \$ 49230.

Suivent quelques détails, toute discussion technologique étant renvoyée à la documentation des processeurs

101: destiné à la gestion multitâches de petits laboratoires médicaux ou petits manufacturiers, ce système exclut toute télécommunication, malgré le nom de la compagnie. Les fichiers sont logés, à la demande du client, sur disques souples, cartouches ou bandes. Logiciel en packages, BASIC.

- : nettement plus puissant, avec écran 1920 caractères et ME 120 cps. Il y a cette fois des lignes, HASP ou 3870, et de 2 à 6 terminaux avec disques souples, plus éventuellement une cartouche de 10 MB formant fichier central. Le logiciel beaucoup plus étoffé comprend une gestion de fichiers qui n'est cependant pas une base de données, des packages de comptabilité et de production, un interpréteur Basic, des compilateurs Fortran et Cobol.

103: cette version met l'accent sur les lignes et peut en comporter jusqu'à 256, synchrones ou asynchrones, en protocoles 2780 et HASP. Pour le reste, même service que le précédent.

201: process control en multiprogrammation, purement local: pas de lignes, disques floppies seulement, bandes pour archivage. Programmation en Assembleur, Basic, Fortran ou RPG.

301: le prix élevé de ce système qui ne comprend ni ligne ni disques autres que floppies provient de l'existence d'une base de données: cependant, comme elle est installée sur bandes, on peut douter de son intérêt pratique et estimer qu'elle ne peut faire mieux qu'une simple gestion de fichiers.

- : il semble s'agir d'un concurrent du célèbre LINC, utilisant telle quelle la plus récente version du PDP8, toujours 12 bits avec mémoire 8 (4) 32 Kmots, cycle 1 µs. Il faudrait connaître le logiciel d'application de ce système qui ne semble pas différer du tout du produit DEC contemporain.

401 : l'aspect scientifique de cette machine provient d'une mémoire performante, cycle 750 ns, accès 275 ns, et d'un compilateur Fortran, bien qu'il y ait aussi dans le logiciel un package comptable. L'application la plus significative paraît être la préparation de bandes pour la commande de machines à commande numérique. La possibilité d'un très grand nombre de lignes, comme plus haut pour le 103, oriente cette machine vers le travail à distance et le relais de terminaux vers un gros ordinateur central.

## 78 - Applied Digital Technology

Cette société de Chicago s'est lancée, l'une des toutes premières, dans la fabrication "clé en main" de minis de gestion, en partant du SPC 16 de General Automation, avec 4 à 64 KB de tores 1,4 us. Cette antériorité explique à la fois le prix exorbitant, \$ 50 à 100000, du produit, et le petit nombre des ventes, de l'ordre de 10, exclusivement dans la région.

Périphériques : disques et bandes tous types, ME jusqu'à 165 cps, imprimante jusqu'à 600 lpm, cartes.

Logiciel : système d'exploitation multitâches jusqu'à 4 lignes. Assembleur, Fortran, Cobol RPG, packages.

## 79 - AS 1170 de Applied System Corporation

Cette compagnie semble s'être introduite sur le marché en proposant un calculateur de communications, apparemment avant l'invention des microprocesseurs. La mémoire comprend 1 KB de ROM pour le protocole résident, et 4 à 32 KB pour les messages.

Le système accepte toutes lignes jusqu'à 4800 bauds, et tous codes. Les périphériques de service proposés sont les cartes (LC 400, PC 50 cpm) et une imprimante à 300 lpm.

## 80 - AS 1800 de Applied System Corporation

Avec l'apparition du 8080, ASC reconvertit son expérience dans le mini de gestion, plutôt primitif en ce sens qu'il n'a pas encore de multiprogrammation, bien qu'il y ait la possibilité d'installer jusqu'à 16 lignes. Les terminaux font donc la queue pour accéder aux fichiers qui peuvent être placés sur disques ou sur bandes. La mémoire comprend 4 à 64 KB de MOS 500 ns.

Logiciel : assembleur, PL/M, Basic, packages de gestion.

Prix : \$ 5000 ou \$ 250 par mois, plus les options et le logiciel. Ce n'est pas cher, mais ce n'est pas fameux.

En 1975, ASC reprend le problème, mieux pensé : même mémoire, mais avec options parité, autocorrection, protection, adressage par byte ou par bit. Le débit des périphériques est 250 KB/s cumulé, mais il peut être amélioré par un DMA à 1 MB/S. Les lignes, dont le nombre peut monter à 32, peuvent être de tous types, asynchrone ou BSC, DE 50 à 9600 bauds, avec 50 Kbauds cumulés. Un Fortran a été ajouté au logiciel.

Prix : \$ 1500 ou \$ 75 / mois, plus le logiciel, ce qui paraît exceptionnellement bas. C'est l'ASC 80.

## 81 - produits Arete pour Sperry

Arete semble n'être rien de plus qu'un bureau d'étude proposant, en 1984, un système de calcul "fault tolerant" par des redondances appropriées. Sperry UNIVAC, alors à la recherche d'un système de gestion tolérant tout étudié, pour des débouchés très modestes, en assure la commercialisation.

La série 1100 est une armoire de 356 mm de large, 711 mm de profondeur et 1372 mm de haut, dans laquelle on peut placer trois cartes CPU, six cartes d'extensions périphériques, une carte de contrôleur mémoire pour 2 à 8 MB. Poids 115 Kg, prix à partir de \$ 60000.

Le modèle 1124, par exemple, comprend deux processeurs Motorola 68000, avec interconnexions spéciales, disques images, protection de mémoire, alimentation non interruptible (option) avec marges sur les tensions, refroidissement redondant, etc... Le logiciel est UNIX V ou RM/COS, le langage est un COBOL.

Pour de très gros besoins, le modèle 1200 est un quadri-processeur 68010 avec 16 MB de mémoire auto-correctrice, et jusqu'à douze contrôleurs 68000 de périphériques offrant jusqu'à 68 portes, ou canaux. Le système peut disposer d'un maximum de 9 GB de disques, à l'époque un chiffre considérable.

## 82 - Argonne National Laboratory

Créé pendant la guerre, le laboratoire national d'Argonne, dans l'Illinois, est une des contributions au projet Manhattan de création de la bombe atomique, et il est géré par l'Université de Chicago. Il s'est bien sûr équipé très tôt d'un calculateur, et il a fait par la suite quelques recherches touchant à l'informatique. Au total, sa contribution à notre sujet comprend :

AVIDAC, machine de type Princeton, commencée en 1951, abandonnée en 1956.

GEORGES, 1957, machine en virgule fixe  
FLIP, 1960, bloc de calcul en virgule flottante subordonné au précédent  
GUS, 1963, intégration repensée des deux précédents avec des périphériques  
AMP, 1972, réflexion technologique sur la microprogrammation

Dans le cadre de son activité pour la Commission de l' Energie Atomique, le laboratoire d' Argonne dispose d'une division Chimie avec laboratoires, qu'il automatise en 1968 avec une SDS Sigma 7. On trouvera en 250-1187/96 une description du système d'exploitation édifié à cet effet dans l' établissement, pour conduire jusqu'à 25 expériences simultanément.

Pour le travail courant, le calculateur principal est en 1971 une 360 / 75 fonctionnant sous OS-MVT, avec une mémoire de 1 MB et une LCS également de 1 MB. Parmi ses périphériques, une console IBM 2250 avec le progiciel standard d' IBM, et le compilateur PL / I ; le laboratoire a rédigé pour cet outil un éditeur de texte conversationnel et graphique baptisé Emily. Voir 257-523/32.

### 83 - Ariel Corporation

Cette société qui tente sa chance en 1993 n'est qu'un exemple choisi parmi beaucoup d'autres de l'activité créatrice qui fait à cette époque la croissance exceptionnelle de l'économie américaine. La carte DSP96 à laquelle est consacrée une fiche n'est pas non plus un produit exceptionnel : il s'agit d'illustrer le niveau d'intégration d'une carte industrielle, à titre de jalon dans un panorama du progrès technologique.

### 84 - American Bosch Arma Corporation ( Ambac ), Arma Division

Arma existait déjà pendant la guerre mais n'a guère eu l'occasion de se manifester dans le domaine de l'électronique : on signale cependant un AN / AVQ 3, projecteur à grande puissance asservi au radar ASM des avions patrouilleurs B24 et PBY.

La société d'électronique Arma est en 1962 une filiale de Bosch, équipementier pour l'automobile et pour l'aviation. Elle est installée à Garden City, état de New York. Sa première contribution contractuelle semble être Daemon, un calculateur à usage spatial qui était essentiellement un exercice technologique.

En 1964 , elle réalise effectivement un calculateur spatial pour concrétiser ses idées. Les quelque 2500 circuits sont des NAND produits par Sylvania, Signetics et TRW, la mémoire comprend 4096 à 32768 mots de ferrites non effaçables et 256 mots modifiables, cycle 1,5 us. L'originalité de l'architecture est la possibilité de choisir, en fonction de l'application, un mot de longueur 16 à 96 bits. La démonstration prouve qu'une machine utilisable peut tenir dans seulement 6 litres et peser 9 Kg, consommant 100 watts de courant 28 V.

Jugée convaincante, non par le produit lui-même qui n'a pas de débouché immédiat, mais par la maîtrise qu'il démontre, l'expérience établit Arma comme fournisseur de calculateurs pour les besoins de l'aviation, au même titre que AC Spark Plugs, autre équipementier. En 1969, on trouve ainsi un 1801 série pour une étude de l'USAF (le CDP), et un 1808 parallèle pour l'aviation civile ( Lockheed 1011 Tristar, centrale à inertie de Litton Industries) .

### 85 - Nucleus 4000

Calculateur de communications à base de PDP 11, proposé par une société dont le nom suggère qu'il pourrait s'agir soit d'une filiale d'ASI (improbable à cette date), soit plutôt d'une société créée par d'anciens employés d'ASI après l'absorption de celle-ci par Univac.

Mémoire 256 KB en mots de 16 bits, cycle 1 us.

Lignes : jusqu'à 256 lignes dont 128 en dessous de 1800 bauds, 24 à 64 entre 2000 et 9600 bauds, 4 à 24 au dessus de 9600 bauds. Protocoles asynchrone, BSC, HDLC.

Interfaces: existent pour Burroughs, Data General, DEC, IBM, Mohawk, NCR, Sweda, Texas Instrument, TWX, etc... et probablement tout ce qui pourrait être demandé par un client.

Logiciel : système d'exploitation ASI / DOS, gestion de réseau ASI / NCP permettant toutes applications : noeud, concentrateur, frontal.

Prix : \$ 70000 à 150000, ou \$ 2000 par mois.

### 86 - Astral 2000 de Astral Computer Co.

Il s'agit d'une fourniture OEM de cartes ou de châssis à base de microprocesseur Motorola 6800, et il est impossible d'évaluer cette entreprise parce que ce type de produit peut s'intégrer dans la production d'une société ayant pignon sur rue, sans que le fournisseur du composant soit cité.

La fourniture comprend une carte CPU, des cartes mémoire, des cartes I/O, et même un disque souple, le tout pouvant être groupé dans un châssis 12 slots, ou vendu par morceaux. Le logiciel associé comprend un système d'exploitation DOS, un éditeur, un assembleur, un BASIC.  
Prix : \$ 1500 à 6900 selon composition.

## 87 - ZS1 de Astronautics

Il s'agit d'un bloc de calcul scientifique, issu d'une étude de l'Université du Wisconsin, et certainement réalisé aux frais d'un sponsor inconnu. Ce genre de réalisation ne peut être évalué a posteriori qu'en tenant compte de la date du contrat et de celle de la livraison, qui manquent. Tout au plus peut on dire, d'après la date de l'information (1990), qu'il s'agit de résultats honorables sans plus.

La fréquence de travail est 22,2 MHz, soit une période de 45 ns, pas du tout remarquable pour l'époque. La valeur du produit réside donc uniquement dans l'organisation des simultanités.

Soumis à l'épreuve du Laboratoire de Livermore, possible client et possible sponsor, il a donné une moyenne de 3,8 MFlops sur un ensemble de 24 problèmes, puis 6,64 MFlops sur un jeu de 13 problèmes vectoriels. Ces résultats incorporent le travail d'un compilateur Fortran très optimiseur, qui déroule les boucles et tient compte du pipeline.

Le bloc de calcul comprend deux processeurs, un A processeur en virgule fixe, 32 bits, 32 registres, qu'on peut considérer comme un processeur d'adresses ; et un X processeur en virgule flottante, 64 bits, 32 registres, avec pipeline en trois étages. Deux queues permettent des copies dans les deux sens entre ces processeurs.

Les données sont appelées depuis la mémoire dans un cache de 64 KB, asservi à six queues : SAQ write adress, LAQ read adress, ALQ read data, ASQ write data pour le A proc, XLQ read data et XSQ write data pour le X proc. Le cache vide les queues d'adresses et, au vu d'un bit accompagnateur, charge soit ALQ soit XLD, ou décharge soit ASQ soit XSQ.

Le cache d'instructions de 16 KB puise dans le précédent. Un splitter lit ces instructions et charge deux queues d'ordres pour A et X. Il bloque sur les conditions de branchement jusqu'à ce que la condition soit connue.

Ces principes ne sont pas vraiment originaux, et on a fait mieux avec les registres virtuels. Le sort du ZS1 ne nous est pas connu.

## 88 - ATARI

Atari est née vers 1985 avec les consoles de jeu et s'est suffisamment imposée dans ce créneau tenu par les japonais pour que la Warner en reprenne le capital et l'oriente vers le calculateur familial. Suit une brillante période, avec des ventes de plusieurs millions d'unités; Atari croit alors pouvoir aborder le marché professionnel et l'entreprise, et échoue complètement, se trouvant acculée à la faillite (fiche).

La société est alors rachetée par Sam Tramiel, fondateur de Commodore, brouillé à ce moment avec ses actionnaires, et entame une nouvelle vie avec le Falcon, une machine qui demeure un calculateur personnel et familial. Mais Tramiel s'attaquera, comme plusieurs autres et avec le même mauvais résultat, au marché encore trop vierge du notebook, et y perdra sa mise.

Cependant, l'échec final d'Atari, qui mettra fin à l'entreprise, est du à la supériorité de Windows par rapport au système d'exploitation plutôt modeste du Falcon.

## 89 - Atron 501

Antérieur au microprocesseur, ce produit quasi artisanal est un mini-processeur 8 bits, dont la société Atron ne souhaitait pas devoir assumer la diffusion. Il est donc vendu en OEM à des assembleurs, dont le plus connu est Mohawk Data Systems, où il équipe le MDS 2400.

Prix \$ 8000 à 35000, ce qui paraît énorme. Etat des ventes en 7/72, date à laquelle il n'a plus de place sur le marché : 140 aux USA, 15 à l'étranger.

## 90 - Athena 1

Produit par une équipe réunie sous le nom encombrant de Athena Computers & Electronics Company, ce portable en avance sur son temps est de la taille d'une machine à écrire et c'est sans doute une des raisons de son échec, malgré un poids assez raisonnable de 6,8 Kg. Prix \$ 3950.

Le processeur est composé de deux microprocesseurs NSC 800 et dispose de trois mémoires : 64 KB de travail, plus 4 KB pour les communications, plus 512 KB de pseudo-disque "solid state" susceptible d'être doublé dans le volume disponible. Un floppy 5,25" sert d'accès externe aux fichiers, et il est prévu un port parallèle et deux RS 232 pour d'autres périphériques.

L'écran à plasma, rabattable sur le clavier, présente 4 lignes de 80 caractères, constituant une fenêtre sur un tampon de 24 lignes. L'alimentation se fait par batterie.

Le système d'exploitation est CP/M, ce qui est normal à l'époque.

## 91 - MISC par Atmel

La société Atmel n'est ici qu'un fondeur occasionnel, matérialisant un concept architectural du à la société Teraplex, inconnue par ailleurs. MISC est une microprogrammation horizontale par longs mots, transmis sur le bus principal, pour activer une exécution qui s'apparente au Dataflow.

La réalisation Atmel est un chip CMOS synchronisé à 62,5 MHz, chiffre plutôt élevé pour l'époque. Il permet des calculs à 65 Mips, 10 MFlops. La relation avec la mémoire - externe - se fait par demand paging.

Le concept MISC ne paraît pas avoir donné lieu à réalisation industrielle.

## 92 - ATT ou American Telegraph & Telephon Co.

L'ATT est née après la guerre de 14/18 d'un compromis avec le gouvernement américain, lui accordant le monopole de la construction et de la gestion du réseau téléphonique national, sous le contrôle d'une commission fédérale, et avec des contraintes de prix et de service. Ce service comprenait deux catégories :

- le réseau local commuté, vendant les liaisons en dessous du prix de revient.

- les lignes à grande distance, ouvertes à tous mais dont le trafic est pour l'essentiel assuré par les industriels. Ce service était très bénéficiaire et servait, avec l'accord de la FCC, à financer le déficit des compagnies locales.

L'une des contraintes était de ne pas concurrencer les autres industries. A l'apparition de l'informatique, cette contrainte avait paru sévère à l'ATT, dont la filiale Bell Laboratories était très impliquée dans la construction des premiers calculateurs et souhaitait étendre son action : un procès antitrust aboutit en 1956 au Consent Decree, qui interdisait à l'ATT toute intrusion dans le domaine de l'informatique, pour prix du maintien de son monopole.

Le développement de la télématique, à partir de 1966, a progressivement périmé cette conception. Toute tentative d'établir, à travers le réseau à grande distance, des liaisons entre ordinateurs, se heurtait à la politique tarifaire. Mais l'ATT violait ses propres règles, et en 1978 son réseau BANCS à commutation de messages reliait les diverses sociétés du groupe. Il fallut plusieurs procès d'entreprises privées, et la démonstration effective, par une agence d'Etat, de l'intérêt de ces liaisons, pour que le gouvernement se décide, à l'occasion d'un nouveau procès antitrust, à reconsidérer le Consent Decree. La discussion a abouti, en 1983, à une décision majeure de "dérégulation".

L'ATT a dû abandonner ses 22 filiales locales, les BOC (Bell Operating Companies), qui ont été réorganisées sous l'égide de la FCC en sept sociétés autonomes et concurrentes ; on comptait sur cette concurrence pour contraindre ces compagnies à poursuivre la politique de bas tarifs locaux.

L'ATT s'est alors réorganisée en deux divisions :

- une division de communications, gérant les lignes à grande distance dans un contexte de concurrence avec les satellites et les liaisons herziennes, sans compter les innovations à venir.

- une division industrielle regroupant la filiale de production Western Electric et les célèbres Bell Laboratories, un des plus remarquables centres de recherche du monde. Cette division était désormais autorisée à faire de l'informatique.

Les relations de l'ATT avec l'informatique comprennent donc, avant 1956, les réalisations expérimentales des Bell Labs ; et, après 1983, la découverte d'un nouveau métier dans lequel, malgré un splendide héritage, la compagnie va assez largement échouer. Donnons quelques indications sur ces diverses tentatives.

Bilan 1985 : CA = 34,9 B\$, avec un bénéfice de 1,56 B\$. Les communications sont la source de l'essentiel des revenus, bien que ATT perde de l'argent sur les liaisons à courte distance : les transmissions de données n'en représentent qu'une faible part.

L'informatique est estimée à 4% de ce total, soit 1,5 B\$, chiffre en hausse. Cela comprend :

- l'essai de créer des produits commerciaux à partir de produits trouvés aux Bell Labs, comme le microprocesseur Bellmac 32. Cette famille 3B se vendra très mal et, après quelques accusations de vente à perte, ATT décida de licencier 24000 personnes de l'Information Systems Division.
- un accord avec Convergent Technologies pour produire un mini-calculateur 7300 fonctionnant sous Unix, et dont Olivetti assure la commercialisation en Europe. La vente de 1200 machines ne peut passer pour un grand succès, quand on compare avec les chiffres des PC.
  - la commercialisation d'Unix, qui reste uniformément apprécié : par exemple, le DOD a passé en 1984 un contrat pluriannuel de M\$ 946 pour fournir, installer et entretenir des machines fonctionnant sous la version V. Cependant, il existe de nombreux Unix qui ne payent pas de droits, et les luttes entre ces clans nuisent énormément au développement du produit.
  - ATT a pris du retard dans la réalisation de standards téléphoniques numériques, et a perdu des marchés, notamment au profit de Northern Telecom. Cependant, en 1985, elle a délivré des centraux 5ESS pour 9 millions de lignes, et 6 autres millions sont en commande pour 1986. Olivetti les exporte en Italie et au Royaume Uni.

Pour essayer de renverser la tendance, ATT décide d'acheter un constructeur connu : ce sera NCR, en 1991, pour la somme imposante de 7,5 B\$ .

Bilan 1993 : CA = 69,35 B\$, avec un bénéfice de 4,26 B\$.

Bilan 1994 : CA = 75,09 B\$, avec un bénéfice de 4,7 B\$ - la filiale GIS Informatique, ex NCR, a réalisé un CA de 4,19 B\$ (+ 22%) et un minuscule bénéfice de 2 M\$. GIS végète.

Puisque rien ne réussit, et tout en gardant GIS, ATT prend en 1996 une décision plus radicale : créer une grande filiale chargée de rentabiliser, avec une complète liberté d'action, ses compétences techniques, étant entendu que la maison mère se gardait la responsabilité de l'infrastructure de communications à grandes distances et les outils pour l'assumer. Ce sera Lucent Technology, à laquelle sera confiée l'étude des DSP. Ce ne sera pas non plus une réussite ; voir à ce nom.

ATT s'est aussi gardé une division fédérale qui est en mesure d'accepter des contrats gouvernementaux. On note ainsi en 1993 un contrat AN / UYS 2 au titre duquel ATT fabrique 150 processeurs de signaux pour 5 systèmes différents ; il s'agit, très certainement, de sonars de sous-marins et d'exploitation de sonobuoys sur les avions patrouilleurs de l' US Navy.

### 93 - Millenium de Amdahl

Pour continuer à suivre IBM, Amdahl désormais simple bras de Fujitsu hors du Japon , doit annoncer fin 95, avec dix mois d'avance sur les livraisons, un processeur Fujitsu de 45 Mips compatible, réalisé en CMOS 0.35 um. Ce processeur prend place sur un MCM à 8 chips différents, d'environ 10 cm de côté ; la carte mère peut contenir jusqu'à 14 MCM.

Les six modèles, baptisés 5X5, avec X = 3 à 8 CPU, sera compatible Sysplex à partir de 1997, et simultanément les Sysplex pourront englober les 5995 M existants.

Ces systèmes pourront utiliser les disques suivants:

- depuis 11 / 94, le 6395, pile de disques de 5,25 " de diamètre à têtes magnéto-résistives, compatibles IBM.
  - Le modèle 3 de 363 GB offre un temps d'accès moyen de 14 ms, le modèle 5 de 545 GB un temps d'accès de 15 ms.
  - annoncé en même temps que les 5X5, les Spectris, disques modulaires Raid 3, extensibles par modules de 5 disques jusqu'à 726 GB.

Cette famille, qui plafonne à 450 Mips par installation, est rapidement dépassée par la demande, et fin 97 Amdahl annonce la série 700, avec un processeur de 75 Mips. Le tableau suivant indique les prix du logiciel pour un Millenium 795 remplaçant deux 5995 :

MVS / ESA V5	1 324 788	1 550 508	1 467 744
VM / ESA V1	248 868	559 700	248 868
ensemble	1 573 656	2 150 208	1 716 612

Les prix, exprimés en FF, s'appliquent à un ensemble partagé en deux serveurs, dans trois configurations : système non consolidé, système consolidé sans MSF, système consolidé avec MSF. Ce MSF est un partitionnement dynamique en deux ou quatre serveurs, qui eux-mêmes peuvent être logiquement partitionnés.

A cette époque, IBM annonce le remplacement des canaux série ESCON à fibre optique, limités à 17 MB / s, par de nouveaux canaux FICON à 2 \* 100 MB / s sur une même portée de 20 km, applicables immédiatement aux S 390 / G5 et aux disques, à partir de fin 99 à tous les nouveaux périphériques. Amdahl se déclare en mesure de suivre immédiatement.

Au début de 1999, IBM annonce les S 390 / G6, capables de 8 processeurs et 1600 Mips. La réponse de Amdahl sera rapide, mais un peu courte : les Millennium 800 sont disponibles, et de fait 60 seront livrés avant mi 99. Données pour 122 Mips par processeur, ces machines ne seront finalement mesurées qu'à 112 Mips, différence due aux imperfections des algorithmes de caches et d'allocation. Il existe en particulier un modèle à 12 processeurs, officiellement capable de 1075 Mips, mais qui n'a délivré que 914 Mips.

#### 94 - Serveurs transactionnels de Amdahl

Soucieux de proposer aux clients potentiels tous les types de serveurs qu'ils peuvent demander, et probablement aussi convaincu par l'unanimité des analystes prévoyant la fin des mainframes dans une ambiance d'économies par "downsizing", Amdahl a recherché un fournisseur crédible de produits UNIX et pense l'avoir trouvé chez Cray, constructeur d'un Superserver 6400 à base de processeurs Supersparc 6400, fonctionnant sous Solaris, la version UNIX de Sun.

L'adaptation Amdahl de ce produit n'en diffère que par quelques modifications logicielles destinées à faciliter les transitions éventuelles avec le MVS de IBM. Il peut comporter de 8 à 64 processeurs.

Accentuant sa pression sur ses compétiteurs compatibles, IBM annonce en 1994 une version du S 390 à base de composants CMOS en parallèle, qui permet d'offrir un service de base de données décisionnelle à un tarif avantageux, de l'ordre de K\$ 27 par Mips.

Sur ce marché dominé jusque là par Teradata, fournisseur de référence, Amdahl estime ne pouvoir laisser le champ libre à IBM. N'ayant pas de produit Fujitsu à offrir, Amdahl choisit NCube, spécialiste de calculateurs massivement parallèles, Oracle, numéro 1 des SGBDR, et Information Builders, connu entre autres pour son système de consultation EDA/SQL.

Cette gamme d'accélérateurs de requêtes est baptisée Xplorer 2000 et comprend deux modèles:

- le modèle 50 comprend de 32 à 64 noeuds de calcul et de 10 à 80 GB sur disques. Une configuration de base à 32 noeuds, avec 10 GB de disques, les licences de logiciel et la maintenance, est proposée à 960000 \$, soit K\$ 30 le noeud de quelque 40 Mips.
- le modèle 100 comprend 64 à 512 noeuds et 48 à 1176 GB de disques.

Les deux systèmes disposent d'un maximum de 8 canaux et peuvent être raccordés à plusieurs grands systèmes IBM S 390 ou compatibles.

Mi 94, Amdahl a ouvert deux sites de test aux USA et prévoit de disposer de six clients pilotes, dont deux en Europe, pour le mois d'août. Les livraisons pourraient commencer en octobre. C'est un bel exemple de réaction rapide, mais on ignore si l'effort a été payant.

#### 95 - Activités informatiques de Arthur Andersen

Cette firme de conseils et d'audit, qui obtient un CA de 1573 M\$ en 1985, est aussi 68ème mondiale pour son activité informatique, qui consiste à préparer, définir et installer des systèmes informatiques pour des clients qui révisent leur organisation. Sur un total de près de 30000 employés, quelque 7000 se penchent sur ce type de problème informatique, dont 250 font de la recherche sur des thèmes comme l'application de l'intelligence artificielle ou l'amélioration de la bureautique dans l'entreprise.

Ces gens réalisent des packages comme Method/1, qui sert précisément à cette définition de systèmes informatiques, ou encore Manufacturing Planning & Control System, et Distribution Control System, dont le nom est suffisamment évocateur. Ils ont également réalisé des logiciels financiers pour le Compte d'IBM, en particulier pour le S/38.

#### 96 - AMT / CPP

Le marché des machines massivement parallèle est plus un fantasme de chercheurs qu'une réalité industrielle et surtout commerciale, et les faillites y ont été nombreuses. Les ventes s'y comptabilisent en nombres (petits) par an plutôt qu'en valeur.

Les chiffres de la société AMT / CPP sont 25 unités en 1991, soit 5,8 % ; 23 unités en 1992 (5,1 %) ; 31 unités en 1993 (7,3 %). Par la suite on n'entend plus parler de AMT.

## 97 - AST Research

Intéressant exemple de société "start up", cette entreprise californienne s'est créée en 1981 pour fabriquer des cartes d'extension pour les micro-ordinateurs IBM et compatibles, et sa réussite dans ce marché très encombré lui a permis d'envisager la profession d'assembleur puis, ayant trouvé une clientèle, l'apparence flatteuse d'un créateur de micros compatibles : son premier PC, le Premium 286, date de 1986. En 1990, cette société en pleine croissance possède 16 chaînes d'assemblage dans le monde et produit 1200 machines par mois, ce qui relativise les ateliers précédents : environ 200 sont des blocs note (voir fiche), 150 des 486, le reste des 386 SX.

La production ne porte réellement que sur deux modèles de cartes mères, à partir desquelles des emballages différents permettent de constituer une grande variété de produits:

**Bravo** est un ordinateur de bureau dont la carte mère comporte des barrettes pour un maximum de 16 MB de RAM, une carte vidéo CGA 800 \* 600, quatre emplacements pour disques, disquettes ou cassettes au format 3,5", dont deux en façade (cassettes, disquettes) et deux internes (disques durs) .

Le processeur initial était un 286 à 8 MHz qui pouvait évoluer en 386 SX à 16 MHz ; ce couple a été remplacé par un 286/16 ou un 386 SX/20, puis par 486/25 et 486 SX/20.

**Premium II** est soit un desktop capable du 386 SX/16 au 486/33, soit une minitour passant du 386/33 au 486/33, avec bus EISA ou ISA; une carte processeur amovible permet toutes les évolutions.

Le chiffre d'affaire mondial est cette année là de 688 M\$ (+29%) avec un bénéfice de 64,7 M\$ (+85%). En France, la société semble avoir particulièrement réussi, avec 10000 machines vendues par une structure minimale de 32 salariés, et quelque 240 points de vente.

La réussite se poursuivant, AST achète en 9/93 la branche micro de Tandy Grid, soit deux usines au Texas et en Ecosse en plus des trois siennes propres. Elle dispose donc des marques Victor et Grid, mais ne peut utiliser la marque Tandy puisque cette société s'est simplement reconvertie.

AST devient ainsi le 6ème constructeur américain, avec un CA de l'ordre de 2 B\$. Sa nouvelle ligne de produits comprend :

**Bravo LP**, qui incorpore un programme d'économies d'énergie, et...

**Bravo Notebook** à base de 486 SX 25 avec slot PCMCIA III, bus local, écran mono ou couleur.

La fuite en avant ne paye pas toujours : en février 95 AST, toujours 6ème constructeur américain de micros, est au bord de la faillite, avec 22,3 M\$ de pertes au 4ème trimestre 1994. La cause en est une chute de 22% du marché américain, mal compensée par un accroissement de 33% en Europe et 27% en Asie. Cette année là, le chiffre d'affaire du 2ème trimestre est 640 M\$ (-5,5%) pour 389000 PC produits, faisant suite à un premier trimestre à -3,7% et une perte de 39,9 M\$.

AST sera rachetée par le coréen Samsung et son nom disparaîtra du jour au lendemain des publications spécialisées, sans que quiconque semble s'en plaindre, car cet assembleur n'avait rien créé d'original.

## 98 - Atmel

Atmel, qui apparaît sur le marché après 1990, paraît être un bureau d'étude de composants électroniques qui s'est suffisamment développé pour s'offrir une filiale pratiquant le métier de fondeur, Temic Semiconductors. Atmel est licencié de plusieurs constructeurs de microprocesseurs, notamment l'anglais ARM, dont il utilise les coeurs pour concevoir ses ASIC.

A partir de 1997, Atmel se lance dans la définition de microcontrôleurs bon marché, mais susceptibles d'une production de masse, où il se trouve en concurrence avec les plus grands : on trouvera des fiches de ces produits, identifiables par le préfixe AT, dans le catalogue: le processeur incorporé est l'ARM9, comme l'indique le 9 derrière AT. On y trouvera aussi une réalisation plus récente, l'AT75C310, construit autour du coeur ARM7 auquel il associe des coeurs de DSP empruntés au DSP Group: ce dernier point est d'ailleurs un peu bizarre puisque Atmel semble avoir défini entre temps son propre DSP, un 16 bits virgule fixe avec accu et décaleur 40 bits, deux MAC, deux générateurs d'adresse, deux bus de données.

On n'est pas en mesure d'expliquer pourquoi la filiale Temic réalise simultanément, en 3/99, des microcontrôleurs TSC80251G1D, utilisant un coeur C251 qui est une licence Intel. Il s'agit d'un produit tout à fait analogue dans ses objectifs à ceux d'Atmel, quoique moins inventif : mémoire programme ROM 16 KB, mémoire de travail RAM 1 KB, consommation 24 mW en 3 volts, un UART, un contrôleur d'interface synchrone avec protocoles SPI, I2C et uWire, et cinq modules programmables : deux timers/compteurs 16 bits dont un équipé de comparateur pour les entrées/sorties, une sortie rapide, et deux modulateurs PWM sur 16 et 8 bits. Boîtiers PLCC, DIP, et QFP 44 broches.

D'autant que ce n'est pas la spécialité de Temic, plutôt occupée par les composants SHF pour le GSM.

## 99 - ATT Famille 3B

L'aventure informatique de l'ATT commence dès la conclusion du procès antitrust : la première idée, immédiatement mise en oeuvre, consiste à récupérer le processeur, à base d'AMD 2901, du central téléphonique ESS5 mis en service à partir de 1981, pour en faire un serveur UNIX.

Fiche technique : mémoire jusqu'à 4 MB en chips 256 Kbits - Logiciel : système UNIX 5 dont l'ATT est propriétaire, et SGBD relationnelle Oracle, alors nouvelle, pour K\$ 48.

Fiche commerciale : trois modèles:

3B20D, à tolérance de pannes, avec un UNIX spécialement modifié, K\$ 340

3B20S, renforcé pour usage industriel mais non redondant, K\$ 230

3B20A, processeur d'extension subordonné pour le 3B20S, dont il multiplie la capacité par 1.5. K\$ 120.

Le 3B20 ne fut pas suivi, parce que trop coûteux.

Ayant trouvé dans les études des Laboratoires Bell un microprocesseur 32 bits, le Bellmac32, la compagnie décide alors d'en tirer un produit industriel, qui sera fabriqué par Western Electric et placé au coeur d'une famille : c'est le WE 32100, qui pourra être accompagné d'un coprocesseur VF 32106. Cette solution est compétitive et va constituer la famille 3B, pour laquelle on envisage un mono-poste 3B1, vite abandonné, un 3B3 à 6 postes, un 3B2 à 25 terminaux, et diverses versions de 3B5 à 30 postes et plus. Pour la commercialisation, deux approches :

- prospecter les relations dans l'administration : gros succès avec un contrat de M\$ 48 pour les douanes, un contrat de M\$ 225 avec le Ministère de l'Agriculture, et un monumental contrat de M\$ 946 avec la mystérieuse NSA.

- aborder le public à travers un vendeur confirmé. A cet effet, ATT s'introduit dans le capital de Olivetti et lui confie deux tâches : définir un compatible PC et le produire en sous-traitance d'une part, et d'autre part promouvoir la vente d'ordinateurs serveurs pour réseaux étoile UNIX, à base de machines 3B. Olivetti échouera clairement dans la seconde mission, après un succès moyen dans la première.

Il semble, néanmoins, que la réussite de la première approche ait suffi pour rentabiliser toute l'étude, pendant que l'échec de la seconde jetait un doute sur l'avenir en confirmant que 50 ans de monopole avaient coupé la compagnie du marché.

## 100 - Les PC de ATT

Fraction du projet décrit par la rubrique 99, l'ATT 6300 avait été sous-traité par ATT à Olivetti, société financièrement en difficulté qu'elle avait un peu remontée, et qui avait en principe une bonne expérience. C'est un pur compatible, sur lequel il n'y a pas lieu de s'étendre, et Olivetti n'aura pas de mal à poursuivre la commercialisation quand ATT l'aura abandonné.

Malgré M\$ 100 de publicité, le succès fut très moyen, 28000 machines vendues en 1985. Des améliorations furent introduites en 1985, disque de 20 MB, réseau Starlan, possibilité d'utiliser Xenix. Le manque d'efficacité d'Olivetti sera finalement sanctionné par un changement de politique, à savoir l'achat de NCR.

Parallèlement à cette ouverture vers le marché du calculateur personnel, qui lui était très peu familier, ATT imaginait avec le 7300 de 1985 une approche vers l'entreprise à travers les réseaux internes de téléphones gérés par ses PABX 75 et 85 : une idée raisonnable à une époque où on ignorait Internet et où les réseaux à l'échelle nationale restaient timides.

Le 7300 est étudié et construit par Convergent Technology, autour d'un 68000, doté de mémoire vive jusqu'à 2 MB, d'un disque Winchester de 10 MB et d'un lecteur de disquettes 5,25" demi hauteur. L'écran 12" nous paraît aujourd'hui trop petit pour un multifenêtres avec souris, mais à l'époque c'était acceptable. Le logiciel était UNIX, mais une option autorisait MS/DOS.

Après cette mise en place, on ne parle plus guère, pendant des années, des produits commerciaux ATT, car la presse informatique boude la compagnie, probablement parce que celle-ci ne sait toujours pas communiquer. Après l'achat de NCR, on oubliera le nom de cette société pourtant célèbre depuis 70 ans et efficace en informatique depuis 35 ans, tout simplement parce que son nom a été changé.

Il est cependant probable que c'est à elle qu'on doit l'expérience ATT 3555 XP, datée de 6/95. Cette machine, comportant un groupement de 10 Pentium, aurait démontré 3312 transactions par seconde, au prix de 587 \$ par transaction, pour consulter une base de données Informix 7.1. Dans l'ignorance où nous sommes de l'objectif, tant technique qu'économique, poursuivi par cette expérience, il n'y a guère de conclusion à en tirer.

## 101 - Array Microsystem

Cette société ne nous est guère connue que par une courte production de DSP, qui paraît n'avoir pas eu de suite. L'objectif semble avoir été l'analyse médicale.

Ce produit, baptisé a66110, travaille à 40 MHz, ce qui est convenable pour la date de la statistique où il figure. Mais, tout à fait bizarrement, les indications dont nous disposons paraissent peu cohérentes : instructions de 20 bits, données de 16 bits, un seul accumulateur de 20 bits et pas de décaleur, un adressage 16 bits généré par 5 générateurs logés dans une puce séparée et destiné à une mémoire purement externe, 6 bus internes dont on ne voit pas la finalité dans ces conditions, et pour finir des entrées/sorties limitées à deux ports parallèles.

## 102 - Autonetics

Cette compagnie semble avoir été, dès l'immédiate après-guerre, une filiale d'électronique de la firme aéronautique North American Aviation. Introduite au Ministère de la Défense pour réaliser un calculateur destiné au missile Navajo de NAA, elle fut à l'origine de l'introduction de l'informatique dans les systèmes d'armes, y compris ceux qui présentaient des exigences exceptionnelles de résistance aux secousses et vibrations. On lui doit les calculateurs de bord des engins ailés Condor, Navajo et Hound Dog, des avions F111 et Vigilante, de l'avion spatial Dynasoar, du missile tactique SRAM, et des missiles balistiques Redstone et Minuteman, ainsi que diverses centrales à inertie.

Voir FELICIA, MINIVER, MONICA, RECOMP, VERDAN, AN/MJQ 1.

La part croissante de l'électronique dans le prix de fabrication d'un avion finit par condamner NAA, qui fut rachetée par la firme d'électronique Rockwell, et à cette occasion Autonetics, principal motif du rachat, perdit aussi son nom (1973).

## 103 - Les calculateurs d'Autonetics

### Contrats militaires de la compagnie

Les nombreux calculateurs étudiés par Autonetics n'étaient généralement pas créés sans motivation : bien introduite dans l'USAF bien qu'elle ne fabrique plus guère d'avions, la société North American était en mesure d'attirer vers sa filiale un flot continu de contrats, parmi lesquels on peut citer :

1958 : AN/ASB 11, viseur de bombardement de l'avion A3J Vigilante

1959 : le Vigilante abandonné, Autonetics recycle son étude dans l'AN/ASB 12, viseur du A5C.

1959 : dispositif d'atterrissage sans visibilité du chasseur TF102 ; le calculateur est analogique.

1960 : AN/ASG 19, équipement intégré du chasseur/bombardier Republic F105C.

1964 : AN/AVN 2, astrotracker (sexant automatique) pour l'avion HC130H.

1968 : AN/APQ 130, radar d'attaque du chasseur/bombardier F111D, intégré par un calculateur

AN/AYK 6 qui est un 4 pi fourni par IBM.

Cependant, les principaux contrats d'étude d'Autonetics méritent un traitement à part.

### Calculateurs du Minuteman

Le Minuteman était le premier missile balistique à poudre, et capable malgré ce handicap d'atteindre les bases de missiles soviétiques de Sibérie. Sa taille réduite et l'absence de propergols liquide permettaient une installation permanente en silos, notamment au Dakota. Autonetics a fourni les différentes versions du calculateur de guidage.

**D17** (1962) est le calculateur du Minuteman 133 A, en forme de cylindre avec 89 circuits enfichables de 4 x 8 " (101,6 x 203 mm) disposés radialement en deux étages, et pesant 27,7 Kg. Le cœur du calculateur, qui travaille à 345,6 KHz, est un disque magnétique de diamètre 5 " (127 mm) organisé en 2985 mots dont 2727 \* 24 bits constituent la mémoire, le reste étant des registres.

**D17B** (1963) pèse le même poids et occupe 45 litres, consommant 350 watts pour 15000 composants discrets. La mémoire est toujours un disque, flexible, avec la même capacité mais dont les mots seraient de 37 bits (chiffre surprenant). Le fonctionnement est série, avec un répertoire assez pauvre qui exécute l'addition en 78 µs et la multiplication en 1017 µs. Voir photographie dans la fiche D37B.

**D37B** (1963) est une considérable amélioration due à l'apparition de circuits (légèrement) intégrés, qui équipe les Minuteman 133B, cad les Minuteman I à partir du Wing 6. Voir fiche.

**D37D** (1967) du Minuteman III est construit en circuits intégrés bipolaires autour d'une mémoire à disque comprenant 13768 mots de 24 bits. Le volume est réduit à 17 litres, le poids à 19 Kg, la consommation se maintenant à 380 watts. Les performances n'ont pas été améliorées, car elles étaient suffisantes, et l'addition dure toujours 78 µs. L'essentiel des augmentations de programme consiste en raffinement des contrôles qui

maintiennent le missile en état au sein de son silo.

En 1974, il semblait probable que l'armée de l'air veuille renouveler les calculateurs des Minuteman pour en augmenter la fiabilité. Autonetics entreprit la construction de ABC, un prototype de démonstration (fiche) auquel on n'avait rien à reprocher, sinon qu'Autonetics n'était plus le constructeur préféré de l'USAF : il n'y eut pas de suite.

#### Autres calculateurs spatiaux

Autonetics ne cessait de mettre au point de nouveaux prototypes, en vue de disposer de matériels aptes à toutes les missions qui pouvaient se présenter pour la Défense ou l'espace. Et par exemple:

Le premier produit Autonetics est un DDA étudié en 1956 comme calculateur de pilotage pour le X10, maquette volante du missile Navajo. Ce DDA de 93 intégrateurs, construit autour d'un tambour magnétique, occupait 85 litres, pesait 65 Kg et consommait 100 watts seulement (fiche).

**MINIVER** (fiche) est un successeur miniaturisé du très réussi VERDAN.

**AN/MJQ 1** est un calculateur pour le missile balistique expérimental Redstone. Aucun renseignement.

**MEM-BRAIN** est une mémoire à disques magnétiques à caractéristiques militaires, d'une capacité de 2 Gbits environ, tenant dans un volume de 355 litres et pesant 180 Kg. Ce tour de force a été une réussite technique, mais il ne semble pas qu'on lui ait trouvé une application.

**D57** est un calculateur pour applications non embarquées, donc posant moins de problèmes d'environnement. Il est donc plus encombrant (85 litres), plus lourd (63,5 Kg), et plus gourmand (1100 watts), mais aussi plus puissant : 16 à 32 Kmots de 24 bits, cycle 4  $\mu$ s, synchronisation 1 MHz, 18 canaux d'entrée/sortie dont 15 simultanés, avec extension possible à 48.

Technologie à micromodules.

**D200** (fiche) est un modèle d'étude de la technologie MOS/LSI, réalisé sur le thème d'un calculateur de navigation. Sa réussite suscitera quatre ou cinq variantes remarquables pour leur faible encombrement et leur peu de consommation. Voir 249-877/89, richement illustré.

**D216** est une extension de cette étude, utilisant des PMOS nettement améliorés, et orientée vers des mémoires magnétiques à fils dont on attend une réduction de volume et un moindre prix par rapport aux tores. Puisque la mémoire était l'objet de l'essai, il a semblé utile de réaliser non seulement un D216, mais encore un D224 et un D232.

Cependant, la faisabilité étant démontrée, c'est le 216 qui sera développé en un DI216 de 1972, puis un DM216 de 1973, dernier produit militaire de Autonetics.

#### Calculateurs civils

La variété des activités de Autonetics autour des MOS à usage militaire et de leur intégration fit progressivement de cette société un spécialiste reconnu des circuits intégrés, et c'est ainsi qu'une compagnie japonaise, Busicom, eut l'idée vers 1970 de lui proposer un contrat intéressant mais risqué : étudier puis réaliser avec un calendrier contraignant un jeu de circuits MOS/MSI pour une calculette. En cas de succès, il fallait produire 600000 jeux de composants pour une date fixée ; en cas d'échec de l'étude ou de dépassement de délai, il n'y avait aucune rémunération.

L'opération fut un succès, et elle est à l'origine du microprocesseur PPS 4, produit aux USA par Autonetics devenu Rockwell en 1973.

### 104 - Les périphériques de Ball

La société Ball, réalisatrice de mécanique de précision, a créé vers 1975 une division de produits informatiques, en vue de prendre sa part du gâteau des compatibles IBM. Son choix a porté sur les disques, qui sont effectivement de la mécanique de précision.

On connaît deux modèles de cette production, qui semble avoir été entreprise trop tard, dans un marché saturé et secoué par les procès faits à IBM :

BD 80 est un tourne-disque en tiroirs, dans la ligne du 3330. Les disques comportent 5 surfaces utiles, 815 pistes par face, 370 tpi, 20160 bits par piste, soit 82,1 MB avec un débit de 1,2 MB/s.

BD 50 est le même matériel, avec une moindre densité, qui autorise une capacité de 50 MB et un débit de 806 MB/s.

### 105 - Bailey Meters Company

Spécialiste des instruments de mesure pour entreprises d'électricité et de chimie, cette compagnie devait naturellement se tourner vers l'électronique dès que celle-ci eut atteint un niveau suffisant de fiabilité, et elle le fit avec des ambitions plus hautes : contrôler et, là où c'était possible, commander tout le déroulement

du processus industriel avec recours à l'ingénieur dans deux cas :

- modification des paramètres d'un processus se déroulant normalement
- intervention et décision lors des incidents, après que le processeur a pris, de lui-même, toutes les mesures de sécurité prévues.

Ces matériels nous sont peu connus, l'exposé de leurs caractéristiques sera bref :

BM 750 ( 6 / 60 ) : machine à mots de 25 bits, prix \$ 110000. 37 installées aux USA et 15 à l'étranger.

BM 755 ( 11 / 61 ) : modernisation du précédent, prix 80 à 330 K\$ : 7 installés aux USA.

BM 756 ( 2 / 65 ) : modernisation technologique du précédent, prix 90 à 150 K\$ : 15 installés aux USA et 12 à l'étranger. Toujours 25 bits.

BM 855 / 25 ( 4 / 68 ) : révision complète du calculateur de process dont on ne garde que la longueur de mot, 25 bits + parité. Mémoire 4 à 32 K, cycle 2  $\mu$ s, relocation dynamique.

31 canaux d'entrée / sortie totalisant 250000 mots / s, dont un maximum de 12 peuvent être des DMA qui doublent le débit.

Pour la première fois, on parle logiciel : outre l'assembleur, BM offre un Fortran et un interpréteur de tables de décision, ainsi que des auto-diagnostics.

Prix : 100 à 400 K\$. 16 vendus aux USA.

BM 855 / 50 ( 3 / 72 ) : modernisation technologique du précédent, à base de circuits MSI. Mémoire 1  $\mu$ s ou 750 ns, répertoire de 75 opérations.

L'architecture inspirée par le H800 de Honeywell offre une simultanéité par partage du temps en 8 slots, chaque incarnation disposant de deux zones de mémoire, une en

ROM et une en RAM, avec trois index et 64 mots réservés pour des registres. On

peut ainsi travailler sur 8 process quasi indépendants, ou programmes de test et

mise au point, chacun disposant d'une console conversationnelle.

10 commandés, 2 en service début 72.

BM 855 / 15 ( 12 / 72 ) : complètement différent du précédent et beaucoup plus léger, c'est un 16 bits avec 2 accumulateurs et trois index. 24 à 135 K\$ .

On n'entend plus parler de Bailey après cette date, probablement parce que la société a été absorbée par une société spécialisée dans les automatismes industriels, qui pourrait être Honeywell.

## 106 - Basic Four Corporation

La machine qui donne son nom à la compagnie est un mini de gestion parmi des quantités d'autres, techniquement assez pauvre puisque son créateur la fabrique par simple assemblage, y compris l'ordinateur dont, après quelques succès, il achètera la licence à Microdata.

C'est précisément cette licence qui est à l'origine de l'évolution de l'entreprise, dont les résultats initiaux ( 35 machines vendues la première année ) s'arrangeaient d'une production artisanale. Quand le créateur du produit vint solliciter les banques au sujet de cette licence, celles-ci lui proposèrent de s'adosser à une entreprise de services et conseil, mieux établie, Management Assistance Inc , qui possédait déjà deux filiales: Sorbus, s'occupant de maintenance, et Wordstream, traitement de texte. L'absorption eut lieu en 1974 et pendant quelques années le développement de MAI / Basic Four, avec le nom initial en exergue, fut assez brillant : on parle de 4000 machines placées, dont 1750 en Europe.

Pendant toute cette période, le nom de Basic Four reste associé à celui de MAI dans la publicité. Mais, vers 1980, il devient évident qu'un micro-calculateur 8 bits n'est plus à la hauteur des besoins de la gamme, et l'étude d'un nouveau modèle, utilisant l'architecture extensible de l'AMD 2901, est entreprise. Il semble que les frais de cette modernisation aient mis la compagnie au bord de la faillite en 1984, et quand elle sortit de l'épreuve, le nom de Basic Four avait disparu définitivement.

Année	CA M\$	Bénéfices M\$	Effectifs	Croissance %
1975	95			
1976	123			29,4
1977	155	18	3500	26,0
1978	205	16	4000	32,2
1979	283	17	5000	38,0
1980	310	13,3	5300	9,5
1981	349	7	5600	12,6
1982	354	-	5800	1,4
1983	388	1	6049	9,6
1985	252,8	8,2	2722	

Les chiffres qui précèdent sont donnés, dans les statistiques de Datamation, pour une société MAI à 100 % informatique. On doit donc considérer qu'il s'agit du seul Basic Four, ce que suggère d'ailleurs le bénéfice de l'année 1983. MAI, qui reste solide, le doit essentiellement à Sorbus, qui à cette époque possède quelque 25000 clients ; quant à Wordstream, il a du être fusionné avec l'ex Basic Four dans une entité informatique qui ne cherche plus qu'à survivre.

Du point de vue classement, les fiches se trouvent dans la chemise B1 pour les machines produites jusqu'en 1980, qui s'affichaient comme Basic Four ; les autres figurent dans la chemise M1. Comme ce second groupe comprend beaucoup de machines trop mal documentées pour être fichées, on trouvera ci-dessous un panorama de cette période.

MAI 1340 est la dernière version MAI de l'unité centrale produite sous licence Microdata 1600, qui en diffère par une mémoire à semi conducteurs.

S10 est le bas de gamme de la famille annoncée en 1982 (fiche) : il utilise des microprocesseurs Z80.

S310 emploie l'unité centrale MAI 1340 dans un mono-poste de gestion qui peut gérer jusqu'à 120 MB de disques et une bande de sauvegarde.

S710 utilise le même CPU pour un multiposte (théoriquement jusqu'à 32 terminaux) disposant de 600 MB de disques.

S810 est construite selon la nouvelle architecture 32 bits, utilisant les processeurs en tranches AMD 2901 et des micro-instructions de 64 bits, avec un micro-cycle de 160 ns. On élabore ainsi une architecture complexe, acceptant des instructions de 8 à 80 bits, avec un adressage direct de 16 MB et une mémoire virtuelle de 1 GB. Physiquement, 2 à 4 processeurs sont réunis sur le bus 32 bits capable de 53,36 Mbits/s, dont un pour gérer les liaisons externes sur 16 bits.

Prix typique : 117679 \$ pour 1,5 MB de mémoire, un disque de 57 MB, une bande de sauvegarde, un écran et une imprimante 150 lpm.

MAI 8000 (1983) installe définitivement la nouvelle gamme 32 bits, proposée en trois modèles : un 8010 monoprocésseur, un 8020 bi-procésseur, un 8030 tri-procésseur, avec des prix américains entre 45 et 400 K\$. Le logiciel, écrit en Pascal, est baptisé Boss / VS 8.2B.

Prix typiques en France: 450 KFF pour un 8010 de 1 MB, avec 4 écrans, ME 150, et 135 MB de disques ; 1,6 MFF pour un 8030 de 2 MB, avec 16 écrans, 2 disques de 300 MB, et une IP 300.

Comme indiqué plus haut, ce renouvellement complet des techniques, représentant un gros effort de développement et de pédagogie des clients, met la société au bord de la faillite en 1984. Pendant cette période, on soutient plus ou moins efficacement la confiance des distributeurs en important des PC à bas prix, qui sont vendus comme terminaux pour les machines existantes:

DS 500 (1985) est ainsi un PC / XT produit à Taïwan, mémoire 256 KB, fonctionne sous MS/DOS.

MAI 1000 (1985) est un PC / XT de Seiko Japon, également sous MS/DOS.

MAI 2000 (1985) est une expérience de nouvelle gamme essayant d'exploiter les engouements du moment : processeur 68010, système BOSS / IX inspiré d'Unix. Jusqu'à 14 terminaux directs, plus à travers un réseau. Prix 16500 à 77000 \$.

Le vrai problème est que MAI, la société mère, qui vit fort bien, ne veut plus de sa filiale MAI-Basic Four et cherche un acheteur. Elle le trouve dans un nommé Bennett S. LeBow, qui va s'installer à Tustin, Cal, et relance la société qui n'a pratiquement rien fait en 1984. Comme les produits étaient bons, le dommage n'est pas trop grave, et l'année 1985 est acceptable.

En 1986, on peut considérer que MAI-Basic Four est réorganisée. Elle garde son nom bien qu'elle n'ait plus aucune relation avec MAI, elle dispose d'un parc de quelque 30000 machines, et elle va exploiter un peu plus méthodiquement les voies expérimentées pendant la période de transition :

MAI 1500 annoncé en 1986, livré en 1987, est un PC / AT à base de 286 à 8 MHz, fourni avec deux systèmes d'exploitation, MS/DOS et BOSS. Prix typique : 90 KFF avec 640 KB de mémoire, 40 MB de disque, floppy 1,2 MB, et 2 postes.

MPX 7000 (fiche) est une nouvelle esthétique des précédents 8000, en attendant le successeur ...

MPX 9000 reprend l'idée des processeurs en tranche avec des processeurs à base de AMD 29203, une mémoire de 16 MB, 16 disques, 2 bandes, et 4 DMA utilisant chacun un microprocesseur 8 bits. La performance est de l'ordre de 4 Mips avec le logiciel BOSS / VS, multitâches à mémoire virtuelle.

La gamme comprend deux sous-familles, 9000 et 9500. Les 9000 sont caractérisés par l'existence des DMA et une philosophie de commutation par empilage de contexte. Ils sont proposés en deux tailles : 9110 avec 4 MB de mémoire, 3,6 GB de disques, 68 terminaux ;  
- bi-procésseur avec 12 MB de disques et 116 terminaux.

Les 9500 disposent en outre d'un cache et peuvent exploiter 4 à 12 MB de mémoire. Ils sont proposés en trois tailles : 9510 mono-processeur, 4,8 GB de disques, 84 terminaux ; - bi-processeur, 132 terminaux ; 9130 tri-processeur, jusqu'à 24 MB de mémoire, 255 terminaux possibles.

MAI 3000 (1987) reprend de façon plus réfléchie le concept introduit avec les 2000, autour d'un 68020 à 16,7 MHz sous BOSS/IX. Mémoire 6 MB, cartouche de sauvegarde 45 MB, disques de 44, 71 ou 120 MB, et jusqu'à 34 terminaux. On propose des kits de conversion 2000/3000.

MAI 4000 (1989) est l'extension finale de ce concept, toujours avec 68020, 8 (4) 16 MB de mémoire, 320MB à 1,1 GB de disques, et jusqu'à 74 terminaux dont au plus 38 actifs simultanément. Réseau Magnét.

La compagnie disparaît après cette date, probablement parce que sa composante la plus bénéficiaire, Sorbus, a été rachetée. Cela coïncide aussi avec le sur-classement des 68000 de Motorola par des RISC chez les principaux constructeurs de multipostes de gestion.

## 107 - Beckman 816

La société Beckman Instrument était initialement vouée plutôt aux équipements de mesure pour processus industriels, et c'est sa première réalisation, le 420, qui détonait par rapport à ses habitudes.

Le 816 est un retour aux sources, d'ailleurs peu clair : mémoire 2 ou 4 K mots de 16 bits, cycle 2,8  $\mu$ s ; UAL minimale réduite à CO, registre d'adresse, accu, un index, un tampon. Un seul bus d'entrées / sorties pour machine à écrire de service, lecteur de bandes perforées, bande magnétique, imprimante. Prix \$ 8800 à la hauteur d'un service forcément léger et mal défini.

La documentation ne fait aucune allusion au logiciel, soulignant qu'il n'y a rien d'autre à faire que on / off et un choix de modes; c'est en effet l'exploitation normale, mais il faut bien écrire les programmes, et on aimerait aussi savoir comment le CPU agit sur le processus.

## 108 - Bell Telephone Laboratories

Le plus gros organisme de recherche du monde, englobant plus de 8000 personnes à son heure de gloire, est installé à Murray Hill, New Jersey. C'est une filiale de l'ATT, et de ce fait vouée d'abord à l'amélioration du téléphone. Mais la direction est libre de ses choix quant aux sujets traités et aux moyens mis en oeuvre, et se penche donc sur tous les problèmes de matériaux, d'équipements et de procédures qui se manifestent dans la téléphonie, et sur toutes les idées nouvelles en ces matières qui pourraient améliorer le fonctionnement du téléphone ou abaisser ses coûts. Dans les limites des crédits alloués, chaque groupe de recherche peut s'équiper par achat ou bricolage, mais ne doit entreprendre aucune fabrication en série, même petite : toute invention reconnue comme réussie par les comités maison pourra faire, après dépôt de brevet, l'objet de fabrication effective par la Western Electric.

Ces laboratoires publient, à raison de dix numéros par an, une revue technique de haut niveau, le Bell System Technical Journal, où sont décrits tous les résultats obtenus par l'entreprise. Etre publié dans le BSTJ est indispensable à une carrière d'ingénieur de recherche aux Bell Labs, mais il n'y a pas d'articles invités. Cette revue est accessible par abonnement au monde entier et, en conséquence, on ne publie pas avant d'avoir breveté son travail : nous y avons trouvé tous les détails des nouveaux centraux téléphoniques informatisés.

On doit aux Bell Labs l'invention essentielle du transistor, et celle, psychologiquement très dynamisante, du calculateur scientifique à relais. A côté de ces deux là, l'invention du relais ferreed, celle du twistor et quelques autres, ne sont que pacotilles. On liste ci-après quelques réalisations trop imparfaitement documentées pour mériter une fiche:

**Calculateur Mk I** : un beau jour de 1938, Georges R. STIBITZ, mathématicien aux Bell Labs, lassé d'effectuer manuellement des calculs électriques en nombres complexes, propose de construire à cet effet un calculateur à relais. Aidé d'un technicien, Sam Williams, il achèvera sa machine à 450 relais pour \$ 20000 et sera considéré comme un peu trop dépensier, bien qu'il ait conçu un système d'exploitation à trois postes qui permettait de lui assurer le plein emploi.

En 1940, Stibitz fera même une démonstration de téléprocessing : depuis une console du Dartmouth College à Hanover, NH, il lancera un calcul sur le Mk I et en recevra la réponse.

La calculatrice Mk I fonctionnera de 1940 à 1949 et rendra de tels services que pendant toute la guerre, Stibitz restera occupé à construire d'autres machines de ce genre pour le compte du gouvernement.

Voir fiche.

**Calculateur Mk II** : construite en 1943 pour le National Defense Research Council, cette machine destinée à la confection de tables de tir sera donnée à la fin de la guerre au Naval Research Labo de Washington.

Elle utilise 440 relais en deux racks pour construire 7 registres, une mémoire de 5 nombres et un répertoire de 31 opérations; elle fonctionne en code biquinaire avec une précision de 5 chiffres décimaux, effectuant la soustraction en complément à 10 et la multiplication sous-programmée par additions successives.

Programmation externe par bande perforée à partir d'un poste de travail comprenant un télétype avec lecteur et perforateur de bande, connecté à la machine par deux registres tampons d'entrée et de sortie.

**Calculateur Mk III** : construite par Stibitz pour le National Defense Research Council, cette machine était destinée comme la précédente aux calculs de tables de tir, et on la connaissait sous le nom de Ballistic Computer, mais elle était nettement perfectionnée. Elle fut d'abord installée à Camp Davis, NC, puis transportée en 1949 à Fort Bliss, Texas, après une amélioration.

La Mk III utilise 1400 relais pour construire 10 registres de 6 chiffres biquinaires et un multiplieur, avec un interpolateur à deux entrées, occupant ainsi 5 racks. La révision de 1949 portera sa mémoire à 14 registres. 7 postes télétypes permettaient non seulement de préparer des problèmes pendant qu'un autre était en cours de résolution, mais aussi d'exploiter des séquences de sous-programmes sur bandes en boucle.

Il est particulièrement intéressant de suivre le fonctionnement du multiplieur, qui comprend trois registres de 7 chiffres en arithmétique à chiffres signés : A pour le produit partiel sans retenue, B pour les retenues, C pour l'accumulation. Trois bus transportent les opérandes depuis ou vers les registres : M pour le multiplicande, R pour le multiplicateur, C pour le résultat. Le calcul se fait de gauche à droite sur les chiffres du multiplicateur. Pour chaque chiffre,  $A + B > C$ , puis  $A + B > D$ ,  $C > A$ ,  $D > B$ , la somme va dans C, les décalages s'effectuant à l'occasion des transferts.

La division est sous-programmée par tentatives de soustraction, en essayant d'abord 5d puis, en cas d'échec, 4d ou 6d, puis 3d ou 7d, puis 2d ou 8d, puis d ou 9d, selon le signe de la différence constatée.

**Calculateur Mk IV** : copie du Mk III réalisée en 1945 par Stibitz pour le Naval Research Laboratory, elle comprend 1425 relais et consomme 3 Kw. Elle comprend comme la Mk III 10 registres biquinaires à 6 chiffres et travaille sur des entiers, avec une virgule implicite déplaçable. Performance: addition en 2,4 secondes, multiplication en 2,6 secondes, division en 4 à 10 secondes, rupture de séquence en 400 ms ; la trigonométrie est sous-programmée de -90 à + 360°.

Les instructions comprennent un code à 2 chiffres, et une ou deux adresses, lues sur le lecteur de bande à raison de 2 chiffres par seconde; d'autres télétypes reçoivent des bandes en boucle pour les sous-programmes; d'autres encore contiennent des données organisées en tables et peuvent reculer sur ordre du programme pour positionner la bande à l'origine de la table. La machine est lente certes, mais pratiquement elle fonctionne en continu et sans surveillance avec une fiabilité excellente : la disponibilité atteint 87%.

**Calculateur Mk V** : sommet de l'art de Stibitz, cette machine à 5000 relais a été construite en deux exemplaires pour le National Advisory Committee for Aeronautics (NACA) et pour le Ballistic Research Laboratory. Ces machines sont installées respectivement à Langley Field, Va, et à Aberdeen, Md. Elles comprennent une unité de calcul en virgule flottante cablée avec 4 opérations, racine carrée, trigonométrie, logarithme, et quatre postes de travail, en tout 55 télétypes. Voir fiche.

**Calculateur Mk VI** : la guerre terminée, Murray Hill fait construire son propre calculateur, le Network Problem Computer, soit une moitié de Mk V avec 2 postes de travail et 16 télétypes. Le bloc de calcul est allégé des routines de trigonométrie et de logarithme, car près de 200 sous-programmes sont désormais cablés dans une sorte de mémoire morte à transformateurs. Installée en 1949, elle travaillera jusque vers 1960.

Les calculateurs ne sont d'ailleurs pas la seule participation des Bell Labs à l'effort de guerre : on note que les Bell Labs ont réalisé en 1945 un radar de veille mobile (AN/CPS 5), et en 1957 encore un système d'atterrissage automatique à deux radars bande K et un data link (AN/GSN 5). Mais ce n'est pas le travail normal d'un tel laboratoire, qui cessera après cela de répondre aux appels d'offre du DOD.

Après l'épopée des calculateurs, c'est l'invention du transistor par Shockley et consorts. Les Bell Labs obtiendront un premier contrat gouvernemental pour étudier la possibilité d'utiliser cette technologie dans un ordinateur (Etude TRADIC), puis un second de l'USAF pour essayer de concrétiser ces idées dans une machine aux normes militaires (LEPRECHAUN). Cependant, les Bell Labs prendront conscience que ce type d'études n'est pas réellement leur vocation, et que de toutes façons la relève est très largement assurée.

Commence alors une longue période d'études consacrées aux applications de l'ordinateur dans la téléphonie commutée. A la recherche d'une mémoire permanente pour la programmation de ses centraux, et de solutions très fiables pour la commutation, les Bell Labs inventeront :

- le **twistor**, moyen de stockage permanent sur fil magnétique tordu. In BSTJ, Vol XXXVI, N° 6, 11 / 57,

pp 1319/1340 : a new storage element suitable for large-sized memory arrays - the twistor,  
par A. H. Bobeck .

- le **ferreed**, un relais sous vide à faible temps de réponse. In BSTJ, Vol XXXIX, N° 1, 1 / 60, pp 1 / 30,  
Feiner (A.), Lovell (C. A.), Lowry (T. N.), Ridinger (P. G.) : the Ferreed - a new switching device  
qui seront utilisés dans des réalisations industrielles, et une foule d'autres idées de moindres débouchés dont  
beaucoup seront reprises par divers constructeurs:

- la mémoire à bulles
- une mémoire à tores multitrans - Voir Electronics 29/7/60 p 94 (Référence 223-26)  
TAIEE, 1/60, N° 46, p 763  
PIRE 3/57, p 1081  
Eastern JCC 12/56, p 101
- une mémoire flying spot - Voir BSTJ 9/58 p 1161 et 3/59 pp 365, 403, 425, 445
- une mémoire à capacités - Voir TIRE, EC 10, 9/61, pp 446/51
- etc..

Après l'expérimentation de l'**ESSEX** et de la mémoire DIAD à tambour magnétique, c'est la réalisation de  
l'**ESS 1**, premier central téléphonique piloté par ordinateur dont la descendance (ESS 1A, 3, 4, 5) va équiper  
les centraux de l'ATT pendant 40 années. Le calculateur **SPC 1** en sera le coeur, et on le trouve aussi dans  
diverses réalisations annexes comme **TSPS 1** (système semi automatique de gestion des cabines publiques) et  
**ESS 1 ADF**. Un bilan présenté en 259-545/52 fait état de 250 systèmes installés en fin 1972, servant 4  
millions de lignes.

C'est aussi l'étude de l'**ESS 101**, un central d'entreprise offrant des services perfectionnés comme les  
conférences. L'étude de marché semblait indiquer que le commutateur était trop coûteux pour être installé  
ailleurs que dans un central, mais les progrès techniques balayeront l'ESS 101 au profit de PABX logés chez  
les clients, et parfaitement rentables.

Tous ces travaux nous sont accessibles en détails à travers des numéros spéciaux des BSTJ, inclus dans la  
documentation.

Les travaux ne se sont pas arrêtés avec notre abonnement au BSTJ, mais nous sommes moins bien  
documentés. Les études suivantes ont encore concerné ce domaine :

**ESS 1A** (1976) reprend les concepts de l'ESS1 avec une technologie améliorée, et contient environ  
50000 portes logiques. On y trouve, attachés au bus :

- la program store PS, avec 2 bits de parité. Elle n'est pas entièrement dupliquée, mais ce qui ne l'est pas  
peut être rechargé depuis les disques, et toutes les données transitoires sont garanties par duplication.
- la control store, elle aussi à 2 bits de parité.
- le processeur, doublé avec 16 points de comparaison entre les deux copies, portant sur des mots de 24  
bits. Quatre de ces points sont vérifiés à chaque cycle.

**ESS 4** (1972) est le premier central téléphonique pour les communications à grande distance, installé à

Chicago en 1976. Techniquement, la version de série est gérée par un calculateur de type 1A. Son  
principal intérêt est d'utiliser une commutation "solid state", à base de crossbar 256 \* 256 fils, exploité en  
temps partagé pour répartir 128 voies duplex.

Le central est prévu pour 107000 voies, et prend en compte 350000 appels par heure.

**ESS 3A** (1975) est un standard téléphonique à haute sécurité, dont le modèle minimum n'utilise que  
16500 portes. Les garants de cette sécurité sont :

- le doublement du CPU et de sa mémoire, le CPU actif écrivant dans les deux mémoires. On conserve la  
possibilité de comparer les deux ALU, mais c'est une procédure de maintenance, non le fonctionnement  
standard.

- la microstore utilise un code m-of-2m en plus d'une parité, et les décodeurs sont autovérificateurs.
- les chemins de données et tous les registres contiennent deux bits de parité.
- l'exécution est en permanence surveillée par des "chiens de garde".

Cette conception de la fiabilité coûte 25% de circuits en plus du strict besoin logique, avec encore 14% de  
plus ne servant qu'à la maintenance.

**ESS 5** (1982) est un nouveau central téléphonique à commande numérique qui doit remplacer les ESS

1A. Il est basé sur un processeur de gestion 32 bits baptisé 3B20, qui est un dérivé du Bellmac 32. La  
mémoire comprend 6 ou 7 MB de mots 32 bits contrôlés par SECDED, où se trouve le logiciel DMERT,  
Duplex MultiEnvironment Real Time. qui assure les comptages et la facturation.

Ce calculateur est relié par fibres optiques à 32 MB/s à un maximum de 30 interfaces à base de 8086 à  
mémoire 2 MB, contenant le logiciel OSDS, OS for Distributed Processing, qui gère jusqu'à 4096 lignes  
clients ou 512 "trunks" (interstandard).

La commutation est assurée par des circuits intégrés à base de diodes que l'on sélectionne en les polarisant par un signal "porte".

32 microprocesseurs MOS spécialisés, chacun 45000 transistors et 1 Mips, assurent le traitement du signal sur les lignes actives, par exemple la détection des numéros, codés par modulation de fréquence.

2 IOP gèrent les disques qui sont accessibles par les deux CPU, et dotés de correction d'erreurs.

Un canal de maintenance gère les messages et les autotests du CPU de réserve, les chiens de garde, le moniteur d'intégrité et le logiciel d'audit permanent.

En tout, 30% du matériel est consacré à l'autosurveillance et aux diagnostics.

La programmation de ces divers équipements a conduit les Bell Labs à s'intéresser aux traducteurs de langages, et à tous les problèmes qui agitaient l'informatique contemporaine. La solution retenue, après divers essais plus modestes, est un Macro-générateur modestement baptisé assembleur, le SWAP pour Switching Assembly Program. Voir 255-1/8E .

Ils se sont également impliqués fortement dans la réflexion sur l'exploitation en temps partagé, et ont affecté plusieurs ingénieurs au projet Multics de l'ARPA, et à l'écriture de son compilateur PL/I.

Les Bell Labs paraissent responsables de la mise au point de tous les types de modems utilisés après la guerre, cad des appareils à travers lesquels la sortie numérique des ordinateurs s'adapte au téléphone, moyen de communication analogique. C'était d'ailleurs inévitable puisque, ayant le monopole de ces communications, la maison mère ATT pouvait imposer sa norme et s'appuyait nécessairement, pour la définir, sur son organisme de recherche. Tous ces appareils, baptisés Dataphone, étaient ensuite construits en masse par Western Electric. On peut citer (liste non exhaustive) :

Dataphone 101A (1961), modem 75 bauds pour TTY du réseau Telex (Mles 15, 19, 28, 32).

Dataphone 101 C (1961), modem 110 bauds pour TTY des modèles 33 et 35

Dataphone 202 (1960), modem asynchrone fonctionnant en FSK : le 202C fonctionne à 1200 bauds, le 202D pour lignes louées à 1800 bauds.

Dataphone 201 (1961), fonctionnant en modulation tétraphasée sur 2000 bauds pour le réseau commuté (201A) , ou en 2400 bauds sur lignes louées (201B). Il y en aura quelque 10000 en service en 1970.

Dataphone 402A (1961) est un appareil spécialisé pour liaisons à 20 car/s entre lecteur et perforateur de cartes, ou lecteur et perforatrice de bandes. La modulation, qui est en même temps un codage, se compose de deux fréquences simultanées prises parmi un choix de 16.

Dataphone 301B (1965) est un modem 40800 bauds fonctionnant en modulation tétraphasée.

Dataphone 103 (1969) est un modem asynchrone 300 bauds, proposé en deux versions : A pour le réseau commuté, F pour les lignes louées.

Dataphone 203 (1969) est une modulation beaucoup plus élaborée, dite MLVSB, soit MultiLevel pulse amplitude modulation with Vestigial Sideband Spectrum. Expérimenté depuis 1965, il a été essayé à l'échelle nationale à partir de 1966 en 5 versions : A pour 4800 bauds sur ligne louée 4 fils ; B pour 3600 bauds pour toutes lignes 2 ou 4 fils, englobe un canal auxiliaire simultané de 150 bauds ; C 4800 bauds commuté en 2 ou 4 fils ; D 6400 bauds en 4 fils ; E 7200 bauds en 4 fils. Tous ces modems comportent des dispositions nouvelles telles que le choix manuel du débit pour s'adapter à la qualité de la ligne, le contrôle de qualité à distance, un égaliseur incorporé. Les lignes 4 fils permettent le full duplex, les lignes 2 fils travaillent en alternat.

Dataphone 305 est utilisé en 1971 comme intermédiaire entre un picturephone et un ordinateur. Sa mission est semble t'il de convertir les signaux des boutons du clavier Touch-Tone associé en signaux compréhensibles par un calculateur et, en sens inverse, de servir de contrôleur video pour l'écran du Picturephone.

De la même époque (1960) datent les Telpak, multiplexeurs de lignes en vue de transmissions à longue distance. Il en existe quatre tailles: A 48 KHz pour groupement de 12 lignes; B 96 KHz pour groupement de 24 lignes; C 240 KHz pour groupement de 60 lignes; D 960 KHz pour groupement de 228 lignes.

Les Armées devaient également profiter de cette catégorie d'études : ce sont les Bell Labs qui ont mis au point le premier "data link" du réseau naval NTDS, l' AN / USC 2, expérimenté en 1958 sur le sous-marin Triton, généralisé à partir de 1961. On retrouve des composants Bell de ce système sur les navires (AN / SSW 1), les avions de combat (AN / ASW 13), et l'avion WV2F de l' ATDS (AN / ASW 14).

Les Bell Labs devaient naturellement travailler sur le traitement du signal, et s'intéressent donc aux concepts comme les processeurs cellulaires qui devraient permettre une "intelligence répartie" (étude SPAC) : Unger, inventeur du concept, travaillait chez Bell à Whippany. Voir 222-28 et 29 .

Plus concrètement, ils en viendront à s'impliquer dans des travaux d'acoustique sur les sonars de la Navy (processeur SDP). Article et photo dans TIEEE, C31, 1 / 82, p 16.

En 1978, on trouve trace d'une puce de 65 mm<sup>2</sup>, montée en boîtier 40 broches, consommant 1,5 watt. Elle contient une mémoire de programme ROM de 1024 \* 16, une mémoire de données RAM 128 \* 20, un opérateur MAC travaillant en 800 ns, bref un véritable DSP avant la lettre. Programmé en assembleur, il est capable de jouer le rôle d'un filtre du 2ème ordre jusqu'à 39 sections et 8 KHz. Plus tard, on trouvera donc des DSP dans l'héritage de l'ATT remodelée.

Les Bell Labs s'intéressent aussi beaucoup aux ordinateurs, en tant qu'outils comme l'avait fait Stibitz, et ils ont créé très tôt leur propre centre de calcul, dont le Mk VI n'était que le prélude.

A cet effet, ils se sont très tôt équipés de calculateurs scientifiques IBM et ont apporté une importante contribution à l'écriture des premiers logiciels généraux, assembleurs et interpréteurs. Ensuite, la compétence mathématique de nombreux ingénieurs a donné lieu à des travaux sophistiqués. Par exemple, on trouve dans le BSTJ deux articles sur ALPAK, un ensemble de routines pour 7090 qui permettent les manipulations de polynômes et de fractions rationnelles. Voir articles BSTJ 9/63 p 2081 et 3/64 p 785.

En 1965, ces routines ont été incorporées au compilateur Fortran du moment, qui devient ALTRAN. Voir à ce sujet les microfilms CACM 12/76 p 657, et SIGPLAN 9/72 p 4 et 11/78 p 60.

En 1966, ce centre (Murray Hill) consistait en une paire Multics de GE 645 avec 256 Kmots de mémoire, 4 Mmots sur tambour magnétique, 40 Mmots sur disques, 100 Mmots sur boucles de bandes, au service d'une centaine d'utilisateurs dont une part notable travaillant en temps partagé. Il exploitait les langages Fortran IV, Cobol, PL/I et Snobol, sans compter de nombreux langages ad hoc inventés pour résoudre des problèmes particuliers.

Il a également réalisé un terminal lourd à base de PDP 8E, le MBS = Multipurpose Batch Station, qui a été largement employé pour connecter des périphériques variés à des centraux HIS ou IBM, évoluant ensuite en un MINICOM chargé de collecter des données par terminaux légers (261-447/56).

Les Bell Labs ont toujours attaché une grande importance aux activités graphiques, en tant qu'auxiliaires du travail courant, et ont réalisé à cet effet des consoles graphiques de plus en plus élaborées : voir Graphic 1, dans FJCC 65 pp 839 / 46, Glance et Graphic 2 dans FJCC 67 pp 697/711, Sight en 247-499/509, B-LINE en 249-179/91).

Ils ont aussi développé des logiciels associés ; par exemple, on trouve dans les compte-rendus de l' Université d' Arizona un travail de stage exécuté à Holmdel, un établissement des Bell Labs, sur SCROLL, String & Characters Recording Oriented Logogrammatic Language, un langage pour décrire les images envoyées par ordinateur à un plotteur : il a beaucoup servi à la composition de diapositives renseignées pour exposés.

Cela n'empêchait pas les laboratoires de disposer de leurs propres machines : pour ce qui nous intéresse ici, on peut noter que les Bell Labs avaient inventé pour leur propre besoin, bien avant que cela devienne un standard, le système de réseau en anneau. Baptisé Spider (araignée), ce canal géré par un minicalcateur GTE Tempo I pouvait débiter 125000 bauds avec détection d'erreur, et gérer jusqu'à 64 calculateurs selon un protocole de transmission de petits paquets de 32 bytes.

Chacun des noeuds, ou TIU, comportait un microprocesseur expérimental doté d'un répertoire de 8 opérations, d'une mémoire de programme de 256 instructions de 16 bits, d'une mémoire de travail de 16 bytes, et de deux tampons de 256 bytes.

A l'époque (1975) de l'article de Datamation décrivant ce réseau, il desservait 11 ordinateurs :

- un PDP 11 / 20 servant de frontal à un SEL 86, richement équipé pour la recherche en audio et video.
- deux DDP 224 associés à du matériel analogique.
- un H516 gérant une boucle de terminaux locaux, pour expériences.
- un PDP 11 / 45 pour une recherche analogue.
- un H516 servant de poste de commande pour des stations de test de circuits intégrés.
- un PDP 11 / 45 gérant un système de time sharing, avec le premier système UNIX.
- un PDP 8 avec LR et IP, assurant par une ligne 50 Kbauds la liaison du réseau avec les 6070 du centre de calcul principal (ils ont remplacé les 645 initiaux) et le time sharing principal du Laboratoire.
- un PDP 11 / 45 servant une mémoire de masse.
- un PDP 11 / 45 servant une photocomposeuse et un synthétiseur de voix, ainsi qu'un traitement de texte.

Les chercheurs de Bell se proposent dès cette époque de généraliser cette philosophie de distribution des tâches, et l'on peut citer, d'après 234 - 205/9, une étude de système d'exploitation distribué, où des 68000 jouent le rôle des PDP 11 / 45 ci-dessus, et où un processeur spécial, le SSP, gère le réseau.

Bien entendu ce parc ne cessait d'évoluer. C'est là que furent créés, pour le confort personnel d'un ingénieur doué, le système d'exploitation UNIX et son langage C, dont le succès local devait déborder sur le monde entier, et qui constituèrent une part importante de l'héritage lors du démantèlement de l'empire ATT.

Les Bell Labs s'intéressent donc aux moyens d'améliorer le travail de compilation, et c'est de là que sont nés les microprocesseurs Bellmac, qui se perfectionnent au rythme des objectifs poursuivis :

- la C Machine est une étude papier préliminaire à la réalisation d'un microprocesseur qui serait équivalent à la machine abstraite du langage C. Cette étude a également intéressé le MIT. On peut considérer que le Bellmac 4 en est une concrétisation imparfaite.

- le Bellmac 8 de 1976 est étudié pour minimiser la consommation, qui ne dépasse pas 0,5 W. A cet effet, l'étude logique est assez raffinée. On trouve : une ALU 8 bits en NMOS, qui est activée par un commutateur de consommation, car elle ne travaille, statistiquement parlant, qu'un cycle sur 6 ; une AAU 16 bits en CMOS, qui calcule les adresses et travaille à tous les cycles; des pointeurs en CMOS pour les registres situés en mémoire; une PLA principale et une PLA subordonnée pour la configuration de l' ALU.

La réalisation est d'abord en géométrie 7,5  $\mu$ , réduite ensuite à 5  $\mu$ , avec une couche poly et une couche métal pour les connexions. Le délai par porte variait de 7 à 30 ns.

- le Bellmac 4 est une expérience de logique et non de technologie, car il est prévu pour une programmation dans un sous-ensemble du langage C. Il est construit autour d'un bus interne 12 bits et un bus de données 4 bits, mais son répertoire de 43 opérations peut travailler sur des nombres de 4, 8, 12 et 16 bits. Compte tenu de son objectif, il ne contient pas d'accu, mais des pointeurs vers la mémoire : 4 modes d'adressage, un direct et trois indirects, sont disponibles pour chacune des trois adresses d'une instruction, qui peuvent atteindre 4 K mots (d'où les 12 bits !). Les puces expérimentées comprenaient 1024 à 3840 nibbles de ROM, 80 à 192 nibbles de RAM.

Les entrées / sorties se composent d'une voie série avec DMA, une PLA pour les conversions des entrées 4 bits et E/S 8 bits, et une voie parallèle 16 bits.

La réalisation est un CMOS silicon gate qui matérialise des puits spécifiques p et n pour les transistors, creusés dans une couche v épitaxiale déposée sur un substrat n+ : cette disposition permet d'utiliser un masque commun pour les puits, qui reçoivent exactement le dopage nécessaire. Au total, environ 10000 transistors dans un boîtier 40 broches (dont 32 d'entrées / sorties).

La consommation ne dépasse pas 200 mW, et il existe un mode veille déclenché par l'opération HLT.

- le Bellmac 32 n'était pas encore tout à fait prêt lors de la coupure de 1983 ; il fera partie de l'héritage et passera à la Western Electric pour devenir le processeur de la gamme 3B d'ordinateurs de gestion.

L'issue du procès antitrust gouvernement contre ATT a laissé les Bell Labs dans l'ATT, laquelle est toujours responsable des téléphones à grande distance. Après cette restructuration, les Bell Labs ne sont plus directement impliqués dans l'informatique, mais ils ont toujours du travail sur les câbles sous-marins, les fibres optiques, le multiplexage de la voix et de l'image à travers ces lignes, etc...

Les Bell Labs s'occupent aussi d'intelligence artificielle, technique susceptible de déboucher dans presque toutes les industries. C'est ainsi qu'on y découvre en fin 86 un prototype de puce IA : c'est un CMOS 2,5  $\mu$ m contenant 83000 transistors, capable de 64 règles et 256 cycles par inférence, soit quelque 80000 Flips ( Fuzzy Logic inferences / second ). L'étape suivante, en CMOS 1,2  $\mu$ m, devait prendre en compte 256 règles et en traiter plusieurs à la fois grâce à une structure d'arbre. Pour autant qu'on le sache, ces études n'ont pas débouché sur des applications.

C'est sans doute à partir d'ingénieurs des Bell Labs qu'ATT se crée une division ATT Microélectronique, qui se lance en 1990 dans l'étude d'un microprocesseur puissant, 32 bits, avec une architecture de mainframe séparant I et E unit.

La I unit comprend un cache d'instructions à 32 blocs de 4 mots, alimentant sur 64 bits un décodeur qui décompose l'instruction en une série de micro-instructions, placées dans un tampon de 192 bits.

La E unit exécute dans l'ordre les micro-instructions, lesquelles comprennent une adresse next. Celle-ci supprime les branchements inconditionnels, et fournit l'adresse la plus probable d'un branchement conditionnel ; il existe une adresse alternative pour l'autre cas : en cas de mauvaise prédiction, le tampon est vidé. Ces techniques sont à la même époque en voie de se généraliser dans les processeurs pour PC.

L'étude CRISP débouche en 1992 sur le microprocesseur HOBBIT, puce 92010 destinée aux applications téléphoniques. Capable de 13,5 Mips VAX, et consommant 250 mW, cette puce contient une gestion de mémoire associative sur 32 bits, un cache d'instructions 32 \* 192 bits, une pile de 256 bytes, et une prédiction de branchement avec deux voies de décodage.

Le chipset comprend encore une puce 92011 pour gestion de système et de consommation, un contrôleur PCMCIA 92012, un contrôleur de périphériques pour bus ISA 92013, et une interface video pour LCD et CRT, 92014. On ignore l'usage qu' ATT a fait de ce jeu de circuits.

Autre production de ATT Microelectronic datant de 10 / 92, IDE est un pseudodisque construit à base de puces flash de 4 Mbits, associées dans une carte avec un contrôleur qui fonctionne selon le découpage FDA (blocs de 512 B) et au débit naturel d'un disque. Alimentation 5 Volts. Peut être fourni en cartes de 2,5 - 5 - 10 - 20 MB.

En 1996, après des années pendant lesquelles la maison mère ATT cherchait vainement comment se recycler dans l'informatique sans perdre sa compétence en téléphonie, la décision sera prise de transformer les Bell Labs en société autonome, priée de gagner de l'argent : ils deviendront Lucent Technologies.

## 109 - Bendix

**Bendix Aviation** était pendant la guerre un équipementier au service de la construction aéronautique, regroupant diverses filiales:

**Bendix Friesz**, spécialiste en météorologie, fabricant de ballons sonde et de l'électronique qu'ils emportent. Cette activité se développera de façon importante dans l'après-guerre, avec d'immenses séries de radiosondes (650000 AN / AMT 4 produites jusqu'en 1971, par exemple), des récepteurs de radiosondes (AN / FMQ 1, AN / AMR 4), des enregistreurs de radiosondes (AN / TMQ 5), des stations aérologiques pour navires (AN / SMA 4 et 5, 1952) et pour l'USAF (AN / GMH 4, 1964), et même quelques diversifications comme l'AN / BXQ 1 (téléviseur caréné à l'avant du sous-marin Seadragon, comme détecteur de glace) ou l'AN / GRN 14 (guidage de drones USD, 1963).

Elle sera le bras actif du contrat AN / AMQ 15 de Bendix Aviation (projet WS 460L, 1958) visant à explorer la météo océanique à partir d'avions Boeing KC 135.

Cette filiale est toujours en activité : en 1990, elle produit l'AN / TMQ 31, récepteur de radiosondes d'artillerie, à poursuite automatique.

**Bendix Radio**, orienté en 1944 vers le radar bande S (3 GHz) : balise AN / APN 19, GCA AN / MPN 1. Ces activités vont énormément se développer après la guerre : GCA jusqu'en 1958 (AN / FPN 21), nombreux radars de surveillance aérienne pour le SAGE (AN / FPS 20 des Texas Towers, par exemple) jusqu'en 1960, radar UHF (AN / FPS 30, 1958), équipement de l'Alaska (treize AN / FPS 93 bande L, 1979), et finalement les radars à satellites (proto AN / FPS 46, puis AN / FPS 85, 1964, voir § 118).

Il y aura aussi une grande variété de radars pour avions, navigation, surveillance ou doppler, et toute une série de participations à des études de missiles (Terrier, Talos, Regulus 1, Bomarc, Lark). Elle acceptera à plusieurs reprises des contrats "alimentaires" pour des séries de matériels éprouvés, à renouveler (par exemple les récepteurs VOR / ILS / balise AN / ARN 123 et 127, 1976, plus de 3600 chacun).

**Bendix Pacific**, produisant en 1944 un radar d'aérodrome bande S AN / CPN 18 et un altimètre radar pour bombardiers, AN / APN 42, est au départ une simple extension géographique. Elle se développera après la guerre avec quelques études de sonars pour sous-marins (AN / UQC 1, BQC 1, BQS 2) et pour hélicoptères (AN / AQS 13, 1964 et AN / AQS 18 en 1983). La production en masse de bouées sonores AN / SSQ2 assurera dix ans d'activité (1947 / 57).

Quant à la maison mère, elle avait réalisé pendant la guerre des pilotes automatiques de bombardiers, et voulait essentiellement se reconvertir dans les pilotes automatiques pour avions civils : elle équipera, entre autres, les premiers Boeing 707. Elle se lance, en 1951 sur contrat ONR, dans la construction d'un simulateur électronique de vol (analogique) dont on trouve trace dans 224-100/3, et qui sera finalement transféré en 1957 à Point Mugu, Cal.

C'est clairement cette expérience analogique qui l'amène, en 1954, à proposer un DDA à 60 intégrateurs installés autour d'un tambour magnétique (D 12), puis à créer une division spécialisée dans le calcul.

Ayant ainsi obtenu son entrée dans les bureaux d'étude, **Bendix Computer** élargit sa clientèle en édifiant, sur des principes fournis par la machine britannique ACE, le seul calculateur américain du type source / destination, le G15A. Pour capitaliser son premier succès, cette machine universelle série à tambour magnétique pouvait se voir adjoindre, sur le même tambour, un DDA à 54 intégrateurs. Très beau succès, puisque plus de 300 G15 A ou D seront vendus.

Bendix a désormais les moyens d'une ambition plus grande, et attaque, avec un gros excès d'optimisme, le marché des ordinateurs polyvalents, quoique plutôt scientifiques, déjà fortement tenu par IBM et UNIVAC. La machine G20 aura un retard important sur son annonce prématurée, du à un choix un peu léger de périphériques, et quand elle sortira en 1961 elle ne trouvera que quelques clients.

Le G20 sera ensuite impliqué dans un projet militaire sous le nom de G21 puis Bendix, lassé de perdre de l'argent, vendra en 1963 toute son informatique à Control Data, qui était en période d'expansion. Le Bendix G20 sera mollement soutenu par CDC qui finalement en placera 17, puis on ne parlera plus des ordinateurs Bendix.

Se recentrant sur sa compétence d'origine, Bendix s'intéresse alors aux applications aéronautiques de l'informatique, et reçoit notamment commande de l'Air Data Computer du chasseur/bombardier F 111 (1967). Ce calculateur ADC 1000 reçoit directement la pression statique et la pression dynamique par tuyaux, et les convertit par servos ; il reçoit aussi l'incidence, qui est mesurée par un potentiomètre ; ces trois informations devenues tensions sont explorées périodiquement par un scanner, amplifiées, confrontées à une tension de référence et codées, le tout occupant 4 cartes dans un ensemble de 14 cartes multicouches que comprend le processeur spécialisé.

La partie la plus originale est la mémoire morte de programme, à base de diodes groupées par 40 dans des flatpacks TO84, dont la programmation se fait par coupure de fusibles.

Bendix se lance alors dans l'étude de centrales à inertie : son projet BDX 900 de calculateur à mémoire 16 Kmots \* 16 bits, autocontrôlé, ne sera pas retenu, mais Bendix obtiendra un contrat de l'USAF et de la FAA pour un pilote automatique numérique qui utilisera son dérivé BDX 910 (1971).

Moyennant quoi Bendix en tire en 1972 une version civile, le BDX 9000, puisque sa clientèle est plutôt de ce côté. Cette machine prend place dans un boîtier 508 prof x 483 large x 178 mm haut, pesant 18 Kg alimentation comprise, qui contient 8 cartes 280 x 406 mm : 1 carte processeur, 4 cartes pour la mémoire 24 Kmots, et 3 cartes pour 12 canaux. Le processeur, microprogrammé 16 bits, fait l'addition en 2 µs ; la multiplication en 6 µs est optionnelle, comme l'est un opérateur spécialisé pour FFT, suggérant un emploi en traitement du signal.

Après quoi on n'entend plus parler de Bendix, sans doute absorbé par un de ses concurrents.

## 110 - Bolt, Beranek et Newman et le réseau ARPA

Fraichement sortis de Cambridge, ces jeunes gens décident de mettre au point et de commercialiser un système de temps partagé à 16 terminaux TTY33 fonctionnant sur calculateur DEC PDP1. Exploité avec le langage Telcomp, évolution du JOSS de la Rand Corporation, ce système n'avait pas de travail de fond, ce qui est surprenant au plan économique. Il était proposé au prix de 12,5 \$/h.

La jeune société ne se contente pas de ce service direct, et propose des services conversationnels à la demande. Nous apprenons ainsi, par un article dans Electronics en janvier 66, que le Massachusetts General Hospital a chargé BBN de lui construire, autour d'un PDP1D préexistant, un système conversationnel interprétatif pour déclarer les traitements et conserver les statistiques médicales, TELEMAT II : le système comprend un tambour magnétique de 128 Kmots, 2 Fastrand et deux bandes magnétiques, au service de 48 terminaux télétypes TTY 33, dont 33 postes de médecins et une douzaine pour les techniciens programmeurs.

A peu près à la même époque, BBN s'attaque au problème, plus économique que technique, de la console graphique. Son produit, le Teleputer, comprend un tube à mémoire, sur lequel on présente 20 lignes de 25 caractères de 3 \* 2,5 mm générés comme une suite de petits vecteurs (strokes), avec par conséquent un générateur de vecteurs en standard, ainsi que des clés de fonction et un modem 2400 bauds (201B de ATT) fonctionnant en full duplex ; en option, une machine à écrire et une tablette Grafacon. Prix \$ 5700 ou \$ 190 / mois. Cependant, la taille très faible de l'écran, 3,1" = 76,5 mm, rendait cette formule peu séduisante.

Le Grafacon est un autre produit BBN, dérivé de la Rand Tablet, 20,5" = 521 mm de large, définition 50 lignes par pouce, débit 4500 points/s. On voit bien que dans le Teleputer, la tablette était plus importante que l'écran.

Cet intérêt pour le graphique se maintiendra pendant les années suivantes, et on verra BBN utiliser Sutherland comme conseil et participer à l'étude, initialisée par la Shell et Sanders, d'un processeur graphique associé au SDS 940. Voir 252-209/17.

En matière de logiciel, BBN obtient également des contrats, par exemple l'étude d'un système limité de compréhension de la parole destiné aux astronautes de la NASA (44 mots ou expressions concernant le pilotage de la capsule). Voir en 249-305/18 cette étude LISPER qui fait suite à des travaux du MIT.

A défaut d'un grand succès commercial, ces premières entreprises révélant leur agilité logicielle attirèrent à BBN un contrat DARPA qui devait les impliquer pour longtemps dans la création du réseau ARPAnet de commutation par paquets. Il est probable que BBN est à l'origine du concept d'IMP (les noeuds de transmission du réseau) et il est certain qu'un des premiers IMP se trouvait chez eux.

BBN est maintenant une société solide et s'équipe d'un nouveau time-sharing, avec un des premiers PDP 10 de DEC. Toutefois la firme, avec le soutien partiel de l'ARPA, remplace le système TOPS 10 d'origine par un système de sa conception, plus simple parce qu'il a réduit les exigences de temps de réponse : le TENEX n'est pas réellement destiné au time-sharing scientifique, mais plutôt au mode transactionnel, pas encore très exigeant puisqu'il n'y a pas de grandes bases de données. Son originalité réside dans la pagination, qui donne une grande souplesse à la gestion de mémoire.

Voir en 259-23/32 ce système qui sera soutenu par DEC et récupéré par lui pour faire son TOPS 20.

En 1970 BBN reçoit un contrat du NIH pour mettre au point PROPHET, un ensemble de logiciels et de terminaux spécialisés destinés à la manipulation d'objets complexes et plus particulièrement les molécules. Ce système est en service en 1974 dans cinq centres de recherche touchant à la chimie, la pharmacie et la cristallographie. Voir quatre articles en 261-457/86.

En 1972 BBN étudie le problème du multitraitement, cad de l'exécution de calculs sur plusieurs calculateurs du réseau ARPA : c'est McROSS, MultiComputer Route Oriented Simulation System. C'est clairement de l'anticipation à cette date, mais l'ARPA estime qu'il faut y réfléchir.

En 1972 également BBN obtient un contrat d'étude pour la définition, la construction et l'expérimentation de Pluribus, un nouveau concept de noeud ultrafiable susceptible de servir de modèle pour la seconde génération d'IMP. Voir à ce sujet la rubrique 111.

Les conclusions de l'étude Pluribus ont effectivement conduit à l'installation d'IMP de deuxième génération multi-processeurs, même si les CPU n'étaient pas aussi nombreux et si leur type n'était pas le Sue. Entre temps, BBN avait en effet lancé l'étude du MBB, un émulateur universel (fiche). Ce MBB a été utilisé pour construire:

- le C/30, qui est l'IMP de deuxième génération. De 6/80 à 1989, 189 machines seront installées.
- un multiplexeur pour 64 lignes PTT, où la mémoire ne sert que de tampon. Dans cette version, tout le logiciel est microprogrammé, et il n'y a pas de macroprogramme.
- le C/70 de 1980, candidat pour une machine de travail sous UNIX connectable au réseau. L'idée est de définir une machine C, avec un répertoire principal de 40 opérations disposant chacune de 19 modes d'adressage, auxquelles il faut ajouter 44 autres opérations n'en ayant qu'une partie; le traducteur C se réduit alors à un assembleur.

Le calculateur est 20 bits, avec une mémoire de microprogrammation de 8 K\*32 dont 5K font le travail décrit ci-dessus. La mémoire principale, extensible de 32 K à 1 Mmots, est organisée en mémoire virtuelle à travers les display memories du MBB, avec huit zones de process, chacune capable de 128 segments, de taille variable 512 (512) 4K mots. Un C/70 de 256 Kmots, avec contrôleur de disque et 32 lignes asynchrones, valait \$ 47500.

Le logiciel comprenait, en plus d'UNIX qui est écrit en C et standard, des outils de développement, un traitement de texte, un logiciel d'adaptation à ARPANET, et un compilateur Fortran 77 écrit en C.

- le C/60 de 1982, dérivé du précédent pour faire une station de travail à \$ 50000, avec 256 Kmots de mémoire, 80 MB de disques, une bande compatible IBM en sauvegarde, 8 usagers. La station est extensible à 2 MB de mémoire, 600 MB de disques et 64 usagers.

Le logiciel, écrit en C, comprend UNIX V7, Fortran 77, l'éditeur d'écran PEN, un traitement de texte, et un logiciel de réseau avec notamment le courrier électronique. Il n'y a, semble-t-il, pas d'autre différence entre le C/70 et le C/60 que le passage d'un prototype à un produit commercial.

En 1985, BBN reprend la quête d'un IMP moderne avec le projet Butterfly, financé par la DARPA autour du 68000 de Motorola. Bien que l'étude soit sous-tendue par les principes logiciels de Pluribus, l'objectif réel est différent et concerne l'intelligence artificielle.

L'architecture permet 256 processeurs, le contrat DARPA en prévoit 128, avec une mémoire globale de 512 MB. Les carences structurelles du 68000 sont suppléées par un MMU qui combine l'AMD 2901 avec un circuit VLSI de commutation étudié par MOSIS, le laboratoire financé par la DARPA à l'Info Science Institute de l'Université de Californie du Sud. L'ensemble peut fonctionner soit en C soit en assembleur 68000, et se connecter à une station LISP.

A peu près au même moment, BBN étudie le TC2000 Monarch, qui concerne aussi un processeur parallèle, mais composé de 8 à 504 microprocesseurs RISC 88000 de Motorola. Il est clair, et la suite des événements le montre, que BBN espère se reconvertir dans les processeurs massivement parallèles, puisque le réseau DARPA est en passe de tomber dans le domaine public sous le nom d'Internet.

Cette tentative échouera : BBN vendra 8 machines en 1991, 4 en 1992, et zéro par la suite. D'autres concurrents (Denelcor, Kendall Square Research, Thinking Machines par exemple, dont les ventes étaient plus importantes) ont officiellement disparu, ce n'est pas le cas de BBN dont cependant on n'entendra plus guère parler.

## 111 - L'étude PLURIBUS de BBN

Présenté par Heart et al. lors de la Conférence AFIPS de 1973 (Vol 42), le projet PLURIBUS réalisé sera discuté lors de la conférence AFIPS de 1975 (Vol 44), mais nous ne disposons pas de ces documents. L'étude nous est connue par plusieurs articles des Computing Surveys citant les précédents, et particulièrement par celui de juin 78 qui en discute la fiabilité: c'est ce dernier article qui a fourni la matière de la présente rubrique.

Les bus dont il s'agit dans le nom de l'étude sont les fonds de panier de racks qui contiennent les constituants du système :

- 7 racks de processeurs, chacun contenant 2 CPU, 2 modules de 4K mots de mémoire, une alimentation, et trois coupleurs avec un arbitre de bus. Les CPU sont des Lockheed Sue, qui ne se signalent par aucune vertu particulière, et pourraient être remplacés par n'importe quelle autre machine de puissance comparable.

- 2 racks de mémoire, chacun contenant 2 modules de mémoire de 8 K mots, une alimentation, et huit coupleurs avec un arbitre de bus.

- 2 racks d'entrées/sorties, contenant ensemble 5 interfaces de communications, une interface d'interruption, une horloge, une interface de télétype, et neuf coupleurs avec un arbitre de bus. C'est pour des raisons d'encombrement que les IO sont répartis entre deux bus reliés par des cables d'extension, et dotés chacun d'une alimentation.

Les coupleurs relient chaque rack processeur aux deux racks mémoire et aux entrées/sorties, et chaque mémoire est aussi reliée aux entrées/sorties. La complexité de cette organisation est caractéristique d'une époque de la technique, de sorte qu'à l'achèvement de l'étude la solution était déjà surabondante, face à la fiabilité des circuits intégrés et à la densité très accrue des mémoires ; aussi la discussion doit elle seulement porter sur la démarche d'intégration de la fiabilité dans la combinaison matériel / logiciel.

L'objectif est d'assurer, 24 heures par jour et 365 jours par an, un débit de plusieurs Mbits/s, grâce à des redondances matérielles et à un logiciel de surveillance approprié. Ce logiciel est un programme temps réel unique, du point de vue du matériel : il est découpé en tâches indépendantes et simultanées, qui peuvent s'invoquer mutuellement mais ne communiquent que par messages laissés dans une boîte aux lettres de la mémoire partagée.

Ce logiciel est conceptuellement découpé en trois niveaux : fiabilité, commande, application. L'importance relative de ces niveaux s'exprime par la priorité des tâches qui en relèvent, mais le mécanisme d'exécution ne comporte aucune spécialisation:

- le niveau "fiabilité" garantit qu'il y a toujours suffisamment de ressources actives pour assurer les tâches du niveau supérieur.

- le niveau "commande" puise dans ces ressources actives en fonction des besoins pour qu'à chaque instant l'application reste exécutable.

Les tâches à accomplir sont placées dans une queue, que chaque processeur vient consulter dès qu'il termine sa tâche précédente. Pour alléger la charge correspondante, la queue est concrétisée par un dispositif matériel de pseudointerruption, qui l'ordonne par priorités et limite la durée d'exécution d'une tâche à 400 ms, attente maximale permise pour la tâche la plus urgente.

Au premier niveau logiciel, l'ensemble des processeurs et des mémoires est vu comme une collection de processeurs virtuels stables dotés chacun d'un contexte et gérés par deux composants logiciels, le "testeur de code" et l'"individu". Le premier surveille en permanence le code des mémoires locales et l'intégrité des mécanismes de commande et de verrouillage ; le second est chargé du dialogue avec les autres individus.

Le second niveau logiciel doit intégrer ces composants virtuels en un unique système fiable, et comprend à cet effet trois composants:

- le "consensus" surveille le dialogue entre les individus et le code des mémoires partagées, et entretient une table des ressources réellement utilisables.

- le "surveillant de fiabilité IMP" s'assure en permanence de la qualité des données opérationnelles de l'IMP, c'est-à-dire du système local considéré comme un tout.

- le "surveillant du système" observe les autres IMP du réseau et s'oppose à des relations opérationnelles avec un IMP qui ne respecterait pas des règles précises de comportement.

Le troisième niveau logiciel, qui voit l'IMP local comme un seul calculateur en bon état (mais éventuellement avec une puissance de traitement fluctuante) exécute alors sur ce support le programme normal de communication, le maillage du réseau garantissant en principe que c'est toujours possible.

Pour obtenir ce résultat, on définit des "sous-systèmes de fiabilité", ensembles de ressources (matériel, logiciel et données) dont l'intégrité est vérifiée en bloc par un mécanisme y inclus. En outre, chaque sous-système contient un mécanisme de remise à zéro, actionné de l'extérieur, qui peut le ramener à une situation de référence. L'idée est donc que l'interlocuteur d'un tel sous-système puisse n'y voir que deux états : en service (et correct) ou hors service, sans responsabilité ni moyen pour le faire passer d'un état à l'autre. Chaque sous-système est doté d'un "chien de garde" et exécute un cycle de durée plafonnée, cycle qui incorpore un autotest: si l'autotest fonctionne, et qu'aucun incident ne s'y oppose, le chien de garde est rechargé avant d'avoir atteint sa limite, et le sous-système termine son cycle en laissant dans la boîte aux lettres un message garantissant à son successeur qu'il fonctionne normalement.

Matériellement, cette disposition commence au niveau matériel par l'interruption à 60 Hz. Elle est utilisée au premier niveau logiciel pour déclencher la checksum de tout le logiciel de ce niveau et contrôler la validité des verrouillages en place (testeur de code) puis, à l'interface du deuxième niveau, pour vérifier chaque composant et lister ceux qui fonctionnent (individu).

Au deuxième niveau, le consensus effectue une checksum sur les logiciels partagés et contrôle un timer sur chaque processeur, en vue de déterminer si certains processeurs sont hors norme ou défectueux ; auquel cas il tente une réinitialisation. De la même manière au troisième niveau, si un IMP est trouvé anormal par le contrôleur de réseau il pourra en recevoir un message de réinitialisation.

Bien entendu, la démarche de suspension des sous-systèmes en erreur ne s'arrête pas à la détection de celles-ci. Par exemple, tout bus inactif est réinitialisé par son timer après 1 seconde, ce qui a notamment pour effet de supprimer toute boucle sans fin. Chaque coupleur contient un commutateur programmable, avec un mot de passe particulier, qui permet de le couper ou de le relancer. Les listes dressées par les individus sont confrontées par le consensus dans une sorte de vote majoritaire pour déterminer la vraie liste des disponibles. Toute tâche en cours dans un sous-système déclaré défectueux est considérée comme défectueuse et abandonnée, retournant donc dans la queue. Tout sous-système de fiabilité reconnu défectueux est réinitialisé, et par exemple chaque processeur peut relancer ou même recharger n'importe quel autre processeur à travers une voie matérielle protégée par un code spécifique.

A la limite, ce système pourrait être mis en défaut par une panne transitoire mais commune à tous les sous-systèmes, nommément une coupure de courant. A cet effet, le centre contrôleur de réseau est en mesure de relancer individuellement chaque IMP.

## 112 - B 40 de Braegen Corp

Il s'agit d'un ordinateur de communications, microprogrammé par la compagnie à partir d'un processeur du marché, non identifié. Mémoire 256 Kmots de 8 bits, cycle 650 ns. Liaisons externes par DMA. Vendu sous trois configurations :

- concentrateur pour un maximum de 16 lignes 9600 bauds, chacune pouvant gérer par polling jusqu'à 32 terminaux.

- calculateur frontal pour un maximum de 7 calculateurs tels que IBM 360. Il supporte les protocoles BSC, SDLC, 3270 et 3780.

- terminal lourd avec LC 600, IP 125 / 600 / 1000, ME 45, écran et floppy disc. Ce terminal est connecté selon le protocole synchrone 3780, 1200 à 19200 bauds.

Sans qu'on sache particulariser cette affirmation, ce système a été installé en 70 à 80 exemplaires. Selon complexité, il était soit vendu de 10000 à 100000 \$, ou loué à raison de 350 à 3000 \$ / mois pour le matériel, plus 45 à 90 \$ / mois pour le logiciel.

## 113 - Brookhaven National Laboratory

Ce laboratoire de la Commission de l'énergie atomique, né de la guerre à Upton, NY, n'est pas aussi connu que ses concurrents orientaux comme Livermore et Los Alamos. Il a néanmoins donné lieu à une réalisation de calculateur, le MERLIN de 1959 (fiche)

Par la suite, équipé en calculateurs commerciaux, il édifiera comme les autres un réseau de calculateurs en vue de mettre la puissance de l'installation centrale à la disposition de chacune des expériences. Ce BrookNet est construit autour d'une paire de CDC 6600, reliés à une ECS de 500 Kmots, doublée en 12 / 68, à 4 piles de disques 6603 et à 14 bandes magnétiques.

En 1968 une des machines est reliée à un PDP 8 et à un Sigma 7, deux autres PDP 8 sont commutables. Il est prévu à cette date de construire un réseau coaxial à 12 MHz pour remplacer ces liaisons trop particulières, et d'y relier un Sigma 2, un Sigma 7, 2 PDP 9, 2 PDP 6, un PDP 10, deux SDS 920 et 930.

On pourra voir en 255 - 615/20 le sens de l'évolution de Brooknet vers 1970.

Bien entendu, cette description est strictement datée et devrait être mise à jour tous les trois ans au moins si l'on désirait suivre l'évolution du laboratoire. En réalité, il s'agit d'une réaction spécifique de l'auteur à un moment particulier de l'histoire des calculateurs : par la suite, les grands laboratoires ont eu de moins en moins besoin de calculateurs centralisés et ont évolué vers des réseaux de stations de travail dont la description n'aurait pas beaucoup d'intérêt. Ce laboratoire fait peu parler de lui et nous est très mal connu. Quasi anecdotique, le programme MODEL (1975) est un simulateur de circuits numériques, mentionné dans CACM 12 / 76 p 665 .

## 114 - La société Ramo-Wooldridge

Cette compagnie semble s'être formée dans les années 50 pour exploiter les conceptions de ses fondateurs en matière de calculateurs temps réel, grâce aux fonds des armées et de l'USAF en particulier. Elle se fera connaître par des réalisations originales, comme le RW 130 des sous-marins (AN/BRN 3), le RW 133 vendu à la France pour ses SNLE, le RW 300 bien implanté pour les processus industriels, et l'audacieux RW 400 multiprocesseur.

Elle avait aussi des idées avancées en matière de logiciel, comme en témoigne l'article 236 - 73 qui décrit un projet, baptisé FACT Compiler, qui est en réalité une base de données de gestion.

Pour des raisons inconnues, la société s'est coupée en deux parties vers 1964:

a) d'une part, **Bunker - Ramo**, installée à Canoga Park, Cal, paraît avoir hérité des ordinateurs, et notamment de ceux installés dans l'US Navy. Elle a échoué à vendre à la Marine ses nouveaux projets (BR 601/2/3) et semble avoir disparu, après avoir été, pendant des années, correspondante et garante de la CAE française qui détenait les licences des RW 130, 133, 300, 330 et 530.

En janvier 65, la société organise à Redondo Beach, siège du TRW System Group, un système de temps partagé modeste, centré sur un RW 340 de 16 Kmots, avec tambour de 48 Kmots et seulement 4 consoles, mais très perfectionnées (2 claviers, un tube à mémoire). Le logiciel est le système Culler-Fried d'analyse mathématique, capable de calculs symboliques et de présentation graphique.

De 1960 à sa disparition, la société Bunker - Ramo, même après avoir abandonné pratiquement les ordinateurs, s'est consacrée aux applications des terminaux à écran, plus ou moins spécialisés, dont on mentionne ci-après quelques exemples :

1960 : DC 400 est une console pour le système SACCS, avec un clavier et un écran présentant 20 lignes de 36 caractères. Un groupe de 5 \* 6 poussoirs, auxquels on peut superposer un choix de 64 overlays plastiques, constitue un dispositif universel de fonctions : les poussoirs susceptibles d'être activés à un instant donné sont allumés, les autres éteints. Ce système permettait, en particulier, d'activer le système BR 88 d'archivage sur film, partie du SACCS.

1964 : BR 85 est une console dérivée de l'expérience précédente, mais plus universelle : écran 305 \* 406 mm, avec une définition de 384 \* 512 points, permettant de présenter 32 lignes de 64 caractères au débit de 100000 cps, en deux tailles et avec clignotement éventuel. Un tampon à tores de 4096 caractères de 9 bits recevait le texte à 100000 cps, et assurait le rafraîchissement de l'image 3 à 60 fois par seconde.

Comme pour les consoles militaires, le clavier alphanumérique standard était complété d'un vaste clavier de 30 fonctions, personnalisées par un jeu de 64 masques plastiques sélectionnant chacun un programme, et donc un jeu de fonctions. Il y avait aussi un jeu de 25 témoins également validés par les masques ci-dessus, un curseur à boules avec registres pouvant transmettre la position à l'ordinateur, et un light gun.

Le tout, plutôt encombrant, se décomposait en une console de 1219 ht \* 1168 large \* 762 prof, pesant 340 Kg, et une armoire d'électronique de 1219 \* 1168 \* 610 mm, 272 Kg, 1,8 KW. MTBF calculé 148 heures.

1965 : BR 90 est un développement de la console précédente qui utilise un tube tout à fait spécial : fenêtre de projection axiale, mais canon oblique de 30" de long à déflexion magnétique utilisant une THT de 15000 volts, ce qui permet une définition de 135 lignes par pouce. Il y a également un nouveau générateur de caractères plus rapide, travaillant sur une matrice de 15 \* 16 points.

1966 : à côté de ces modèles de luxe qui ne peuvent trouver place que dans de grands systèmes de l'Administration, BR réalise avec le 203 / 4 un écran de table mesurant 198 \* 140 mm associé à un tampon de 768 caractères à base de lignes à retard, qui peut afficher 4, 8, 9 ou 12 lignes de 32, 42 ou 64 caractères ; ces caractères ASCII de 3,3 \* 2,3 mm sont générés dans une matrice 5 \* 7 points par déflexion électromagnétique, et rafraîchis 46 fois par seconde. Les fonctions curseur non destructif, crac et line delete, tab, sont standard, une recopie d'écran et un générateur de vecteurs sont optionnels. La liaison avec l'ordinateur se fait en 1200 ou 2400 bauds par modems Dataphone 201 ou 202. Le prix est \$ 3180 à l'achat,

ou \$ 97 / mois par terminal avec un contrôleur chargé au maximum, qui est de 108 terminaux.

1967 : le modèle 700 utilise le même tube avec une configuration standard de 15 lignes de 64 caractères ; mais le tampon est un tambour de 384000 caractères, permettant 60 rafraîchissements par seconde. Le prix est 6500 \$ par terminal pour un ensemble de 16.

1967 : pour faire baisser les prix, le modèle 211 / 2 reprend l'organisation du 203 / 4 avec un tube plus petit, 121 \* 96 mm, et un tampon limité à 384 caractères, toutes choses égales par ailleurs. Le prix tombe alors à \$ 67 / mois ou \$ 1730 à l'achat dans la configuration maximale de 108 écrans.

1968 : BR établit une coopération avec Teleregister pour organiser des agences boursières et fournit des terminaux à écran 12" (diagonale 305 mm) avec tampon de 960 caractères, clavier silencieux avec 16 clés de fonction, clavier numérique séparé, option imprimante en copie d'écran ou collective. C'est le BR 2200.

1969 : plus économique pour le même objectif, le BR 2212 utilise un écran de 6" (diagonale 152 mm) et un tampon de 444 caractères présentés sur 12 lignes. Le contrôleur convient pour 36 terminaux, contient le générateur de caractères et accepte une ME partagée.

1970 : terminal de guichet BR 2210 coûtant \$ 39 / mois, offrant un petit écran, un clavier complet de 6 \* 10 touches permettant alphanumérique, numérique, fonctions, tab, appel de l'ordinateur.

1970 : Telequote III est un terminal d'agent de change comportant un écran de 3" et 10 rangées de 5 poussoirs pour alphabet et fonctions. Cet appareil s'est vendu à plus de 10000 exemplaires pour quelque 1400 agents. Une version plus élaborée, le Telequote 70, possède un écran de 6" et permet de consulter 4 services : New York Stock Exchange, American Stock Exchange, un service de journal et le service propre de BR., et d'en présenter deux simultanément.

1972 : réseau NASDAQ : Ce système boursier de M\$ 25 a été étudié par Bunker-Ramo, jouant plutôt le rôle d'une société de services que celui d'un constructeur. Il permet à partir de 1972 à la National Association of Securities Dealers de distribuer à travers le pays ses Automatic Quotations : 2300 titres sont pris en compte initialement, le système peut se développer jusqu'à 10000 titres.

Matériellement, le site comprend deux Univac 1108, et huit calculateurs DDP 516 jouant le rôle de distributeurs de signaux vers 1500 terminaux Telequote III ou analogues, à travers 30000 miles de lignes louées. Bien entendu, depuis lors, ce premier système a vu naître des émules, et son matériel a été plusieurs fois renouvelé. Voir 258-1197/1206.

Le dernier CA connu de Bunker-Ramo, en 1976, s'élevait à 341 M\$, avec 10 M\$ de bénéfice, pour un effectif de 9700 personnes qui donne un ratio faible de 35000 \$ / tête. La société profite à cette époque de quelques contrats militaires :

AN / SSQ 75, production en masse de bouées sonores ERAPS, 1975.

AN / GYQ 21, mise au point d'une console bi-écran pour traitement du signal en temps réel, pour extraction d'informations cachées dans le bruit de fond. A base de PDP 11 militarisé. 1976.

AN / TRQ 35, 1977, outil de prédiction en temps quasi réel de propagation de fréquences HF.

b) d'autre part, **Thompson - Ramo - Wooldridge**, plus connue par la suite comme TRW, se réorganise à Cleveland autour de son activité d'origine, les pièces détachées pour véhicules industriels et agricoles, qui assurent sa solidité à long terme. Mais, dans les domaines qui nous intéressent, TRW est renommée pour des travaux de pointe en matière de composants, et pour leur application dans l'espace : le Space Technology Laboratory est à Redondo Beach, Cal. Il est ainsi l'inventeur du Persistor, une mémoire cryogénique issue d'un contrat de recherche pour l'USAF (Voir 222 - 9), qu'il a ensuite utilisée pour construire une mémoire associative (voir 228-38).

On trouve notamment dans ce centre, à partir de 1964, un système de simulation hybride qui associe un ordinateur numérique CDC 3100 à quatre calculateurs analogiques, deux Beckman 2132 et deux CI 5000. Voir à ce sujet 252 - 287/96.

On y trouvait aussi, jusqu'en 1963, un centre de calcul comprenant deux 7090 avec des 1401 de service, tout à fait classique (trains moniteur) ; il a été transformé en 1964 (voir description de l'opération en 257-E2. 1) en un système de calcul batch + temps partagé baptisé CUE, qui dispose notamment d'un puissant système de calcul mathématique nommé SLANG. Voir description en 253 - 23/41, et manuel en anglais en archives. Il y a aussi des efforts logiciels orientés vers le problème encore mal défini des bases de données, pour lequel TRW a inventé les macros GIM sur 360 / 30 et au dessus.

La société s'est impliquée dans la course à la lune, tout simplement parce que c'est là qu'il y avait le plus d'argent à gagner. On peut citer la réalisation d'une mémoire à tambour magnétique miniature pour l'espace, décrite dans 229 - 190 / 9 ; et la participation au programme Apollo avec un contrat de sous-traitance de Goodyear (1966) pour le LEM Abort Computer (code Marco 4418). Plus généralement, TRW est un concepteur de satellites, régulièrement consulté par la Défense pour tous ses types de projets, et souvent choisie :

Surveillance stratégique : 6 BMEWS (1968-73), 13 IMEWS (1970-82), 17 DSP (1984-94).

Communications : 15 DSCS 2 (1971-82), 7 FltSatCom (1978-86), 6 TDRS (1983-93).

Ressources terrestres : 7 LandSat, en participation avec GE (1975 - 84).

Scientifiques : à la demande, de Dodecahedron 1965 à EOS 2000 en passant par les trois HEAO 1977/9 .

Elle s'est ensuite diversifiée comme société de services, et son nom apparaît en sous-traitance dans de nombreux projets. Par exemple, un chercheur de cette entreprise dirige, à la Mayo Fondation, et sur crédits mixtes du NIH (intéressé à la tomographie par rayons X) et du Ballistic Missile Defense System (intéressé à la séparation charges / leurres dans les agresseurs nucléaires) à la définition d'architectures très rapides. Voir l'article :

SWARTZLANDER (E. E. ), GILBERT (B. K. ) - Arithmetic for Ultra high speed tomography,  
in TIEEE, C29, N° 6, 6 / 80, pp 482 sq

En 1981, elle a un moment essayé l'informatique de gestion, s'agissant de jouer un rôle d'adaptateur pour des produits du japonais Fujitsu :

- le TFC 3450 adapte le Fujitsu 9450. C'est un mini de gestion 16 bits, avec un calculateur 16 bits construit autour du microprocesseur L16A fonctionnant à 4 MHz. Il comprend un écran 25 \* 80 caractères, un lecteur de disquettes 640 KB, et une ME 80. Le logiciel se compose de l'assembleur et d'un interpréteur Business Basic.

- le 7880 est un terminal POS (point of sale) vendu \$ 3785 avec un lecteur de cartes magnétiques et l'engagement de ne commettre qu'une erreur par an.. En option, ce terminal peut recevoir pour \$ 875 une mémoire à bulles, par incrément de 32 ou 256 KB, pour logger des programmes ou des tables. Autre option, un écran plasma de 320 caractères, avec deux tailles de caractères, pour prompting.

- le TFC 8500 vise la gestion distribuée. Construit autour d'un microprocesseur de 10000 portes, il n'essaie pas d'être compatible IBM. La mémoire 18 bits, cycle 400 ns, peut varier de 256 KB à 2 MB. Les périphériques comprennent des disques jusqu'à 800 MB, des bandes, une imprimante, une machine à écrire, et jusqu'à 80 postes de travail ; le prix varie ainsi de 25 à 200 K\$.

Logiciel : le système est un équivalent non compatible de DOS / VS, avec CICS et JES. Les compilateurs sont Fortran, Cobol, RPG. Les protocoles de liaison comprennent HASP, 2770, 3780, 3270, SNA.

Cette tentative, bien que sérieuse, n'a pas duré, car Fujitsu a préféré s'impliquer davantage, en particulier avec Amdahl aux USA et ICL en Angleterre.

Nous avons une indication assez favorable sur l'état de la société à cette époque : TRW 1983 est une société prospère avec un CA de 5493 M\$ et un bénéfice de 205 M\$, un effectif de 16260 personnes, mais il n'y a là dedans que 18% d'informatique. Le ratio de 62423 \$ / employé est plus typique de l'époque. TRW est en 1985 la 19ème société mondiale d'informatique, et la 13ème des USA, avec un CA informatique de 1450 M\$ sur un total de 5920 M\$. Face à une perte globale de 7,1 M\$, cette part de l'activité de la firme est en croissance puisqu'elle s'établit autour de 25% du CA total, répartis en 175 M\$ de maintenance, 175 M\$ de services, et 1100 M\$ de logiciel .

Plus tard, nous avons trace de deux contrats d'étude de composants avancés, dans lesquels TRW joue un rôle de bureau d'études :

- CPUAX, AX pour Arithmetic Extended, est une puce de démonstration dessinée par TRW et réalisée par Motorola dans le cadre du programme militaire VHSIC phase 2. Réalisée en CMOS 0,5  $\mu$  , cette puce carrée de 3,8 cm de côté, 5,33 cm avec sa monture, pesant 42 grammes, contient 4 millions de transistors, et peut exécuter 200 MFlops à 100 MHz. On y trouve 142 cellules logiques redondantes, mais 61 suffisent à construire ce qu'on a voulu y mettre : générateur d'adresse, multiplieur, microséquenceur, ALU, RAM, contrôleur de mémoire, et le processeur de maintenance, lui - même un CPU complet à 36000 transistors. Il était prévu de l'intégrer dans les projets militaires de la firme.

- RH32 est un calculateur RISC 32 bits étudié d'abord par TRW et Douglas Electronics, au cours d'une phase 1 terminée en octobre 89 ; la réalisation a fait en janvier 90 l'objet d'un contrat de 22 mois du RADC, d'un montant de 8,1 M\$, portant sur une démonstration de fonctionnement en régime soutenu à 20 Mips, avec réalisation de 10 modèles de développement et 55 jeux de puces.

L'objet est un processeur durci pour la SDIO (la guerre des étoiles), réalisé en 5 puces : un FPU avec son MMU, un FXU avec son MMU, et un SCU avec un testeur BITE. La technologie est CMOS 1,25  $\mu$  avec traitement spécial antiradiation, capable de 20 à 33 MHz ; les puces contiennent 125000 à 500000 transistors. Le logiciel associé est écrit en ADA.

- nous avons aussi un document décrivant les principes de divers microcircuits spécialisés dans les changements d'axe en 2 et 3 dimensions, pour les manipulations d'images, également pour les besoins militaires. Il s'agit du TMC 2302 et de quelques autres.

TRW semble toujours active en 2000 dans le domaine des satellites, et une source indépendante indique qu'elle fonctionne toujours comme société de services. Mais on en parle peu.

## 115 - Burroughs Corporation ( Paoli, Penn )

Au moment où naît l'informatique, Burroughs existe déjà et construit des machines comptables électromécaniques., sous le nom de Burroughs Adding Machines. La société essaiera d'abord d'introduire dans ses produits classiques un peu d'électronique, mais comprendra rapidement que l'informatique va rendre sa technique obsolète: elle décide donc de se reconverter.

La préhistoire de l'informatique Burroughs s'appelle Electrodata, sans qu'on puisse dire aujourd'hui si cette société de Pasadena, Cal, était une entreprise d'amateurs isolés, ou une filiale créée par Burroughs pour tâter le terrain. Quoi qu'il en soit, Electrodata est en 1955 une société autonome, qui fait connaître son Datatron par un article des TIEEE, et c'est en 1956 une division de Burroughs, devenue Corporation.

Les débuts de l'informatique Burroughs se répartissent donc en trois familles au moins : les machines comptables électroniques (série E), de véritables ordinateurs proposés aux banques, les B 200, et la filière scientifique avec les Datatrons. En outre, la compagnie entreprend, pour les besoins de ces machines, des études propres de logique et de mémoires magnétiques, avec un succès tel que plusieurs de ses produits intéresseront les militaires pour leur fiabilité exceptionnelle. Enfin, Burroughs, comme IBM, se lance à fond dans l'étude et la construction de produits proprement militaires ( AN/FST 2, BUIC ) dans le cadre du projet SAGE, et y gagnera compétence et crédibilité.

Bien que l'histoire de l'informatique ait essentiellement retenu les machines de la 2ème génération, il faut rester conscient que la réussite économique de Burroughs à cette époque est essentiellement le fait de ses produits traditionnels : calculateurs comptables série E ( 400000 machines vendues de 1954 à 1970 ), progressivement remplacés à partir de 1970 par la série L ( plus de 100000 livrées de 1969 à 1978 ), calculateurs bancaires à arithmétique décimale B200 et suivants: il est clair que ce succès est dû pour une bonne part au plébiscite conservateur des personnels d'exploitation des entreprises, familiers des machines comptables et très peu désireux de perdre cette référence.

C'est ainsi que, longtemps après que les universitaires issus d'Electrodata aient provoqué et réussi la mutation décrite ci-dessous, et que la technologie ait rendu obsolètes de facto les machines comptables, Burroughs continuera à vendre en tant que terminaux des machines comptables (séries L et TC) attachés souvent à des machines décimales des séries B2000 / 3000 / 4000 . Ces machines traditionnelles trouveront d'ailleurs une solide clientèle dans les administrations : on note par exemple en mai 1974 un contrat de 206 M\$ avec l' USAF pour entretenir et renouveler un parc de machines de ce type, entre 1974 et 1978.

Ces divers travaux ayant assuré pleinement son insertion dans le monde de l'informatique, sans aucun sacrifice de son indépendance ( au contraire : Burroughs vendra de nombreux périphériques, voir rubrique périphériques 418), la société prend donc, vers 1967, le risque d'une deuxième génération de machines complètement révolutionnaires : architecture à piles avec le B5000 puis les 6X00, microprogrammation très avancée avec le B1700 / 1800. Qui plus est, les créateurs expliquent en détails leurs architectures et leurs solutions techniques, par exemple 258-685/722 et 259-579 pour le dernier point.

Ces deux familles, sans cesse adaptées aux progrès technologiques, obtiendront plus de 20 ans de succès commerciaux et des commentaires flatteurs des universitaires. C'est l'occasion d'un panorama sur l'évolution financière de Burroughs, qui ne couvre que la période proprement informatique de l'histoire de la société :

Année	CA M\$	Bénéfice M\$	Effectif	% marché	% croissance
1974	1533				
1975	1702				
1976	1902	186	51000		
1977	2127	215	51295	6,0	11,8
1978	2422	253	54638	5,6	13,9
1979	2786	305	56509	5,3	15,0
1980	2902	82	57300	4,6	4,0
1981	3405	149	-	4,4	17,3
1982	4186	165,9	56978	4,8	25,3
1983	4389	196,9	58300	-	4,8

On peut certes regretter les lacunes de ce tableau, qui ne montre pas la situation initiale du petit fabricant de machines comptables, ni les difficultés de la fin. Il ne mentionne pas non plus le pourcentage du CA consacré à l'informatique (lente évolution de 87 à 91 %), ni le pourcentage d'exportations hors USA (41 %). Tel quel, il est néanmoins significatif d'une croissance régulière, l'érosion lente du marché résultant simplement de la multiplication des acteurs. On observe un coude brutal dans les bénéfices et le taux de croissance, au passage de l'euphorie générale au contrecoup tardif du premier choc pétrolier : la réforme structurelle de 1979, destinée à mieux organiser un service de maintenance qui attirait constamment des critiques, ne suffit pas à surmonter le laisser-aller né d'une longue succession d'années faciles.

Au 1/1/81, Burroughs change de président, nommant à ce poste W. M. Blumental, l'ancien gouverneur de la Banque centrale. De dures réévaluations interviennent : abandon du BSP et plus généralement de toute idée de supercalculateur, abandon des calculateurs de table et des machines à additionner, fermeture de certaines usines et de certaines agences à l'étranger, plan de mise à la retraite anticipée, liquidation d'immobilisations mal utilisées, mais aussi achat de System Development Corporation, une excellente firme californienne de système. Après toutes ces mesures, le marché était tout disposé à considérer que Burroughs allait repartir, et c'est ce que montrent les chiffres de CA et de bénéfices.

Cependant, la clientèle civile de Burroughs restait principalement constituée par les banques et assurances, et plus généralement par des services financiers et comptables centralisés. La naissance de l'informatique personnelle et familiale fut complètement ignorée, de sorte que la compagnie se trouva désemparée lorsque ces mêmes matériels s'introduisirent dans l'entreprise.

De cette époque datent diverses tentatives d'adaptation, très peu cohérentes au début, comme la petite machine de bureau L99.150 (mémoire RAM 2 (2) 64 KB, ME 150 tamponnée 32 bytes en entrée et sortie, et lecteur de cartes magnétiques !), puis l'achat de produits Convergent Technology (B 20 / 25 / 28).

A partir de 1985, Burroughs doit simultanément faire face à une stagnation sinon une réduction de sa clientèle traditionnelle, et à un raccourcissement des cycles de vie des produits, du à l'accélération de la technologie des composants : c'est la dernière vraie année de croissance, avec un CA de 5040 M\$ (+ 5%) et un bénéfice de 248 M\$ (+ 1%).

Vers 1990, Burroughs devenu déficitaire doit se résigner à une fusion / absorption avec Sperry Rand dans une société Unisys d'informatique qui s'efforcera, dans un premier temps, de soutenir correctement les parcs importants des deux partenaires, tout en prenant le virage de la microinformatique d'entreprise.

Cet effort dépassait les possibilités financières de la nouvelle compagnie, qui vit donc progressivement disparaître sa clientèle de mainframes au profit d'IBM et d'Amdahl, au rythme des renouvellement : elle ne pouvait en effet soutenir avec deux architectures, ni même avec une seule, la course à la puissance unitaire des CPU (à prix décroissant du Mips !) par laquelle IBM et les japonais compatibles sauvegardaient la leur.

Au virage de l'an 2000, Burroughs est oublié du marché et Unisys a réussi à stabiliser son chiffre d'affaires à un niveau bien inférieur à celui de son double glorieux passé, en vendant des serveurs, des terminaux et des services. Voir rubrique 583.

## 116 - Matériels militaires de Burroughs

Burroughs est avant la guerre une société d'électromécanique (Machines comptables). Sa plus importante contribution à l'effort de guerre semble être le viseur de bombardement AN / ASB 1, plus connu sous le nom de son autre producteur, la société Norden : couplage d'un radar bande X avec un calculateur électromécanique, qui sera d'ailleurs assez vite remplacé vers 1948, par un calculateur analogique Reeves.

Après la guerre, la première implication de Burroughs avec la Défense semble être l'AN / GSG 2 MATABE ( Multi-weapon Automatic Target & Battery Evaluation ), une étude financée par le Signal Corps de l' US Army qui souhaitait optimiser l'exploitation de l'artillerie. A l'époque, on ne pouvait rien faire de léger en informatique, et l'expérience n'eut pas de suite. Le MATABE, construit, fut réaffecté à des expérimentations tactiques sur la DAT dans un contexte multisystèmes d'armes.

Voir un article sur cette réaffectation:

Eisenberg (D. E. ), Miller (A. E.), Shafritz (A. B.), Multiweapon Automatic Target and Battery Evaluator, in Proceedings of the EJCC, 12 / 57, pp 71 / 5.

On trouve ensuite le contrat AN / FST2 de l' USAF ( code Burroughs D104 ) qui marque le début de la participation de la compagnie dans l'immense projet SAGE. Il s'agit d'un extracteur d'échos placé au pied de chacun des 106 grands radars du réseau de défense aérienne du territoire, traitant la video brute pour en tirer une localisation précise (azimut et distance, plus altitude pour certains radars ) à chaque tour d'antenne, laquelle était ensuite transmise aux centres SAGE par lignes téléphoniques enterrées.

On trouvera un article bien illustré sur ce matériel dans:

Ogletree ( W. A. ), et al, AN / FST 2 radar processing equipment for SAGE, in Proceedings of the Eastern Joint Computer Conference, 12 / 57, pp 156 / 60.

Dans le droit fil de cette étude mais beaucoup plus tardif et surtout indépendant, l' ALRI est un calculateur aéroporté d'extraction radar, destiné aux avions picket EC 121H associés au SAGE pour son extension dans l' Atlantique Nord.. Ce matériel de 36000 composants discrets sera livré ( peut-être 10 exemplaires ) 7 mois seulement après la notification du contrat. C'est le système AN / USQ 25 (1963) qui englobe au sol des transmetteurs AN / GSC 7 liés aux centres côtiers.

Vient ensuite le contrat AN / GSQ 33 de l' USAF ( code Burroughs D105 ) pour un matériel de guidage du missile intercontinental Atlas 1. Cette première version du missile ne portait pas de référence inertielle, de sorte qu'il fallait le guider pendant toute la phase de propulsion jusqu'à sa sortie de l'atmosphère. Le calculateur Burroughs, informé de l'objectif, devait à chaque instant calculer la trajectoire balistique résultant de la position, de la vitesse et de l'accélération du missile, mesurées par radar et télémétrie, définir les corrections et les envoyer au missile par radio pour actionner les gouvernes (tuyères).

Sitôt lancé officiellement le projet SAGE, qui repose essentiellement sur des matériels IBM et dont les centres sont immenses et donc vulnérables, l'USAF s'inquiète d'une deuxième génération qui devrait profiter des progrès technologiques pour n'occuper que 45 m2, et qu'on installera à côté d'un radar majeur : ce sera le BUIC, système dont Burroughs reçoit la responsabilité informatique par le contrat AN / GSA 51 de l' USAF. La solution passe par un biprocesseur D 825 formant le calculateur AN / GYK 4, à l'occasion duquel Burroughs étudiera d'audacieuses solutions logicielles au problème de la maintenance des systèmes temps réels en service permanents. 17 systèmes sont fournis pour M\$ 24,5 et installés à partir de 9 / 65. Ils seront suivis de 21 autres paires.

Il semble d'ailleurs que l'étude avait commencé un peu plus tôt, car Burroughs était déjà titulaire du contrat AN / GYK 3 de l'US Naval Research Laboratory pour un système de contrôle aérien régional au titre duquel fut développée la console OA 7436 / GYK 3, associée à un multiprocesseur D 825 : un de ces centres était installé à la base de Rota, en Espagne. 5 systèmes fournis.

Et même encore avant, il semble que Burroughs se soit vu attribuer une partie du contrat pour le QG du NORAD, le système intégré de commandement du continent nord américain, installé en souterrains dans les montagnes du Colorado. Ce système SS 425L, d'un montant de 63 M\$, comportait le génie civil, les liaisons vers le SACCS et le BMEWS, et le système de communication et de présentation des données. La modeste part de Burroughs dans cette affaire concernait les communications, gérées en "store and forward" par les premiers calculateurs D 825 : c'est l'ADRC, Automatic Digital Relay Center.

Deux systèmes analogues forment l'AMPS, Automatic Message Processing System de l'US Army, 3000 messages par heure sur 128 lignes 1200 bauds : l'un est à Fort Ritchie, Maryland, l'autre au Pentagone (National Military Command Center). C'est l'AN / FYC 1.

A l'issue heureuse de tous ces travaux, Burroughs avait procédé à la définition du D830, le successeur technique du D825, en gros trois fois plus puissant. Mais les militaires étaient satisfaits, et peut-être saturés, de sorte qu'il n'y eut pas de nouveau contrat de cette catégorie : en 1967, le Tactical Automatic Digital Switch (TADS), centre de commutation de messages de la 7ème Armée en Europe, gérant 14500 messages par jour en "store and forward", et monté sur 6 véhicules, utilisera des paires de calculateurs civils B3500, associés à un frontal de communication.

Autre contrat de l'USAF, Melpar Finder (1960) est un centre d'études sur les contre-mesures dont l'équipement est impressionnant mais purement constitué de matériel civil : un Datatron 220 pour les calculs, des mémoires tampons Ampex pour les données radio / radar, deux unités arithmétiques à 300 et 500 KHz pour le travail en temps réel, 7 tambours magnétiques Bryant de 470 mm de diamètre pour stocker 31,5 Mbits, une imprimante Anelex et une table traçante.

L'expérience acquise par Burroughs sur les extracteurs / transmetteurs des radars du SAGE lui vaudra un peu plus tard les commandes correspondantes de la FAA, administration civile travaillant, pour cette question, en étroite relation avec l'USAF. A partir de 1968 Burroughs produira 111 extracteurs radar / IFF AN / FYQ 47 et 49 pour la FAA, et 66 autres pour le SAGE. En outre, elle obtiendra un contrat de plus de 200 consoles AN / FYA 83 et 84 à PPI horizontal de 23 " (1972), et en 1974 un autre contrat pour l'AN / UYK 9, une console polyvalente.

Bien plus tard (1970), Burroughs accepte un contrat de l'ARPA, le service de recherche militaire, qui souhaite financer la construction du calculateur parallèle ILLIAC IV de Slotnick. Le rôle de Burroughs est ici de fabrication uniquement, car le maître d'œuvre est Slotnick, mais le fabricant y gagnera de l'expérience. C'est d'ailleurs cette expérience qui l'autorisera, en 1973, à accepter le contrat de l'Agence de défense antibalistique pour PEPE, un calculateur parallèle qu'il réalisera dans une technologie inspirée de celle de l'ILLIAC IV.

En dehors de ces actions spectaculaires, Burroughs mène des études de machines fiables et de petite taille, à usage aéronautique et spatial. La plus connue, bien qu'elle soit restée expérimentale, est la D210, parce que pour elle fut inventée la mémoire magnétique "core rope", dont le brevet a été repris dans de nombreuses réalisations spatiales ultérieures.

On peut aussi citer le D84 de 1965, conçu pour l'aviation civile mais utilisé également pour le contrôle avant lancement du missile tactique Pershing, et pour le contrôle à terre des chasseurs / bombardiers F111.

Notons enfin que Burroughs acceptera, dans la période foisonnante de l'immédiat après-guerre, divers contrats d'études technologiques, dont certains déboucheront sur des productions en petites séries : voir par exemple les mémoires à film mince, les mémoires à tores multitrans comme le Fluxlok, l'imprimante électrostatique militaire Whippet (AN / GMH 2, 1957), etc...

La fusion de Burroughs avec Univac dans Unisys, en 1990, n'a pas mis fin aux relations de ces constructeurs avec les Armées. On note en 1991 un contrat de 2600 terminaux intelligents AN / TYQ 33 pour le TACCS, Tactical Air Command Control System.

## 117 - Etudes civiles de Burroughs

La première allusion à une réalisation informatique de Burroughs en dehors de son activité sur les machines comptables est le Truth Function Evaluator de 1955, cité dans le JACM de 4 / 57, p 189. Bien qu'on n'ait plus de trace de cet article, le TFE était sans doute une "petite chose" .

Il faut aussi citer UDEC, une machine universelle construite pour la Wayne University de Detroit au moyen de modules standard pris dans sa propre production. La compagnie l'a d'ailleurs trouvé suffisamment pratique pour en construire un autre à son propre usage : le Burroughs Laboratory Computer, ou UDEC 2.

Le premier système où Burroughs se trouve impliqué indirectement semble être le NARS, un service de réservation à l'échelle nationale, mais fonctionnant par le réseau commuté, ce qui en réduit l'ambition. Installé à Orlando, Fla, ce système de M\$ 15 comprend deux B6500, six B500, et 600 terminaux TC500 exploitant 160000 km de liaisons forcément affectées, pour avoir des temps de réponse raisonnables.

Bien que Burroughs n'ait eu dans cette affaire qu'un rôle de vendeur, il est bien possible que cet exemple, ainsi que ses succès répétés dans le domaine de la commutation de messages pour les militaires, aient influencé sa décision de soumissionner, cette même année, pour le système de réservation et de gestion de la TWA. Installé à Rockleigh dans le New Jersey, ce système de M\$ 25 comprenait en principe trois B8300 (version civile du D830) et une mémoire de masse de 40 disques, reliés à 2000 terminaux d'agents à tubes cathodiques; au delà de cette première version, le système devait s'étendre à l'étranger et à la gestion, se développant jusque 2750 écrans et M\$ 35. Voir photo de terminal d'agent sur la fiche "périphériques". On ne sait pas clairement si l'échec coûteux de 1970 est dû au calculateur ou au problème de gestion de communications, mais il devait d'autant plus marquer la compagnie qu'il ne fut pas le seul.

Echaudé aux USA, Burroughs soumissionne en Angleterre, en 1969, pour le réseau de gestion intégrée des agences de province de la Barclays Bank, qui devait grouper 1600 terminaux autour d'un B8500. Ce contrat échouera également, cette fois par incapacité de Burroughs de mettre au point le processeur central. La Barclays se retournera vers IBM, qui avait d'autre part obtenu le contrat de cette même banque pour le réseau londonien de 400 agences.

La banque n'était pas rancunière, ou plus probablement Burroughs était plus compétitif dans une simple transaction commerciale, car c'est Burroughs qui obtint, lors de la modernisation de 1974, la totalité des terminaux pour 2400 agences : 3000 TC500, 1100 TC 3500 et 50 TC5100.

Dans la foulée de ce contrat, la National Westminster Bank achetait cette même année, pour les relier à ses calculateurs centraux IBM, plus de 5000 terminaux des types TC310, 500, 1500 et 3500, TD 700 et 800, à livrer dans les trois ans.

Une situation analogue est rencontrée à l'Union des Banques suisses, où trois IBM 158 existantes seront équipées de doubles frontaux B3700, chaque paire dotée de 150 Kcar de mémoire, 3 bandes et 2 disques à têtes fixes de 5 MB chacun, le tout gérant 200 concentrateurs DCT 40 et 1000 terminaux TU 700 et TD 800.

En résumé, une réussite commerciale camouflant un grave échec qui rejeta définitivement Burroughs hors du domaine des grands systèmes civils, sans doute plus exigeants que les systèmes militaires malgré les apparences.

## 118 - La surveillance de l'espace

Dès le lancement du premier Sputnik, l'Amérique s'est sentie menacée, et la Marine a reçu la responsabilité d'établir un premier réseau de surveillance, SPASUR, qui a fonctionné en service continu à partir de février 1959. Dans son principe, ce premier système comprenait 3 émetteurs et 4 récepteurs, approximativement alignés à travers les USA sur l'arc de grand cercle de latitude 33°, générant un faisceau en éventail, très large et très plat ; les satellites, supposés situés sur des trajectoires d'inclinaison moyenne (très souvent 65° pour les russes) étaient ainsi détectés avec une bonne précision angulaire lors de la traversée de ce faisceau, grâce à des mesures d'interférences. Les satellites étant encore peu nombreux, on acceptait au début que l'exploitation soit manuelle, mais dès 1960 le dispositif était confié à un officier général, travaillant au profit du NORAD, et l'automatisation était considérée comme urgente avec la croissance rapide du nombre d'objets en orbite.

Elle fut confiée au NRL pour la conception, et au Naval Weapon Laboratory de Dahlgren, Va, pour l'exécution et l'installation du site, organisé autour d'un calculateur IBM 7090. Le principe du nouveau système, qui utilisait le radar HF initial comme détecteur, était d'approvisionner par lignes téléphoniques le calculateur en informations prévisionnelles de toutes origines, à partir desquelles il organisait des fenêtres de détection spatiotemporelles ; la mesure précise de l'instant de passage et de la position à cet instant permettait au calculateur, qui disposait ensuite d'une information nouvelle sur cet objet toutes les 90 minutes environ, d'affiner son calcul d'orbite. Bien entendu, les satellites étant susceptibles de modifier leur altitude sinon le plan de l'orbite, le calcul devait être mis à jour à chaque orbite.

Voir sur cette méthode l'article suivant :

Maxwell (M. S.) : an automatic digital data assembly system for space surveillance, in Proceedings of the 1961 Eastern Joint Computer Conference, Washington DC 12 / 61, Volume 20 des publications de l' AFIPS, pp 257 / 63 .  
Référence 238 - 257 / 63

En parallèle sur cette action de la Marine, l' USAF avait organisé, dès 1960, un bureau militaire de surveillance des informations sur les satellites, le SPADATS, installé directement au NORAD. Il était associé à un radar de tracking, probablement un AN / FPS 16 de RCA, associé pour l'exploitation à un ordinateur RCA FC 4100, le SPASEC. Voir à ce sujet la fiche FC 4100 dans le dossier RCA.

La subordination du SPASUR au NORAD, voulue par l' Etat-Major général, aurait permis de considérer cette organisation comme satisfaisante, le ordinateur du SPASUR approvisionnant le SPADATS en résultats et en recevant toutes demandes de renseignements. .

Cependant, on pouvait faire au moins une critique au détecteur du SPASUR : la position transversale de son faisceau détecteur, menacée d'inefficacité dès lors qu'apparaîtraient des satellites à faible inclinaison, et surtout des satellites stationnaires à inclinaison nulle. Pour cette raison, l' Etat-Major général accepta la proposition de l' USAF, consistant dans :

- la construction d'un nouveau capteur, un radar spécialisé, l' AN / FPS 85, installé sur la base aérienne d' Eglin en Floride avec une orientation différente de son faisceau, confié à Bendix au titre du contrat AF 30 (602) 2763 et décrit ci-après.

- l'automatisation du SPADATS, installé à 1000 milles de là dans le centre enterré du NORAD, autour d'un ordinateur Philco 2000, chargé de l'interprétation des mesures et de la diffusion des résultats.

Après diverses péripéties, dont l'incendie accidentel du premier radar peu après sa mise en route, le radar définitif a été déclaré en service le 15 décembre 1972, dans le double rôle de détecteur de satellites et d' Alternate Space Defense Center, en cas de défaillance du QG du NORAD à Cheyenne Mountain. Voir fiche AN / FPS 85 dans le dossier Bendix.

En 2000 le nombre des satellites a grandi immensément, au point que les collisions ne sont plus invraisemblables. En conséquence le SPADATS existe toujours, bien qu'à l'évidence la plus grande partie du matériel, et certainement toute l'informatique, aient été renouvelés plusieurs fois.

## 119 - Activités informatiques de la Boeing Company

Cette imposante société d'aviation a bien évidemment besoin d'ordinateurs dans un grand nombre de ses activités, et lorsqu'il s'agit d'applications spécialisées, elle estime plus avantageux de réaliser elle-même ses matériels. Il existe donc une Boeing Electronics Company qui produit des contrôleurs numériques, des processeurs, des bus de données pour avions et des systèmes de test automatiques, le tout essentiellement à usage interne, bien qu'elle ait aussi quelques clients extérieurs. La BEC s'est aussi fortement impliquée dans la recherche en microelectronique.

Il existe d'ailleurs à cet effet une Boeing Computer Services Company (BCS) qui a été divisée en 1984 en deux organisations, une pour les clients gouvernementaux et une pour les clients commerciaux.

Au total, le chiffre d'affaires externe de ces diverses activités se monte à 280 M\$ en 1985, soit moins de 3% du total de la compagnie et en particulier moins de la moitié des bénéfices de cette année. Mais la solidité de la filiale est assurée par plus de 300 M\$ de travaux internes qui garantissent aussi la compétence : les services proposés portent sur la gestion de contrats et de rechanges, et la rédaction de packages.

## 120 - Business Control System

Encore un producteur de systèmes clé en main pour les PME, qui s'appuie ici sur les minis de Digital Equipment, PDP 8 et PDP 11:

- le System 80 / 8, qui date de 1971, se targue de plus de 100 installations en 1977, 130 en 1978, des chiffres qu'on comparera utilement avec les bilans des micros de 1999. Les CPU sont des PDP 8A ou 8E, avec 32 à 256 Kmots de 12 bits en tores à cycle de 1,2  $\mu$ s. Les périphériques standard sont un écran de 24 \* 80 caractères et un disque en cartouche de 40 MB, plus en option LR 300, PR 50, LC 200, ME 180, IP 600, et jusqu'à 16 lignes au protocole 2780.

Le logiciel comprend un OS à 15 partitions, FORTRAN, BASIC, assembleur, DIBOL, une gestion de lignes COM, et quelques packages. Prix \$ 29990 ou \$ 600 / mois.

- le System 80 / 11 de 1976, centré sur un PDP 11 / 34 ou /70, est en gros quatre fois plus important : mémoire 64 à 204 Kmots de 16 bits en MOS 500 ns ou en tores 980 ns, périphériques plus performants tels que disque fixe 8 MB, RM 10 à 72 KB / s, LC 1200, IP 1200, ME 180, et jusqu'à 64 lignes tous types.

Le logiciel comprend un OS à 63 partitions avec une gestion de fichiers tous types, COBOL et RPG en plus des précédents ainsi qu'une BD Codasyl. Prix \$ 40000 ou \$ 800 / mois.

### 121 - Business System Products

Autre facteur de systèmes clé en main pour PME, mais dont on ne connaît pas la performance. Ici l'unité centrale OEM est le LSI 2 / 60 de Computer Automation, avec mémoire à tores de 64 à 304 KB, cycle de 980 ns. Les périphériques sont des disques en cartouches ou en packs ou des bandes magnétiques, une ME 120 et / ou une IP 600, ainsi qu'un maximum de 24 lignes 3780 ou 5 DLC : la clientèle envisagée est la distribution.

Le système à 24 partitions supporte un logiciel d'application construit à la demande par le vendeur, plus FORTRAN, ABOL, une base de données et des packages. Prix \$ 38700 .

Six mois plus tard, BSP proposait l' Adviser III, compatible, remplaçant la cartouche 40 MB par un pack de 640 MB, pour un prix de \$ 65800 ou 1450 \$ / mois.

### 122 - CADO System Corporation

Encore un fabricant de petits systèmes de gestion pour PME, basé ici sur les premiers microprocesseurs Intel. Celui-ci paraît minimal, et orienté soit vers la petite distribution, soit vers le simple traitement de texte. Plus de 200 exemplaires auraient été vendus jusqu'à fin 77, au prix de \$ 13995.

La mémoire de travail en MOS 1100 ns paraît bizarrement petite, 5 à 9 KB, car il existe un minisystème d'exploitation sur ROM, de taille non précisée. Les périphériques possibles sont : disque fixe 15 MB, ME 150, IP 300, écran 24 \* 80 caractères, et même des bandes (?). Le logiciel est monoservice, mais comprendrait tout de même assembleur, un Basic nommé CADOL, et une "base de données".

En dehors de cette configuration qui est à proprement parler le System 40, on propose aussi un System 20 qui dispose de floppies 1,2 à 3,6 MB, et de cartouches 9,5 à 19 MB.

Deux ans plus tard, cette offre est modernisée autour du 8085, avec cette fois une mémoire raisonnable de 16 (16) 48 KB en MOS 500 ns. En outre, deux PROM 2KB remplacent la ROM. Il y a maintenant quatre partitions dans le système, et deux lignes téléphoniques.

La distinction entre System 20 IV à \$ 17795 et System 40 IV à \$ 20500 est maintenue.

### 123 - UNISTAR 312 de Callan Data Systems

La date tardive d'apparition de ce matériel suggère que son auteur, un nommé Callan apparemment, espère vendre la machine à des laboratoires. Le processeur est un Motorola 68012, ce qui lui permet de gérer une mémoire physique de 16 MB (avec ECC) en attribuant une mémoire virtuelle de 16 MB à chaque processus parmi 32 : un disque Winchester 8" de capacité 265 MB soutient cette ambition.

L'ensemble des entrées / sorties se connecte à un bus 16 bits selon norme industrielle Multibus de Intel, sur lequel on peut installer jusqu'à 4 IOP à base de 80186.

### 124 - Cambridge Memories

Dans les années 75, le succès écrasant d'IBM, qui imposait ses normes au marché, a suscité de multiples copies, de la part de petites sociétés fondées par des hommes qui pensaient avoir compris les grands principes de cette réussite (notamment la microprogrammation) et espéraient être compétitifs en acceptant des marges moindres que celles du leader.

IPL System est une de ces entreprises, qui visait le marché de masse de la 370 / 135 en supposant que l'industrie des composants saurait suivre la demande explosive en chips de mémoire (4Kbits à l'époque). Mais ce n'était qu'un bureau d'études. Cambridge Memories était un industriel des circuits intégrés, cherchant une machine à pourvoir à un moment où la compétition n'avait pas encore abandonné les tores : il prit 40% du capital d'IPL, contre le droit d'équiper et de vendre ses trois premières machines:

- Model 1 : cycle de microprogrammation variable de 480 à 1130 ns, permettant une amélioration des performances par rapport à une fréquence fixe. Mémoire jusqu'à 2 MB à base de chips 4K puis, dès que possible, de chips 16 Kbits pour séduire les clients gênés par les limites de capacité imposées par le marketing IBM. Pour les canaux, un MUX et deux BMUX en configuration de base, avec rallonge possible de deux BMUX, débit 2,6 Mb /s, limité par l'obligation de compatibilité avec les produits fournis par les fabricants de périphériques compatibles. Prix : K\$ 120 pour une mémoire de 256 KB.

- Model 2 : même machine, mais limitée à 1 MB, avec des microprogrammes moins raffinés pour justifier la différence de prix, soit K\$ 185 pour une mémoire de 512 KB.

- Model 3 : c'est le vrai concurrent de la 135, avec une période de micromachine de 180 à 850 ns par cycle et des microprogrammes placés sur EAROM. Même type de mémoire plafonnée à 2 MB, 4 canaux débitant 3,7 MB/s. Logiciel VM, y compris les options assist qu'on ne peut obtenir d'IBM. Prix K\$ 265.

Le succès fut suffisant pour qu'IPL y prit goût, et choisit de reprendre son indépendance en rachetant, pour M\$ 4,1, la part de Cambridge Memories dans son capital. En échange, cette société obtenait le droit d'acheter à un prix avantageux, et de modifier pour les vendre, les nouveaux modèles de IPL, baptisés Omega. En même temps, Cambridge Memories devenait Cambex. Ainsi, les machines d'IPL avaient désormais deux commercialisations : une par Control Data, sous le nom d'origine d'Omega, et dans les formes imposées par IPL, l'autre par Cambex, sous le nom de série 1600 (fiche) et avec les adaptations de mémoire (capacité et temps d'accès) convenant à cette société.

Cette nouvelle famille se trouvait donc en compétition avec les 43XX qui, bien que compatibles, étaient des machines tout à fait nouvelles. D'autre part, l'évolution des mémoires, par quadruplement de capacité unitaire tous les deux ans, devenait incompatible avec les méthodes de production artisanales des débuts. Cambex ne put suivre, et disparut ou fut absorbée, on ne sait, vers 1985.

## 125 - Cascade Data, Inc.

Cette petite société annonce simultanément, en janvier 1970, trois modèles de calculateurs de petite gestion construits autour de minicalculateurs propriétaires. Baptisés d'abord Cascade 80, avec deux modèles 8 bits et un modèle 16 bits, ces machines ont été renommées assez rapidement Concept II. Les chiffres de vente globaux, soit 85 machines à mi 72 et 215 à mi 74, sont caractéristiques d'un succès local dans une période où l'informatique est encore peu répandue.

Le modèle 8 bits comporte une mémoire de 8 à 64 KB en tores 900 ns, une unité centrale capable de l'addition décimale en 13,8  $\mu$ s et dotée de multiplication/division entière. Un canal 800 KB/s et un multiplex 10 KB/s permettent de supporter des périphériques modestes : bandes 75 KB/s, cassettes 3600 cps, disque de 5 MB à 195 KB/s, LC 300 ou 600, PC 120, IP 200/300/600, ME 30., une ligne téléphonique limitée à 2000 bauds.

Le logiciel est des plus réduits : un TOS ou un DOS limité à 4 KB, un assembleur élémentaire, un RPG et un tri, plus quelques applications payantes. Le prix paraît élevé pour un aussi faible service, \$ 33226 plus \$ 150 par mois, ou \$ 660/mois pour une mémoire 16 KB.

Le modèle 16 bits (Concept II) utilisait une mémoire à tores de 16 à 64 KB, cycle 1  $\mu$ s, accès 350 ns, contrôlée par bit de parité. Le processeur aurait comporté 16 accus dont 3 index, 2 modes d'adressage, et disposé d'une addition en 8,8  $\mu$ s, d'une multiplication/division entière câblée, et de manipulations de bytes.; il n'offrait pas de possibilité d'interruptions. En option, horloge temps réel et batterie de secours.

Parmi les périphériques, on cite des cartouches de 40 MB, des bandes à 30 ou 60 KB/s, une ME 55, une IP 600, et jusqu'à 8 lignes sous protocole 2780, le tout servi par un DMA 413 KB/s.

Le système d'exploitation comprend 2 partitions et pourrait fonctionner en batch, temps réel et temps partagé, bien que le logiciel d'application se résume toujours à RPG, assembleur et quelques packages. Enfin le prix serait de 22000 \$ pour une mémoire 16 KB, et 260 machines auraient été vendues fin 78.

Il faut bien dire que ces informations sont incohérentes, ce qui résulte probablement d'un mélange entre deux sources de renseignement séparées par 7 ou 8 ans. Une autre information selon laquelle il existerait en 1977 un Concept III à 26900 \$, qui ne différerait du précédent que par une addition en 7,5  $\mu$ s et un OS à 4 partitions, donne une image plus réaliste : une machine très modeste qui ne peut séduire qu'une clientèle locale sans aucune ouverture sur le marché, et achetant une machine à la fois.

C'est bien ce que suggère la description de 1978 d'un Concept IV à mémoire 8 bits, 32 à 64 KB en MOS 1  $\mu$ s. Il semble bien s'agir de la même machine un peu améliorée, 12 accus, 6 index, 7 modes d'adressage dont un accès direct à 64 positions privilégiées de mémoire, pas de multiplication, pas de microcode, pas d'interruption. Les petits progrès matériels sont perceptibles dans un temps d'addition de 2  $\mu$ s par byte, un DMA à 750 KB/s, un débit de lignes porté à 19200 bauds, et surtout un prix abaissé à \$ 14000 + logiciel et services, ces derniers toujours réduits à un strict minimum : OS à 2 partitions, assembleur, interpréteur BASIC, aucun compilateur.

Clairement, une telle machine ne vaut que par les services clé en main que peut fournir un fabricant très proche du client, ce dernier totalement incompetent. Cette notice est donc surtout intéressante par ce qu'elle suggère sur la progression de l'informatisation dans les PME ; il est dommage qu'on ignore les origines

géographiques de la société, car à cette même date, une machine aussi minimale n'aurait pas été vendable dans une grande ville universitaire de l'Est des USA. Le nom de Cascade pourrait suggérer Seattle, mais il ne s'agit que d'interprétation, un peu risquée.

## 126 - le VCP de CCube Microsystem

Cette description d'une carte périphérique doit être comprise comme un simple jalon dans l'évolution technique, sans jugement de valeur ni sélection d'une compagnie particulièrement remarquable. Le lecteur confrontera seulement la date de l'annonce commerciale (1993) avec le service rendu.

Sur un bus interne sont réunis:

- un microprocesseur RISC capable de 60 Mips en arithmétique entière ou 240 Mops de fonctions DSP, interfacé à travers deux caches: 1 KB instructions, 4 KB données.
- deux ASIC, processeurs spécialisés réalisés à la demande : un codeur / décodeur à longueur variable, et un estimateur de mouvement capable de deux Gops.
- un contrôleur de mémoire externe à bus 32 bits, avec DMA.
- une interface vers un hôte 32 bits
- deux interfaces 16 bits de vidéo "intelligente"

Le logiciel associé sait traiter les algorithmes de compression MPEG, JPEG, H 261.

Cette carte a été intégrée dans deux produits commerciaux :

- CLM 4600 est un codeur MPEG pour video 704 \* 576 pixels, qualité cable et satellite, adapté aux télévisions CCIR 601, NTSC à 30 et 24 images / s, PAL à 25 frames / s. Prix \$ 10000 en 3 / 94 .
- CLM 4500 est un codeur MPEG de qualité amateur, 352 \* 288 pixels, \$ 4000 (un amateur fortuné !).

## 127 - CDA 100 A

Voici un cas limite de fourniture clé en main : un système de distribution de pièces de rechange automobile pour une petite entreprise locale, à base de NOVA 1200. La mémoire 16 bits est à tores, 32 Kmots, cycle 1,35  $\mu$ s. Les périphériques, spécifiques de l'application et minimaux, comprennent LR 300, PR 10, ME 30, un écran 24 \* 80 caractères, des fichiers suffisamment modestes pour tenir sur floppies 600 KB, et 2 à 13 ports. Le logiciel, lui aussi minimal, comprend seulement l'assembleur, une routine de gestion des fichiers en séquentiel indexé, et l'application qui consulte ces fichiers. Prix \$ 19800.

Apparemment les commerçants du voisinage ont trouvé cela utile, puisqu'en 6 / 78 la société annonce le Modèle 400 A à \$ 23000, dont la seule amélioration consiste à utiliser des disquettes de 1,8 MB.

Puis, en 1979, le modèle 500 A, \$ 33000, mémoire 64 (16) 128 KB, floppy 2,4 MB, ME 120, 4 ports ; et le modèle 500 C, \$ 55000, 128 (16) 256 KB, 8 ports, le reste semblable.

## 128 - C1230 de Celerity Computing

Exemple de serveur construit à la demande en 1986, donc avant que les industriels du micro aient repris cette application à leur compte . Destiné aux écoles, universités et laboratoires d'entreprises, ce serveur scientifique est un processeur propriétaire avec un jeu de 150 opérations d'inspiration RISC , composé d'un microprocesseur NCR 32000 et d'un coprocesseur 64 bits avec pipeline à trois étages et ruptures de séquence différées. Cycle 100 ns, puissance mesurée 3,25 Mips Whetstone.

La mémoire virtuelle de 4 GB s'appuie sur une mémoire physique pouvant atteindre 24 MB, et jusqu'à 22 GB de disques. 23 slots réservés pour les entrées / sorties, en deux racks MULTIBUS (IEEE 796 ), permettent de supporter jusqu'à 64 usagers et 4096 processus.

Le logiciel est UNIX, version Berkeley 4.2, avec C, Fortran 77, Pascal, un éditeur pleine page EMACS, et un debugging. Les liaisons sont Ethernet, TCP / IP (le réseau ARPA ), X25, NFS. Prix 59 à 87 K\$.

Il en existe aussi une version 1260 biprocesseur, 6,15 Mips, 128 usagers, 44 GB de disques, K\$ 95 à 123.

Ce serveur a été commercialisé en France en 1986 par Intersys, en Allemagne par GEI. Les prix français s'élevaient à 600 / 700 KF pour un 1230, 770 à 1300 KF pour un 1260.

## 129 - Chips and Technology , Milpitas, Cal

Ne pouvant concurrencer utilement Intel en créant un nouveau microprocesseur, cet artisan fondeur choisit de fabriquer des circuits intégrés qui améliorent l'économie des calculateurs existants en réduisant le nombre de composants nécessaires autour d'un microprocesseur particulier . Son premier exemple, réduisant de

plus de moitié le nombre de composants nécessaires pour constituer le microcalculateur phare du moment, le PC/AT, est une attaque directe contre Intel.

A partir de ce succès, C & T n'aura de cesse que de proposer des "chipsets" toujours plus réduits, jusqu'à ce que Intel prenne la décision de sortir en même temps les nouveaux microprocesseurs et le chipset exactement approprié. C & T se réfugiera alors dans des niches plus étroites.

Compte tenu de ces objectifs, la production de C & T ne peut utilement être présentée sur des fiches standard, car elle n'est que rarement un véritable ordinateur. On donnera une liste - non exhaustive - de composants marquants de la dernière décennie :

82 C 235 (1990) est un contrôleur de mémoire pour AT 286 10 à 16 MHz, contenant 2 DMA, une interface pour coprocesseur, un gestionnaire d'alimentation (économie d'énergie).

82 C 836 (1990) en boîtier 160 broches (SCAT) vise le microprocesseur 386SX 16, 20 ou 25 MHz avec le même contenu.

82 C 386 (1990) est un contrôleur de cache 16 ou 32 KB, 25 ou 33 MHz.

82 C 601 est un contrôleur d'entrées / sorties

82 C 765 est un contrôleur de disque souple

82 C 402 est un générateur de fréquence d'horloge, multiphase et multifréquence.

82 C 450 (1990) est un contrôleur d'écran VGA incorporant une VRAM de 1 MB.

82 C 711 est un contrôleur universel contenant deux ports série et un port parallèle pour disques IDE .

Il est commercialisé au prix de \$ 68 pièce par lot de 1000.

Le chipset ELEAT SX / C annoncé en 1990 sort en série au 1er trimestre 91. Il comprend les circuits 402, 450, 711 et 836 ci-dessus.

Le chipset PEAK / SX annoncé en 1991 en diffère par l'addition d'un contrôleur de cache 82 C 385.

Le chipset PEAK / DM offre le même service pour les 386 / DX de 25 ou 33 MHz, au prix d'une TagRAM externe supplémentaire pour les décodages d'adresses.

En 1991, C & T reprend la question pour le PC / XT qu'il s'agit de rassembler sur une minicarte à la nouvelle norme PC104, tenant dans le creux de la main. Cette puce contient l'équivalent d'un 8086, un contrôleur d'écran avec VRAM 32K\*8, un UART, un contrôleur de mémoire, un contrôleur de clavier, un dispositif d'économies d'énergie, un contrôleur d'interruptions, une mémoire pour les données de configuration et d'état. C'est le F 8680.

En 1991 également, C & T produira des compatibles 386 originaux, avec pipeline 5 niveaux, JTAG et dessin compatible 40 MHz : ce sont un 386 SX et un 386 DX. Des versions 3,3 volts sont prévues.

En même temps sortent les 386 OS SX et 386 OS DX, qui contiennent un cache de 512 bytes et permettent de programmer l'interface externe des microprocesseurs pour les adapter, par exemple, à deux OS différents.

Toujours en 1991, C & T construit un microprocesseur 50 MHz, le PUMA, Programmable Universal Micro Accelerator 94C2001. Ce coprocesseur contient une ALU 16 bits avec décaleur, un multiplieur 16 bits, un jeu de 16 registres 16 bits, groupés autour de 4 bus internes, le tout actionné par un bloc de commande 64 bits microprogrammé, traitant les opérations en 2 à 5 CP.

Comme ce microprocesseur ne contient pas de bus externe, il faut lui adjoindre une puce d'interface 94C2002 qui peut le relier, à travers des tampons FIFO, à un bus ISA ou EISA, par rapport auquel il peut jouer le rôle de maître ou d'esclave. Le choix de ce bus fait du produit un contrôleur, destiné à travailler avec une imprimante, un scanner ou un digitiseur. Prix \$ 90 en lots de 10000.

Chips & Technology sera acheté par Intel vers 1997, essentiellement pour ses capacités en matière de chipsets et de PC104, et ses équipes participeront à la définition du bus AGP.

### 130 - Cincinnati Milacron

La Cincinnati Milling Machines Company, apparemment un fabricant de machines outils, se décide vers 1970 à équiper ses machines de commandes numériques. Pour cela, il lui faut acquérir une compétence en informatique. Elle choisit de se créer une filiale spécialisée, la Cincinnati Milacron, et d'acquérir la licence d'un minicalculateur bien choisi, le Micro 800 de Microdata.

On renvoie à l'étude de cette machine microprogrammée pour les détails. Dans la version 2000, CM n'utilise apparemment que la micromachine mais, très rapidement, le CIP 2100 devient la norme : c'est une machine à mémoire principale à tores, avec 89 opérations et 8 modes d'adressage.

CM ne désire pas limiter son marché aux besoins des machines outils, et n'a de cesse d'avoir défini une machine de gestion. Microprogrammée sur une ROM 2K\*16, cette machine fait l'addition 16 bits en 10,3 µs, des multiplications et divisions, toute l'arithmétique décimale jusqu'à 16 chiffres, des déplacements jusqu'à 256 caractères, des manipulations de bits ; elle dispose d'une horloge, d'une interface télétype, d'une pile de CO, d'un bootstrap, d'une interface série, de 32 ou 64 interruptions, d'un débit cumulé d'entrées / sorties de 900 Kmots / s avec 1 à 3 DMA. La mémoire 16 bits + parité est en MOS 32 à 64 K, cycle 1,1 µs, accès 600 ns. Cette machine va servir à construire les machines de gestion GEORGE, en trois modèles :

- Modèle 40, 16100 \$, à base de floppies 630 KB
- Modèle 60, 30200 \$, 2 floppies plus 40 MB en cartouches
- Modèle 70, 30300 \$, très voisine

plus un choix d'autres périphériques : écrans 12\* 80 car, LC 600, IP 60 à 600, bandes 20 KB / s .  
 Cette machine sera un réel succès pour l'époque, 575 exemplaires vendus en mi 74.

La CIP 4000 lancée en 4/1971 est un mini assez différent, bien qu'implanté sur la même micromachine, et sa finalité n'est pas la gestion. La mémoire 18 bits est à tores, 4/64 KB cycle 1,2 µs, 4 accumulateurs et un index, adressage indirect indéfini, 100 opérations : addition binaire en 2,4 µs, multiplication et division cablées (?), double précision. Un canal d'entrée / sortie à 830 Kmots/s peut desservir des disques IOMEC ou IDS, des bandes Peripheral Equipment, des cassettes Sykes, un lecteur de cartes et une imprimante Mohawk, un lecteur Remex de bande perforée, un télétype avec perforatrice de bande.

En 1976, CM éprouve le besoin d'un micro de gestion plus puissant et achète à cet effet à Microdata des Micro1600, qu'elle ne fabriquera pas. Mémoire principale 64 / 256 K en MOS 900 ns cycle, 600 ns accès, mémoire de commande en ROM 2K\*24 bits, répertoire légèrement accéléré, cette machine ne diffère pratiquement pas de la 2200 mais elle est plus rapide et mieux dotée en périphériques, servis par un DMA de 1,2 MB/s, et en particulier elle accepte jusqu'à 32 lignes et 320 MB en dispaçs. Elle a servi à construire le GEORGE Modèle 80, qui offrait pour 45900 \$ 40 MB de disques, un écran, une imprimante et le RPG II.

### 131 - La saisie chez CMC

Cette compagnie paraît avoir commencé sa carrière comme fabricant de terminaux, puis elle est absorbée en 1976 par Pertec, spécialiste de bande perforée, qui lui conserve son nom. Elle se spécialise alors dans la saisie : son CMC 440 de 1977 est déjà essentiellement un concentrateur pour 4 terminaux à écran 9 \* 64 caractères (matrice 5\*7), associés à des claviers 91 touches, spécialement riches en touches de fonction : avec 64 KB de mémoire, un disque en cartouche de 5,76 MB, un minifloppy de sauvegarde, une ME 60 à 180, mais surtout un contrôleur de ligne asynchrone 75 / 1200 et un contrôleur de ligne synchrone 1200 / 9600, cette machine reliée par protocole BSC pouvait alimenter un calculateur central avec des fichiers collectés sur des terminaux dispersés dans un rayon de 100 mètres.

Prix en France : 223 KFHT + 1320 F/mois de maintenance pour 3 terminaux, ME 120, floppy.

1977 : le XL 40 est DREAM, Data Retrieval, Entry & Management, nom poétique pour une saisie multiposte. Mémoire 64 à 128 KB sur 16 bits; Périphériques : 4,4 à 35,2 MB de disques, option bandes, et une ligne, BSC puis SDLC; et bien sûr, 1 à 7 postes de saisie.

Le système d'exploitation est XL / OS, qui assure l'allocation des disques et la mémoire dynamique. Le logiciel d'application comprend un éditeur et un sous-ensemble de COBOL. Prix de base : \$ 23500 ou 450 \$/mois.

Le sommet de cette conception de saisie multiposte est atteint en 1978 avec Sovereign, autorisant un maximum de 256 terminaux locaux groupés autour d'un minicalcuteur central doté de disques et de bandes, plus la liaison par ligne ou canal avec l'ordinateur central. Un poste de superviseur disposait des statistiques de travail et pouvait surveiller individuellement chaque poste de travail.

Socialement très mal ressentie par le personnel, cette solution du problème de la saisie a disparu avec les possibilités de liaison directe terminal / CPU.

CMC paraît être à partir de 1978 une filiale de Microdata, ce dont l'intérêt n'apparaît pas, car ses activités, passées de la saisie à la petite gestion, demeurent dispersées et pas du tout centrées sur le produit de la société mère:

- le CMC 7600 de 1979 est un gros multiclavier à base de PDP 11 / 34, 256 ou 512 KB en MOS 510 ns, avec jusqu'à 320 MB de disques CDC Winchester, jusqu'à 6 bandes 9 pistes 800 / 1600, et jusqu'à 32 terminaux locaux. Les liaisons lignes de tous types sont assurées par un processeur séparé dit PMMT, qui gère 4 coupleurs de deux lignes avec deux Z80 à 64 KB chacun.

Langage RPG2 pour le batch, KOBOL pour les transactions en temps réel.

Prix typique : 19800 FHT/mois en location-vente sur 5 ans pour 256 KB, disque 80 MB, une bande 1600, 6 écrans, 2 ME 60, 4 postes de saisie à écran 256 caractères, IP 300, une ligne asynchrone 3270, une ligne BSC 2780.

- le CMC 7030 de 1980 est un petit système de gestion étudié par Rexon Business Machine Corp., Cal, à base de 8086, avec mémoire RAM 64 ou 128 KB, accès 200 ns; 20 ou 40 MB de disques en 10 fixe + 10 cartouche, et 8 postes 24\*80.

Le système d'exploitation est RECAP, la programmation se fait en Basic, et il existe une base de données IDOLE. Prix 216500 FHT en 64 KB avec 20 MB disques, ME 150 et le logiciel.

L'absorption de Microdata par Douglas mettra fin à ces activités disparates.

### 132 - CODAR

Cette société se spécialise dans la militarisation de produits existants, avec l'accord du constructeur. On peut citer en 1990 :

300 M, station de travail à base de Decstation 3100 et de VAXstation. La société peut aussi proposer des adaptations de la DECstation 5000 et la Sparcstation 1+.

700 M, produit capable de l'environnement camion, fabriqué pour le programme TACMS de missiles antichar montés sur véhicule M577 : 33 machines pour M\$ 11, plus 11 autres produites pour Marconi Italiana. Selon besoin, l'adaptation peut se faire sur Q Bus ou sur Bus VME.

### 133 - Codata System Corporation

Le seul produit connu de cette société est un ordinateur de table construit autour d'un microprocesseur Motorola 68000 à 8 MHz, adressant 2 MB de RAM dont 256 K sur la carte mère. Choix entre parité et SECDED pour cette mémoire.

L'écran 25 \* 80 caractères et le grand clavier séparable à 18 touches de fonction sont servis par un contrôleur basé sur un 8085, permettant des aménités telles que curseur, soulignure, clignotement, video inverse. Un autre contrôleur 8085 gère le disque souple à travers un DMA et un tampon de 4 KB. Un troisième contrôleur, à base de Signetics 8X300, est consacré à un ou deux disques ST506 de Seagate, 6 MB.

Les périphériques optionnels sont connectés par Multibus (Intel), par exemple une bande de sauvegarde de 10 MB (Intephase ou Comarc), 9 pistes, 45 ips; et/ou 4 interfaces RS232C avec interruptions.

Le logiciel comporte un système d'exploitation genre UNIX, un Fortran 77 capable de 7000 lpm et occupant 100 KB, et un Pascal occupant 96 KB.

Prix \$ 20000, plus \$ 450 pour chacun des compilateurs (6 / 81).

### 133 - COGAR 4

Cette petite société a été créée par des transfuges d'IBM qui se sont d'abord essayés à la mise au point d'une mémoire à semi-conducteurs, 32768 \* 36 bits, avec cycle de 400 ns. C'était un produit pour grosse machine, et il ne semble pas avoir intéressé les grands constructeurs qui auraient pu l'utiliser. Voir à ce sujet l'article 255 - 53/62 (1970).

Simultanément, l'équipe réalise et essaye de vendre un appareil de saisie sur bande, baptisé System 4 (fiche). Malgré le professionnalisme de sa conception, le produit ne réussit pas à s'imposer sur un marché quasi monopolisé par Mohawk, et la société est rapidement rachetée par Singer, qui commercialise le System 4 sous le nom de 1501 (monoposte) ou 1503 (concentrateur), avec un succès aussi moyen que celui de Singer soi-même.

En 1976, Singer abandonne ses activités informatiques, et les vend à ICL, société anglaise qui espère trouver ainsi une porte d'entrée aux USA, et garde à cet effet le nom de Singer Informatique. Par la suite, le rachat de ICL par Fujitsu intervient trop tard pour avoir une quelconque influence sur le sort du COGAR 4, dont le marché a disparu vers 1978.

### 134 - XTM de Cogent Research

Cette station de travail est distribuée en Europe par Scientific Computer : elle est construite autour du microprocesseur anglais Transputer de Inmos, racheté ensuite par Thomson. Très originale, elle peut comprendre jusqu'à 128 MB de mémoire, et offre une puissance de calcul de 168 Mips et 48 MFlops, extrêmement honorable à l'époque ; on peut cependant craindre que son originalité même ne soit un obstacle, les acheteurs n'ayant guère confiance dans le service après-vente.

Le système d'exploitation est QIX, probablement une variante d'UNIX, conçu en tous cas pour faciliter la programmation du parallélisme qui est la raison d'être des transputers. Le langage de programmation proprement dit est LINDA, intrinsèquement parallèle.

## 135 - L'informatique de Collins Radio

Collins Radio s'est développée pendant la guerre en fabricant l'immense masse des émetteurs / récepteurs radio des avions de combat américains, en commençant par l'AN / ARC 2 HF et l'AN / ARC 13 VHF / UHF AM de 1944. Cette activité militaire n'a pas cessé avec les hostilités, et de 1945 à 1990 on peut identifier une cinquantaine d'émetteurs / récepteurs pour les trois armes, du HF au troposcatter ; il faut y ajouter des goniomètres : AN / ARA 28 en 1951, 37 en 1953, 50 en 1956 pour le F111A,

des radiosextants (AN / SAN 1, AN / SRN 4 en 1955),

des récepteurs ILS : AN / ARN 58 en 1961, 82 en 1974,

des récepteurs Loran C : AN / SRN 30 pour le CGS en 1961, AN / APN 199 pour le C5A en 1970,

des récepteurs Tacan : plus de 11000 AN / ARN 118 en 1974,

et des appareils d'analyse pour contre-mesures (AN / BLR 1 et SLR 2 en 1950, AN / ALR 8 en 1953).

Collins a participé à toutes les expériences visant à mieux utiliser la bande HF (2 à 20 MHz) grâce à des modulations subtiles (FSK, SSB, Selcal). Une des réalisations importantes de Collins dans ce sens est le modulateur Kineplex, qui permet de transmettre des informations binaires comme de nombreuses voies FSK juxtaposées dans la modulation globale d'une porteuse HF. Cette idée a été expérimentée dès 1950 dans le cadre du système Fieldata de l'Armée de terre (AN / FGC 54), elle a pris sa forme définitive en 1960 avec l'AN / SSQ 29, liaison 11 du NTDS utilisant un E / R HF standard AN / SRC 16 (aussi USQ 36 et USC 8 en 1965, puis AN / ASQ 52 et AN / ARC 80 pour l'ATDS en 1961, et bien d'autres ensuite).

Reconvertie parallèlement vers l'aviation civile, Collins a participé au vaste effort de normalisation qui s'incarne dans l'ARINC, et construit naturellement tous ses matériels sous forme de tiroirs aux cotes ATR, 1/2 ATR, 1/4 ATR, etc... définies par cette association.

On pouvait donc s'attendre à ce que son entrée dans l'informatique s'inscrive dans ce même moule, et c'est le cas de l'AINS70, calculateur de navigation pour le DC 10. Ce système bâti autour d'un minicalcateur avec mémoire à tores 8 ou 16 Kmots, cycle 2,5  $\mu$ s et scratchpad en LSI bipolaires 60 ns. Il comprend deux calculateurs, trois centrales à inertie Litton 58 avec montage majorité, deux récepteurs VOR / DME, et une table des repères, balises et routes sur minicassette ; présentation de la route sur écran.

Cependant, c'est plutôt dans le domaine de la gestion de communications que Collins a placé son action, toujours au profit des compagnies aériennes il est vrai :

- C8400 de 11 / 62 a été étudié au profit de Delta Airlines et fait de la commutation de messages sur des liaisons Télétypes fournies par ATT. Ce premier matériel comprenait 2 processeurs pour un service continu, et jusqu'à 256 lignes. En 7 / 72, on trouve aux USA quelque 25 machines de ce type, dont une pour le réseau propre de l'ARINC, intercompagnies (M\$ 2).

- C8300 de 1 / 68 est un minicalcateur de gestion de communications, vendu 16 K\$. Son prix lui permet de s'insérer dans la collection des périphériques d'ordinateurs, mais on ne dispose d'aucune information sur les relations de Collins avec ces milieux.

- C8560 de 1 / 67 est le plus connu et le plus vendu des systèmes de commutation de messages, 53 exemplaires aux USA et 16 à l'étranger, dont trois en Scandinavie sont documentés dans le dossier. Curieusement, Collins réalise ces matériels purement terrestres en utilisant la modularité ATR de ses appareils destinés aux avions.

- C8564 de 1971 est un minicalcateur d'avion, à en juger par son poids de 17 Kg et son volume de 28 litres. Son bloc de calcul réalisé en TTL, avec addition 3,4  $\mu$ s, multiplication 4  $\mu$ s, division 7  $\mu$ s, option virgule flottante et calcul sur byte, permet des applications exigeantes, et sa mémoire, 4 à 16 KB DRO 32 bits, cycle 2  $\mu$ s, accès 600 ns, suggère un usage spécialisé en temps réel. Il y a huit canaux d'entrée / sortie dont deux peuvent être des time multiplex. Usage et nombre de matériels produits inconnus.

- C8562 est une modernisation du 8560, produit en 20 exemplaires. Le processeur 32 bits, avec 256 KB de mémoire 900 ns, peut gérer jusqu'à 1024 lignes TTY, ou 256 lignes téléphoniques, ou 128 lignes à large bande, ou toutes combinaisons de cela, au profit de plusieurs hôtes si besoin est. Il est programmé en assembleur et vendu, bien entendu, avec un programme de commutation de messages tous protocoles, pour un prix plutôt élevé de K\$ 500 à 2000.

- C900 de 1 / 75 prouve qu'une dizaine de fois au moins, malgré sa forte orientation aéronautique, Collins a réussi à obtenir des contrats pour de telles tâches de gestion de communication dans le domaine bancaire. Construit il est vrai à partir de calculateurs DEC PDP 11 / 35 et / 05, ce système gère 256 lignes half duplex, ou 20 liaisons phonie, ou 10 liaisons à large bande, avec 64 à 256 KB de mémoire. Il pratique le protocole privé de l'IATA ou le protocole normalisé SDLC, et se vend K\$ 350 à 900 selon nombre de lignes.

On ne peut guère douter que cette activité très réussie de Collins ne se soit poursuivie dans les 30 dernières années du siècle, mais on n'a pas de documentation directe sur ce point et il n'existe plus, après 1975, de publicité pour les systèmes Collins de commutation de message. Il semble bien que Collins est devenu, quelque part avant 1993, une filiale de Rockwell International.

### 136 - Commodore

L'histoire de Commodore commence vers 1976, avec le Personal Electronic Translator ou PET (argot pour "animal familier" ), ou CBM 1000, une approche commerciale résolument tournée vers la clientèle familiale. Au coeur se trouve le microprocesseur Rockwell 6502, variante compatible mais originale du Motorola 6800, produite en série par MOS Technology, que Commodore rachète bientôt : ce choix lui servira de lancement. Le client est supposé n'avoir ni l'envie ni la compétence pour programmer, de sorte que le BIOS et le BASIC sont en ROM : les usagers trouveront des idées de petits programmes graphiques dans les rubriques d'informatique amusante des revues de vulgarisation.

Cette formule va durer quatre ans, les améliorations successives consistant en des accroissements de mémoire et des offres de nouveaux périphériques, avec les CBM 2000, 4000 et 8000 qui cesseront de s'appeler PET quand les usagers commenceront à prendre l'informatique au sérieux et réclameront des machines plus capables.

Commodore a bien vu, à ce moment, que le calculateur personnel allait bientôt intéresser l'entreprise, mais sa solution, avec la carte CP/M, correspond à l'idée que l'utilisateur familial veut trouver sur son bureau ce qu'il a dans son salon : c'est d'autant plus insuffisant que l'unique moyen de programmation reste BASIC, et que les packages proposés en sus restent résolument personnels. Le C64 et le C128, qui essaient de combiner ces divers services, mais qui sont toujours capable de se raccorder à la TV, ne peuvent pas vraiment entrer dans l'entreprise.

Pour son malheur, Commodore rencontre alors Amiga. Sur un programme très proche de celui de Commodore, cette société avait créé, autour d'un 68000 et de trois ASIC, une machine d'allure beaucoup plus professionnelle que les C64 et 128. Très endettée, elle avait besoin d'argent pour atteindre le stade commercial. Commodore rachète Amiga et, dès la première année (1985), vend 50000 machines au prix pourtant élevé de 18950 FHT (en France); malgré cela, les commentaires boursiers sont très critiques, constatant que cette année là, Commodore a perdu 237 M\$ pour un CA de 750 M\$, en particulier à cause d'un stock de près d'un million de C64 invendus.

Néanmoins, le nouveau président tire un trait sur le passé et parvient à relancer la société, qui se décide à aborder l'entreprise avec de vrais PC : les PC 30 III, 40 III, 60 III. Ils nous paraissent cher, mais les commentateurs jugent le plus puissant compétitif.

De fait, ces PC étaient sans doute de bons produits car en 9/93 Commodore est sollicité par le taiwanais ACER, dont les ventes de PC ne démarrent pas, alors que Commodore en a placé 42000 en Europe, soit trois fois plus : aux termes de cet accord, ACER fabrique et vend sous la marque Commodore les PC, tandis que Commodore se replie sur son domaine familial en se consacrant aux seuls Amiga, qui évoluent au rythme des 68000.

La société en mourra, sous la pression des consoles de jeux japonaises, vers 1995.

### 137 - COMPAQ Computer Corporation

Compaq est créée à Houston, Texas, au début de 1982 avec une philosophie bien particulière : produire des portables parce que c'est le souhait des industriels et que c'est devenu possible, et les faire compatibles IBM parce que c'est IBM qui a créé la norme, laquelle constitue une véritable protection.

A cette époque, "portable" est une expression optimiste, mais le succès sera au rendez-vous : en un an, de 1983 à 1984, Compaq vend 133000 de ces portables pour un CA de 240 M\$. Il est alors en mesure de produire aussi un "desktop", avec un plus : la possibilité de multiplier la performance par 1,6 (7,14 MHz) en perdant un peu de compatibilité. En 1985, Compaq est 52ème société mondiale d'informatique avec un CA de 503 M\$ (+53%, et +105% de bénéfices par rapport à 1984).

A partir de là et jusqu'en 1997, Compaq se situe sur une trajectoire ascendante qui va l'amener progressivement à la position enviable de premier vendeur mondial de PC. Il est vain de chercher à décrire complètement, année après année, les produits d'un fabricant de PC : ce qu'on trouvera dans les fiches est un échantillonnage dans lequel figurent néanmoins tous les formats de portables, de desktops et de tours.

En janvier 98, Compaq est prospère : CA97 = 24,6 B\$, bénéfice 1,9 B\$, effectif 33000 personnes; Il a acheté Tandem en 1997 pour acquérir une expérience dans le domaine des fiabilités exceptionnelles, ce qui ne lui sert à rien sur le moment mais prépare l'avenir, comme le montre la suite.

Au même moment, Digital Equipment, un des grands des années 60 à 80, remonte difficilement la pente après s'être trouvé en quasi faillite en 1994, et avoir du vendre à Intel ses usines de microprocesseurs Alpha. Son CA97 est de 13 B\$, son bénéfice de 141 M\$ seulement, son effectif de 54400 dont 22000 dans les services, qui comprennent le soutien résiduel d'un grand nombre de processeurs anciens.

Compaq achète Digital pour 9,6 B\$ : la motivation de cette opération est de changer de statut, de simple producteur de micros à celui de généraliste, DEC apportant une importante clientèle de stations de travail et de serveurs, et c'est sur ces derniers qu'on aura besoin du savoir-faire de Tandem. La connaissance du microprocesseur Alpha et les tarifs privilégiés que consent Intel en échange de son achat représentent aussi un avantage.

Cela dit, on ne discerne pas clairement, lorsqu'en 2000 on arrête ce catalogue, ce que Compaq compte faire de son acquisition, car les deux entreprises continuent, pour un moment encore, leurs marches parallèles. C'est par exemple l'équipe DEC qui propose, en juin 2000, pour essayer de combattre Sun et IBM, l'Alpha Server GS, un ensemble de 32 CPU capable de 150 KTPM, et coûtant 3,1 MFF ; mais, à cette époque, Compac/DEC ne fournit plus que 2% des systèmes Unix du monde, contre plus de 10% pour chacun de ses grands concurrents HP, IBM et Sun.

En tous cas, Compaq est toujours à cette échéance le premier vendeur mondial de PC, avec quelque 13% du marché, juste devant IBM qui, il est vrai, a beaucoup d'autres activités. Il est probable que l'achat de DEC a gravement fragilisé Compaq, et que la relative saturation de son marché de base, le PC, lui a porté un coup dur : hors étude, nous avons appris que Compaq est à vendre, en août 2001, et fusionne avec Hewlett Packard en mai 2002, après une longue lutte contre l'opposition très ferme de M. Hewlett, qui y voit un abandon des valeurs de sa firme.

### 138 - Compat

Cette machine pour terminal 1200 bauds est une expérience dans deux domaines : en tant qu'entreprise, en proposant un produit qui peut, ou non, trouver des clients. Et sur le plan technique, parce qu'à une mémoire principale minimale de 4 K \* 16 bits, cycle 1 µs, l'auteur ajoute une boucle magnétique qui peut comporter jusqu'à 50 K \* 8 bits, avec un temps d'accès de 0,5 s quel que soit le mot : ce délai ridiculement long était en soi une condamnation, et le produit n'a eu aucun succès.

### 139 - Complete Computer System

Encore un autre assembleur, qui travaille cette fois avec le NOVA 2 / 10 de Data General, 64 à 256 KB en MOS 1 µs. L'originalité est très faible, car la société se borne à utiliser le logiciel standard du constructeur : CCS est donc un pur installateur de systèmes clé en main pour PME obligées d'en passer par une assistance. La seule originalité est la proposition systématique d'un OS multiposte avec jusqu'à 18 lignes.

Les années suivantes et un succès local feront passer au NOVA 3 / 12, avec mémoire 128 (32) 256 KB de cycle 700 ns, addition en 700 ns. Le choix de périphériques s'étoffe : floppy 1,2 MB ou cartouches 10 à 40 MB, LR 400 / PR 60, LC 300, ME 60 à 180, IP 300 / 600, RM 60 KB / S, et 16 lignes 9600 bauds au protocole 2780.

Le logiciel comprend assembleur, Basic, Fortran, avec une base de données Create; la multiprogrammation s'appuie en partie sur la microprogrammation.

Tous les systèmes réalisés de 74 à 80 (numéros 10, 11, 12, 14, 16, 22) utiliseront un des modèles de Nova, avec des prix de \$ 30940 à 63605, ou 425 à 875 \$ / mois.

Pas de développement connu au delà de 1976, pas même autour du successeur plus puissant Eclipse, ce à quoi on peut imaginer bien des explications ; aucune n'est certaine.

### 140 - Compuadd

Quelques années plus tard, la solution pour entrer en informatique commence pour ce petit constructeur texan par la construction banale de compatibles PC ; la durée de vie limitée de cette compagnie permet d'être à peu près exhaustif :

System 212 est un 286 à 12 MHz, fonctionnant sous MS / DOS avec 1 MB de RAM et un disque de 40 MB. Epoque estimée 1972. Prix (douteux) 1000 FHT.

System 316 à 13500 FHT utilise un 386 SX à 16 MHz, avec 1 MB de mémoire, un disque 80 ou 110 MB en option, un écran VGA monochrome, 5 connecteurs. Soft Windows 3.0

System 320 utilise un 386 SX à 20 MHz, reste inchangé : 15500 FHT.

System 325 est semblable avec un 386 à 25 MHz, et le disque 40 MB devient standard.

Prix 19900 FHT.

System 333 utilise un 386 SX à 33 MHz, et le même disque avec 4 MB de RAM. La configuration est au choix desktop ou tour, et le prix grimpe à 36500 \$.

System 425 est un 486/25 à 40000 \$, dont la mémoire est extensible économiquement, par exemple + 5000 \$ pour un passage de 4 à 7 MB. On est en 1990 et le logiciel reste Windows 3.0.

Il y a aussi une offre de portable 316 SL, utilisant un 386 SX 16 MHz d'origine japonaise, 21500

FHT avec 2 à 6 Mb et disque de 40 MB + floppy. Logiciel inchangé.

Le CA atteint à cette époque un montant honorable de 550 M\$, de sorte que la compagnie se croit fondée à étudier une station de travail, d'ailleurs assez modeste (12,5 Mips), construite autour du Sparkit 20. La disparition de Compuadd à cette date indique probablement que la compagnie a été absorbée, a priori par une société ayant misé sur le Sparc, Sun ou un japonais.

## 141 - Compuata Systems

Compuata est en 1974 un fabricant de facturières, avec un calculateur élémentaire à 100 Kops et une mémoire 8 (8) 32 KB, supportant un à 3 lecteurs de disques souples Memorex de 500 KB, non compatibles IBM, des cartes à comptes magnétiques, et une machine comptable à 4 entraînements sur 288 positions, 100 cps. Bref, une excellente solution pour les années 60.

Elle décide donc de se reconvertir, en ajoutant Systems à son nom. Dans les années suivantes, la nouvelle société fabriquera, à la demande:

- 30 machines diverses à base de PDP 11, tous types de 34 à 70.
- 8 exemplaires à \$ 26000 construits autour de l' IBM Series 1
- 150 exemplaires à base de PDP 11/34 ou LSI 11, avec mémoire 32 (32) 256 KB, à \$ 17000.

Clientèle : services commerciaux, distribution.

## 142 - Justape de Compugraphics

Cette machine de 1965 est un calculateur spécialisé pour préparations typographiques, dont 136 exemplaires avaient été vendus trois ans plus tard. La généralisation de l'offset et l'introduction progressive de la PAO feront disparaître cette application obsolète.

## 143 - Computer Automation

Cette société s'introduit sur le marché des minicalculateurs en 1968, en achetant à Data Technology le droit de copier, fabriquer, modifier et commercialiser sous son nom le minicalcateur DT1600 étudié par cette société. Des droits aussi larges, associés à une réelle dynamique industrielle et commerciale, font que CA apparaîtra très vite au marché comme l'unique vendeur des machines dérivées de ce prototype, bien que DT ait conservé tous ses droits originaux ; d'autant que CA entreprit immédiatement d'élargir dans toutes les directions les possibilités de la machine de base devenue PDC 808, multipliant les noms de modèle par une démarche marketing appuyée sur le progrès technologique, construisant une variante 16 bits baptisée d'abord Alpha, puis LSI2, et même revendant des licences.

En quelques années, Computer Automation devient un champion de la vente en OEM de cartes de contrôleurs 16 bits, et on pourra trouver dans la fiche LSI 3/05 un dépliant illustrant la considérable variété des offres de calculateurs et cartes OEM pour 1975.

Pourtant, CA continue à rêver de véritables ordinateurs et lance en 1977 la famille LSI 4 qui s'étend de la carte OEM au véritable centre de calcul, avec jeux d'instructions scientifiques et d'instructions de gestions qui cependant peuvent s'acheter séparément. Le gros des ventes continue à se faire par OEM, car c'est la procédure que CA connaît le mieux.

Cependant, en 1976, CA décide qu'il ne peut rester en dehors de la gestion, qu'il perçoit comme interactive et distribuée : aussi met-il sur le marché SYFA, un ensemble de gestion à base de LSI 4/90, interconnectés par des LSI 3 de commutation. Cette formule obtint quelques succès.

Elle sera donc reprise sous le nom de Syfa 2 en 1985, avec deux nouveaux processeurs :

- le modèle 150 utilise une mémoire de 128 KB en RAM 750 ns avec parité, plus 1 à 3 Winchester de 36 MB et un streamer, pour gérer jusqu'à 8 terminaux synchrones RS232C. Prix \$ 17250 à 49800.
- le modèle 170 est le même processeur, poussé à 1 Mips par une mémoire 128 à 256 KB de RAM 550 ns avec ECC, ce qui lui permet de gérer 16 lignes, en liaisons SNA, X25 ou BSC, pour un prix variant de \$ 21250 à 73500.
- le modèle 300 est un processeur plus puissant, équipé de 128 à 304 KB de la même mémoire, avec disque amovible de 80 MB, ou Winchester de 160 ou 300 MB, ainsi que 8 lignes. Il commence où le précédent finit, et coûte 31200 à 87300 \$.
- le modèle 1000 est le même processeur avec cache, supportant jusqu'à 4 disques des modèles précédents, et jusqu'à 24 lignes asynchrones plus une liaison X25, SNA ou BSC. Prix K\$ 36 à 202.

Ces processeurs sont normalement connectés par une puce propriétaire à un réseau local à large bande, de protocole CSMA / CA sur coaxial, qui supporte globalement jusqu'à 96 Mips et 34,5 MB de mémoires. Le système d'exploitation Syclops et le langage Sybol sont ceux du Syfa 1.

Les participants peuvent être :

- un serveur, baptisé Resource Processor, qui gère la base de données.
- des task processors, regroupement de micros ci-dessus dans une enceinte de CPU, jusqu'à 8 à raison d'un par application.

Pourtant, à partir de 1985, on n'entend plus parler de CA. Il faut admettre que cette société n'a pas su gérer le tournant de la microinformatique, qui lui enlevait la création des cartes processeur pour la donner aux fabricants de composants, et à leurs alliés des applications, organisés autour des bus industriels : Multibus d' Intel, VME bus de Motorola, etc...

#### 144 - DCS 5812 de Canaan

Autre compagnie essayant de profiter de l'élan d' IBM : le DCS 5812 est une machine de réseau compatible 370, et prévue pour s'insérer dans un réseau Ethernet à 10 Mbit/s. Le CPU est un micro 32 bits qui émule, par câblage ou microprogrammation, le jeu complet des instructions 370, et les exécute sur une mémoire virtuelle de 16 MB, matérialisée par une mémoire physique de 1 à 8 MB, et 85 à 660 MB de disques. Le logiciel est VM/CMS et la machine est intégralement connectable aux centraux IBM. Prix 700 KF en 2 MB.

#### 145 - Computer Consoles

Cette société travaille dans les systèmes redondants depuis 1973, au profit du téléphone. Le produit PPS 55, à base de 68000, avec 4 MB de mémoire principale et 600 MB de disques, est conçu pour la gestion transactionnelle et l'automatisation, et assure la redondance par logiciel, ce qui est un peu moins sérieux que la solution de l'inventeur du concept, la société Tandem. Prix pour deux unités centrales, deux contrôleurs, deux bandes, deux disques de 150 MB, un terminal et un logiciel dérivé d'UNIX : \$ 162000.

#### 146 - Computer Control Company

On voit apparaître cette société d'automatisme en 1958, où elle accepte un contrat du RADC pour un Index Searcher, c'est-à-dire une machine documentaire spécialisée, capable de retrouver des références de documents à partir d'une série de clés (les index) fournies par le demandeur. La machine est brièvement décrite par une communication publiée dans 235-57.

On la retrouve vers 1960, où elle réalise à la demande, pour le Centre d'entraînement naval de Port Washington, NY, des machines d'instruction :

- le SPEC, Stored Program Educational Computer, est une machine à logique modifiable par panneau de connexion, avec une mémoire de 128 mots conservés dans une simple ligne à magnétostriction.
- le 6B4 est un démonstrateur de fonctionnement de calculateur, permettant aussi l'apprentissage de la logique booléenne.
- le 6F2, nettement plus complexe, permet l'entraînement au dépannage sur un calculateur, dans lequel un instructeur peut susciter jusqu'à 246 défauts, ou pannes, différentes.

Dans un autre domaine, il existe aussi en 1960 un calculateur pour la manipulation de la vaste antenne spatiale de Goldstone.

Cette expérience du temps réel convainc la société de s'intéresser aux calculateurs universels d'automatisme et, comme il n'y a pas à l'époque de doctrine en la matière, elle propose à ses premiers clients une longueur de mot de 19 bits, tout en acceptant a priori de faire à la demande des machines d'autres tailles. Le DDP 19 ne sera construit qu'en trois exemplaires, cédant la place à un DDP 24 qui sera un succès, au point de donner lieu à militarisation.

La réussite du DDP 24 change la situation de 3C, dont la production augmente. Il y aura un DDP 124 à base de transistors au germanium, un DDP 224 construit en transistors discrets au silicium, puis le DDP 516 en circuits intégrés, produit à 750 exemplaire. A ce niveau de production, 3C a besoin d'une augmentation de capital, qui se fera par intégration dans Honeywell, branche automatisme, dont 3C devient une division importante.

Honeywell n'essaiera pas, pendant la période où cette compagnie se croira un peu vite la deuxième société mondiale d'informatique, de fusionner la division 3C avec l'informatique de gestion. Mais, après le dur retour aux réalités, quand HIC sera revendu à la France, on aura eu le temps d'oublier 3C, et les automatismes Honeywell n'y feront plus allusion.

#### 147 - CPBS de Computer Covenant

Encore un assembleur, qui propose des PDP 11 pour faire de la gestion. Tout est à la demande dans ces modèles proposés fin 76 pour un minimum de \$ 24000 + logiciel : mémoire à tores ou en MOS, calculateur petit, moyen ou puissant, et tous services:

CPBS 1 est bâti autour du PDP 11 / 04. C'est lui qui vaut \$ 24000 avec une mémoire MOS 980 ns de 56 KB. Le système d'exploitation est modestement à 4 partitions.

CPBS 2 utilise un PDP 11 / 34 et 56 (16) 248 KB de mémoire MOS 510 ns, et un système d'exploitation à 16 partitions. Prix \$ 42000 avec disque en cartouche 10 MB.

CPBS 3 recourt à un PDP 11 / 70, et une mémoire 256 (64) 1024 KB, 380 ns avec cache. Le logiciel est RMS 11 complété d'une base de données DBMS 11. Prix \$ 100000 avec 1408 MB de disques en pack.

Peu de chose à retenir de cet exemple qui manifeste certainement une complicité entre le fabricant DEC, peu soucieux de relations avec les petits clients, et ses assembleurs licenciés : une étude attentive des multiples exemples de ce type pourra donner une idée du prix qu'il fallait accepter de payer pour utiliser l'informatique tout en n'y connaissant rien.

#### 148 - Computer Hardware

Cette société s'introduit sur le marché en proposant un minicalcateur exactement compatible avec le célèbre IBM 1130, ce qui le dispense du travail d'écrire des logiciels. En outre, le prix de \$ 32000 est inférieur à celui de l'original, et la vitesse 2 à 6 fois supérieure.

Mémoire 800 ns, addition en 1,6  $\mu$ s, option virgule flottante. Tous périphériques y compris de plus performants que ceux d'IBM, par exemple une IP 600. Logiciel évolué à 32 partitions, ce qui permet d'accepter jusqu'à 36 lignes téléphoniques sous protocoles 2780, 3780 ou 3741.

En 4 / 76, l'auteur récidive en proposant, pour \$ 15000 seulement, le même CPU avec une mémoire MOS 1600 ns, temps d'addition 2,7  $\mu$ s, mémoire 8 à 64 KB., sous le sigle 3230.

On aurait tort de conclure à l'incompétence d'IBM : vendre le plus longtemps possible les matériels qui marchent, même quand on sait faire beaucoup mieux, est une stratégie marketing qui a permis d'énormes marges. Mais avec les circuits intégrés, le progrès technique s'est accéléré, et il a fallu amortir plus vite chaque nouveau produit : la plupart des inventeurs furent d'ailleurs incapables de soutenir le nouveau rythme, qui en fin de compte a profité surtout aux sociétés les mieux assises.

Quoi qu'il en soit, Computer Hardware a gagné suffisamment avec ses compatibles pour pouvoir produire, en 10 / 77, un CHI 4210 et trois mois plus tard une variante 4250. Mais par la suite, on n'entend plus parler de Computer Hardware, sans qu'on sache de quelle manière elle a disparu.

#### 149 - Devonshire Computer Corporation

Le seul produit connu de cette société est un calculateur de communications 16 bits, avec mémoire de 8 à 64KB à cycle de 1,2  $\mu$ s, et qui serait susceptible de gérer jusqu'à 252 lignes, à travers un DMA de 200 Kbit/s, ce qui paraît faible. Le logiciel est spécifique.

## 150 - Compro II de Computer Interactions

Encore un autre, avec un programme plus modeste concernant les drugstores, avec un PDP 8E ou F, et un système à 4 partitions seulement, accompagné d'assembleur, Basic et Fortran.

La mémoire est 16 (8) 64 KB, avec floppy 256 KB, disque en pack 90 ou 256 MB. En outre, LR 300, PR 60, LC 600 / 1200, ME 165 ou 300, IP 300, écran 24\*80. En option, bandes 20 ou 40 KB/s. Et bien sûr, jusqu'à 32 lignes, tous types asynchrones jusqu'à 2400 bauds, et synchrones jusqu'à 9600 bauds.

Le résultat est plutôt brillant pour cette catégorie de prestataire de service, 77 machines à \$ 50000 vendues.

En 1977, le Wordpro II est la même machine, agrémentée d'un traitement de texte en plus du service de base qui est la comptabilité.

## 151 - PME 16 de Computer Interface Technology

Il s'agit d'une reprise commerciale de la machine expérimentale Pascal Microengine, après la faillite de Western Digital qui avait conçu la puce MCP 1600 lui servant de coeur.

Le résultat est vendu \$ 2995 avec 64 KB de mémoire RAM, 2 floppies, une ME 60 et un écran. Tout le mérite de l'opération revient à l'étude Western Digital à laquelle on renvoie. A priori, même à ce prix bas, l'opération ne pouvait avoir qu'un succès d'estime dans les universités.

## 152 - Computer Signal Processor, Inc.

Cette société s'est constituée vers 1968 pour faire du traitement du signal en temps réel, construisant d'abord des processeurs spécialisés dans le calcul de la FFT puis, au fur et à mesure des progrès techniques, des processeurs très semblables à ce qu'on appellera, quelques années plus tard, des DSP. Quand la technique des circuits intégrés aura rendu possible la réalisation d'un DSP sur une puce, CSP cèdera la place, à moins qu'elle n'ait entre temps été absorbée.

La première réalisation, qui date de 1968, est un produit à la demande construit autour d'un Varian 620 I pour appliquer en temps réel l'algorithme FFT à des signaux physiques. C'est le CSS3, ce qui suggère qu'il y avait déjà eu deux expériences auparavant.

Le CSP 30 de 1970 (fiche) est un authentique calculateur universel, suffisamment rapide cependant pour faire commodément les calculs en temps réel précédents.

Les MAP, et notamment le MAP 300 qui fait l'objet d'une fiche, sont au contraire des processeurs auxiliaires, subordonnés à un processeur hôte classique.

Sur le CSP 125 de 1973, nous n'avons que quelques renseignements généraux, mémoire en technologie bipolaire 32 K\*16 bits, à cycle faible de 125 ns, et le prix de \$ 50000. Il semble que la production soit en train d'évoluer vers ce qu'on appelle un peu plus tard un array processor, c'est à dire un processeur parallèle, ou vectoriel ( comment les distinguer sans documentation ? ) subordonné à un hôte.

Le MAP 6400 est effectivement un array processor 64 bits utilisant le format IBM, réalisé en TTL. Le répertoire est une extension de celui du MAP 300, et l'assembleur est compatible. La performance est illustrée par une FFT 1024 points en 22 ms, un produit de matrices 100 \* 100 en une seconde.

Concrètement, le 6400 de 1980 utilise des mémoires HCMOS de 16 à 64 KB, avec un cycle de 170 ou 300 ns, ou encore une mémoire NMOS de 64 à 256 KB, cycle de 500 ns. Prix à partir de \$ 4000 et \$ 7500 respectivement. Entrées / sorties par DMA 36 MB/s. Prix \$ 89000 avec logiciel.

Le MAP 6340 de 1986 reprend cette architecture avec une multiplication en 370 ns, une arithmétique entière en 113 ns, une arithmétique flottante itérative en 200 ns. Un cache 64 KB existe pour les données devant une mémoire de données extensible à 64 MB, et la mémoire de programmes à 2 MB, au sein d'une mémoire virtuelle de 1 GB. Cette machine de 8 MFlops coûte K\$ 127 + .

Dans le Maxim / 32 de 1986, l'hôte est un MicroVAX II avec un large "bus direct" auquel s'attachent jusqu'à 9 MB de mémoire, jusqu'à 1 GB de disques, jusqu'à 8 terminaux, une éventuelle bande de sauvegarde de 91 MB, et tous autres périphériques de service.

De l'autre côté de la mémoire, semble-t-il, se trouve le "array bus", portant les 9 CSP 32, jusqu'à 12 MB de mémoire de données, et la mémoire de programme.

Il fallait compter \$ 66000 pour 5 MB de mémoire partagée, 1 MB de mémoire de données, 71 MB de disques, le streamer et le logiciel, composé de VMS Fortran pour le VAX, et d'un cross compilateur permettant de générer les programmes des CSP 32.

A la même époque, on propose aussi pour \$ 165000 un Maxim / 64 avec 16 MB de mémoire de données et jusqu'à 16 CSP 64 à mots de 64 bits, mais il n'a peut-être jamais été réalisé.

### 153 - Hawk 32 de Computhink

Le nom ambitieux de cette machine désigne simplement un système multitâche pour 16 usagers, construit autour du microprocesseur Motorola 68000 avec mémoire 128 KB, disque Winchester 5,9 MB, floppy 800 KB. Le logiciel est le système UNIX version 7 avec gestion de fichiers, complété de compilateurs C, Fortran 77, COBOL, Pascal ISO, le tout pour moins de \$ 10000 : un produit typiquement universitaire, qui n'a pas du avoir beaucoup de débouchés en dehors du petit cercle des amis.

### 154 - Comten Data Systems

Nouveau nom de la société Comcet spécialisée dans la fabrication de calculateurs gérant des communications téléphoniques, Comten va travailler exactement sur les mêmes produits, prenant une importance croissante, en particulier dans le domaine des compatibles IBM en matière de communications.

Comten 20 de 1971 est probablement un ancien modèle, mais c'est déjà un concentrateur connecté en frontal, essentiellement sur IBM. C'est un 16 bits, mémoire 8 à 64 KB, cycle 900 ns, avec 128 niveaux d'interruptions. Il est capable de 128 lignes half duplex, ou de 64 à large bande et coûte K\$ 60 à 120.

Le logiciel, encore peu formalisé, est écrit en assembleur et traduit par un Comten 476, ou par un crossassembleur sur IBM 360. Ce modèle aurait fait l'objet de 50 cdes.

La mémoire a ensuite été remplacée par une 128 KB, cycle 750 ns, et des DMA placés sur toutes les communications. Cette variante a été vendue à plus de 60 exemplaires en 1979.

Comten 476 est la plus récente version de la deuxième génération Comcet, initialement baptisée 40 et 60. Sorti en 9/75, il est basé sur une unité centrale 32 bits et une mémoire 32/512 KB. 64 à 384 interruptions permettent de prendre en compte 256 lignes half duplex ou 128 à large bande, et des handlers existent pour tous protocoles, TTY, BSC, SDLC, etc...  
Prix K\$ 100 à 350, plus de 50 livrés.

Comten 3670 est proposé en 3/72 comme noeud de réseau, avec un logiciel de commutation de messages et l'aptitude à faire au passage toutes conversions de protocoles; il peut émuler tous les dispositifs IBM. La mémoire est 16 à 512 KB, 16 bits, cycle 650 ns. 256 à 768 interruptions permettent de gérer 384 lignes half duplex ou 192 lignes à large bande.  
Prix K\$ 100 à 400, 150 exemplaires vendus, toujours en service en 1987.

Comten 3650 est la même machine, réduite en 3/75 pour 16 à 256 KB, pas de disques, 128 lignes hd ou 64 lb. Prix K\$ 50 à 150, 60 exemplaires produits.

Comten 3690 est introduit vers 1980 pour prendre en compte des débits individuels de ligne de 256 Kbauds, et offrir un débit global quadruplé à 400 KB/s. Mémoire 650 ns jusqu'à 1 MB, disques jusqu'à 10 MB, capacité étendue à 512 lignes et à 8 canaux d'ordinateurs. Répertoire de 101 opérations 32 bits choisies dans le jeu IBM. Cette machine est plus puissante sous tous aspects que le 3705 IBM qu'elle émule.

Comten 3695 est la même machine avec la mémoire portée à 4 MB, cycle 510 ns et organisée en mots de 64 bits. Prix K\$ 120 à 500, ou \$ 3000 à 12000/mois.

Comten 5620 correspond à une étape technologique, et à l'apparition des réseaux. C'est un petit modèle, 32 lignes jusqu'à 64 Kbauds, mais la sophistication des manipulations justifie une mémoire de 4 MB et un disque de 10 MB. Débit global 100000 cps, 2 canaux.

Comten 5660 est à l'autre extrémité de la panoplie : 16 MB de mémoire, toujours 10 MB de disques, et jusqu'à 1024 lignes pouvant atteindre 256 Kbauds, débit global crête de 1,2 MB/s.

Il semble que l'importance de ces développements ait obligé Comten à chercher des appuis financiers, pour pouvoir tenir son rôle de compatible sans s'inféoder à IBM. En 1987 et depuis quelques années déjà, Comten est une filiale de NCR, qui toutefois lui laisse sa raison sociale. Tout cela finira mal, puisqu'on sait que NCR sera achetée par ATT, qui ne pouvait laisser son nom à Comten.

## 154 - Concurrent Computer Corporation

En 1985 la société Perkin Elmer, dont la spécialité est l'optique, a souhaité se séparer de sa division informatique, efficace et rentable mais dont elle ne pouvait espérer assurer la croissance face à l'évolution prévisible de la technique et du marché. La division choisit de devenir autonome, avec un CA de M\$ 248, un bénéfice de M\$ 7,9, et 3000 employés dont très modestement 65 en France, amenant un CA de 56 MFF. 3C ne quitte pas son usine de Oceanport, NJ.

Au moment de cette mutation, le capital technique de la nouvelle société, que nous pouvons nommer 3C parce que l'ancienne société de ce nom a de longue date disparu au sein d' Honeywell, se composait du calculateur 3200 avec son moniteur OS 32 et XELOS, un logiciel d'insertion dans UNIX version 7. La société devait assurer le soutien des matériels vendus, à base de 68000 semble-t-il.

Pour une action plus positive, 3C lance les 6000, une ligne de produits OEM temps réel à base de 68030, fonctionnant sous RTU, un UNIX temps réel. Les 6000 se présentent comme des cartes VME à insérer dans un châssis normalisé triple Europe, 9 unités.

Pour aller plus loin, le 68000 étant un peu dépassé, 3C propose en 1990 les machines temps réel de la série 8000, à base de Mips R3000, tournant toujours sous RTU 6.0.

Considérant les résultats des deux voies, 3C lance en 1991 les 7000, machines temps réel en kit à base de 68040, toujours en cartes VME sous RTU. Pour un prix de départ de 120 KFF, on peut choisir entre quatre variantes :

7100, châssis américain à 5 slots.

7500, châssis américain à 20 slots.

7300 et 7400, châssis 9 unités au format triple Europe.

Une machine se compose de deux cartes système, une carte mémoire, et 1 à 3 cartes d'application, reliées par devant par un bus rapide SSB spécifique. En fond de panier, deux bus VME au standard 32 ou 64 bits, 37 MB/s. Exemple de cartes d'application : graphique, DSP pour traitement du signal, acquisition :

AD12V6 est une carte de saisie 2 M éch/s, précision 12 bits, multiplexage 16 à 1024 voies.

DA12V46 est une carte de sortie 4 voies, 12 bits, 1 M éch/s.

Logiciels d'application : LWB pour l'acquisition, Profiling Tool pour les mesures internes.

En 11 / 93, 3C renouvelle sa famille 8000 avec Maxion, multiprocesseur à base de Mips R 4400, dans une organisation baptisée Ultrasmart : chaque CPU dispose de sa mémoire locale, et peut se connecter aux autres mémoires locales à travers une sorte de crossbar, réalisé en racks VME 6U.

Le logiciel est maintenant RTU 6.2, selon la version 7 de mi 94.

## 155 - Key-Edit de Consolidated Computer

Cette société propose en 1975 un système de saisie multiple sur disque : le CPU propriétaire est entouré de LC 300, PC, IP 300 / 600 / 900, jusqu'à 4 disques totalisant 5,6 MB (!), 4 dérouleurs de bandes, et s'il y a lieu un lecteur optique de caractères OCR. Le système supporte jusqu'à 20 écrans de saisie, qu'il transfère après groupage vers l'ordinateur central en blocs de 512 caractères EBCDIC, selon protocole 2780, 3780 ou HASP. Prix \$ 1100 / mois. 18000 terminaux vendus, soit un minimum de 1000 systèmes.

Vers la même époque, ce constructeur construit aussi des terminaux de remote batch avec un peu de temps partagé (maxi 8) pour les protocoles IBM, Univac 1004 et Honeywell GERTS. Location 800 \$ / mois, quelque 2000 systèmes placés à partir de 1977.

## 156 - Consolidated Engineering Corporation

Cette société tout à fait inconnue s'est lancée, à la date très ancienne et donc très méritoire de mai 1953, dans la construction d'une véritable machine scientifique. Il est difficile d'imaginer qu'elle l'ait fait sans une commande, qui n'a pas été identifiée.

C'est une machine décimale en code 8421, utilisant des mots de 10 chiffres en convention fractionnaire VA + S dans une arithmétique série / parallèle. La fréquence est 140 KHz, compatible avec les chiffres de 1200 tubes à vide et 3000 diodes, et donc aussi avec une alimentation de 7 KVA et un débit de 3400 m<sup>3</sup>/h d'air de refroidissement.

Le répertoire comprend l'addition en 0,6 à 2 ms, la multiplication en 8,5 ms, la division en 12,5 ms, les ruptures de séquence 0,3 à 2 ms. La virgule flottante est également prévue, grâce à un compteur de 4 chiffres pour l'exposant. Les contrôles portent sur débordement, codes inexistantes, divisions impossibles.

La mémoire principale est un tambour série-parallèle, diamètre 12 " = 305 mm, hauteur 14 " = 356 mm, 3500 t / min. Il contient 4000 mots sur des pistes usuelles avec temps d'accès de 17 ms, plus 4 pistes à recirculation de 4 pistes chacune, total 80 mots avec temps d'accès 1,7 ms.

Les périphériques comportaient LR 450, PR 12, ME 8, soit le minimum vital. Impossible, avec ces indications, d'identifier le client et promoteur de cette machine.

### 157 - Consolidated System Corporation

Une information de 1964, très incomplète, fait état de cette machine destinée au process control, mais dont le premier exemplaire aurait été utilisé pour poursuivre des satellites.

La mémoire à tores comprend 4096 mots de 32 bits, avec un cycle de 6  $\mu$ s et un temps d'accès de 2  $\mu$ s. Pour l'application satellite, un peu plus exigeante, il y aurait aussi 1024 mots dans une mémoire spéciale à film mince sur tige de ferrite, autorisant un temps d'accès NDRO de 0,5  $\mu$ s.

### 158 - Control Data Corporation

Control Data est née en 1957, à Minneapolis, Minn, d'une équipe Univac écoeuvrée qu'on ne tient pas compte de ses idées ; on rappelle qu'Univac est basée à St Paul, ville jumelle de Minneapolis. L'idée en question était un projet de machine temps réel que la nouvelle firme, particulièrement modeste (capital \$ 16000, fourni par les 14 créateurs) entreprit de réaliser. La CDC 1604 était terminée, et soumise à l'examen de son premier client, l'USAF, lorsque les réserves de trésorerie furent épuisées.

Le fondateur, Norris, proposa alors à ses collègues de réduire tous les salaires de moitié et, plutôt que de se vendre, de tenir ainsi jusqu'à la décision de l'USAF. Celle-ci ayant été favorable, la 1604, conception remarquable quoique encore classique, fut produite à 60 exemplaires, lançant la société.

A cette époque, il était encore concevable de vendre une unité centrale sans périphérique ni logiciel, et c'est ainsi que fut commercialisée la 1604 (en fait, les périphériques sont IBM, et le logiciel se réduit à l'assembleur). Il semble que CDC ait gardé quelque temps la nostalgie de cette formule, puisqu'elle est en 1977 le seul constructeur à proposer un unbundling total, le système d'exploitation lui-même étant payé séparément.

Après le succès de la 1604, largement assuré par les militaires, CDC offre un miniordinateur, le 160, développé ensuite en un 160 A plus puissant et plus petit, et toute une série de variantes (160 F, 8190, 8192, terminal 200). Gros succès : la 160 est une machine résolument originale, qui fait ses entrées/sorties sur 12 bits (une colonne de carte) et calcule sur 18 bits, cad la moitié de 36 bits, à l'époque taille standard chez IBM, Univac et quelques autres. Dès ce moment, CDC a acquis une réputation d'originalité raisonnée, et ses machines d'une parfaite simplicité logique, mais cependant efficaces, sont très appréciées des civils comme des militaires, qui en achètent de notables quantités.

CDC accepte aussi des contrats gouvernementaux, et par exemple des calculateurs pour l'aviation et l'espace, ou encore la fabrication d'un calculateur de conduite de lancement pour les sous-marins nucléaires, sous licence de General Electric.

Bien acceptée désormais par le marché, CDC doit définir une politique, et voit naître à cette occasion son premier conflit interne.:

- d'un côté, le meilleur ingénieur du groupe, Seymour Cray, réalisateur de la 1604 et du 160, réclame le droit de se lancer dans l'étude de la machine dont il rêve depuis toujours, une machine scientifique qui sera la plus puissante du monde et qui devrait, estime t'il, rafler d'un seul coup toute la clientèle des laboratoires de l'énergie atomique au détriment d'IBM.

Seymour Cray est réellement un génie de l'informatique, et un ami de Norris. Il demande peu pour mener son étude, juste une équipe de 33 personnes, concierge inclus, dans une maison de son village natal de Chippewa Falls, en pleine campagne ; Norris accepte.

- de l'autre, des ingénieurs moins brillants mais appuyés sur une étude de marché, avec l'ambition de prendre place dans tous les domaines, y compris les machines moyennes de gestion. La société a maintenant du crédit, et Norris accepte aussi de lancer à Minneapolis les études de la série 3000, qui va comprendre progressivement 9 modèles, entre 10000 et 60000 \$ / mois.

Contrairement à toute attente, c'est Cray qui a eu raison sur le long terme : en 1977, la série 3000 n'est plus fabriquée, bien qu'il en reste 343 en service, alors que l'on continue à produire des descendants modernisés de la série 6000, entre 20000 et 200000 \$ / mois, 483 machines en service et 77 en commande.

Au début, 1964, le succès de la 6600 de Cray soutient la société, dont les 3000 se vendent, sans plus, ignorant superbement le System/360 d'IBM et ses justifications marketing, pourtant excellentes. En 1969, Cray annonce le nouveau géant sur lequel il travaille depuis trois ans, la 7600, 10 Mops, non compatible avec la 6600 à laquelle cependant elle ressemble beaucoup : le succès est mitigé, et la crise de 1970 frappe de plein fouet cette société au créneau trop étroit. CDC, dont le CA 70 n'est que 480 M\$, perd 35,6 M\$.

Heureusement Norris est un manager avisé, et il avait entrepris dès 1966 une politique de diversification, qu'il allait poursuivre d'année en année. Il avait acheté, entre autres :

- les activités informatiques de Daystrom (calculateurs industriels), Bendix (machines scientifiques), Librascope (mini scientifiques et temps réel), Elbit (minicalculetur israélien), Marshall (gestion de communications).
- des sociétés de production de périphériques telles que Soroban (bande perforée), Anelex (disques et imprimantes), Digigraphics (consoles à écrans), Rabinow (lecture optique), etc...
- des sociétés de logiciel et de services.
- et une banque, Commercial Credit Co, pour financer ses locations.

En 1970, les bénéfices de la banque compensent presque les pertes évoquées plus haut de la partie industrielle et, devant un carnet de commande qui reste garni en série 6000, les banques accordent un crédit considérable qui sauve CDC.

Norris prend alors des mesures draconiennes : liquidation de la série 3000, rajeunissement commercial de la série 6000 sous le nom de Cyber 72/73/74/76, en attendant un rajeunissement technologique (circuits intégrés) qui sera la famille Cyber 172/3/4/5.

Cependant, il accorde à Cray de faire un nouveau pas dans le gigantisme en étudiant la Star 100 (K\$ 270 / mois) qui sera un échec commercial complet (4 machines produites, dont une vendue à General Motors et annulée pour gros retard de livraison). Voir une présentation technique très partielle en 259-561/9, et en 261-179/84 une réflexion de GMR sur la machine microprogrammée qu'il avait commandée.

Surtout, Norris entreprend d'assurer son indépendance en matière de périphériques, et de consolider ses bases conceptuelles, en organisant la résistance à IBM, dont il a fini par comprendre qu'on ne pouvait l'ignorer. A cet effet, il crée trois entreprises coopératives :

- aux USA, une filiale 50/50 avec NCR, pour la construction de périphériques : Computer Peripheral Inc. produira des machines à cartes perforées, des imprimantes et des bandes magnétiques et se fera progressivement une place enviable dans le domaine OEM, compatibles IBM ou non.
- aux USA encore, il crée Advance Systems Laboratories, autre filiale 50/50 avec NCR, visant à mettre en place une réflexion globale sur l'architecture et le logiciel qui pourrait aboutir, à terme, à une série commune et à un partage de responsabilité. C'était probablement trop ambitieux.
- en Europe enfin, il suscite Multinational Data, organisme de réflexion entre CDC, NCR, le français CII et l'anglais ICL, s'efforçant de mettre en place un système de normes d'un poids suffisant pour contrer les normes de fait d'IBM et, peut-être, obtenir l'adhésion des gouvernements.

Par ailleurs, il accepte de pratiquer la concurrence directe, en mettant sa structure commerciale au service des machines Omega de IPL, qui sont des compatibles IBM.

C'est à cette époque que se place l'épisode du procès antitrust CDC/IBM, qui devait grandement conforter Control Data et en achever la mutation.

L'affaire a ses origines vers 1967, quand Cray commençait l'étude de la 7600, qui lui posait de graves problèmes technologiques. IBM, dans le même temps, avait entrepris de construire une machine haut de gamme du System/360, dans le but évident de freiner le succès des CDC 6600. Les moyens d'IBM étant d'une autre ampleur que ceux de CDC, la 360/92, purement expérimentale, fut achevée la première, et IBM laissa filtrer dans les congrès des descriptions de certaines dispositions architecturales, intéressantes d'ailleurs.

Devant le danger d'une concurrence, Cray annonçait alors sa 7600, probablement un peu trop tôt. Et IBM répliquait immédiatement en décidant la commercialisation d'une 360/91. C'est alors que CDC portait plainte contre IBM, l'accusant de chercher à détruire le marché de la 7600 par l'annonce d'une machine "en papier".

C'était un mauvais procès, c'est évident aujourd'hui, puisqu'on trouve en activité en 1977 :

- Seize 360/91, une 360/95 encore un peu plus puissante (mémoire spéciale), et dix-huit 370/195 qui en sont des descendants directs.
- face à trente-et-une 7600 et douze Cyber 76.

Cependant IBM venait d'apprendre le projet de procès antitrust du Ministère de la Justice, et souhaitait concentrer son effort. Elle ne parvint pourtant pas à empêcher le démarrage du procès CDC, orchestré brillamment par la meute des petits constructeurs syndiqués dans la CIA (Computer Industry Association). Un procès antitrust autorise le plaignant à prendre connaissance de toute la correspondance,

interne et externe, de l'entreprise accusée, et IBM se vit contrainte de remettre à Control Data 13 millions de documents, souvent confidentiels, dont la CIA entreprit immédiatement la publication en morceaux choisis, tandis que CDC réalisait le travail impressionnant de construire un fichier de cette documentation.

Malgré cela, le procès ne parvenait pas à démontrer grand chose, lorsqu'on apprit tout à coup, début 73, que CDC retirait sa plainte et qu'un accord était conclu, sur les bases suivantes:

- IBM vendait à CDC, pour la somme ridicule de M\$ 16, sa filiale Service Bureau Corporation, dont le CA annuel atteignait M\$ 63, et qui disposait d'un réseau de plus de cent machines interconnectées aux USA. En outre, IBM payait 26 M\$ en dix ans pour le maintien des avantages sociaux des personnels SBC.

- IBM s'engageait en outre à ne pas revenir avant six ans dans le marché du Service Bureau.

- IBM passait contrat avec CDC pour la fourniture de M\$ 25 de périphériques divers en cinq ans, et pour M\$ 30 de recherches et développements à effectuer par CDC au profit des deux compagnies.

- en échange de quoi CDC détruisait le fichier construit sur la documentation IBM et s'engageait à ne plus participer pour cinq ans à des actions anti IBM. Ce service, payé M\$ 15 par IBM, s'appelait "honoraires d'avocats".

C'était une très grande victoire, même si Norris devait reconnaître, en privé, qu'il avait perdu la bataille contre IBM en matière de grands calculateurs, et qu'il se retrouvait, au mieux, un concurrent d'IBM parmi les autres, et pas plus compétitif.

Cependant, à condition d'admettre qu'il ne fallait plus attaquer IBM de front, et d'amorcer une reconversion progressive, CDC pouvait repartir et le fit fort bien. En effet, en associant à son réseau international Cybernet, plutôt orienté vers les calculs scientifiques, le réseau Call 360 de SBC, nettement orienté gestion, CDC ravissait brusquement à GE la primauté dans le domaine du Service Bureau: elle recueille désormais 37% de ses revenus dans le domaine des services.

Le travail patient entrepris par CDC dans le domaine des périphériques est également payant, et CDC apparaît désormais comme le premier fournisseur de périphériques OEM des USA. Cette activité représente 33% de son CA, auxquels il faut ajouter 5% pour les médias, disques et bandes.

Ainsi CDC, qui vend toujours des calculateurs de la famille 6000, n'est plus en 74 un fabricant de grands calculateurs. Seymour Cray ne s'y est pas trompé. Norris lui ayant refusé, après l'échec du Star 100, une nouvelle tentative, il a fondé à Chippewa Falls sa propre société, Cray Research Inc., dont CDC est d'ailleurs actionnaire, et il a présenté à mi 76 son premier produit, la Cray 1, une machine de 7,5 M\$ capable de 50 Mops, dans la ligne exacte des 6600 et 7600: il a des clients.

Pour Control Data, qui n'a plus de cerveau pour concevoir du neuf, la question se pose clairement: faut-il abandonner la construction d'ordinateurs et se cantonner dans les services?

Les ingénieurs ne s'y résolvent pas, et CDC va finalement commercialiser le Cyber 205, version réorganisée du Star 100, et poursuivre la production des Cyber 170, deux fois refondus au plan technologique.

Cependant, après la retraite de Norris, en juillet 80, le nouveau président, Bob Price, ne parle plus d'ordinateurs; il présente désormais CDC comme une société qui propose des solutions, vendant ensuite les matériels et les services qui réalisent cette solution: CDC est le plus gros fournisseur public (par opposition à l'activité d'IBM, essentiellement à finalité interne) de services aux USA avec 1 B\$, et le plus gros producteur de disques derrière IBM avec 1120 M\$ de produits que l'on rencontre dans les livraisons de tous les constructeurs américains et aussi étrangers. Malgré cela, la concurrence a réduit les marges, entraînant des fermetures d'usines et des licenciements: en 8/83, CDC se résoud à filialiser, sous le nom de ETA System, le groupe d'études qui extrapole la Cyber 205 et cherche à construire une machine de 10 GFlops. Cette société, installée à St Paul, Minn, dont CDC possède 40% du capital, n'aboutira qu'en 1987, ne vendra que peu de machines et disparaîtra rapidement.

En 1984, CDC annonce sa série Cyber 180/900 qui contient une énorme concession: l'architecture reste celle des 6600, mais la longueur du mot est portée de 60 à 64 bits, et la microprogrammation permet à la machine de manipuler le caractère de 8 bits, comme tout le monde le fait depuis 20 ans derrière le Système/360: ainsi, en un sens, IBM a tout de même gagné.

Les ennuis commencent cette année-là, avec une perte de M\$ 44,6 pour un CA informatique de M\$ 3692. Mais 1985 est catastrophique: perte de M\$ 562,7 pour un CA pratiquement inchangé: il faut licencier 8000 personnes et concentrer l'activité, conservant les gros ordinateurs, par tradition et parce qu'ils sont encore rentables, et le marché OEM.

Cela ne suffira pas et CDC, qui cherche à comprendre ce qui lui arrive, essaye des alliances, en particulier avec Silicon Graphics. En 8/92, la société se coupe en deux :

CD System, constructeur et intégrateur, dont 10% appartient à Silicon Graphic et 5% au japonais

NEC. Le CA 92 n'est plus que 517 M\$ !

Ceridian, services et contrats militaires.

Si nous nous fions aux seuls chiffres, le sommet de la trajectoire de CDC est l'année 1979 : avec un CA de 3250 M\$ et un bénéfice net de 124 M\$, soit moins de 4%, avec un effectif de 57000 personnes, CDC représente alors 5% de l'informatique américaine. Il aura fallu 23 ans, beaucoup d'audace et beaucoup de bonnes idées pour en arriver là.

Quinze ans plus tard, il n'en reste rien. L'avènement du microprocesseur, et la miniaturisation qu'il entraîne dans les périphériques par simple mimétisme, vont provoquer la mort de CDC, qui vendra ses compétences morceau par morceau jusqu'à complète disparition ; on peut réellement dire qu'avec Seymour Cray, la société avait perdu son âme et sa raison de vivre.

## 159 - Les produits militaires de Control Data

Les relations de Control Data avec les militaires ont commencé tôt, puisque c'est un contrat de l'USAF qui a décidé du démarrage de la compagnie. Il s'agissait alors de construire un ordinateur de caractéristiques civiles, aussi puissant mais plus léger que l'IBM 7090, et surtout de mise en oeuvre plus facile. Le 1604 ayant gagné ce pari, toutes les applications militaires du moment, en attente d'ordinateur, s'en sont emparées, par exemple :

- DODDAC, DOD Damage Assessment Center (1960) : un 1604

- SCF, Satellite Control Facility (probablement en Floride, 1963) : quatre 1604 pour tracking, télécommande, télémétrie, réserve, et plusieurs 160A, un par satellite suivi et deux par station de tracking.

- NEDN, le réseau de mesures océanographiques de l'US Navy, 1965 : un 1604, et beaucoup d'autres ordinateurs en plus, surtout des 3000 utilisés en commutation de messages. Voir fiche.

- OPCON, Operation Control for the Navy dans le Pacifique, 1965 : quatre 1604

mais ce ne sont que des exemples, car la majeure partie des soixante 1604 produits l'ont été pour le compte du Ministère de la Défense.

Il s'agissait réellement d'une épreuve initiatrice, car après ce succès CDC est consulté pour chaque contrat de la Défense, y compris ceux où l'expérience précédente ne prouve rien : c'est ainsi que le système Mk 84 de conduite de tir des SSBN, sous-marins nucléaires lanceurs d'engins balistiques, produit par General Electric vers 1960, incorpore deux ordinateurs CDC 24 bits, avec mémoire 16 K mots, cycle 6,4  $\mu$ s, accès 1,8  $\mu$ s, répertoire de 44 opérations : 39 paires de ces ordinateurs ont été produites pour être embarquées, et 4 versions non doublées pour les besoins de l'instruction à terre.

Curieusement, après cet engouement initial, CDC ne recevra pas beaucoup de contrats de système, mais par contre de nombreux contrats de recherche portant soit sur l'architecture, soit sur la technologie. On trouvera dans les fiches :

a) en 1965, une proposition pour le ordinateur du MOL, le projet de station orbitale militaire qui n'eut pas de suite. Vue la date, il s'agissait de circuits MSI rassemblés sur les deux faces de cartes multicouches, pour réaliser une machine pesant 9 Kg pour un volume de moins de 6 litres. Ce ordinateur consommait tout de même 150 watts, et ses performances étaient quelconques : addition 5  $\mu$ s, multiplication 22,5  $\mu$ s, division 37,5  $\mu$ s. On y trouvait déjà une des caractéristiques des réalisations ultérieures de CDC : une mémoire pouvant fonctionner comme 8192 \* 26 bits ou 16384 \* 13 bits, dynamiquement.

Le CDC 5500 A de 1967 reprend manifestement ces idées dans un ordinateur de 20 litres, 20,4 Kg, 125 watts, que ces caractéristiques semblent destiner à un avion plus gros : instructions et données sont longs de 13 ou 26 bits, les premières étant stockées dans une mémoire de 2176 à 8192 mots de 52 bits, cycle 2,5  $\mu$ s, et les secondes dans seulement 256 mots, cycle 7,5  $\mu$ s. Le répertoire de 70 opérations dispose de 7 index câblés : addition 5  $\mu$ s, multiplication 25  $\mu$ s. MTBF 8000 heures.

b) en 1967, le CDC 449, ordinateur portable pour emplois militaires, qui manifeste une remarquable et convaincante endurance dans des conditions opérationnelles, et attire l'attention de l'USAF.

C'est une sorte de grosse calculette pour ingénieurs volants, pesant moins de 2 Kg (mais hélas, 5 Kg avec batterie et clavier) et mesurant 10 \* 10 \* 22 cm. Fiabilité garantie par sa simplicité, plus de 10000 h MTBF (2 ans sans panne au Vietnam pour 5 machines).

L'unité centrale 24 bits, 37 opérations, qui fonctionne en série-parallèle par tranches de 12 bits, avec un cycle de 4  $\mu$ s, n'est évidemment pas très rapide, mais c'est de peu d'importance pour sa fonction de calculatrice programmable : addition 28  $\mu$ s, multiplication 604  $\mu$ s. Consommation 3 watts. La mémoire est spécialement soignée, avec 3840 mots NDRO en microbiax pour contenir une large bibliothèque de programmes utilitaires, et une RAM de 256 mots à film mince. Elle consomme 1 watt. Les entrées / sorties, essentiellement le clavier, fonctionnent sur une interruption commune, et se partagent un canal.

Bien que la mission ne soit pas de même nature, il semble bien que le calculateur construit cette même année pour l'avion OV1 Mohawk utilise l'unité centrale ci-dessus : mémoire NDRO 12 bits de 1280 à 7680 mots de 12 bits, cycle de 4  $\mu$ s, scratchpad 128 à 256 mots de 24 bits, norme MIL. E. 5400. Cette réalisation particulière mesurait 114 \* 172 \* 216 mm et pesait moins de 6 Kg.

- c) en 1969, l'Alpha, un multiprocesseur pour avions, réalisé par un mélange MSI / LSI, très soigné.
- d) en 1970, le CDC 469, aussi un calculateur pour avion, mais basé sur la technologie du commerce, bien utilisée pour garantir la fiabilité. L'idée est de charger le calculateur au sol, avec un plan de vol par exemple, au moyen de périphériques économiques, et de le mettre en place pour le vol pendant lequel on se bornera à exécuter les programmes incorporés.
- e) en 1971, le MPP, ou CDC 5600, un émulateur universel réalisé sur commande de Hugues qui voulait l'insérer dans le système de guidage AN / AWG 9 du missile Phoenix, à la place d'un CDC 5400 B plus gros et moins adaptable qui équipe le premier lot.
- e) en 1971 encore, l'étude d'une considérable interface hybride pour une application exigeante et non précisée autour d'une paire de 6600 reliées à une ECS. Pas moins de 128 voies A/N et 128 voies N / A sont installées en duplex sur ces machines au Naval Air Development Center. Voir 257-549/60.
- f) en 1974, une nouvelle version de ce calculateur, l'AMPP, pour un AWG 9 amélioré.
- g) en 1975, un contrat spécifique (UPD.X), pour le dépouillement des photographies prises par un radar latéral. Ce système, capable de 320 Mops, se compose d'un calculateur organisateur dirigeant le travail de quatre jeux de 10 miniprocesseurs dont chacun s'occupe d'un quart de l'image, le coordinateur assurant les raccordements. Au total, 66755 circuits intégrés. Le travail comprend l'examen d'images consécutives de 1 million de points, avec 256 niveaux de gris, pour repérer les modifications, et supprimer tout ce qui est du à l'avion, à la trajectoire ou aux défauts de l'équipement, pour présenter sur une console Aeronutronics une image marquée de points rouges pour les objets nouveaux, et de points verts pour ceux qui ont disparu. Le programme permet aussi de zoomer, tourner l'image, etc...
- h) en 1976, le 479, qui reprend la mission du 469 mais dont l'architecture est déjà celle d'un émulateur universel, annonçant le 480. Cette machine microprogrammée utilise une mémoire de 64 K\*18 bits, à tores ou en semiconducteurs et s'avère capable de 400 Kops en Gibson mix, soit deux fois le 469. Tout compris, notamment l'alimentation 115 / 3 / 400 de rendement 70%, l'objet tient dans un demi ATR, soit 193 \* 122 \* 317 mm, 10,7 Kg. Elle respecte la norme MIL.E.5400 d'environnement et garantit un MTBF de 4800 heures.
- i) la proposition gagnante, très réussie, de l'émulateur universel CDC 480 pour réaliser le calculateur militaire AN / AYK 14 (V) (1976)
- j) l'étude d'une version plus rapide de la carte processeur de l'AN / AYK 14 utilisant la toute récente technologie VHSIC mise au point sur contrat DARPA.
- k) en 1978, CDC fournit à Lockheed l'AN / UYK 25, calculateur du système PL / SS Precision Location / Strike System, qui doit permettre l'exploitation des signaux émanant du champ de bataille.
- l) en 1986, une nouvelle technologie de calculateur spatial en 5 chips, compatible avec la norme MIL. STD. 1750A, et réalisé en CMOS / SOS pour être peu sensible au rayonnement. Cette étude réussie aboutira en 6 / 91 à un modèle de série qualifié pour le vol, le CDC 444.

m) puis, toujours sur contrat DARPA, la conversion, sous-traitée pour l'essentiel à Texas Instrument, de cette architecture dans la technologie HI2L de ce fabricant, à base d'arséniure de gallium. De 5, on était passé à 7 puces, qui devaient être :

- le processeur principal, RISC de 20 à 30 opérations avec un pipeline à 6 étages, et deux bus pour instructions et opérandes. Cadence 200 MHz, très audacieuse pour l'époque et pour l'AsGa.
- MMU et cache sur chacun des deux bus.
- mémoire principale de type RAM, à base de puces 1 K \* 32 bits.
- coprocesseur flottant 32 bits, ajouté au contrat en 1988
- coprocesseur vectoriel, probablement à la même époque.
- IOP, processeur d'entrées / sorties.

On n'a pas d'indication sur le sort de ce contrat, dont la rallonge 1988 suggère qu'il a réussi techniquement. Ce qui est certain, cependant, c'est que la Défense n'a jamais utilisé l'AsGa dans aucun matériel militaire, ce qui s'explique aisément puisqu'en 2000 on dépasse 500 MHz avec le silicium beaucoup plus facile à manipuler.

## 160 - Naval Ordnance Test Station at China Lake, Cal.

L'idée directrice à la base de ce centre d'essai est que les essais de torpilles, qui mettent en jeu des matériels coûteux, s'exécutent difficilement en mer où, par mauvais temps, on s'expose à ne pas récupérer les armes expérimentées. Un lac dans une région inaccessible est bien préférable. La station existait probablement avant la guerre, à moins qu'elle n'ait été créée pendant celle-ci, les américains ayant eu de graves problèmes techniques avec leurs torpilles, problèmes qui leur ont coûté cher en ratés opérationnels et même, en conséquence, en batailles perdues (Savo 1942).

Après la guerre, les problèmes de torpilles ont subsisté mais, s'agissant d'une arme chère qu'on ne renouvelait pas souvent, le NOTS n'était pas occupé à plein temps. Ses techniciens ont donc occupé leurs loisirs en faisant un peu d'informatique, à une époque où il n'existait pas d'industriel compétent pour réaliser des travaux à la demande. Ce groupe s'est baptisé NODAC, Naval Ordnance Data Automation Center.

DDP est un outil de collecte et formatage des mesures effectuées sur les bancs d'essais du NOTS, en prévision du dépouillement ultérieur par le calculateur universel de la base. Pour usage interne, il est aussi baptisé Redactor, avec une interprétation assez large du mot, dont les auteurs jugent d'ailleurs utile de s'excuser dans le rapport.

## 161 - Services commerciaux de temps partagé

La naissance de l'exploitation des ordinateurs en temps partagé, en tant que concept, date du projet MAC, au Massachusetts Institute of Technology, réalisé avec le soutien financier de l'ARPA. Dès que le CTSS aura fonctionné sur IBM 7094, les anciens élèves du MIT se chargeront de diffuser cette nouvelle compétence chez tous les constructeurs, et plusieurs sociétés décideront de commercialiser ce type de service.

Ce qui suit est une liste, forcément incomplète, de telles sociétés, avec les conditions et services qu'elles proposaient à travers le pays. On notera que certains constructeurs, ayant effectivement réalisé des systèmes de temps partagé, préféreront vendre les machines et les logiciels plutôt que les services, et ne sont alors pas décrits ci-après.

### Applied Logic Corporation

Cette société installée à Princeton, NJ, met en service en 1965 un DEC PDP 6 avec macroassembleur et Fortran IV, sous le nom de Tele-Computing Service. Les terminaux sont, au choix, des TTY 33 ou des écrans cathodiques, avec un maximum de 20 connexions actives à chaque instant. Prix \$ 5 par heure de connexion et \$ 360 par heure de processeur.

### Bolt, Beranek & Newman

Ces anciens élèves du MIT mettent en service, dès 1963, un système de temps partagé à 16 terminaux télétypes 33 fonctionnant sur PDP 1 avec le langage Telcomp. Ce service est commercialisé \$ 12,5 par heure. Mis en place plus comme système d'appel que comme véritable opération commerciale, ce service disparaîtra dès que BBN aura trouvé un exploitant payant à plein temps : en l'occurrence le Massachusetts General Hospital, sur contrat du National Institute for Health.

### CEIR, Inc

Cette société de Arlington, Virginia, exploite à partir de 1965 un système de 30 terminaux de temps partagé fonctionnant sur GE 225 avec le logiciel Basic développé au Dartmouth College. Le prix de vente de ce service est très bas, 5 \$/h, et il paraît probable que le temps de calcul est facturé en sus.

### Cybernet de Control Data Corporation

Cette société réalisera pendant de nombreuses années des systèmes militaires plus ou moins spécialisés, dont l'activité temps réel s'apparente au temps partagé. Cependant, ce n'est qu'en 1966 qu'un modèle de calculateur, le 3300, rapidement suivi du 3500 plus puissant, sera spécialement conçu pour le temps partagé. Control Data mettra alors progressivement en place, à partir de 1970, un réseau national baptisé Cybernet, confiant les calculs à des CDC 6600 et la commutation à des 3X00 ; il n'est guère possible d'en donner une description figée, car elle sera nécessairement fautive quelques mois plus tard. Ce qui suit est donc simplement un instantané de 2/70.

Le système comprend alors 7 calculateurs CDC 6600 à New York, Boston, Washington, Los Angeles, San Francisco, Houston et Minneapolis, interconnectés par des CDC 3300 de commutation de messages. 29 villes, comprenant les précédentes, plus Ottawa, Seattle, Detroit, Atlanta, entre autres, et 4 centres non américains, servent de points d'accès à travers des terminaux de batch MARC2, 3, 4, 5 comprenant clavier, écran, IP 300, LC 300 autour d'un miniordinateur. La manière dont sont répartis et desservis les terminaux de temps partagés n'est pas connue.

On trouvera une carte du réseau 1970 dans la boîte 13, ainsi qu'un aperçu des terminaux proposés.

### Keydata System, de Charles W. Adams Associates

Né à Cambridge même, ce système utilise au départ un PDP 6 à 48 K mots de mémoire, avec 6,3 M car sur tambours et 33 M car sur disques, et une vingtaine de terminaux télétypes. La facturation est complexe, prenant en compte la fourniture de la console, la mémoire occupée sur disque, les connexions et déconnexions, etc... et se traduit par une somme de 1000 à 1500 \$/mois pour un abonné.

Ce système installé à Watertown à côté de Cambridge sera assez vite remplacé par un Univac 491 avec mémoire auxiliaire sur tambours Fastrand, terminaux lourds 1004, terminaux légers collectés par un DDP 116. Ce système fournit du temps partagé en langage KOP III et de la commutation de messages, pour un maximum de 16 clients simultanés équipés de TTY 28. La nature de ce double service et la puissance non négligeable du processeur justifient une facturation complexe prenant en compte transmission et calculs. Le système KOP III est essentiellement orienté vers la comptabilité.

En 1969, la compagnie est devenue Keydata Corporation, et dispose d'un système de temps partagé à base de deux Univac 494, plus un calculateur de batch IBM 360/40, collectant des terminaux lourds et légers à travers des concentrateurs DDP 516 dans toute la région jusqu'au Missouri à l'Ouest et au Delaware vers le Sud, avec une concentration particulière en Nouvelle-Angleterre et à New York. Il dispose à cette époque de 175 lignes mais peut s'étendre à 800 lignes avec un temps de réponse de 2 secondes.

### General Electric Corporation

Impliquée très tôt dans le projet MAC, cette compagnie commencera par installer à ses propres fins un système 265 de temps partagé qu'elle commercialise, et vendra son service au tarif de \$ 12/h, auxquels il faut ajouter \$ 180 par heure de processeur.

Outre ce premier système desservant New York, il en existera rapidement d'autres à Phoenix, Washington DC et Schenectady, c'est-à-dire dans chacune des grandes implantations de GE.

Par la suite, ayant mis au point pour le projet MAC un calculateur puissant et spécialement adapté, le GE 645, elle commercialisera un service plus perfectionné, avec PL/I et ALGOL, Fortran et Basic. Le réseau Mk II de temps partagé commercial et le réseau Mk III de remote batch finiront par fusionner dans une nouvelle version du service Mk III fonctionnant à l'échelle mondiale, avec des noeuds H 516 et des processeurs 600 et 200 dispersés à travers le pays.

Cette évolution est décrite comme le résultat d'une politique très réfléchie dans une communication de congrès :

Hench (R. R.) et Foster (D. R.) - Toward an inclusive information network,  
in FJCC 1972, Vol 41 part II, pp 1235/41, 8 réf. biblio.

### Honig Time Sharing Associates

Tentative de temps partagé commercial, vendu comme simple logiciel à tout propriétaire d'une machine IBM S/360 de type 50 ou plus gros. Le programme est baptisé Force III.

La machine minimale comprend 256 KB de mémoire, dont une partition de 100 KB pour le produit, qui peut desservir 15 terminaux en même temps que le batch de OS / MVT. Les terminaux sont des TTY 33, 35 ou 37, et / ou des IBM 1050 ou 2741, cad uniquement des machines à écrire. Le temps de réponse moyen est 3,5 seconde, avec un maximum de 7.

Les services fournis sont un compilateur Fortran G, une gestion de fichiers et un éditeur de texte.

#### Quiktran de International Business Machines Corporation

Premier service de temps partagé commercial d' IBM, ce système utilise un calculateur 7044 et le langage Quiktran, qui est un Fortran conversationnel, au profit d'un maximum de 40 terminaux 1050 simultanés. Le service, purement régional, est facturé \$ 12 par heure.

#### Service Bureau Corporation

A partir de 1966, IBM installe et équipe à travers le monde un réseau commercial de calcul en batch et temps partagé ouvert à tout client payant sans contrôle sur la nature des travaux effectués. Les débuts sont modestes et il ne s'agit pas encore de réseau, puisqu'en 9 / 66 il existe douze bureaux recevant chacun deux 360 / 30 et un 360 / 20, et gérant les demandes locales en batch, service guichet.

La croissance sera très rapide, avec 125 machines S/360 de toutes tailles, interconnectées par 181000 miles de lignes téléphoniques louées débitant de 300 à 5100 car / s, en 1969 ; il y a à cette époque 70 bureaux, et d'après les chiffres de débit, certains de ces bureaux ne sont équipés que de terminaux légers.

Voici par exemple les conditions d'un service de temps partagé sur 360 / 40, baptisé Datatext, en 1968 : \$ 2,15 par heure de connexion, plus 24 cents par 1550 bytes sur disque ou 16 cents pour 3100 bytes sur data cell, chiffres qui correspondent à un enregistrement du support. Il faut encore y ajouter 8 cents pour 70 transferts de données entre ces stockages et la mémoire, 8 cents pour 1200 ms de CPU, \$ 1,6 pour 1000 enregistrements sur bande, \$ 3,2 pour 1000 cartes perforées, \$ 2,4 pour 1000 lignes imprimées.

En 1973, dans le cadre du règlement mettant fin au procès antitrust CDC / IBM, la SBC dont le chiffre d'affaires s'élève à 63 M\$, sera transférée en bloc à Control Data pour la somme ridicule de M\$ 16. Son principal service est à cette époque Call 360, batch et time sharing principalement consacré à la gestion.

## 162 - Réalisations civiles de Control Data

Malgré ce que nous avons écrit sur le 1604, on en trouve tout de même quelques-uns dans des domaines non militaires, par exemple à l' Université du Wisconsin, mais surtout dans le nucléaire : Oak Ridge, Livermore, United Nuclear Corp par exemple.

Les premières réalisations de systèmes qui ne soient pas militaires concernent l'espace, un des gros clients de l'époque, et d'ailleurs une administration qui fait encore beaucoup de place aux militaires. Ainsi, le premier équipement de calculateur de Cape Canaveral sera confié à Control Data, qui organisera les liaisons du champ de tir autour d'une paire de CDC 3600. Voir à ce sujet la documentation historique et technique sur l'organisation de la NASA, rubrique 673.

Plusieurs calculateurs CDC participent ensuite au programme Apollo, le CDC 160 G comme testeur du Command module et du LEM, le CDC 924 A comme testeur de Saturn 5 chez les sous-traitants.

A la même époque, les divers calculateurs produits par CDC se retrouveront dans de nombreuses applications civiles, les 3000 plutôt en gestion, les 6000 plutôt en scientifique. Certains d'entre eux formeront l'ossature de véritables systèmes dont on trouvera des exemples dans les dossiers, mais CDC ne sera pas nécessairement l'organisateur de ces systèmes. Citons :

Brooknet, au Laboratoire de Brookhaven : deux 6600 autour d'une mémoire ECS.

CDC 8050, un système de commutation de messages construit pour la General Motors en 1964, pour connecter 1133 usines et établissements dans 16 pays : deux 160 A, deux tambours 8952, 5 bandes 603 avec synchroniseurs 162, deux mémoires auxiliaires 169, cinq multiplexeurs 8165, et un tableau de situation 8050 spécialement conçu.

Cybernet, le réseau propre de CDC : au moins sept 6600 et cinq 3000.

Langley Field, un système temps réel pour la NASA : deux 6600, une 6400, gérant plusieurs simulateurs.

Réseau de l' US Post Office (1968) : deux 3300 à New York et St Louis, trois centres annexes à base de 1700, pour collecter les messages de 75 bureaux principaux et 1250 secondaires, en tout 6000 terminaux divers (lecteurs de badge, lecteurs de cartes, pousseurs, compteurs de lettres) à travers le pays. La mission de ce système coûtant 22,7 M\$ était l'établissement de statistiques de trafic.

Grands magasins Sears-Roebuck (1966) : 12 centres de gestion contenant chacun deux 3200 assurant toutes les communications des caisses enregistreuses à travers des paires de 8092 dans chaque magasin : 71 postes sur trois multiplex pour la région de Chicago, par exemple.

Telecomputer (1967), centre de gestion intégré de Westinghouse à Pittsburgh dont la 6600 est connectée à des 3100 dans toutes les usines du groupe.

Ce ne sont que des exemples, mais dans l'ensemble CDC en aurait plutôt moins à citer que ses concurrents.

Les réussites dans le domaine spatial sont intéressantes par la publicité et les marges qu'elles engendrent, mais CDC veut réellement aborder le marché civil, qui offre de beaucoup plus grands débouchés. Amorcée avec les dérivés du CDC 160, cette entreprise est renouvelée sans grand succès avec le CDC 1700, trop cher. Aussi Control Data doit-il réviser ses méthodes un peu trop tournées vers l'administration, et modifier la fabrication des 1700, devenus les SC 1700 beaucoup moins coûteux ; du coup ceux-ci obtiennent de beaux contrats, comme une commande de 50 machines pour les tests dans une usine Motorola de composants. Voir aussi l'application en temps réel Ticketron, dans 254-143/55.

Le succès se prolongera d'une "série 17", encore plus économique, que CDC confiera à sa filiale israélienne Elbit, puis d'une famille Cyber 18 pour la mise à jour technologique.

Vers 1974 les problèmes de commutation de messages, jusque là traités au coup par coup avec les CDC 8000, qui ne diffèrent des 160 que par la mise en boîte, commencent à prendre de l'importance devant les ordinateurs : CDC achète Marshall, une société spécialisée dans cette application, dont le M1000, rééquipé d'une unité centrale plus puissante, devient le Cyber 1000: une à quatre unités centrales, mémoire 24 bits à cycle de 900 ns, 24 à 192 Kmots, 32 à 512 lignes de 75 à 9600 bauds, avec option pour 50000 bauds. Le matériel se voit doté d'une console d'opérateur, et peut recevoir des bandes (CDC) 9 pistes, 30 KB/s, 800 / 556 bpi. Le contrat garantit 99 % de disponibilité, en deux versions :

- PMX, Protected Message Exchange, K\$ 450 à 900, pour liaisons intercalculateurs : 42 installations à partir de 6 / 73.

- DNS, Distributed Network System, K\$ 250 à 550, 20 placés à partir de 10 / 75.

Ces chiffres représentent une réussite, mais les prix sont trop élevés. L'équipe est réorientée sur des objectifs plus modestes et surtout sur l'emploi des machines de la maison. CDC crée le 2550, calculateur microprogrammable avec mémoire de 16 bits + 2 bits de garde, 48 à 512 KB, cycle de 650 ns. 16 niveaux d'interruption servent à ventiler la charge d'un maximum de 256 lignes half duplex ou 128 lignes à large bande. Le logiciel est préparé sur le calculateur hôte à travers un cross assembleur. Le prix s'étale de 50 à 150 K\$.

On trouvera une photo et une fiche d'une machine 2552.1 très voisine dans le dossier "périphériques".

15 machines seront vendues avant que CDC ne s'avise qu'on n'est pas obligé, du point de vue fabrication, de considérer cette machine comme un périphérique de l'ordinateur. Moyennant quoi le 2550 est remplacé par le HCP (Host Communication Processor) ou CDC 2551, qui est apparemment une variante du Cyber 18. La machine microprogrammée 18 bits est dotée d'une mémoire de 256 KB, cycle 550 ns (réduit ensuite à 475 ns), et peut supporter tous types de lignes jusqu'à 56 Kbauds, et tous protocoles.

Logiciel : bibliothèque de protocoles et crosscompilateur Pascal.

Gros succès : 55 model 1 pour 32 lignes au plus, K\$ 49 à 74, et 195 Model 2 biprocesseurs, pour un maximum de 254 lignes, K\$ 59 à 190, seront placés avant mars 1979.

La période qui suit le procès contre IBM voit essentiellement les développements "gros calculateurs" où l'architecture 6600 élargit sa clientèle, en même temps qu'elle aveugle quelque peu la direction sur l'évolution du marché. Toujours à l'affût de méthodes permettant des calculs plus complexes, CDC crée des processeurs spécialisés, que l'on peut asservir à une machine universelle : le convolutionneur de 1965, les MAP des années 70, par exemple.

La tardive prise de conscience de l'importance des microprocesseurs ne parvient pas à décider CDC à s'intéresser aux PC, néanmoins la firme prend une part de capital dans Silicon Graphic, fabricant de stations de travail qui apparaissent comme une fourniture plus savante. CDC s'efforce d'améliorer ces stations en les dotant de processeurs graphiques:

- le Cyber 910 / 300 de 1987 est une station de CAO, à base de 68020 à 16,7 MHz, mais CDC lui ajoute deux processeurs spécialisés, un pour les rotations et translations, l'autre pour les conversions fixe / flottant. La station est ainsi portée à 2,2 Mips Whetstone. Logiciel : UNIX V + BSD 4.2, exploitée à travers Ethernet et TCP / IP.

- le Cyber 910 / 500 de 1988, qui développe la station IRIS 70 de Silicon Graphic, à base de RISC Mips à 8 ou 12,5 Mips, reprend la même idée avec une carte accélératrice permettant 450000 transformations 3D par seconde. L'écran 19" dispose d'une mémoire video de 8 ou 16 MB, autorisant la manipulation de 8 à 96 plans d'image. Estimée 8 à 10 Mips, la station vaudrait 430000 FF, ce qui paraît cher, surtout quand on sait

que Chrysler en a acheté 200.

Le logiciel comporte des composantes orientées vers l'exploitation de ce matériel spécifique, comme IPM, modulateur volumique qui permet d'agir en 3D sur une portion d'image, entraînant la transformation automatique de tout ce qui est lié à cette portion par une relation explicite. Prix 120000 FF.

En 1990 les possibilités de Control Data s'amenuisent, mais la société estime encore possible de faire des affaires dans le domaine du temps réel civil, rendu accessible par la puissance des microprocesseurs et en particulier de ceux de Mips, qui lui sont accessibles à travers Silicon Graphic. On voit donc naître la série 4000, qui va couvrir d'ailleurs un intervalle de puissance assez modeste, puisqu'elle ne concerne que deux microprocesseurs Mips, les R3000 et R6000, dans une variété de présentations.

Control Data offre en même temps des disques en cartouches amovibles, dans une présentation "nuclear survivable" à l'épreuve de toutes les normes militaires, qui montre bien la clientèle visée.

En bas de gamme, le 4301 est une monocarte 25 MHz, contenant le R3000, un coprocesseur R3010, deux caches 32 ou 64 KB pour les instructions et les données, une interface 32 bits avec la mémoire assortie d'un tampon de 4 mots, et une interface SCSI. Elle est évidemment destinée à l'OEM, mais c'est elle aussi qui est au coeur des stations de travail et des serveurs de la famille 43XX. En 1991, elle sera déclinée en versions 33 MHz, puis 40 MHz (modèles 4370 mono, 4375 jusqu'à 8 cartes 4301).

En haut de gamme, la carte 4601 utilise un microprocesseur R 6000 et son coprocesseur R 6001 réalisés en bipolaire ECL, bien plus puissant (68 Mips, 45 Specmarks), avec deux niveaux de cache, et qui n'est proposé qu'en grande armoire. Pour l'époque, ce ne peut être qu'un serveur et le prix s'en ressent.

Malgré la qualité indubitable de ces produits, ils font clairement double emploi avec ceux de Silicon Graphic dans le domaine des stations de travail, isolées ou en réseaux Unix ; et elles n'atteindront pas les clients temps réel qu'elles visent plus particulièrement, simplement faute de temps.

## 163 - Architecture de la série CDC 6000

La famille 6000 est le grand succès de Seymour Cray : elle a traversé toute l'histoire de Control Data et a contribué à maintenir la société en vie après le départ de celui-ci et l'abandon de toutes les autres machines civiles de la compagnie. Cette note ne donne aucune référence autre que la liste des machines qui relèvent de l'architecture en question ; pour toute information sur un modèle particulier, et sur la documentation correspondante, voir à l'évocation correspondante dans la base de données.

Le trait fondamental de cette architecture, clairement orientée vers le calcul scientifique, est la séparation complète de la fonction calcul, confiée à un calculateur central et à sa mémoire principale, ou éventuellement à deux calculateurs centraux se partageant une mémoire principale multibanc, d'avec les fonctions de service, à savoir le système d'exploitation et les entrées/sorties, confiées à une collection de minicalculateurs, les PP pour Peripheral Processors, qui ont seuls accès aux canaux.

La mémoire centrale est formée de mots de 60 bits, qui peuvent être soit des données, soit des groupes de 2, 3 ou 4 instructions de 15 ou 30 bits. Sa taille n'est pas définie dans l'architecture, mais la contrainte des adresses à 18 bits oblige à la considérer comme segmentée : à un instant donné, seule une fraction de  $2^{18} = 256$  Kmots de cette mémoire est accessible, tant pour le programme que pour les données: c'est la taille maximale d'une application. Cette page "active" est définie par le contenu d'un registre RAC et toutes ses consultations se font implicitement en adressage relatif.

L'unité centrale se compose de 8 registres X de 60 bits, 8 registres A d'adresse de 18 bits, et 8 registres B de 18 bits qu'on peut considérer comme des index, y compris un B0 qui représente une source de 0 ou une non-destination ; elle travaille en complément à 1.

L'opérateur, qu'il faut définir conceptuellement sans s'occuper de sa réalisation physique, pour des raisons qui apparaîtront plus loin, sait traiter plusieurs problèmes très distincts, tellement qu'il est commode d'en parler comme d'une collection d'opérateurs spécialisés : toutes les opérations s'exécutent de registre à registre, et bien entendu il existe en outre un opérateur de lecture (mémoire vers registre) et un opérateur de stockage (registre vers mémoire).

Les instructions de 30 bits sont celles qui concernent la mémoire: on y trouve 18 bits d'adresse Y, pointant un mot dans la page active, 6 bits de code opération, et deux groupes i et j de 3 bits dont l'un pointe un index, l'autre désignant le registre à manipuler. Dans la plupart des cas, l'adresse relative au contenu du RAC est la somme de Y et de (Bi).

Les adresses de 18 bits ainsi calculées ne servent directement qu'aux ruptures de séquence. Pour les stockages et chargement, le mécanisme est plus subtil :

- toute opération aboutissant à placer une adresse dans  $A_i$  entraîne le chargement de  $X_i$  par la position de mémoire que pointe ( $A_i$ ), si  $i = 1$  à  $5$ .
- toute opération aboutissant à placer une adresse dans  $A_i$  entraîne le stockage de ( $X_i$ ) dans la position de mémoire que pointe ( $A_i$ ), si  $i = 6$  ou  $7$ .
- seul le chargement de  $A_0$  n'a pas d'effet sur la mémoire, de sorte que  $X_0$  n'a pas de relation avec la mémoire et peut servir d'intermédiaire de calcul.

Les instructions de 15 bits constituent le gros du répertoire et contiennent trois champs de registre à 3 bits,  $i, j, k$ , avec l'effet général  $R_j \text{ Op } R_k \rightarrow R_i$ , où  $\text{Op}$  désigne l'opération, tandis que les  $R$  peuvent désigner les  $A$ , les  $B$  ou les  $X$ , en combinaisons variées.

Les opérations se répartissent comme suit :

- Codes commençant par 0 octal : opérations touchant au système d'exploitation et ruptures de séquence.
- Codes commençant par 1 octal : opérateur logique travaillant sur 60 bits, entre registres  $X$ .
- Codes commençant par 2 octal : décalages de ( $X_i$ ) d'une quantité définie par les six bits des champs  $j$  et  $k$ , ou encore décalage de ( $X_k$ ) de ( $B_j$ ) positions, résultat dans  $X_i$ . Huit codes permettent les décalages ouverts ou circulaires, les normalisations et cadrages avec ou sans arrondi, avec ou sans extension de signe.
- Codes commençant par 3 octal : additions et soustractions en fixe 60 bits, ou en flottant  $S, SE$ , Exposant 10 bits, Mantisse entière 48 bits.
- Codes 40, 41, 42 octal : multiplications en flottant. L'opérateur est long de 108 bits, mais on ne peut pas récupérer les deux moitiés d'un produit, il faut choisir celle à laquelle on s'intéresse.
- Code 43 : composition dans  $X_i$  d'un masque de filtrage.
- Codes 44, 45 : Divisions
- Codes 460 à 463 octal : ne rien faire. Cette opération est nécessaire parce qu'on ne peut placer une instruction de 30 bits à cheval sur deux mots de mémoire successifs.
- Codes 464 à 467 : opérations sur chaînes de caractères de 6 bits.
- Code 47 : Placer dans  $X_i$  le décompte des 1 figurant dans  $X_k$ .
- Codes commençant par 5 octal : divers calculs (add / sub) chargeant les  $A_i$ , et donc provoquant, comme on l'a dit, chargement ou stockage.
- Codes commençant par 6 octal : divers calculs (add / sub) chargeant les  $B_i$ .
- Codes commençant par 7 octal : divers calculs (add / sub) chargeant les  $X_i$  avec une adresse de 18 bits, signétendue à 60 bits.

Le lancement d'un programme dans le calculateur central résulte d'une action du système d'exploitation, exécutée par un PP : elle charge le RAC pour définir la page active, pose des flags pour fixer certaines conditions de travail, initialise les registres, puis démarre l'exécution.

Puisqu'il n'y a normalement pas d'interférence entre le Central et les PP, l'exécution va durer jusqu'au premier incident pour lequel il existe un flag, ou jusqu'à l'achèvement du travail. L'incident éventuel, que l'on peut considérer comme une interruption validée par un des flags, provoque l'exécution d'une instruction spéciale baptisée "exchange jump", parce qu'elle échange 16 mots de 60 bits entre la mémoire et l'ensemble des registres du central : de ce fait, l'incident sera traité à loisir par le système d'exploitation, tandis qu'un problème préparé prend immédiatement la relève pour que le central ne s'arrête jamais de travailler.

Chaque PP est un calculateur autonome, doté d'une mémoire de 4096 mots de 12 bits et d'un opérateur parallèle 18 bits, travaillant avec un accumulateur  $A$  et les 64 premières positions de mémoire, que l'on peut considérer comme des index.

Le répertoire, de type "une adresse", est constitué d'instructions 12 bits sans adresse qui décrivent un grand nombre de manipulations sur  $A$ , que complètent des instructions 24 bits, avec adresse 12 bits indexable ou paramètre 18 bits. Les ruptures de séquence seront généralement différentielles, moyennant quoi le format court leur suffit, mais il existe une rupture inconditionnelle de 24 bits.

Il existe surtout une instruction d'exchange jump, par laquelle n'importe quel PP peut modifier le travail d'un central, quatre instructions définissant diverses formes d'échange entre la mémoire centrale et la mémoire propre du PP, et douze instructions permettant à chaque PP d'agir sur n'importe lequel des canaux d'entrée / sortie, dont le nombre est seulement plafonné à 64.

Le travail des PP étant simultané, le système d'exploitation fractionné s'exécute normalement sur dix PP à la fois, et il le fait en perturbant très peu le central, dès lors que la mémoire principale est convenablement découpée en au moins 32 bancs indépendants et simultanés.

Cette architecture remarquable n'a malheureusement pas été exploitée assez efficacement au plan logiciel, CDC laissant se succéder des systèmes d'exploitation d'une médiocrité certaine. Voir, par exemple, les appréciations de l'Université du Texas à Austin sur le logiciel RESPOND, à travers lequel depuis 1965 les usagers pouvaient individuellement accéder à une 6600 (ou apparentée) (dans 251-257/64).

Au cours de l'histoire de Control Data, les machines suivantes ont été construites en respectant l'architecture décrite ci-dessus :

1963 : CDC 6600. Cette machine de 128 Kmots, disposait d'un bloc de calcul concurrent à 10 opérateurs simultanés (dont 2 multiplieurs), interverrouillés pour pouvoir enchaîner leurs travaux s'il y a lieu.

Une instruction nouvelle est lancée toutes les 100 ns, sauf verrouillage. Les 10 PP de base se partagent un unique bloc de calcul, dont toutes les instructions s'exécutent en 100 ns, sans réellement se gêner mutuellement puisque le cycle de mémoire est 1  $\mu$ s.

1964 : CDC 6400/6500, un ou deux CPU à opérateur unique autour d'une mémoire de 32, 64 ou 128 Kmots. L'organisation des PP reste inchangée.

1964 : CDC 6411, second jeu de 10 PP pour machines à gros débit d'entrées/sorties.

1967 : CDC 6700, combinaison d'une 6600 et d'une 6400

1970 : CDC 6200, mémoire principale 32 Kmots, un seul CPU type 6400, seulement 7 PP

1972 : redéfinition complètement modulaire des machines précédentes, qui deviennent les Cyber 72, 73, 74 : on peut choisir un ou deux CPU, la taille 32 (16) 128 Kmots de la mémoire principale, le nombre des PP égal à 4, 7, 10, 14, 17 ou 20, et le nombre des canaux pouvant passer de 12 à 24..

1974 : les Cyber 173 comportent une ou deux mémoires principales de 128 Kmots, un processeur à 2 opérateurs (60 bits, 18 bits) réalisé en technologie ECL et travaillant à 20 MHz, et dix PP imbriqués, également à 20 MHz.

1974 : les Cyber 172, 174 apparaissent comme des variations modulaires autour des mêmes composants que ci-dessus, à part la présence d'un troisième opérateur (manipulations de caractères) dans les CPU qui peuvent être doublés. La mémoire devient également plus modulaire, le quantum étant 32 Kmots.

1974 : les Cyber 175 se caractérisent par une mémoire à 16 bancs, un CPU à 9 opérateurs (pas de manipulation de chaînes de caractères) travaillant avec un cycle de 25 ns, et deux jeux de PP à 50 ns avec 12 canaux pour chaque jeu.

1976 : apparition d'un Cyber 71 modulaire, peu différent du Cyber 72 autant qu'on puisse en juger. Il s'agit sans doute d'une simple opération commerciale, recyclant les Cyber 72 remplacées par les 172.

1977 : le Cyber 171 complètement modulaire devient le nouveau bas de gamme, remplaçant le 173.

1977 : Simultanément, apparition du 176, qui appartient à la famille (alors que le Cyber 76 n'y appartenait pas) et qui associe le bloc de calcul du 175 à une mémoire principale de cycle 27,5 ns et à une grosse mémoire secondaire à semiconducteurs.

1979 : réorganisation de la famille 170 : les 170/720 et 730 reprennent un ou deux CPU à 20 MHz, 3 opérateurs, avec une mémoire de 96 ou 128 Kmots, respectivement, mais extensible à 256 K, et un ou deux jeux de PP. Les 170/740 et 750 utilisent le CPU à 40 MHz de l'ancienne 175, avec 9 opérateurs sans manipulation de caractères et une mémoire MOS de cycle 400 ns. La 170/760 comprend le même CPU avec une mémoire MOS de cycle 200 ns. Le 176 est inchangé.

1982 : début de la réorganisation qui introduira la mémoire virtuelle. Les 170/865 à mémoire 50 ns (cycle 200 ns) et 170/875 à mémoire 25 ns (cycle 75 ns) ont un même CPU à 9 opérateurs qui semble être une reprise, en technologie ECL 10K, de la 175. Ces machines ne pourront pas avoir la mémoire virtuelle ni le mode 180.

De la même manière, les 170/815 et 825, 835 et 855, et la 845 annoncée un peu après, fabriquées en prévision de la nouvelle architecture, ne pourront être transformées plus tard en 180 que par une intervention spéciale payante, car le mode 180 n'est pas activable au moment de leur livraison.

- la 815 et la 825 ont une mémoire en chips 64 Kbits, capacité 256/512/1024 Kmots de cycle 400 ns, disposée en 2 ou 4 bancs. Puissance 1 Mips. Refroidie par air.

- la 835 a une puissance de 2,5 Mips, et une mémoire de 512 (512) 2048 Kmots, en chips 16 Kbits, divisée en 8 bancs. Sa performance, s'agissant du même CPU, vient d'un cache 2 ou 4 Kmots.

- la 845 et la 855 ont des puissances de 5 et 7 Mips, dues à un CPU plus performant, à une mémoire de 2 et 4 Mmots respectivement, cycle 448 ns, avec cache 4 Kmots.

1983 : Annonce officielle de la nouvelle architecture, dite mode virtuel, et des nouvelles machines qui peuvent l'utiliser, tout en exploitant aussi l'architecture Cray si le client la désire, avec commutation dynamique de l'une à l'autre, machines qui reçoivent le sigle 180. On notera que trois d'entre elles, 835, 845, 855, existaient déjà en 170 : celles qui ont été vendues après l'annonce peuvent fonctionner en mode virtuel sans modification.

Le grand nombre des modèles commerciaux correspond à des combinaisons de seulement deux processeurs microprogrammés (respectivement 50 et 25 ns), avec diverses mémoires pourvues ou non de cache.:

- la 810 de 0,9 Mips est vendue K\$ 250 avec mémoire de 2 MB; elle est extensible jusqu'à 16 MB au prix de 7500 \$/Mmot.

- la 830 utilise des puces de 256 Kbits, cycle 550 ns, dans une mémoire 256 / 512 / 1024 / 2048 Kmots organisée en 2 ou 4 bancs. CPU 50 ns.

- les autres machines sont construites autour du CPU 25 ns, et leurs différences de performances viennent des mémoires et des caches : 840 = 5,5 Mips, prix 760 K\$ ; 850 = 8 Mips ; 860 = 11 Mips, 1125 K\$ ; et un peu plus tard biprocesseur 870, 20 Mips.

1984 : annonce de la 180/990, CPU à 15 opérateurs pipeline concurrents, encore susceptible néanmoins de travailler en mode 170, au prix d'un appauvrissement.

Il était prévu de continuer encore quelque temps cet effort, avec notamment une 995 vectorielle, mais Control Data fut contraint à l'abandon, faute d'argent, malgré le soutien de partisans inconditionnels.

## 164 - Seymour Cray

Seymour Cray, ingénieur électronicien, était employé chez Univac St Paul lorsqu'il imagina l'architecture de la future 1604. Ne réussissant pas à intéresser sa compagnie à sa conception, il suscita une sécession et partit s'installer dans la ville voisine, Minneapolis, pour créer avec Norris et quelques autres la société Control Data Corporation (1957).

Le rêve de Cray a toujours été de construire la plus puissante machine scientifique du monde. La réussite de sa double création CDC 1604 + 160 lui donnait le champ libre, et c'est ainsi qu'il obtint de Norris, président de CDC, le droit de s'installer dans son village natal de Chippewa Falls avec son bureau d'études de 33 personnes pour créer la 6600, architecture que l'on peut probablement qualifier de géniale, même si en informatique les inventions géniales ont souvent la vie courte : voir ci-dessus, rubrique 163, le sort de celle-ci.

Le succès durable de la 6600, entretenu commercialement par l'extension à une petite gamme et par des combinaisons multiprocesseurs, fournit le temps à Cray d'étudier sa seconde plus grande machine, qui devait être la 6800 compatible. Les péripéties politico/économiques empêchèrent cette naissance, et obligèrent Cray à sortir une 7600 dont l'architecture, non compatible quoique ressemblante, ne lui donnait pas satisfaction. Laissant les commerciaux de CDC se débrouiller avec ce produit, Cray aborde alors le calcul vectoriel avec le Star 100, qui contient clairement des dispositions inspirées par les architectures précédentes. L'échec commercial de cette machine provoqua une rupture entre Norris et Cray, et le retrait de Cray à Chippewa Falls, où il créait en 1974 la société Cray Research, dont d'ailleurs CDC était actionnaire. En réalité, Norris devait un peu plus tard autoriser ce qu'il avait refusé, ce qui conduisit à la réalisation des Cyber 203 et 205, finalement réussies, mais sans Cray.

La nouvelle invention de Cray, le Cray 1, calculateur vectoriel multiprocesseur d'architecture très analogue à celle des 6600, fut à nouveau un succès considérable, freiné au plan commercial par une politique de prudence en matière d'investissement, limitant la production à une machine par mois. Pendant ce temps, Cray entreprenait l'étude du Cray 2, qu'il voulait au moins deux fois plus puissante que le 1.

Le Cray 2 achevé vers 1984, Cray voulait entreprendre un Cray 3, mais il fut mis en minorité par l'équipe de management qui préférait exploiter la filière Cray 1, beaucoup plus propice au développement que l'architecture du Cray 2. Cray quitte alors la compagnie qui garde son nom, et à laquelle il continuera à fournir des prestations logicielles ; dans les années suivantes, Cray Research vendra avec succès plusieurs familles de machines dérivées du Cray 1, les X/MP, Y/MP, C9X, M9X, J9X, T9X, mais elles seront faites sans Seymour Cray.

Cray fonde alors, dans son laboratoire personnel de Chippewa Falls, la Cray Computer Corporation, vouée à l'étude du Cray 3 réalisé en technologie AsGa. Cray s'est donné un objectif difficile : réaliser une machine à 16 processeurs avec un cycle de 1 ns. L'AsGa peut, en théorie, dépasser largement cette performance, pour le moment inaccessible au silicium dans les mêmes conditions. Mais, en réalité, il y a peu

d'expérience sur l'AsGa, alors que les progrès du silicium sont constants et réguliers : les "mêmes conditions" n'existent pas.

Cray se met au travail de planning. L'AsGa exige deux alimentations, +3,3 et -2 volts. On sait refroidir des puces consommant 500 mA, c'est-à-dire 2 watts en moyenne. Il faut définir :

- 480 tranches différentes contenant ces puces, les mettre au point et les tester, chacune ayant en moyenne 52 bornes qui doivent débiter 500 Mbits / seconde.

- 208 cartes multicouches différentes recevant ces puces, chacune ayant en moyenne 645 bornes de même débit, et devant dissiper quelque 32 watts.

- 13 modules différents qui regroupent plusieurs de ces cartes, contiennent en moyenne 800 bornes au même débit, et dissipent 2 Kwatts.

- pour s'intégrer en un système qui communique avec le monde extérieur par seulement 23 fils débitant 1 Mbits/s en moyenne. Ce système va consommer 32 Kwatts. On voit clairement que les difficultés principales ne sont pas au niveau de l'assemblage final.

- en outre il faudra vendre cette machine, et on ne peut espérer amortir les frais d'étude sur le seul client qui existe au départ, le Laboratoire de Livermore. Mais la situation n'était pas meilleure au début de l'étude Cray 2 ! Et Cray a quelques moyens personnels.

Cependant, de difficulté en difficulté, la date objectif recule sans cesse : en 1988, la technologie n'est encore pas descendue en dessous de 2 ns, et la mémoire minimale pour tenir le programme est d'un Gigamot. En 1992, les objectifs sont presque atteints, mais il faut encore retarder jusqu'en fin d'année la livraison prévue à Livermore. On ne peut préciser si cette livraison a finalement eu lieu, ou si Seymour Cray est mort avant l'échéance : en tout état de cause, le Cray 3 est resté un prototype.

## 165 - Calcomp

La société "californienne de produits pour ordinateurs", telle que la définit son nom, apparaît avant 1960 avec un traceur incrémental à plat, 89 \* 96 cm, 300 points/s, 10,7 cm/s maximum pour les lignes droites. Ses grandes dimensions en faisaient un produit cher, dont la réussite assura le lancement de l'entreprise. En 1960, ce modèle était remplacé par le 563 / 565, une paire de traceurs de même principe, en deux tailles 305 et 762 mm de diagonale, tête mobile dans 8 directions, capable de fonctionner en ligne, ou en subordination à une bande magnétique, modèles 450, 750 ou 760, dont nous ne savons rien. Nous passons ensuite en revue - non exhaustive, certainement - d'autres annonces de la société.

663 / 665 (1966) : reprise du principe précédent, mêmes dimensions et même mode de commande, mais avec deux vitesses (pas de 0,01" ou 0,005") et une fréquence accrue : 900 ou 450 pas / s pour le 665 de 12", 700 ou 350 pas/s pour le 663 de 30".

765 (1966) : modèle 450 pas / s, mais avec style 16 directions, et un zip mode pour les changements de secteur, qui est une commande vitesse.

835 (1967) : nouveauté technique : enregistrement à 100000 pas / s sur un oscilloscope lié à un ordinateur, ou 33000 pas/s en cas de commande off line. Possibilité d'enregistrement sur film 16 ou 35 mm avec 32 niveaux d'intensité.

602 / 618 (1968) : nouveau modèle incrémental à plat, 900 incréments/s, style à 8 ou 24 directions, 4 couleurs de plumes au choix du programme, et deux tailles 31 \* 34 cm (602) et 54 \* 72 cm (618).

702 / 718 (1968) : même mécanisme que le précédent, mais avec deux vitesses 450 et 900 pas/s, plus un zip mode à 1687 pas/s, soit un maximum de 328 mm/s. Commande par codes de 5 bits.

1670 (1970) : modernisation du programme 835, avec 500000 incr/s sur un écran de 16384 \* 16384 points, avec choix de 20 épaisseurs de ligne, pour transfert de bande magnétique vers film 16 ou 35 mm, ou microfiche de 105 mm. Peut aussi alimenter le générateur de caractères d'une imprimante 7000 à 12000 lpm, disposant de 16 modèles mémorisés de mise en page. Voir 262-3.5.

CD 22 (1970) : Calcomp élargit son domaine d'action en fabriquant un contrôleur CD 14 et des disques interchangeables avec le 2314 d'IBM. Il semble bien que Calcomp ait à cet effet acheté une compagnie nommée Century Data System, d'Anaheim, Cal, qui gardera une certaine indépendance pendant toute la durée de la cohabitation.

745 (1971) : traceur de haute précision avec table en granit de 45 \* 59" (1143 \* 1499 mm) et style 8 couleurs programmables.

1015 (1971) : reprise du CD22 dans une organisation plus dense, chaque dispack 2316 recevant deux jeux de 203 pistes par face, chaque tourne disque apparaissant ainsi comme deux unités IBM. Pour garder la compatibilité, le système est plafonné à 232 MB et débite 312000 cps.

1136 (1971) : nouveau concept de traceur, où le papier continu, fourni en rouleaux de 34" de large (863 mm) \* 120 ft (36,6 m), est entraîné par un cylindre bidirectionnel, tandis que le style se déplace sur une génératrice. On atteint 2600 incr/s, avec ralentissement à 1800 incr/s dans les forts virages. Choix programmable de 3 plumes.

- 1144 (1972) : ensemble contrôleur et dispack pour Univac, dont il constitue le Modèle 8440. Le contrôleur peut être adapté à d'autres clients.
- 915 (1973) : contrôleur pour tous types de traceurs, comprenant un dérouleur de bande magnétique et un calculateur universel pour assurer la fourniture d'incrémentes toutes rapidités et une mise en page élaborée. Convient pour 1036 et 7000 ci-après, pour les COM 1670 et pour les anciens modèles.
- 7000 (1973) : table traçante plane et horizontale, précision et stabilité exceptionnelle sur 1 m<sup>2</sup> grâce au contrôleur 915, 4 plumes, vitesse 42 ips (1067 mm/s).
- 1036 (1973) : traceur à tambour 3 plumes, 10,25 ips (260 mm/s), pour commande par 915.
- 936 (1973) : traceur 1800 pas/s, pas de 0,05 mm, choix de deux tambours de 93 et 39 cm, 3 têtes d'écriture. Commandé par calculateur 905 câblé.
- 942 (1973) : digitiseur à réticule superposé à une table à dessin.
- 5000 (1973) : il s'agit d'une imprimante électrostatique produite par une filiale de Gould, dont Calcomp assure la distribution. Elle dispose de 1056 styles sur la largeur 279 mm du papier, utilisé soit en rouleaux de 400 ft (122 m), soit en paravents de 1000 feuilles; elle se présente en armoire de 28 \* 18 \* 39" (711 mm de large, 457 mm de profondeur, 991 mm de haut), 88,5 Kg.
- L'imprimante travaille à 1200 lpm avec un chemin de données de 8 bits en code ASCII, matrice 7 \* 9 points, 132 Car/l. En plotteur elle peut se déplacer à 3 ips (76 mm/s) avec une densité de 100 points par pouce ; des jeux de routines Fortran, compatibles Calcomp, sont utilisés dans ce cas.
- Prix de base : \$ 7600.
- 5105 (1976) : mêmes performances que la précédente, mais sur 22" de large (559 mm).
- 5200 (1976) : autre variante de l'imprimante / plotteur électrostatique Gould, 2112 styles sur 11" de large (279 mm), formant deux groupes entrelacés qui permettent de former les caractères par matrices 14 \* 18 points. Vitesse 650 lpm, ou 1,65 ips en graphique (42 mm/s).
- 140 (1974) : Calcomp se lance dans la production de lecteurs de disquettes compatibles IBM soit avec un formatteur simple, soit avec un formatteur polyvalent microprogrammé. Il sera rapidement suivi d'un Modèle 142 à double densité, capacité 802 KB, débit 500 Kbit/s, accès piste à piste en 6 ms.
- 1035 (1974) : ensemble de tourne-disques compatibles avec les 3330 Mle 11 d'IBM, comportant 8 axes pour dispacks simple ou double densité, 806 KB/s, accès 30 ms. Le contrôleur microprogrammé assure tous les services d'IBM. Prix K\$ 225 pour 8 axes.
- 836 (1976) : traceur de table en grande largeur, avec mécanisme à trois rouleaux (un traceur central, deux enrouleurs), tous mouvements par moteurs à courant continu. Pour fonctionnement off line avec calculateur 915.
- 235.4 (1976) : version à dispacks de 400 MB du 1035, où chaque axe apparaît à l'ordinateur comme une paire de 3330. Débit inchangé.
- Trident (1976) : nouvel ensemble de disques, utilisant le pack IBM 3336 II dans une armoire de 32 \* 19,5 \* 36" (813 mm de large, 483 mm de profondeur, 914 mm de haut). Plus de recherche de compatibilité avec IBM, les caractéristiques d'enregistrement étant 6060 bpi, 370 tpi, 815 cylindres, 1209 KB/s, 10 ms de piste à piste. Possibilité de double accès.
- Peut être fourni avec un contrôleur 1150 A qui accepte toute combinaison de 8 Tridents et gère la correction d'erreurs, la détection de position angulaire, les secteurs de longueur variable, le chaînage de secteurs. Un tampon de 4 KB y est inclus, occupant 89 mm de hauteur de rack. En France, il existe un contrôleur 2271 spécialement adapté aux calculateurs Solar.
- 143 M : avec ces nouvelles disquettes, Calcomp abandonne ici aussi la compatibilité IBM, offrant une capacité de 12,8 Mbits en double face double densité et un coupleur 4 unités fonctionnant à travers une interface RS 232C. On peut aussi utiliser un formatteur 1143M. Le 142M est le même produit en simple face.
- Caractéristiques techniques : 6400 bpi, 48 tpi, 650 KB par face, 500 Kbit/s, 6 ms de piste à piste.
- 103X : famille de traceurs à tambour commandés par microprocesseur, avec couteau à papier, commande du papier, mesure de durée des travaux, régulation de vitesse, les commandes proprement dites étant compatibles avec les plotteurs antérieurs. Les 103X sont modulaires, avec 1 à 3 plumes, vitesse 2 à 4,5 ips (51 à 114 mm/s), papier de 330 ou 864 mm de large, prix \$ 8220 à 11960.
- 105X (1978) : famille de traceurs à tambour avec chambre à vide pour la tension du papier, servos à courant continu pour accélérations jusqu'à 4g et vitesses jusqu'à 762 mm/s. 4 plumes, 10 ips (254 mm/s), papier jusqu'à 1 m de large. Le contrôleur incorpore des fonctions comme butées, facteurs d'échelle, mémoire de la dernière position plottée pour les changements de plume ou d'encre. Résolution 0,0125 mm. Prix 19200 \$ pour le 1051, 36400 pour le 1055.
- 1065 (1978) : tous principes du précédent, mais pour papier de 1,84 m de large fourni en rouleaux de 18 m. C'est un meuble de 240 cm de large, 60 cm de profondeur, 117 cm de haut, pesant 227 Kg. L'accélération reste 2g malgré l'inertie de ce grand chariot, la vitesse diagonale dépasse 1 m/s.

Ce matériel de luxe exige un conditionnement, température 15 à 35°, humidité 35 à 65%. Le contrôleur à microprocesseur, même interface que les calculateurs antérieurs 906, 921, 925, fournit des services subtils comme la régulation de la pression des plumes, le contrôle de fin de papier, de marge en y, de temps de tracé, le retour à la position antérieure après interruption, etc...

IGT 100 (1977) : autre tentative de diversification, il s'agit d'une console graphique à microprocesseur incorporé, mémoire DRAM de 12 KB, matrice adressable de 1024 \* 680 pixels dans laquelle on peut extraire et visualiser une image de 416 \* 312 pixels. Clavier ASCII 64 symboles, interface RS232C half ou full duplex par commutateur, vitesse 300 à 9600 bauds.

L'écran, assez modeste comme le montrent les chiffres ci-dessus, peut être fractionné entre alpha et graphique, mais il s'agit de deux modes distincts. Zoom 2, 4, 6, 8. Présentation en petit bureau étroit, large tablette, clavier et écran fixes, électronique dans le socle.

Hunter (livrable fin 1978) : disque en cartouche, en technologie 3330. Comporte 16 MB amovibles, et 16, 48 ou 80 MB sur 1, 2 ou 3 disques fixes. Les caractéristiques d'enregistrement sont celles du Trident. Prix 4000 \$ en OEM.

Marksman (1978) est le premier Winchester de Calcomp, un seul plateau de 10 ou 20 MB, 7545 bpi, 180 tpi, 2400 t/min, 960 KB/s, accès moyen 65 ms. Moteur à entraînement par bande commandé par microprocesseur, présentation en rack. Prix OEM \$ 1300.

IGS 500 (1978) : est un système graphique complet, comprenant un minicalcateur avec mémoire 64 à 256 KB, 50 à 1200 MB de disques, et jusqu'à 4 bandes. Il alimente un maximum de 4 stations de travail, chacune dotée d'un processeur avec 64 KB, de deux écrans alphanumérique et graphique, d'un clavier ASCII, d'une tablette 11 \* 11" (279 mm) et d'un joystick. En option 4 digitiseurs, base de données, langage de commande, sortie vidéo graphique. Logiciel étudié en Angleterre.

Model 1000 (1978) : Calcomp, fournisseur de compatibles IBM, n'est ici que le distributeur d'un produit fabriqué par la société Data Switch. Il s'agit de commutateurs de canaux, jusqu'à 8 canaux du côté amont, et 24 contrôleurs du côté aval, la coupure concernant à la fois l'information et les alimentations, pour faire des économies d'énergie. Prix K\$ 26 à 350 selon le nombre d'interfaces.

14M1 (1979) : est un minifloppy standard, 875 Kbits SFSD ou 1,75 Mbit SFDD, ou encore formaté pour 80 et 161 KB respectivement. 300 t/min.

Cette société vouée aux traceurs et autres machines à dessiner s'est efforcée, à partir de 1970, de se faire une place dans le marché des compatibles IBM, mais il était tard, et de plus son créneau était étroit. Les chiffres d'affaires dont nous disposons, à partir de 1974, montrent une société en perdition :

Année	CAM\$	Bénéfice M\$	Effectifs
1974	129		
1975	123		
1976	122	- 4	3000
1977	118	- 2	2440
1978	120	2	2783
1979	107	- 17,9	2100

et qui disparaît effectivement des statistiques en 1980, année noire pour toute l'informatique américaine, malgré un effort tardif d'exportation à partir du chiffre tout à fait insuffisant de 1975 (29%).

La disparition s'est faite en deux temps : tout d'abord, Sanders rachète les activités graphiques avec la marque Calcomp, et grâce à cette réorganisation, la société retrouvera assez vite des forces. L'activité disques continue seule, sous le nom de Caldisk, pour un court moment, mais elle a aussi des problèmes financiers, et elle sera très vite rachetée par Xerox, qui préférera reprendre l'ancien nom Century Data Products. Voir cette activité à la rubrique 609, Xerox Corporation.

On peut encore signaler quelques produits Calcomp, puisque Sanders n'a pas occulté ce nom, et que les plus récents traceurs cités ci-dessus continuent à être commercialisés.

S600 (1979) est une planche à dessin accompagnée d'un microprocesseur et d'un écran 12 \* 80 caractères, le tout pouvant travailler seul ou connecté. La table comporte un digitiseur composé d'un réticule grossissant au bout d'un câble souple, disposant de 6 formats et de 5 modes (point à point, continu commandé ou automatique, commande à distance, incrémental). La résolution standard est 100 lignes par cm, pouvant en option être portée à 400 ; la précision est 0,025 cm.

Le microprocesseur permet d'incorporer des caractères, de calculer des surfaces et des volumes, d'exploiter un menu de 70 options. Prix en France, 35000 à 76000 FFHT.

IGS 400 (1981) : système graphique de début comprenant, pour \$ 89000, un processeur 16 bits, 64 à 256 Kmots de mémoire, un lecteur de disquettes de 128 Kmots, un disque de 50 MB, et une station en forme de bureau comprenant deux écrans Alpha et graphique, clavier, tablette et joystick. En options : plotteur, digitiseur, imprimante matricielle, extension mémoire et disque.

## 166 - System Development Corporation

SDC est, depuis les années 50, une société "non profit" californienne qui s'est impliquée longuement dans le programme SAGE et a reçu, à la suite de cette participation, le calculateur AN/FSQ 32 pour organiser son centre de calcul. Conçu par IBM comme le successeur des AN/FSQ 7 du SAGE, le FSQ 32 restait inutilisé à la suite de la décision d'organiser plutôt BUIC que de moderniser les sites SAGE ; la disposition du FSQ 32 permit à SDC d'effectuer d'importantes études de système, et notamment de mettre au point le TSS, un des premiers véritables time sharing, en service dès janvier 1964.

Le système comprend un PDP 1, relié à travers un tampon de 16 Kmots à la FSQ 32, pour collecter les terminaux, qui comprennent en 1964 six TTY 28, 22 TTY 33, 3 machines à écrire et 6 écrans ; 30 usagers peuvent être actifs simultanément. Les ressources en mémoire sont considérables, 5 tambours cumulant 136 Kmots, 4 Mmots sur disques, et 16 dérouleurs de bandes magnétiques. Les outils logiciels de cet organisme de recherche sont TINT, IPL - TS, LISP, et JOVIAL pour les problèmes temps réel.

La SDC a créé avec DPSS, Data Processing System Simulator, un outil d'analyse de charge de système fonctionnant sur l'AN/FSQ 32 et, plus récemment, sur 7094. Il a été utilisé pour valider le projet 465L du SACC, le système de calcul du Strategic Air Command ; c'était, au sens étroit, le travail normal de la société.

La SDC a vu plus large et essayé, en créant en 1964 le CPSS, de mettre au service de la communauté informatique un outil universel, ce qu'on a appelé plus tard un atelier logiciel.

Le langage d'écriture de système qui en est le coeur est J-S, un sous-ensemble propre de JOVIAL J3, qui a fait la preuve de son efficacité puisqu'il a servi précisément à écrire CPSS ; mais CPSS fournit bien davantage, et notamment le moyen de s'adapter à divers types d'ordinateurs, de 24 à 32 bits, et de générer au passage toute la documentation indispensable à la future maintenance, et les tests nécessaires à la validation du produit.

Malgré ces ambitions, CPSS n'a pas eu d'autre succès que de donner des idées à d'autres ; et il est rapidement devenu obsolète puisqu'il était conçu pour des machines 32 Kmots, 4 bandes, LC, IP.

L'AN/FSQ 32 semble avoir été remplacée, peu après ce travail, par une 360/67 plus particulièrement conçue pour l'exploitation conversationnelle. Cette machine a été très tôt connectée au réseau ARPA. Elle a été exploitée à travers un système de temps partagé baptisé TDMS, utilisant des écrans plutôt que des télétypes, à la suite d'expériences entreprises sur la FSQ 32 sous le nom de DISPLAY.

En janvier 1967 SDC estime avoir acquis une expérience pour pouvoir proposer un système commercial. Elle entreprend l'étude d'un système de temps partagé + batch fonctionnant sur IBM 360/50 ou 65, utilisant un moniteur de temps partagé, la base de données TDMS, et un package de programmation. Cet Adept 50 comprend notamment un éditeur conversationnel, Autodoc.

Ce système, décrit par 252-39/50 et 252-119/33, a été installé en quatre exemplaires dans des agences gouvernementales en 1968/69 : National Military Command System Support Center, Air Force Command Post notamment.

De cette époque datent encore PLANIT, un système d'intelligence artificielle (description en 246-545), et ProtoSynthex III, un système de question/réponses écrit en LISP 1.5 (CACM 3/70 p 167).

Inventées pour offrir aux militaires un moyen de mener des études sans trop de contraintes budgétaires, les sociétés non profit groupaient des ingénieurs très compétents autour de problèmes très importants. Conséquence : ces gens avaient tendance à penser qu'ils pourraient attendre un plus bel avenir du passage dans l'industrie privée, et c'est ainsi que SDC se laissa, dans les années 80, tenter par Burroughs. Mal leur en prit, à en juger par les difficultés ultérieures de Burroughs, puis de Unisys.

## 167 - Le MML de Control Logic

La naissance du microprocesseur donne lieu à pléthore d'applications temps réel, pour la simple raison que le calculateur de process peut désormais tenir sur une carte. Control Logic, petite société sans passé dont on n'a plus entendu parler après ce premier succès, a produit, et vendu pour \$ 2000, directement à des utilisateurs, plus de 1000 de ces machines, basées sur des 8008, puis des 8080, puis des Z 80, à mesure qu'apparaissaient des microprocesseurs plus puissants sous le même volume.

Pour ce prix, on recevait 3 KB de mémoire et une alimentation sur la carte processeur. Mais il existait des options nombreuses : virgule flottante (programmée), horloge temps réel, interruption pour coupure de courant, canaux jusqu'à 256, mémoire RAM ou PROM de 1 à 64 KB, et des lignes téléphoniques jusqu'à 50 Kbauds. Le logiciel pouvait comporter un petit OS, un assembleur relogeable, un BASIC et un Fortran IV.

## 168 - UDS 470 de Control System Inc.

Dans un châssis de 6 Unités de rack, cette société propose un outil de développement comprenant microprocesseur, carte mémoire RAM 32 KB, carte EPROM 16 KB, un ou deux disques souples et une alimentation, le tout pour \$ 4000. L'idée directrice est d'utiliser ce châssis pour rédiger en Pascal UCSD 1.5 un logiciel industriel, le mettre au point, puis transférer le programme compilé sur EPROM ; en enlevant disques et RAM, on disposait alors d'un contrôleur pour \$ 1200.

On ignore si la formule a eu du succès.

## 169 - Convergent Technology

Fondée par Allen Michels, un transfuge de Xerox, cette entreprise se consacre à la conception de miniprocesseurs à usage de gestion, produits en série et vendus en OEM, ou sous forme de licence de production. Elle semble avoir très bien réussi pendant environ huit ans, puis elle a disparu, absorbée par son principal client Burroughs.

Son premier produit est la famille CT 1000, vendue à Burroughs qui en a fait les B20 / 25 / 27 / 28, et licenciée en France à Thomson qui le produit comme B4000. C'est un réseau d'écrans + CPU reliés par Ethernet : le CPU est un 8086 renforcé de 8087, avec une mémoire 128 à 256 KB gérée comme une mémoire virtuelle de 16 MB. Les écrans sont 15", offrant 34 lignes de 132 caractères normaux ou 80 grands caractères tracés dans une matrice 10 \* 15 : polices et graphiques sont stockés en RAM. Il existe aussi des écrans plus petits, 28 lignes de 80 caractères 11 \* 9. Les écrans sont rafraîchis localement.

Le système comprend un SRP, Shared Ressource Processor, qui contient une partie de l'OS : le réseau est exploité par polling sur un maximum de 16 stations, éloignées de 600 ft au plus (180 m) du SRP, et débite 615 KB / s. Il peut être vendu comme suit :

CT 1111 est un poste isolé à \$ 11990, 128 KB, un floppy disk.

CT 1121 est aussi un poste isolé, mais renforcé d'un disque Winchester 10 MB. Prix \$ 18500.

Un sous-réseau de 4 stations de ce type est vendu K\$ 40.

CT 2000 est le vrai réseau, avec un SRP et un à quinze terminaux.

Le logiciel comprend un éditeur de texte développé, une base de données, un assembleur, Basic, Fortran, Cobol et Pascal.

Après ce gros succès (voir images dans le dossier Burroughs B20), CT produit le Megaframe, multiposte d'allure plus classique (fiche), dont l'originalité essentielle est de s'insérer dans un réseau UNIX, et qui fonctionne sur 68000. Il sera vendu à Gould (SEL) qui le commercialise comme PS3000, et à Burroughs qui en fait le XE520.

Le Miniframe reprend le même thème, un an plus tard, autour d'un 68010 qui facilite l'organisation de la mémoire virtuelle (fiche).

En 1984 la société rencontre des difficultés, apparemment dues à de gros retards dans la mise au point du NGEN, la nouvelle version du CT1000. La société perd 13,8 M\$ sur un CA de 361,7 M\$, et Michels doit se retirer, remplacé par Paul Ely, un ancien VP de Hewlett-Packard, qui sauve l'entreprise.

Le cycle reprend l'année suivante avec un produit à base de 80386, associé à une DRAM 125 ns et un cache statique de 32 KB, accès 35 ns. Le logiciel est VM / CTOS, un hyperviseur qui gère plusieurs sessions sous CTOS ou sous MS / DOS : IBM fait école.

En 1987 la série S revient à la famille 68000 et comprend de nombreux modèles :

- S / 50 est un micro autonome, à base de 68000. Il a été étudié pour ATT qui le vend comme 7300.
- S / 120 est un système Unix à 12 utilisateurs.
- S / 220 est un système 68020 Unix à 32 utilisateurs, aussi baptisé Mighty Frame : il existe en Europe depuis 6 / 86.
- S / 640 est un monoposte à base de 68020 à 25 MHz, fonctionnant sous Unix.
- S / 1280 est un serveur Unix pour 128 utilisateurs, comprenant quatre 68020 et un 80186 pour gérer les entrées/sorties. Il peut atteindre K\$ 350.

## 170 - Convex Computer Corporation

Cette société s'établit en 1985 pour construire et commercialiser des "crayettes", cad des machines inspirées par l'architecture vectorielle du Cray 1, si possible compatibles mais en tous cas moins chères.

Le C1 est cette première machine, à base de puces Fujitsu gate arrays de 8000 portes. On en tire 4 Mips, ce qui est modeste (fiche). Il sera repris en 1987 dans une version réseau à jeton, où une collection de C1 peuvent être chaînés par une fibre optique à 80 Mbits/s sur 2,5 Km. Le réseau dispose d'une mémoire virtuelle de 4 GB. Les C1 composants peuvent s'intégrer à d'autres réseaux, Ethernet, Hyperchannel, TCP/IP, jusqu'à 16 utilisateurs. Il faut compter 350 K\$ ou 2850 MFF pour un C1 ainsi connecté, avec 16 MB de mémoire, 434 MB de disque, une bande 6250 bpi, et le système d'exploitation qui est UNIX BSD 4.2.

Cette amélioration se double, cette même année, d'une augmentation de puissance, avec le XP qui utilise le même bus à 80 Mbits/s pour relier jusqu'à 4 CPU. Le nouveau processeur, capable de 6,4 Mips en séquentiel, 40 MFlops en vectoriel, est réalisé avec des puces Fujitsu CMOS à 20000 portes, et entouré de 68010 pour toutes ses fonctions de service. Il peut contenir jusqu'à 1 GB de mémoire (organisée en cartes de 128 MB) par CPU, et échanger jusqu'à 80 MB/s avec ses périphériques.

Prix typiques : 475 K\$ pour un XP isolé, 775 K\$ pour une paire.

Vers 1989, le C2 reprend l'architecture du C1 en utilisant des puces ECL pour améliorer les performances. On peut connecter jusqu'à 4 processeurs dans le cluster à travers la liaison à fibre optique, et utiliser le commutateur câblé ASAP pour affecter dynamiquement les processeurs aux problèmes en cours. Cette machine sera rebaptisée C3200 en 1991.

L'annonce C3 de 1991 est une famille de crayettes compatibles, dont le C2 devenu 3200 n'est qu'un des membres, les deux autres étant 3400 et 3800:

- les 3400 sont réalisés en BiCMOS et sont proposés en six modèles, de 1 à 8 processeurs : un test Linpack sur un monoprocesseur donne 75 MFlops réels sur opérandes 32 bits, là où la publicité annonce 100 MFlops par processeur. Les prix s'étalent de 3,6 à 11 MFF.

- les 3800 sont construits avec des circuits AsGa 0,8  $\mu$  produits par Vitesse, refroidis par air. La performance annoncée est 250 MFlops/CPU en 32 bits, moitié en 64 bits, et on peut ici aussi grouper jusqu'à huit processeurs autour d'une mémoire extensible à 4 GB, et en optimiser l'emploi avec ASAP. Les prix vont de 11 à 44 MFF.

- la version ES de 1992 est une monocarte pour un ou deux processeurs d'un des modèles ci-dessus, et 512 MB de mémoire, destinée à des racks de 19" pour applications "embarquées". Prix de base K\$ 295. Alimentation monophasée 220 V.

Toutes ces machines communiquent avec leurs périphériques par des canaux HIPPI.

En 1992 encore, la série META propose la connexion des calculateurs ci-dessus, à travers un câble FDDI à 100 Mbits/s, avec une à quatre armoires de 8 PA.RISC, microprocesseurs de Hewlett Packard. L'armoire de 62 cm de large sur 175 cm de haut contient 32, 64 ou 128 MB de mémoire par PA.RISC, et lmes alimentations appropriées.

Le logiciel de ces multiprocesseurs est PVM, Parallel Virtual Machine, repris par Convex d'une étude menée par le Oak Ridge National Labo et l'Université du Tennessee, il exploite la norme IEEE 754 et la bibliothèque MLib de Convex.. Le système d'exploitation est NGS+ de Convex, qui gère les allocations de ces ressources.

Les résultats de Convex ont préparé l'opération META, où le choix des PA.RISC ne doit rien au hasard. Hewlett Packard prend d'ailleurs, en 3/93, 5% du capital de Convex pour assurer le succès de l'opération. Puis, en 12/95, HP absorbe Convex qui devient le "Centre technologique Convex de Hewlett Packard" et qui se consacre à la définition de machines puissantes à base de PA 7000.

C'est ainsi qu'en 1994, Convex propose Exemplar, multiprocesseur à base de PA 7200 à 100 MHz capable théoriquement de 25 GFlops. L'architecture comprend jusqu'à 16 noeuds de 8 CPU interconnectés par un crossbar capable de 16 GB/s, la mémoire plafonnée à 32 GB étant répartie sur les noeuds et globalement partagée. La machine est offerte en deux modèles :

SPP 1000/CD est la structure maximale, comprenant 2 à 16 CPU, K\$ 145 à 750.

SPP 1000/XA est plafonnée à 8 CPU et peut coûter jusqu'à K\$ 500.

La machine est compatible au niveau binaire avec les stations de travail de HP, et elle supporte les applications Convex, mais avec recompilation.

Quelques clients : NKK au Japon, Université d'Illinois aux USA, Université d'Erlangen en RFA (48 CPU).

Sa nouvelle position ne contraint pas Convex à abandonner ses idées antérieures, et l'annonce C4 de 6/94 montre que Convex croit toujours à l'AsGa. Le nouveau CPU, capable de 1 GB de mémoire, offre 850 MFlops DPVF tout en étant refroidi par air, et il peut se regrouper par quatre sur un crossbar capable de 4,4 GB/s. Le prix est 4,5 MFF pour un CPU avec 256 MB, 15 MFF pour 4 CPU et 4 GB.

Le cycle de ce CPU est 7,41 ns. C'est un pipeline à 6 niveaux, exploitant 16 registres de 128 bits.  
Quelques clients : Université de Taiwan, BMW/Rolls Royce, CEDEX en Espagne.

### 171 - Corona Data System

Cette compagnie est en 1984 un fabricant de compatibles PC, proposant le PPC2, un 8088 avec 128 à 512 KB de mémoire fonctionnant sous C/PM. Pour 26800 FF, ce "portable" alimenté par le secteur offre une interface RS232C, une interface Centronics, deux floppies DD 5" ou un disque 10 MB, et un écran 9" à 25 lignes de 80 caractères capable aussi de bitmap 640\*325 ; et il contient quatre slots compatibles. On peut douter de la portabilité.

L'année suivante, la société est rachetée par Daewoo : son nouveau propriétaire la rebaptise Cordata et lui fait vendre le desktop PC400, un PC coréen avec 512 KB de RAM, 2 floppies de 360 KB, et un écran de 14" pour 14500 FF. L'addition d'un disque de 20 MB porte ce prix à 19500 FF.

Entre temps, la proposition comprend désormais toute une gamme d'AT, en commençant par un monochrome à 640 KB et floppy pour 28500 FF. Les modèles suivants sont intéressants parce qu'il nous font connaître l'échelle des prix de cette époque (1985) :

ATD avec disque 20 MB = 36500 FF, et 42500 FF avec écran couleurs.

ATD avec disque 40 MB = 68500 FF : c'est le QT 40

En option : logiciel graphique Fastdraft et moniteur 64 couleurs pour 20500 FF, imprimante laser LP300 à 29500 FF émulant les Epson MX 80. Et l'on peut supposer que, pour l'entrée de Daewoo sur le marché des compatibles, ces prix sont compétitifs !

### 172 - Cornell Aeronautical Laboratory

L'activité de ce laboratoire new-yorkais nous est très peu connue. On cite seulement, en 1967, la réalisation d'un extracteur numérique pour les radars navals AN/SPS 12 et AN/SPS 37, en vue de leur intégration au NTDS : le sigle administratif est CV 760/SS.

En 1957, il est chargé d'un programme audacieux : simuler sur son ordinateur IBM 704 le mécanisme supposé du fonctionnement des couches sensibles du cerveau. C'est le Perceptron, qui est, suppose-t-on, capable d'apprentissage. Voir 222.25.

### 173 - Corstar Business Computing Company

Cette compagnie, d'intérêt très local à en juger par la faible importance de ses ventes, fournit clé en main des miniordinateurs de gestion aux PME, et sa valeur ajoutée est tout à fait faible. On sait que Digital Equipment, peu soucieux de négociations directes avec les petits clients, donnait volontiers son accord à l'intervention de tels intermédiaires.

Corstar 310 (1972, 10 vendus) est un minimum absolu, avec un DEC 310 à mémoire 16/64 KB, avec un ou deux floppies. Prix K\$ 13 à 23.

Corstar 350 (10/75, 4 vendus), est construit autour d'un DEC 350, mémoire 32 à 256 KB, disque 19,2 à 160 MB, un floppy, et jusqu'à 4 lignes téléphoniques. Prix K\$ 36 à 65.

Corstar 534 (11/73, 14 vendus) est un vrai petit centre de calcul autour d'un DEC 534, avec 64 (16) 256 KB de mémoire, 19,2 à 704 MB de disque, et pas de floppy. IP 300 et jusqu'à 32 lignes. Système d'exploitation à 32 partitions, Basic et RPG II. Prix K\$ 75 à 125.

Corstar 570 (6/75, 4 vendus) est à peu près deux fois plus gros, avec un DEC 570, 128 (64) 1024 KB de mémoire, 19,2 à 1408 MB de disques, IP 300, 64 lignes. Système d'exploitation à 63 partitions, Basic+, RPG II. Prix K\$ 135 à 260.

### 174 - Wordpak de CPT Corporation

Un "word processor" est un traitement de texte édifié sur un calculateur spécialisé débarrassé de tout ce qui ne servirait pas cette finalité, l'objectif étant l'économie. C'est manifestement un concept périmé déjà en 1979, quand la CPT Corp propose ce système qui est centré sur un disque CPT 8040 (4 postes) ou CPT 8050 (8 postes). Le disque est accessible indépendamment par toutes les stations CPT 8000 dont chacune est un miniordinateur avec écran, ligne et protocole asynchrone.

On peut par exemple imaginer que le disque est un fichier client, ou un catalogue de produits de vente par correspondance, et que les consoles traitent individuellement les commandes, mais on ne voit pas en quoi la limitation à un travail d'édition peut procurer une économie.

Prix \$ 8500 ou \$ 12000 pour le disque, plus \$ 10990 par station.

## 175 - Le microsystème universel de Cradle

Cradle Technologies est une petite entreprise qui rêve, en 1999, d'inscrire l'universalité architecturale dans une puce, et en plus de le faire pour pas cher. Comme l'annonce officielle de composants commerciaux n'a pas encore eu lieu au 31/12/99, on ne peut pour le moment discuter que du principe.

L'unité de traitement élémentaire dans cette puce est le "quad", comprenant un double bus de communication avec le monde extérieur, et sur celui-ci :

- quatre processeurs RISC 32 bits
- huit DSP associés à huit petites mémoires locales
- un cache pour la mémoire de programme des RISC
- un cache pour la mémoire de données commune aux douze processeurs
- un DMA programmable pour gérer les mouvements de mémoires.

Bien que chacun des RISC puisse travailler avec tous les DSP, on peut considérer, pour la commodité du dessin de la puce, que le module de dessin est le MSP composé d'un RISC et de deux DSP avec leurs mémoires.

Le nombre des quads dans la puce n'est pas fixé a priori, mais il résulte de contraintes économiques. Tous ces quads sont interfacés avec le bus principal 64 bits, 640 MHz, capable de soutenir 4,2 GB/s, lequel communique avec l'extérieur de la puce par un contrôleur DRAM non programmable, mais susceptible tout de même de s'adapter à diverses sortes de mémoires.

Tout le pourtour de la puce est constitué par des bornes d'entrée/sortie, reliées à une FPGA. Le programmeur, travaillant ici en un langage logique baptisé Bool, répartit la FPGA entre les bornes en fonction des besoins de chaque entrée/sortie particulière, qui dispose d'un IOP connecté au bus et programmé en C.

Au moment de l'annonce, les performances réellement atteintes avec un dessin CMOS en 0,25  $\mu$  sont 300 Mips, 250 MFlops, une bande passante mémoire de 200 MB/s, des I/O à 100 MB/s, et une dissipation de 5 watts par Gigaflop. Les auteurs espèrent multiplier (ou diviser) ces chiffres par 10.

La signification d'une telle puce est entièrement dépendante de son logiciel. Les créateurs, qui en sont conscients, ont soumis leur système de développement à la critique de 30 développeurs dans 13 sociétés différentes, pendant six mois. Le verdict serait "encourageant".

## 176 - Normes COBOL

De même qu'ils ont suscité, à partir de 1955, la construction de machines spéciales manipulant l'information caractère par caractère, les problèmes de gestion ont nécessité très vite un langage de programmation spécifique. En fait, le langage est né avant même que les machines de gestion ne se soient différenciées, avec les compilateurs B0 puis Flowmatic de l'UNIVAC II (1958) et le système AIMACO utilisé à partir de 1959 par l'ERA 1105 de l'Air Material Command. Il s'est ensuite développé chez tous les constructeurs, IBM produisant le COMTRAN (Commercial Translator) et Honeywell le FACT.

L'existence de ces langages prouvait, avant même qu'ils soient entrés dans les moeurs, la possibilité de réaliser des compilateurs, de sorte qu'en mai 59, la section Budget du Département de la Défense (USA) prit l'initiative d'une réunion sur ce thème. La réunion, qui groupait des utilisateurs et des constructeurs, conclut que la définition d'un langage uniforme pour le travail de gestion était possible et utile ; elle décida la création d'une commission, la CoDaSyL (Conférence sur les Langages de Traitement de l'Information), qui se réunirait à de rares intervalles, pour orienter ou entériner les travaux de comités techniques.

C'est ainsi qu'en 1960, sous l'égide du DOD, et sur les presses du Department of Commerce, sortit le manuel de référence du langage COBOL 61, révisé en 1962 sous le nom de COBOL 61 étendu. Nous disposons d'un exemplaire de ce dernier document en boîte 144.

A partir de là, le langage s'est progressivement implanté dans tous les Etats-Unis, sous la pression constante du DOD qui, d'une part exigeait un compilateur COBOL sur tout ordinateur destiné au Ministère de la Défense et, d'autre part, imposait à ses fournisseurs d'assurer en COBOL la gestion de leurs contrats avec ce ministère. De plus, le DOD contrôlait que les COBOL utilisés étaient conformes aux normes, grâce à une structure de l'US Navy (ADPESO) dont on trouvera description et bilan en 260-819/27 et 261-417/38.

Rapide chez les constructeurs, l'acceptation a été plus lente chez les utilisateurs, qui avaient tendance à imputer au langage les maladroites de leurs programmeurs. On peut dire, cependant, qu'à partir de 1969 le langage est partout bien accepté.

Pour faciliter l'implantation de COBOL, les créateurs du langage avaient adopté, vis-à-vis des constructeurs, la position suivante :

- le langage définit deux types de clauses : les clauses obligatoires et les clauses électives, ces dernières moins évidemment nécessaires et de mise en oeuvre plus délicate.

- pour mériter le nom de COBOL, un compilateur doit comprendre toutes les clauses obligatoires.  
- si un compilateur va au delà des clauses obligatoires, il doit prendre ses extensions dans les clauses électives.  
Le résultat fut assez vite satisfaisant, et s'il n'existait pas de COBOL complet, on peut dire que tous les constructeurs avaient effectivement construit un COBOL minimum et que la plupart s'enorgueillissaient, dans leur publicité, d'offrir en outre plusieurs clauses électives.

Voici une première liste de compilateurs réalisés à partir de la norme 61 étendue, et dont nous possédons un manuel de référence dans nos archives :

Cobol pour les CDC 3000, généralités	: boîte 10
Cobol particulier du CDC 3200	: boîte 11
GE 635 COBOL Reference Manual	: boîte 36
IBCBC des 709X	: boîte 59

La verbosité du langage COBOL a conduit de nombreuses entreprises à définir des langages équivalents mais plus concis, qu'un préprocesseur transformait ensuite en COBOL normalisé pour le soumettre à un compilateur efficace.

On peut citer :

GENCO, de Software Resource Co, au formalisme très dense, pour IBM S/360 de 128 KB, délivrant un Cobol compilable dans 32 KB seulement.

La première grande révision du langage intervint en 1965 et, à partir de 1967, l'association américaine de normalisation s'empara du sujet. A l'occasion de ce travail, il fut décidé de remplacer les clauses électives par une modularité, le langage comprenant :

- deux niveaux de "noyau", le niveau 1 constituant le minimum pour avoir droit au nom de COBOL.
- trois niveaux pour le traitement de tables (références DETAB/X, DETAB/65, TABSOL).
- deux niveaux pour l'accès séquentiel.
- deux niveaux pour l'accès indexé.
- deux niveaux de tri (sort)
- deux niveaux d'éditeur (report writer)
- deux niveaux de bibliothèque.

Au total, avec le niveau 0 autorisé pour certains des modules, 2916 COBOL distincts existent, parmi lesquels le fabricant de compilateur doit obligatoirement choisir son modèle. Même si l'on admet que bon nombre de combinaisons sont sans intérêt, il est clair que cette diversité ne permet pas de garantir la compatibilité recherchée, de sorte que, à l'intérieur de la norme, chaque ministère a tendance à sélectionner un petit nombre de combinaisons qui constituent sa norme particulière.

La norme ANSI a été publiée en avril 67 par le comité responsable de l'ANSI, le groupe X3.4, et nous disposons de la publication par laquelle le groupe ACM SIGPLAN soumet ce projet de norme aux américains (boîte 144).

La plupart des pays l'ont ensuite adopté presque sans modification, et notamment la France, dont la norme AFNOR Z65.210 date d'avril 1970 (en boîte 144). Ces COBOL ont conservé les mots clés américains, chacun pensant qu'il pourrait être appelé à soumissionner, le cas échéant, pour des marchés du gouvernement américain.

On trouvera ci-après une seconde liste de compilateurs COBOL 67, pour lesquels nous possédons un manuel de référence dont on indique la localisation en archives.

ANSI COBOL des IBM S/360 : boîte 65, trois documents

Depuis lors, la norme a été légèrement remaniée, sans modification fondamentale, en particulier pour incorporer au langage le DDL et le DML associés à la base de données Codasyl (boîte 144).

Beaucoup de compilateurs font désormais référence à la norme ANSI 1974 du COBOL X3.23, par exemple les suivants :

PDP 11 COBOL, selon norme X3.23-1974	: boîte 27, Software Handbook 1980
COBOL-81 des MicroPDP 11	: boîte 27, Software Handbook 1983
Harris COBOL du système VOS	: boîte 37, une fiche
COBOL du PC	: boîte 84, une fiche
COBOL des Prime	: boîte 101, une fiche
ASCII COBOL d' Univac	: aide mémoire UP 8583.2 en boîte 132

Il y a eu ensuite une nouvelle modification de la norme ANSI, définissant un Cobol 85, et nous disposons en boîte 144 d'un texte anglais présentant ces nouveautés en vue de commentaires publics. Après mise en forme définitive, cette norme a donné lieu à des réalisations, ci-après :

NPE COBOL d' Unisys : documents UP 9712.3 et 13425 en boîte 132

## 177 - Normes FORTRAN

FORTRAN (Formula Translation) a été inventé chez IBM en 1956, à une époque où n'existaient encore que des compilateurs très prudents, utilisant des langages qui ressemblaient beaucoup à des langages de machines. Il fut accueilli froidement par les responsables commerciaux d'IBM, qui craignaient l'hostilité des clients, censés ne penser qu'à la qualité des programmes objets. Il fut effectivement regardé d'abord avec méfiance par les usagers, mais la commodité extrême de la rédaction et de la mise au point, les économies obtenues sur les délais d'exécution des problèmes et sur la compétence des programmeurs d'application qui peuvent être de simples mathématiciens, eurent raison de ces réticences.

Le Fortran I de la 704, langage qui contenait inévitablement des formes syntaxiques liées à la structure de la machine pour laquelle il avait été conçu, évolua ensuite lentement, s'adaptant successivement à la 709, puis à la 7090 sous le nom de Fortran II.

Le succès de la méthode fut tel que dès 1959, tout constructeur désireux de vendre une machine scientifique était contraint d'offrir un compilateur algébrique. Le poids d'IBM sur le marché était tel que pratiquement le langage adopté par tous ces compilateurs fut le Fortran II.

Devant un tel engouement, il apparut très vite indispensable de normaliser le langage, essentiellement pour autoriser l'échange de programmes entre les centres de calcul, accessoirement pour éviter la monopolisation du concept par un constructeur. Fortran était certes la propriété d'IBM mais, le gouvernement ayant décidé que le logiciel n'était pas brevetable, ce constructeur estima plus avantageux de mettre le langage à la disposition du public, ce qui d'ailleurs était déjà fait en pratique, quoique dans le désordre. Il en résulta un considérable échange de correspondances, dont la principale revue informatique de l'époque, CACM, se fait abondamment l'écho : des citations d'importance variable existent dans CACM 2/59 p 9 - 11/61 p 492 - 6/62 p 327 - 7/62 p 412 - 8/62 p 432 - 2/63 p 65 - 3/63 p 85 - 4/63 p 141 - 8/63 p 462 - 10/63 p 605 - 11/63 p 667 - 1/64 p 15 - 3/64 p 242 - 5/64 pp 310, 314/5 - 6/64 p 350 - 10/64 p 591 - 12/64 p 719 - 5/65 pp 287, 305.

Après quoi le langage est entré dans les mœurs et plus personne n'en parle parce qu'il fait désormais partie du paysage de toute informatique.

On trouvera ci-après une première liste de compilateurs réalisés avant la normalisation, et pour lesquels nous disposons d'un manuel de référence en archives, ou au moins d'un article :

ALTAC est la version F II du Philco S 2000, voir microfilm CACM 7/60 p 435.

Fortran 62 de la CDC 1604 : boîte 9

Fortran du CDC 160 A : boîte 9

Fortran 63 de la CDC 1604 : boîte 10

Fortran 32 du CDC 3200 : boîte 11

Fortran 34 du CDC 3400 : boîte 11

Fortran 36 du CDC 3600 : boîte 12

Fortran 66 du CDC 6600 : boîte 13

Fortran II du PDP 6 (3/65) : boîte 23

Fortran II du PDP 8 (1/65) : boîte 24

IBFTC des 709X (1962) : boîte 59

DisplayTRAN (P 1968) : boîte 59

Fortran 650, IBM France 1961 : boîte 55

Fortran II du 1620 : boîte 57

Fortran II du TRW 130 (1964) : boîte 103

Fortran II des SDS 9XX (1964) : boîte 105 en français

Voir aussi SIGPLAN Notices 8/78 pp 163/80.

Entrepris par les sociétés savantes américaines (ACM) pour le compte de l'Association américaine de normalisation (ASA), ce travail devait aboutir fin 64 à la publication d'une double norme, publiée sous forme comparative dans les Communications of the ACM (10/64). Voir boîte 143 :

a) Basic Fortran, un langage minimal pour les besoins des petites machines, qui ne disposaient pas à cette époque d'assez de mémoire pour exploiter utilement un gros compilateur. Très utilisé dans les années 60 pour valoriser les premiers miniordinateurs, ce langage est progressivement tombé en désuétude quand le prix des mémoires a diminué. Exemples :

Basic Fortran IV de l'IBM 1130, routines 2250 : boîte XXXXX

Basic Fortran de la SDS Sigma 2 : boîte 106, manuel de référence

b) Fortran IV, le langage complet.

L'année suivante, après un travail d'adaptation effectué par l'ECMA, l'association européenne des constructeurs d'ordinateurs, Fortran IV devenait une norme ISO, de portée mondiale. Voir en boîte 143 le document ECMA d'avril 65.

Quant à Fortran II, pour lequel il subsistait de nombreux compilateurs et qui n'était pas normalisé, il devait progressivement dériver vers les applications "temps réel" avant de disparaître à l'occasion de travaux de normalisation plus particulièrement orientés vers cette classe d'application. En attendant, l'association SHARE faisait réaliser par Allen (J. J.), Moore (D. P.) et Rogoway (H. P.) le programme SIFT, SHARE Internal Fortran Translator, permettant de convertir le Fortran II d' IBM en Fortran IV normalisé (1963).

L'existence d'une norme donna à Fortran, malgré ses faiblesses de principe connues dès cette époque, un rôle décisif dans le développement pratique de l'informatique. Chaque constructeur offrait un Fortran IV, et l'industrie l'utilisait systématiquement dans toutes ses applications techniques, de sorte que progressivement Fortran devenait le langage de l'ingénieur.

Les bibliothèques de programmes qui se créaient dans les entreprises devenaient un obstacle à toute évolution, et perpétuaient un langage de moins en moins adapté aux possibilités réelles des machines, et aux besoins. Comme cette première norme a duré onze ans, il est cependant nécessaire de donner, ci-dessous, la liste des compilateurs réalisés selon ses consignes, et pour lesquels nous disposons d'un manuel de référence. D'autant que ces compilateurs, à cause de leur très large usage, sont les plus soignés du marché, avec des optimisations de qualité exceptionnelle qui ne se retrouvent en pratique dans presque aucun autre langage scientifique.

Watfor pour 7040/4, Université de Waterloo, très apprécié des étudiants, bons diagnostics, 6500 cpm sur 7044, 1200 à 1500 sur 7040.

Fortran IV des PDP 11 : boîte 27, software handbook 1980

Fortran IV PLUS des PDP 11 : boîte 27, software handbook 1980

BOS/MT, FORTRAN des GE 400 : boîte 35

GE 625/635 Fortran IV : boîte 36

Automath, version F IV des MH 800 et 1800 : fiches de ces calculateurs

Fortran IV étendu de Perkin Elmer : boîte 53, dossier périphériques PEDS

Fortran IV des 7040/4, C28-6329 : boîte 58

Fortran IV des IBM S/360 : boîte 65, deux documents

Fortran des Prime : boîte 101, fiche

Fortran IV du SDS Sigma 7, 7/66 : boîte 106, manuel de référence

SEL Fortran IV, ou Fortran 66 : boîte 109, manuel de référence

Fortran V d' Univac EXEC 8 : boîte 121, manuel de référence

Autres allusions : CACM 12/76 p 662 et SIGPLAN Notices 7/81 p 45 .

Dès 1969, la question se posait d'une norme Fortran plus conforme aux besoins, mais il s'élevait de nombreuses voix pour protester contre la prolongation d'un langage si peu adapté. Cependant, faute d'une concurrence qui ne parut pas entachée de favoritisme à l'égard de tel ou tel constructeur, et certainement sous la pression des industriels peu désireux de reprogrammer leurs applications, et des syndicats de programmeurs ne souhaitant pas se recycler, la décision fut prise de refaire la norme Fortran.

Nous disposons du premier compte-rendu des travaux :

Draft proposed ANS FORTRAN, X3J3/76,

publié par ACM SIGPLAN Notices, Vol 11 N° 3, 3/76, 210 pages - en boîte 142

Le résultat de ce nouveau travail est le Fortran 77, dont la norme américaine, connue sous le nom de ANSI Fortran X3.9-1978, est vite devenue norme internationale, et les compilateurs correspondants commencent à sortir dès cette année.

Nous trouvons donc ci-après une liste de compilateurs conformes à la nouvelle norme, et dont nous possédons un manuel, ou au moins une fiche technique :

Fortran du Cyber 205, vectoriseur : boîte 18

PDP 11 Fortran 77 : boîte 27, software handbook 1983

Harris Fortran 77 sous Vulcan puis VOS : boîte 37, une fiche

Fortran-80 des Intel 8080 : boîte 47, document Intellec II

Clustered Fortran d' IBM : boîte 76, 2 articles dans chemise 3090

VS Fortran (vectoriel) : fiche IBM ESA/390 p 16

Fortran du PC IBM : boîte 84, une fiche

Fortran 77 des Prime : boîte 101, une fiche

Fortran 77 de SEL : fiche en boîte 108

ASCII Fortran d' Univac : aide mémoire UP 8245.1 en boîte 132

NPE Fortran d' Unisys : documents UP 10914.1 et 13426 en boîte 132

Autres allusions : CACM 10 / 78 p 806

SIGPLAN Notices 4 / 77 p 21, 7 / 77 p 112, 2 / 80 p 51 et 11 / 84 p 52 .

Onze années plus tard, la question se reposait, et les mêmes arguments firent qu'on trouva un comité pour reprendre la question de la normalisation, malgré des protestations énoncées un ton plus haut qu'en 1975. La situation avait cependant changé, en ce sens que la communauté scientifique avait complètement abandonné Fortran au profit de PASCAL ou C, que des techniques logicielles comme la programmation objet commençaient à entrer dans les moeurs en facilitant l'usage des bibliothèques, et que le DOD avait défini pour ses besoins un langage universel ADA incompatible avec Fortran .

Le renouvellement de la norme Fortran, qui intervint dans un contexte hostile, est donc le fait des seuls industriels travaillant pour eux-mêmes, et pour leurs personnels programmeurs. La norme Fortran 90 qui en est issue n'a pas eu du tout le retentissement de la précédente, et a donné lieu à beaucoup moins de compilateurs. Elle n'en est pas pour cela négligeable, car elle manifeste une tendance à la convergence :

- entièrement compatible avec Fortran 77 dont elle maintient tous les dispositifs, de sorte qu'on peut ne pas refaire les compilateurs existants.

- les quatre dispositions "processor dependant" gardent ce statut, de sorte que la compatibilité n'est toujours pas garantie si on les utilise.

- possibilité d'une lecture externe qui ne fait pas progresser le périphérique, pour permettre la répétition.

- verbe INCLUDE pouvant s'appliquer à statement, namelist, pointeur, structure.

- introduction du "functional prototype", qui décrit l'interface d'une fonction. Lors d'un call de cette fonction, le compilateur génère les conversions et adapte l'ordre des arguments.

- possibilité de déclarer des modules, qui se présentent comme les classes de C++ avec leurs propres données globales, interfaces de fonctions et parties cachées. On les importe par le verbe USE qui rend visible tout ce qui n'est pas déclaré caché

On peut citer en 1994 :

Compilateur LF 90 de Lahey Computer System : rubrique 683

A l'issue de cette normalisation, il était question d'une nouvelle réunion en 1996, visant à sortir un Fortran 95. Il ne semble pas que cette intention ait été suivie d'effet.

## 178 - Compilateurs JOVIAL

Lorsque le comité ALGOL publia, en 1958, la première version de son travail, ce langage d'aspect naturel et conçu pour faciliter la compilation plut immédiatement, de sorte que des compilateurs apparurent sans attendre la promulgation de la norme, qui en fait ne vint pas sous cette forme.

En particulier, la société non profit californienne SDC, travaillant notamment pour l'aviation militaire, en tira un langage de programmation en temps réel : JOVIAL était conçu pour permettre une définition précise de l'usage fait de la mémoire, alors ressource coûteuse, et pour faciliter l'exploitation de programmes rédigés antérieurement, à travers le mécanisme du Compool. Grâce à la conception syntaxique d'Algol 58 dont il était issu, JOVIAL pouvait se voir doté de compilateurs exceptionnellement efficaces, et l'USAF décida que ce langage serait systématiquement utilisé pour l'écriture des programmes d'applications embarquées.

Pour ces raisons, il existe des compilateurs JOVIAL dans plusieurs calculateurs ayant eu à travailler pour l'USAF (IBM 709, Philco 2000, AN/FSQ 7 et 32), et on trouvera ci-dessous une courte liste de références concrètes, cad correspondant à un document en archives.

JOVIAL 6000, de Control Data : boîte 13

## 179 - Cray Research, Inc.

En quittant Control Data en 1973, parce que Norris l'empêchait de poursuivre son rêve de construire la plus puissante machine scientifique du monde, Cray retourne à son village natal et y fonde la société qui porte son nom. Renonçant, par obligation juridique, à l'architecture qu'il avait conçue pour le Star 100, il se proposait cependant de réaliser une machine vectorielle, puisque aussi bien il avait atteint, avec la CDC 7600, les limites de performances possibles en calcul scalaire. Pas rancunier, et confiant dans le génie de Cray, Norris investit dans Cray Research. Et aussi Fairchild, qui fournit les circuits ECL. En tout, 7,5 M\$.

La machine que Cray imaginait est prête dès 1975, et reprend les principes généraux de l'architecture 6600, avec des opérateurs pipeline comme dans la 7600, et en étendant le concept à des registres vectoriels de 64 mots longs. Six opérateurs entiers et sept opérateurs flottants exploitent 584 registres longs et 72 courts qui ont accès à la mémoire, découpée en 16 bancs, à chaque cycle de 12,5 ns, ce qui laisse en moyenne un temps d'accès important à des canaux d'entrée/sortie assez sommaires, qui ne trouveront pas avant 1979 leur support naturel ou IOS.

C'est une machine chère, car elle utilise une mémoire très grande (1 Mmots de 64 bits) et très performante (cycle 50 ns) à circuits intégrés bipolaires de 1K bits, mais elle trouve immédiatement sa clientèle dans tous les laboratoires de recherche, et une file d'attente s'établit : en l'absence de concurrence, Cray choisit délibérément de limiter les fabrications à une machine par mois, et dispose immédiatement d'un carnet de commande de plusieurs années.

Prix de l'unité centrale : M\$ 4.5 avec une mémoire de 256 Kmots, M\$ 5.5 pour 512 Kmots, M\$ 7.5 pour la taille optimale de 1 Mmots. De sorte qu'une installation vaut entre 8,5 et 13,3 M\$.

Cray laisse alors ses troupes s'occuper de production, et d'amélioration du logiciel initial, mais sans droit de toucher à l'architecture, tandis qu'il se lance dans la conception du monstre suivant, le Cray 2, qui aura, comme déjà chez Control Data, du mal à se concrétiser.

Le Cray 2 tardant trop, il faudra autoriser, à partir de 1982, les variations autour du thème du Cray 1, qui heureusement se présentent bien, et auront du succès : plus de succès en fait que le Cray 2 ! Ce sont :

- le Cray 1S, dont la mémoire bipolaire est portée à 4 Mmots sans accroissement d'encombrement, grâce aux puces de 4 Kbits.

- le Cray 1M, qui associe le processeur du 1 à une mémoire MOS, ramenant les prix dans la gamme 4 - 7 M\$ avec une perte de performances acceptable, compte tenu des progrès survenus entre temps : 11 cycles au lieu de 7 pour un accès mémoire.

- le X-MP, qui réunit deux processeurs très proches de celui du Cray 1 autour d'une mémoire bipolaire de 4 Mmots, à base de chips 16 Kbits, 38ns. La période machine est abaissée à 9,5 ns, ce qui maintient les proportions de temps d'accès.

- à partir de 1985, toute une famille de X-MP correspondant à diverses combinaisons de 1, 2 ou 4 CPU avec 16 ou 32 bancs de mémoire bipolaire ou, pour les bas de gamme, MOS DRAM.

- et, en 8/86, les mêmes processeurs accélérés à 8,5 ns de cycle, soit 120 MHz.

En fait, la compagnie est extrêmement célèbre, mais elle reste très petite : 380,2 M\$ en 1985 (+ 66%), un effectif de 3180 personnes seulement, et un parc numériquement minuscule, 115 machines dont 79 aux USA; mais d'autres chiffres sont surprenants, comme le bénéfice de 75,6 M\$ (20% du CA) et les sommes consacrées à la recherche / développement, 49,2 M\$ = 13,2 % du CA.

Après le Cray 2, Seymour Cray veut étudier le Cray 3, et se désintéresse des X-MP, mais il est mis en minorité au conseil d'administration de Cray Research. Tandis que Cray se retire à nouveau dans son laboratoire de Chippewa Falls, ses ingénieurs de Cray Research étudient la génération suivante.

L'idée de base est le recours à la technologie Motorola des gate arrays, 2500 portes ECL par puce, permettant une période de 6 ns, soit 166 MHz. L'architecture est exactement celle des X-MP, mais on peut désormais construire plus rapide et plus petit sans faire aucune étude de circuit.

La formule est testée avec le Y-MP 8.32, dont le processeur central associe 8 CPU à une mémoire de 32 MB, et qui est vendu, pour faire vite, avec l'IOS du X-MP. Le succès décide Cray Research à la mise en forme de la nouvelle famille, qui est commercialisée en 3 / 91 (fiche) avec une mémoire à base de chips 4 Mbits et un IOS de même technologie : un Y-MP2E refroidi par air, et des Y-MP4E, 8E et 8I refroidis par liquide. Succès commercial.

Malgré ce succès, les dirigeants de Cray Research savent désormais qu'ils doivent élargir leur clientèle, et c'est forcément vers le bas puisqu'ils ont un quasi monopole des très grandes puissances. Il faut cependant trouver la bonne formule, et la compagnie fait divers essais:

- en juin 1990, elle achète Synertek Computer, un fabricant de "crayettes" dont le XMS est un compatible X-MP, monoprocesseur capable de 18 MFlops en scalaire, 36 en vectoriel, associé à une mémoire de 32, 64 ou 128 MBytes, le tout refroidi par air. Conçue pour des universitaires, la machine travaille sous UNICOS, utilise les compilateurs CF77 et C avec toute la bibliothèque Cray, et dispose d'une liaison Ethernet. Prix de base 1,5 MFF.

- simultanément, elle met au point sa propre crayette, baptisée Y-MP EL pour souligner la parenté avec les grosses machines. La compatibilité est d'ailleurs réelle, avec 1 à 4 CPU 33 MHz capables de 133 MFlops, une mémoire de 256 MB à 1 GB, et un canal Hippi pour des disques 15 MB / s. Les prix débutent à 2 MF, et le succès va être très satisfaisant, de l'ordre de 250 machines vendues en fin 94.

La commercialisation était confiée au réseau DEC, établissant ainsi un lien qui allait, un peu plus tard, s'étendre à une coopération technique.

Les deux opérations ci-dessus ne représentaient pas de véritable changement, seulement un élargissement de la clientèle. La création du CS 6400 est une ouverture vers un autre monde.

Il s'agit, à la suite d'un accord avec Sun Microsystems, d'un superserveur construit autour de 1 à 8 processeurs SPARC à 67 MHz, avec logiciel de clustering et connexion à un ou deux processeurs vectoriels, ou bien un ou deux processeurs parallèles comme le Masspar. Le logiciel est un développement de Solaris, l'UNIX de Sun qui a créé le SPARC.

Comme toujours aspiré vers le haut par ses créations et par ses clients, CR met à l'étude en 9 / 93, annonce en 10 / 93 et promet pour mai 94 une version capable de 64 SPARC connectés sur 4 bus mémoire cumulant 1,3 GB/s, desservant jusqu'à 16 GB de DRAM et 2 TB de disques.

Prix évoluant de 400 K\$ pour 4 CPU jusqu'à un maximum de 2,5 M\$. En France, l'EDF achètera une machine à 16 CPU.

Pour prolonger le succès, CR teste le marché, fin 91, avec le C90, une nouvelle supermachine à 16 processeurs utilisant une technologie à 10000 portes par puce. La vente de dix machines en un an décide le lancement, fin 92, d'une double opération commerciale :

- les M92 / 94 / 98 sont un simple rajeunissement, bon marché, des processeurs existants par l'emploi de nouvelles puces de mémoire à 16 Mbits.

- les C92 / 94 refroidis par air, C98 et C916 refroidis par liquide représentent le nouveau niveau de puissance, 479 MFlops par CPU mesurés par un test Linpack. Ils trouvent aisément des clients.

Pour expérimenter d'autres voies, CR construit aussi le T3D, un processeur parallèle à topologie de connexion torique, pouvant comporter jusqu'à 256 processeurs DEC Alpha 21064. Le bon fonctionnement, fin 93, de ce prototype décide de l'étape suivante, le T3E à 2048 processeurs DEC Alpha 21164. Cette opération semble avoir été suscitée par la DARPA, qui croit encore au MPP, Massively Parallel Processor, et qui a versé M\$ 12,7 sur trois ans à cet effet.

D'autre part, CR achète FPS Computing, un constructeur de crayettes, à la mi 92, pour mieux s'adapter à ses clients de bas de gamme qu'elle connaît mal.

Cependant, les nuages s'amoncellent, car désormais CR n'est plus seul sur le marché, et ce sont des japonais qui détiennent le trophée de la plus forte puissance. Si le bilan 1993 est acceptable, CA de M\$ 894,4 et bénéfice de 60,9 M\$, celui de 1994, soit CA = 921,6 M\$ avec bénéfice de seulement 55,7 M\$, est réellement inquiétant.

L'année 1995 voit un nouveau bond en avant technique, avec les T90, qui utilisent une puce Motorola gate array à cycle de 2 ns. Le gain de performances est cependant un facteur 4 plutôt que seulement 2, grâce à une réduction drastique des lignes de communication, qui prend la forme d'un crossbar capable de 800 GB/s entre CPU et mémoire, 35 GB/s entre mémoire et disques.

Le T94 refroidi par air, 1 à 4 CPU, plafonne à 2,5 M\$. Le T916, 8 à 16 CPU, refroidi par liquide, à 9,5 M\$. Le T932, 16 à 32 CPU, le fleuron de la famille avec 8 GB, atteint 32 M\$ et peut délivrer, en pointe et en mode vectoriel, un maximum théorique de 64 GFlops.

Simultanément, les J94/98/916/932 de bas de gamme rajeunissent la famille Y-MP EL et font l'objet de 37 commandes le jour même de l'annonce.

Malheureusement, le premier semestre 95 est une catastrophe financière et l'évidence s'impose : on ne peut plus faire vivre une compagnie sur les seuls supercalculateurs, dont les marges sont désormais retombées au niveau commun de l'électronique. Pour éviter d'éroder sa compétence technique qui constitue son vrai capital, Cray Research accepte, en 3/96, l'absorption par Silicon Graphic qui verse 600 M\$, soit 75% du capital.

Cray Research a encore des atouts, avec 30% du marché des machines de 1 à 5 M\$, et 50% des matériels dépassant ce prix. La compagnie gardera son nom.

Certes, en plus des dettes ainsi épongées, le passé laisse quelques problèmes :

- il va probablement falloir abandonner les Alpha de DEC (dans les T3E) et les SPARC de Sun (dans le 6400), car SGI utilise plutôt les microprocesseurs de Mips. Les techniciens doivent pouvoir s'adapter.

- le système d'exploitation UNICOS, qui est une variante 64 bits d'Unix, semble plutôt s'apparenter au Solaris de Sun, alors que SGI a sa propre version, IRIX. Mais IRIX comme Solaris sont des 32 bits, on doit pouvoir trouver un compromis.

On n'en a pas encore entendu parler en 2000, la date limite (arbitraire) de notre catalogue.

## 180 - Cromemco

Ce petit constructeur est au départ un fabricant de petite électronique, qui a fait choix du bus normalisé S100 lorsque, vers 1975, l'informatique s'est imposée dans les automatismes industriels. Il produit pour ces derniers une carte Z2, centrée sur le microprocesseur Zilog Z80, et ne tarde pas à réaliser qu'il peut leur trouver d'autres emplois.

Il s'introduit sur le marché encombré des microordinateurs de gestion 8 bits à système d'exploitation CP/M avec le Superpak et s'attire quelques commentaires élogieux.

Le passage à 16 bits, vers 1980, est plus délicat. Si le choix du 68000 comme processeur de calcul est excellent, il est incompatible avec le bus S100, de sorte qu'il faut assurer les entrées/sorties en établissant une communication interne entre 68000 et un Z80 qui prend en charge le bus, sur lequel il est alors possible de connecter n'importe quel périphérique.

Ces machines System One et System Three travaillent sous Cromix, une version simplifiée d'Unix, et là encore le bus S100 impose quelques complications : chaque job doit choisir entre deux modes de CROMIX, qui traitent différemment la mémoire.

Le System Three est un châssis 21 slots prévu pour se monter dans un rack standard, avec jusqu'à 4 MB de mémoire, un floppy de 1,2 MB et un Winchester 21 MB, ou avec deux floppies. Le logiciel sous Cromix peut comprendre CP/M, Fortran 77, Cobol, C, Pascal, Basic, LISP et Prolog.

En 1985, Cromemco pousse ses ambitions à 50000 \$ avec le CS400, qui offre tous les services d'UNIX V dans le même châssis 21 slots imposé par le bus S100 : une carte processeur XPU, une carte XMM de gestion de mémoire, une à quatre cartes de 4 MB de mémoire DRAM avec autocorrection, un contrôleur STDC avec cache pour disque 140 ou 280 MB, un contrôleur 64FDC pour floppy 390 KB, un streamer de 32 MB pour les sauvegardes, une carte Octart pour l'ensemble des autres entrées/sorties confiées au bus S100 à travers un tampon de 768 KB, une alimentation 110/1/60 ou 220/1/50.

Bref, une machine honorable et compétitive, mais qui n'a pas réussi à percer. Depuis lors, on ne parle plus de Cromemco, probablement absorbé par quelque concurrent plus habile.

## 181 - Custom Computer System

C'est faire beaucoup d'honneur à ce modeste assembleur que de lui consacrer un paragraphe. Cette société s'est constituée en 1971 pour réaliser à la demande des minis de gestion autour d'un Nova 1200, et il semble que les ventes n'aient jamais dépassé l'échelle locale de quelques exemplaires.

Le prix et la date sont plus instructifs que le produit, parfaitement banal et surtout complètement inscrit dans les potentialités du Nova : \$ 42500 pour un CPU, 8 KB et 5 MB de disque, auxquels on pouvait ensuite ajouter toute une collection de périphériques : disques 20 MB à 200 LB/s, bande 30 KB/s, LC 400, PC 67, IP 150 ou 600, ME 10 / 15 / 30, écran. Logiciel : un DOS 8 KB, un assembleur, un Basic.

## 182 - Cypress Semiconductors

Cypress est en 1989 un simple bureau d'études créé pour exploiter les méthodes automatiques de définition de composants VLSI qui ont atteint leur maturité quelques années auparavant chez les grands. Ils ont les idées mais absolument pas les moyens de les concrétiser, et ils doivent à cet effet trouver un fondeur. Pour Cypress qui ne semble pas désireux de grandir, le fondeur est Ross Technology.

Cypress émerge en proposant, cette année là, une collection de circuits répondant exactement à la spécification SPARC, telle qu'elle vient d'être mise au point par un comité international suscité par Sun. La collection comprend :

- le CPU en virgule fixe ou FXU, CY 7C601 à 40 MHz, 40 Mips en pointe, 29 Mips en continu.
- le coprocesseur en virgule flottante ou FPU, complètement asservi, CY 7C602 : 6,1 MFlops DP
- un MMU comprenant les tables et un contrôleur de cache 64 KB, le CY 7C604
- et le composant 32 KB pour cache, CY 7C157

Ces composants sont décrits par les fiches constructeur du dossier et leur souplesse fait qu'ils se sont bien vendus, notamment à Sun, le promoteur du SPARC., mais aussi à un japonais, un coréen et un français.

Egalement pour Sun, sur commande expresse, Cypress fabrique aussi le CY 7C611, une version à 25 MHz du SPARC, simplifiée pour être plus économique. Prix \$ 110. Il est compatible avec les systèmes d'exploitation VRTX, CExec, VxWorks.

L'année suivante, Cypress réalise à son compte et commercialise en direction des fabricants de stations des cartes processeur réunissant les composants ci-dessus : CY M6001K est un monoprocesseur complet à 40 MHz, CY M6002K un biprocesseur utilisant pour le partage de mémoire un MMU 605 un peu différent du 604, CY M6003K un monoprocesseur avec 605 pour les constructeurs qui veulent réaliser leur multiprocesseur en plusieurs fois, ou dépasser le nombre 2. Ces cartes à 100 bornes mesurent 8,34 \* 14,67 cm.

Poursuivant son effort, Cypress réussit dès 1991 une intégration accrue, ayant trouvé un fondeur pour la géométrie 0,65 µ. Le Pinnacle est un SPARC 32 bits en trois types de puces :

- CPU groupant FXU et FPU, 1,1 M transistors.
- CMTU de 700000 transistors, qui est un MMU pour adresses virtuelles 32 bits, incorporant un TLB de 64 entrées et un contrôleur de cache 256 KB, au choix write through ou copyback.
- et le cache lui-même, en 4 SRAM 32 K\* 16 bits.

Le jeu est compatible avec le M Bus du Sun, 32 bits d'adresse et 64 bits de données. Cette version du SPARC peut lancer à chaque CP deux instructions fixes ou une flottante.

En 1995, l'arrivée du Pentium provoque une course entre les fabricants de microprocesseurs, d'une part Intel qui lance le produit, d'autre part quatre ou cinq outsiders qui proposent des microprocesseurs interchangeables quoique différents. Intel met à la disposition des utilisateurs le chipset Triton, conçu simultanément et bien sûr parfaitement adapté ; comme le veut la loi antitrust, il diffuse en même temps la spécification fonctionnelle du chipset, afin que les amateurs très éclairés puissent définir des concurrents.

En l'occurrence, Cypress fournit la meilleure proposition, un chipset à 3 composants baptisé Hypercache. C'est le plus cher des cinq concurrents avec 48 \$, mais le service qu'il offre est clairement le meilleur, de sorte qu'il obtient un bon succès. Voir fiche.

Par la suite, il semble que l'activité de Cypress ait évolué en direction des communications : un article d'avril 2001 signale que Cypress obtient 70% de ses revenus dans le domaine des réseaux.

## 183 - Cyrix

Cette sagesse n'est pas la qualité principale de la société Cyrix, de Richardson, Texas, dont la situation initiale est tout à fait comparable à celle de Cypress. La suite le montrera.

Sa première manifestation connue date de 1989 où elle propose Fasmath, une puce compatible avec le coprocesseur 387 de Intel, mais de performances très supérieures parce que son multiplieur est câblé plutôt que microprogrammé, et qu'une routine d'exploitation de polynômes facilite le calcul des fonctions par des polynômes de Tchebishev. De plus, la puce ne consomme que 100 mA sous 5 V, et comporte une détection de mise en veille quand la consommation tombe en dessous de 5 mA.

Le Fasmath est commercialisé en trois versions et 3 vitesses :

83S87, boîtier 68 broches, est compatible avec le 386 SX

83D87, boîtier 68 broches, est compatible avec le 386 DX

EMC87, boîtier 121 broches, est compatible avec la plupart des microprocesseurs du moment, et avec tous les bus. Les prix sont \$ 774 en 20 MHz, \$ 865 en 25 MHz, \$ 994 en 33 MHz.

Les performances mesurées sont données ci-après avec trois valeurs, qui sont les nombres de CP nécessaires au calcul dans les cas suivants : boîtier 121 et opérande nul, boîtier 121 et opérande non nul, boîtier 68 et opérande non nul. Pour les codes cités, voir document 387 de Intel.

F2xm1	14	75	75	Fsqrt	26	26	31
Fcos	5	97	97	Fabs	4	4	11
FPAtan	90	127	127	Fld	4	4	11
FPTan	5	82	82	FStp	4	4	11
FSin	5	63	63	FAdd	6	6	15
Fsincos	5	104	104	FMul	10	10	19
Fyl2x	6	93	93	FDiv	13	24	27
Fyl2xp1	6	90	90				

En 1992, on retrouve Cyrix proposant des variantes du 486, dont il donne la licence à Texas Instrument, qui lui sert de fondeur :

- le 486 DLC offre le bornage et le répertoire du 486, mais avec seulement 1 KB de cache et pas de coprocesseur. Associé au 487 DLC de Cyrix, il a donné des temps de calcul 10% plus faible que ceux du 486 original sur certains benchmark. Le prix est \$ 199 en 40 MHz, contre 406 \$ en 33 MHz pour un 486 DX de Intel. Livraison à partir de 5/93.

La réalisation comprend une logique statique acceptant toutes fréquences, un pipeline à 5 niveaux, un multiplieur 16 bits, un adressage 4 GB. La consommation en veille est 100  $\mu$ A sous 5 V. Les fréquences commercialisées sont 25, 33 et 40 MHz, obtenues par tri. La présentation est en flatpacks quad, avec 100 broches à souder.

- le 486 SLC est un overdrive pour le 386 SX 25 (brochage compatible), mais incorporant le jeu d'instructions fixes du 486, et un tampon de 1 KB, cad que c'est la puce précédente, avec un câblage redistribué. Il a été mesuré 2,5 fois plus rapide que le 386 SX d'Intel, et 1,7 fois plus rapide que le 386 SLC d'IBM. Alimenté en 3 V., il consomme 600 mW seulement.

Il est vendu \$ 119, que l'on comparera aux 282 \$ du 486 SX de Intel. Résultat : licences à SGS Thomson, NEC et Fujitsu. Pour les USA, Texas a vendu 2 millions d'exemplaires la première année, et encore 300000 au premier trimestre 1993.

- le 486 S2/50 aborde la phase suivante de l'opération de séduction. Interchangeable avec le 486, il en diffère par un multiplieur câblé, l'absence de coprocesseur comme dans les précédents, mais surtout un doubleur de fréquence interne et un cache write back de 2 KB. Il est vendu \$ 249 par lots de 1000, soit en boîtier PGA 168 broches, soit en QFP 196 broches.

- le 486 DRX2 de 11/93 est encore un doubleur de fréquence, vendu comme overdrive pour le 386 DX avec un outil pour extraire le microprocesseur à remplacer. Il est proposé en trois cadences : 16/32 MHz pour 1800 FTTC, 20/40 MHz pour 2200 FF, 25/50 MHz pour 2500 FF. A des détails de bornage près, c'est toujours le microprocesseur précédent, avec son multiplieur câblé et un cache 1 KB exploité par un utilitaire spécial qui doit être activé au démarrage.

- le 486 SRX2 de 1/94 est de même un overdrive pour le 386SX, et ne diffère du précédent que par un bus 16 bits et par l'emballage : le 386 SX étant un carré soudé, le SRX2 se place par pression sur celui-ci. Les performances mesurées sont nettement supérieures à celles du 386 remplacé, mais très inférieures à celles d'un vrai 486 : soit 10 la performance d'un 486/33, le 386 SX 16 est 2,2 et le SRX2 16/32 est 4,2.

Après tous ces préliminaires, dont certains très réussis comme on l'a vu, Cyrix atteint son but : en 6/94, IBM accepte le rôle de fondeur pour une version 486 DX2, et prend à son compte la commercialisation. Ce microprocesseur comprend un cache writeback, le doublage de fréquence, et le choix de l'alimentation 3,3 ou 5 V, la première permettant une consommation très faible de seulement 2 watts. Le produit est commercialisé dès 9/94 pour les 50 et 60 MHz, en 10/94 pour un 80 MHz.

De plus, IBM annonce qu'elle va prendre en charge la production du M1, le candidat de Cyrix au rôle de concurrent du Pentium.

En 11/95, tout cela se concrétise par une double annonce, aux noms symboliques 5 et 6x86.

Le 5x86C, commercialisé simultanément par IBM et Cyrix, est un compatible 486 avec la performance d'un Pentium 75. Il ne comporte aucune des originalités du M1, tirant seulement le parti maximum du dessin Cyrix : cadence 100 MHz, pipeline 6 étages, exécution dans l'ordre sans renumérotage des registres, bus externe 32 bits. Mais il incorpore un FPU 64 bits conforme aux améliorations de Cyrix, un cache unifié 16 KB fonctionnant au choix en writethrough ou en writeback, relié sur 128 bits de large au registre de prédiction de branchement qui dispose d'un tampon de 128 entrées, et une gestion de consommation. Cette puce occupe 144 mm<sup>2</sup> en géométrie 0,6 μ.

Alimentation 3,3 volts tolérant 5 V pour les périphériques, boîtiers 168 PGA ou 208 QFP compatibles avec les socles du 486, prix compétitifs de 131 \$ par lot de 1000 en 100 MHz, 109 \$ en 75 MHz.

Le 6x86 est le nouveau nom du M1 en 0.5 μ, remplaçant les premiers M1 réalisés en 0.6 μ qui n'étaient pas du tout satisfaisants, ne serait-ce que par leur incompatibilité avec le socle Pentium., et par une taille de 394 mm<sup>2</sup> qui entraînait consommation excessive et mauvais rendement de fabrication.

Le 6x86 réorganisé (5 couches métal au lieu de 3, 220 mm<sup>2</sup>, 3 millions de transistors) comprend une interface 64 bits avec le bus, qui alimente d'une part les tampons d'écriture, d'autre part le cache unifié 16 KB, quatre voies. Ce dernier est en relation avec les registres sur 32 bits, mais transfère les instructions sur 256 bits vers un tampon de 256 B.

De là, les instructions sont transférées par un bus de 128 bits vers le registre où se fait la prédiction de branchement puis, après un prédécodage, elles sont distribuées dans deux pipelines qui comprennent encore 5 étages : fin du décodage, calcul d'adresse et renumérotation des registres, chargement des opérandes dans les registres, exécution et rangement du résultat dans les registres. Il y a 32 registres en tout, pour 8 seulement dans le Pentium qu'il s'agit d'imiter : 24 servent aux renumérotages.

Les deux pipelines sont très semblables, mais un seul des deux sait faire multiplications et divisions. Ils se terminent par des tampons de trois mots qui permettent le stockage différé. Le FPU est alimenté en opérande par un des pipelines et comporte sa propre file d'attente et son propre tampon de stockage.

Le 6x86 est commercialisé en 100 MHz dès fin 95, mais le vrai produit sort en 2/96:

- le 6x86 P150+ à 120 MHz est présenté comme supérieur à un Pentium 150, avec lequel il est compatible.
- le 6x86 P166+ à 133 MHz serait de même supérieur à un Pentium 166, mais des tests effectués à ce sujet sur une carte mère dotée du chipset Triton, d'un cache L2 de 512 KB, d'une mémoire DRAM de 16 MB et d'un bus PCI, donc inattaquable, n'ont indiqué que 83,8 % du thrupt d'un vrai P166. Les commentaires n'ont pas mis en doute les affirmations a priori de Cyrix, mais suggéré que désormais l'interchangeabilité ne suffit pas : l'adaptation du cache au processeur est critique.

Cyrix ne discute pas les tests et se borne à annoncer pour 8/96 le P200+ à 150 MHz, avec bus mémoire à 75 MHz au lieu de 66, et cache primaire 64 KB au lieu de 16. Pour le printemps 97, il est question du M2, version du M1 au répertoire étendu des 57 opérations du jeu MMX destiné au multimédia, sous licence Intel.

En 3/97, annonce du Media GX : c'est un compatible Pentium d'entrée de gamme, au prix révolutionnaire de 79 \$ en lots de 1000 en version 120 MHz, 99 \$ en 133 MHz. Il ne recherche pas la performance et n'offre rien de plus que l'architecture 486, mais il permet une importante économie sur la construction d'un PC grâce à deux innovations :

- le processeur communique avec la mémoire RAM EDO directement, sans cache L2, ce qui n'est possible qu'avec une cadence assez modeste. Un cache primaire 16 KB est tout de même inclus.
- le processeur émule la carte vidéo, la mémoire VRAM étant incluse dans la mémoire principale. Il est clair qu'on accepte de sévères limitations de bande passante dans la liaison image.
- le processeur communique avec le monde extérieur par le bus PCI, qui dessert essentiellement un ASIC, le Cx 5510, lequel reprend toutes les fonctions de service usuelles, interruptions, DMA, timers. Réalisé en CMOS 0,6 μ, ce circuit se présente en boîtier QFP 208 broches.

Fonctionnellement, le 5510 a trois sorties: une interface IDE pour les disques, une interface ISA pour tous les périphériques locaux et les communications, une interface son. Cette dernière, qui attaque directement les haut-parleurs, permet d'éliminer la carte son, au prix de son émulation dans le processeur.

Les deux émulations son et vidéo, en partie matérielles, en partie sur la ROM du BIOS, sont incluses dans le MediaGX.

Alimentation 3,3 à 3,6 V., géométrie 0,5  $\mu$ , boîtier BGA 352 broches.

Les économies sont bonnes à prendre, et Compaq, par exemple, adoptera le MediaGX pour son Presario 2110 à 133 MHz. Mais le MediaGX, qui va en sens contraire de l'intérêt des fabricants de composants et de microcalculateurs, et qui par son principe est incapable de faire face aux applications exigeantes de son et d'images, restera un bas de gamme..

Suit le M2, ou 6x86MX, annoncé finalement en 6 / 97 par Cyrix et IBM à la fois, à des prix très compétitifs dans les vitesses 160 / 200 / 233 MHz. Sa vie sera courte, bien que l'accord avec IBM soit prévu pour durer jusqu'en fin 98, car en septembre 97 Cyrix est achetée pour M\$ 550 par National Semi- conductors, qui lui offre une nouvelle ligne de production en 0,25  $\mu$ .

Cyrix annonce donc le Cayenne, un 6x86 en géométrie 0.25  $\mu$ , avec un nouvel FPU doté d'un pipeline à 2 étages; le tout tient dans 65 mm<sup>2</sup> avec son cache unifié 64 KB. Ce processeur atteindra 1 GFlops à 266 MHz. et travaillera avec une carte graphique capable des DVD, un contrôleur PCI à 66 MHz, et une nouvelle interface AGP à 2 GB / s. En 9 / 1998, on annonce une fréquence de 333 MHz ; il est prévu que 350 MHz soient atteints en octobre, 400 MHz en décembre.

Cyrix annonce également en cette fin d'année le MediaGX MMX, qui diffère de son prédécesseur par la géométrie 0,25 $\mu$ , par sa fréquence 266 MHz, par un bus mémoire à 100 MHz conçu pour des SRAM, par des extensions graphiques 3D, et par un nouvel ASIC 5520 qui gère en plus du 5510 un bus USB et des ports de jeux. Ce produit, outre Compaq, est également utilisé par Palmax et Nixdorf, qui offrent des PC à moins de \$ 1000, frontière symbolique.

Bref, l'impression générale est que Cyrix est en plein succès, et que National Semiconductors a fait là une remarquable acquisition. Sa publicité annonce d'ailleurs des projets de PC sur une puce qui ne sont possibles qu'avec les idées de Cyrix.

On n'en sera que plus surpris d'apprendre, début 2000, que NS revend Cyrix, n'ayant pas réussi à en contrôler les déficits. Il paraît que le seuil de rentabilité de l'opération correspondait à des ventes annuelles de 2 millions de microprocesseurs, et que Cyrix plafonne entre 1,5 et 1,7 millions. En outre, le système d'équivalence utilisé par Cyrix pour évaluer ses propres performances ne semble pas avoir été suffisamment validé pour convaincre pleinement les acheteurs.

## 184 - Dahlgren Proving Ground

Cet établissement de l' US Navy, en Virginie, n'avait pas de vocation particulière pour l'informatique, étant pendant la guerre consacré aux essais de munitions des bâtiments de combat. Cependant, dans l'immédiat après-guerre, alors que l'établissement d'Aberdeen, son analogue de l'armée de terre, s'enorgueillissait d'abriter l'ENIAC, il fut choisi pour jouer un rôle analogue vis à vis de la Marine : on rappelle qu'à cette époque, les trois armes étaient, aux USA comme ailleurs, en compétition pour les budgets et pour les études, de sorte que la Marine se devait de ne pas déroger. Elle prit avec brio sa part dans la tâche que la Défense se donnait implicitement, à savoir lancer l'informatique, qui n'avait pas encore de nom, ni d'industrie.

Ce fut donc l' ONR, Office of Naval Research, organisme essentiellement administratif, qui finança les projets, confiant les machines à ceux de ses établissements qui paraissaient en avoir l'emploi, c'est-à-dire ceux qui depuis longtemps faisaient des calculs à la main. C'est ainsi que Dahlgren vit s'installer dans ses murs :

- en 1948, la Mk II de l' Université de Harvard, baptisée Aiken Relay Calculator du nom de son réalisateur.
- en 1950, la Mk III de Harvard, baptisée ADEC, Automatic Defense Electronic Computer
- en 1955, NORC, Naval Ordnance Research Computer, une intéressante expérience d'architecture inform- tique à la suite de laquelle fut définitivement reconnue la supériorité de la représentation binaire.
- en 1958, LARC, la participation de Sperry Rand à la compétition pour le plus puissant calculateur du monde, la première expérience de multiprocesseur.
- en 1960, UDT, une modeste expérience de gestion. Voir document Boucher sur NORC, p 100.

Pour tous ces matériels, commandés chaque fois au plus compétent des constructeurs disponibles, l'initiative technique était généralement laissée à ce constructeur. Le rôle des ingénieurs de l'établissement était l'évaluation, qui conduisait souvent ces équipes à écrire des logiciels.

On renvoie pour chacune de ces machines à la rubrique correspondante.

## 185 - Data 100

Cette compagnie s'est constituée vers 1974, quand il est apparu que l'exploitation à distance des ordinateurs était techniquement possible, et de ce fait constituait la meilleure manière de le faire, dès lors que la puissance installée dépassait largement les besoins d'un utilisateur unique.

Data 100 s'emploie donc à construire des terminaux lourds par assemblage de périphériques d'origines diverses autour d'un ordinateur qui doit être transparent pour l'utilisateur. Le choix de celui-ci était assez indifférent, et le choix se porta sur le XI 35 d'une petite société californienne sans avenir, immédiatement rebaptisé Caldata. On ne demandait pas au Caldata de faire lui-même les calculs des clients du terminal, et son constructeur était assez peu important pour n'avoir pas cette ambition ; elle ne lui vint pas.

La fiche System 85 n'est que l'occasion de rassembler un aperçu des nombreux terminaux que Data 100 édifiait, comme du Meccano, pour satisfaire toute la variété du télétraitement. Le ordinateur n'y est jamais mentionné en tant que tel, apparaissant sous le nom de TCU (Transmission Control Unit) et ne comportant aucune commande.

En 1979, le succès de Data 100, fournisseur de milliers de terminaux lourds en location / vente sur 42 mois, pousse la société à se transformer en constructeur, et à doter ses terminaux d'une réelle aptitude au calcul local. A cet effet, elle fusionne avec Sycor, un fabricant de périphériques.

A peine la fusion effectuée, la nouvelle compagnie, qui représente un CA de 275 M\$ et un effectif de 6100 personnes, est absorbée par Northern Telecom System Corporation, l'opérateur canadien de téléphonie, qui cherche un moyen de s'étendre sur le territoire américain malgré le monopole ATT. Malheureusement, après un début honorable (CA 80 = 300 M\$), les ventes vont chuter et la compagnie, quoique protégée par les vastes ressources de son propriétaire, va stagner en vendant des terminaux et s'écarter progressivement de ses compétences d'origine.

## 186 - Data Communication Corporation

Il s'agit, une fois encore, d'un intégrateur, fournisseur de systèmes clé en main pour commerçants ou PME. Comme beaucoup d'autres, celui-ci a choisi d'utiliser les Nova et Eclipse de Data General, ce constructeur fournissant d'ailleurs tous les composants, logiciels notamment.

Choix de périphériques : LR 400, PR 70, LC 150 à 1000, ME 165, IP 300 à 1200, RM 60 KBps, et jusqu'à 256 lignes téléphoniques.

Choix de logiciels : système multitasking foreground + batch en background, assembleur, interpréteur Basic, Compilateurs ALGOL, Fortran IV, COBOL et RPG II.

Sur ce fondement très solide, l'intégrateur compose ses produits semi finis, qu'il adaptera à chaque client. Ce sont:

DPS (Distributed Processing), 32 (16) 256 KB, cartouche 10 MB ou pack 92 MB, base de données Infos.

DCS (Data Collection), 8 (8) 32 KB

RTS, bas de gamme de la même mission, à base de Nova 3 / 12, \$ 25000.

TPS (Transactional Processing), 96 (32) 256 KB, multiples terminaux, \$ 85000.

## 187 - Data General

L'histoire de Data General, de Sunnyvale, Cal, est celle d'un fabricant de minicalculetur qui a eu la main heureuse, ayant conçu une machine que le monde entier a voulu copier, la Nova. Le modèle était Digital Equipment (DEC), dont provenait le fondateur, Edson de Castro, et quelques autres ingénieurs; mais jamais DG n'a pu s'élever aussi haut que sa compagnie d'origine, de sorte que la chute a été moins dure. Les chemins parallèles de ces deux sociétés sont passés par les mêmes étapes, soit pour DG :

- période Nova : développer ce mini pour tous usages, puis le maintenir en vie en le recréant après chaque progrès technologique.

- période Eclipse : développer un gros mini 16 bits capable de toutes applications, grâce à une extrême souplesse de l'architecture microprogrammée. Il englobe le Nova.

- période Eagle : souhait de figurer parmi les grands, et donc de créer une architecture polyvalente 32 bits, capable de traiter à la fois tous les types d'applications. Toutefois, là où DEC avait - presque - les moyens de son ambition, DG n'a jamais atteint cet objectif inavoué, et les Eagle n'ont fait que prolonger la carrière des Eclipses.

- période microprocesseurs : quand il devient possible de mettre la puissance d'un Nova, puis d'un Eclipse, puis d'un Eagle, sur une seule puce, DG se heurte à l'impossibilité économique de fabriquer lui-même cette puce, et à l'incompatibilité de ses architectures avec les modes du marché.

Dans un premier temps, DG essaye de garder sa clientèle en fournissant le même service à moindre prix. Puis, vient le moment où les prix sont suffisamment bas pour que le changement d'architecture ne soit plus une catastrophe, et alors les clients cessent d'être fidèles parce qu'ils n'y ont plus intérêt.

- période Avion : pour survivre, DG essaye de produire des stations de travail à partir de puces commerciales (les 88000 de Motorola), parce que les marges sur ce type de produit sont supérieures à celles des PC, domaine encombré que DG n'a jamais réellement abordé. Le logiciel est une variante d'Unix, de sorte que rien ne différencie plus DG de ses concurrents, sauf les prix ; d'ailleurs DG devra abandonner le 88000, que Motorola ne fabrique plus.

Le jour où toute trace d'originalité technique aura disparu, au profit d'une qualité uniforme quoique élevée, DG pourra disparaître, absorbée pour une quelconque bonne raison financière. Ce n'est pas arrivé avant notre limite de 2000, mais c'est inévitable.

Nous ne disposons pas du panorama complet de la situation financière de DG, ce qui enlève beaucoup d'intérêt aux renseignements que nous possédons. Ils illustrent essentiellement la rapidité de croissance de la seconde période de l'informatique, celle de l'euphorie industrielle :

Année	CA (M\$)	Bénéfice (M\$)	Effectifs
1974	83		
1975	108		
1976	165	91	4500
1977	255	29	8590
1978	380	40	10830
1979	540	50	13710
1980	673		14370
1981	764	51	
1982	803,8	12,9	14945
1983	867	29	15400

Ce tableau permet de repérer un quasi palier en 1982, résultant d'une croissance trop rapide et surtout d'habitudes de gestion néfastes incompatibles avec les CA auxquels la firme était parvenue. DG doit changer de président : le nouveau chef est F.P. Silkman, précédemment directeur de l'Office division d'IBM, qui imposera une réforme énergique des méthodes.

Cependant, à l'époque, l'entreprise restait parfaitement saine, et sa technique séduisante. Ce soubresaut n'est pas un mauvais présage dans un évolution qui ne nous est plus connue que qualitativement, et dont malheureusement nous ne pouvons chiffrer la fin.

Parcourons quelques-unes des étapes de cette histoire:

Tout commence en 1969 avec le Nova, qui se présente comme une machine de table dans un boîtier design élégant : c'est purement publicitaire, car le Nova n'est pas du tout un calculateur de table, c'est un mini pour l'OEM (fiche). Gros succès : les ventes dépasseront 800 machines ce qui est beau pour l'époque, mais surtout le modèle architectural se retrouvera partout, notamment dans les pays de l'Est et en Chine communiste. Aux USA mêmes, une société Digital Computer Control se crée pour copier l'architecture Nova (une architecture n'est pas brevetable !), et elle produira en 6 ans 10130 équivalents Nova avant que DG ne se décide à la racheter.

Dès l'année suivante, la Nova initiale est remplacée par le Nova 1200, comme elle une machine série-parallèle sur 4 bits, mais avec des circuits MSI plus intégrés, 230 dans une machine 4 KB : le niveau d'intégration est indiqué par le principal de ces circuits, 64 bits disposés en 16\*4 pour contenir les accumulateurs. La mémoire, à base de tores 18 mils, est fournie par cartes de 4 Kmots: cycle 1,2 µs, jump en 1,35 µs. Un bootstrap est prévu, formé de deux ROM de 256 bits disposées 32\*8.

Cette machine minimale comprend trois cartes dans un boîtier qui peut en recevoir 7, et se vend \$ 5450. Deux versions OEM seront proposées fin 71, 1220 et 1210, cette dernière intégrée sur une seule carte avec son alimentation. Prix \$ 5250 et \$ 4350 en 4 K. Selon un rapport qui oublie de préciser de quel modèle il parle, le total des ventes aurait atteint 1235 machines USA + 135 étranger en 7 / 72.

Trop lente, cette machine est supplantée en 1971 par la Nova 800 parallèle, toujours avec mémoire à tores, avec sa version OEM la 820, 6450 \$ pour 4 Kmots. Les années suivantes se passent à développer un logiciel, système d'exploitation RDOS à deux plans, Basic et Fortran.

Cet effort est couronné par le modèle 840, dont la mémoire poussée à 128 KB permet d'exploiter réellement ces programmes. En 1974, l'arrivée des Eclipse conduit à une version 830 dont le prix baisse à 23150 \$ pour 128 KB, grâce à une mémoire 1 µs en cartes de 16 KB, maximum 256 KB.

Nous disposons de renseignements, glanés dans la presse technique, sur une Supernova compatible mais à structure parallèle 16 bits, qui aurait été annoncée en 1970 et vendue à 215 exemplaires USA + 25 à l'étranger dans les deux ans suivants. Il semble qu'il s'agisse d'un nom publicitaire d'abord donné à la Nova 800, puis réservé ensuite à des machines de ce type équipées d'une combinaison de mémoires à tores et de RAM bipolaires à cycle 300 ns, fabriquées par Fairchild.

Le développement des Eclipses rejette les Nova dans l'OEM, où d'ailleurs leur succès est grand. La fiche Nova 2, illustrant une technologie sans notable progrès technique, contient une variété de fiches pour le logiciel ou des périphériques.

Le Nova 3 de 4 / 76, qui a désormais une mémoire NMOS, coûte moitié prix de son prédécesseur et obtient un considérable succès en OEM. DG s'en empare d'ailleurs aussi pour proposer le CS 40, mini de gestion vendu en monoposte à \$ 37000 avec 64 KB de mémoire, un floppy 315 KB, un disque 10 MB en cartouche, un Cobol interactif et des fichiers ISAM. On peut y ajouter un streamer 60 KB/s, une ligne téléphonique sous protocole 2780, une ME 60 ou 180, une IP 300.

Il y a aussi une version C3 à 4 écrans pour \$ 34105 ou \$ 679 / mois; une version C3 avec en plus un pack de 50 MB, pour \$ 56340 ou \$ 1268 / mois; une version C6 qui passe à 9 écrans pour \$ 63640 ou \$ 1432/m.

Un coup d'oeil rétrospectif sur les dix premières années montre une production de 38000 machines, sans compter les 10000 copies de DCC, absorbée depuis.

Le Nova 4 de 1979 est une nouvelle machine, à base de tranches de 4 bits AMD 2901, 50% plus rapide que le Nova 3. L'organisation est celle d'une micromachine tout à fait standard et permet des extensions de répertoire. Le logiciel est RDOS. Elle est proposée en trois niveaux OEM :

4 C comprend une seule carte avec la mémoire 16 K en MOS, le bootstrap, un autostart et une interface console, pour \$ 2500.

4 S est un châssis haut de 130 mm, avec 5 slots d'extensions.

4 X est un châssis haut de 266 mm, avec 16 slots, prix \$ 14000.

Cette machine sera utilisée par DG soi-même pour bâtir les petits systèmes de gestion CS 30 (1979) et CS 50 (1980), absolument semblables aux précédents sauf le prix :

CS 30 Mle C1 à 64 KB vaut \$ 21090 avec écran, disque 10 MB, ME.

CS 30 Mle C3 à 96 KB comprend 3 écrans, 2 cartouches 10 MB, une IP 300, une ligne 2780.

CS 50 Mle C3 à 64 KB comprend 3 écrans, disques 12,5 ou 25 MB, floppy et streamer.

CS 50 Mle C5 à 128 KB peut monter à 9 écrans, disque 80 MB, IP 900. Prix typique 483 KFF avec 5 terminaux, 50 MB de disque, IP 300 et ligne.

CS 50 Mle C6 à 256 KB avec 760 MB de disques et 25 terminaux.

Dès 1976 apparaît le MicroNova, un microprocesseur NMOS de code mN601, qui sera vendu en OEM sous forme d'une carte MBC 1, et servira de coeur à plusieurs petits systèmes de gestion, dont le CS 20 de DG soi-même, vendu \$ 10945 avec 64 KB, un écran, deux floppies et un Cobol interactif.

Intel, société que l'on retrouvera, le revend avec un logiciel d'application, par exemple un terminal RJE 2780, ou une vraie machine de gestion avec COBOL dans 8 KB. et des fichiers ISAM.

Une seconde version de ce chip, le mN602, vendu en cartes MBC2 8 KB, ou MBC3 32 KB, avec des socles pour 1 K PROM et 32 K Eprom, apparaîtra en 1980. DG soi-même en fera un mini de gestion CS 5 monoposte en 1982: 64 KB, ME 150, 2 minifloppies, Winchester optionnel de 5 / 12,5 / 25 MB, sauvegarde, système MP/OS, Cobol interactif, Basic de gestion.

Il y aura aussi des expériences de vente dans les grands magasins, avec le MPT 100 en forme de calculateur de bureau (fiche), et l'Enterprise 1000 vendu \$ 7195 avec un Business Basic, des packages de gestion à \$ 1000, et un entraînement sur place (64 KB, 2 floppies, ME 150).

Il a existé aussi en 1979, sous le nom de MP 200, une version bipolaire du MicroNova, avec un répertoire étendu comprenant par exemple multiplication et division signées, load et store byte. Performance : addition en 800 ns, multiplication en 4,9 µs. Mémoire RAM 32 / 64 KB, ou PROM 16 KB. DMA 3,7 MB / s. Ce produit était proposé, sous le nom de carte 8671 D, au prix de \$ 2250, avec 64 KB, RTC, power fail, interface asynchrone pour modem, pseudoconsole soft imitant un TTY, bootstrap et Basic, et pouvait s'insérer dans un châssis standard 8 slots avec une carte d'alimentation.

La phase Eclipse commence vers 1974 : le Nova n'est pas du tout mort, mais il manque de puissance pour beaucoup d'applications. L' Eclipse S200, présentée comme un élargissement de cette architecture à travers une microprogrammation développée, ouvre de nouvelles voies qui au début seront à peine exploitées : par exemple, un C300, puis un C330 seront proposés presque en même temps, mais ce sont des clients OEM qui en feront des machines de gestion, pas DG qui se borne à développer son outil, notamment en matière de logiciel et de périphériques.

Trois ans plus tard, le S130 est compatible, mais plus souple, mieux accompagné de variantes (AP130). Le S250 de l'année suivante est à peine différent, mais ses options sont très complètes : additions scientifiques diverses (FPP, IAP, 8660, 8661), commerciales (C350), et même universelles (M600). Qui plus est, DG prend cette fois l'initiative de bâtir autour du C350 et de proposer commercialement un ensemble de gestion, le CS / 60, qui se présente en deux versions :

- un Model 3 de 64 KB, avec 20 à 80 MB en cartouches, et 4 terminaux.
- un Model 6 de 256 KB, avec 760 MB de disques, deux IP, 12 terminaux, et les fonctions de terminal RJE pour le protocole HASP d'IBM.

En 1979, la révolution des microprocesseurs est devenue inévitable, et le microEclipse se dessine. Il devient nécessaire de se débarrasser des stocks de minis par un effort marketing. En voici deux exemples:

- Eclipse C150, 10 / 78 : proposé en bas de gamme pour le traitement distribué, ce calculateur utilisant la micromachine du S130 peut recevoir jusqu'à 1 MB de mémoire 600 ns (accès 300 ns), équipée d'autocorrection et vendue \$ 28000 / MB. Ainsi équipé, il est en mesure d'exploiter divers programmes du système d'exploitation AOS : la base de données interactive Infos Query, le traitement de texte, et surtout le Virtual Cobol, qui incorpore une segmentation automatique. Le système d'exploitation sera RDOS, qui comprend une interface X25.

- Eclipse S140, 1980. Il s'agit d'une remise à jour de machines S130 périmées pour en faire des machines scientifiques puissantes (70% du S250) et bon marché, \$ 16500 en 128 KB. La mémoire à cycle de 400 ns, avec autocorrection, est organisée en entrelacement 4 et peut atteindre 1 MB, avec un mapping pour utiliser cette dimension importante. Un cache d'anticipation a été ajouté, capable d'environ 13 instructions, qui peut être exploré au rythme d'un mot par 100 ns, efficace pour de courtes boucles. La microprogrammation qui fournit un premier jeu d'arithmétique complète peut être doublée d'une VF câblée, avec une multiplication DP en 9,4 µs. Les performances mesurées (Whetstone) sont de 450 Kops SP et 380 Kops DP.

Divers services sont inclus : instructions privilégiées, protection en écriture, invalidation de zones, autodiagnostic sur CPU, mémoire et bus d'entrées/sorties, batterie de secours accordant 90 minutes de survie à une mémoire de 256 KB. Un frontal de communication peut être associé à cette machine.

La sortie du MicroEclipse, jeu de puces permettant de construire un compatible Eclipse cependant moins puissant, ramène la commercialisation des Eclipse au niveau du seul OEM, tandis que les applications sont transférées sur le nouveau 32 bits Eagle. Les cartes OEM S20 et S120, associées aux boîtiers antérieurs de la famille Eclipse et aux périphériques mis au point pour cette famille, permettent l'édification de petits systèmes de gestion, commercialisés par DG :

- CS100 (1982) comporte une carte S20, une mémoire 128 à 512 KB, et jusqu'à 55 MB de disques comprenant des Winchester 5 / 12,5 / 15 / 25 MB et des floppies de 1,3 MB proposés comme sauvegardes. Les périphériques sont des ME 55 (marguerite, pour courrier) / 150 / 180 / 340 cps, des IP 300, et jusqu'à 9 terminaux. Le logiciel comprend RDOS, un Cobol interactif, et un Basic orienté gestion.

- CS200 (1982) est plus ambitieux avec un maximum de 25 terminaux qui justifie une carte S120, ou même un Eclipse 350, ce dernier cas pour une mémoire supérieure à 512 KB. Les disques peuvent monter à 1400 MB dont 638 en Winchester (avec des capacités de 73 et 147 MB) et le reste en packs de 277 MB, les imprimantes peuvent être des IP 600. Le logiciel peut être AOS et s'enrichit de trois composantes issues du Basic interprétatif : BUSITEXT pour le traitement de texte, BUSIGEN pour l'impression, BUSIPEN pour les graphiques.

- Desktop 10 (1983) est une machine de table qui s'attaque au marché du calculateur personnel, sans se rendre compte que ce marché est déjà prisonnier du modèle PC. Il est prévu en trois versions :

D10 est en fait un biprocesseur, un 8086 devant assurer la compatibilité PC tandis qu'un S20 présente les possibilités du logiciel DG. Sous une petite taille c'est une machine puissante, 256 à 768 KB, deux floppies, un ou deux disques de 15 MB, VF en option, et jusqu'à 4 écrans, un sur le 8086 et jusqu'à trois sur le S20. 4 systèmes d'exploitation : CP / M, MS / DOS, RDOS, AOS. Prix \$ 36000 en 128 KB sans disque.

D20 ne conserve de cela que la partie S20, mais peut monter à 2 MB. Prix typique, 96 KFF pour 512 KB, un disque et quatre lignes.

D30 est le même, avec en outre la virgule flottante et COBOL.

Il ne semble pas que cette tentative ait eu le moindre succès.

L'époque Eagle commence en 1980 et, pour Data General, il ne s'agit au début que de fournir un mini plus puissant, 32 bits, extension de l'architecture Eclipse. Mais la clientèle n'acceptera pas cette position minimaliste, présentant sans cesse de nouvelles exigences de puissance et d'universalité, comme c'était le cas chez DEC, dont DG devenait de facto concurrent. La compagnie va s'épuiser, dans toutes les années suivantes, à maintenir sa réputation avec des machines couvrant un éventail de plus en plus large, et tenues de former

une gamme pour que les clients aient la possibilité d'évoluer. Pour fixer les idées, et disposer d'une référence, on cite en tête de liste les caractéristiques du MV 8000 :

1980 : MV 8000 : 4,5 MHz, à base d'AMD 2901.

1981 : MV 6000 : version dégradée du précédent, de sorte que tout ce qui n'est pas explicitement différent est à prendre dans la fiche du MV 8000. Le 6000 se situe au niveau du VAX 750, du PEDS 32/20, du SEL 32/27 et du Prime 250 II, qui constituent la concurrence. Mémoire 2 MB avec cache 16 KB. Il n'y a pas de processeur IO, remplacé par un MUX 2,27 MB/s et des contrôleurs asynchrones servant chacun 8 ou 16 lignes. Il y a par contre un processeur de diagnostic MCB1 MicroNova qui gère l'horloge, le pupitre, le bus de scrutation et un floppy de 1,26 MB.

1982 : MV 4000 : cette machine concurrente du VAX 730 ne dépasse pas 0,6 Mips, mais elle peut disposer de mémoire jusqu'à 8 MB et comporte 16 KB de mémoire pour les microcodes de l'utilisateur, permettant à celui-ci de microprogrammer le traitement d'actions spécifiques : le débit d'entrées/sorties connectées sur 9 slots affectés atteint 5 MB/s et peut concerner de nouveaux périphériques comme une imprimante laser, ou un streamer de sauvegarde de 15 MB, ou le nouveau réseau Xodiac. Jusqu'à 64 terminaux peuvent être supportés. Prix typique : mémoire 1 MB, disque Winchester 147 MB, streamer, console, et le système AOS/VS pour \$ 64300 . Une variante 4000 DC de configuration figée sera proposée en 1984 pour un prix nettement réduit.

1982 : MV 10000 : une course à la performance est entreprise, et cette machine, qui s'affiche deux fois plus puissante que le VAX 780, est proposée avec une mémoire de 16 MB, un cache de données de 16 KB, et un cache d'instructions de 4 KB, le cycle du processeur étant 140 ns = 7,1 MHz. Les circuits utilisés sont des TTL de Texas, AS881 additionneur 4 bits et AS 882 carry look : 46\*881 et 5\*882 permettent l'addition 32 bits en 32 ns. On peut aussi citer les 870 et 871, piles de registres 16\*4 bits sans ou avec multiplexeur d'accès, les 867 et 869 compteurs binaires bidirectionnels, le 877 sérialiseur 8 bits. Cette unité était capable de 2,5 Mips Whetstone SP. Prix moyen d'une machine K\$ 325. Plus précisément, K\$ 170 pour une version à 4 MB, et 4500 \$/ MB supplémentaire. En 1984, des jeux de microprogrammes trigonométriques et algébriques pour traitement du signal permettront de pousser la performance à 2,95 Mips pour 2500 \$ supplémentaires, pour ceux qui auront choisi l'option WCS de mémoire de microprogrammation modifiable.

1983 : MV 8000 II : cette machine est un 10000 débarrassé du générateur d'adresses, du processeur VF câblé et des contrôleurs d'entrée/sortie spécialisés; elle est encore capable de 1,26 Mips en Whetstone SP, 0,96 Mips en DP. LA technologie du 10000 permet une réduction de 28% de volume par rapport au 8000, l'ensemble de la machine tenant dans une petite armoire à 13 slots, de 1016 \* 483 mm. Mémoire jusqu'à 8 MB, disques jusqu'à 8,5 GB. Le nouveau disque 14" tournant à 3000 t/min, 10438 bpi, 714 tpi, offre une capacité de 354 MB formatés, un temps d'accès moyen de 20 ms, un débit de 16 MB/s, et se présente en deux configurations : 6236 à K\$ 25, 6237 à K\$ 65 pour un contrôleur et trois disques, le maximum étant 6 contrôleurs de 4 disques. Prix typique : K\$ 83 pour 1 MB et le logiciel, AOS/VS ou AOS/RT32, plus \$ 4900/MB supplémentaire, ou \$ 9000 / 2 MB.

L'année 1984 est excellente, et propulse DG au 19ème rang mondial, avec un CA de 1254,5 M\$. Mais, sans autre raison apparente que le marasme général, l'année 1985 est catastrophique, avec un CA de 1199,7 M\$ et un bénéfice de 24,3 M\$ seulement, et DG recule au 28ème rang.

Cependant, les fondamentaux restent satisfaisants, et le virage technique avait été pris : en fin d'année, DG peut annoncer le MV 20000, construit en ECL gate arrays à 2800 portes par puce, extrêmement compétitif ( \$ 34000 / Mips, deux fois moins que VAX ).

Le processeur comprend trois cartes:

- un FXU 5 Mips, cycle 85 ns = 11,8 MHz, microprogrammation sur 104 bits. Cache d'instructions 64 KB et cache de données réalisés en SRAM 25 ns. Option de microcode accessible à l'utilisateur. Ce processeur a été mesuré 6410 Whetstone SP, 4940 DP.

- un FPU optionnel

- un contrôleur de mémoire et un IOP pourvu de son propre cache, supportant deux BMUX et 3 MUX., et capable de 35 MB/s. Trois IOP sont permis., pour servir jusqu'à 27 GB de disques, 16 bandes magnétiques et 1024 terminaux.

La mémoire qui peut atteindre 64 MB dispose d'un bus 47 MB/s et s'organise en 8 cartes de 8 MB, réalisées avec des puces de 256 Kbits. Chaque carte contient 4 modules de 2 MB.

Un ordinateur de diagnostic MicroEclipse surveille CPU, alimentation et périphériques à travers un bus spécialisé de Remote Network.

Le logiciel AOS / DVS est une extension distribuée de l'AOS / VS capable de 4096 processus, du réseau Ethernet, de consoles graphiques, dont il prend les travaux en compte par un scheduler à priorités programmables.

Cette machine existe en trois versions : monoprocesseur, biprocesseur en armoire 30" ( 762 mm), et OEM en rack 19" (483 mm), cette dernière limitée à 16 MB de mémoire, 16 GB de disques et 16 MB/s d'entrées/sorties.

Simultanément, DG met au point le MV 2000 DC, une machine monocarte construite à base de gate arrays CMOS à 8000 portes par puce. Cette machine utilise de la mémoire DRAM en puces 256 Kbits, et sa taille modeste lui permet de servir de coeur à des stations de travail, les 7500 et 7700.

Cette machine réussie sera réutilisée dès 1987 dans la MV 1400 DC, qui n'en diffère que par les puces mémoire de 1 Mbits (fiche).

L'idée de réaliser l'architecture Eagle en VLSI sur une ou deux puces était dans l'air dès l'origine, et elle aboutit en 1986 sous la forme du 7800, qui est commercialisé comme le remplaçant du 4000. C'est une technologie à 3,1 MHz (cycle 320 ns) qui aboutit à une performance mesurée de 1,068 Mips Whetstone SP, et 776 Mips DP, ce qui maintient résolument le MicroEagle dans le domaine des minis.

Cette machine réussie donnera lieu, dans les années suivantes, à diverses variantes plus spécialisées ou plus rapides, 7800 DC, 7800 XP, 7800 DCX. Voir fiche.

Le MicroEagle est forcément un bas de gamme, et pour garder sa clientèle DG découpe le 20000 pour en améliorer la commercialisation : c'est le 15000 qui comprend deux cartes FXU et IOP, à base de gate arrays Motorola combinant ECL et TTL, et se présente en châssis 12 slots de 10,5" de haut. Mémoire 32 MB en cartes 4 ou 8 MB à base de chips 256 Kbits, et 16 ou 32 MB à base de chips 1 Mbits.

Trois versions :

Model 8 est 2879 Kips Whetstone SP, 2568 DP, avec un cache 16 KB.

Model 10 est 4263 / 3554 Mips.

Model 20 ne diffère pas du 20000 avec sa carte VF séparée, mais il n'est pas extensible en biprocesseur.

Les extensions maximales sont 432 lignes, 28 disques de 592 MB, 26 dérouleurs de bande.

Le système d'exploitation est AOS / VS, qui peut coiffer un MV / UX pour la compatibilité Unix. Il peut aussi être DG / UX, un Unix autonome.

Prix typique : en 8 MB, les trois modèles coûtent respectivement 83, 143 et 205 K\$. Il en existe des versions renforcées, "rugged" et "tempest".

Ce ne sera pas longtemps suffisant. DG reprend le problème dans son ensemble avec le MV 40000, une machine de 14 Mips dont le prix de base est K\$ 426, et qui se présente en quatre cartes de 40 \* 40 cm qui sont :

instructions, avec un tampon et un bloc de commande

adresses, avec les registres

traitement, qui est le bloc de calcul proprement dit, FXU 16 / 32 / 64 bits et FPU 32 / 64 bits.

La mémoire 32 à 128 MB est réalisée en puces de 1 Mbits. Les canaux sont des BMC pour les disques et les bandes, des DCX pour les terminaux, les lignes, les imprimantes, les réseaux. Ce sont des équivalents des classiques BMUX et MUX.

Le système d'exploitation est AOS / VS II, qui autorise multiprocessing et un failsoft assez modeste, à base de disques miroirs avec recopie automatique en cas d'erreur, et partage des tâches.

Pour les clients qui veulent encore plus de puissance, l'architecture DSA (Data Sharing Architecture) s'appuie sur le MRC (Message based Reliable Channel), un châssis rack de 9 slots ou une armoire de 21 slots, dont le fond de panier est un bus 32 bits, 50 MB/s : c'est là que viennent s'enficher un à quatre processeurs pour constituer un système HA1, 14 Mips pour 512 K\$

HA2, 27 Mips, 869 K\$

HA3, 40 Mips, 1167 K\$

HA4, 50 Mips, 1425 K\$

Les processeurs peuvent se situer à distance, et les gestionnaires de périphériques lourds également, grâce à des cartes de connexion : coaxial 60 mètres, 200 Mbits/s, ou fibre optique 2 Km. Le logiciel de ce réseau est MRC / TS, qui fait partie de AOS / VS II.

Cela ne suffit toujours pas, car ce produit est trop cher pour les services qu'il est susceptible de rendre. En 1990, DG est à nouveau obligé de réviser tous ses plans, en s'appuyant sur une puce japonaise CMOS créée par Hitachi, le Washi : un CPU complet sur une puce, capable de 5 Mips dans sa version la plus rapide. Toute une famille va naître en 1990 de ce circuit:

- en bas de gamme, le MV3500 élimine toutes les petites machines antérieures

- le MV 5500 de 5 Mips sera remplacé dès l'année suivante par un 5600 DC de 7 Mips, qui dispose d'une mémoire jusqu'à 128 MB, de 13 GB de disques sur deux ports SCSI, d'un Ethernet intégré, et de 6 contrôleurs banalisés. Prix 446 KFF.

- le MV 9500 qui n'en diffère que par les possibilités d'extension est doublé dès l'année suivante en 9600 à 7 Mips, 77 GB de disques, 576 KFF+ ; et un 9300 limité à 3 Mips, 280 KFF+, mais avec les mêmes possibilités d'extension.

- le MV 30000 qui remplace les 15000, 18000 et 20000 est un multiprocesseur pouvant grouper jusqu'à 4 Washi pour un total de 19 Mips, avec jusqu'à 256 MB de mémoire par modules de 16, 32 ou 64 MB, jusqu'à 230 GB de disques, et jusqu'à 400 utilisateurs. Le système AOS / VS II assure une reconfiguration automatique en cas de panne, et le MRC s'occupe de la maintenance en ligne des périphériques, de la fiabilité par disques miroirs, et de la répartition dynamique des ressources.

Prix : 120 K\$ pour un CPU et 16 MB.

- le MV 40000 est toujours offert, s'il trouve des clients.

Et c'est après cet immense effort que DG doit accepter l'idée qu'elle n'est plus vraiment à la hauteur du marché, lequel ne demande plus de petits calculateurs polyvalents : désormais, seul IBM et les japonais peuvent encore prétendre fournir des centres de calcul polyvalents, d'ailleurs fortement orientés gestion et fonctionnant en transactionnel, tandis que la plupart des calculs scientifiques se font en mode interactif sur des stations de travail. Quant au vaste marché des PC, que DG a abordé avec les Dasher, il est tellement encombré et standardisé que la compétition ne porte que sur les prix, domaine où DG n'est pas particulièrement compétitif. Un 486 / 25 de norme AT, à 52200 F, trouve grâce devant les commentateurs, mais sans enthousiasme particulier.

C'est donc l'heure des révisions déchirantes, qui conduiront à la gamme AVIIION basée sur les 88100. Mais, en 10 / 95, ce microprocesseur est abandonné par Motorola, et DG doit se rallier à Intel :

AV 5800 à 8 CPU		utilisent le Pentium 133 pour constituer des serveurs d'entreprise fonc-
AV 4800 et 4700 à 4 CPU		tionnant sous DG / UX 4.1 ou Windows NT3.5.1, et sont capables
		respt de 1000 tps pour 70 à 160 K\$, et 500 tps pour 20 à 33 K\$.
AV 3000 à 2 Pentium 100 )	)	sont des serveurs départementaux à 6500 et 13000 \$ respecti-
AV 2000 à 1 Pentium 100 )	)	vement, fonctionnant sous Netware, ou Unixware, ou SCO.

Tout cela n'est pas mauvais, mais pourquoi aller chercher chez DG, désormais un spécialiste oublié, ce que peuvent fournir des constructeurs de PC ou l'IBM AS400 ?

Vers 1998, Data General sera absorbé par EMC, un fabricant de mémoires de masse à disques et bandes, qui d'ailleurs continuera à commercialiser sa ligne CLARIION.

## 188 - Dallas Semiconductors

Tout à fait ignoré jusque là, ce bureau d'études texan qui vivait de la production sous licence de contrôleurs, apparaît vers 1998 avec un Thermomètre numérique enregistreur, le DS1615 (fiche), simple périphérique néanmoins fort utile.

Peu après, il se manifeste à nouveau par deux variations sur le contrôleur 8051 de Intel, de longue date tombé dans le domaine public, et dont il a mis au point un clone plus puissant. En fait, Dallas produisait de longue date des compatibles 8051, mais la tendance à l'accroissement de fréquence conduisait son dernier modèle à une consommation inacceptable. C'est pourquoi le coeur du processeur a été repensé, le cycle machine passant de 12 à 4 cycles d'horloge, sans nuire à une compatibilité stricte du code : les derniers modèles fonctionnent donc à 33 ou 40 MHz et peuvent fournir 8 à 10 Mips en pointe.

Les contrôleurs de Dallas comportent diverses particularités, comme deux pointeurs de données pour des mouvements de mémoire à mémoire, des interruptions multiples, une gestion de consommation. Parmi les divers modèles de la nouvelle architecture, on peut citer :

- le DS87C550, en boîtier PLCC 68 ou PQFP 80, est une variante du 87C52 pour applications industrielles, intégrant un codeur 10 bits à 8 voies et 4 sorties PWM. Il dispose de 8 KB d'EPR0M, d'un timer programmable, d'un contrôle d'alimentation avec réinitialisation en cas de coupure, de 16 interruptions dont 6 externes, de deux ports série en duplex intégral, etc...

La mémoire de travail comprend en standard 256 bytes de RAM, mais il y a en outre 1 K RAM de mémoire optionnelle qui peut être validée par programme et fonctionne alors comme une mémoire externe, consultée par l'opération MOVX portant sur un octet. Ajoutons que le pointeur de données peut aussi bien avancer que reculer, alors qu'il se borne à progresser dans le 8051 de base.

- le DS80C390, de son côté, est une version lourde qui accepte des adressages externes jusqu'à 4 MB, et contient 4 KB de SRAM pouvant être configurée pour diverses proportions de données, de pile et de programme. Ce modèle puissant comprend un accélérateur câblé pour multiplication et division 16 ou 32 bits, accumulation sur 40 bits, décalage et normalisation. Il supporte aussi une interface IrDA, et un multiplicateur de fréquence interne permettant d'éviter le recours à un quartz HF externe qui pourrait rayonner. Pour les entrées / sorties, il contient deux contrôleurs de bus avec 512 bytes réservés comme boîte à message.

La réussite de cette nouvelle architecture a rendu la compagnie optimiste, au point de redessiner une nouvelle fois le coeur, pour un cycle machine de seulement une période d'horloge. Le premier produit de cette nouvelle génération est le DS89C420, un compatible 80C52 disposant de 16 KB de mémoire flash, et cadencé à 50 MHz, soit 50 Mips pour les instructions courtes : il est disponible en fin 2000.

## 189 - Data Machines, Inc.

En 1965, il existe une société nommée Decision Control, Inc. qui s'était dotée d'une filiale électronique, ce qui à l'époque n'impliquait pas un gros investissement.

Cette filiale construisit un miniordinateur en forme de petit bureau, à usage scientifique, commercialisé sans grand succès pour \$ 11250. La lecture de la fiche indique l'existence de trois modèles, mais cela n'implique pas que les trois modèles aient réellement été fabriqués, d'autant que deux d'entre eux ne différaient que par l'ampleur d'un répertoire qui pouvait être modifié.

La construction, la même année, d'une machine tout à fait différente par son architecture, suggère que plusieurs projets étaient simultanément en route. La réussite de la 620, qui nous est connue en détails, devait entraîner un succès commercial, plus orienté process control que scientifique, à la suite duquel la société fut achetée en 1967 par Varian Enterprise, dont elle devint pour un temps une division.

Le fait que la machine a existé un an chez DMI pour être ensuite produite chez Varian sous une forme très semblable (620 I) nous a incité à utiliser la documentation Varian pour l'étude du 620. Le lecteur est donc invité à consulter celle-ci.

## 190 - Varian Data Machines

Varian Enterprises est en 1966 un petit conglomérat dont la principale activité est la fabrication de tubes émetteurs HF (magnétrons, klystrons). Il a néanmoins essayé des diversifications, et on peut citer en 1969 une imprimante électrostatique Statos V, étudiée à un moment où beaucoup d'autres sociétés cherchaient à contourner les imprimantes mécanographiques d'IBM.

La Statos V comportait soit 1024 styles sur 12,8" (325 mm) de largeur de papier (Mle 500), soit 1400 styles sur 14" (381 mm) (Modèle 514). Le mécanisme accepte des rouleaux de 500 ft (12,7 m) de papier continu en 15,5" (392 mm) de large. La logique de l'imprimante accepte soit des caractères BCD, soit des coordonnées XY pour un dessin par points, et le contraste est assuré par addition sous les styles d'une suspension carbonée. Prix \$ 15000.

La filiale Varian Data Machines est née de l'absorption de Data Machines, Inc. par Varian Enterprises, en août 1967. Ayant peu d'expérience en informatique, Varian laissa VDM continuer le travail de DMI, avec cependant une inflexion vers le miniordinateur polyvalent. Le 620 devenu le 620/I se présente en tiroir 6U, et il en sera de même l'année suivante avec le 520/I.

VDM commercialisera aussi des mémoires autonomes, utilisables pour des applications industrielles :

SS 30 (1968) est une mémoire à tores d'organisation 3D, présentée en boîte close de 512 ou 1024 mots de 4, 8, 12 ou 16 bits, avec un cycle de 2,4  $\mu$ s. Clientèle possible : les fabricants de machines comptables programmables.

Versastore II (1968) est une mémoire à tores en tiroirs de rack, capacité 256 à 4K mots de 36 bits, ou 8K mots de 18 bits, cycle 1,6  $\mu$ s.

Versastore III (1968) est la même accélérée à 1  $\mu$ s par cycle.

On trouvera la fiche du 620/I, créé avant l'intrusion de Varian, dans le classeur D1, et la documentation associée dans la boîte 140, avec Varian qui en a assuré la commercialisation, et cela malgré une présentation qui ignore le dernier propriétaire. Varian développera plusieurs variantes de ce produit :

R 620 / I est une version renforcé pour applications militaires ou renforcées (1968).

620 / F de 1970 dispose d'une nouvelle mémoire de 18 bits, avec protection et parité, et d'une option WCS ; elle comporte de nouvelles instructions.

620 / L de 2 / 71 vise à l'économie avec une mémoire 4 / 32 Kmots ralentie à 1,8  $\mu$ s. Le châssis contient une alimentation pour la mémoire maximale, le processeur avec 8 Kmots de mémoire, et 8 slots pour périphériques. Prix avec mémoire 4 Kmots et liaison directe 38070 FFHT ; il faut ajouter 16215 FFHT par bloc de 4 Kmots. Ventes à la mi 74 : 610 aux USA, 160 hors USA, 70 commandes.

620 / F100 de 1972 ne coûte plus que \$ 28000, en faisant passer protection et parité en option. Environ 250 seront commandées.

620 / L100 de 1972 fait de même des économies sur la version L, tout en proposant une nouvelle mémoire à cycle de 950 ns. Pour \$ 6400 on peut avoir la machine de base avec mpy / div, RTC, 8 interruptions dont la panne de courant. Une nouvelle baisse de 15% interviendra fin 73.

Ce modèle exécute l'addition en 1,9  $\mu$ s, la multiplication en 9,5  $\mu$ s, dispose de 32 canaux cumulant 383 Kmots/s dont 4 peuvent être des DMA, de 64 interruptions qui répondent en 7,5  $\mu$ s, et parité et protection, mais pas de la virgule flottante.

Bilan mi 74 : 410 aux USA, 90 à l'étranger, 165 commandes.

Cette longue période de succès conduit Varian à garder la compatibilité dans le nouveau modèle V73 annoncé en 1972, mais il était nécessaire de changer de technologie, et on en profite pour améliorer la modularité et organiser une véritable famille, avec assembleur commun et architecture commune. La nouveauté technologique est l'apparition optionnelle de mémoires MOS, en modules mélangeables avec les modules de mémoire à tores rajournis, cad accélérés.

Née avec le 73, la famille s'étendra l'année suivante avec plusieurs 72 qui n'acceptent que les tores, puis une 74 nettement plus puissante avec WCS et mémoire virtuelle. Un système d'exploitation VORTEX I fédère ces divers modèles, qui s'adjoindront ensuite un V75 et un V76 à 32 bits (c'est-à-dire disposant d'opérations sur 32 bits, obtenues par microprogrammation d'une machine 16 bits).

En décembre 76, l'annonce de la série 77 reste presque entièrement compatible, avec 27 instructions qui peuvent utiliser les 8 registres et les 174 autres qui n'accèdent qu'à trois registres pour garder la compatibilité. Il y a en réalité peu de nouveauté dans cette annonce, qui confirme la vocation de mini temps réel de la série, mais la présentation marketing est meilleure et Univac est séduit. Varian Data Machines sera vendu très rapidement par le groupe Varian et Univac, il faut bien le reconnaître, ne fera pas grand chose de son acquisition.

La documentation Varian sur la série 77 est insuffisante, et le lecteur aura intérêt à la compléter avec les documents d'origine Univac à trouver dans les boîtes 136 et 137.

## 191 - Datamate

Cette compagnie, Datamate Computing System, Inc., est en 1966 une division de Gamco Industries quand elle met au point l'ECP 18, un calculateur de process control à 18 bits, 16 opérations, qu'elle propose à 14500 \$ : 21 exemplaires seront produits.

La même machine est proposée aussi comme calculateur pédagogique sous le nom de Mathmaster, avec une mémoire plus petite (1024 mots) et un panneau de visualisation plus développé, avec pas à pas. L'accès par télétype fournit des entrées clavier ou lecteur de bande, une sortie perforatrice de bande ou imprimante, ensemble qui risque de coûter plus cher que le calculateur lui-même, mais ce prix nous est inconnu.

Datamate construit ensuite le Datamate 8, un ordinateur 16 bits plus universel, mais tout à fait adapté aussi au travail de contrôleur, qui sera livré en février 69. Apparemment, la compagnie propriétaire, ne sachant que faire de cette machine dont la clientèle potentielle dépasse les applications usuelles, se débarrasse de l'équipe en la vendant à Siboney Corporation.

Le Datamate 16, réalisé en 11/69 sous le nouveau drapeau, est à peu près la même machine, mais avec une mémoire 16 bits au lieu de 8. La vente de 12 machines aux USA n'est pas de nature à faire vivre longtemps la compagnie, qui étudie alors la Datamate 70, prête en 9/70.

Cette dernière machine reprend le schéma précédent, mémoire 16 bits 1  $\mu$ s, 4 à 32 Kmots, avec une logique améliorée : 4 accumulateurs dont deux index, adressage indirect illimité, addition en 3  $\mu$ s, répertoire de 144 opérations.

La mémoire fait l'objet de tous les soins: protection par zone, relocation dynamique, interruptions. Un canal d'entrées/sorties permet un débit de 1 MB/s.

Le constructeur essaye aussi d'autres types de mémoires que les tores, en particulier des ROM.

Succès très modeste, 20 machines installées en 1972 : la compagnie ne survivra pas.

## 192 - Data Pathing, Inc.

Cette petite société de services construit à la demande des systèmes "clé en main" de collecte de données, et commence par le DPI 2000, un petit système à 6 lignes au plus. Ce système, dont les lignes convergent vers un processeur DPI 2103, vaut \$ 24150 et s'est vendu à 85 exemplaires. Le processeur 16 bits dispose d'une mémoire 16 KB, cycle 8  $\mu$ s, 16 interruptions, et inscrit sa collecte sur une bande magnétique dont l'exploitation se fait en différé.

Les lignes dont il s'agit sont par exemple des télétypes ou des caisses enregistreuses, plutôt que de véritables points de mesure pour lesquels la demande n'est pas aussi importante.

En 1970, le DPI 2100 prend la place sans changement fondamental, avec 10 lignes de collecte et un processeur 2104 à 32 KB de mémoire 2  $\mu$ s. 150 matériels vendus.

Le succès de DPI ne se dément pas les années suivantes, tandis que ses prestations se professionnalisent. Le DPI 150/30 de 1973 utilise des canaux de mesure à base de microprocesseur Intel 8080, convergeant vers un processeur DPI 2015 à mémoire 16 bits, 32 à 128 Kmots de cycle 1  $\mu$ s, 7 niveaux d'interruption, qui émule les 270X et 370X d'IBM pour une liaison directe.

Le logiciel comprend un assembleur et des handlers pour tous les types de terminaux placés sur les lignes. Le prix varie de K\$ 105 à 160.

Il y a aussi, au même moment, un DPI 150/60 qui comprend un peu plus de mémoire et jusqu'à 31 lignes de collecte. Au total, 150 collecteurs de ces deux types seront vendus.

La société DPI ne fait plus parler d'elle par la suite, probablement absorbée par une société spécialisée dans les transmissions.

## 193 - Datapoint

Lors de l'apparition du premier microprocesseur 8 bits, le 8008, la Computer Terminal Corporation s'installe à San Antonio, Texas, au bord d'une route qui prend le nom de Datapoint Drive. Son produit original est le 2200 Modèle I, un monobloc écran + clavier qui se comporte comme un véritable ordinateur, grâce à des cassettes Philips pouvant servir pour les programmes comme pour les données. Le succès provient sans conteste de la présentation, car le matériel peut réellement être utilisé seul, même s'il est généralement utile d'en faire un poste de saisie connecté par ligne sur un ordinateur plus important.

Deux ans plus tard, Computer Terminals offre, soigneusement placé dans la même enveloppe, un Datapoint 2200 Model II qui est une machine nouvelle, tant pour le CPU que pour la mémoire, mais dont l'exploitation est inchangée. Le succès se maintient.

La compagnie change de standing et de nom, devenant la Datapoint Corporation pour exalter son produit phare. Celui-ci, inchangé, est remis en boîte sous le nom de Diskette 1100 pour souligner que, bien que le mode d'exploitation antérieur soit toujours possible, l'accent est désormais mis sur les disquettes qui, pourtant, ne peuvent trouver place dans le monoposte.

Un gros effort est fait sur le logiciel, Datashare, Dataform, dont les documents figurent en archives. A l'automne 76, un document de synthèse montre que le Datapoint est désormais un véritable ordinateur, en même temps qu'un terminal reconnu.

Datapoint est établi, elle doit maintenant se diversifier pour élargir sa clientèle. Le 5500 annoncé en 1975 obtient un succès immédiat, 500 machines vendues en un an. C'est la même machine que les précédentes, avec un peu plus de mémoire, mais il dispose de logiciel et de périphériques et désormais, peut légitimement se considérer comme un ordinateur de gestion.

En 1976, Datapoint invente Arcnet, un réseau local à jetons, qui permet d'unir autour d'un coaxial à 2,5 Mbits/s jusqu'à 8 file processors (5500 et 6600 ) et application processors (6600). 2000 ft peuvent séparer les participants le long du câble.

Le 6600 de 1977, le plus puissant modèle de la gamme, entièrement compatible, peut servir de hub (moyeu), cad de maître du câble auquel les autres postes sont connectés par un RIM, qu'ils perçoivent comme un canal série. Le hub servira en général d'interface entre le réseau et un ordinateur plus important, à travers un DCIO, qui est un adaptateur sur canal MUX d'un IBM 370. Un dossier Arcnet, datant de 1985, pourra être trouvé dans la fiche Starship.

Le 3800 de 1977 est destiné aux mêmes fonctions que le 6600 et n'en diffère en pratique que par quelques instructions en moins. Il répond exclusivement à un objectif marketing.

A l'autre extrémité de la gamme, le 1500 n'est pas destiné à une connexion Arcnet, et fait surtout du traitement local sur deux disquettes externes de 256 KB. Equipé de 32 KB de RAM 8 + P et de 4 KB de ROM, avec une ligne synchrone 3780 de 4800 bauds, il vaut \$ 5950 et se vend très bien en OEM, plus de 6000 selon la presse technique..

En 1978, la gamme s'enrichit d'un 1200 et d'un 1800 voués à la saisie multiposte, sans ou avec stockage local sur disques d'une partie du travail. Le 1800 est capable d'un RIM.

C'est à ce moment, semble-t-il, que Matra, en France, prend la licence de Datapoint : nous disposons d'un document bien illustré qui fait le point sur tous ces modèles. C'est l'endroit idéal pour glisser un tableau de la croissance de l'entreprise, euphorique et apparemment saine :

Année	CA ( M\$ )	Bénéfice (M\$)	Effectif
1976	50		
1977	103	8	2730
1978	162	15	3889
1979	252	27,5	5300
1980	364	35,5	6000
1981	474	49	6300
1982	506	- 17,4	8822
1983	547,8	13	8914
1984	556,2		
1985	404,2	- 62,1	5993

En 1982, une imprudence commerciale donne lieu à un scandale interne qui oblige au départ cinq des dirigeants, et provoque un effondrement des cours de bourse, suivi par des luttes pour le pouvoir, qui finissent par se répercuter sur les ventes : en 1985, le CA tombe de 27%, le déficit s'élève à 62,1 M\$, près de la moitié du personnel est licenciée. Cependant, le produit est bon, et la nouvelle équipe parvient à relancer l'activité. Ce n'est pas de cet accident que l'entreprise périra.

En 1980, Datapoint décide d'aborder les 16 bits avec un 8800 qui peut ou non s'intégrer au réseau. Tout est fait pour que cette modification n'apparaisse à l'utilisateur que comme une augmentation de puissance, sans modification de ses habitudes : même l'assembleur est compatible.

D'ailleurs Datapoint multiplie les expériences:

- le 1550 de 1981, machine minimale autonome, utilise un Z80A à fréquence doublée, qui peut supporter quatre disquettes double face. Avec 32 KB et un floppy, cette machine vaut \$ 7075 et peut passer à 64 KB avec un supplément de \$ 650. Avec 64 KB et un disque de 10 MB, le prix est \$ 18750.

- le 8625 de 1983 est basé sur le 6802, un 8 bits de Motorola. La mémoire serait cependant 16 bits, 128 à 256 KB, les périphériques comprenant disque 10 MB, floppy 1 MB, interface RIM pour réseau ARCnet, une porte parallèle, une à quatre portes série, 9 à 24 utilisateurs. Ces chiffres paraissent disproportionnés.

- le 3200 de 1985 est construit autour d'un 68000 à 12,5 MHz et sa puissance est très supérieure à tout ce qui a été évoqué jusqu'ici. En fait, il semble bien que Datapoint, qui n'a aucune expérience de ce processeur, ait tout simplement passé un accord OEM avec Charles River Data System.

- le 8850 de 1985 est encore un 16 bits, probablement le même que le 8800, et d'après ce qui précède ce serait probablement un Intel 8086. Il vise les mêmes objectifs que le 8000, mais avec une mémoire 512 KB à 4 MB, obtenue simplement par l'emploi de puces 256 Kbits. Prix 16500 \$ en 512 KB.

La nouveauté réside dans les disques, qui peuvent être :

- des 9348 de 67 MB, cartouche amovible de 9", prix \$ 14500
- des 9349 de 266 MB, disque fixe de 9" au prix de \$ 22500. Maximum 8 = 2 GB.
- des 9336, combinaison en un seul meuble d'un disque fixe de 65 MB et d'un streamer de même capacité, prix \$ 14500.

Le logiciel sous RMS comprend COBOL, RPG, le système Datashare de gestion intégrée, et la poste électronique Vista Mail à travers le réseau Arcnet.

En 1987 Datapoint est très loin de ses débuts, car le domaine où elle avait innové est désormais domaine public. Il semble qu'elle envisage de mettre la priorité sur son réseau Arcnet, qui a manifestement plusieurs longueurs d'avance sur le marché, et d'en ouvrir l'accès à des matériels non Datapoint, comme par exemple les stations Vista dont les photos montrent qu'il s'agit de terminaux Convergent Technology.

En tous cas, l'annonce du Starship 7900, son serveur de réseau basé sur plusieurs 80286, est une offre d'ouverture : Arcnet est présenté comme compatible avec UNIX, DOS, RMS, CP/M, MS/DOS et donc ouvert à une grande variété de machines, même si pour sa part le 7900 travaille en RMS.

L'inconvénient de cette approche est que malgré sa souplesse et son antériorité, Arcnet qui n'a jamais disparu ne s'est pas non plus imposé, supplanté par Ethernet qui a le soutien de DEC et de quelques autres. En conséquence, Datapoint a simplement disparu des marchés.

#### 194 - Dataram

Il s'agit d'une idée, parmi beaucoup d'autres, pour profiter de l'existence d'ordinateurs en OEM, accessibles à un prix très bas, et de clients potentiels incapables de faire eux-mêmes un travail d'assemblage. Dans un rack standard de 9 unités de haut, cette société probablement très petite sinon réduite à une personne propose de rassembler 2 ou 4 mémoires à tores de 256 KB à \$ 4800 pièce, un contrôleur à \$ 3200, un châssis d'alimentation et ventilation, un LSI 11 avec 32 KB de mémoire à semiconducteurs revendu \$ 1800, moyennant quoi il reste 10 slots pour des périphériques qui pourront utiliser des LSI 11 comme contrôleurs.

Aucune indication, malheureusement, de l'intérêt suscité par cette proposition, sinon que le nom de Dataram n'a pas émergé dans les années suivantes.

#### 195 - Data System, Inc.

Cette société de 12 personnes, formée à Grosse Pointe, Michigan, se propose de réaliser des contrôleurs à la demande et bâtit à cet effet le DSI 1000, une simple boîte assemblée autour d'une mémoire à lignes à retard en verre. Le succès forcément local de cette initiative se traduit en 1964 par l'acquisition de la société par un de ses clients, l'Union Carbide.

Autant qu'on puisse en juger, cet enthousiasme n'a pas duré et, après quelques réalisations un peu plus complexes de machines microprogrammées très adaptables, Data System disparaît, probablement revendue à une entreprise dont l'intérêt serait moins occasionnel.

#### 196 - Data Technology

Cette société paraît n'avoir existé que le temps d'acheter à Computer Automation la licence de son calculateur PDC 808, et d'en fabriquer quelques exemplaires vendus sous le sigle DT 1600. L'intérêt économique de cette opération n'apparaît pas.

#### 197 - Datawatch

La DW X86 est une station de travail construite aux normes Tempest, autour d'un 80386SX à 16 MHz. Les normes Tempest sont des normes civiles de robustesse, destinées à des travaux en conditions difficiles telles que plein air, chantiers, camions, etc...

La station comprend 8 MB de mémoire, plus un pseudodisque sur ROM de 1,2 MB, une option 80387SX de virgule flottante, et un moniteur avec choix de cartes graphiques et souris, ainsi que des possibilités de communication.

La société a aussi assemblé un DW 386 / 33, mais il n'est pas Tempest, car il utilise jusqu'à 2,6 GB de disques amovibles.

## 198 - Enhancer de Datum, Inc.

Cette machine est un émulateur universel de faible puissance, dont la première application concerne le calculateur SPC 16 de General Automation. L'intérêt d'émuler une machine bon marché par une autre n'est pas évident, mais on n'a pas d'explication.

L'Enhancer dispose d'une mémoire à tores à cycle de 800 ns, et se vend \$ 13950 en 32 KB, avec contrôleur pour quatre disques 2315, et des accès série pour écran et télétype. Une version 48 KB, avec contrôleur d'imprimante en plus, coûte \$ 24750.

Il était question d'émuler ensuite Xerox, c'est-à-dire probablement SDS que Xerox a achetée, et cela aurait eu plus de sens car il s'agit de machines plus chères, mais ce projet ne semble pas avoir eu de suite.

## 199 - BAT 64XX de Davin

Il s'agit d'un calculateur microprogrammé qui s'est donné comme objectif d'exploiter la notoriété du VAX de Digital Equipment. Cette architecture offre un répertoire très riche de manipulations de chaînes, avec gestion particulière de caractères fonctionnels comme le retour chariot : au total 754 opérations.

Une collection de 1024 registres en scratchpad, extensible à 2048, permet de gérer 16 environnements simultanés et de changer de contexte en quelques nanosecondes. La technologie 5 MHz du 6420 permet une performance équivalente de 32 Mips VAX.

Les entrées/sorties sont assurées par 176 ou 320 canaux de 38,4 KB/s, et il existe également un canal multiplex capable de 2048 terminaux asynchrones.

Plus récemment, la même architecture a été réalisée en 12,5 MHz avec le 6440, qui représente un équivalent de 100 Mips VAX.

## 200 - Daystrom

Cette société de San Diego, Cal, se lance très tôt dans la construction d'une machine 21 bits à usage de process control. On est en 1959, et il faut encore recourir à un tambour magnétique pour obtenir une capacité suffisante de mémoire, ce qui n'est que modérément crédible.

Le modèle 46, conçu à cette époque, aurait été réalisé en 10 exemplaires selon une source, n'aurait été qu'un prototype selon une autre. La définition fluctuante de son successeur de 1961, qui accole son tambour à une mémoire à tores, et qui n'a guère existé qu'en 5 exemplaires, plaide en faveur de la seconde hypothèse.

Daystrom ne paraît accéder à une certaine notoriété qu'avec le 636 de 1963, qui sera placé à une vingtaine d'exemplaires. Suffisamment en tous cas pour que Control Data, cherchant à élargir le spectre de ses applications, décide d'acheter la compagnie (1965).

## 201 - Decade 70 et RC 70 de Redcor

La petite société Decade Computer annonce, début 68, un petit calculateur scientifique en forme de bureau, avec lecteur et perforateur de bande encadrés, et machine à écrire IBM Selectric sur la partie gauche. Une mémoire à tores magnétiques de 4 à 16 Kmots de 16 + P bits, cycle 1  $\mu$ s, l'arithmétique complète en fixe, des interruptions pour coupure et retour du courant, une protection de mémoire par zone, un accès direct à la mémoire sont standard dans le prix de \$ 20000 ; l'arithmétique décimale et les nombres en longueur variable sont une option. Une nouvelle mémoire, de cycle 900 ns, est disponible en 9/68 et caractérise une version 2.

On voit bien ce qui, dans cette architecture, peut tenter une société comme Redcor qui s'intéresse au process control : Redcor achète Decade et abandonne immédiatement la finalité scientifique pour reconfigurer la machine en rack en lui enlevant des options inutiles. Le RC 70, utilisant la mémoire de la version 2, est proposé avec beaucoup de succès comme machine d'acquisition de données, qui sera commercialisée en trois versions :

- une machine minimale d'acquisition, sans mpy/div ni protection contre les coupures, ni TTY, pour \$ 12900 avec seulement 4 Kmots de mémoire.
- la machine normale complète à \$ 21500.
- un biprocesseur RC 77 pour la commutation de messages.

Les quelque 140 machines vendues par Redcor seront, semble-t-il, la seule production de cette société qui disparaît des catalogues vers 1975, sans doute absorbée.

## 202 - System/4 de Decision Data Computer

Un exemple de plus des petites sociétés de service qui s'organisent pour satisfaire les besoins locaux d'informatique transactionnelle, par exemple dans la distribution. Le CPU paraît être un 8 bits de la famille Intel, la mémoire MOS 48 à 64 KB présente un cycle de 1  $\mu$ s. 8 interruptions.

Les fichiers utilisent, selon besoin, 1 ou 2 MB de floppies, ou 10 à 40 MB de disques en cartouches, mais pas de bande.

Les périphériques, servis à travers un DMA de 400 KB/s, disposent de 8 à 14 bornes et comprennent LC 300, PC 120, IP 600, écran clavier, et deux lignes au protocole 3780.

Le logiciel comporte un modeste OS à 2 partitions, avec RPG, Ideal, et des packages.

Prix : \$ 22000 plus logiciel et services. 1( machines sont livrées à la fin de 1977.

Le même calculateur est utilisé sous le nom de CS780 pour constituer un terminal RJE qui dispose alors exclusivement d'une ligne RS232C entre 1200 et 19200 bauds, sous protocole 2780 / 3780 BSC.

## 203 - Dell Computer

Intervenu tardivement dans la compétition, Dell est un fabricant de compatibles PC en pleine expansion. Son chiffre d'affaires 1992 est de 2 B\$ (+ 126%) avec un bénéfice de M\$ 102 contre 51 en 1991. 49% de ses ventes se font avec les grands comptes, et ses succès l'incitent à de constants développements, par exemple la création de filiales en Australie et au Japon.

En France, on peut citer en 1991 quelques exemples:

Modèle 210, vendu 6750 FFHT, est un 286 à 12 MHz, avec 640 KB à 16 MB de RAM, 20 à 100 MB de disques, un 80287 en option, et un écran VGA mono ou couleur 800 \* 600 pixels.

Modèle 316 SX, vendu 8750 FFHT, est un 386 SX / 16, 1 à 16 MB de RAM, 20 à 190 MB de disque, option 387 SX, même écran.

En 1992, cette gamme s'est déplacée vers le haut :

10650 FF pour le même 316 SX avec 1 MB de mémoire et 50 MB de disque.

89450 FF pour un 486 DX avec cache externe de 128 KB, 8 MB de mémoire (extensible à 128 MB) et un disque SCSI de 1,4 GB.

Ces prix comprennent un écran VGA couleur de 14" et le système DOS 5.0 .

Il semble que la croissance de Dell ait été soigneusement maîtrisée, car en 2000 la firme existe toujours alors que beaucoup d'autres, qui furent grands un instant, ont disparu. On peut par exemple citer, en janvier 2000, le modèle XPSB, construit autour d'un Pentium III de 600 à 733 MHz. Pour 12000 F, on peut avoir un processeur P III à 600 MHz, avec le chipset Intel 820 et 128 MB de RDRAM, un disque dur de 13,5 GB, une carte graphique TNT2 de NVidia avec 32 MB de VRAM, un lecteur de CDROM 48x, et un écran 17", le tout installé dans une minitour. La fourniture comprend Windows 98 et Office 2000. C'est moins cher et beaucoup plus puissant que n'importe quelle machine de trois ans auparavant, et c'est un produit assez banal, en tous cas certain de trouver de nombreux égaux sur le marché.

## 204 - Denelcor

Cette société s'est fondée en 1979 pour exploiter le thème, intellectuellement séduisant pour des chercheurs, mais commercialement douteux, du parallélisme. Son projet HEP, Heterogenous Element Processor, regroupant selon un schéma MIMD (multiple instructions, multiple data) un maximum de 12 processeurs ECL, était sans doute prématuré, même aidé par un contrat gouvernemental, car aucune économie ne résultait apparemment, à M\$ 1 / CPU, du recours au parallélisme, par rapport à une machine classique capable de chacun des problèmes traités.

En 1985, il ne reste de Denelcor que la photographie nostalgique de son usine abandonnée de Aurora, Colorado., qui illustre chaque article sur le traitement parallèle.

## 205 - ECS 40 de Design Data

Un exemple de plus de ces sociétés de service qui s'insèrent entre le fabricant et le client pour faire un travail d'adaptation. Dans le cas présent, à l'époque des faits, 1975, Data General n'avait pas encore commencé à sortir de son rôle initial de fabricant pour OEM, et la transformation d'un C300 en petit système de gestion était effectivement un travail.

Design Data associe 32 à 96 KB de mémoire 800 ns à une Eclipse C300 pour faire un ECS 40, 96 à 256 KB pour constituer un EC330. La programmation simpliste comprend un OS à 2 partitions (AOS n'existe pas encore) et supporte toutes tailles de fichiers sur disques, et jusqu'à 256 lignes HASP et 2780, ce qui paraît peu raisonnable : la plupart des terminaux seront asynchrones. Quelque 20 machines, à partir de \$ 40000, seront vendues à la fin de 1977, ce qui correspond à l'apparition des premiers SBS propres de Data General.

## 206 - Digital Computer Controls, Inc.

Cette société s'est créée pour étudier, construire et commercialiser un ordinateur compatible avec le PDP 8 de Digital Equipment, en utilisant sous licence le logiciel de ce constructeur. Le principe de l'opération était de mettre au point, avant DEC, des composants intégrés MSI permettant d'abaisser fortement les prix de revient, pour garder des marges en vendant les machines en dessous du prix DEC. Réussie avec le D112, l'opération est immédiatement reprise avec le D216, qui est une copie du PDP 11 avec prix réduit de 12%. Un CPU sans mémoire se vend \$ 2600, et \$ 3950 avec 4 Kmots par lots de 100. Résultats : 130 machines vendues aux USA en 7/72, et 20 à l'étranger.

DCC tente à nouveau l'opération en 1975, mais cette fois en construisant une machine nouvelle, compatible quoique différente. Le D316 contient une micromachine à base de puces Intel 3000, qui sont des microprocesseurs performants en tranches de 2 bits, qu'il complète par deux PLA. A partir de ce coeur, trois modèles sont définis :

- une machine composée d'une carte CPU de 15 \* 15" et d'une mémoire 16 Kmots à tores.
- la même machine avec mémoire MOS à base de DRAM 4K bits
- une version carte unique avec 4K PROM et 12 K RAM, prix \$ 1188 avec seulement 1 K RAM.

L'équipe "DEC" de DCC a été achetée en 1975 par CMC, producteur de systèmes de saisie, qui a placé un D112 au coeur de chacun de ses produits.

La recette apparaissant profitable, DCC produit aussi, à partir de 1972, un D116 qui est exactement compatible avec le Nova 1200 de Data General, et dont les ventes seront également spectaculaires. Suivront d'autres copies de Nova, DCC 416 et 616, qui paraissent d'ailleurs suivre une autre philosophie, à tel point qu'il y a doute : les informations dont nous disposons font état de véritables systèmes de gestion transactionnelle, \$ 25550 pour un 416 capable de 2 lignes, \$ 57000 pour un 616 capable de 1024 KB et 32 lignes, qui sont en complète contradiction avec les méthodes et objectifs de DCC. Il est ainsi question en 1976 d'un ordinateur Mod Five, compatible Nova et D116 à 616, jouissant d'un répertoire étendu de bit et byte manipulation, gestion de piles, et toutes arithmétiques de mémoire à mémoire, répondant rapidement aux interruptions vectorisées, et qui serait au coeur d'un système de gestion 2500 qui paraît différent de ce qui suit: mémoire MOS 900 ns de 48 à 156 KB, 16 lignes, \$ 49900 pour 16 partitions, Cobol, Fortran, Basic, Assembleur, Packages.

Quelle que soit l'explication de cette confusion, il est patent qu'une fraction de DCC sera achetée en 1975 par Data General pour mettre fin à cette hémorragie de Nova. Ce qui subsiste de la société se reconvertisse alors dans la fabrication à la demande de minicalculateurs de gestion à base de Nova:

11 / 77 : le Synergist 2500 utilise un Nova 3 / 12 à mémoire 64 K mots de cycle 1 µs, disque en cartouche de 10 MB, ME 275 et écran. 100 exemplaires à \$ 27000 vendus en un an.

1 / 78 : le Synergist 3700 utilise le Nova 3D avec 128 à 256 Kmots de mémoire à tores, cartouche 10 MB, écran et Basic. 15 exemplaires à \$ 40000 vendus en fin 78.

2 / 78 : le Synergist 1500 est construit autour du MicroNova avec 48 à 64 Kmots, un écran, une ME30, 2 lignes asynchrones et un Basic, pour \$ 8000. Un 1550 avec disque, prix \$ 13500, lui succède en 7/78.

## 207 - Diablo

Diablo est un fabricant de périphériques, notamment d'imprimantes compatibles TTY à double sens de marche, et c'est aussi une filiale de Xerox depuis que cette société, qui a fait fortune avec les photocopieuses, recherche des placements pour son opulente trésorerie.

En 1973, son principal produit est Hytype 1200, imprimante série à marguerite, avec chariot asservi à déplacement horizontal, et rouleau de papier asservi verticalement avec la finesse d'un traceur. 30 cps.

Il s'essaye aussi, en 1975, à la fabrication d'un disque souple double face de capacité 3,1 Mbits par face, 3200 bpi, 48 tpi, dont cependant l'encombrement mécanique, un demi tiroir de rack, paraît un peu excessif. Diablo en produira aussi une version compatible IBM, 1,94 Mbits par face.

Il y aura encore, en 1977, une imprimante 1660 à 200 cps dont les deux mouvements ont une finesse quasi graphique, afin d'autoriser une mise en page complète; et au contraire, en 1978, une imprimante 1641 à 45 cps qui se veut compatible avec la 2741 d'IBM.

Diablo décide en 1976 de profiter du microprocesseur pour se lancer, comme une foule d'autres sociétés, dans la production de SBS.

Apparemment centré sur un 8 bits de la famille Intel, ce système dispose d'une mémoire MOS de 20 à 64 KB, avec un cycle très court de 448 ns qui permet, par exemple, une addition décimale sur 6 chiffres en 23,9 µs.

Les périphériques comprennent, sur un DMA standard à 1 MB/s avec 8 interruptions, un floppy de 1,2 MB, des disques en cartouches de 10 ou 20 MB, des ME 45 / 55 / 200, un écran avec 24 \* 80 caractères, et jusqu'à 9 lignes plafonnées à 9600 bauds sous protocole 2780.

Le système d'exploitation à 9 partitions supporte batch et transactionnel, et s'appuie sur un assembleur et sur DACL, un langage de gestion d'inspiration anglaise.

Prix de vente \$ 18950. Grâce à la notoriété de Diablo, les ventes atteignaient 50 machines en fin 77, et quelque 500 machines en 9 / 1978.

## 208 - Digiac

Digital Electronics est apparemment une société fondée par un professeur d'une école d'électronique pour reproduire et diffuser une réalisation pédagogique : le Digiac 3050, destiné à la démonstration des opérations logiques et arithmétiques de base.

Bien entendu, la société une fois fondée, ses membres ont immédiatement cherché à faire mieux, et le Digiac 3080 de 12 / 64 est un véritable calculateur universel, construit autour d'un tambour magnétique de 1024 à 4096 mots de 27 bits, accès moyen 9 ms. Addition en 1,5 ms, multiplication en 9 ms, au total un répertoire de 105 opérations.

Bien entendu, les périphériques, partie chère, sont réduits au minimum : LR, ME, pupitre. Un Fortran de démonstration est même installé.

16 de ces machines à K\$ 15 seront construites, plus encore 8 de la version C, 26 à 37 K\$, annoncée en 10 / 67, qui ressemble de plus en plus à un vrai ordinateur.

Cet exercice se poursuivra avec succès jusqu'en 1 / 70, où est annoncé un minicalculateur de 9 à 13 K\$, qu'il est impossible d'évaluer faute d'une quelconque documentation. Même le bouche à oreille des écoles peut difficilement justifier que 78 de ces machines soient installées en deux ans, ce qui suggère que la machine avait de vrais débouchés industriels.

Ce n'est pas sûr, cependant, car le Comtran 20, construit en 1975, est encore un produit pédagogique. Il y aura aussi, en 1976, l'expérience DE 68 d'une sorte de portable. Cette valise, au format attaché case, contient un clavier 96 caractères, une cassette 100 KB, et une visualisation de 20 caractères, ainsi qu'une option imprimante. Le processeur sur une carte est logé dans le couvercle, avec 1 / 4 / 8 / 32 KB de RAM et 5,5 KB de ROM contenant le système d'exploitation DEBUG, lequel sait faire breakpoint multiple, pas à pas, trace, modification et recherche en mémoire, et usage des périphériques. Prix \$ 3500.

## 209 - Digico

Le Micro 16 de Digico est un calculateur de bureau 16 bits, avec mémoire 4 Kmots et un télétype, proposé pour \$ 9600. Des extensions sont possibles, multiplication et division, mémoire par blocs de 4 Kmots, tambour magnétique de 16 Kmots, bande magnétique.

Il n'est pas étonnant qu'une machine de ce type n'ait pas débouché en 1968, elle était à la fois chère et inconmode. Il faudra quelques années de plus pour le succès d'une opération analogue avec le Nova.

## 210 - Digicomp Research

Cette société d'Ithaca, NY, se manifeste en 1980 en proposant le Pascal 100, un ordinateur complet basé sur le microprocesseur très particulier de Western Digital, le Pascal Microengine. qui est en quelque sorte une machine exécutant directement du langage Pascal, ou plus précisément le langage intermédiaire à pile produit par la première phase du compilateur Pascal UCSD.

Autour d'un bus S100 servant de fond de panier, le rack reçoit deux cartes qui valent ensemble \$ 1495 : le processeur principal Pascal Microengine, et l' IOP Z80. Ces deux processeurs ont séparément une capacité d'adressage de 1 MB et un mapping par pages de 8 KB, mais la machine de base ne comprend que 128 KB, l'extension à 1 MB étant optionnelle.

Le Z80 supporte le système d'exploitation CP/M, et le Microengine traduit et exécute des langages à pile comme Pascal, Algol ou ADA.

La machine précédente n'ayant pas eu beaucoup de succès, soit que le microengine manque de puissance, soit que son architecture effraye les clients, DR propose en 1982 le Delphi 100, une machine à \$ 1995 qui regroupe autour du bus S100 un 68000 à 8 MHz et un Z80A à 4 MHz, avec une même répartition du travail : le 68000 est plus puissant que son prédécesseur et peut faire le même travail avec des apparences plus classiques.

Le système d'exploitation est ROS de Telesoft, et supporte les compilateurs ADA et Pascal de cette société. Prix typique : \$ 10595 pour 256 KB de mémoire, 40 MB de disque, un port parallèle 24 bits, quatre ports série, 16 interruptions vectorisées, une option RTC avec batterie.

Ces deux machines constituaient des propositions cohérentes qui auraient du au minimum séduire les universitaires. Elles n'ont guère eu de succès.

Reste le rapprochement, qui ne peut être fortuit, entre Digicom Research et Cromemco, deux sociétés qui proposent, à la même époque, des machines groupant 68000 et Z80 sur un bus S100. Les objectifs des deux compagnies sont si différents qu'on ne peut trouver de convergence d'intérêt entre elles ; je pense que Cromemco, à la recherche d'un processeur pour passer à 16 bits, et très gêné par son bus S100, s'est simplement trouvé conforté par l'expérience de Digicom qui faisait ce mariage bizarre, et s'en est inspiré.

### 211 - Microterm II de Digilog Systems, Inc.

La machine ici décrite est un minicalcateur de gestion, construit sur la base d'un accord germano/américain : la compagnie américaine, installée à Hosham, Pa, construit la machine qui utilise deux floppies produits par une filiale américaine de BASF ; moyennant quoi BASF commande pour vente en Europe une première tranche de machines pour un montant de M\$ 8 sur 18 mois.

La machine, qui rappelle la 5100 d'IBM, comprend deux Z80, un pour les calculs et un pour les accès. La mémoire peut s'étendre de 48 à 64 KB, mais il faut savoir que le système, qui semble se résumer à un Business Basic, occupe à lui seul 42 KB. Les périphériques sont légers : un écran 24 \* 80 de 12", deux floppies 6106 de seulement 98 KB, deux sorties série selon avis V24 (= RS232C), une ME 60 à 120 cps. Le prix de vente en Europe de cette machine plutôt modeste est 19800 DM en 48 KB.

### 212 - Digimetric 6015

Il s'agit d'un minicalcateur 8 bits destiné à l'OEM, qui comprend pour \$ 5000 un châssis 16 slots, un microprocesseur Motorola 6800 avec 32 KB de RAM statique, une horloge RTC, une paire d'interruptions autorestart, un jeu d'interruptions vectorisées. Le système d'exploitation DEMON et le bootstrap sont sur ROM.

### 213 - Digicom de Diginamics

Pour \$ 20000, c'est un calcateur de process control installé dans un rack standard, dont la mémoire est un disque de 2048 mots de 24 bits + S en complément. Cette machine série fait l'addition en 78 µs. Ses périphériques sont un lecteur de bande perforée lent pour le service, une ME Selectric, un panneau de commande et contrôle.

### 214 - Digital Communication Association

Cette petite association édifie des commutateurs à partir de machines économiques du commerce, telles que le PDP 8 ou le LSI 11:

Le DCA 250 / 10 est la machine originale, datant de 7 / 73. Elle prévoit la possibilité d'expédier les communications collectées vers trois hôtes distincts, ce qui finalement ne sera jamais demandé. En conséquence, on passe au ...

.... DCA 150, qui utilise un PDP 8 à mémoire 32 Kmots, cycle 1,5  $\mu$ s, pour gérer jusqu'à 128 lignes asynchrones jusqu'à 1800 bauds, et un maximum de 24 lignes synchrones jusqu'à 9600 bauds. Les protocoles sont BSC, ou 2741 / 3767, et l' hôte unique peut être n'importe quel constructeur. Prix \$ 9900.

Un adaptateur 205 / 11 à base de LSI 11, capable de 17 Kbauds, permet la liaison avec un UNIBUS.

Le DCA 130 est la même machine , réduite à 8 Kmots et \$ 5900 par la suppression des lignes synchrones et du protocole BSC, en 6 / 75 .

Il semble que la réussite technique de ces produits ait décidé l'association à se transformer en société, car les produits suivants sont ceux d'une corporation :

Le CP 9000 de 7 / 77 reprend la même ambition modeste avec un microprocesseur qui est probablement un Intel, puisque la mémoire est 512 K \* 8 bits, avec un cycle de 500 ns. Destiné à des hôtes PDP 11, Prime ou HP 21, il peut desservir jusqu'à 480 lignes en 9600 bauds ou 60 à des débits supérieurs.

Le logiciel EX 9000 contient tous protocoles y compris X25. Plus de 150 de ces petits systèmes ont été produits et vendus.

Le CP 9100 de 8 / 79 est le même système, réduit à 64 KB parce que limité aux besoins d'un PDP 11. Il est capable de 2 lignes vers l'hôte dont une réserve, et de 32 lignes jusqu'à 9600 bauds pour la collecte.

## 215 - Digital Equipment

La Digital Equipment Corporation de Ken Olsen s'est installée en 1956 dans un ancien moulin à eau de Maynard, Mass, avec une petite équipe d'ingénieurs en provenance du Lincoln Laboratory, équipe qui avait participé à la construction des calculateurs Whirlwind, MTC, TX0 et TX2.

Le premier usage qu'ils firent de leur compétence fut de construire et de commercialiser un meccano logique de Digital Laboratory Modules travaillant à 5 MHz (1957), restructurés ensuite en Digital Systems Modules de moindre valeur pédagogique peut-être, mais d'un usage plus facile comme composants. Puis, bien vite, ils décidèrent d'employer ces modules pour produire de petites machines (à l'époque, un ou deux racks d'équipement) destinées aux besoins des laboratoires, les PDP 1 et 4 à mots de 18 bits. Ces machines simples, vendues pratiquement sans logiciel, autorisaient des bricolages et offraient une souplesse qu'aucun grand système n'aurait permis. En outre, elles ne coûtaient pas cher.

DEC, conforté par ce modeste démarrage, décide de suivre deux filières:

a) une filière 12 bits, amorcée par le PDP 5, et qui atteint à la maturité avec le PDP 8. A partir de ce modèle (5 / 65), on assure la continuité de la clientèle en gardant le nom, et celle du logiciel qui se constitue progressivement en réalisant des modèles successifs compatibles.

Après un PDP 8 à transistors tenant dans six unités de rack, le PDP 8 I à circuits intégrés n'en occupe plus que trois, puis ce sont, au rythme des progrès techniques et des nouveaux débouchés, des modèles F, S, E, L, A, M. L'abandon n'interviendra qu'en 1984, après construction de près de 90000 exemplaires, au prix moyen final de \$ 15000 ; on pouvait acheter une unité centrale pour moins de \$ 4000.

b) une filière 18 bits, parce que 18 est la moitié de 36, la longueur usuelle du mot dans les machines scientifiques de l'époque. Le PDP 7, puis le PDP 9 sont des succès, mais la carrière de cette série prend fin brusquement lorsque se confirme le succès des IBM 360, qui sont des machines 32 bits.

DEC n'abandonnera pas tout de suite les 18 bits et sortira encore un PDP 15, mais l'élan est cassé. Vers 1980, il ne reste plus que quelques-unes des 1500 machines produites, qui n'étaient d'ailleurs pas tout à fait des minis.

En 1970, DEC est déjà bien lancé par le succès des PDP 8, et peut se permettre de prendre un virage, puisque aussi bien le PDP 8 assure la continuité. La société annonce alors sa filière 16 bits, sous le nom de PDP 11. Le succès va être beaucoup plus grand encore, car l'éventail des applications est plus ouvert que celui des 8 bits. En une vingtaine d'années, environ 300000 PDP 11 auront été produits, que l'on peut classer en quatre catégories, caractérisées par une compatibilité ascendante:

a) des petites machines essentiellement vendues en OEM, ne cessant de diminuer en taille et en prix à partir du PDP 11 / 20 initial, en passant par les modèles 15, 10, 05, 04 monocarte. Ce sont ces machines que vont copier des sociétés comme Digital Computer Control. Production estimée : 50000.

b) des minis polyvalents, essentiellement destinés aux applications temps réel, mais qui seront largement utilisés aussi pour construire des petites machines de gestion. On peut estimer à 56000 le nombre de ces PDP 11 / 40, 35, 34 qui se sont progressivement dotés d'un logiciel étoffé : on pouvait avoir un ordinateur complet pour \$ 40000. La société Northrop a même réalisé une version militarisée du 34.

c) une version scientifique, le PDP 11 / 45, dont le succès universitaire sera considérablement renforcé par le système UNIX, créé pour lui par un chercheur des Bell Labs et diffusé gratuitement partout. Des variantes spécialisées comme la 50 ou la 55 pourront rivaliser en performance Fortran avec des machines IBM beaucoup plus grosses comme la 158. 6000 machines ont été produites .

Cette machine donnera lieu à des rajeunissements technologiques (PDP 11 / 60, 2200 machines à partir de 1977, puis 44, 13500 machines à partir de 1980) et à des développements universels (PDP 11 / 70, 12000 construites dont une version militarisée).

d) à partir de 1975, il existe un PDP 11 intégré sur deux puces, puis sur une seule : le LSI 11 dans ses diverses variantes sera finalement produit à plus de 250 000 exemplaires, et remplacera progressivement tous les autres dans les applications industrielles, mais aussi OEM (11 / 03), personnelles (11 / 23), scientifiques (11 / 73), etc...

Le succès remporté par ses minis situe DEC loin devant tous ses concurrents et le place en position de référence, ce qui l'a fait surnommer l' "IBM du mini". DEC joue ce rôle en créant une gamme complète de minipériphériques, en assortissant les PDP 11 d'un logiciel très complet, en n'écrasant pas les prix malgré les copieurs, et en faisant de bons bénéfices qui lui permettent de soutenir une croissance de 30% par an. La production 1981 de DEC dépasse 70000 machines, soit 40% du total des constructeurs de minis.

Pour compléter ce succès enviable, DEC a également abordé, en 1964, avec prudence pour ne pas exciter IBM, le problème de l'ordinateur universel en créant le PDP 6, modernisé ensuite en PDP 10 à circuits intégrés. Cette machine a quelque temps cherché sa voie, puis effectué une percée dans le domaine du temps partagé. DEC n'a plus besoin de s'occuper du logiciel de cette gamme, car des systèmes d'exploitation raffinés ont été produits par des universités, ou par des sociétés comme BBN vivant principalement de crédits militaires, et ils ont été largement diffusés.

Vers 1982 il existe plus de 1400 machines de cette gamme, qui comprend cinq unités centrales différentes et une dizaine de configurations mono ou biprocesseur.

La croissance continue de DEC amène son chiffre d'affaires, en 1981, à la deuxième position des constructeurs, juste derrière IBM, ce qui nous donne l'occasion d'une récapitulation :

année	CA M\$	Bénéfice M\$	Effectif	Parc (nb)	Production (nb)
1960	1		< 100	3	2
1967	48,8			1533	
1968	57			3298	
1969	91			4707	
1970	135	14,4		7918	
1971	146	10,6		16079	
1972	216				
1973	332	23			
1974	422	44		32659	
1975	534	46			
1976	736	73	22000	81659	19500
1977	1059	109	36000	118455	30000
1978	1437	142	40000	165955	
1979	2032	208	49000	220955	50000
1980	2743	277	60000	294755	77560
1981	3587	319	63000		76840
1982	4018	347	68000		83590
1983	4827	262	78500	448842	

Il ne faut pas se laisser impressionner par le nombre des calculateurs du parc DEC : il est du même ordre de grandeur que celui d'IBM, pour un chiffre d'affaires 8 fois plus faible. C'est tout simplement qu'il s'agit principalement de minis.

N'ayant plus besoin de se préoccuper des réactions d'IBM, DEC entreprend, en 1978, d'attaquer le marché mal défini des mégaminis 32 bits, en définissant l'architecture VAX, qui apparaît comme une extrapolation soignée du PDP 11 / 45, avec tous les dispositifs des grands : mémoire virtuelle, caches, aide incorporée à la maintenance. Le VAX, qui dévient rapidement vers les applications de gestion avancée, obtient un succès honorable dans ses diverses versions dont les annonces se succèdent de plus en plus rapidement, pour cause d'accélération du progrès des composants.

Cependant, DEC ne peut éviter de constater que ces VAX, qui mobilisent une part importante de ses efforts de recherche, sont dépassés en rapport performance / prix par un nombre croissant de concurrents, de sorte que leur réussite est pour une large part due à l'effet de notoriété. Vient une crise, et le public pourrait bien s'aviser que DEC, qui maintient ses clients prisonniers par ses logiciels propriétaires comme le système d'exploitation VMS, n'est plus tout à fait compétitif.

Néanmoins, rien d'aussi brutal ne se produisit, et DEC eut le temps de faire évoluer sa gamme vers les stations de travail et les PC, et d'amorcer l'étude fondamentale d'un microprocesseur à la hauteur de ses besoins, le futur Alpha. Malgré l'importance du changement d'orientation, la croissance continua sur son élan, et il fallut dix ans pour arriver aux vrais problèmes. Le tableau suivant montre ce tournant :

	Année	CA M\$	Bénéfice M\$	Effectif
	1985	6686	447	80000
	1986	7590	617	
	1987	9389	1137	
	1988	11475	1306	
	1989	12742	1073	
	1990	12943	74,3	
	1991	13911	- 617,4	
	1992	13931	- 2795	
	1993	14371	- 251,3	92000
	1994	13451	- 2156	
	1995	13813	100 *70000	
	1996			
* estimation	1997	13000*	141	54400

L'analyse des causes de cette catastrophe, qui provoqua en octobre 92 le départ de Ken Olsen et son remplacement par Robert Palmer, met d'abord en évidence une organisation défectueuse et des effectifs disproportionnés, mais surtout une conception trop autoritaire de la relation entreprise / client : habituée par des années de succès à imposer ses modèles de machines et de logiciels, DEC a longuement ignoré la microinformatique, préféré les architectures CISC traditionnelles comme le VAX aux nouveautés RISC, refusé l'ouverture UNIX au profit d'un VMS extrêmement rentable. En outre, pour se simplifier l'existence, les responsables commerciaux ont privilégié la clientèle de 450 très grands comptes et rejeté clients individuels et PME vers des sociétés de service dont nous avons rencontré de nombreux exemplaires dans le présent fichier.

Acceptable dans une période d'expansion, cette attitude était dangereuse lorsque la compétition se resserrait par augmentation du nombre des concurrents et réduction des possibilités de choix techniques. Palmer s'est donc efforcé de réaliser, effectivement et vite, des transformations décidées avant lui mais que personne dans l'entreprise n'était pressé de voir aboutir :

- ouverture de VMS sur les normes logicielles avec Open VMS, un système d'exploitation pour les moyens systèmes qui préserve les habitudes tout en permettant les communications avec le reste du monde. Au 1/1/94, 1982 applications, DEC pour l'essentiel, ont été converties à Open VMS.

- alternative UNIX OSF/1 pour ces mêmes systèmes, non seulement chaque fois que le client le souhaite, mais avec une orientation délibérée pour les environnements techniques et les bases de données. Au 1 / 1 / 94, 2041 applications, DEC et non DEC, ont été converties pour OSF/1 64 bits.

- introduction de Windows NT comme logiciel de serveurs, pour ne pas perdre le contact avec le monde PC, dont il va falloir abandonner la partie basse, étrangère à la culture d'entreprise DEC et très mal prise en compte au début des années 90. Partie en retard, la conversion d'applications DEC pour Windows NT porte au 1 / 1 / 94 sur 688 cas. 700 autres sont en cours.

- accélération de l'introduction des machines à base d'Alpha, la puce RISC maison : cette décision était bien engagée, mais sa portée future sans doute mal appréciée au sein même de la société. Palmer décide donc que la gamme Alpha doit s'établir au plus haut niveau de performances et s'y maintenir par la prise en compte de tous les progrès techniques, que les applications doivent se développer dans toutes les directions où la puissance du produit le justifie, et estime qu'une politique de licences devrait l'amener à une place sur le marché comparable à celle des Pentium et des PowerPC.

Le tableau montre que non seulement la compagnie accumulait d'énormes dettes, mais que le CA avait commencé à baisser, ce qui signifie des pertes de parts de marché qui ne pourront pas être regagnées, pour les raisons psychologiques indiquées plus haut. Aussi le travail de Palmer dut il aller bien plus loin qu'il ne le souhaitait dans son plan à deux ans de 1993 : il fallut licencier lourdement, aux USA comme en Europe, réduire de 35 à 10 le nombre des implantations de production, et vendre des activités : la base de données RDB à Oracle, les disques à Quantum, la distribution de logiciels micro, la formation et les PC grand public. Pour illustrer cette évolution, on peut indiquer que les VAX (hors services) ont représenté 1350 M\$ en 1994 et seulement 750 M\$ en 1995, alors que la part d'Alpha dans le chiffre d'affaires est passée de 3% en 1994 à 22% en 1995 et, estime-t-on, à 48% en 1996 (services inclus).

Bien que la remontée de DEC en 1995 soit encourageante, elle n'était pas suffisante sans doute, à en juger par les CA des années suivantes. DEC dut se résigner à vendre à Intel (qui revendra une partie des droits à Samsung) son usine de production d'Alpha, moyennant des accords précis sur les fournitures de ce produit dont elle reste le client principal, puis finalement accepter, en janvier 98, une vente "par appartements" : Microsoft achètera le logiciel VMS, tandis que Compaq paiera 9,6 B\$ pour la clientèle, la production, et l'Unix 64 bits. Au moment où se ferme ce catalogue, il est difficile de prédire l'avenir de cette fusion, car elle n'apparaît pas comme consolidée dans la presse technique, où les produits DEC, essentiellement des serveurs et des stations de travail Alpha, continuent à être traités séparément des PC de Compaq.

La culture d'entreprise de DEC privilégie le métier d'ingénieur, et c'est bien de cela que la société est morte, car une société commerciale n'existe que pour vendre et doit donc donner la primauté au marketing. La plus remarquable manifestation de cet état d'esprit est la publication par Digital Equipment, en 1978, au profit de ses personnels et de ses clients, du livre suivant :

Computer Engineering : a DEC view of hardware systems design, par C. Gordon Bell, J. Craig Mudge et John E. McNamara, avec préface de Kenneth H. Olsen, 585 pages, 73 photos, 119 références.

Il comporte une réflexion préalable approfondie sur la construction d'ordinateurs, puis une présentation ordonnée, sélective mais riche de schémas et d'expérience, de l'histoire technique des ordinateurs DEC de la première période, depuis des expériences individuelles dans l'univers formateur du Lincoln Laboratory jusqu'à la réalisation des premiers VAX. Nous y ferons de constantes références, et il nous est apparu nécessaire de le joindre à la documentation sous la rubrique 200.

## 216 - Alpha de DEC

Dès 1988, on savait chez DEC que l'architecture VAX était dépassée, et qu'il fallait passer à une architecture 64 bits pour des raisons d'adressage. Le choix était entre une extension compatible et une architecture radicalement nouvelle. Estimant que la miniaturisation allait changer les moeurs des clients et les éloigner de toute programmation, et que l'architecture VAX était déjà trop compliquée pour qu'on en tire une extension maniable, DEC fit le choix de la nouveauté, mais dans un environnement tout à fait contraignant : la nouvelle architecture, baptisée AXP, prévue pour durer 25 ans, devait être compatible avec le système d'exploitation propriétaire VMS, et aussi avec l'ouverture sur UNIX, et cela sans faire intervenir des acrobaties structurelles qui limiteraient Alpha à la seule société Digital.

L'architecture AXP est décrite dans la fiche consacrée à la première puce Alpha, baptisée EV4 pour indiquer son processus de fabrication, le 4ème de l'histoire interne des CMOS DEC, ou encore 21064 dans le style de numérotage des puces Intel. C'est une architecture RISC "pure et dure", dont toutes les opérations tiennent dans 32 bits alignés au sein d'une mémoire à base de "quadwords" de 64 bits, et s'exécutent au rythme soutenu d'une instruction par clock pulse (CP) : la description ci-dessus mentionnée justifie ces choix et quelques autres, qui feront automatiquement des puces Alpha les plus rapides du marché à technologie donnée, sous la réserve essentielle d'un compilateur spécialement écrit pour soutenir cet objectif. Cette description est un résumé du document complet qui figure dans la boîte d'archives 22.

Le lancement de l'architecture AXP dans la communauté DEC, avant son introduction sur le marché, représentait une telle révolution qu'il fallut prévoir une procédure spéciale : un puissant équipement de pédagogie et de test, l'ADU (Alpha Demonstration Unit), composé d'un Alpha de première génération et d'une console 5000 de la génération précédente à base de 68000, a été réalisé en une quarantaine d'exemplaires et distribué à travers le monde à tous les organismes DEC de diffusion, à charge pour eux de se convaincre eux-mêmes, puis d'organiser la conviction de leurs clients.

Le premier microprocesseur conforme à cette architecture, le 21064, a été annoncé le 25 février 1992, et réalisé en CMOS 4, un processus déjà ancien avec une géométrie de 0.75  $\mu$ . Il a équipé les ADU et toute la première année de production des stations Alpha, soit 27000 sur un total de 65000 vendues par DEC en 1993. Par parenthèse, ces chiffres placent DEC au 5ème rang en valeur parmi les ventes de cette année-là, avec 855 M\$ (-7,5%) sur 10300 M\$ : il était clairement temps de réagir.

Le 21064A produit selon le processus CMOS 5 (grille 0,5  $\mu$  et 4 couches métalliques) est annoncé le 18 octobre 1993. Profitant du quadruplement possible du nombre de transistors, il dispose de caches agrandis mais reste pour l'essentiel conforme à son prédécesseur. Il travaille entre 100 (station 200) et 190 MHz (serveur 2100).

Le 21066 est une version moins performante, ciblée pour les PC et les stations de travail bas de gamme, annoncée le 10 septembre 1993. Construit d'abord selon le processus CMOS 4, il était alors présenté dans un boîtier à 309 bornes disposées 22 \* 22, et dissipant 21 watts, ce qui exigeait des ailettes de refroidissement. Alimentation 3,3 volts.

Le passage rapide au CMOS 4s (grille 0,65  $\mu$  et 3 couches métal) a allégé cette contrainte et augmenté le rendement de fabrication en réduisant la taille de la puce : il loge maintenant ses 1,75 Mtransistors sur une puce de 12,3 \* 17 mm, présentée en boîtier fakir à 287 broches. La performance inchangée est 70 Specint92 et 105 Specfp à 166 MHz. Outre l'architecture AXP, ce circuit contient un contrôleur de bus compatible PCI, un accélérateur graphique et une horloge à verrouillage de phase synchronisée par une source externe économique.

Les économies par rapport au 21064 proviennent d'un bus de données 64 bits au lieu de 128, du multiplexage du bus d'adresse sur le précédent, de la réduction de 29 à 16 bits du bus de commande, et de la simplification des interruptions.

En 2 / 96, on apprend que le 21066 se trouve au coeur d'une station de Tadpole Technology, et qu'il tourne à 233 MHz. Cette performance étant inaccessible au CMOS 4s, on doit admettre qu'à cette époque, DEC a mis en service sa chaîne CMOS 5LC (grille 0,5  $\mu$  et 3 couches métal), sinon plus.

Le 21068 est pratiquement le même circuit, destiné aux portables et au contrôle dédié, et annoncé en même temps que le précédent. Limité initialement à 66 MHz, il ne consomme que 8,5 watts en 3,3 volts, délivrant 30 Specint92 et 50 Specfp92. Mais, en fin 94, on le trouve dans un portable qui fonctionne à 166 MHz, très probablement réalisé en CMOS 5LC.

Le 21164 est une nouvelle machine, annoncée le 7 septembre 1994, et produite d'emblée en CMOS 5 (grille 0,5  $\mu$  et 4 couches métal). Il tourne à 266 MHz et contient 9,3 Mtransistors, pour être capable de 4 instructions par CP. Ce premier modèle, livrable en janvier 95, est vendu 1865 \$ et peut délivrer 290 Specint92, 440 Specfp92. Le bus interne débite 2,4 GB / s.

Bien que nous disposions d'un manuel du fournisseur, il faut répéter ici les motifs de cette remarquable performance : un cache de 2ème niveau de 96 KB sur la puce ainsi que deux caches I et D de 8 KB, un pipeline à 4 étages dans la I unit, deux FXU simultanés à 3 étages, et un FPU en deux pipelines simultanés de 5 étages chacun, pour addition et multiplication, enfin deux jeux de registres GPR et FPR.

Deux mois plus tard suivra la version 300 MHz, 2669 \$, estimée 300 / 500 Spec92. En 2 / 96, la station 600.5 fonctionnera à 333 MHz.

DEC fournit en même temps une gamme de composants PCI (un chipset) et une interface mémoire 256 bits avec ECC pour les gros serveurs.

En novembre 95, on annonce le 21164A réalisé en 0,35  $\mu$ , et qui serait capable de 500 / 700 Specint92, mais les améliorations ne viennent pas, semble-t'il, d'un changement de structure, seulement d'une amélioration du compilateur : on s'approche davantage du maximum théorique de 4 instructions lancées à chaque CP. Les mesures conduites en 3 / 96 sur un 21164A à 466 MHz indiquent 582 / 763 Spec92, ou dans la nouvelle méthode 12 / 18 Spec95.

A la fin de 1996 on commence à parler de la puce suivante, qualifiée d'EV6, ce qui est une erreur d'interprétation : cela signifie seulement que la réalisation de cette puce se fera d'abord dans le process CMOS 6 à géométrie 0,35  $\mu$ , 6 couches métal, qui fonctionne en fait depuis quelques mois. A l'ISSCC 97, DEC présente l'état de ses recherches, une puce Alpha à 600 MHz, qui consomme 72 watts sous 2 volts, ce qui est difficile à utiliser commercialement mais permet d'apprécier la technologie.

Moins hasardeux, un microprocesseur 550 MHz à 3,5 Mtransistors (dont un cache 16 KB pour les instructions et un cache 8 KB pour les données), 8,6 \* 16,1 mm<sup>2</sup> en CMOS 0,35  $\mu$ , englobant des instructions multimédia dans le style de MMX, consomme 32 watts sous 2,5 volts. Il a été développé en seulement 12 mois. Voir fiche Alpha pour une photo.

Quelque part dans la ligne de ces deux expériences, le 21264 en CMOS 6 est annoncé officiellement en janvier 98 pour sortir en série en juin. Il travaille à 600 MHz, englobe le jeu d'instructions MVI pour le multimédia, communique à 2,3 GB / s avec la mémoire externe, et peut prendre en compte jusqu'à 6 instructions par CP.

Le passage de DEC sous le contrôle de Compaq, à cette même date, va retarder quelque peu les lancements de produits dérivés. On apprend finalement que Compaq a choisi de soutenir le produit, dans le cadre d'une alliance avec Samsung Electronics qui y consacre une filiale Alpha Processor, Inc.

Le 21264 révisé est une puce de 3,14 cm<sup>2</sup>, contenant 15,2 millions de transistors, et fonctionnant à 750 MHz. Alimentée entre 2,1 et 2,3 volts, elle consomme 80 watts, ce qui exige la définition d'une carte mère spécifique UP200 avec un socle Slot B ; le chipset est étudié par AMD.

Son organisation superscalaire comprend quatre unités d'exécution en nombres entiers et deux en flottant, avec deux caches de 64 KB pour les instructions et les données. Bien qu'on puisse imaginer d'exécuter 6 instructions par CP, l'objectif du constructeur et du compilateur est de 4, et le pipeline d'entrée est conçu pour soutenir ce rythme, l'exécution pouvant se faire dans le désordre. La performance estimée est 40/60 Spec95 à 600 MHz.

L'extrapolation de cette puce par simple compression photographique a été faite dans une interview de 3/98, soit 850 MHz à 0,28  $\mu$  fin 98, 1 GHz en 0,22  $\mu$  fin 99, 1,7 GHz en 0,18  $\mu$  en 2001. Mais ce genre de prédiction n'a aucune chance de se réaliser.

Beaucoup plus plausibles sont les prévisions d'une autre interview qui se base sur l'observation des cycles de production plutôt que sur le travail de laboratoire :

- apparition du CMOS 7 en fin 98 avec une géométrie 0,25  $\mu$ , et une puce 750 MHz à 40 Mtransistors.

- apparition du CMOS 8 en 2001 avec une géométrie 0,18  $\mu$ , et une puce 1000 MHz à 100 Mtransistors.

Ce sont là des objectifs qu'on est certain de tenir si on le désire vraiment, mais désormais il faut prendre en compte les besoins et les envies du concurrent / collaborateur Samsung, une situation qui n'est pas sans rappeler la relation IBM / Motorola autour du PowerPC.

Ayant ainsi présenté le calendrier et les possibilités des Alpha, il reste à examiner ce que DEC en a fait. Malheureusement ce panorama est édifié seulement sur des extraits de presse, et pas très complets ni systématiques. On ne peut donc donner de ce problème, essentiel pour comprendre le destin de DEC, qu'une vue fragmentaire. Il semble clair, en tous cas, que de 93, date d'apparition des Alpha dans des stations, à 98, date d'absorption de DEC par Compaq, la transition n'a jamais été complète ; il a subsisté dans l'offre DEC des stations et des serveurs basés sur autre chose. On peut citer à ce sujet :

1990 : DECstation 3000/100, Station de travail à base de Mips R2000 CPU + R2010 FPU synchronisée à 16,66 MHz = 60 ns / cycle. Soumise au benchmark de Livermore, elle a donné 1,84 MFlops sur l'ensemble des 24 problèmes scalaires, et 2,35 MFlops sur l'ensemble de 13 problèmes vectorisés.

DECstation 5000/120, station de travail à base de Mips R3000 A à 20 ou 25 MHz, voir fiche.

DECmpp 12000, station de travail par laquelle DEC apporte son soutien au constructeur Masspar de calculateurs parallèles. Plutôt qu'une adhésion profonde, il s'agit d'un soutien psychologique, mais il a été efficace, au moins en France : une machine a été placée à un Institut de Recherche de Lyon.

Cette machine est en effet le couplage d'une console DECstation 5000 avec un MP 1, à choisir parmi huit configurations de 1024 à 65536 processeurs. La mémoire peut monter à 1 GB et la puissance théorique à 1,2 GFlops, et le système peut s'associer une grappe de 24 disques de 740 MB, 9 MB/s. Prix 1,8 à 12,2 MFF.

5/93 : première apparition d'un compatible PC à base d'Alpha 21064 à 150 MHz = 85/127 Spec92.

Il est prévu de le faire suivre d'autres modèles à 100, 130 et 200 MHz.

Il s'agit d'une petite tour d'aspect standard, contenant 16 à 128 MB de DRAM en barrettes SIMM, avec un cache secondaire de 512 KB. Disque 245 ou 426 MB, extensible en interne jusqu'à 4,2 GB.

Six connecteurs EISA supportent un adaptateur SCSI autorisant 7 périphériques, une carte Ethernet, une carte vidéo pour moniteurs 14, 17 ou 19".

Logiciel Windows NT avec options VMS et OSF/1.

Prix : 45000 à 75000 FHT.

10/93 : Annonce majeure du virage vers Alpha, illustrée par une photo de groupe, dont nous extrayons quelques composantes, distinguées par le suffixe AXP. Voir fiche.

DECstation 3000.600 AXP à 133700 FHT et .800 AXP à 251200 FFHT.

Existents aussi en serveurs avec plus de disque et pas d'écran.

DEC 2000/300 AXP est un serveur d'entrée à 82410 FHT, pouvant utiliser les trois systèmes maison : mesuré 110 TPS en VMS sur BD Oracle, 94 TPS en OSF/1.

DEC 4000/700 AXP est un serveur pouvant contenir 1 ou 2 Alpha, à partir de 527600 FHT.

DEC 7000/AXP est un gros serveur comprenant de 1 à 6 Alpha, à partir de 1020 KFHT.

- 5 / 94 : DEC 2100 A 500 MP inaugure une évolution vers le bus PCI, offrant 3 slots PCI d'extension à côté de 9 slots EISA. Il peut comporter 1 à 4 CPU Alpha à 190 MHz autour d'un bus système de 667 MB/s, et soutenir 265 à 662 TPS selon cette composition. Mémoire jusqu'à 2 GB., disques de 32 GB à 20 TB. Prix : 270 KF en 128 MB.  
Logiciel : supporte les trois systèmes VMS, OSF/1 et Windows NT. Assure une sauvegarde complètement automatique, et une gestion de fichiers très améliorée.  
Nouvelle politique : maintenance sur site garantie pendant 3 ans.
- 10 / 94 : Annonce d'un DEC 3000 / 900, 260 MHz, 189 / 264 Spec92, \$ 43373. Cette station de travail exceptionnelle existe aussi en version serveur.
- 11 / 94 : Généralisation de la nouvelle politique : tous les systèmes AXP sont livrés avec trois ans de garantie, tout sur site pour les serveurs, un an sur site pour les stations. Tous les matériels possèdent des connecteurs PCI, un contrôleur SCSI avec des possibilités d'organisation RAID et de remplacement des disques sous tension, le choix du système parmi trois. Les serveurs disposent de fonctions de redémarrage et reconfiguration automatique, peuvent être testés et configurés à distance.  
L'opinion de la presse informatique est radicale : toute cette offre présente un rapport performance / prix inégalé. Commentons quelques modèles non encore cités :  
Alphastation 200, 166 MHz = 134,8 / 170,7 Spec92, et 93,8 au test Linpack 1000 \* 1000.  
Mémoire 16 à 192 MB, disques 340 à 3150 MB, prix 49000 FHT. Voir photo.  
Alphastation 200, 233 MHz = 157,7 / 183,9 Spec92, et 122 au test Linpack. Mémoire 32 à 192 MB, disques 1 à 3,15 GB. Prix 82000 FHT en présentation desktop.  
Alphastation 400, tout semblable sauf un maximum de 8,4 GB de disques, et une présentation tour, pour un prix de 88000 FHT.  
Alphaserver 1000, 200 MHz = 135,8 / 177 Spec92, et 147,4 au test Linpack. 285 TPS.  
Mémoire 64 à 512 MB, disques 2 à 14 GB, prix 112000 FHT.  
Alphaserver 2000, 190 MHz = 126,7 / 161 Spec92, 1 ou 2 CPU. 208,6 au test Linpack, 260 à 400 TPS. Mémoire 64 à 640 MB, disques 2 à 16 GB, prix 126500 FHT.  
Alphaserver 2100, 275 MHz = 200 / 291 Spec92, 1 à 4 CPU. 204,8 à 642,7 au test Linpack, 300 à 850 TPS. Mémoire 128 à 2000 MB, disques 1 à 32 GB.  
Prix 233000 FHT + 48000 F par CPU supplémentaire.
- 2 / 95 : Extensions vers le bas de gamme:  
Alphastation 200 / 4 à base de 21064 à 100 MHz, 74,6 / 95,2 Spec92, mémoire 16 à 192 MB, disques 340 MB à 30 GB, 3 slots PCI. Prix : 36000 FHT avec écran et Windows NT, 44000 FHT avec UNIX ou Open VMS, 32 MB mémoire, 1 GB disque.  
Alphastation 400 / 4 à base de 21064 à 166 MHz, 100 TPS, 65000 FHT en Windows NT ou 70000 FHT en Unix.
- 4 / 95 : Apparition du 21164 dans une nouvelle famille de serveurs, qui accepte la BD Oracle V7 en 64 bits de large. Ces serveurs peuvent se grouper en clusters, jusqu'à 4.  
Alphaserver 8000 monoposte est 336 / 507 Spec92, avec 14 GB de mémoire, 10 TB de disques, et un bus externe à 1,2 GB/s.  
Alphaserver 8200 jusqu'à 6 CPU, mémoire jusqu'à 6 GB. Prix 740 KFHT pour un CPU avec 128 MB de mémoire et 160 GB de disques.  
Alphaserver 8400 jusqu'à 12 CPU commence à 1,5 MHT. Performance 3000 TPS avec 12 CPU.
- 5 / 95 : les Multia sont des PC utilisables comme terminaux, et comme terminaux X de réseaux Unix. Ils peuvent accéder simultanément aux applications Windows et Windows NT, et aux applications Unix ou compatibles 3270. Ils constituent une gamme de six produits dont on cite deux exemples:  
Multia 166 avec cache jusqu'à 1 MB et disque SCSI 528 MB, 23360 FHT.  
Multia 233 sous Windows NT 3.5, avec disque 528 MB, 27260 FHT. Photo.
- 11 / 95: Bilan des ventes Alpha, de l'ordre de 200000 systèmes, dont 50% fonctionnent sous Open VMS, 40% sous Unix et 10% sous Windows NT.  
Cet UNIX que DEC a eu quelques difficultés à mettre au point, dans le désordre des compétitions et la quasi disparition de l'OSF/1 adopté initialement, est un vrai 64 bits développé par DEC autour du noyau Mach 2.5 de Carnegie Mellon, lui-même basé sur Unix V

avec des composants de BSD 4.3 et 4.4. Il accepte le multiprocessing symétrique en temps réel, et la dernière version 3.2C n'exige plus que 24 MB.

8/3/96 : annonce des essais en station d'un 21164A à 466 MHz, 12/18 Spec95 ou 582/763 Spec92.

A cette occasion, DEC renouvelle sa gamme de stations de travail, comme suit :

Alphastation 200/100 supprimée.

Alphastation 200/166 prend sa place à 27000 FHT.

Nouvelle famille 255, à base de 21164, deux modèles 255/233 = 3,8/5,09 Spec95 à 46000 FHT, et 255/300 = 4,5/5,7 Spec95 à 88000 FHT.

Nouvelle famille 500, à base de 21164A, trois modèles 266, 333, 400 MHz, disponibles en 6/96 pour 125 à 260 KFHT. Le modèle 400 MHz est 11,7/15,9 Spec95 ou 500/650 Spec92.

A l'automne sera disponible l'Alphastation 600.5/333, en deux versions 21164 et 21164A.

Cette dernière (421/545 Spec92) est proposée à 230000 FHT avec l'accélérateur graphique ZLXp-E1, 128 MB de mémoire et 2 GB de disque.

Une variante à 266 MHz coûte 200000 FHT.

4/96 : Digital, qui pratique de longue date la "clusterisation" avec les VAX, c'est-à-dire l'interconnexion coopérative de machines pas nécessairement identiques par le jeu d'un réseau local très rapide et de très courte portée, annonce le Trucluster fonctionnant sous Unix. tout en rappelant qu'ils ont déjà, avec des technologies moins raffinées, 35000 machines en cluster sous VMS et 10000 sous Unix.

Le nouveau Trucluster est une communication de mémoire à mémoire à travers le bus PCI à 132 MB/s et un adaptateur Memory Channel à 22500 FHT. Voir fiche.

2/98 : au moment où DEC passe sous le contrôle de Compaq, il existe encore dans les catalogues une série Prioris de 7 serveurs s'étalant du monoPentium II à 233 MHz au quadriprocesseur PentiumPro à 200 MHz. Il est probable qu'il s'agit de produits Compaq, car on sait que cette société achète précisément DEC pour ses serveurs, et qu'on ne voit d'autre part aucune raison sérieuse pour que DEC ait conservé ces produits en catalogue en compétition avec ses Alpha.

La prise en main par Compaq laisse subsister au départ l'ensemble de la gamme Alpha, mais change les prix. Par exemple, le catalogue contient désormais un Alphaserver DS10 à base de processeur Alpha 21264A à 466 MHz : il est vendu pour 48320 FHT seulement, avec le système Tru64 !

A la même époque, DEC établit un partenariat avec Microsoft au sujet d'un projet de serveur SMP composé de 64 Alpha et fonctionnant sous Windows NT 5.0. A cet effet, il faut intégrer dans ce NT le compilateur FX132 qui permet d'exécuter du code x86 sur Alpha. On ignore si, en fin de compte, le projet verra le jour.

## 217 - la famille PDP 8

La décision de construire un calculateur 12 bits a été, nous apprend le document 200, influencée par la machine CDC 160 de Seymour Cray. Cependant, le facteur le plus direct a été l'apparition, au Lincoln Lab avec lequel les ingénieurs de DEC conservaient de nombreuses relations, du calculateur LINC (Laboratory Instrument Computer) construit par Wes Clark en mars 62.

Beaucoup plus que les PDP 1 et 4 construits au même moment par DEC, cette machine nouvelle et d'une taille raisonnable était capable de satisfaire les besoins d'un laboratoire, puisqu'elle pouvait :

- recevoir de l'expérience en cours des données analogiques et numériques
- effectuer sur ces données des calculs spécifiques
- visualiser, mémoriser et éventuellement imprimer tout ou partie des données brutes ou des résultats de calcul
- et retourner à l'expérience des ordres et éventuellement, des données de commande.

Le prototype présenté au MIT le 27/3/62 était si intéressant que la décision fut prise de le produire en série, ce qui se réalisa en deux phases : un remodelage dans le cadre du MIT, qui disposait pour de tels travaux d'un Center Development Office, puis une production de quelque 50 machines, partagée entre le CDO et DEC, entre 3/62 et 12/69.

Le LINC de cette production, construit en modules 500 KHz de DEC, fait l'objet d'une fiche qui met en évidence sa décomposition en quatre modules : un pupitre de commande (poussoirs et témoins), un module de bandes magnétiques qui préfigure le Dectape, un module d'oscilloscope, et l'armoire d'électronique à laquelle on relie l'expérience à travers une collection appropriée de bornes, de jacks et de connecteurs.

Le prix de base d'un tel system était \$ 43600.

Pendant que s'implantait cette production à faible rythme, les discussions avec Foxboro avaient conduit à la définition d'un contrôleur 12 bits, platement intitulé DC 12. Mais DEC choisit de réaliser à sa place le PDP 4, et Foxboro se laissa convaincre de l'utiliser.

DEC vendit un de ces PDP 4 à l'Atomic Energy of Canada Ltd, pour la centrale de Chalk River : il devait exploiter des données très nombreuses, qu'il fallait collecter et classer, et le contrat en chargeait DEC. Visitant cette centrale, les responsables DEC estimèrent que le projet DC 12 était exactement adapté à cette fonction : en conséquence, plutôt que la solution analogique traditionnelle, il fut décidé de réaliser un collecteur numérique. Alan Kotok et Gordon Bell en définirent le répertoire, et Edson de Castro fut chargé d'en étudier la logique.

La réalisation à base de modules DEC standard, y compris le découpage des registres en tranches / modules de 1 bit qui avait été mis au point pour le PDP 4, s'avéra d'autant plus économique qu'il fut possible d'intégrer le convertisseur A/D dans l'accumulateur. On put aussi joindre l'économie à la modularité en remplaçant par un IObus la connexion étoile des entrées / sorties, caractéristique des réalisations précédentes.

Ainsi conçu, le PDP 5 était un ordinateur très bon marché ( \$ 27000 ) mais pas très universel, qui ne tarda pas à trouver des clients en dehors du domaine pour lequel il avait été étudié : une mémoire jusqu'à 32 Kbits, une extension arithmétique, un choix de périphériques tels que cartes, imprimante et bandes furent progressivement proposés pour faire face aux demandes de clients avides d'universalité. Néanmoins, ce type d'évolution apparaissait déraisonnable pour une machine aussi modeste, et dès l'année suivante DEC entreprenait l'étude du PDP 8.

Pour ce nouveau ordinateur, on disposait de deux progrès techniques : les modules flip chip qui autorisaient une amélioration de densité ainsi que de nouvelles méthodes de fabrication et d'assemblage, et les mémoires à tores 2 - 1/2 D qui donnaient un gain substantiel de performance. Il fut ainsi possible de construire le PDP 8 en seulement deux châssis de taille appropriée pour le wire wrapping sur machine Gardner-Denver, méthode désormais essentielle pour la production de masse : les deux châssis étaient montés verticalement comme les pages d'un livre, et en tirant l'ensemble vers l'avant hors de l'armoire on pouvait ouvrir le livre et accéder pour la maintenance aux deux faces du châssis.

Le PDP 8 fut un succès immédiat : il fut bien sûr largement utilisé dans les laboratoires, puisque c'est là qu'était née sa vocation, mais on lui trouva aussi des débouchés dans la commutation de messages et dans le temps partagé, par exemple. Ou encore dans la commande de machines outils numériques (Quickpoint 8).

La première livraison d'un PDP 8 intervint en avril 65 et, pendant les quinze années suivantes, chaque progrès technologique donna lieu à la réalisation d'une nouvelle version qui trouva immédiatement une clientèle enthousiaste : au total quelque 50000 machines furent produites avant que naisse en 1976 un circuit intégré équivalent que DEC accepta de certifier, et que la généralisation des microprocesseurs enlève tout intérêt aux machines 12 bits.

Le livre Computer Engineering (doc 200) consacre à l'évolution des PDP 8 quelque 45 pages passionnantes (180 à 228), qui jettent un regard critique et compétent sur tous les aspects de la conception logique et de la réalisation matérielle des miniordinateurs. Puisque ce livre fait partie de la documentation, il suffira de dresser la liste de cette descendance dont une large part est d'ailleurs fichée, et de caractériser en quelques mots chacune de ces machines :

PDP 8 (4 / 65) : produit de référence, logique négative. Taille : une armoire

LINC 8 (8 / 66) : juxtaposition dans une armoire des répertoires LINC et PDP 8, afin de disposer simultanément de l'expérience pratique du LINC et du logiciel rapidement croissant du PDP 8. 143 produits.

PDP 12 (6 / 69) : équivalent du LINC 8 construit avec la mémoire et le bus du PDP 8/I. 1000 produits.

PDP 8/S (fin 66) : version série du PDP 8, plus économique mais tellement plus lente qu'elle n'eut pas beaucoup de succès. Taille : environ 4 U de rack.

PDP 14 (1968) : automatisme industriel en ambiance atelier.

PDP 8/I (6 / 68) : reprise en logique positive, MSI TTL, de l'architecture PDP 8.

PDP 8/L (12 / 68) : la même machine dans une mise en boîte plus légère, pour ne pas grever inutilement le prix chez un usager qui ne privilégie pas l'expérimentation.

PDP 8/E (11 / 70) : technologie TTL poussée à 20 MHz, mémoire toujours à tores, nouvelle architecture organisée autour d'un Omnibus 144 bits (dont 96 signaux, le reste distribuant masse et alimentations) qui est à la fois bus mémoire et bus d'entrées / sorties. Présentation en grand châssis 38 slots permettant jusqu'à 30 périphériques.

PDP 14/30 (1971) : automatisme industriel réalisé avec la même technologie que le PDP 8E et en compétition sur le même marché.

PDP 8/F (7 / 72) : version allégée, à un seul bus, du 8/E, avec mémoire 4 à 16 KB. Prix \$ 3990 en 4 KB avec alimentation incluse.

PDP 8/M (1972) : la même machine que le 8/E avec un châssis 18 slots, pour 8 périphériques seulement et un moindre prix. Serait destinée à l'OEM, \$ 3690 pièce, ou \$ 2000 par lots de 200.

PDP 8/A (1975) : nouvelle technologie de circuits imprimés, microprogrammation à partir de ROM, mémoire principale à semi-conducteurs, mais toujours l'Omnibus.

FPP 12 (1976) : option d'un coprocesseur à virgule flottante, en provenance du PDP 12, pour le PDP 8A.

PDP 8/B (1974) : étude d'un PDP 8 sur circuits intégrés PMOS, abandonnée malgré réussite lors du passage de l'industrie au NMOS.

CMOS-8 (1976) : apparition spontanée du circuit Intersil 6100, que DEC valide en tant que PDP 8, et qui sera intégré dans divers terminaux (VT78). Harris s'établit ensuite comme seconde source pour cette puce (6120).

DEC utilisera ce VT 78 dans une variété de produits, tels que les traitements de texte:

WT 78 : processeur CMOS 8, mémoire 16 Kmots, écran 1920 caractères, deux disquettes, et une imprimante Diablo 45 cps ou LA 78 180 cps, pour \$ 13700.

WS 80 et 200, voir fiches pour des multipostes.

## 218 - la famille PDP 11

Il est difficile de donner une définition globale a posteriori de l'architecture PDP 11, parce que sa gamme de performances est extrêmement ouverte : peut-être 500 entre un des derniers VAX et une carte OEM, certainement au moins 50 en se limitant aux machines à mémoire réelle. Mais c'est surtout parce qu'à la différence d'IBM, qui a voulu dès l'origine faire une gamme compatible et s'est fortement impliquée dans le maintien de cet objectif de marketing, DEC n'avait aucune vision de ce genre : DEC a conçu un mini, en a fixé la taille à 16 bits parce que c'était la moitié des 32 devenus norme du fait d'IBM. Puis, sous la pression du marché qui aimait cette architecture, elle l'a étendu progressivement dans toutes les directions jusqu'au jour où, les distorsions devenant trop importantes, il a fallu arrêter et se demander ce qu'on désirait vraiment faire, pour conclure qu'on avait besoin du VAX.

Dans cette évolution, la technologie a bien entendu eu son importance, mais moins que dans la famille 8 et beaucoup moins que chez IBM, parce que la durée de vie de la famille a été bien plus courte : huit ans seulement avant de prendre le virage radical du microprocesseur.

Le résultat est mitigé : les diverses machines ont une parenté logique telle que beaucoup de manuels sont communs, mais les applications sont si diverses qu'il a fallu développer beaucoup plus de logiciels et de périphériques que de machines pour en couvrir l'éventail. Nous suivrons donc l'ordre chronologique des processeurs tout en renvoyant, pour les périphériques, à des documents largement partagés.

Les traits principaux de ce qu'il faut tout de même appeler une architecture sont les suivants, rappelés dans un article de présentation aux SJCC 1970, soit 254 - 657/75, qui inclut une description ISPL:

- organisation des processeurs à deux adresses, selon la relation  $A = A \text{ op } B$ . Chaque instruction définit deux sources de données dont l'une est aussi destination du résultat, et construit ces adresses en se servant de désignateurs à 6 bits : trois bits de mode et trois bits désignant un registre parmi 8. La richesse des modes proposés permet toutes les variantes souhaitables du point de vue du programmeur : paramètres, indexations, indirectes, empilement ou dépilement en mémoire, etc...

- définition d'un espace d'adressage unique qui englobe toutes les sources d'information : registres généraux, adresses physiques de mémoire, périphériques spécifiques sont tous numérotés sur cet espace commun de 65536 adresses, et on peut sans précaution, mais pas nécessairement sans pénalité, écrire une instruction ordonnant une opération complètement hétérogène.

- la mémoire, pour rendre cela possible, est totalement asynchrone : cela signifie qu'on peut mélanger sans précaution dans cette mémoire, des technologies différentes associées à des performances inégales : chaque instruction adapte sa vitesse d'exécution à celle de ses sources et destination.

- cette hétérogénéité est concrétisée par l'Unibus, le fond de panier qui accueille tous les composants de la machine : processeur, mémoire, contrôleurs. Tous les déplacements entre deux connecteurs quelconques de l'Unibus sont valides, et il n'y a pas d'opération spécifique d'entrée/sortie.

- dès que l'on sait construire des mémoires multiportes, il devient possible d'envisager des systèmes multiprocesseurs et / ou multibus. En fait, ce n'est pourtant pas dans cette direction que s'est orientée l'évolution des PDP 11.

La première génération de la nouvelle architecture comprenait deux machines:

PDP 11 / 20 à circuits SSI TTL et mémoire à tores 1,2  $\mu$ s. Boîtier 4 U. Il a existé une version 11 R 20 renforcée de cette machine, pour le process control en ambiance difficile.

PDP 11 / 15 (mi 70) est sa version OEM

PDP 11 / 10 (6 / 72) à circuits MSI TTL, ROM 1024 mots et RAM 128 mots comme minimum.

PDP 11 / 05 (6 / 72) est sa version OEM plafonnée à 4 Kmots.

PDP 11 / 03 (fin 71) est une version OEM en boîtier extraplat, plafonnée à 2 Kmots, pour les applications de communications.

Tous ces matériels sont décrits par le manuel PDP 11 handbook .

A l'opposé des minicalculateurs précédents, le second processeur étudié est une véritable machine scientifique, avec un répertoire beaucoup plus riche, un adressage virtuel par MMU, et deux jeux de registres:

PDP 11 / 45 (6 / 72) à circuits TTL/S ; la fiche constitue le seul document d'ensemble sur cette machine, par ailleurs étudiée en de nombreux points du livre Computer Engineering ( voir index p 549 ).

En tant que produit, voir le document PDP 11 Computer Family, products & services, p 21.

PDP 11 / 70 (3 / 75), même processeur mais avec mémoire cache ( bloc 2 mots, 2 lignes, 512 colonnes ) et extension de mémoire physique possible jusqu'à 4 MB. Cette machine aux ambitions universelles a été utilisée dans des expériences de multiprocessing, et comme noyau de divers moyens systèmes de gestion commerciaux ; il en a existé une version renforcée par Northrop pour les militaires. Il fait l'objet d'une étude spécifique dans le Processor handbook de 1981, et tous ses périphériques sont traités dans deux volumes du dossier.

PDP 11 / 55 (1976), processeur précédent avec FP11C (VF câblée) et mémoire exclusivement bipolaire, à usage scientifique seulement.

PDP 11T55 (1976), expérience de microprogrammation directe du Fortran IV sur un PDP 11 / 55, faite à la suite d'un article de R. Brender. Le test de Fortran sous RSX 11 M ( 8 à 12 Kmots résidents ) a donné 735 / 515 Kinstr/s Whetstone, ce qui est supérieur au CDC 6400 (563 / 421) et à l' IBM 360/65 (521 / 405 ). Le système, qui comporte 400 opérations, dont une division DPVF à seulement 6,75 µs, était vendu 370000 FFHT.

Un troisième calculateur est construit en 72 et livrable en 1 / 73, c'est proprement un mini, c'est-à-dire une brique pour construire une grande variété de systèmes :

PDP 11 / 40 (1 / 73) à circuits TTL 74 et mémoire à tores 980 ns, adressage 18 bits. Vendu avec RT 11, système temps réel monoutilisateur. Par rapport au 20, c'est un progrès technologique et économique dans un volume inchangé. Gros succès.

PDP 11 / 35 (9 / 73), version OEM du précédent.

La seule documentation dont nous disposons occupe une seule page du PDP 11 Family, products & services.

L'étape suivante correspond au passage des circuits TTL 74 aux TTL 74 S, plus performants et plus économiques. Entreprise en même temps, c'est la version OEM qui aboutit la première:

PDP 11 / 04 (9 / 75) destiné à remplacer les 11 / 10 et 11 / 05. Performances égales, prix très diminué.

PDP 11 / 34 (3 / 76) qui doit améliorer le 40 à prix constant ou diminuant. Il introduit également la possibilité de mélanger les types de mémoire pour jouer sur la rapidité ou le prix. Une des variantes de cette machine, introduite deux ans plus tard, comporte un petit cache 2KB = bloc 2, une ligne, 512 colonnes. Cette machine qui a joui d'une longue vie est explicitement traitée dans tous les documents disponibles à partir de 1979, et elle a été largement utilisée en OEM pour édifier de petits systèmes de gestion.

PDP 11 / 60 (6 / 77) réalisé en TTL/S comme le 45 et le 70, le 60 répond cependant à un programme différent, car il veut rester un mini. Economiquement parlant, le problème semble avoir été résolu, car le 60 ne coûte pas beaucoup plus cher que le 40 ; mais il est beaucoup plus gros physiquement, et très probablement les usagers n'ont pu admettre qu'il s'agisse d'un remplaçant du 40, tout en se demandant pourquoi on voulait insérer quelque chose entre le 45 et le 70.

L'étude de 200 - 315/26 et 342/4, rédigée à l'époque où le 60 venait de sortir, et où l'on ne connaissait pas encore les réactions des clients, est techniquement intéressante en ce qu'elle détaille des points de vue d'ingénieurs : un service de marketing eut sans doute réagi autrement.

Quoi qu'il en soit, le PDP 11 / 60, pour lequel on avait construit une nouvelle usine (200 pp 87 / 91), ne fut construit qu'à 2000 exemplaires et disparut des catalogues après 2 ans. Comparer notamment le Processor Handbook de 1979 et celui de 1981.

PDP 11 / 44 (6 / 80) est probablement destinée à réparer cette erreur de jugement, et se glisse entre 45 et 70 dans la gamme des machines universelles. Elle complète le répertoire complet du 70 par un nouveau répertoire commercial, tandis que son prix lui permet de remplacer la 45 sortie du catalogue.

C'est la première machine postérieure à la sortie du livre Computer Engineering (ref 200) ce qui nous prive de certains renseignements, mais elle est convenablement décrite dans les Processor Handbooks.

La réalisation d'un PDP 11 à partir d'un microprocesseur, spécialement conçu par Western Digital à la demande de DEC en 1974, n'emporte pas spécialement l'adhésion de l'ingénieur : la réalisation en 4 puces, dont deux pour la mémoire morte de microprogrammation, exige toujours de nombreux composants en complément, et si la compatibilité est assurée, c'est au détriment de la performance. Aussi doit on retenir les limitations et particularités suivantes:

- performances un peu inférieures à celles d'un PDP 11/04.
- mémoire plafonnée par l'absence de MMU à 28 K mots de 16 bits, puisque les 4 K mots supérieurs sont comme d'habitude réservés aux périphériques et registres externes.
- puisque la micromachine est 8 bits, l'ALU et les registres contenus dans la mémoire scratchpad sont tous des 8 bits, mais l'émulation rétablit les apparences, et l'interface du LSI 11 avec le bus est 16 bits, et la mémoire est aussi 16 bits. Cependant, puisque tout ce qui précède cantonne les applications du LSI 11 en bas de gamme, le bus système n'est pas l'Unibus, mais un nouvel LSIBus à 33 fils, avec multiplexage données/adresses sur 16 de ces fils.

On trouvera une étude assez complète du LSI 11 dans Computer Engineering (doc 200 - 301 / 13), et dans les pages 236 / 7 une photo de 12 modules utilisés dans la deuxième génération LSI 11 / 2 qui n'est qu'un réarrangement des mêmes composants. Mais dès ce moment, une foule de petits industriels proposent des cartes compatibles et la fiche LSI 11 en contient plusieurs exemples.

Il y a même une version LSI 11M militaire, conforme aux normes MIL. E. 5400, 16400 et E. 4158 de l'armée de terre, avec 4 K DRAM, 4K PROM, 16 ou 32 KB de tores, des interfaces série et parallèle, et toutes les options de compléments possibles d'instruction

Il faut maintenant que DEC décide ce qu'il va faire de son succès.

Pour commencer, le châssis LSI 11 sera mis en boîte sous la forme d'un PDP 11 / 03 vendu en OEM. Gros succès, que DEC accompagne en créant de son côté des terminaux PDT 11 incorporant un LSI 11, ou diverses applications propres comme le Declab 11 / 03 (MINC) ou les Datasystems 320 et suivants.

MINC / DECLab 03 destiné aux laboratoires comprend 30 KB de mémoire et jusqu'à huit modules locaux : A/D, D/A, Entrées et Sorties digitales, Multiplexeur, Préampli, Horloge, Bus IEEE 488 pour 14 instruments. Deux disques souples et écran graphique VT 105. Basic spécial étendu pour commander ces divers I/O. Fortran IV avec bibliothèque de temps réel.  
Prix à partir de \$ 12000.

A ce moment, DEC se pose une question de principe, en observant la floraison d'expériences universitaires portant sur des chaînes de petits processeurs (DEC, justement !): est-il possible de remplacer un PDP 11 / 70 par une chaîne de 16 LSI 11 qui coûte beaucoup moins cher, en gardant son efficacité ?

L'expérience, menée intra muros pour aller vite, est rapportée dans un article :

ARULPRAGASAM (J. A. ), GIGGI (R. A. ), LARY (R. F. ), SULLIVAN (D. T. ), WU (C. C. ) - Modular minicomputers using microprocessors, dans TIEEE, C29, 2 / 80, numéro spécial sur les applications des microprocesseurs, pp 149 sq.

Les 16 micros étaient attachés à un même bus synchrone, CP = 133 ns tétraphasé, qui les relie à la mémoire partagée à travers un cache partagé de 16 KB, direct mapped en blocs de 4 bytes. L'adressage virtuel est celui du PDP 11 / 70 ; le contrôleur dessert pour l'exploitation un Massbus et un Unibus. Les interruptions sont les standards de DEC, un seul des micros s'y consacrant à chaque instant grâce à un circuit spécial. Le microcode des LSI 11 a été modifié pour s'adapter au problème, et le système d'exploitation reste RSX 11 M, dont on a seulement modifié le dispatcher en jouant sur les sémaphores.

La conclusion est claire : l'efficacité demandée est inaccessible si on ne dispose pas d'un moyen de paralléliser les problèmes concrets des usagers. En conséquence, DEC ne développera pas de multiprocesseurs pour le moment : micros et minis auront chacun leur domaine, même en restant compatibles.

Un peu plus tard, sort le LSI 11 / 2 qui utilise les mêmes 4 chips, mais remplace 19 TTL74 du bus par quatre LSI, et tient de ce fait dans un cadre deux fois plus petit, dont toutes les cartes sont 216 \* 131 mm, y compris les cartes mémoire de 4 / 8 / 16 / 32 KB avec rafraîchissement inclus. Le PDP 11 / 03 l'absorbe sans changer de forme. Le succès s'amplifie et de nombreuses sociétés proposent des cartes pour LSI 11 / 2.

Prix minimum pour CPU + 4 KB, \$ 990. CPU + 32 KB par lot de 50, \$ 1643. La même chose avec une carte de communications de 4 interfaces série indépendants, et une carte IEEE 488 d'instrumentation, avec protocoles sur une deux MICROM (3 et 4) 512 \* 22 bits : \$ 3815.

Au bout de deux ans, DEC et Western Digital ont amélioré leur produit, qui ne comprend plus que deux puces, le microprocesseur complet et son MMU, lesquels permettent de rejoindre en puissance le PDP 11 / 34. Par la même occasion, le LSIBus s'étend aux adresses 22 bits et à 4 niveaux d'interruptions, et se stabilise sous le nom de QBus, pour permettre aux petits industriels de préparer des cartes.

DEC annonce alors le PDP 11 / 23, qui servira essentiellement en OEM à construire des petits calculateurs de gestion, mais aussi un MINC / DEClab 23 qui ressemble au DEClab 03 avec des possibilités supplémentaires de disques en cartouche de 5 ou 10 MB ; puis le PDP 11 / 24, qui utilise le MMU pour disposer d'une mémoire 1 MB, et qui comporte un convertisseur QBus / Unibus pour devenir un authentique PDP 11.

En fait, dès la fin de 81, DEC dispose des puces définitives couvrant tous les besoins de sa reconversion:

- le T11 est un micro sur une puce, contenant dans un seul DIL 40 broches l'essentiel de l'architecture PDP11. Il sera utilisé dans une carte OEM KXT11A (nom de code Falcon).
- le F11 est un micro sur une puce, 7,5 MHz, conçu pour les extensions. Il peut se monter sur une carte KDF 11A susceptible d'extension VF, capable de constituer un processeur bas de gamme; ou sur une carte KDF11B, plus complète, capable des extensions VF et commerciales, d'un bootstrap, d'autodiagnostic, d'une console et d'un terminal, avec laquelle on peut construire l'équivalent d'un PDP 11/34.
- le J11 est un micro 2 puces, 15 ou même 18 MHz, monté sur un hybride enfichable, et d'une puissance comparable au 11 / 70 .

Après avoir envisagé un moment de fournir à la demande, dans un boîtier unique qui peut être monté verticalement ou à plat, n'importe lequel de ces processeurs, DEC choisit une politique plus directive:

- abandon de tous les processeurs précédents
- vente exclusivement OEM du SBC 11 / 21 Falcon
- commercialisation d'un MicroPDP 11 / 23 à base de carte KDF 11 A ou B, en fonction des besoins du client intéressé par les minis.
- commercialisation de hauts de gamme sur l'ancien marché du 11 / 70, sous les numéros 53, 73, 83, 84, 93, en fonction de la puissance demandée et aussi du bus choisi, QBus ou Unibus, pour les entrées/sorties.

Un grand nombre de ces microPDP 11 seront vendus dans des applications temps réel et réseaux, notamment pour des chaînes de production automatisées. Mais finalement, vers 1990, la production est abandonnée et toute expertise disparaît chez DEC en ce qui concerne les PDP 11 .

## 219 - la famille PDP 10

Le projet PDP 6 de 1963 consistait à étendre vers le haut la gamme 18 bits de DEC pour réaliser un calculateur optimisé pour le temps partagé. Il n'existait à cette époque, aux USA et dans le monde, que trois systèmes de ce genre, encore expérimentaux. Le livre Computer Engineering ( document 200 p 490 ) montre avec modestie que DEC, pas plus que quiconque chez les constructeurs, ne pouvait alors prétendre connaître la réponse optimale à un tel objectif, ni même poser le problème en termes généraux.

Les choix de DEC, longuement exposés dans cette référence, sont intéressants précisément à cause de l'innocence de leurs auteurs. Au départ, ils se résument ainsi : quelques mécanismes pour assurer l'allocation et le partage de ressources, ainsi que la protection mutuelle des usagers ; des choix technologiques visant à l'économie et à l'emploi maximum possible de ressources DEC préexistantes ; la modularité pour permettre des évolutions ; et l'aptitude à compiler deux langages jugés importants au plan scientifique, LISP et FORTRAN.

Les choix fondamentaux du PDP 6, que l'on cite pour pouvoir les comparer avec les machines suivantes de la famille, furent donc :

- architecture 36 bits = deux fois 18 . Types entiers, réels, booléens, tous 36 bits. Arithmétique C2 facilitant la programmation de précisions multiples. Mécanisme de pile en mémoire pour gérer la réentrance et la récursivité. Orthogonalité des adresses et des opérateurs, universalité de ces derniers. 16 registres généraux tous usages, adressables comme mémoires.
- choix d'opérations réalisables sans recours à la microprogrammation, car aucune technologie de mémoire morte assez performante n'existait à l'époque.
- mémoire asynchrone en modules multiportes facilitant le multiprocessing et autorisant les mélanges de technologies et de performances : même les registres généraux peuvent être considérés comme un bloc de mémoires. Adressage 256 Kmots.
- entrées/sorties asynchrones fonctionnant par interruption, sans recours à des canaux. Accès direct possible pour les applications temps réel.
- construction à partir de modules DEC standard, en l'occurrence les nouveaux modules 10 MHz.

La suite montrera qu'il ne s'agissait pas de doctrine, mais de choix pragmatiques : DEC saura changer ses méthodes dès que les conditions technico / économiques varieront.

Le succès modéré du PDP 6 engageait à continuer, sans justifier de gros efforts nouveaux. Le nouveau processeur dont l'étude commence en janvier 66, le KA 10, est donc peu différent du K6 dans sa logique et garde la même vitesse de 10 MHz mais avec des modules flip chip portant des transistors discrets Si et une logique à diodes. La principale modification, importante pour le système d'exploitation, est l'adjonction d'un deuxième jeu de registres base/limite pour l'adressage relatif, permettant aux travaux d'utilisateurs d'exploiter simultanément un processeur réentrant., compilateur ou éditeur par exemple.

En ce qui concerne les entrées / sorties, on a conservé le système des I/O programmées fonctionnant par interruption ; cependant, pour les disques et les bandes, il existe un DMA sur une des quatre portes de l'ensemble des mémoires. Un tel système ne peut donc assumer qu'un accès disque à chaque instant.

Dans cette première version du système d'exploitation, simplement baptisé moniteur, on reprend les méthodes du PDP 6 avec un choix élargi d'applications. Trois documents, un Summary Reference Manual , un Aide-mémoire et un Tarif, en plus de la fiche PDP 10, se réfèrent à cette époque. Il y a aussi un document publicitaire concernant le simulateur de combats terrestres installé à Fort Hunter Liggett, lequel utilise notamment un biprocesseur PDP 10, en plus d'une dizaine de PDP 11.

Une partie des clients envisagés pour le PDP 10 étaient des clients temps réel, et c'était la raison de ce choix qui faisait du PDP 10 un superPDP 9. Cependant, l'intérêt de la plupart des clients se porta sur l'exploitation en temps partagé, pour laquelle il existait depuis plusieurs années un système d'exploitation dédié, TOPS 10, qui ne cessait d'évoluer depuis sa création . En conséquence, DEC décide en 1971:

- il existe désormais une famille d'ordinateurs dérivés du PDP 10 et baptisés DECsystem 10, résolument orientés vers le temps partagé. Les machines existantes sont rebaptisées DECsystems 1040, 1050, et 1055 pour la version biprocesseur.

- le système d'exploitation de la famille est TOPS 10, auquel se rattachent tous les logiciels antérieurs, et qui se stabilise.

- les développements ultérieurs de la famille se feront dans le sens d'une amélioration de la puissance et de l'efficacité du time sharing ; néanmoins, il reste possible de lancer un travail de batch depuis un terminal de temps partagé.

Le DECsystem 10 est maintenant lancé, et en 1971 DEC annonce le DECsystem 1070 et son biprocesseur, le DECsystem 1077, construits autour d'un nouveau processeur, le KI 10, à base de circuits intégrés TTL, et qui comporte les nouveautés suivantes :

- possibilité de multiplier les jeux de registres pour accélérer les changements de contexte : un simple changement de pointeur remplace 16 rangements et 16 rappels.

- la mémoire du KI 10 est paginée . Chaque page de 512 mots peut recevoir un statut parmi quatre : partageable ou privée, lecture seule ou lecture /écriture. L'adressage réel peut maintenant atteindre 4 Mmots.

- il y a maintenant quatre types de protection : Kernel pour les parties du système qui doivent rester en permanence à l'abri des usagers, superviseur pour les protections du système contre certaines actions au sein d'un programme usager, Concealed pour les programmes usagers privés, Public pour les autres.

- 12 nouvelles opérations existent pour les manipulations de doubles mots en fixe, et pour la double précision en flottant, ainsi que pour les conversions correspondantes.

- une série de trapping prend en charge les débordements divers et les défauts de pages.

Outre la notice du TOPS 10, on trouvera dans la documentation un Technical Summary qui résume en un tableau les différences entre les deux processeurs, et un configurateur qui détaille les variations possibles au sein des cinq modèles proposés à cette date.

Le succès se poursuivant et s'amplifiant, DEC livre en 1975 les premiers DECsystems 1080, édifiés autour du processeur KL 10 réalisé en ECL10K, et dont l'architecture est complètement modifiée :

- réorganisation de la mémoire qui comprend désormais 16 modules avec un entrelacement de 4, et qui peut être soit à tores soit à semiconducteurs.

- un cache organisé en blocs de 4 mots avec 128 colonnes et 4 lignes, et travaillant en adresses réelles, s'insère entre cette mémoire et le processeur.

- les entrées / sorties sont complètement réorganisées : les anciennes IO programmées sont confiées à des PDP 11 / 40, qui les gèrent à travers leur Unibus. C'est notamment là que se connectent les terminaux de temps partagés. Le premier des PDP 11 sert en outre de processeur de maintenance.

- les bandes et disques se répartissent sur des canaux 18 bits baptisés Massbus, capables de 1,6 Mmots/s.

- le répertoire s'agrandit à 398 opérations, microprogrammées sur deux étages de ROM.

Cette nouvelle génération de machines est compliquée par les modularités permises pour la mémoire, par deux variantes du processeur KL 10 correspondant à des relations différentes du processeur avec cette mémoire, et par l'existence de trois systèmes d'exploitation :

- TOPS 10 reste le système de temps partagé normal pour les 1040 à 1088.
- un nouveau système symétrique, SMP, est proposé avec le 1099 et peut faire gagner jusqu'à 50% de puissance en utilisant mieux les ressources des deux processeurs qui, dans TOPS 10, avaient une relation maître / esclave.
- un autre système, TOPS 20, réécriture DEC du TENEX de BBN, est proposé pour les applications transactionnelles de gestion dont l'importance va en croissant. Beaucoup moins exigeant que le temps partagé en temps de réponse, ce système autorise une simplification des canaux Massbus qui s'intègrent dans le CPU rebaptisé KL20, provoquant une substantielle baisse de prix.

On trouvera dans la documentation un Technical Summary du KL 10 et un Manuel de Référence détaillant tout le répertoire pour les systèmes restant en course à cette époque, de 1055 à 1099. Il y a aussi deux documents concernant le nouveau DECsystem 20, un TOPS 20 Technical Summary et un document pédagogique interne, Monitor structure de mai 1977.

En 1978, le succès du temps partagé ne diminuait pas, mais il ne paraissait pas nécessaire d'accroître encore la puissance mise à sa disposition, le 1099 étant réellement très supérieur à ses prédécesseurs. Il est peu probable que quiconque chez DEC ait eu à cette époque la perception du bouleversement qu'allait produire les microprocesseurs, et qui allait rendre obsolète le temps partagé.

Par contre, ce qui apparaissait nettement, c'est l'intérêt croissant des entreprises pour la consultation en ligne de leurs bases de données, entraînant un grand développement du mode transactionnel.

C'est chez BBN, client time sharing de DEC, que cette préoccupation s'était concrétisée pour la première fois, sur crédits ARPA naturellement, à partir de 1969 : BBN avait alors défini et réalisé TENEX, un système d'exploitation orienté vers le mode transactionnel et supposant des modifications substantielles du processeur KA 10. DEC avait apporté à cet effort son soutien, récupérant en échange le programme source et des idées pour l'adaptation du nouveau processeur KI 10. Le Tenex retailé avait été transformé en TOPS 20, adapté aux besoins commerciaux de DEC.

En 1978, l'examen des ventes de DECsystem 10 et 20 permettait de se faire une idée de l'évolution du marché : contrairement aux années précédentes, il était temps de faire un effort vers le bas.

La réponse à cette demande est le processeur KS 10, un considérable effort d'économie :

- mémoire MOS avec SECDED réduite à la taille standard de 256 Kmots, directement adressable. Modeste cache de 512 mots, une seule ligne et 128 colonnes. Adressage virtuel sur 20 bits, l'adressage étendu du KL 10 étant abandonné: la microprogrammation permet d'adopter dynamiquement la pagination du TOPS 10 ou celle du TOPS 20, en fonction du système en service.

- processeur construit en TTL/S, au moyen de 10 tranches de 4 bits AMD 2901. Microprogrammation complète sur deux mémoires vives totalisant 2048 \* 96 bits, réalisant 396 opérations. Les opérations d'arithmétique longue paraissent avoir été supprimées. Protection réduite aux modes Kernel et Concealed.

- forte simplification des entrées/sorties, qui comprennent une console d'exploitation, maintenance et télémaintenance à base de microprocesseur 8080, et deux adaptateurs bus mémoire / Unibus, à partir desquels on retrouve soit les contrôleurs connus, soit un adaptateur Massbus pour disques ou bandes.

Commercialement, il y a donc désormais trois configurations TOPS 20 : le 2020 en bas de gamme utilisant ce KS 10, et l'ancien DECsystem 20 découpé en 2040 et 2060 selon l'ampleur des services demandés au KL 10, dont on rappelle qu'il peut disposer de deux organisations de mémoire.

Au demeurant, il est prévu dans tous les cas que le système puisse fonctionner sous TOPS 10, soit que le client ait besoin d'un time sharing économique, soit qu'il prévoie des vacances pédagogiques. Par contre, il n'est pas possible de mettre en service deux systèmes à la fois.

La documentation comprend un Technical Summary du KS 10, et divers documents pédagogiques qui traitent du même sujet, mais en plus complet.

## 220 - la famille VAX

A la fin des années 70, DEC est devenu une société importante, employant 50000 personnes et produisant 50000 machines par an. Cependant, même si elle touche à tout, ce n'est pas un constructeur de machines universelles, et sa ligne 36 bits n'a clairement réussi qu'en accaparant une niche. Pour "jouer dans la cour des grands", DEC doit construire une machine 32 bits et même, de préférence, une famille de telles machines. C'est une décision qui doit être mûrement réfléchie, car elle engage l'avenir pour longtemps, et elle interférera forcément avec les machines du passé, encore florissantes.

DEC lance donc, en 1976, une étude d'architecture (Gordon Bell et William Strecker), qui conclut assez vite sur les principes : on passe à 32 bits parce qu'on a épuisé les solutions raisonnables pour étendre l'espace d'adressage des minicalculateurs, et qu'une telle expansion est indispensable dans de nombreux problèmes qui se posent aux grands, tant en scientifique qu'en gestion. La nouvelle famille sera donc VAX 11, Virtual Address eXtension de la famille PDP 11.

La suite de l'étude précise cette première conclusion, et décide :

- la nouvelle machine adressera le byte avec des adresses de 30 bits, soit un milliard de caractères. En pratique, trois espaces virtuels de cette taille seront simultanément actifs, définis par les bits 30 et 31 de l'adresse : un pour le système, deux pour le problème en cours. Le changement de problème passera par le renouvellement des espaces de l'utilisateur.

- les données manipulées couvriront tous les types de problèmes, scientifiques (entiers 8 / 16 / 32 bits, flottants 32 et 64 bits, dans une convention compatible avec le logiciel existant), gestion (chaînes de caractères, nombres décimaux packed ou non) et système (queues, bytes de longueur quelconque).

- le riche répertoire nécessaire à la manipulation de tous ces objets impose que les machines qui l'assument soient microprogrammées.

- un mode compatibilité, exécutant une part importante du répertoire PDP 11 / 45 / 70, sera prévu, pour faciliter le passage au VAX des anciens clients.

- les entrées / sorties seront, comme dans les PDP 11, "mappées" sur l'espace usager. On conserve donc un bus d'entrées / sorties ayant accès direct à la mémoire, et on conserve donc, au moins initialement, Unibus et Massbus.

- un nouveau système d'exploitation, VMS = Virtual Memory System, sera édifié pour gérer la nouvelle structure. Il sera rédigé en BLISS, le langage d'écriture de système de Carnegie Mellon.

Un bel article de Strecker dans Computer Engineering démonte les raisonnements qui ont conduit à ces décisions, et un volume de la boîte 28 détaille cette architecture.

Dans un premier temps, DEC va alors construire la première machine de la famille, le VAX 11 / 780, dans une ambiance d'autoadmiration qui étonne un peu si l'on songe que cette machine exécute simplement 1 Mips, un million d'opérations par seconde. Il s'en vendra plus de 9000 en cinq ans, ce qui est tout de même un succès honorable. Pendant ces cinq ans, la famille va s'élargir à six modèles, c'est la période euphorique.

VAX 11 / 780 : machine 1 Mips, avec un maximum de 2 MB de mémoire MOS SECDED en chips 4 Kbits, et 13,3 MB / s d'entrées / sorties compatibles avec les PDP 11. Le VMS initial dispose des mêmes langages et services que les derniers PDP 11, au fur et à mesure de leur mise à jour sur 32 bits. La documentation disponible dans la boîte 28 date de cette époque initiale : manuel de référence du CPU et du VMS, Technical Summary, Options summary pour un choix de périphériques, et trois configurations particulières dites "packaged" d'intérêt purement commercial.

Il y a même un document publicitaire pour un compilateur Pascal sous VMS, mais ce virage n'était pas encore pris lors de l'établissement des autres documents.

Exemples de prix pour des configurations plutôt minimales:

Mémoire 128 KB, deux disques en cartouche de 14 MB, une imprimante DECwriter II, et un multiplexeur pour 8 terminaux = £ 97800.

Mémoire 512 KB, disque RP06 de 176 MB, une bande TE16

Aucun document concernant les VAX ultérieurs n'étant en notre possession, il nous faudra en étudier la chronologie et les particularités à partir d'informations glanées dans la presse technique.

VAX 11 / 750 Comet (1980) voir fiche : prête peu après la 780, cette machine qui vise 60% de la puissance du précédent pour 40 % du prix et 30% du volume est réalisée en gate arrays TTL/S, et dispose de la même mémoire (en chips 16 Kbits), mais les I/O plafonnent à 5 MB/s.

Sa sortie commerciale a été retardée assez longuement pour ne pas nuire aux derniers PDP 11.

En 1982, mémoire maximale portée à 8 MB grâce aux chips 64 Kbits.

VAX 11 / 782 (1982) : version biprocesseur asymétrique du 780, 1,8 Mips, pouvant être construite sur site. Mémoire maximale 8 MB à base de chips 16 Kbits. Depuis la sortie du 780, le VMS s'est amélioré du réseau DECnet, de la base de données VAX/DBMS, et du courrier électronique DECmail.

Prix typique : deux CPU avec deux contrôleurs de mémoire M780, 2 MB de mémoire, 124 MB de disques, bande TU78, multiplexeur pour 8 lignes asynchrones, deux LA 120, et VAX/VMS représentent un investissement de 2855850 FF.

En 1983, l'apparition de nouvelles cartes mémoire équipées de puces 64 Kbits permet de monter la mémoire à 32 MB. Prix pour 2 MB = \$ 28900, pour 4 MB = \$ 36000, et à partir de là un incrément de 2 MB vaut \$ 9000, de 4 MB vaut \$ 17000.

VAX 11 / 730 (1982) : nouvelle machine encore plus petite à base d'AMD 2901 et de PLA, tenant sur trois plaques, période de 90 ns, répertoire complet mais VF optionnelle. Mémoire jusqu'à 5 MB en chips 64 Kbits avec SECDED, sans cache. Contrôleur intégré pour 150 MB de disques, remplaçant le Massbus. Contrôleur synchrone DMP 11 sous DMA connectable sur Unibus, pour un maximum de 24 terminaux.

Prix typiques : 314000 FFHT pour Mém 1 MB, 2 cartouches RL02 10 MB, LA 120 et VMS.

397000 FFHT pour un seul RL02 et un disque fixe R80 de 121 MB.

Cette machine existe aussi en armoires 1 MB + 12 slots, ou 2 MB + 9 slots, ou encore prépackagée SBB avec un plafond de 3 MB et une console TU 58.

VAX Cluster : en 1983, DEC annonce la clusterisation, un concept nouveau consistant dans l'interconnexion de 2 à 16 VAX des modèles puissants sur une paire de câbles coaxiaux 70 Mbit/s qui doivent rester courts, 90 m au plus entre deux connexions. Le système comprend une interface sur chaque CPU, et une mise en commun de disques et bandes à travers un contrôleur HSC 50. Prix \$ 19500 par CPU.

Le système atteint sa maturité avec la version 4 du VAX/VMS, qui apporte les modules suivants:

MSCP permet à chaque CPU d'accéder aux disques et bandes des autres CPU ou du HSC 50, DFS est une gestion de fichiers généralisée, DJC un scheduler distribué, COS une commande centralisée de l'ensemble, et quelques utilitaires dont un tri 4 fois plus rapide que le précédent.

La clusterisation aura énormément de succès et dispensera DEC d'étudier des processeurs plus gros : on estime qu'il avait 6000 VAX ainsi interconnectés en 1988, et 25000 au début 93, quand le concept fut étendu aux machines Alpha.

VAX 11 / 785 (1984) est un 780 accéléré à 133 ns par cycle, et complété d'un cache 32 KB, ce qui lui permet d'atteindre 1,7 Mips en monoprocesseur. Total 25 cartes. Prix 205 K\$ ou 1923 KFF. Reste inchangé. Amélioration du logiciel par une BD relationnelle RBD/VMS.

VAX 11 / 725 (1984) est une station de travail graphique utilisant un monoposte 730 dense avec un maximum de 3 MB de mémoire, une VF optionnelle, et un disque RC 25 combinant un disque fixe de 26 MB et une cartouche amovible 8" de 26 MB. Grande nouveauté pour DEC, qui prend conscience de l'isolement de son univers : le soft VMS peut être remplacé par Ultrix 32, une variante d'Unix.  
Prix \$ 25000 à 36000.

Vers 1983, DEC prend conscience que la technologie va imposer tôt ou tard l'étude d'un microprocesseur VAX et donc la miniaturisation de ce qui jusqu'à présent apparaissait aux clients et même à DEC comme un "mainframe", un calculateur majeur. Pour tâter le terrain, DEC étudie en un an un microprocesseur NMOS intégrant l'ensemble du bloc de calcul VAX, avec lequel on édifie un calculateur délibérément petit, 6 U de rack., vendu \$ 9995 avec une mémoire minimale (fiche).

Pendant que s'installent des discussions sur l'avenir du MicroVAX, DEC lance l'étude du MicroVAX II, un jeu de 7 puces qui permet d'édifier sur une seule carte un calculateur tout à fait performant puisqu'il égale le 780 en scientifique; DEC propose donc en 7 / 85 ce système en multiposte à 4, 8 ou 16 utilisateurs sous le nom de MicroVAX 2000, avec 4 à 6 MB de mémoire, deux disques de 71 MB, floppy et streamer optionnel, le tout sous VMS. Prix \$ 18840. Gros succès, 30000 machines vendues en un an et demi.

Poursuivant son essai d'élargissement de son domaine, qui est en même temps une ouverture sur le marché, DEC construit la station de travail graphique VAXstation 2000 fonctionnant sous Ultrix 32, avec écran 15 ou 19" en monochrome 1024 \* 864, ou 16 couleurs choisies parmi 16 millions. Il s'essaye même en 1988 aux structures de sécurité avec MIRA, un MicroVAX 2000 à tolérance de panne, biprocesseur à commutation automatique.

Un peu plus ambitieuse et lancée simultanément avec la précédente, l'étude du MicroVAX III vise à placer sur un microprocesseur le répertoire complet de l'architecture VAX, que le MicroVAX II avait un peu restreint. Le résultat, atteint en 1986, est un jeu V11 comprenant CPU 78034, FPP 78134, MMU et cache, mémoire de microcode (il en faut 5), et interface bus. Ce nouveau jeu sera utilisé dans les stations 3000, dans le VAX 8250, et dans les premiers 6000. Voir fiche MicroVAX 3000 pour la station.

Bien qu'on ait abouti en 1987 à un processeur de puissance comparable aux meilleurs, il n'y avait pas sur ce point de certitude au départ, et DEC avait donc poursuivi en parallèle l'étude de VAX câblés:

VAX 8600 VENUS de 11 / 84 (fiche) essaye de grimper en puissance en passant à la technologie ECL et en adoptant une structure fortement parallèle, tant pour la mémoire (bus 128 bits) que pour le CPU, formé de quatre unités simultanées, M, I, E, F. Pourtant l'objectif de 4 Mips ne sera pas atteint et, bien que la clientèle n'en ait pas tenu rigueur à DEC (1000 machines vendues), il fallut immédiatement reprendre les études pour pouvoir simplement se comparer aux concurrents.

VAX 8650 de 1985 est une mesure d'urgence consistant à réduire à 55 ns (19 MHz) la durée du cycle, au prix de quelques adaptations de circuits (7 cartes remplacées sur 17) ; la mémoire aussi a du être accélérée (cycle 384 ns).

VAX 8200 de 1986 : les efforts aboutissent en 1986, avec l'annonce de deux CPU qui doivent pouvoir se combiner en nombreuses versions commerciales, en jouant sur la fréquence et les caches. Il semble cependant que DEC ne soit pas très habile à ce jeu que jouent tous les constructeurs.

Le 8200 de 1 Mips paraît construit avec le jeu de 8 puces du MicroVAX II. Il comporte un cache 8 KB, une horloge de cycle 160 ns (6 MHz), une mémoire de microprogramme de 16 K\*40 bits sur ROM à laquelle s'ajoutent 1 KB\*40 bits de WCS en option usager. La mémoire, limitée à 24 MB en puces 256 KB, présente un cycle de 600 ns. Entrées / sorties 13,3 MB / s, utilisant un nouveau bus VAXBI pour les périphériques rapides.

Présentation : trois armoires 559 \* 1067 \* 762 mm : CPU + mémoire, VAXBI et disques, Unibus.

Prix : 760300 FFHT ou K\$ 127 en 4 MB, 1174 KFFHT en 12 MB.

VAX 8300, biprocesseur du CPU précédent, avec deux caches; mémoire jusqu'à 16 MB, prix à partir de 1174 FFHT ou 160 K\$.

VAX 8500 offert pour 3,5 Mips en 3/86 paraît être un 8200 tiré vers le haut, avec un cache de 64 KB et une mémoire de 20 MB au plus. On trouve sur le VAXBI, outre les disques, un DMB 32 pour les communications, et un TU81+ (incluant un cache 256 KB) pour les bandes. Echec.

Prix : K\$ 260 avec logiciel, plus \$ 4350 pour DMB 32 et \$ 27500 pour TU81+.

VAX 8800 Nautilus est la version biprocesseur du second CPU de l'annonce 3/86, choisie pour des raisons de marketing : il s'agit de donner une impression de puissance grâce à la fréquence de 21 MHz, aux caches de 64 KB, à la mémoire accessible par 128 bits en lecture (270 à 540 ns) mais par 32 bits en écriture (135 à 495 ns), et au nouveau bus VAXBI assorti de divers

nouveaux périphériques. Mais le VMS est toujours à structure maître / esclave et ne tire qu'un parti médiocre du second processeur, de sorte qu'on ne parle pas de thruput.

Prix à partir de 7,04 MFHT ou 650 K\$.

VAX 8700 (8/86) est le monoprocesseur du précédent. L'annonce permet d'en lancer la commercialisation, et laisse le temps d'étudier une nouvelle version de VMS, capable de biprocesseur symétrique bien plus efficace.

VAX 8550 (8/86) est la même machine, détimbrée pour pouvoir prendre la place de la 8500, trop manifestement inférieure à sa tâche. Mémoire comprise entre 32 et 80 MB, entrées / sorties plafonnées à 16 MB/s avec seulement deux VAXBI, option de clusterisation.

Purement commerciale, il existe aussi un 8530 dont la limite inférieure est 16 MB de mémoire.

VAX 8250 (1987) se présente comme une station de travail construite autour du MicroVAX III et reprend les diverses caractéristiques du 8200, améliorées par un cache 8 KB. L'armoire tour contient un bus VAXBI synchrone multiplexé sur 6 slots, et des cavités pour 3 disques 5,25" et une bande : disques RD 53 de 71 MB ou RD 54 de 159 MB, bande TK50 de 95 MB, 62,5 KB/s. L'écran couleur, associé à un coprocesseur graphique Evans & Sutherland très élaboré, est un VR 290 de 19".

Logiciel : au choix VMS ou Ultrix, ce dernier avec X Windows et Phigs pour le graphique 3D.

VAX 6200 (2/88) est un serveur départemental improvisé autour du MicroVAX III pour contrer le succès obtenu par IBM avec l'AS/400. Cycle 80 ns, bus principal 100 MB/s, entrées / sorties par VAXBI, logiciel VMS 5.0 (voir ci-dessous) pour permettre le multiprocessing.

Prix : 1,36 MFFHT pour un monoprocesseur 2,8 VU -

2,35 MFFHT pour un biprocesseur 5,5 VUP -

3,11 MFFHT pour un triprocesseur 8,3 VUP -

4,3 MFFHT pour un quadriprocesseur 11 VUP.

VAX 8350 (1988) est le biprocesseur du précédent, mais avec une présentation pour centre de calcul, pas pour une station : un VAXBI, un Unibus, 4 KDB 50, 1 DRB 32, possibilité de cluster.

VAX 8810 (1988) est l'aboutissement du travail de réorganisation de VMS, devenu version 5.0 : biprocesseur serré de 6 Mips, adressage direct de 512 MB, jusqu'à 6 VAXBI, le tout dans une armoire de seulement 2 m2 au sol.

Prix avec 48 MB, PDP 11, Ethernet, VAXBI, un adaptateur de cluster ou un KDB 50 : 4,68 MFF.

VAX 8820 (1988) : biprocesseur symétrique, 1,9 \* 8810 en puissance. Prix avec 128 MB, MicroVAX II, disque RD 53 de 71 MB, cartouche TK50 de 95 MB, imprimante LA 53, deux VAXBI : 6,75 MFF.

VAX 8830 (1988) : triprocesseur symétrique, 2,7 \* 8810. Prix : ci-dessus plus Ethernet = 8,27 MFFHT.

VAX 8840 (1988) : quadriprocesseur symétrique, 3,7 \* 8810 .

Prix : ci-dessus plus 2,5 GB de disques, 11,44 MFFHT.

VAX 8842 (1988) : double biprocesseur = 2 \* 8820, prix 12,9 MFFHT.

Clusterisation (1988) : à l'occasion du passage aux chips mémoire de 1 Mbits, autorisant une mémoire partagée de 256 à 1024 MB, le VAX 8974 connecte 4 \* 8700. Il y a aussi un 8978 de 8 \* 8700, soit 48 VUP correspondant à peu près à 48 Mips, avec 384 à 2048 MB de mémoire partagée et 140 MB / s d'entrées / sorties.

VAX 6300 (1 / 89) : même processeur CMOS que le 6200, mais cycle CPU descendu à 60 ns (16 MHz), et mémoire 32 à 256 MB à 120 ns. Le bus 100 MHz est capable de 6 processeurs et de 6 VAXBI, avec les contrôleurs intelligents HSC 50 et 70 des VAXclusters et le nouvel HSC 40 à 4 MB/s pour 12 disques ou bandes.

Prix : 1,53 MFFHT pour un CPU de 3,8 VUP -

2,64 MFFHT pour un biprocesseur de 7,5 VUP -

3,47 MFFHT pour un triprocesseur de 11,3 VUP -

4,85 MF pour un quadriprocesseur de 15 VUP -

5,53 MF pour 5 CPU = 18,6 VUP -

6,24 MF pour 6 CPU = 22 VUP.

Application typique : un monoprocesseur 6310 avec le logiciel File server, la connexion VAX cluster, les deux logiciels VMS et Ultrix 32, le protocole TCP/IP, pour 1,2 MFFHT.

Petit système : 1 CPU, 2 VAXBI, 32 MB, un KDB50 à 4 accès, une bande TC 70, Ethernet, VMS avec DECnet pour 1,5 MFFHT. Extension à 6 CPU et 128 MB = 6,2 MFFHT.

VAX 6400 (fin 89) : toutes choses égales d'ailleurs, cette série dispose d'un nouveau processeur CMOS, probablement obtenu par réduction photographique, capable de cycle 28 ns. Le bus XMI, toujours 100 MB/s, est relié aux VAXBI par des cartes DWMB/A/B ; une erreur de fabrication sur une de ces cartes issue d'un sous-traitant a provoqué en 1990 45 remplacements.

VAX 9000 (1990) : tentative complètement manquée de construire une puissante machine scientifique à base de circuits ECL, d'une part parce que la production a dû être arrêtée après 200 commandes par suite d'une grave erreur architecturale, d'autre part parce que le marketing, non consulté comme d'habitude, signale que la plupart des clients font de la gestion transactionnelle.

VAX 6500 ou 6000 / 500 (11 / 90) est un nouveau progrès géométrique sur la puce CMOS, dont le cycle passe à 16 ns (64 MHz) et incorpore un cache de 2 KB, un cache secondaire de 256 KB se trouvant sur la carte. D'autre part, la mémoire maintenant réalisée avec des puces de 4 Mbits peut monter à 512 MB, et le bus XMI, toujours de 100 MB/s, peut se voir connecter directement - cad sans VAXBI - Ethernet, cluster et disques., au prix d'un adaptateur KSFMA de 102 MFHT.

Nouveaux périphériques : SF 200, pour 24 disques de 1 GB et 2 cartouches de sauvegarde. TF837, cartouche de sauvegarde en bande 4 mm, 2 GB, 140 KF.

Logiciel : VMS 5.4 comporte un système de disques miroirs, ou Ultrix 32. Réalise 32 TPS.

Prix : 2 MFHT pour un CPU avec 64 MB de mémoire et 1 GB de disques, 8 MF en 6 CPU.

En 1990, DEC continue à améliorer ses processeurs et sort un VAX CMOS à 20 MHz, de puissance 2,7 Mips qui est d'abord produit pour l' OEM : Aeon, Kinetics, Logical Design. C'est un microprocesseur en trois circuits, CPU, FPU, Ethernet, baptisé r t VAX 300, et gravé en procédé CMOS 2 (tracé 2 µ).

En 4/90 DEC décide de sortir sa propre carte, KAV 30, qui comprend CPU, FPU, 4 à 16 MB de DRAM, 256 KB d'EPROM, un contrôleur SCSI, 2 lignes asynchrones, et un moniteur temps réel, VAX.Eln: ce programme se compose de DECnet en version noeud terminal, d'un récepteur de téléchargement par VMS, et d'un support pour RDB, la base de données relationnelle de VMS. Les protocoles sont TCP/IP pour les communications, et Posix 1003.4 pour les appels temps réel. Prix 40 à 70 KF selon mémoire.

Le but est clairement de construire des terminaux transactionnels pour les serveurs VAX, à prendre parmi les suivants, qui utilisent certainement, comme processeur principal, une puce plus puissante.

MicroVAX 3000/100 (11/90) est une station de travail organisée, comme les 6000, autour de puces dérivées du MicroVAX III; elle est présentée comme 33% plus puissante que la 3000 d'origine, et accepte une sauvegarde TF837 (ci-dessus) et 2 lignes synchrones au lieu d'une.

Prix à partir de 70 KFHT.

VAX 4000/300 (4/90) est une nouvelle famille, qui semble également se fonder sur une puce CMOS dérivée du MicroVAX III, mais non identifiée. Puissance 8 VU.

VAXft 310 (3/91) est le premier système à tolérance de panne de DEC, à base de MicroVAX 3100. Capable de 128 MB de mémoire et 12 GB de disques, il a donné 3,8 Specmark à la mesure de puissance et 8,9 TPS au test TPCA de débit. Logiciel VMS commun aux deux processeurs étroitement couplés. Prix 0,87 à 1,4 MFHT.

VAXft 410 (3/91) est la même chose, à base de 4000/300. Avec les mêmes mémoires, il délivre 6 Specmarks et 16 TPS. Le principe est que les contenus des deux cartes processeur sont comparés à tout moment; en cas de désaccord, message et isolement mais pas d'arrêt.

Prix: 1,2 à 1,75 MF, livraison en 6/91.

VAXft 610/2 (3/91) offre la même puissance que le précédent, mais avec deux puces CPU par carte CPU, pour une détection plus significative des incidents. Il peut monter à 24 GB de disques, grâce à une armoire de 1,5 m de haut., et coûte 1,4 à 1,95 MF. Livraison en 7/91.

Il y a aussi un modèle 612 qui additionne la puissance de deux machines du type précédent, atteignant 12 specmark et 25,6 TPS. Prix 2,5 à 3,5 MF.

VAX 4000/200 (4/91), à base d'une puce MOS s'appuyant sur une puce RISC pour les entrées/sorties, ce système peut accepter jusqu'à 130 terminaux et débite 13 TPS, soit deux fois plus que le MicroVAX 3000/400 qu'il remplace commercialement. Prix 175 à 800 KF.

VAX 6000/600 (9/91) est une autre puce CMOS, dite NVAX, capable de 30 VU. L'horloge ne pouvant avoir été encore accélérée, il faut imaginer un nouveau dessin plus riche en simultanités.

VAX 4000/500 (10/91) est un remplacement du 300, avec une mémoire à puces de 4 Mbits et une puissance de 17 VU, pour un prix de départ de 120 K\$.

VAXstation 4000/60 VLC (10/91) est une station de travail avec une puce mesurée à 6 VU ou 5 Specmark, accompagnée d'un système graphique à 8 plans. Le modèle d'entrée, avec 8 MB de mémoire, un écran noir et blanc de 17", et des licences pour VMS, POSIX, SQL, Motif, coûte \$3500 ou 33500 FFHT sans disque. Le modèle 60, biprocesseur, 12 specmarks, coûte 76500 FFHT.

VAX 4000/90 (7/92) est une station de travail préparant la transition vers Alpha, et affichant des performances très accrues, compatibles seulement avec un processeur différent, non identifié: 32,8 specmark pour une mémoire jusqu'à 128 MB, des disques jusqu'à 8,7 GB, un débit d'entrées/sorties de 5 MB/s, et un prix de base de 147 MF.

Cette même machine est aussi proposée comme serveur local sous le nom de MicroVAX 3000/90, avec un débit de 34 TPS, des accès à 4 MB/s, et un prix à partir de 170 MF.

Pour la première fois, on trouve les trois logiciels Open VMS, UNIX OSF/1 et Windows NT.

VAX 4000/100 (7/92) est annoncé avec une carte CPU Mips, mais remplaçable ultérieurement par une carte Alpha. Plafonné à 128 MB, 28 GB de disques, il offre un débit de 8,5 MB/s et 51,9 TPS, pour un prix de 207 MF. Egalement choix parmi trois systèmes d'exploitation.

VAX 4000/600 (7/92) est un serveur départemental à processeur Mips, en principe modifiable comme le précédent. Beaucoup plus puissant, il est plafonné à 512 MB, 56 GB de disques, et débite 12,5 MB/s et 103,8 TPS pour 886 KFHT.

Une version dégradée 4000/400 fournit 51,2 TPS pour 337 KF.

VAX 7000 (7/92) est un serveur d'entreprise à processeur propriétaire CMOS VAX qui élimine tous les 6000 et propose, comme les précédents, un échange de cartes à la sortie des Alpha. Monté sur un bus mémoire 750 MB/s qui accepte plusieurs CPU et plusieurs cartes XMI pour 80 MB/s d'entrées/sorties. Débit 123,8 TPS. Trois systèmes d'exploitation au choix.

Mémoire jusqu'à 3,5 GB, disques jusqu'à 10 TB, débit d'entrées/sorties 400 MB/s, prix à partir de 2500 KFFHT.

Les annonces de 10/93 sont les dernières avant le passage à Alpha et font usage de puces, probablement Mips, fonctionnant à 72 MHz : il y avait urgence à renouveler les microprocesseurs.

VAX 4000/100 A comporte un cache de 10 à 128 KB, une mémoire de 128 MB, des disques limités à 4,8 GB en interne mais jusqu'à 75 GB en externe, et offre 96 TPS pour 181900 FFHT.

MicroVAX 3100/90 est la même machine dans une mise en boîte de station de travail, beaucoup moins coûteuse, 39100 FFHT pour la machine de base, 5,3 GB interne, 8,7 GB externes, 85 TPS.

VAX 4000/500 A avec le même choix de cache offre 512 MB de mémoire, 14,3 GB de disques internes plus 100 externes, et fournit 116 TPS pour un prix de base de 287300 FFHT.

VAX 4000/600 A est simplement le précédent poussé à 83 MHz, et capable de 185 TPS.

VAX 4000/700 A est poussé à 100 MHz, et comporte deux niveaux de cache, 10 KB primaire et 2 MB secondaire, reste inchangé. Il peut atteindre 253 TPS.

VAX ft 810 à tolérance de pannes comporte deux fois deux CPU à 45 MHz comme le 610 antérieur. Il peut contenir 8 à 500 KB de cache, 256 MB de mémoire, 56 GB de disques. Il peut délivrer 90 TPS. Produit par Alenia en Italie, il coûte 1383 KFHT.

Les machines à succès étant les cibles naturelles des petites sociétés qui se proposent de les améliorer, signalons qu'une société nommée Avalon Computers propose en décembre 90 une grande carte baptisée Vaccelerator AP 30, qui s'enfiche sur Unibus ou QBus, et qui fournit un complément de puissance. Le processeur est un Motorola RISC 88100, complété d'un MMU 88200, la carte pouvant en contenir un (18 Mips, 69500 FFHT) ou deux (36 Mips, 110000 FFHT). Le processeur est compatible VMS, et jusqu'à 10 cartes peuvent cohabiter.

Le logiciel acceptable comprend un Fortran VMS, C, Pascal, un éditeur de lien, un analyseur d'applications, un assembleur et un débogueur symbolique.

## 221 - Les calculateurs 18 bits de DEC

Le texte ci-dessous est formé d'extraits du livre fondamental Computer Engineering (Doc 200).

La Digital Equipment Corporation a été fondée en 1957 avec l'objectif explicite de construire des ordinateurs, mais il s'écoula deux années avant que ce projet se concrétise : le principal financier de DEC, American Research & Development, doutait qu'il fut possible de réussir en vendant des ordinateurs. Par contre, cette même société s'enthousiasmait pour la production de blocs logiques vendus comme meccano aux laboratoires, et c'est donc sur ce thème que la nouvelle compagnie dut faire ses gammes.

Un an plus tard, la réussite économique étant au rendez-vous, DEC reçut la permission de réaliser son projet, mais Ken Olsen préféra profiter d'un délai supplémentaire pour élargir sa clientèle, et ce n'est qu'en 1959 qu'il embaucha Ben Gurley pour lui confier la tâche de réaliser une machine : il devait s'en occuper trois ans, et mourir accidentellement en 1963 peu après avoir quitté DEC.

Deux des choix de Gurley ont décidé de la vocation du PDP 1 : l'usage des modules logiques de DEC comme matériau de construction, et la mise au point d'un périphérique graphique dont le succès devait se prolonger jusqu'en 1970.

Toute l'expérience des ingénieurs de DEC découlait de leur passage au MIT et au Lincoln Lab: Ken Olsen avait construit le MTC pour mettre au point la mémoire à tores de Whirlwind, puis appliqué cette technologie à la construction de TX0 au Lincoln Lab ; Ben Gurley était le constructeur de la console graphique de 12" , principal périphérique du TX0 après son transfert au MIT en 1958, et il avait eu le temps de voir les nouvelles inventions faites pour la seconde vie du TX0 et pour son successeur le TX2, à savoir l'indexation pour gestion des boucles, et l'organisation des entrées/sorties par interruptions et DMAs.

Ainsi, toutes les idées et toute l'expérience nécessaires à une réussite étaient réunies chez DEC au moment de la décision de construction du PDP 1 . Cependant, le PDP 1 n'est pas du tout une copie du TX0, car il n'était pas comme lui sujet à évolution, et devait avant tout être économique à produire et facile à mettre en oeuvre dans sa destination principale, le process control.

La première machine complète, PDP 1A, incorporant une bande perforée avec son contrôleur et un écran dans le pupitre, fut présentée à Boston, à l' EJCC de 12 / 59. Jugée trop coûteuse, cette disposition de la console fut supprimée dès la deuxième machine et jamais reprise chez DEC dans un produit grand public.

La PDP 1B de même architecture, avec pupitre séparé, et écran formant un périphérique distinct et d'ailleurs plus grand, fut livrée à BBN à Cambridge, Mass, en 11 / 60 ; et une machine semblable fut installée à domicile.

Ces expériences servirent à déceler les maladrotes ou défauts de conception et permirent de définir la PDP 1C, machine de série, dont la caractéristique la plus visible est le pupitre intégré : cela raccourcit les câbles et supprime des connecteurs, occasions de pannes. Elle est aussi mieux ventilée donc plus fiable, et plus accessible à la maintenance grâce à une disposition claire et imposée des extensions.

Le PDP 1C a été commandé en série par ITT comme coeur de son système 7300 ADX de commutation de messages, et DEC reconnaît que l'existence d'une telle série fut un facteur de stabilisation dans une entreprise encore très petite, où il eut été facile de céder aux envies d'améliorations.

Deux des machines livrées, au MIT et à BBN, devaient participer en 1963 à des recherches sur le temps partagé, qui conduisirent à quelques modifications structurelles, constituant la variante PDP 1D, dotée d'une mémoire multiport, d'une interruption d'horloge et d'un tambour de swapping .

Le sigle PDP 2, réservé pour une éventuelle machine 24 bits, n'a jamais été utilisé.

Le PDP 3 était un projet de machine 36 bits, qui chez DEC n'a pas dépassé le niveau du papier. Cependant, un client de DEC, le Scientific Engineering Institute de Waltham, Mass, en a construit un exemplaire d'après ce qu'ils savaient de ce papier, et cette machine fait l'objet d'une fiche. Stoppée après quelques années d'exploitation, elle fut donnée au MIT qui semble en avoir fait cadeau à quelque école : en 1974, cette machine était en fonction en Oregon.

La décision de produire un PDP 4 poursuivant les mêmes objectifs que le PDP 1, mais avec un moindre prix, fut prise en 12 / 62. L'objectif de prix devait être atteint en simplifiant la logique, en ne laissant dans la structure de base rien de ce qui n'était justifié que par telle ou telle option, en remplaçant la technologie 5 MHz surabondante ( la mémoire fixait de toutes façons à 2 de ses cycles la durée de chaque instruction ) par la nouvelle technologie de modules 500 KHz à base de transistors Ge ( on pouvait aisément l'employer à 1 MHz ), et en faisant tenir le résultat de cet effort dans seulement deux armoires au lieu de quatre. Les simplifications logiques portaient sur la suppression des flags et des sense switches, du MQ dont le rôle était joué par le registre de mémoire, et de tous les programmes en mémoire morte.

Le PDP 4 final se présente comme une machine offrant les 5 / 8 de la performance du PDP 1 pour un prix moitié, et tout à fait commode à doter de périphériques variés disposés en étoile sur l'unique accès à la mémoire. Il ne s'est pas très bien vendu, et le document 200 impute cela à une erreur de marketing : on ne peut que constater, comme le fit le président Palmer en 1992, que c'était là un des défauts fondamentaux de l'entreprise.

Le programme du PDP 7 était initialement de reproduire le PDP 1 avec des modules plus modernes et plus rapides, pour améliorer fortement les performances en réduisant les prix. On réalisa cependant rapidement qu'il valait mieux reproduire le répertoire du PDP 4 pour profiter de son logiciel, nettement plus riche que celui du PDP 1, et dans l'élan de cette décision on choisit aussi de s'imposer la compatibilité des entrées / sorties, ce qui était abusivement contraignant.

Finalement on accepta toute une série de compromis :

- passage du code Baudot à 5 trous au code ASCII à 8 trous, et donc des TTY 28 aux TTY 33 pour les bandes perforées.

- instructions nouvelles autour d'un schéma logique pratiquement conservé.

- création de trapping et d'interruptions externes multiniveaux.

- retour à un bootstrap en mémoire morte lisant des bandes perforées spéciales .

Remarquablement conduite par une équipe minuscule dirigée par Ronald Wilson, l'étude du PDP 7, du démarrage au 1 / 4 / 64 à la première livraison le 22 / 12 / 64, n'a pas pris 9 mois, résolvant au passage des problèmes sérieux comme la mise au point d'une mémoire à tores de cycle 1,75  $\mu$ s, la mise au point d'une nouvelle famille de modules 10 MHz, l'introduction du wire-wrapping et la programmation corrélative de la machine Gardner-Denver.

L'analyse des premières ventes montra que de sérieuses économies étaient possibles sur les entrées / sorties compatibles PDP 4, régulièrement demandées par les clients. Toute cette partie de la machine fut redéfinie en utilisant une nouvelle famille de modules à 2 MHz, la R-série, et des impulsions espacées de 8  $\mu$ s comme dans le PDP 4. Cette version remplaçant la version initiale s'appelait PDP 7A.

L'étape suivante, entreprise plus à loisir parce que la production des PDP 7A était bien en place et les ventes conformes aux espoirs mis dans le projet, consistait à reprendre l'ensemble de la conception pour généraliser le recours au wire wrapping. L'objectif était maintenant de construire une machine 8 K mots vendable au prix de base de \$ 35000, provisoirement nommée PDP 7X.

Conçu initialement comme une simple amélioration, le nouveau calculateur, confiée à Larry Seligman, ne tarda pas à diverger d'avec son prédécesseur, devenant alors le PDP 9. La logique de la machine est inchangée, bien qu'il s'agisse maintenant de transistors discrets PNP, et peu d'économie est possible de ce côté.

Par contre, la mémoire à tores est maintenant du type 2 1/2 D avec un cycle de 1  $\mu$ s, et elle coûte moins que la précédente parce que chaque tore n'est traversé que par trois fils, et parce que la capacité de 8 K mots peut être obtenue en un seul module ; en outre, la durée des instructions étant encore totalement conditionnée par le cycle de mémoire, la machine toute entière est accélérée dans le rapport 1,75 / 1 !

Autre nouveauté, la machine est dotée en option d'une extension arithmétique microprogrammée, la première microprogrammation de DEC, qui utilise une mémoire corde pour les microinstructions. Le compromis technique adopté pour cette microprogrammation est très économique, de sorte que le PDP 9, avec ses extensions et la partie commune des entrées / sorties, contient moitié moins de modules que le PDP 7 pour les mêmes fonctions.

Dernière différence, les entrées / sorties du PDP 9, à l'exception de l'ensemble standard à bande perforée, sont organisées sous la forme d'un bus circulant en bretelle d'un contrôleur de périphérique au suivant : cette solution, applicable aux seuls périphériques qui n'utilisent pas le DMA, permet de construire, tester et installer ces contrôleurs comme des blocs indépendants, dans le domaine des vitesses modestes acceptables à l'époque.

Pour ces diverses raisons, le rapport performance / prix du PDP 9 était excellent et la machine fut un succès. Il semblait cependant possible de baisser encore le prix en réduisant la mémoire de base à un module de 4 K inspiré de ceux du PDP 8, et en remplaçant le lecteur de bande perforée indépendant par l'ensemble lecteur / perforateur d'un simple télétype. Cette machine minimale, baptisée PDP9L, n'a eu qu'une vie commerciale assez courte, étant supplantée bientôt par le PDP 15 et les circuits intégrés.

Le programme du PDP 15 consistait à faire moins cher que le PDP 9 de même capacité, et d'autre part à autoriser une croissance bien supérieure. Il fut satisfait en passant à la technologie TTL et en réalisant une mémoire à tores de 18 mil, permettant un cycle de 800 ns seulement (hors contrôle de parité optionnel) ; et, par la même occasion, l'addition d'un registre d'index améliorait les temps de calcul.

Le PDP 15 tel que réalisé fit l'objet de commandes nombreuses, généralement orientées vers le haut de la gamme, et, si l'objectif de prix était bien atteint - et explique les ventes - la performance n'avait pas progressé autant qu'on pouvait l'espérer. En fait, il fallut vite réaliser, à la demande des clients, un FPP 15 qui permit d'améliorer les vitesses de calcul scientifique dans un rapport 2 à 7.

La connexion de périphériques était assurée par un processeur spécialisé qui déchargeait le processeur arithmétique, mais l'addition de disques en cartouches restait hors de portée. La solution choisie, consistant dans l'emploi d'un PDP 11 / 05 comme contrôleur, s'avéra finalement économiquement supportable et techniquement facile : le résultat est le PDP 15 / 76.

Le PDP 15 est le dernier, et le plus réussi, des calculateurs 18 bits produits par DEC et abandonnés quand le marché s'est orienté vers les 16 bits. Mais ce n'est pas la dernière étude hors famille.

DEC était né comme un fabricant de modules, et avait réalisé toutes ses machines, au moins jusque là, en utilisant soit directement une de ses familles de modules, soit au moins des modules dérivés. La société restait marquée par la philosophie correspondante, et certains de ses dirigeants, notamment Gordon Bell, pensaient qu'il existait, dans la clientèle, des gens qui auraient souhaité définir et peut-être même construire eux-mêmes leur calculateur.

Le PDP 16 répond à cette préoccupation supposée, et Bell a étudié une famille de modules, les RTM (Register Transfer Modules), susceptibles d'être utilisés comme briques pour une telle construction. Un programme de PDP 10 devait permettre le passage des descriptions logiques du client au schéma de réalisation à partir de ces modules, réalisation qui pouvait être faite ensuite soit chez DEC soit chez l'utilisateur. L'article ne dit malheureusement pas si le concept a trouvé des clients.

On peut supposer que le succès a été modeste, d'une part d'après le ton de l'article, et d'autre part parce qu'on trouve aussi, en 1974, une autre proposition de la même veine, le MPS 10 : il y a une carte CPU porteuse d'un 8008, des cartes mémoire, et un cross logiciel sur PDP 8 : le client est clairement considéré comme moins intelligent que dans le cas du PDP 16, mais peut-être plus réaliste. Quoi qu'il en soit, cette seconde formule représentait un très petit risque.

## 222 - BASIC

BASIC est initialement un outil pédagogique, construit au Dartmouth College comme langage de programmation pour un petit système de temps partagé. C'est un langage inspiré par le premier Fortran, avec une différence qui simplifie l'analyse, et qui est en quelque sorte une signature : le verbe LET précède toute assignation.

Le BASIC de Dartmouth était un interpréteur, pour une rédaction facile, et comme tel fortement dépendant du calculateur sur lequel il s'exécute. Cela explique sa rapide extension, qui s'accompagnait de variations linguistiques et d'enrichissements sémantiques. Et cette diversité explique aussi pourquoi le langage a été si tardivement normalisé (ANSI BASIC Standard X3. 60 - 1978) : trop d'intérêts économiques auraient été lésés par une norme qui aurait rejeté de nombreux produits commerciaux bien implantés.

Bien que de nombreux petits systèmes aient utilisé une variante de BASIC comme leur principal langage, les réalisations de Basic chez les constructeurs plus importants, où il côtoie d'autres traducteurs dans les systèmes d'exploitation, présentent les caractéristiques suivantes :

- syntaxe simple et contraignante, proche de la syntaxe Dartmouth
- pauvreté des types, en général les entiers et un autre, qui dépend des objectifs poursuivis
- simplicité des entrées / sorties.

BASIC ne prétend que rarement remplacer les autres langages, il existe à cause de sa simplicité et de son interactivité.

Pour ces diverses raisons, les BASIC du commerce se répartissent en trois catégories, de chacune desquels nous donnerons des exemples, choisis parce que nous disposons d'un document descriptif:

1) les interpréteurs, de loin les plus nombreux, portant sur un langage assez proche du Dartmouth original.

BASIC-11, sur les divers PDP 11 sous RT 11 : boîte 27, software handbooks  
BASIC-PLUS, fonctionnant sous RSTS / E : boîte 27, software handbooks  
BASIC II de Perkin Elmer Data Systems : boîte 53, fiche dans Périphériques PEDS  
Basic du PC IBM : boîte 84, une fiche  
SEL BASIC : boîte 109, manuel de référence

Dans cette catégorie, on peut aussi placer le Tiny Basic de 1975, un interpréteur Basic fonctionnant sur une machine abstraite elle-même interprétative, donc aisément portable. Voir SIGPLAN 7 / 76 pp 25/33 .

2) les compilateurs d'un des langages précédents, beaucoup plus rares puisqu'ils ne se justifient que si ce BASIC est langage de production, ou encore pour une application particulière :

BASIC-PLUS-2, principal outil du système RMS : boîte 27, software handbooks  
Extended BASIC de Harris, sous Vulcan : boîte 37, une fiche  
Basic compilé du PC IBM : boîte 84, une fiche  
BASIC / VM de Prime : boîte 101, une fiche  
BASIC de U 1108 : boîte 145, notice en français

3) les traducteurs qui ne se réclament pas réellement de Dartmouth, et utilisent le sigle BASIC comme une sorte de publicité. C'est là qu'on trouve les divergences les plus fantaisistes, par exemple dans les Business Basic de certains petits systèmes de gestion.

## 223 - APL

APL, pour A Programming Language, est né d'un article publié en 1962 par Kenneth Iverson, alors chez IBM, dans la revue Communications of the ACM. C'est un langage interprétatif, d'une grande richesse mathématique, avec comme traits principaux, et surprenants pour le novice :

- un foisonnement presque délirant d'opérateurs, limité seulement dans les réalisations par l'impossibilité de les représenter tous.

- l'absence de toute règle de précedence à l'exception de celle des parenthèses : l'analyse syntaxique des formules se fait imperturbablement de droite à gauche.

A cause de ces caractéristiques, l'article d'Iverson provoqua des réactions, qui l'obligèrent à un second article d'explications, puis à la publication d'un livre. Mais il était, semble-t'il, voué à l'échec par l'absence de tout terminal économique susceptible de visualiser le trop grand nombre de symboles.

Après avoir échoué dans sa tentative de convaincre IBM ou la communauté informatique, Iverson se consacra alors à la pédagogie des algorithmes en s'appuyant sur son langage. Dans le cadre de cet effort, il réalisa, à l'aide d'un ordinateur 360 et d'une machine à écrire Selectric à boule amovible, un interpréteur d'une version très édulcorée de son langage ; et il obtint un réel succès, en ce sens qu'un nombre significatif de chercheurs, notamment au Laboratoire IBM de Yorktown Heights, acceptèrent d'utiliser cet outil.

Les services commerciaux d'IBM, sous la pression des services techniques de la compagnie, acceptèrent alors de lancer le langage comme un produit, et à partir de 1968 les interpréteurs APL se développèrent dans le monde entier.

APL a eu une période de succès assez longue, pendant laquelle les grands constructeurs jugeaient indispensable d'écrire un interpréteur pour une de leurs machines. Mais c'est resté un langage individuel, inutilisable pour rédiger un programme d'intérêt général. Cette période a pris fin dans les années 90, lorsque la plupart des usagers de l'ordinateur ont cessé de programmer, trouvant sur leur microordinateur de quoi satisfaire l'essentiel de leurs besoins

On trouvera ci-dessous une liste d'interpréteurs dont nous possédons une documentation:

APL du PDP 11, fonctionnant sous tous systèmes	: boîte 27, Software Handbooks
Harris APL sous Vulcan	: boîte 37, une fiche
IBM APL \ 360 sous OS ou DOS	: boîte 63, un gros volume
APL Assist pour les IBM 370/VS	: article 213 - 28
APL du PC IBM	: boîte 84, une fiche
APL de l' IBM System / 7	: article 213 - 29
APL / 1100 des Univac 1108 et suivants	: boîte 143, un manuel

## 224 - PASCAL

Ainsi nommé en l'honneur du mathématicien philosophe, Pascal est né lors du retour en Suisse de son créateur, le Professeur Niklaus Wirth, pionnier de l'analyse syntaxique et membre du groupe européen des fondateurs d'Algol. A la différence d'Algol dont il descend, ce n'est pas une référence théorique, mais un langage complet et compilable qui résout notamment le problème des entrées / sorties.

Le rapport révisé de Wirth, définissant le langage, figure en boîte 146 dans une édition peu soignée.

La notoriété de son auteur et l'engouement des universitaires ont valu à Pascal un succès durable, dont l'origine est probablement le compilateur Pascal portable, rédigé en Pascal par l'Université de San Diego.

La vertu principale de Pascal, dans sa dernière version qui intègre quelques modifications choisies pour améliorer sa portabilité, est son aptitude à une description abstraite, c'est-à-dire à partir d'axiomes et de règles de déduction. C'est une propriété essentielle pour progresser dans la voie de la provabilité des algorithmes, et elle a été obtenue sans perte d'efficacité à l'exécution.

Pascal a complètement échappé à son créateur et a pris dans les universités la relève d'ALGOL. Il n'est pas universel, et sa puissance rédactionnel est limitée, et même critiquable sur certains points, mais il est inattaquable au plan théorique et comme tel bien accepté des enseignants. Il a fait l'objet d'un effort pédagogique important, notamment avec l'invention par Richard Paltis de Karel le robot, un sous-ensemble ne comportant que 5 instructions ; Karel dispose d'un environnement spécifique, éditeur syntaxique et simulateur, et de nombreuses universités l'ont adopté. Allusions dans SIGPLAN 11 / 84 p 18 .

La large implantation de Pascal sur des machines moyennes et petites, principalement les PDP 11 de DEC, a contribué à sa diffusion, et beaucoup d'étudiants se sont familiarisés avec lui.

Malheureusement pour eux, l'industrie n'a pas du tout suivi, car le langage Pascal n'est pas normalisé, et les diverses réalisations scolaires ne sont ni semblables entre elles ni optimisées.

La personnalité de Wirth et la mutation des universités d'Algol vers Pascal ont entraîné une débauche de communications au sein de la presse informatique. On en donne la liste sans pouvoir préciser ce qui a été important ou ce qui n'était que verbiage, puisque tout cela est sur microfilm :

CACM 12 / 76 p 665, probablement simple catalogage .  
 SIGPLAN Notices 10 / 71 p 8 - 6 / 73 p 34 - 3 / 74 p 21 - 10 / 74 p 21 - 11 / 74 p 11 - 2 / 76 p 33 -  
 5 / 76 p 63 - 10 / 76 pp 32, 36 - 11 / 76 p 8 - 1 / 77 p 82 - 3 / 77 p 19 - 11 / 77 p 23 - 12 / 77 p 83 -  
 1 / 78 p 48 - 7 / 78 p 34 - 9 / 78 p 30 - 11 / 78 p 77 - 2 / 79 pp 9, 60 - 9 / 79 p 61 - 2 / 80 p 14 - 4 /  
 80 p 1/69 - 5 / 80 p 56 - 6 / 80 p 34 - 10 / 80 p 63 - 4 / 81 pp 70, 81, 98 - 8 / 81 p 50 - 9 / 81 p 81 -  
 11 / 81 p 7 - 3 / 82 P 53 - 5 / 82 P 38 - 8 / 82 p 104 - 10 / 82 p 23 - 11 / 82 p 39 - 12 / 82 pp 31, 59,  
 65 - 2 / 83 p 57 - 4 / 83 p 66 - 10 / 83 p 38 - 7 / 84 pp 28 / 64 et 65 / 78 - 8 / 84 p 119 - 9 / 84 p 4 -  
 3 / 85 p 3 - 6 / 85 p 47 - 8 / 85 p 93 11 / 85 p 39 - 5 / 86 p 50 .  
 Computing Surveys 3 / 82 p 73 .  
 Computer IEEE 4 / 79 pp 61, 68 .

On trouvera ci-après quelques références de compilateurs Pascal dont nous possédons un manuel de référence, ou au moins une description, et on ne sera pas étonné, après les remarques précédentes, d'y trouver d'abord le travail de Digital Equipment.

MicroPower/Pascal est un compilateur pour les PDP 11, en trois versions sous RT 11, MicroRSX et VMS	: boîte 27, Software handbook 1983
Pascal du PC IBM	: boîte 84, une fiche
NPE Pascal d' Unisys, 1988	: boîte 132, manuel CH7

Pascal a complètement disparu avant l'an 2000, pour diverses raisons :

- il existe désormais un langage normalisé, plus puissant, qui jouit des mêmes qualités de principe avec l'avantage de disposer de compilateurs industriels : ADA.
- la généralisation du système Unix, qui entraîne celle de son langage, le C, lui aussi vertueux.
- l'importance croissante de la programmation objet, avec le langage C++, dérivé du précédent.

## 225 - DIBOL

Dibol est à COBOL ce que Basic est à Fortran, c'est-à-dire un interpréteur de langage commercial, interactif et facile à implanter. Mais il y a une grosse différence : DIBOL est un langage propriétaire, et n' a donc qu'une diffusion limitée dans le monde de DEC de ses revendeurs et de ses clients . On se borne donc à en signaler quelques versions documentées :

DIBOL-11, pour CTS 300 et 500 : boîte 27, Software handbook 1980

DIBOL 83, pour les mêmes, sur PDP 11/23 : boîte 27, Software handbook 1983

## 226 - DEC et les PC

DEC a aussi abordé la production de calculateurs personnels, mais son analyse du marché était complètement fautive. Reconnaisant qu'il y avait une clientèle, personnelle et entreprise, pour un ordinateur individuel, DEC l'aborde avec l'idée qu'il suffit de présenter les services demandés dans une enveloppe de taille , contenu et prix approprié pour attirer le client. Estimant qu'elle possède tout ce qu'il faut avec les versions micro de ses PDP 8 et 11, elle essaye des machines qui s'en déduisent, Rainbow et Professional, et n'obtient aucun succès, faute d'avoir perçu que le client est indifférent au matériel et fortement prisonnier du logiciel et du service.

Un peu plus tard (1981), DEC qui réalise le terminal à écran VT 100 pour les besoins de ses divers ordinateurs, et en produira 250000, a l'idée d'y incorporer un microprocesseur pour en faire un ordinateur personnel . A un VT 100 de 15540 F, on va donc ajouter un microprocesseur Zilog Z 80 à 4 MHz avec 64 KB de mémoire et une disquette de 160 KB pour 18852 FF puis, en option, une seconde disquette (9218 FF), une imprimante LA 34 à 30 cps (11210 FF), et bien entendu le logiciel à 1808 FF, soit CP/M + BASIC + une bibliothèque. On peut aussi avoir une imprimante LA 120 à 180 cps.

Au total, ce ordinateur personnel est trop cher pour se vendre correctement.

Finalement, DEC doit se rendre compte que le PC est une production contraignante, sur laquelle les marges sont de plus en plus modestes à cause de la concurrence, mais elle ne croit pas pouvoir s'abstenir de participer. Les PC de DEC n'ont guère contribué à sa célébrité, et les tentatives d'originalité, comme le VAXMATE de 1988 qui est un PC /AT pratiquement standard, mais avec une possibilité de connexion vers un VAX, n'ont pas intéressé grand monde.

Vers 1993, au plus bas de sa courbe, DEC continue à entretenir une gamme de PC, dont on peut citer quelques exemples:

LPX+, boîtiers compacts pour desktops, CPU Intel 486 S2 à 50 MHz par doubleur interne (pas de coprocesseur), mémoire 4 MB, bus ISA 6 slots, disque 170 MB sur contrôleur IDE, pour 10700 FF.

Ajouter 1700 FHT pour un écran SVGA 14" entrelacé 1024 \* 768 pixels.

LPV+, boîtiers standard desktop, CPU 486 DX4 à 99 MHz, bus VL/ISA, mémoire 4 MB, même disque, pour 16100 FF. DOS 6.21 et Windows 3.11 .

XL ordinateur bureautique avec carte CPU interchangeable, bus PCI/ISA, mémoire 8 MB avec cache 128 ou 256 KB, disque 340 MB sur contrôleur SCSI. Prix 21500 F pour un 486 DX4 à 99 MHz et 25700 F pour un Pentium 90 à 90 MHz qui peut s'assortir d'une carte vidéo optionnelle Vision 864 de S3. Gestion de consommation.

Les prix ci-dessus sont attractifs, et ont amélioré les ventes en Europe (de 1,3 à 3,3% du marché), mais on peut douter qu'ils aient contribué à sauver l'entreprise alors en pleine déconfiture.

Toujours pour ne rien négliger, DEC s'est aussi intéressé aux portables en recherchant le processeur le plus approprié. La plupart de ces produits ne s'élèvent pas au dessus de la foule, mais il faut tout de même citer les très remarquables microprocesseurs StrongARM, développés en CMOS 0,35 µ avec trois couches métal par Digital Semiconductors à partir d'une licence ARM7 (1997) .

Ce sont les SA110, puces de 50 mm2 seulement:

115 Mips Dhrystone à 100 MHz, 300 mW sous 1,65 volt, 29 \$.

185 Mips à 160 MHz, 450 mW sous 1,65 volt, 49 \$

230 Mips à 200 MHz, 900 mW sous 2 volts, 49 \$

Le pipe line standard d'ARM7 a été passé de 3 à 5 étages : fetch, decode, exécute, accès au cache, rangement. Il y a deux caches de 16 KB pour les instructions et les données qui occupent 75% de la puce, le second étant à écriture différée et doté d'un tampon.

Ces puces très réussies sont destinées aux notebooks pour les deux premières, aux décodeurs de TV pour le plus performant. On sait que cette filiale efficace de DEC a du être vendue à Intel lors de l'achat final de DEC par Compaq, et que Intel a ainsi hérité des licences ARM.

## 227 - Recherche informatique à Carnegie - Mellon University

On ne s'étonnera pas que l'Université de Pittsburgh, la ville de l'acier, doive beaucoup à Dale Carnegie, le maître de forges de la fin du XIX<sup>ème</sup> siècle et du début du XX<sup>ème</sup>. Elle porte donc son nom et s'est orientée vers les disciplines de la mécanique.

Après la guerre, cependant, un autre industriel a fondé au sein de l'Université un Institut Mellon qui s'est essentiellement occupé d'informatique, et c'est dans le cadre de cet institut que se sont effectuées la plupart des recherches rapportées ici.

La première tâche de l'Institut après sa fondation a été de s'équiper d'un ordinateur, terminé dès 1958. Il s'agit d'une modeste machine à tambour magnétique, qui n'a même pas de nom. Voir fiche.

L'une des premières études de l'Institut est la construction d'un système de temps partagé autour d'une paire de calculateurs Bendix G20, formant un G21 : le commanditaire de cette opération était très probablement l'ARPA, et le système a fonctionné à partir de 3 / 65, avec 12 terminaux télétypes, un tambour et un compilateur Algol. L'opération devait manquer d'idée directrice, et n'a pas marqué la communauté informatique comme le projet MAC.

Les premières recherches entreprises à l'institut concernent le logiciel, et tout particulièrement l'art de rédiger des compilateurs. Perlis y créa IT pour l' IBM 650. D'un plus grand poids est sans doute le travail de thèse de Feldman en 1964, inventant un langage de description sémantique, FSL = Formal Semantic Language ; ce travail sera publié en 1966 dans CACM (voir microfilm) et utilisé par Perlis en 1965 sur contrat ARPA SD 146 pour écrire un compilateur baptisé Formula Algol, qui vise à peu près les mêmes objectifs que FORMAC. Voir 242-241/52.

Nous trouvons aussi un travail d'intelligence artificielle, à l'occasion d'un séjour à l' Université de H. A. Simon, de la Rand Corporation. Simon, qui avait dès 1952 publié quelques réflexions sur le jeu d'échec, dirige ici une des toutes premières recherches sur ce jeu:

BAYLOR (G. W.), SIMON (H. A.) - A chess mating combinations program,  
in SJCC 1966, pp 431/47 -

Référence 243-431

On peut encore évoquer le travail de Parnas, cherchant à mettre au point une méthodologie de la conception de calculateurs, avec SODAS, un logiciel de simulation dont l'organisation est le reflet des structures qu'il s'agit d'expérimenter. Voir 246-449/72.

A partir de 1967, l' Institut s'équipe d'une 360/67, pour laquelle IBM accepte de fournir le système TSS/360, sans engagement. Sur contrat SD 146 de l' ARPA, ils vont essayer de définir une nouvelle approche de ce système pour le time sharing , qui fait l'objet d'une communication 247-7/18 . Prudemment présenté comme expérimental, ce travail ne semble pas avoir abouti à un système opérationnel.

L'étude TSS / 8 de 1969 concerne un petit système de temps partagé construit par l'étudiant Adrian van de Goor sur un PDP-8, en réaction à la difficulté de mise au point et au prix du travail entrepris par IBM sur le 360 / 67. Incontestablement une réussite, ce produit s'est vendu à une centaine d'exemplaires après avoir été réorienté puis produit en série par DEC.

La remarque, trouvée dans Computer Engineering, selon laquelle le coût par usager et par job du TSS / 8 est le vingtième du coût correspondant du TSS / 360, est certainement vraie, mais de peu de signification si l'on veut bien songer que :

- les travaux exécutables sur une grosse 360 ne sont guère comparables à ceux qu'on peut mener sur un simple PDP-8 ;

- la mise au point chez IBM du TSS / 360, qui n'a pas été commercialisé, a été l'occasion d'une mutation intellectuelle dans la recherche logicielle d' IBM, contenant en germe de nombreux succès ultérieurs de la compagnie. Le prix de l'étude n'était que peu de chose devant ce progrès.

Quoi qu'il en soit, le TSS / 8 était une jolie réussite,, et celui de Carnegie-Mellon a fonctionné jusqu'en 1974, ce qui est honorable pour un produit non commercial et bricolé.

L'étude d'un PDP 8 avec cache, entreprise par le professeur Casasent en 1971 avec l'appui de DEC, bien avant que les caches viennent à la mode, n'offre pas d'intérêt technique particulier, sinon d'avoir démontré qu'effectivement un cache peut accélérer notablement une machine dont les performances de CPU et de mémoire sont déséquilibrées. On en retiendra que l' Université collaborait sans complexe avec les constructeurs, l'objectif étant à cette époque d'évaluer l'intérêt d'un processeur ECL dans un contexte de mémoires à tores sévèrement limitées en performances.

**C.ai** est un ordinateur en papier, un projet d'architecture financé par l'ARPA visant à définir une structure multiprocesseur de grande puissance pour l'intelligence artificielle. Les auteurs, C. Gordon Bell qui n'était pas encore chez DEC, et P. Freeman de l'Université de Californie, hésitaient d'autant moins à viser haut qu'ils n'espéraient pas concrétiser ce projet, mais ils se sont astreints à ne raisonner que sur des constituants existants pour que le résultat soit au moins réalisable. Aussi, à défaut de réalisation, l'étude a eu un important impact intellectuel sur les travaux ultérieurs de l'Université, d'autant plus que Gordon Bell est à l'origine de certaines de ces études.

Ce C.ai comporte un crossbar pour relier 16 modules de mémoire de 512 Kbits \* 74 bits chacun, cycle de 550 ns, à 16 processeurs : 1, 2, 3 ou 4 de ces blocs peuvent être lus simultanément, les bus processeurs comportant 296 bits.

Les processeurs peuvent être le CPU qui gère le système (doublé par sécurité), des processeurs de langage spécialisés qui sont les objets de l'intelligence artificielle et le prétexte de l'étude, des mémoires de masse, et des processeurs d'entrées / sorties.

Le véritable intérêt de Bell dans cette étude était le système d'exploitation AMOS, dont il définit les grandes lignes. Voir cette étude (contrat ARPA F44620-70-C-0107) dans:

C.ai, a computer architecture for AI research, in AFIPS Conference Proceedings, Vol 41 Part II, pp 779/90, 13 références bibliographiques.

**BLISS** est un langage d'écriture de système dont la définition et l'implantation ont été effectués par W.

Wulf, avec publication du manuel de référence en 1970. Le premier compilateur fonctionnait sur PDP 10, mais le succès du langage a conduit à créer des compilateurs sur d'autres machines. BLISS a servi à écrire notamment le système d'exploitation HYDRA.

Nombreuses références en FJCC 72 pp 943/8, et dans SIGPLAN : 10/71 p 42, 9/72 p 4, 12/72 p 3, 11/78 p 63

**Hearsey II**, qui va fonctionner entre 1972 et 1977, est un projet de compréhension de la parole,

en marge des préoccupations d'intelligence artificielle auxquelles prétendait s'intéresser C.ai. Malgré cet énoncé, il s'agit plutôt d'un système de codage de la connaissance par thèmes, avec création d'un mécanisme d'intégration des règles propres au domaine.

Par exemple, dans l'application "compréhension de la parole", les thèmes sont acoustique, phonétique, syntaxe, sémantique. Pour chaque thème, on établit une base de données hiérarchique, et un programme qui est la manière de s'en servir.

**C.mmp** est une modeste réalisation inspirée par l'étude C.ai, comme le montre le numéro de contrat ARPA, le même pour les deux études. Au lieu de l'intelligence artificielle dont on peut imaginer qu'il s'agissait de traduction automatique, on parle ici de reconnaissance de la parole et de traitement du signal, comme motivation / prétexte, l'intérêt immédiat étant dans le problème du système d'exploitation capable de gérer cette structure multiprocesseur : HYDRA.

On trouvera dans Computer Engineering p 395, le schéma du processeur, qui adopte l'organisation crossbar proposée pour C.ai, et comprend 16 modules de mémoire et 16 processeurs ( 11 PDP 11 / 40 et cinq PDP 11 / 20). L'article de Gordon Bell :

C.mmp, a multi-mini-processor, in AFIPS Conference Proceedings, Vol 41 Part II de 1972, pp 765 / 77, 19 réf. bibliographiques

est essentiellement consacré à la conception de Hydra, programmé en BLISS pour réduire les risques d'erreur de rédaction, et aux résultats d'essais en relation avec la structure d'adressage.

Des résultats plus détaillés concernant HYDRA peuvent être trouvés dans quatre articles de SIGOPS, Vol 9 N° 5, 11 / 75 pp 114 à 160, rédigés par l'équipe de Fuller.

**CMU 11** est une expérience de conception d'ordinateur, centrée sur la récente invention des tranches de logique (bit slice), étape inévitable dans le processus d'intégration sur socle de silicium (1975). Il s'agit de construire un ordinateur de puissance moyenne en utilisant les tranches de 2 bits de la famille Intel 3000, en profitant d'ailleurs de ce que Intel, créateur de la tranche, et Signetics, seconde source, étaient disposés à fournir gratuitement les circuits nécessaires.

Ce circuit, comme tous les autres jeux définis après lui (AMD, Monolithic Memories) est une architecture très directive : chaque tranche contient deux bits d'un ensemble composé d'un opérateur arithmétique et logique, de ses registres d'entrée et de sortie, et d'un groupe de registres organisé comme une petite mémoire (scratchpad), source des opérandes et destination des résultats. Les tranches peuvent se juxtaposer indéfiniment, la retenue issue d'une tranche devenant report dans la tranche suivante.

Dans ce cadre architectural, on peut tout de même broder : le choix des responsables de l'étude (Fuller 1976) s'est porté sur l'architecture PDP 11, pour la raison que c'est une architecture multiregistre bien adaptée à la contrainte des Intel 3000, et qu'il existait déjà dans l'Institut de nombreux PDP 11 pouvant servir de support logiciel et d'élément de comparaison.

La machine est bien entendu microprogrammée, seule solution raisonnable pour superposer deux architectures non directement compatibles. On trouvera tous les détails disponibles dans Computer Engineering, pp 449 / 62, qui constitue d'ailleurs notre seule source sur cette étude.

**Cm\***, qui succède à CMU 11 dans le programme de recherche, est essentiellement une étude de logiciel : il s'agit de réfléchir à la manière de coordonner l'activité de multiples processeurs communicants, de manière à en optimiser l'usage et à les mettre au service d'une même tâche informatique. Le processeur choisi est le modeste LSI 11, capable tout de même de quelque 170000 instr / s et, pour examiner tous les cas possibles, l'organisation répartit les 10 processeurs en trois groupes :

- un groupe de 4, sous contrôle d'un calculateur gestionnaire de mémoire (K.map), lui-même commandé par le calculateur hôte à travers une cascade de connexion.

- deux groupes de 2 et 4, chacun avec son K.map, ces deux Kmap partageant une seconde structure de commande.

- un PDP 11 / 10 sert d'hôte et gère les entrées / sorties communes, tandis que deux bus relient les trois K.map pour regrouper leurs ressources en clusters.

Ici encore, le livre Computer Engineering est à peu près notre seule source, et c'est dans l'article de Fuller qu'on trouvera les commentaires utiles sur les relations entre l'efficacité du système comme un tout, en fonction du nombre de processeurs en service et des connexions mises en oeuvre.

La réussite technique de l'assemblage, plutôt que ces conclusions dont la généralité laisse à désirer, conduisirent la National Science Fondation (NSF) et l'ARPA à financer une deuxième phase de 50 processeurs, sur laquelle on voulait étudier le parallélisme, la tolérance de pannes, et la modularité. Voir schéma dans Computing Engineering, p 399. Cette première version est prête en 1979, dès ce moment extensible à 256 CPU accédant à un espace commun de 4 Mmots (adresses 24 bits), au sein d'un système nommé StarOS. L'évolution vers Medusa était en cours en 1980.

**ALPHARD** est une étude de langage extensible, permettant la définition de nouveaux types, entreprise en liaison avec l'Université de Californie du Sud.

Voir microfilms CACM 8/77 p 553 et SIGPLAN 5/79 p 29.

**C.vmp**, achevé en fin 77, est une étude de fiabilité par triplication et vote majoritaire de calculateurs LSI 11, inspirée par la conscience simultanée de la complexité croissante des applications des ordinateurs, du caractère critique de certaines d'entre elles, et du coût croissant de la maintenance. On ne dispose d'aucun détail sur cette expérience mentionnée dans Computer Engineering.

**Tartan** est en 1978 la participation de Carnegie Mellon à l'appel d'offre IRONMAN du DOD, en liaison avec des industriels. Le choix du consortium est de faire simple, et il ne sera pas approuvé par les juges, qui élimineront ce groupe : la proposition rejetée est décrite dans SIGPLAN Notices, 9 / 78 pp 36 / 75.

Après le choix d'ADA, ce groupe, dont la compétence en matière d'écriture de compilateurs n'était pas niable, s'est reconverti en société privée, baptisée Tartan Laboratories, installée à Pittsburgh, et vouée précisément à la construction d'ateliers logiciels ADA.

Des ateliers pour ADA 83 et pour ADA 90 seront menés à bien et commercialisés.

**Tree Machine**, étudiée de 1978 à 1980 sur contrat DARPA, est un projet d'architecture pour une machine qui optimiserait automatiquement certains aspects des langages de haut niveau, étant capable de reconnaître les sous-expressions communes. Cette TM a été définie avec précision, mais évaluée seulement en simulation. Voir 234 - 57/65.

**WARP** est une étude de processeur systolique, entreprise en 1985 sur contrat DARPA. La réalisation comportait 10 puces Weitek disposées logiquement en ligne, chacun tenant sur une carte de 432 \* 381 mm à côté de 180 autres circuits intégrés, dont une mémoire de 16 KB. Selon le principe de ce type de machine, une donnée et une adresse entrent à une extrémité, le résultat sort à l'autre bout, chaque élément se reconfigurant toutes les 200 ns.

Chaque carte constitue un noeud de l'ensemble, avec 8 connexions débitant globalement 320 MB/s.

Le logiciel sous Unix comprenait Fortran, C, et deux compilateurs spécifiques de l'organisation en réseau, Apply et Assign ; on disposait aussi des outils Unix.

Il a été imaginé de commercialiser le résultat de cette étude, sous forme de cartes à 4 cellules coûtant \$ 39950, et de tiroirs de rack 19" contenant 64 cellules et valant \$ 494950. On pouvait espérer monter à 1024 noeuds et en tirer 20 GFlops. Mais il n'y eut pas d'acheteur.

L'université a gardé un intérêt pour ce concept, bien après la fin de l'étude DARPA et la reprise du produit par Intel (sous le même nom). On trouvera un article sur une telle étude (Computer IEEE, 12/94, pp 34/43) dans le dossier universitaire, boîte 138.

## 228 - Bytemaster de Digital Group, Inc

Cette société, comme un grand nombre d'autres, s'est lancée en 11/76 dans la production d'un minicalcateur de gestion centré sur le microprocesseur Intel 8080. Proposé à \$ 1995, ce "Systems" se serait vendu à 3500 exemplaires. Le Bytemaster lui succède en 6/78.

Sauf très rare originalité, le seul moyen d'évaluer de tels produits est de lister les services accessibles en les comparant au prix d'achat.

Pour un prix de base de \$ 2495, on dispose de 18 à 64 KB de mémoire MOS à cycle de 2,5 µs, d'un bootstrap sur ROM, d'un DMA, et de 8 niveaux d'interruptions. Option RTC.

Périphériques : floppy, écran 16 lignes de 64 ou 24 lignes de 96 caractères, une sortie ligne 100 à 9600 bauds, sorties vidéo et son. Options IP 300, ME 60 à 200.

Logiciel : assembleur, Basic, APL. Pas de système d'exploitation mentionné, on peut supposer qu'il s'agit de CP/M, comme tout le monde.

## 229 - Digital Microsystem

Tout à fait dans la même veine, Digital Microsystem propose en 1978, pour \$ 4995, un calcateur un peu plus riche à base de Z80, baptisé DSC 2.

Matériel : mémoire 32, 48 ou 64 KB, interruption, RTC.

Périphériques : 2 floppies, jusqu'à 27,4 MB de disques, 4 sorties série et une sortie parallèle.

Logiciel : CP/M, Basic E, bibliothèque, et au choix Pascal, Fortran, Oasis, CBasic, applications.

Le DSC 4 de 1980 reprend ce programme autour du Z80A à 4 MHz, qui comporte quelques améliorations : scratchpad de 1 KB, moniteur sur ROM de 1 KB, extension de mémoire jusqu'à 512 KB par mémoire de mapping, sortie compatible avec le Multibus d'Intel, extension périphérique à 4 floppies 8", dont deux dans une boîte externe 8 U.

En 1979, DM prend le risque de produire et commercialiser le HEX29, un calcateur conçu par Michael Simmons, de Carmel Valley, Cal. HEX est apparemment la société personnelle de ce garçon.

Proposée à \$ 15000, cette machine se doit évidemment d'être beaucoup plus originale que les DSC. Dans un boîtier de 356 \* 445 \* 508 mm, on trouve donc 96 KB de mémoire RAM (extensible à 1 MB), un processeur pipeline à base d'AMD 2901 avec 16 registres de 16 bits, une mémoire de microprogramme de type WCS sur 64 bits de large, un MMU à 16 registres, 256 niveaux d'interruptions. La microprogrammation permet d'offrir la virgule flottante, l'arithmétique sur chaînes décimales, les manipulations de bits jusqu'à 64 bits par mot.

Limités initialement à un écran et un floppy, les périphériques se sont enrichis de disques fixes, bande magnétique, communications, et jusqu'à 16 usagers.

Logiciel : système de temps partagé, macroassembleur, SuperBasic, Fortran 77, Pascal.

## 230 - Les émulateurs universels de Digital Scientific

Le point de départ de cette entreprise est le Meta 4 de 1969, émulateur universel visant à se faire connaître par l'émulation du célèbre IBM 1130. La difficulté d'une émulation à cette date réside dans la mémoire morte de microprogrammation, réalisée ici avec des puces de papier métallisé collées sur une grille. Le résultat, en tous cas, était efficace parce que IBM, selon ses habitudes marketing, se gardait de considérables marges techniques et économiques. Voir fiche.

Parmi les réalisations de cette époque, on peut signaler Prime, système de temps partagé construit à l'Université de Berkeley autour de cinq Meta 4, interconnectées pour assurer l'intégrité du système en cas de panne, et qui simulent diverses machines du commerce.

Réalisée sur contrat ARPA DAHC15-70C -0274, cette installation est décrite par l'article :

Borgerson B. R. - Dynamic confirmation of system integrity, in AFIPS Conference Proceedings, Vol 41 part I, 1972 pp 92/6, 9 réf. biblio.

qui n'accorde que peu de places aux spécificités du Meta 4.

La modeste réussite de cette première émulation (modeste parce que les universitaires enthousiastes n'ont généralement pas beaucoup d'argent) permit à la société de tenir jusqu'à l'apparition des premières mémoires mortes ROM ou PROM, avec lesquelles Digital Scientific put proposer son second modèle, le Meta 4 / 4000, qui s'est mieux vendu.

Le Meta 4 / 5000 de 1978, dont le prix typique est \$ 73600 pour une application moyenne d'émulation, est capable d'émuler toutes les IBM 370 bas de gamme, et 250 machines 4000 et 5000 étaient en service en 1980, essentiellement comme émulateurs de 1130, 1800, et 370.

La micromachine 5000 dispose de deux accus, trois index, et quatre modes d'adressage sur 14 bits (modèle 5010), 15 bits (5020) ou 16 bits (5030). Il y a aussi un DMA à 2 MB/s et 6 interruptions. La mémoire est MOS, avec un cycle de 500 ns, accès 300 ns, parité et bit de protection : capacité 4 à 32 KB.

La microprogrammation est assurée par PROM : l'addition 1130 s'effectue en 1,44 µs, Mpy / Div sont standard, la VF est optionnelle sur le 5030, la RTC est standard sur 5030 et optionnelle sur 5020, la batterie de réserve est optionnelle. Les logiciels sont ceux d'IBM : macroassembleur, Cobol, RPG II, Fortran, Basic, APL sur la 5030.

Périphériques : choix parmi LR, PR, LC 600 ou 1000, ME 120, IP 300 ou 600, disques en cartouches ou en pack de 1 à 600 MB, bande 1600 bpi, écran 24 \* 80, lignes téléphoniques de 110 à 19200 bauds.

Applications : la 5010 à \$ 18000 sert surtout pour constituer un terminal de RJE ; la 5020 à \$ 24500 peut gérer 8 terminaux, et la 5030 à 39600 aura 32 terminaux. Ces trois versions jouissent de compatibilité ascendante et on peut passer de l'une à l'autre chez le client, qui voit la machine de base comme une 1130. Les autres applications sont moins standard, mais disponibles.

## 231 - Digital System Corporation

Cette compagnie apparaît en 1973 à Oakland, Cal, pour proposer, clé en main, l'installation d'une ligne téléphonique à 10 terminaux travaillant en polling sur des IBM System 3 des modèles 8, 10 et 12. La ligne était limitée à 2400 bauds, le protocole étant asynchrone. Ce modeste système, DSC 6101, vendu \$ 3950 ou loué 150 \$ / mois, a été placé à 60 exemplaires.

Ce modeste succès lance donc la compagnie dans le domaine de la commutation de message et, en octobre 1976, le DSC 1300, beaucoup plus ambitieux, est proposé aux possesseurs de 360, 370 et S/3. C'est un PDP 8 avec 64 KB de mémoire qui peut gérer jusqu'à 90 lignes client jusqu'à 9600 bauds et 4 hôtes, chacune des lignes pouvant supporter jusqu'à 32 terminaux en polling.

Fonctionnant effectivement avec RPG II, BASIC et DBMS, tous programmes interactifs, ces petits systèmes se vendaient \$ 38000 à 75000. 20 étaient installés en 3 / 79.

Cette réussite pousse la société à créer son propre calculateur de gestion de temps partagé et de consultation de base de données., le Galaxy /5. Il semble que ce concept suppose que le calculateur principal ne joue qu'un rôle négligeable dans les activités conversationnelles, car les CPU du Galaxy sont des microprocesseurs : cela paraît peu croyable. En tous cas, les ventes de Galaxy ne paraissent pas avoir validé le concept.

En 4 / 77, DSC élargit sa clientèle en proposant le DSC 6616, qui peut travailler au profit non seulement d'un IBM S/3, mais aussi d'un Burroughs 1726, ou même d'un Galaxy /5. Ce petit système à \$ 10000 ou \$ 325 / mois est centré sur un simple 8080 avec 32 KB de mémoire, et fonctionne par interruption au niveau du caractère. Il offre jusqu'à 15 lignes, chacune capable de 32 terminaux en polling. Les protocoles sont asynchrones ou BSC; on peut probablement admettre que les lignes BSC ne sont pas sujettes au polling, qui paraît résolument incompatible.

En janvier 78, DSC se lance, comme tant d'autres, dans la définition d'un terminal CP/M, à base de Z80. Cette machine équipée seulement de deux floppies, 517 KB en simple face ou 1,15 KB en double face, coûte \$ 4995 en 32 KB, 6090 \$ en 64 KB pour les versions SF, 5695 et 6795 \$ pour les versions DF. Logiciel : CP/M, BASIC-E, et un debugger. Moyennant supplément, Fortran, CBasic, packages de gestion.

### 232 - Total 100 de Dimis

Autre exemple de microcalculateur de gestion pour la distribution, construit autour d'un Modcomp II 16 bits avec 64 Kmots de tores magnétiques, cycle 800 ns. Fourni avec trois écrans de 24 \* 80 caractères, il peut recevoir en option 50 à 800 MB de disques, une bande 36 KB/s, une IP 300, et 32 lignes jusqu'à 9600 bauds, dont au moins une ligne synchrone. 10 de ces machines à \$ 98000 ont été placées sur 4 ans.

Logiciel : système de multiprogrammation, base de données, assembleur, Basic, Cobol, Fortran, package d'application comptable.

### 233 - Insight de Display Data

Système clé en main comme le précédent, celui-ci est basé sur le Microdata 1600 / 30, 8 bits, doté d'une mémoire à tores 32 (8) 128 KB à cycle 1 µs, accès 350 ns.

Périphériques : disque 80 MB, bandes 10 ou 20 KB/s, ME 120, IP 300 ou 600, écran 24 \* 80, et jusqu'à 32 lignes asynchrones jusqu'à 9600 bauds.

Logiciel : multiprogrammation par un OS capable de 20 partitions, assembleur, tous types de fichiers mais pas de base de données explicite.

Un total de 400 machines auraient été placées au prix moyen de 26200 \$, dont 180 en trois ans.

### 234 - DMS 1000 de Distribution Management System

Cet assembleur travaille sur PDP 8 (DMS 1000 / 8) ou sur PDP 11 (DMS 1000 / 11) pour construire des petits systèmes de distribution clé en main, comme suit :

PDP 8 avec 32 Kmots de mémoire à tores cycle 1,2 µs, fichiers sur cartouches ou bandes, ME 180, IP 300, et jusqu'à 10 lignes. Système d'exploitation à 10 partitions avec assembleur, DEAL, ORACLE, base de données, et packages de gestion. 43 machines en service fin 77.

PDP 11 avec 64 KB à 2 MB de mémoire MOS 980 ns, reste idem avec IP 1200 et jusqu'à 32 lignes. Système d'exploitation à 30 partitions et, en plus des programmes déjà cités, Basic, Fortran et Cobol.

### 235 - DEC 8000 de Dresser Controls

Cet équipement dont on ignore la véritable finalité représente une période embryonnaire de la technique informatique : la mémoire à tores de 4 à 16 KB est associée à un petit calculateur dont la finalité est de visualiser sur un écran jusqu'à 64 groupes de 8 chiffres, et de distribuer tout ou partie de ces données à un maximum de 5 TTY et 4 écrans dispersés.

Le logiciel se composait de l'assembleur et d'un programme de communication.

A la vérité, ce qui manque pour apprécier ce genre d'information est le prix payé à Dresser pour la réalisation de cet instrument.

### 236 - Monarch de Dynabyte

Ce calculateur est la combinaison d'un 8086 servant de processeur de calcul et d'un Z80 consacré aux entrées / sorties, le tout fonctionnant sous le système d'exploitation Oasis.

La société Dynabyte n'aura qu'une existence éphémère car National Semiconductors décide de l'acheter pour faire du Monarch le coeur de son 1100, système pour magasins., avec le projet de remplacer ensuite le 8086 par son nouveau processeur 16032.

### 237 - Le compatible de Dynamac Computer

En 1987, Apple est célèbre grâce à son MacIntosh. La société Dynamac se crée pour réaliser un portable compatible avec ce produit phare, en utilisant au maximum les composants de Apple : la carte mère, la ROM système de 128 KB sont celles de Apple, auxquelles on associe un clavier semblable à celui de Apple à l'exception du pavé numérique, une souris, un disque optionnel de 20 MB, 85 ms, avec contrôleur SCSI ; un floppy 3,5" de 400 ou 800 KB, un écran électroluminescent de 512 \* 342 pixels, une mémoire de 1 à 4 MB, toutes les interfaces du Mac plus une sortie vidéo, et tout le logiciel du Mac.

L'alimentation est secteur, ce qui paraît irrationnel puisque cela interdit l'emploi du portable dans le train ou l'avion. Il y a aussi une option modem, 300 à 1200 bauds, ce qui paraît inutilement faible.

Le prix de ce produit, dont on ignore l'impact, est de l'ordre de 4000 \$ sans modem ni disque.

### 238 - Le T 1000 de Dynamic Sciences

Ce T1000 est un émulateur universel, construit sur une seule grande carte contenant 69 circuits intégrés TTL. Il contient 16 registres, peut adresser 64 KB, et dispose d'une mémoire de microprogramme de 1024 \* 32 bits, ce qui paraît bien court pour l'universalité. La vitesse d'exécution est 300000 ops / s, ce qui semble signifier 300000 microopérations et paraît beaucoup trop lent.

Le commentaire signalait que l'émulation de machines 8 / 12 / 16 / 32 bits était possible, et que le prix de la carte était seulement de 1000 \$ par lots de 100, mais tout cela est de peu d'intérêt si cette interprétation est exacte.

### 239 - Eckert - Mauchly Company

Ces deux ingénieurs faisaient pendant la guerre partie de la Moore School of Engineering, école technique dépendant de l'Université de Pennsylvanie. A la demande de l'US Army, cette école avait vers 1943 fait les plans et entrepris la construction, à l'établissement militaire d'Aberdeen, d'une machine destinée à accélérer les calculs balistiques des trajectoires d'obus : l'ENIAC, mise en service en 1946.

Sitôt cette construction terminée, Eckert et Mauchly avaient entrepris, toujours à la demande de l'armée et toujours à Aberdeen, la construction d'une machine plus puissante et mieux conçue, l'EDVAC. Parmi les membres de leur équipe, Von Neumann, mobilisé comme mathématicien, a contribué à la définition et rédigé un rapport qui, moins célèbre que LE rapport postérieur Von Neuman / Goldstine, n'en énonce pas moins déjà quelques-uns des principes essentiels de l'architecture des calculateurs.

La guerre terminée et l'EDVAC achevée, Eckert et Mauchly estiment que leur compétence s'exprimera mieux dans une société privée, et que l'informatique a de l'avenir, fondent la Eckert-Mauchly Co, qui se propose de construire une machine scientifique commercialisable.

En réalité, à cette époque, il n'est pas encore possible de compter sur les banques pour le relais financier. Après avoir construit pour la société d'aviation Northrop la calculatrice BINAC, Eckert-Mauchly Cy entreprend sur fonds propres l'étude d'une machine orientée non plus vers les applications scientifiques, mais vers la manipulation de caractères, l'UNIVAC, et se retrouve bientôt en faillite.

Le rachat de la Eckert-Mauchly Cy, et surtout du sigle UNIVAC, par la société de mécanographie Remington Rand, sera en 1950 le point de départ de l'informatique industrielle.

### 240 - BC 1630 de Eagle Computer

Cette machine est un compatible PC / AT, basé sur un 8086 à 8 MHz, associé à une DRAM de 512 KB, à un disque dur de 10 MB, avec toutes les options usuelles : interface Shugart pour un deuxième disque, clavier 95 touches dont 14 définies par l'utilisateur, interface parallèle Centronics pour une imprimante, deux à 8 interfaces série RS232C pour lignes asynchrones, option graphique couleur, coprocesseur 8087. Poids 15 Kg.

Logiciel au choix : CP / M, MP / M, Oasis 16, Xenix, MS / DOS, IRMX 86. Prix \$ 9000.

Un BC 1610 était également proposé, limité à 128 KB de mémoire, deux floppies 5,25" soit 1,6 MB, et un maximum de trois terminaux.

Le principal intérêt de cette machine est qu'elle a été achetée à 1000 exemplaires environ par Thomson qui l'a commercialisée en France sous le nom de Micromega 16, au prix de 34860 FF. Cela n'a pas empêché Eagle Computer d'être mis en faillite en 1986.

## 241 - Educational Data System

Cette société se fait connaître en 1975 en proposant une carte enfichable sur un slot de Nova 1200 ou de son équivalent D116 de DCC, qui sont des processeurs 8 bits. Cette carte est un coprocesseur microprogrammable composé de 4 accumulateurs 16 bits et d'une scratchpad de 64 mots, avec une PROM de 4 KB pour les microprogrammes.

Le produit de base, qui utilise 512 bytes de PROM, est une arithmétique décimale qui manipule des entiers entre + et - 7999, et trois tailles de virgule flottante avec 6, 10, ou 14 chiffres décimaux de fraction et un exposant décimal entre + et - 63. Il est fourni avec un assembleur. Prix \$ 2600 + \$ 900 de firmware.

Persévérant dans son attachement à Nova, considéré comme un attracteur commercial, EDS offre en 1978 un compatible Nova capable de 2,5 Mips, baptisé Point 4. Cette machine est vendue moins de \$10000 pièce avec 64 KB, et \$ 4500 en quantité. Elle est livrée avec le logiciel Iris, déjà licencié à quelque 3000 Nova chez Royal Business Litton, Nixdorf, Ampex, Randal System.

Ce logiciel comprend le système d'exploitation Iris, un assembleur, un Basic, un éditeur, une base de données Infotrieve/Informat, et un package de gestion écrit en Basic.

Le matériel se présente dans un rack 3U, 7 slots, qui peut recevoir et interconnecter deux cartes CPU 380 \* 380 mm contenant chacune 64 KB. Le panneau de commande amovible est monté au bout de 12 ft de câble plat et comporte un clavier hexadécimal, deux visualisations de 6 chiffres octaux, 14 autres touches et 8 témoins. La fourniture comprend aussi un bootstrap avec autodiagnostic et un débogueur octal.

Une carte multiplexeur pour 8 portes RS232C peut aussi être fournie.

Le succès modéré de cette opération incite EDS à changer de nom, et à devenir un fabricant de calculateur à part entière, cessant de se cacher derrière Nova : devenue Point 4 Data Corporation, pour ne pas laisser oublier son précédent succès, la firme offre en 1986 avec le Mk 12 un calculateur 16 bits estimé à 15 Mips. La machine est réalisée en TTL sur une carte 6 couches de 97 cm<sup>2</sup> qui contient la micromachine à cycle de 64 ns et le pipeline à 4 étages, ainsi que 128 KB de mémoire réalisée avec des puces SRAM de 16 Kbits, cycle 35 ns. Cette mémoire, accessible à travers un bus 32 bits capable de 33,3 Mbit/s, peut varier de 2 à 16 MB par incréments de 4 MB.

Les périphériques, qui prennent place dans une armoire de la taille d'un réfrigérateur, comportent 1 à 8 disques Winchester de 84 MB, un streamer de 1/4 ou 1/2 " pour les sauvegardes, et un DMA à 8 canaux pour gérer jusqu'à 100 terminaux.

Le logiciel est un IRIS 8.3C compatible, mais les IRIS antérieurs et le Business Basic sont acceptés.

## 242 - Educomp - Quodata

Cette société de service construit à la demande, pour les écoles et les administrations locales, de petits systèmes conversationnels à base soit de PDP 8/A, soit de PDP 11 / 34 à 70, et les dote d'un système d'exploitation multipartition, donc adapté plutôt au mode transactionnel.

PDP 8/A, mémoire à tores ou MOS, 64 à 256 KB, 16 à 32 lignes, et jusqu'à 63 partitions.

PDP 11, mémoire 32 KB à 2 MB en tores ou MOS 775 ns, 32 à 63 lignes, 63 partitions.

Chacune de ces configurations a donné lieu à plus de cent contrats clé en main sur cinq ans, où la compagnie se borne à utiliser matériel et logiciel de DEC, en n'apportant pratiquement aux clients qu'une interface de compréhension.

## 243 - White Sands Proving Ground

La base aérienne de White Sands, dans le désert du Nouveau Mexique, est un terrain d'essai pour les avions nouveaux et ses besoins informatiques étaient faibles à la fin de la guerre. Son premier équipement, réalisé en quelque sorte par relation, fut le CRC 106, baptisé Whitesac parce qu'à l'époque il était d'usage de donner un nom en AC (automatic computer) à son calculateur : en fait un ordinateur de gestion, variante du CRC 102 conçu à l'AFCRC par une équipe transférée ensuite chez Northrop, constructeur d'avions, puis chez NCR, qui devenait ainsi constructeur d'ordinateurs et le rebaptisait NCR 303.

Mais l'après guerre fut une période d'intense créativité aéronautique, et c'est à White Sands que furent essayés les premiers avions supersoniques, qu'eut lieu le célèbre premier vol de Charles Yeager sur le Bell XS1, immortalisé dans le film "l'Etoffe des Héros". A cette époque, l'emprise de l'informatique sur les essais restait modeste, avec simplement des radars reliés par téléphone, et des télémesures radio aboutissant sur des enregistreurs.

C'est vers 1965 qu'il devint indispensable, devant la vitesse toujours plus élevée des avions, d'unifier les points de mesure par des liaisons d'ordinateurs. On dispose d'un exposé, présenté aux FJCC 1965, référencé 242-871/6, qui décrit une opération de tracking et mesures à White Sands, et signale que le calculateur de l'époque est un IBM 7044. Plus précisément, un article de Missiles & rockets, 1/2/65, indique qu'au moment de la mutation ci-dessous, il y avait à White Sands une 7094, deux 7044, trois 1620 et sept 1401. Le débit maximum de télémesure était de 50000 bit/s.

Il était certainement nécessaire de rationaliser davantage. Le système ARTRAC, Advanced Range Testing, Reporting & Control, en service en 1967, se compose de :

- 6 Area Data Center distribués sur les quelque 100 miles de la base, chargés de recueillir les données, télémesures et observations optiques. En constante évolution technique, ce réseau de télémesure est capable d'un maximum de 4 Mbits/s, composé à cette époque de deux voies PCM de chacune 800 Kbit/s, quatre voies FM/FM à 18 sous-porteuses chacune capables individuellement de 4000 car/s, plus quelques voies PAM et PDM. Jusqu'à 10 porteuses peuvent être reçues simultanément.

- un calculateur IBM 360/65, doté d'une mémoire de 128 KB, LC, PC, IP, ME, deux dérouleurs de 180 KB/s et un de 90 KB/s. Un canal 2909 collecte les télémesures à travers des démodulateurs et des tampons à tores. Sa fonction est d'éliminer les redondances et les erreurs et de délivrer en sortie une télémesure utilisable sans précaution.

Une routine prioritaire de réaction rapide enregistrée sur mémoire morte réagit aux arrivées inopinées de télémesure, en plus du traitement normal, pour obtenir en 4 à 16  $\mu$ s un prélèvement instantané qui peut être exploité de deux façons différentes.

- 4 OCC Operation Control Center, dont le principal comporte 20 consoles, sont alimentés par le Display subsystem qui ne comporte pas moins de 128 voies de conversion D/A, servant à préparer les participations et à visualiser des synthèses, sans interférer avec les mesures brutes et complètes qui seront exploitées en différé.
- un sous-système Raw Data Recording d'enregistrement brut, préinformatique, pour archivage et traitement différé précisément.
- un sous-système Test & Calibrate qui comporte des simulateurs de télémesure et permet aussi bien les réglages de télémesure assistés par ordinateur que les contrôles de nouveaux programmes ou de nouveaux équipements.

Le principal inconvénient de ce premier système est qu'il n'intégrait guère que la télémesure, mais apparemment pas les radars. D'autre part, comme le signifient les 128 voies D/A, on n'avait pas encore bien fait entrer dans les esprits les nouvelles moeurs numériques que déjà permettait la technique.

Dès 1970, un système beaucoup plus ambitieux se mettait en place, capable d'assumer à la fois les tâches temps réel précédentes et quelques nouvelles, et l'exploitation méthodique en différé. Cette deuxième installation comporte 7 calculateurs Univac 418 et 118 terminaux répartis dans 23 postes d'observation et mesure, dont certains éloignés de 800 Km, alimentant cinq calculateurs Univac 1108 interchangeables.

On trouvera un schéma de ce système en boîte 149, dossier USAF.

Bien entendu, ce système n'est pas le dernier dont se soit doté White Sands, toujours en activité 30 ans plus tard, mais l'informatique est partout, ses méthodes sont rodées, et on n'éprouve plus le besoin de faire de la publicité pour des installations totalement banalisées aux yeux du public par les livres de science fiction et les films d'espionnage.

## 244 - PL 2500 de Eight Labs

Un exemple, parmi une foule d'autres, de carte "add on" pour PC comme en produisent une foule de petites sociétés d'électronique. Il s'agit ici d'un array processor en une carte coûtant \$ 2945, qui prend place sur un slot ISA 16 bits du PC; dans cette période de technologie galopante, un tel produit est extrêmement daté (1991).

Cette carte contient 256 KB de cache, jusqu'à 4 MB de SRAM, 256 KB de microprogrammes sur ROM, un connecteur pour le bus Span 32, et trois processeurs : interface avec l'hôte, calculs entiers, calculs en virgule flottante sur 32 ou 40 bits.

## 245 - Electronic Associates, Inc.

Dans les années qui suivent la guerre, Electronic Associates est le plus célèbre des fabricants américains de calculateurs analogiques à courant continu, avec les composants duquel se construisent, dans les laboratoires d'aéronautique du monde entier, les simulateurs d'avions et de missiles.

La société est née à Long Branch, NJ, pendant la guerre, et sa contribution à l'effort de guerre a été minimale : un émetteur / récepteur plus ou moins portable pour une application du Wright Air Development Center à Patterson AFB, l'AN / CRT 5.

L'idée du calcul en courant continu naît à la fin de la guerre, pour des conduites de tir de DCA, et probablement au Lincoln Laboratory. La société, fondée par des gens qui ont eu connaissance de cette technique, fait d'abord ses gammes avec des appareils militaires spécialisés :

1950 : AN / GPA 21 générateur de pseudoéchos radar sur un PPI pour entraînement.

1950 : AN / GPA 22 simulateur de vidéo radar paramétrable

1950 : AN / MPQ 12 transformation expérimentale d'un radar SCR 584 en radar de contrebatterie

1951 : AN / SPA 14 table traçante pour suivi d'échos de radar de tir

Ces expériences permettent progressivement de définir une doctrine, autorisant la sortie en 1954 d'un premier calculateur universel, le 16-31R, qui contient déjà toutes les dispositions essentielles (photo) : 32 potentiomètres (panneau supérieur), 20 amplis opérationnels (panneau vertical à droite, milieu 2 et bas 8 paires), 4 servo multiplieurs (en haut à droite), 6 limiteurs à diodes, deux alimentations régulées (en bas à gauche), un panneau de programmation amovible à 1800 plots (centre gauche), un panneau de commande (centre droit en bas). Les résistances et capacités de calcul sont rassemblés dans une enceinte thermostatée, pour garantir la précision de 0,01% des calculs élémentaires, et espérer atteindre une précision de 0,1% sur le calcul complet.

Un modèle plus ambitieux, à 84 amplificateurs, est visible sur une seconde photo, associé à un pupitre de commande et d'affichage qui donne une impression de confort et d'efficace centralisation mais qui, allongeant les liaisons de programmation, entraîne des pertes de précision; ce pupitre disparaîtra vite. Dès cette époque, un système numérique de téléaffichage est proposé, fonctionnant à partir d'un clavier de machine à additionner.

L'équipement de calcul est complété par un important dispositif d'enregistrement, comportant traceurs xy à plat ou verticaux, et équipement de commande manuelle ou par cartes perforées lues sur une reproductrice IBM (digiverter 17.31 A).

Dès cette époque, EAI se développe en créant à Princeton un centre de calcul à façon pour les industriels qui n'ont que des besoins occasionnels (photo), et dépose le sigle PACE, Precision Analog Computing Equipment.

Deux ans plus tard, le PACE 131 R améliore l'amplificateur de base sans introduire de changements fondamentaux dans le système, seulement des commodités comme le voltmètre numérique et la visualisation sur grand écran électronique.

Puis, en 1958, apparaissent de nouveaux servomultiplieurs, des multiplieurs électroniques à diodes, de nouveaux amplificateurs groupés par quatre, et de plus grands panneaux de préaffichage. Cette famille se décline en deux niveaux, le 231R expansible à 100 amplis et couplable, et le 221R limité à 60 amplis et non couplable.

En option, une grande partie des services nécessaires à l'exploitation, affichages, commandes, enregistrements, peuvent être automatisés, et toutes sortes d'éléments numériques, tels que mémoires, seuils, retards, ou même calculs complets de fonctions, sont proposés pour interconnexion et interaction dynamique avec le problème. C'est alors du calcul hybride que EAI, conscients de l'évolution irréversible vers les méthodes numériques, s'efforce de promouvoir méthodiquement : le produit le plus élaboré s'appelle HYDAC 2000 et toute sa partie analogique appartient à la série 231R. La partie numérique du HYDAC s'appelle le system 350.

Dans les premières années 60, ces solutions hybrides restent valables, mais l'évolution de la clientèle est sensible: si l'amplificateur opérationnel reste irremplaçable, on demande de plus en plus les non linéarités à des équipements numériques plutôt qu'à des servomécanismes, et les programmes de simulation purement numériques apparaissent. EAI doit donc évoluer vers le numérique ; et, pour commencer, ils achètent en 1963 la licence du PDS 1020, un petit ordinateur de process qui peut jouer un rôle dans les systèmes hybrides ; puis, ils infléchissent leur politique industrielle :

- d'une part, ils créent des systèmes de calcul analogique moins coûteux, acceptant des baisses de précision par rapport au 0,01% des 231R. Ce seront les TR 10 et TR 48 (photos), intégralement transistorisés.

- d'autre part, ils institutionnalisent le calcul hybride en créant le EAI 8800, combinaison d'un calculateur analogique transistorisé, le 8900, avec un véritable calculateur universel 8400 qui assure la commande et la sortie des résultats, participant en outre aux calculs dans la proportion souhaitée par l'utilisateur / programmeur.

Trop chère, cette dernière solution ne peut durer longtemps et, à partir de 1967, EAI doit renouveler complètement son offre en descendant la tension de référence à 10 volts, et en mettant un poids croissant sur la composante numérique qui peut, le cas échéant, être achetée seule. On trouve donc, dans cette nouvelle période :

- un hybride pédagogique, le EAI 180.
- un hybride de table, le EAI 380 plafonné à 54 amplis.
- un hybride sans calculateur, le EAI 580, 80 amplis de bande passante 125 KHz
- un hybride sans calculateur, le EAI 680, 156 amplis de bande passante 512 KHz, doté d'importants moyens de visualisation, écran et traceur.
- un hybride avec calculateur, le EAI 690 qui associe un calculateur universel 640 à un hybride 680.

Ces matériels se vendront correctement, mais la tendance est désormais irréversible : les programmes de simulation numérique sont de plus en plus capables de remplacer le calcul analogique, d'abord en temps ralenti mais avec une précision arbitrairement fixée, puis en temps réel.

EAI essaiera encore, en 1972 avec le PACER 100 qui est un calculateur numérique organisant le calcul analogique, de défendre le calcul hybride, mais ils savent que cette période est achevée. Le dernier produit analogique de EAI est Miniac, un hybride de table pour l'enseignement.

La société essaye alors de se reconvertir dans la mesure en créant une branche industrielle, c'est-à-dire travaillant pour l'industrie plutôt que pour la recherche. On ne connaît de cette époque qu'un équipement, le 101, simple scanner à programme câblé de performances très basses : les entrées, en nombre quelconque jusqu'à 100, sont analogiques et codées à 12 bits après un échantillonnage qui plafonne à 100 points par seconde. Une mémoire à ferrite permet de stocker plusieurs mesures d'une même quantité et de leur appliquer des algorithmes classiques de filtrage pour ressortir ensuite des résultats numériques, tels que nombre d'impulsions ou débits d'impulsions. L'équipement, qui comprend 7 cartes pour le scanner / codeur, et 24 cartes pour la partie calcul, est construit en logique NAND au silicium.

Ce matériel semble avoir été vendu à Elliott Automation, en Angleterre.

Cette tentative ne paraît pas avoir eu de suite notable. Par contre, on trouve trace, dans les années suivantes, d'un véritable virage vers la simulation numérique.

L'EAI 2000 de 1977 est un calculateur de table pour résoudre 4 à 24 équations différentielles simultanées programmées en ECSSL (ex APSE), un langage à base de blocs fonctionnels. Ce qui est curieux, c'est qu'il ne semble pas s'agir, comme dans CSSL, d'une simple collection de routines prises dans une bibliothèque Fortran et ensuite compilées, mais d'un matériel numérique de puissance comprise entre 1,2 et 15 Mops, invoqué à 1000 cycles de calcul par seconde à travers un panneau d'affichage. Le prix varie selon cette puissance entre 15 et 120 K\$, ce qui paraît cher pour un matériel spécialisé.

L'EAI 3200 Hyshare de 1978 est au contraire un retour à l'architecture hybride, un CPU 32 bits servant de chef d'orchestre pour un maximum de 6 calculateurs analogiques. Le système est traversé par un bus synchrone capable d'un transfert toutes les 150 ns, avec 32 bits de données et 24 bits d'adresse : à ce bus sont reliés :

- le calculateur lui-même
- la mémoire MOS, à cycle de 625 ns, qui ne peut donc consommer qu'un quart de la capacité du bus.
- un multiplexeur parallèle pour envoi d'ordres aux six calculateurs analogiques.
- un multiplexeur de données à 32 voies d'entrée (venant des calculateurs analogiques ?)
- un multiplexeur de données à 32 voies de sortie (vers les calculateurs analogiques ?)
- une horloge et trois timers RTHC
- et un contrôleur de 16 interruptions, en provenance des multiplexeurs, des calculateurs analogiques, et des timers. Les calculateurs analogiques utilisent l'interruption pour indiquer qu'ils ont terminé la passe de calcul qui leur a été ordonnée et que l'ordinateur peut recueillir des résultats.

La programmation, par laquelle le calculateur numérique élabore ses ordres aux calculateurs analogiques, se fait en Hytran, variante de ECSSL.

C'est incontestablement un remarquable travail d'organisation mais, à une époque où les calculateurs numériques deviennent de plus en plus puissants pour un prix toujours plus bas, la résolution d'équations différentielles avec une précision maximale de 0,1% sur les résultats, et avec beaucoup de matériel, était de moins en moins au goût du jour, et finalement EAI dut abandonner.

## 246 - Les débuts de la commande numérique des machines outils

Dans le compte-rendu de l'Eastern Joint Computer Conference, tenue à Washington DC en décembre 1957, trois articles sont consacrés à des expériences préliminaires de commande numérique:

Ho (Y. C.) et Johnson (E. C.), Design of a numerical Milling Machine System, pp 11 / 24, décrivent un programme COMPAC 1, fonctionnant sur le calculateur Bendix G15, et destiné à la commande numérique d'une fraiseuse trois axes, chez Bendix Aviation à Detroit. On découvre ainsi une des motivations qui a conduit cette société de construction aéronautique à se tourner vers l'informatique.

Moore (G. T.), The Numericord Machine Tool director, pp 6 / 10, présente un outil spécialisé, servant à convertir une bande perforée contenant les coordonnées d'une série de points mesurés sur le plan d'une pièce à usiner, en une bande magnétique cinq pistes qui peut commander, de façon incrémentale, les cinq axes d'une fraiseuse. Ce directeur est un simple interpolateur, et le fait qu'il occupe une grande armoire d'électronique est caractéristique d'une époque.

Rosenberg (J.), Logical organisation of the Digimatic Computer, pp 25 / 9, décrit la conception et la réalisation d'un prototype de directeur à la société Electronic Control Systems, Inc. de Los Angeles. Ce matériel, qui n'est décrit que lorsqu'un successeur opérationnel plus performant existe, fournit comme les précédents les signaux de commande en forme d'impulsions pour une fraiseuse à commande numérique : on prend ici en compte les droites et les arcs de cercle du dessin de la pièce à usiner.

Il apparaît ainsi que, dès 1957, plusieurs sociétés ayant des problèmes d'usinage avaient mis au point des solutions efficaces, qu'il ne s'agissait plus que de rendre pratiques et généralisables. La différence entre ces préliminaires et la solution définitive réside dans le partage des tâches, sur lequel le premier article s'explique clairement : il n'est pas rentable à cette époque d'affecter un calculateur électronique, spécialisé ou universel, à une machine outil, car pour une large part de l'usinage il serait à peu près inactif, alors que pour d'autres, il peinerait à fournir les signaux de commande en temps réel.

La vraie solution consiste à utiliser un ordinateur modeste et universel pour passer du dessin à une bande de commande, sans préoccupation de délai, puis de laisser la machine outil travailler à son rythme sous les ordres de cette bande. En ce sens, c'est la solution Bendix qui est la plus proche de la solution définitive, et on peut noter que des trois sociétés mentionnées, Bendix est la seule qui ait réellement fait carrière dans l'informatique.

## 247 - Electronic Engineering company

Il s'agit apparemment d'une réalisation isolée, qui pourrait d'ailleurs s'apparenter à la question précédente : un calculateur Nova, un poste d'entrée constitué par une machine IBM Selectric avec lecteur et perforateur de bande, et un poste de sortie constitué par une minicassette de 1 / 4", 1600 bpi, 120 ips, à quatre pistes sur lesquelles le Nova peut placer les commandes incrémentales pour quatre voies de positionnement d'une machine-outil.

Si cette interprétation est la bonne, cet ensemble EEC0 1600 serait exactement la concrétisation de l'objectif mentionné au dernier paragraphe de la rubrique 246.

## 248 - Electronic Memories & Magnetics

Cette société choisit de souligner dans son nom que sa vocation est la technologie, et elle le manifeste en réalisant, en circuits intégrés TTL MSI, une émulation du PDP 11 / 34, le SECS 11.

Le calculateur est installé dans un châssis 18 slots, où le CPU occupe deux cartes ; il y a aussi une carte de mémoire 1 K DRAM et une carte d'entrées / sorties. La mémoire est extensible à 32 KB de PROM et 128 KB de DRAM ou de tores. Prix \$ 15000 à 25000 .

Les cartes sont des multicouches de 152 \* 114 mm, mais il y a dans le châssis de la place pour quatre cartes 229 \* 152 mm destinées à des entrées / sorties spéciales. En option : gestion de lignes asynchrones, pupitre portable, horloge RTC, MMU, contrôleurs pour écran ou télétype.

Dans le même esprit, elle propose un an plus tard un mini de gestion basé sur un équivalent bipolaire du 8080, ce qui paraît économiquement aberrant. Autant qu'on puisse en juger, cet exercice n'a pas eu de succès.

## 249 - Electronic Product Associates

De cette expérience probablement assez courte nous ne connaissons qu'un seul produit, une carte OEM à \$ 695 contenant 768 mots de RAM, 2560 mots de PROM, un clavier hexadécimal, une visualisation de 6 chiffres hexadécimaux = 24 bits, une interface télétype et une interface cassette, ainsi qu'un programme de commande pour tout cela et un tableau de quatre slots.

L'existence d'un programme bootstrap impose qu'un microprocesseur défini existe sur la carte, et le nom M68 MCB suggère alors qu'il s'agit d'un Motorola 68000, mais le prix rend cette interprétation difficile. La visualisation 24 bits serait d'ailleurs incohérente dans cette hypothèse. ???

## 250 - Elite Microelectronics

Il s'agit d'un fabricant de composants, ou au moins d'un bureau d'études définissant de tels composants qui sont ensuite réalisés par un fondeur, et le produit est ici un chipset, c'est-à-dire un petit groupe de composants qui prennent place entre le microprocesseur et la mémoire.

Réalisé en CMOS 0,8  $\mu$ , ce chipset a été mesuré 9,8 Mips avec un AMD 386 à 40 MHz. On y trouve :

- 60 registres de mémoire topographique avec les circuits de mapping
- une commande de bus AT, a priori donc ISA ou EISA
- un contrôleur de DRAM
- des circuits de shadowing ?

Ce chipset est diffusé en deux circuits de 184 et 160 broches PQFP, et vendu \$ 99 par lots de 1000.

## 251 - Encore Computer

Cette société a été créée en 1985 par Ken Fisher (ex Prime), H. Burckhardt (ex Data General) et C. Gordon Bell (ex DEC), pour construire autour du microprocesseur NS 32032 un multiprocesseur capable d'entrer en compétition avec le Venus de DEC ou le 4300 d'IBM. Cette première machine, baptisée Hydra, ne semble pas avoir été réalisée sous cette forme, mais son nom rappelle un contrat d'étude de Gordon Bell auprès de la DARPA, précisément pour un multiprocesseur. Ce n'est certainement pas un hasard.

La société est installée à Wellesley, Mass., c'est à dire à côté des sources intellectuelles de Bell (DEC, le Lincoln Lab) et des sources financières auxquelles il s'abreuvait habituellement.

Le projet ne semble pas avoir reçu l'aval de la Darpa, et se restructure la même année pour devenir le Multimax, composant déjà fort complexe d'un ensemble encore plus ambitieux, le Continuum, toujours le rêve universitaire de Gordon Bell que les promoteurs espèrent réaliser sous une forme capable d'intéresser les entreprises.

Le Continuum est un réseau local Ethernet auquel s'attachent des Multimax, des processeurs d'autres origines mais parlant également UNIX, et des processeurs de communication locales ou à distance, les Annex. Faute de trouver un sponsor, la compagnie s'attaque à ses frais à la création du Multimax.

Le Multimax est installé dans un châssis de rack dont le fond de panier, long de 1 ft, constitue un Nanobus à 32 MB/s, dont la longueur est parcourue par les signaux en une nanoseconde: ce délai autorise les cartes de processeur qui y sont connectées à occuper tous les créneaux temporels du bus, même avec le maximum prévu de 11 cartes. Chaque carte processeur contient un exemplaire de la logique d'arbitrage du bus, qui permet à un processeur de prendre la maîtrise s'il est prioritaire.

Sur ce bus, il y a d'abord une System Control Card, capable de gérer 40000 interruptions par seconde : ces interruptions vectorisées sur 14 bits de priorités et 6 bits de commande placent sur le bus 36 bits d'adresse virtuelle pour en recevoir 72 bits de données (64 + ECC). Les consoles et pupitres de commande sont attachés à cette SCC, puisqu'ils agissent par interruption.

Le châssis peut recevoir jusqu'à 8 cartes mémoire de 4 MB, dont l'adressage entrelacé permet des consultations séquentielles au débit maximum de la synchro 12,5 MHz. Cette mémoire est complètement partagée entre les divers processeurs, qui peuvent être :

- des contrôleurs Ethernet, disques ou bandes
- des cartes contenant un cache 32 KB et deux processeurs NS 32032, chacun avec son MMU.

La compagnie semble avoir réussi à mettre au point le Multimax, et obtient finalement un contrat DARPA pour le Gigamax, qui de nouveau a obligé la compagnie à des concessions : plutôt qu'Unix, on utilisera le système d'exploitation Mach de Carnegie-Mellon, jugé plus efficace pour le traitement parallèle ; il faudra prouver qu'on peut mener de front une application et du développement; il faudra développer une variante à base de RISC 88000, un microprocesseur Motorola qui semble intéresser davantage la DARPA que

le NS 32032. Au total, il s'agit de mettre en commun les ressources de 8 Multimax interconnectés par fibre optique, représentant une puissance totale installée supérieure à 1000 Mips.

Il n'est pas du tout certain que le contrat ait réellement été attribué, mais c'est probable parce que l'on trouve dans la presse informatique:

- des allusions au Multimax 520 de 1990, où les cartes mémoires, construites en puces de 4 Mbits, sont passées à une capacité de 16 MB, tandis que les cartes processeur se sont enrichies des NS 32532, coprocesseurs VF des 32032.

- l'annonce de la famille 91 qui reprend en gros les mêmes concepts architecturaux avec le microprocesseur 88100 de Motorola et un Nanobus de 160 MB/s.

Entre temps, Encore a acheté en 1990 les activités informatiques de Gould, ancienne société SEL, et c'est le système MPX de Gould qui gère trois processeurs sur quatre dans un hypermodule de la série 91. En 1992, Encore propose des RSX 90, qui appliquent la technique du cluster, issue de la recherche précitée, pour faire travailler ensemble en temps réel des systèmes UNIX + MPX/32 espacés de 3 km.

Tout cela fonctionne probablement, mais il semble bien que les ventes restent peu nombreuses. En fait, après cette date, on n'entend plus parler d'Encore.

## 252 - KX33B de Energy Electronic Products

Il s'agit d'une sorte de calculette à \$ 229 construite autour d'une puce Panasonic MN 1400 à 4 bits, comprenant 1024 \* 8 bits de ROM, 64 \* 4 bits de RAM. La calculette incorpore deux puces de RAM statique, un registre "latch" de 8 bits, un ampli audio avec haut-parleur et générateur de son continu à multivibrateur. Ce genre de produit ne s'amortit que sur de grosses séries : le prix paraît élevé.

## 253 - Engineering Research Associates

Selon l'interprétation la plus probable des faits connus, la NSA, l'administration ultrasecrète des écoutes et du chiffre, construisit en 1949 à Arlington, Va, un prototype de calculateur scientifique à tambour magnétique, baptisé Atlas 1, mis en service en décembre 1950; aussitôt après, elle entreprit l'étude d'un Atlas 2, également à Arlington.

Quelles que soient les raisons de cette décision, la NSA abandonna très rapidement l'idée d'exécuter la recherche en ses locaux, et chercha une société à qui confier le travail d'étude et les ingénieurs qui s'en occupaient. C'est Remington Rand, filiale du groupe Sperry spécialisée dans les machines comptables, qui prit cette responsabilité, très certainement au niveau Sperry d'ailleurs du fait qu'une réorganisation s'ensuivit.

La nouvelle ERA division de RR, créée par les responsables de l'étude, s'installa à St Paul, Minnesota, et reçut de la NSA les crédits nécessaires pour construire une copie de l'Atlas 1, baptisée ERA 1101 et destinée à son propre usage, et le prototype de l'Atlas 2, baptisé ERA 1103. Il y a donc deux machines de chacun de ces modèles, appartenant au gouvernement mais situées dans les locaux de RR. Entre temps, la réorganisation était intervenue à l'occasion de l'achat par le groupe Sperry de la Eckert-Mauchly Cy, créant la filiale Univac du groupe Sperry qui devait complètement éclipser sa maison mère, réduite à la mécanographie puis, après l'abandon de celle-ci, aux seuls rasoirs.

Outre les contrats NSA jamais mentionnés comme tels, ERA devait très rapidement, dès l'année 1952, obtenir d'autres contrats qui seront tous menés à bien chez Univac :

- trois ERA 1102, versions plus performantes de la 1101, installées à l'Arnold Engineering Développement Center de Tullahoma, Tenn, au service d'une soufflerie. Mise en service au 4ème trimestre 1953.

- le prototype ERA 1103, réalisé à St Paul pour devenir un produit commercial, et sa version NSA ou Atlas II, construit et installé à Arlington.

- le Logistic computer, un calculateur décimal financé par l'Office of Naval Research et installé à la George Washington University de Washington DC, dans le cadre d'un vaste projet qui avait commencé en 1950 avec une machine à relais. Cette machine a été mise en service au 1/3/53.

- Le Speed Tally, une machine purement civile, commandée en 1951 par une entreprise commerciale et mise en service en 1953 à des fins de gestion comptable et de planification.

Le nom d'ERA sera encore porté en 1955 par la 1105, elle aussi commandée par une administration, mais c'est une machine complètement Univac et, à partir de 1953 qui verra la commercialisation réussie des premières 1103 civiles, le sigle disparaîtra.

## 254 - Evans & Sutherland

Ces ingénieurs paraissent issus des premiers travaux de DEC sur les visualisations, mais ils ont progressivement acquis une grande expérience des algorithmes de visualisation en deux et trois dimensions, et ont fini par créer une société qui s'est donné comme vocation la réalisation de consoles de visualisations destinées aux simulations : sa spécialité consiste à définir et réaliser des processeurs de vidéo qui, lors de la généralisation des microprocesseurs, deviendront des ASIC.

La station ESV3 n'est qu'un exemple de ces activités. Son processeur est un MIPS R3000 de 20 Mips, assorti d'un disque de 180 MB et d'une bande de sauvegarde de 150 MB, avec une mémoire de travail de 8 MB, et un écran couleur exceptionnel, 24 bits par pixel. Un clavier, une souris, un châssis porteur de 8 boutons rotatifs programmables, des lunettes pour observation en relief, accompagnent ce système qui inclut un ASIC pour antialiasing matériel.

Le logiciel est PEX, variante d'Unix qui supporte PHIGS en environnement X Windows. Tous les algorithmes connus de rotation dans l'espace, d'ombres à partir de points d'éclairage quelconque, de lissage des couleurs, de parties cachées, de loupe, de scissoring, etc... sont fournis.

## 255 - Ex Cell O Corporation

Le XLO 8 de cette société est un ordinateur de finalité indéterminée, et de caractéristiques suffisamment mal connues pour qu'on ne puisse pas en tirer de conclusion intéressante.

Mémoire DRAM 4 à 32 KB de cycle 2  $\mu$ s, ROM 64 bytes à 32 KB de temps d'accès 500 ns, bloc de calcul à 4 registres, répertoire de 95 opérations, entrées / sorties 500 KB/s organisées en 7 canaux dotés d'interruption et d'option DMA, interface télétype.

Prix 2500 \$ en version 4 KB.

## 256 - Fairchild Semiconductors

La première manifestation de la société Fairchild dans le domaine informatique est la construction à Oak Ridge, Tenn, établissement relevant de la Commission de l' Energie atomique, d'un ordinateur spécialisé dans la résolution de systèmes d'équations linéaires par la méthode itérative de Gauss-Seidel. La société basée à Palo Alto, Cal, s'appelle alors Fairchild Camera & Instrument Corporation, ce qui laisse à penser que ses relations avec l' USAF sont nées pendant la guerre d'activités portant sur la photo aérienne : après la guerre, une de ses filiales continuera à fournir la camera AN/AXQ 16 qui équipe tous les avions, pour contrôle a posteriori de leurs actions.

On ne sait à peu près rien des activités de la compagnie dans les années suivantes, sinon qu'elle a collecté fort peu de contrats militaires, la manne de la plupart des constructeurs d'électronique : on a identifié une télécommande (AN/ARW 57/58, 1947), un radar de tracking (AN/SPQ 2, 1952), une tentative manquée d'étudier un drone (AN/USD 5, 1957), un brouilleur HF/VHF (AN/GLQ 3A, 1977), un brouilleur d'entraînement VHF/UHF sur jeep (AN/VLQ 5, 1985). Ces travaux disparates semblent être seulement des tâches alimentaires occasionnelles.

La reconversion a dû intervenir dans les années 60, car il existe en 1964 une filiale Fairchild Semiconductors installée à Mountain View, Cal, qui deviendra progressivement la seule activité de Fairchild. En 1964, cette filiale réalise, certainement sur contrat USAF, un DDA de démonstration qui exécute la boucle de lacet d'un pilote automatique. Fiche.

Dans la même veine informatique, on trouve en 1964 le groupe de recherche de Palo Alto occupé à définir puis construire SYMBOL II R, un ordinateur expérimental qui accepte directement un langage de haut niveau. Ce travail paraît avoir été mené sur fonds propres, comme conséquence d'un jugement porté sur l'évolution future de l'informatique : le projet prévoyait qu'après démonstration de faisabilité, une machine commercialement plus réaliste serait produite, et confiée pour évaluation à l' Université d'état d'Iowa. Mais les choses ne se passèrent pas ainsi. Quand le prototype fut terminé en 1970, l'industrie des composants passait par une période de dépression ; la direction de Fairchild décida d'arrêter les frais et la fabrication du prototype commercialisable fut abandonnée.

La compagnie fit alors don du prototype terminé à l' Université : l'université du Kansas se chargea de la mise au point du prototype (voir 258-359/68), avant de le transférer à l' université d' Iowa, qui effectua son travail d'évaluation de 1971 à 1978 sur des fonds de la National Science Foundation. Une fiche, et 4 articles bien illustrés dans SJCC 1971 décrivent le matériel ; quatre articles dans SIGPLAN Notices de 11 / 73 examinent les aspects logiciels de ce processeur ; deux articles beaucoup plus tardifs dans Computer IEEE commentent les travaux de l' Université.

On ne connaît pas les conclusions officielles de l'étude, mais le marché a clairement tranché, au moins pour toute la fin du siècle : il vaut mieux optimiser le matériel sur la structure binaire de l'information, et confier au logiciel l'adaptation au monde extérieur. Symbol ne débouchera sur rien.

A partir de 1970, Fairchild ne nous est plus connu que par ses semiconductors, et la société aura un destin cahotique, avec une grave crise quand la principale équipe d'étude passera en bloc à la concurrence avec tous ses projets. La société ne s'en remettra jamais complètement et n'atteindra jamais à la notoriété de ses concurrents, Motorola et Intel.

Le premier microprocesseur de Fairchild est le PPS 25, destiné aux caisses enregistreuses. En 1972, les techniques d'intégration ne permettent pas de réaliser un microprocesseur parallèle, et Fairchild choisit une logique série/parallèle sur 4 bits.

Le premier vrai microprocesseur de Fairchild, qui a mis au point entre temps le processus bipolaire Isoplanar, est la famille F8, qui est annoncée en 1974 comme un processeur NMOS 8 bits en deux puces 3850 / 1, assorti de puces de mémoire et de périphériques, mais qui évoluera rapidement vers une version monopuce 3870, probablement CMOS, et une version monopuce 3859 NMOS (1977). Cette version sera produite en seconde source par Mostek, ce qui signifie qu'elle a eu un certain succès. Un article de la revue Electronics, joint au dossier, suggère et décrit quelques applications concrètes.

Fairchild produit en seconde source le 6800 de Motorola, valeur sûre qui lui rapporte quelque argent, car Fairchild s'investit complètement et réalise toute une série de périphériques de son cru :

- 6802 CPU + 128 bytes de RAM
- 6820 et 6821 PIA interface parallèle
- 6850 interface série asynchrone
- 6852 interface série synchrone
- 6840 timer programmable
- 68488 contrôleur de bus IEEE 488 d'instrumentation
- 6846 ROM 2 Kbits + timer + 16 I/O
- 6854 automatic data link controller
- 6843 contrôleur d'écran
- 6844 DMA, gestionnaire de canal
- 6845 contrôleur de disquette
- 3846 contrôleur de transmissions synchrone BSC / SDLC
- μA 9706, convertisseur D / A 8 voies

et un choix de mémoires compatibles.

Fairchild s'essaye aussi à la technique du microprocesseur en tranches de 4 bits, la famille 9400, introduisant en même temps une logique qui lui est propre, l' I2L ; l' Isoplanar I2L, ou I3L, est rapide (10 MHz) et compatible avec le TTL. Cependant le succès écrasant de l'AMD 2901 étouffera à peu près complètement ce produit.

En 1977 Fairchild se lance dans l'émulation : le F9440 réalisé en I3L a pour modèle le Nova 1200. Bien que l'on ne puisse breveter une architecture, cet exercice lui coûte un procès, dont l'issue est longue à venir. Ce n'est qu'en 1983 que cette formule atteindra son plein succès, avec le 9445 Isoplanar à 24 MHz.

Entre temps la vitesse des ordinateurs a beaucoup augmenté, et le recours à la logique ECL se généralise. Fairchild s'investit doublement, dans la formule F200 des réseaux de portes, qui intéressera Control Data, et dans une famille F100220 qui utilise la même technique ECL 100K dans des microprocesseurs 8 bits en tranches : on ignore si cette tentative fut un succès, mais on n'a pas rencontré de processeur qui fasse explicitement allégeance à cette famille.

En 1983 le passage aux 16 bits pose un sérieux problème, car l'hégémonie des PC s'est installée. Fairchild fait le choix d'ignorer ce niveau de complexité, il est vrai monopolisé par Intel et Motorola, et propose aux militaires le F9450, conforme à la nouvelle norme d'architecture MIL. STD. 1750 et réalisé en I3L, logique peu sensible aux parasites et aux radiations. A nouveau, nous n'avons pas d'indication sur le succès de cette tentative.

En 1986, c'est le passage aux 32 bits, obligatoirement en CMOS, logique qui cumule les avantages d'une faible consommation et d'une grande facilité d'intégration. Fairchild propose le Clipper, un ensemble de deux puces qui satisfont toutes les exigences de performance (33 MHz) et d'architecture (32 bits, caches et MMU) du moment, mais qui n'est pas compatible X86 et donc ne peut être utilisé dans un PC qu'à travers un important effort logiciel, pour lequel Fairchild n'est pas équipé.

Le Clipper, bien que très avancé, échouera donc, et Fairchild en abandonnera la production et vendra la licence à Intergraph, fabricant de stations de travail, et à Samsung, qui pouvait envisager de faire l'effort logiciel. Sous leur égide, le Clipper a atteint 50 MHz.

## 257 - Flex / 32 de Flexible Computer

Cette étude porte sur une architecture de multiprocesseur MIMD à base de microprocesseur NS 32032 édiflée autour de 4 bus :

Local entre le CPU et sa mémoire

Common pour les échanges entre processeurs et l'accès à la mémoire partagée.

Périphérique pour aller aux contrôleurs, eux aussi partagés

Autotest, par lequel chaque processeur peut informer les autres de ses défaillances.

La carte processeur contient un 32032 avec sa mémoire locale de 1 MB SRAM. Le bus local est interne à la carte, les trois autres forment fond de panier du châssis de base, lequel peut contenir jusqu'à 20 cartes processeur et 10 cartes de communication, lesquelles seraient :

soit des CAC, interface de bus local à bus commun

soit des CCC, arbitres en mode multitâche.

Cela semble très improbable, d'une part parce que ces fonctions ne justifient pas une carte et devraient par nature se trouver sur chaque carte processeur, d'autre part parce que cela ne laisse pas de place dans le châssis pour la mémoire commune et les contrôleurs de bus VME.

Le système peut être commercialisé en deux tailles bas de gamme, modèles 600 et 1200, logées en châssis de 21" (533 mm), et trois modèles plus puissants, 2000, 3000, 6000, en armoires de 6 ft (1830 mm) de haut.

Le 600 comprend au plus 4 CPU, et 2 à 24,5 MB de mémoire commune ; un 600 minimum à 2 processeurs vaut \$ 50000. Le 1200 limité à 8 processeurs peut leur partager 56,5 MB de mémoire commune. Les armoires peuvent recevoir un maximum de 96 MB de mémoire commune.

Le système d'exploitation MIMD est essentiellement un multitâche Unix, les processeurs fonctionnant en autonomie pendant la durée d'une tâche et demandant du travail à la fin de celle-ci. Les langages sont un C concurrent, un Fortran concurrent, ou ADA.

La NASA, intéressée par cette architecture, semble avoir financé l'étude d'un nouveau processeur C2C, disponible à partir de 6 / 86. A base de 68020 en 16 ou 20 MHz, soutenu par un coprocesseur VF 68881, ce processeur serait capable de 10 MFlops, soit 2,5 à 3 fois plus que le C1C. On pourrait ainsi atteindre 50 Mips par armoire.

Malgré ce soutien, le produit n'a pas eu de succès commercial, ce qui n'est guère étonnant quand on constate que le progrès technologique accroît les fréquences de travail bien plus vite qu'on ne peut amortir les études d'une nouvelle architecture parallèle.

## 258 - Flight Dynamic Laboratory de l'USAF au WADC

L'étude entreprise dans ce laboratoire, bien qu'indépendante, est assez proche de la précédente : elle concerne les commandes électriques de vol, un thème récurrent de la construction aéronautique, qui fait peur aux personnels navigants habitués à sentir dans leur main l'effet aérodynamique des gouvernes. Plutôt que la puissance de calcul, on recherche ici la fiabilité, mais comme ci-dessus par une architecture multiprocesseur et multitâche.

Le composant élémentaire de la commande de vol est un microprocesseur 16 bits, avec une mémoire locale de 8 Kmots, un tampon de sortie en deux pages, et une UART avec FIFO. Tous sont réunis, à travers plusieurs bus série tels que celui de la norme 1853, aux circuits d'exécution situés à l'autre extrémité de l'avion. Une mémoire SIM est partagée par tous les microprocesseurs qui y placent ou y prennent des messages ou des données globales : un CPU peut y signaler qu'il est disponible pendant qu'il s'autovérifie, ou qu'il ne participe plus parce qu'il vient de constater un incident.

Les tâches sont délibérément très fragmentées, et s'il y a lieu sont exécutées en triple avec vote sur le résultat et retrait du processeur mis en minorité.

Un prototype de laboratoire (breadboard) à 6 processeurs et 4 bus a été utilisé pour démontrer l'aptitude de ce concept à commander les gouvernes latérales du F16.

## 259 - X 704 de Exponential Technology

Ce bureau d'études s'est lancé, en 1997, dans la confection d'une puce PowerPC extrêmement ambitieuse: grâce à une nouvelle logique baptisée BiCMOS, elle devait atteindre 533 MHz à un moment où les fabricants traditionnels pouvaient faire fonctionner leurs versions CMOS à 200 MHz au plus. Malheureusement pour Exponential, les premiers échantillons n'ont pas dépassé 410 MHz, de sorte que toute l'étude a pris du retard ; là-dessus, le client potentiel, Apple, s'est déclaré moins intéressé, disant ne pas envisager l'emploi de la X704 dans un futur proche. Cette annonce a fait mauvais effet et Exponential a eu des ennuis financiers, l'obligeant à licencier 25% de son personnel, ce qui ne pouvait qu'accroître le retard. En fin de compte, Exponential a dû abandonner.

Cet épisode est intéressant en ce qu'il souligne l'ambiance extrêmement tendue dans laquelle travaillent les fabricants de composants clés, en sévère compétition. On trouve des épisodes analogues dans la lutte entre Intel et AMD, mais le cas d'Exponential, qui jouait toute sa partie sur un seul produit, était plus risqué, et elle a perdu.

## 260 - DSP Group

Ce bureau d'études a commencé par définir des DSP, cad des processeurs de traitement du signal. C'est vers 1995 un secteur encombré, de sorte que la compétition ne se borne plus à concevoir d'excellents DSP à 16, 24 ou 32 bits adaptés à une classe de problèmes, ni même le meilleur DSP dans chaque classe.

L'idée directrice est maintenant, pour une application définie justifiant une fabrication en quantité, de réaliser un ASIC, c'est-à-dire un circuit exactement adapté à la tâche, et coûtant donc exactement le bon prix. Dans un DSP, la partie logique définit la vitesse de calcul, qui doit être adaptée à la bande passante du signal à traiter, et la partie mémoire dépend de la complexité du calcul à effectuer : il serait idéal de pouvoir ajuster strictement cette mémoire, qui occupe une fraction importante de la place sur la puce, au besoin particulier qui justifie l'ASIC. C'est l'origine des "coeurs de DSP".

Le DSP Group a ainsi défini deux coeurs de DSP baptisés Pine et Oak, qu'il utilise à ses propres fins mais qu'il a en même temps licenciés à des fabricants d'ASIC, qui peuvent les introduire dans leur bibliothèque: ainsi tout ASIC réalisé rapportera des royalties. Voir fiche Pine, qui expose les principes et en mentionne une application propre du DSP Group : le codec CT8020.

Un peu plus récent que Pine, le coeur Oak est conçu pour des applications plus raffinées et plus exigeantes, et comme tel doit être concrétisé en dessin 0,35  $\mu$  et alimentation 3 volts. De même conception que Pine, il comporte des améliorations qui permettent l'écriture de programmes plus efficaces : un décaleur "barrel" sur 36 bits, 13 générateurs d'adresses, 5 interruptions, une pile en mémoire et donc de longueur quelconque. Il peut fonctionner à 80 MHz.

Fin 98, le TeakLite est une extrapolation du Oak à 130 MHz, grâce à son adaptation au dessin en 0,25  $\mu$  et à un bus supplémentaire. Le Teak défini simultanément est le premier superscalaire du DSP Group, avec 8 bus au lieu de 4 desservant deux MAC simultanés, des accumulateurs allongés à 40 bits, 17 générateurs d'adresses : il est capable de 270 Mips. La complexité croissante des programmes exécutables a conduit à étendre l'adressage de la mémoire d'instruction à 4 Mmots (22 bits) ; les interruptions sont vectorisées.

Ces deux coeurs profitent d'un bond en avant de la méthode de conception, en ce sens qu'il n'existe plus de dessin fixe, mais seulement une description logicielle qui générera exactement le dessin optimal correspondant aux options choisies par le client, et cela indépendamment de la bibliothèque et du processus de fabrication (dans certaines limites seulement, à n'en pas douter). L'architecture interne tient compte d'algorithmes spécifiques, comme le Viterbi qui fait pratiquement partie de tous les programmes intéressant le téléphone : cet algorithme est exécutable en 3 clocks sur le Teak.

En 1999, les progrès très rapides du dessin décident le DSP Group à définir Palm, un coeur logiciel synthétisable beaucoup plus ambitieux, qui emprunte beaucoup d'idées aux microprocesseurs classiques. Largement superscalaire, il comprend trois UAL simultanées de 16, 20 et 24 bits, avec accus et décaleur respectifs de 40, 48 et 56 bits, ainsi que deux MAC et 25 générateurs d'adresse. Le jeu d'instructions, fortement modifié d'autant plus que l'adressage programme se fait maintenant sur 24 bits, mêle des instructions 16 et 32 bits. On peut atteindre 360 Mips avec la synchro à 150 MHz ; en outre, si cette puissance ne suffit pas, le dessin contient les arbitrages nécessaires à un travail en multiprocesseur.

Comme pour le Teak, l'optimisation des algorithmes les plus courants a été prise en compte: la FFT Butterfly et le Viterbi sont tous deux exécutables en 2 clocks seulement.

## 261 - Dynanote

Cet objet, plus banalement codé T200, est un portable sans clavier, ou un notebook, selon qu'on met l'accent sur sa taille ou sur sa mise en oeuvre. Pour être un PC complet, il dispose d'un socle de bureau doté d'un clavier, mais sa forme portable remplace le clavier par un logiciel.

L'unité centrale est un 486 DX2/40, ce qui situe le produit dans le temps : il est soutenu par un cache de 8 KB et peut disposer de 4 à 20 MB. Le disque est un 80 MB de 1,8" de diamètre, et un floppy 3,5" est optionnel. L'écran STN LCD de 9,5" comprend 640 \* 480 pixels, et peut fonctionner en monochrome (T200) ou en couleurs (T200 CS); un écran CRT est disponible sur le socle.

L'entrée du portable est un "crayon" digitiseur sans fil à effet électromagnétique, mais il faut reconnaître que cette affirmation laisse le technicien sur sa faim.

Extensions : emplacements internes pour la mémoire, le floppy et une carte PCMCIA 2 ou 3, connecteurs pour imprimante et RS232C.

L'alimentation est un accumulateur Lithium-Ion de 3000 Ah, avec chargeur externe.

Dimensions : 270 \* 210 \* 41 mm, poids 1,95 Kg en T200, 3 Kg en T200 CS.

Logiciel : Windows for Pen ne diffère guère de Windows que par les routines supplémentaires, nécessaires au remplacement du clavier et de la souris par le crayon électromagnétique.

## 262 - Floating Point Systems, Inc.

Cette société fait son apparition sur le marché en 1972 pour commercialiser un processeur de virgule flottante destiné à prendre place sur un bus d'entrée / sortie de mini ou sur un canal de grosse machine. Perçu comme un périphérique par le calculateur hôte, il est commandé par lui au moyen de mots de contrôle 16 bits. Pour s'adapter à tous besoins, il est proposé en trois variantes comportant toutes 8 bits d'exposant et 24, 32 ou 40 bits de mantisse, qui définissent les trois modèles initiaux.

Performances : 1,8  $\mu$ s pour addition / soustraction, 9,6  $\mu$ s multiplication, 12,6  $\mu$ s division, 4,9  $\mu$ s FIX = conversion de flottant en fixe, 2,8  $\mu$ s FLOAT = conversion de fixe en flottant.

Options : cartes supplémentaires pour la trigonométrie ou la FFT, obtenues par une sorte de microprogrammation plutôt que par des opérateurs supplémentaires. Registres supplémentaires FAC1 à 3 est l'option FP01E ; ensuite l'option FP11E ajoute encore les registres FAC4 à 6.

La proposition ayant rencontré un certain succès, FPSI réalise en 1976 un matériel de deuxième génération sur le même principe, en deux variantes AP120 pour les minis et AP190 pour les grosses machines pourvues de canaux. Ces machines de 60 Mips obtiennent un franc succès, mais c'est en réalité l'AP120 qui est principalement commandé, pour des applications de traitement du signal : on peut d'ailleurs observer sur le schéma de principe de la fiche AP120 la nette ressemblance avec des machines officiellement dédiées à cette fonction comme l'analyseur d'IBM.

FPS se propose alors d'élargir sa clientèle à l'ensemble des scientifiques, et conclut de son étude de marché qu'il n'est pas nécessaire de changer d'architecture, seulement de simplifier l'interface, de manière à ce que le processeur soit perçu par la machine hôte comme un coprocesseur et qu'il puisse être pratiquement ignoré par les programmeurs Fortran : le résultat de ce changement d'approche commerciale est le FPS 100, une machine de performances moyennes qui, combinée avec un mini commercial, devient un puissant système scientifique comparable, aux entrées / sorties près, aux grosses machines du marché.

La compatibilité avec l'AP120 est assurée pour profiter du logiciel existant, qui est essentiellement à cette époque une bibliothèque d'algorithmes.

La demande continuant à croître, FPS propose en 1980 le FPS 164, qui est pratiquement un calculateur universel, à cela près qu'il laisse à une machine hôte la gestion des entrées / sorties. Il est certain que FPS n'est pas en mesure d'aborder les gros problèmes techniques et commerciaux qu'impliquerait la gestion autonome des entrées / sorties ; et d'autre part, continuer à apparaître comme un fabricant de machines spécialisées évite d'attaquer de front les grands constructeurs de machines scientifiques.

Au total, plus de 4000 FPS sont en service en 1983, en majorité de la famille 164.

Au cours des années suivantes, FPS s'efforce de combiner les composants de son système de diverses façons pour améliorer la puissance de calcul sans rien changer, si possible, à son architecture :

- le FPS 5000 de 1983 est basé sur une mémoire partageable de 256 à 512 K mots de 38 bits, réalisée en puces 64 Kbits, exploitée par un processeur 38 bits, 167 ns clock, qui n'est que très peu différent du processeur FPS 164. Mais il peut être entouré de 1 à 3 coprocesseurs 32 bits, de contrôleurs de disques, et d'un processeur de commande qui est l'interface de l'hôte.

Les coprocesseurs arithmétiques sont réalisés à base d'AMD 29500 et contiennent chacun un multiplieur et deux additionneurs flottants, ainsi qu'une mémoire locale ; ils peuvent converser à 24 MB/s avec la mémoire commune. Malgré la différence de technologie, il semble que ces processeurs utilisent la même structure de programmes que le processeur principal, à base de parcelles de 32 bits provenant d'une mémoire de programme de 4 à 32 Kmots : ce qui n'est pas clair, c'est si ces coprocesseurs travaillent en autonomie (MIMD), chacun avec sa mémoire de programme, ou en synchronisme avec le CPU (SIMD) sur un programme commun.

Le logiciel est un Fortran 77/MAXL, compatible avec les langages de l'API20 et du FPS 100.

Bilan : de 12 à 60 Mips, et de 26 à 62 MFlops. La mémoire commune pourra, à partir de fin 83, être portée à 1 MB, ce qui permet d'accroître la taille des vecteurs manipulés. Le prix de vente de cette machine peut varier de 0,65 à 1,1 MFF, mais il n'est pas très significatif de parler de \$ 2000/Mflop comme le fait la publicité, car le maximum n'est pas aisément accessible et l'efficacité grandement dépendante du problème.

- le FPS 164/MAX de 1984 reprend cette conception avec une mémoire centrale qui peut atteindre 16 Mmots, et jusqu'à 30 processeurs subordonnés de technologie non précisée. Les disques peuvent s'étendre jusqu'à 3 GB. Les commentaires semblent indiquer que ces processeurs, qui travaillent sur la partie haute de la mémoire commune, la perçoivent comme 63 pipelines adressables dont chacun peut contenir un vecteur. La longueur du vecteur est quelconque entre 1 et 2048 éléments, et la nature des éléments peut être : nombres complexes de 2 \* (64 ou 32 bits), nombres réels flottants de 64 ou 32 bits, nombres entiers de 64 ou 32 bits, selon le calcul à faire. Un processeur est en fait un opérateur spécialisé exécutant répétitivement une opération particulière sur tous les éléments de un, deux ou trois vecteurs et plaçant ses résultats dans un autre de même longueur ; tous les processeurs peuvent travailler simultanément pourvu qu'ils adressent des pipelines différents, mais il ne semble pas qu'il puisse exister de chaînage ni d'imbrication.

La vitesse de calcul de ces processeurs peut varier de l'un à l'autre, mais ils sont synchrones, cad que les consultations de tous les pipelines coïncident avec des cycles du CPU.

- le FPS 264 de 1985 utilise la même architecture de processeur que le 164/MAX, mais avec une distribution différente des ressources: 4,5 MB de mémoire au plus contre 7,5, 16 GB de disques au plus contre 3, 4 pipelines de 2048 éléments (que l'on appelle ici registres vectoriels) au lieu de 63, de sorte qu'il ne s'exécute qu'une opération vectorielle à chaque instant. Mais le bloc de commande est plus performant, capable de traiter 19 Millions de parcelles par seconde au lieu de 5,5.

Bilan mesuré : 20100 Whetstone 64 bits, 53 secondes pour le test Linpack de produit de matrices de 1000 \* 1000 éléments. Performances de pointe : 38 MFlops en pointe.

- un FPS 264/20 est annoncé en 1986 avec la même mémoire, mais un pipeline d'instruction à 3 étages, un peu moins performant que le précédent. Prix pour mémoire 512 KB, un disque, et le logiciel : 4,85 MFF.

- le FPS 364 est un contemporain plus économique du 264, avec seulement 11 MFlops de puissance crête et pas plus de deux contrôleurs de disques. Ces disques sont soit des FD64, maximum 5 GB en unités de 635 MB ISI, soit des RD64, maximum 2 GB en unités de 242 MB SMD.

Prix : 2,15 MFF pour le CPU, 3,25 MFF avec 4 MB de mémoire, 5 GB de disques et le logiciel SJE.

- un 364/MAX est proposé en 1986, avec une mémoire plafonnée à 8 MB, et jusqu'à 8 accélérateurs matriciels de 22 MGlops : on pourrait ainsi atteindre un débit de pointe de 187 MFlops.

Prix : 3,9 MFF pour le CPU, 512K mots de mémoire, un accélérateur, 32 Kmots de pipelines, 2 disques et le logiciel.

A côté de ces produits de luxe, FPS propose en 1985 le MP32, un processeur vectoriel VLSI 32 bits composé de 1 à 3 processeurs arithmétiques et 2 IOP autour d'une mémoire partageable de 4 à 28 MB. Chaque processeur arithmétique dispose d'une mémoire locale de 16 Kmots de 32 bits, et peut adresser la mémoire commune avec des adresses 24 bits qui peuvent progresser avec un pas quelconque pour atteindre les colonnes, les rangs, les diagonales, etc... des matrices. Chaque IOP peut débiter 6 MB/s.

Le logiciel est toujours MAXL, le Fortran 77 parallèle.

Le processeur de contrôle est un 68000, qui assure la liaison avec l'hôte, qui est un mini de Data General ou de Perkin Elmer. Le tout tient dans un rack 6U.

Prix : 53500 \$ ou 600 KFF pour la machine de base 18 MFlops avec 1 MB de mémoire.

En 1986, FPS veut s'attaquer à la formule du processeur parallèle, qui devient à la mode chez les chercheurs. Le processeur choisi est le Transputer d'Inmos, lui aussi à la mode.

Le module de base est le T10, un ensemble de 8 processeurs connectés pour former un cube, plus un IOP chargé des disques. Sa puissance est 128 MFlops et il coûte 4,5 MF.

La connexion en cube n'utilise que trois des quatre liens du Transputer. Si on utilise le 4ème lien, on peut structurer les cubes en hypercube plus ou moins complet, par exemple un T20 de 240 MFlops, ou un T100 de 960 MFlops coûtant 31 MFF. Le maximum, très théorique, est un T40000 à 16384 Transputer.

Cette audacieuse Série T ne semble pas avoir eu de suite, comme tout ce qui a été édifié sur le Transputer. En tous cas, fort peu ont été vendus.

En 1991, FPS fait une autre tentative de modernisation avec le FPS 500, qui semble conçu selon un schéma analogue à celui de la série T, mais avec des SPARC comme processeurs de commande, et des processeurs vectoriels maison à base d' Intel 860.

Les SPARC, réalisés en ECL, ont une puissance de calcul propre très importante, 67 Mips, et on ne peut les cantonner dans une simple mission de commande, de sorte qu'on revient plutôt au principe des coprocesseurs. Il en résulte trois classes de machines:

SC ne comprend que les SPARC, au nombre de 1, 2, 4 ou 8, avec 64 MB à 1 GB de mémoire. Le prix de base est 2,25 MFF.

SD comprend 4 ou 8 SPARC avec 256 MB à 1 GB de mémoire, la nouveauté étant un canal Hippi à 200 MB/s, et le prix de base qui atteint 6,8 MFF.

SA2 ajoute à un hôte de 1 à 4 SPARC un ou deux coprocesseurs vectoriels. Le prix de base de 2,85 MFF laisse supposer que ces processeurs vectoriels ne contiennent qu'un seul 860, travaillant sur des registres vectoriels à la manière de Cray.

SA3 et 4 contiennent, en plus de SA2, un coprocesseur matriciel, ce qui signifie ici parallèle, avec 64 ou 128 noeuds 860. Le prix de base s'en ressent, évidemment, respectivement 5,85 et 6,825 MFF.

Le logiciel est une extension vectorielle de Solaris, le système d'exploitation de Sun, l'inventeur du SPARC, de sorte que les habitués de FPS devront recompiler leurs programmes usuels.

La famille 500 aura une courte vie, car en mi 92, Cray Research achète FPS, sans qu'on puisse dire si Cray cherche dans cette opération une diversification vers le bas, ou si FPS commence à lui faire trop de concurrence.

## 263 - Force Computers, Inc.

Force Computers est ce qu'on pourrait appeler un équipementier, en paraphrasant le langage de l'automobile. En principe, cette catégorie d'industriels ne crée pas d'ordinateurs, et n'en vend pas non plus. Ils font allégeance à un bus, donc à travers lui à l'industriel qui a créé de bus, et ils fabriquent et commercialisent des cartes enfichables sur ce bus.

Cette présentation place les équipementiers dans une position très subordonnée, qui fausse un peu la perspective. En effet, pour survivre, un équipementier ne peut prendre le risque d'une dépendance unique. En conséquence, il a plusieurs bus dans son portefeuille, et s'il est bien assis commercialement, son appui peut être très important pour un concepteur qui envisage de lancer un nouveau bus. Il y a donc, en réalité, une véritable symbiose entre les grands constructeurs et les équipementiers.

Plus récemment d'ailleurs, la généralisation des microprocesseurs a obligé les équipementiers à prendre parti pour certains d'entre eux, qu'il emploient comme contrôleurs quand ils ne créent pas des cartes OEM autour d'eux. Encore plus récemment, les équipementiers ont du choisir aussi parmi les systèmes d'exploitation, et sont rapidement devenus des diffuseurs efficaces pour les systèmes d'exploitation temps réel.

Force Computers appartient à la très grande famille du bus VME, initialement créé par Motorola, mais qui a vite acquis une vie propre en devenant le bus majeur de l'équipement industriel. Son lien initial avec Motorola lui a en outre fait choisir le microprocesseur 68000 pour ses cartes, où il joue le plus souvent un rôle de contrôleur. La fiche Sys 68K illustre les prestations que peut fournir un équipementier sous la pression de la demande.

Pour juger pleinement du métier, l'idéal serait d'être abonné au catalogue de Force, mais ce n'est pas le cas. On procède donc par échantillonnage.

En novembre 1994, Force maintient la famille Sys 68K, évidemment renouvelée. Les cartes VME les plus récentes proposées sont CPU64, à base de 68060, et IDC, qui utilise le Quicc 68360 pour les besoins des télécommunications.

Mais, simultanément, Force a ouvert une famille SPARC / VME, et commercialise des cartes mères interchangeable avec celles des stations de travail de Sun :

ESP 2S est une carte 227 \* 280 mm, compatible Sparcstation 2, à base du Sparc Weitek à 80 MHz, ce qui permet d'atteindre 32,2 Specint92 et 31,1 Specfp92. Le contrôleur SCSI, le contrôleur Ethernet, le port série, le contrôleur de floppy sont les mêmes que sur la carte SparcCPU2.CE2 .

ESP 3S de même format est compatible au niveau binaire avec la console SparcClassic de Sun. Le CPU est un MicroSparc à 50 MHz de Texas Instrument, qui fournit 26,4 Specint92 et 21 Specfp92. On trouve encore sur cette carte les circuits NCR 89C100 et 89C105 et l'option d'un contrôleur graphique CG3+, comme dans la carte SparcCPU3.CE, ainsi que trois slots S Bus.

ESP 10M est une carte compatible avec la SparcEngine 10, 236,2 \* 298,9 mm, portant deux SuperSparc sur le même M Bus de 64 bits, avec de la mémoire jusqu'à 512 MB, et 4 slots S Bus. La performance mesurée à 40 MHz est 80 Specint92 et 102 Specfp92.

On voit que le jeu consiste ici à proposer aux propriétaires de stations Sun qui se sentent à l'étroit dans leur possession, une carte mère de rechange qui va doper leur outil en leur évitant pour un temps de remplacer tout l'équipement. Tous les équipementiers pratiquent ce sport, à l'origine duquel se trouvent souvent de simples jeux vidéo d'animation, très exigeants en puissance de calcul.

Les mêmes cartes avec bus VME sont proposées par Force dans des châssis de rack 19" mesurant 410 \* 455 \* 76 mm, pour réaliser des stations à usage industriel. Dans ce cas, Force doit fournir en même temps les logiciels Solaris 1 ou 2, VxWorks ou LynxOS, à choisir parmi ceux dont il a la licence.

Bien entendu, Force ne peut ignorer Intel et propose donc des cartes construites autour du Pentium III et du bus PCI, qui prend d'ailleurs dans le domaine de l'embarqué la forme du fond de panier CompactPCI. Pour ce bus qui en 2000 prend beaucoup d'importance, Force propose par exemple:

CPCI-780 est une carte biprocesseur utilisant des Pentium III 733 MHz en boîtier FC-PGA, entourés d'importants radiateurs. Un chipset Intel i840 gère les connexions, en particulier avec des mémoires Direct RAMBus. Associée avec la carte optionnelle IO-720 de Force, cette unité centrale peut commander 16 emplacements CompactPCI. Voir photo.

CPU 60XRT est la première apparition d'un PowerPC chez Force, avec un 603 ou un 604 (interchangeables) et un emplacement PMC (mezzanine). Voir fiche : les microprocesseurs viennent d' IBM.

CPCI-680 plus récente utilise le PowerPC G4 de Motorola. Grâce à un ASIC créé par Force, le pont PCI-PCI baptisé Sentinel, cette carte peut commuter au rythme des besoins entre les rôles de contrôleur système et de processeur périphérique. Le Sentinel supporte en outre le mécanisme MSI du bus CompactPCI, selon lequel les interruptions émises par un esclave peuvent être véhiculées vers le CPU sous forme de messages sur la voie données, et transformées en interruptions

à l'arrivée : contrairement à la logique, ce procédé améliore les temps de réponse, car le bus CPCI ne consacre que 4 bornes aux interruptions, ce qui oblige à les partager et complique les sessions d'arbitrage. Voir aussi photo.

Cette carte s'adresse aux applications qui requièrent des multitraitements intensifs, dans des châssis qui en contiennent jusqu'à 8 ou 16, comme les commutateurs ATM ou les stations de base.

Nous disposons d'une publicité de 2001 qui montre qu'avec l'affaiblissement relatif des divers protagonistes, les équipementiers sont condamnés à ne pas choisir. A cette époque, Force propose pour équiper ses châssis d'application au standard VME / cPCI :

- une carte cPCI pour Pentium III jusqu'à 800 MHz, avec 2 GB de SDRAM et les interfaces PICMG 2.9 et 2.16 et l'extension bus à travers Sentinel.
- une carte semblable pour UltraSparc IIe jusqu'à 500 MHz, baptisée CPU 55.
- une carte CPU 54 qui offre même CPU et même mémoire sur bus VME, avec une interface Ethernet et deux interfaces WideUltraSCSI.
- une carte PPS 4201 de serveur AIX avec double Xeon jusqu'à 2,2 GHz, mémoire 12 GB de DDRAM, interface Gigabit Ethernet, interface Disque polyvalent (UltraSCSI / ATA 1100 / RAID 0-1 )
- une carte PPMC 260 pour bus VITA-32, avec PowerPC 750CX à 600 MHz, jusqu'à 1 GB de mémoire et 3 interfaces Ethernet 10 / 100, et JTAG.
- une carte cPCI avec quatre PowerPC G4 + Altivec à 500 MHz, 576 MB de mémoire, l'interface PICMG 2.16, l'architecture CHAMP et 6 canaux DMA.

Comme on le voit, il n'y a plus d'obédience, l'ouverture est totale, IBM et Apple inclus. Mais Force s'adapte aux dernières nouveautés et en juin 2002 propose sous le nom de Flexor 1H des cartes du nouveau standard ePCI-X , à raison de un CPU Celeron 400 MHz et trois cartes PCI 64 bits par châssis 1 U.

## 264 - Datakeeper 1000 de Ford

Aux tout premiers temps de l'informatique, les prodiges que l'on pouvait lire dans les revues d'électronique à grande diffusion comme les PIRE et les TIRE faisaient croire à chaque électricien qu'il pouvait construire lui-même son calculateur. Beaucoup ont d'ailleurs réussi, généralement aux frais de l'état. Cependant il faut rendre hommage aux industriels américains qui, même sans subvention, ont souvent pris le risque de faire à leur frais au moins une expérience, en vue de déterminer s'il fallait investir dans cette voie, et comment.

Le Datakeeper 1000 de la Ford Instrument Division est de cette catégorie, qui aura rapidement convaincu le fabricant d'automobiles qu'à moins de changer de vocation, il vaut mieux acheter le produit fini chez un spécialiste. Il restera seul de son type.

Cette machine de taille modeste (elle pèse 280 Kg et consomme 1,5 KW ) est construite autour d'un tambour magnétique de 1000 mots, tournant à 60 tours / s. Elle travaille en série / parallèle par chiffre BCD sur des nombres entiers de 10 chiffres décimaux dont signe, exécutant une addition en 330 µs + accès. Ses circuits, tout à fait modestes, comprennent 160 tubes, 664 diodes à cristal, 105 tores pour l'adressage des pistes.

L'architecture à une adresse ne permet aucune optimisation, ce qui garantit des performances plutôt basses. Les périphériques sont ceux de l'époque, à savoir un télétype équivalant à LR15, PR15, ME5, mais il y aurait eu aussi un lecteur de cartes sur lequel on n'a pas de détail, et une visualisation à 132 ms / chiffre des adresses de tambour.

## 265 - Formation 4000

Réalisé en 1980 par une société de même nom, cette machine est un compatible IBM au niveau du 138, construite sous l'ombrelle IBM, c'est-à-dire en profitant des prix très élevés pratiqués par Big Blue. L'originalité réside dans la possibilité de doubler tous les modules connectés au bus central 32 bits très rapide, modules conçus pour assurer une dégradation progressive en cas d'incident sur l'un d'eux. La machine est vendue 52 à 150 K\$ avec une mémoire entre 256 KB et 8 MB, et un canal multiplex à 16 sous-canaux.

Les périphériques sont achetés sur le marché des compatibles : on peut installer jusqu'à 8 disques Winchester 70 MB du style 3340; des lecteurs de floppies de 256, 512 ou 1024 KB; 8 bandes 45 ips, 1600 bpi ; deux IP 300 ou 600; deux LC 300 ; huit interfaces de communication à deux portes RS232C ; et jusqu'à 35 consoles émulant le 3277 IBM, avec ou sans machine à écrire 180 cps.

Le logiciel, qui provient d' IBM, peut être DOS / VS, ou OS / VS1, ou encore VM sous lequel le vendeur propose un Transaction Management System.

## 266 - Fortune et le Micromega

Fortune, dont 35% du capital provient de Thomson, France, semble avoir été créée pour produire une machine que Thomson espérait vendre mais ne voulait pas fabriquer. C'est une machine de bureau qui vise la même clientèle que le PC, mais qui est construite autour du 68000, et donc complètement incompatible ; malgré son indéniable qualité intrinsèque, cette particularité est aussi la raison de son échec, tant aux USA qu'en France. Voir fiche.

## 267 - Four Phase System, Inc.

Cette société apparaît en 1971 avec un contrôleur d'écrans compatible avec le 2260 d'IBM ; elle va réussir et continuer pendant près de dix ans ce métier de compatible, qu'elle va ensuite élargir à d'autres terminaux.

Le produit de base est un processeur 24 bits réalisé en PMOS MSI, associé à des mémoires 1 Kbits, remplacées l'année suivante par des chips 2 Kbits, et ensuite au rythme des évolutions techniques. Comme d'habitude, les marges très élevées d'IBM permettent aisément de construire un produit compétitif, que IBM laisse se développer en tablant sur sa propre notoriété, pour éviter tout monopole qui ne manquerait pas de lui être reproché.

Ce calculateur est universel, de sorte qu'il peut être utilisé à d'autres tâches que le simple contrôle d'écrans : saisie multiclavier, terminal lourd, machine de gestion transactionnelle. Ce dernier statut attendra cependant 7 ou 8 ans, pendant lesquelles Four Phase vendra quelque 6000 machines.

En 1977, le System IV / 90 est devenu une véritable machine de gestion, très certainement avec un nouveau processeur mais on n'en parle pas car le mot d'ordre est "continuité". Il y a de nouvelles opérations dans le répertoire, la mémoire peut atteindre 192 KB, la vitesse est doublée. Il y a maintenant un vrai logiciel de gestion transactionnelle, Vision, qui englobe une possibilité de travail de fond en batch. Le prix de commercialisation commence à \$ 3400 / mois.

L'année suivante, la mémoire maximale passera à 384 KB, et le produit abordera l'Europe, sous le nom de Philips P 7000, avec un large choix de disques comprenant des packs de 67,5 MB.

En 1981, le System IV existe toujours, et des versions / 80 et / 95 existent, avec des capacités de mémoire qui atteignent 672 KB, et des prix de \$ 3000 à 4000 / mois.

Le choix d'un mot de 24 bits correspond au désir d'instructions perfectionnées et d'adresses assez grandes pour supporter la croissance, mais le stockage de 3 bytes est une complication certaine pour le logiciel. Four Phase a donc essayé, dès 1976, de produire un mini de 16 bits, doté d'une mémoire de 256 KB SECDED à base de puces 16 Kbits. Cette machine, qui supporte jusqu'à 270 MB de disques et 84 terminaux, et qui ne coûte que \$ 1419 / mois avec 256 KB, un disque 67 MB et une ligne, aurait certainement pu remplacer le System IV, mais on n'en a pas pris le risque, et ce NP / 80 n'a pas été mis en concurrence avec lui.

La réussite de ce que la société considère comme son marché principal lui donnant des réserves, en 1980 Four Phase, dont le CA est de 178 M\$, achète Two Pi, un fabricant de compatibles IBM. Cependant, il semble bien que Four Phase, refusant l'attaque frontale, ait préféré renoncer à ce marché.

La machine baptisée System 311 est l'un de ces compatibles, un 32 bits comparable en puissance au 4331, mais elle est utilisée comme noyau d'un système distribué, COMS / IV pour Corporate Office Management System, au titre duquel le 311 supporte 8 System / IV et assure les missions de batch, gestion de document, courrier électronique, et toutes liaisons vers l'extérieur en asynchrone, BSC, SDLC ou vers IBM en SNA.

La mémoire réelle est 512 KB (1MB) 4 MB, réalisée en puces 16 Kbits de temps d'accès 200 ns, mais la microprogrammation reconstitue une mémoire virtuelle 16 MB (adresses 24 bits) dans laquelle s'ébattent 177 opérations. Prix typique : \$ 3000 / mois sur 42 mois de leasing avec 1 MB de mémoire, 100 MB de disques, un dérouleur, 16 lignes et une IP 300.

En 9 / 81, le System 312, dont la mémoire minimale est portée à 1 MB, coûte \$ 4000 / mois avec 200 MB de disques, une bande, 8 lignes et une imprimante.

Les meilleures recettes finissent par s'user et, en 1984, Four Phase a abandonné le System IV et propose pour la gestion transactionnelle la série 6000. Ce calculateur construit dans un boîtier en forme de tour, avec un emplacement pour disquette 5,25", sur le devant comme dans les PC, utilise le 68010 de Motorola ; sa version 6600 sous Unix peut, dit la publicité, accepter 128 usagers.

Ce changement de direction, et le fait qu'à cette date on ne parle plus de Four Phase dans les statistiques américaines, s'explique aisément par le fait que la société a été rachetée par Motorola.

## 268 - Foxboro

Cette société fabrique, au moins depuis la guerre, des équipements de mesure pour l'industrie thermique et l'industrie chimique. L'apparition de l'informatique perturbe son activité, qui s'apparentait à la mécanique et à la chaudronnerie de précision, de sorte que la société va recourir à des spécialistes pour lui édifier ses systèmes de collecte et enregistrement (data logging) : en l'occurrence, Digital Equipment.

Le 97600 de 1964 est construit autour d'un PDP 4, assorti d'extensions analogiques. Parmi les périphériques de ce modèle, on peut citer :

- choix de codeurs 20, 40 ou 200 ech/s, précision 0,1 %
- 6 à 1024 entrées binaires, contacts ou impulsions
- 6 à 108 interruptions du calculateur
- 6 à 324 sorties binaires qui sont soit des commandes de relais, soit des impulsions, avec des débits pouvant atteindre 1500 par seconde.
- 0 à 39 sorties analogiques par convertisseur recevant un nombre de 8 ou 10 bits et délivrant soit une tension 0 à 10 volts, soit un courant de 10 à 50 mA.

Le 97600 A de 1965 est la même machine, sauf remplacement du PDP 4 par un PDP 7.

Exemple de client : Dow Chemical

De la même manière, le 97400 de 1964 est construit autour d'un PDP 5 accompagné de matériel analogique, et d'un tambour magnétique de 65536 mots dont le rôle n'est pas clair. La fonction de data logging est assurée à partir de voies équipées de matériel de mesure approprié, chacune avec tampon (sur le tambour ?) et priorité spécifique d'interruption.

Prix : K\$ 150 pour 50 voies, K\$ 210 pour 100 voies, K\$ 320 pour 200 voies.

Le 97400 A de 1965 est fondé sur le PDP 8 mais compatible. Pour les très grosses capacités, Foxboro propose le PCP 88, composé de deux 97400 A, avec une capacité de 250 voies. L'un est le maître, communiquant en Fortran avec l'opérateur et disposant d'un disque ; l'autre est l'esclave, qui gère le processus, et qui sera remplacé automatiquement en cas de panne.

On ne peut s'empêcher de penser que cette accumulation de matériel n'est pas optimale, et que Foxboro a surtout souhaité ne rien changer à ses habitudes, l'ordinateur n'étant qu'une commodité pour les surveillances et les impressions de contrôle.

Foxboro a dû le penser aussi, et estimer qu'il était temps de s'adapter : le FOX 1 de 1971 est un puissant ordinateur 24 bits, fabriqué par la compagnie, et doté de tous les ingrédients du modernisme : système d'exploitation temps réel avec travail de fond, contrôles de parité sur tores et sur tambour, protection contre les pannes de courant, récupération des erreurs, programmes divers pour la visualisation de synthèses et l'impression de rapports, mise au point en ligne, etc... Bien doté en périphériques, LR / PR, LC / PC, IP, disques en packs, multiples écrans avec imprimante de recopie, une installation peut coûter £ 200000.

Dès l'année suivante, une solution plus économique était proposée, le FOX 2 utilisant un calculateur 16 bits, très semblable en apparence à un mini du commerce, et peut-être en était-ce un, malgré l'existence incongrue d'un tambour magnétique de 256 Kmots, accès 10 ms. Mémoire à tores de 8 à 56 Kmots par modules de 4 ou 8 K, cycle 1,2  $\mu$ s ou 950 ns au choix, répertoire de 91 opérations accédant au bit et au caractère en plus du mot, 8 accumulateurs, 120 interruptions externes en 4 classes.

Tout le logiciel du Fox 1 se retrouve sur ce Fox 2.

## 269 - Friden

Dans l'immédiat après-guerre, Friden est essentiellement le constructeur d'une robuste machine à écrire dont il a acquis la licence auprès d'IBM, et qu'il continue à fabriquer longtemps après qu'IBM est passée à autre chose. Ce Flexowriter, qui comprend un lecteur et un perforateur de bande, est en plus robuste l'équivalent du télétype et largement utilisé en informatique des années 50/60 comme poste de commande d'ordinateur.

En 1962, Friden utilise cette machine comme organe d'accès de facturières, avec mémoire et bloc de calcul si modeste qu'on ne peut parler d'informatique (5010 et 6010 Computyper). L'évolution sera très lente, et en 1967 le Computyper 5610 n'a encore que 60 mots de mémoire de travail, et des bandes perforées multiples comme organes d'accès.

La transition apparaît en 1970 avec le 5800, qui vise manifestement à ne pas effrayer les opératrices de la clientèle. La mémoire de travail à tores contient 6 registres et 26 mots de 16 chiffres plus signe, avec un cycle de 5  $\mu$ s, au total 32 mots, et elle peut être étendue par deux blocs de 32 mots.

La mémoire de programmes comprend 1024 (512) 4096 steps, et les programmes sont composés au clavier, comme pour une calculatrice, avec un répertoire de 30 opérations : addition en 1,5 ms, multiplication en 10 ms. Les périphériques minimum, LR20 et PR20 peuvent être complétés par une ME25 avec cartes à bande mémoire de 440 chiffres (ledger), un LC185 et une IP120. Prix en Angleterre : £ 4750 à 25000.

Malgré cela, en 1972, les facturières continuent à être commandées : le Computyer 5006 est toujours organisé autour d'un Flexowriter, mais la mémoire est MOS : 13 registres de données à 12 chiffres décimaux, 3 registres de travail, et 547 étapes de programme (réduites à 521 s'il y a LR / PR). L'opérateur série / parallèle est apparemment microprogrammé, exécutant l'addition en 10 ms, la multiplication en 450 ms. L'opérateur travaille en lançant son programme au moyen de 6 clés de sélection.

Caractéristiques physiques : 580 \* 550 \* 270 mm, 435 Kg, alimentation secteur.

Le virage est réellement pris en 1970 avec le System 10, qui est un concurrent du System 3 d'IBM, et dont Friden semble avoir réalisé tous les composants, lecteur et perforatrice de cartes, imprimante et disques. Fiche. Le succès considérable du System 10 (4000 machines produites) provoquera en 1974 l'achat de Friden par Singer, qui préférera écrire System Ten.

Parmi les grands succès de Friden, on peut citer la vente de 250 systèmes pour les grands magasins J. C. Penney, accompagnés de 12000 terminaux.

## 270 - Mark I de FX Systems Corporation

Cette curieuse machine semble inventée pour exploiter le marché de la 360 / 20 d'IBM, c'est-à-dire un prix très bas et l'apparence d'une compatibilité. En pratique on ignore si l'émulation de cette machine fait partie de la fourniture, et si ce n'est pas le cas l'écriture du logiciel d'entrées / sorties n'est pas triviale. Au demeurant, le prix des périphériques IBM est bien supérieur à celui de l'ordinateur.

La mémoire est à tores, 4 (2) 32 Kmots de 18 bits, avec un cycle de 2,5 µs. En dehors de cette mémoire, la structure est réduite au minimum puisqu'elle ne comprend que deux registres, un accumulateur de 18 bits et un registre de 3 bits qui commande les entrées / sorties. Le répertoire de base ne comprend que 11 opérations, et il n'y a pas l'ALU, l'arithmétique étant obtenue par des tables, comme dans la 360 / 20. On peut cependant se procurer une ALU, en option.

Les accès disposent de deux bus entrée et sortie et fonctionnent sur interruptions prioritaires.

Au delà d'un minimum qui rappelle les premiers temps de l'informatique, et dans les limites d'une mémoire plutôt étriquée, l'exploitation semble dépendre d'une microprogrammation utilisant la mémoire normale comme mémoire de commande, ce qui est à la limite de l'exercice pédagogique.

## 271 - Garrett Manufacturing Company

Garrett est un équipementier d'aviation, qui réussira suffisamment bien pour produire, un peu plus tard, des turbines de propulsion de petite taille. Ses activités informatiques sont a priori limitées à ses besoins propres, c'est-à-dire à la régulation et à la commande de ses équipements.

C'est ainsi que l'ADAPT de 1971 est simplement une commande numérique pour les entrées d'air du chasseur F14. Pourtant, l'année suivante, Garrett semble faire de cette machine ou d'un de ses dérivés un produit commercial, le Micro 2, très modeste contrôleur de processus disposant d'une mémoire bipolaire 8 bits de 256 à 2048 mots, cycle 500 ns, avec un répertoire de 16 opérations, et des entrées / sorties limitées à des clés sur un panneau avant, un lecteur de bandes perforées, un clavier et des minicassettes. Présentation sur table ou en rack 19", pour un prix de \$ 1500.

On ne perçoit pas l'intérêt de cette tentative, qui n'aura pas de suite.

## 272 - Gemini Computers

Cette société dont on ne sait rien, sinon qu'elle n'a pas beaucoup fait parler d'elle, propose en 1985 un calculateur modulaire constitué de 1 à 8 microprocesseurs Intel 80286, réunis sur un bus commun en même temps que 128 MB de mémoire, locale ou partagée. Cette offre est à l'époque complètement banale, et un éventuel client préférera sans doute un constructeur plus connu pour avoir un minimum de garantie de pérennité.

Autant qu'on puisse le savoir, il n'y aura aucune suite.

## 273 - General Automation

L'histoire de cette société commence en 1968 avec la sortie du SPC 8, un minicalcateur 8 bits qui se veut polyvalent et dont la commercialisation est principalement OEM. Il est vendu \$ 6400 avec une mémoire de 4 KB, cycle 2,2  $\mu$ s, extensible seulement à 8 KB, ce qui montre les limites du projet. Le processeur comprend un adder parallèle, 6 registres de 8 bits dont deux accumulateurs et un index. Le répertoire comprend 46 opérations de 8, 12 ou 16 bits, avec des adresses de 12 bits et 4 modes d'adressage.

En option, 2 à 256 interruptions hiérarchisées avec un délai de 20  $\mu$ s, intervenant pour des contrôles comme la parité en mémoire, la panne et le retour du courant, l'horloge, et bien sûr les périphériques, dont aucun n'est standard, sauf le télétype pour les ventes non OEM.

Le logiciel comprend un assembleur, une passe, une bibliothèque mathématique, quelques utilitaires et un autotest. Le délai de livraison est 120 jours.

Cette machine un peu trop modeste et un peu trop chère fut rapidement remplacée par le SPC 12, également une machine 8 bits, mais plus élaborée puisqu'elle comprend quatre accumulateurs de 12 bits dont trois peuvent servir d'index, et qu'il existe un certain choix de périphériques temps réel. Cette fois, le succès fut au rendez-vous, et même un succès considérable pour l'époque : 500 commandes dès la première année, plus de 2000 livraisons aux USA et à l'étranger. GA était lancée.

En 1969, GA qui se propose d'entrer plus avant dans le monde du process control, et cherche donc des clients plus ambitieux, lance le GA 18 / 30, dont le nom affirme l'origine et l'ambition : cette machine est compatible avec la 1800 IBM et pourra donc en utiliser le logiciel, sur lequel insiste une documentation commerciale cherchant à rassurer : il n'y a pas d'aventure à choisir GA, qui bien entendu est beaucoup moins chère qu'IBM. Le message sera entendu.

Dès 1970, le SPC 16, processeur 16 bits comme le précédent, peut commencer à s'écarter un peu du modèle IBM puisque la confiance est là : c'est une machine désormais complète, offrant même la virgule flottante en option, et riche d'une foule de périphériques : GA produit lui-même les périphériques temps réel, et se procure sur le marché les autres dont le nombre et la variété croissent, signe que les systèmes GA s'implantent efficacement.

Le logiciel suit avec souplesse : quatre systèmes d'exploitation du plus simple au plus performant, et possibilité de crossassemblage, indispensable du fait de la petite taille de mémoire de ce processeur prévu pour le travail d'atelier.

Au passage, signalons en 1973 un SPC 18 qui est un compatible IBM 1130, conçu pour profiter des énormes marges de Big Blue. Pour 6000 F / mois, on peut obtenir un processeur compatible, une mémoire à cycle de 2  $\mu$ s, un disque en cartouches de 2,5 MB, 60 ms ; un LC 300 et une IP 125 en 132 colonnes. Le logiciel Midi DMS est compatible avec le DM2 d'IBM.

En 1973, GA fait ses premiers essais d'intégration complète, en commandant à Rockwell un microprocesseur compatible avec le SPC 12. Ce sera le LSI 12 / 16, dont le succès naissant sur le marché OEM est compromis fin 74 par l'abandon de la technologie SOS par Rockwell : il faudra improviser un retour au SPC 12 avec des MSI disponibles.

A peu près en même temps, GA avait également commandé à Rockwell une version en deux puces SOS du SPC 16, le LSI 16 : une puce ALU contenant 8000 transistors sur 200 \* 200 mil, et une puce formant bloc de commande, qui prenaient place sur une carte avec le bootstrap de base, l'horloge temps réel, et les interruptions pour erreur CPU, panne et retour de courant.

Une seconde carte 197 \* 279 mm contenait la mémoire, pour laquelle GA faisait aussi des expériences. GA récupère des puces Intel 1103 de 1 Kbits et les groupe par huit sur un support hybride qui constitue ainsi une mémoire de 1 KB ; ces hybrides, cycle 500 ns, accès 300 ns, sont soudés perpendiculairement à la carte multicouche pour un total de 32 Kmots de 18 bits. GA prévoyait d'étendre le procédé à des cartes 128 K avec des puces 4 Kbits.

L'ordinateur composé de ces deux cartes était commercialisé \$ 9450.

Une troisième carte de mêmes dimensions, optionnelle, était disponible pour constituer un ordinateur commercial, contenant un driver de télétype, un DMA, et une ROM contenant un bootstrap plus important assorti de quelques utilitaires. Prix \$ 1000 par lots de 200, caractéristique de la vente OEM.

L'abandon de la technologie SOS par Rockwell oblige rapidement GA à mettre fin à ce premier essai d'intégration, mais il n'est pas question d'abandonner une solution qui est, à l'évidence, la voie de l'avenir. GA provoque donc la réalisation par Synertek d'un microprocesseur en deux puces, RALU et CROM comme le précédent, réalisant l'essentiel du SPC 16, et l'utilise pour construire, en 1975, une offre à quatre niveaux baptisée Solution :

- le microprocesseur sur une carte, avec 1 K DRAM, est le GA 16 / 110, exclusivement OEM, \$ 585.
- le contrôleur GA 16 / 220 en deux cartes vendable en OEM à \$ 975, mais essentiellement destiné aux utilisateurs directs avec logiciel et diverses cartes de périphériques temps réel.
- le minicalculateur de gestion 220 DS
- le contrôleur GA 16 / 330 qui diffère du précédent par de grandes cartes de mémoire à tores disposées horizontalement dans un nouveau châssis, pourra être commercialisé soit comme contrôleur, soit comme mini de gestion sous le nom de DS 30. Une partie des périphériques du dossier cité plus haut datent de cette époque et concernent les Solutions.

Le succès couronne cette nouvelle approche, que GA va soutenir pendant plus de cinq ans : 50 \* 110, 500 \* 220 et 450 \* 330 auront été vendus au 1 / 1 / 77. GA se contentera donc de remises à jour technologiques :

- le 340 de 6 / 77 ne diffère du 330 que par des cartes mémoire de 32 Kmots.
- le 240 de 1980 utilise un processeur en deux puces, FXU et FPU, et une mémoire de 512 KB.
- et à cette occasion la version OEM est rebaptisée 230.

En même temps que la version à microprocesseur, GA propose en 1975 une version plus puissante, réalisée en TTL Schottky sur cartes à 6 couches, le GA 16 / 440, présenté comme un membre de la famille Solution. Le fait que 1000 machines de ce type étaient en service au 1 / 1 / 77 indique bien que la clientèle de GA avait progressivement décalé ses besoins vers le haut.

C'est pourquoi le 440 sera suivi :

- en 1977, d'un GA 16 / 550, biprocesseur à mémoire autocorrectrice de 256 KB vendu \$ 43000, et susceptible d'extensions diverses comme un cache de 1 KB, un MMU à 4 MAP de 64 KB, l'arithmétique décimale, la virgule flottante. Le service des périphériques peut atteindre 8 MB / s sur un bus 16 bits, et peut notamment comprendre jusqu'à 128 lignes HDLC.
- en 1979, d'un GA 16 / 460, caractérisé par un répertoire accru à 122 opérations avec options mpy / div en absolu et en signé, et par une nouvelle mémoire MOS 500 ns, offerte en modules 64 KB ECC, ou en modules 128 KB + parité. L'adressage direct est porté à 128 KB, et peut être étendu à 2 MB par MMU.
- en 1979 encore, de la mémoire Hypak, utilisant des puces de 128 Kbits pour constituer des cartes de 1 MB avec autocorrection, utilisables par le 460 comme par le 550.

En 1982, nouveau processeur compatible GA 16, et réalisé avec des processeurs en tranche AMD 2903 à 20 MHz complétés par des réseaux de portes. La mémoire est Hypak à cycle de 500 ns, avec option de batterie anticoups de courant. Cette famille GA 900 comprend cinq modèles :

- 910 et 920 disposent d'une mémoire 64 KB à 1 MB, avec contrôle de parité jusqu'à 128 KB, et SECDED au delà. Prix de base 54900 FF, présentation en une ou deux baies.
- 930 dispose du SECDED sur toutes les mémoires de 128 KB à 1 MB, et en option d'un cache de 1 Kmots et de la MMS, qui travaille avec des segments de 128 KB et des pages de 2 KB/
- 940 et 950 sont la même machine, dans des baies adaptées à la norme FCC sur les interfaces.

En résumé, la nouvelle série 900 associe un nouveau processeur à l'ensemble du capital technique accumulé sur les Solutions, mémoires, périphériques et logiciel.

L'opération précédente n'ayant pas coûté cher, tout en donnant à la clientèle l'impression d'un progrès, GA peut aborder une réflexion critique, qui porte sur la raison d'être de l'entreprise, qui a manifestement changé. Le domaine du temps réel n'a pas diminué en importance, au contraire, mais il est en train d'échapper à GA avec l'apparition des LSI 11 de DEC, de sorte qu'il n'est peut-être plus indispensable de se battre pour le répertoire du SPS 16 ; d'autre part, GA s'est fait une place dans la petite gestion, comme beaucoup d'autres certes, mais il y a apparemment une telle demande dans les entreprises que tout le monde peut y trouver son compte. Et dans ce cas il y a urgence à se positionner.

On ignore si ce positionnement s'est fait avec ou sans implication financière de Motorola, mais GA choisit le 68000 comme support matériel, et le système d'exploitation Pick comme structure logicielle. Ce Pick offre la mémoire virtuelle et la multiprogrammation, ainsi qu'une structure de fichiers ; les services comprennent un assembleur, un interpréteur Basic, un générateur de procédures, un langage d'édition de données, et des packages : traitement de texte, graphique, modélisation financière.

GA reconnaît que Unix offre aussi tout cela, mais doute de la possibilité d'unifier les Unix, et de la stabilité d'un système qui dépend trop des universitaires. Cependant, il propose Xenix comme une option, remarquant que Xenix est, comme Pick d'ailleurs, un produit industriel plutôt qu'universitaire.

La série Zebra, qui naît de ces réflexions, comprend quatre modèles à base de 68000 à 10 MHz :

1500 comporte un boîtier à quatre slots, une mémoire 256 KB, 20 à 40 MB de disques, 2 à 6 RS 232C et donc jusqu'à 4 terminaux.

2500 est le même produit avec des disques de 35 ou 70 MB.

3500 se présente en armoire, avec mémoire 256 KB à 1 MB, un à quatre disques de 70 MB, et jusqu'à 18 terminaux.

5500 comprend une mémoire de 1 MB, 1 à 4 disques de 158 MB, et jusqu'à 32 terminaux.

Il semble que cette famille ait atteint son objectif et permis la reconversion de GA, car cette société existe toujours dix ans plus tard, et travaille toujours avec les 68000 et Pick :

- le A 600 de 1991 utilise le microprocesseur 68030 de Motorola à 25 MHz dans un système transactionnel à 700 KF capable de 32 MB de mémoire, 760 MB de disques, 64 à 128 terminaux, fonctionnant sous Pick, un système d'exploitation auquel GA s'est rallié sans en être l'auteur. Pour les clients avides d'universalité, ils peuvent disposer d'Unix en achetant une carte supplémentaire contenant un second 68030 dédié.

- le A 800 de 1991 offre les mêmes services avec un 68030 à 50 MHz, un produit rare qui est ici associé à une mémoire de 64 MB et peut desservir jusqu'à 512 utilisateurs.

Il existe même un A 800.2 à haute disponibilité, comprenant deux CPU avec un logiciel de surveillance qui assure une dégradation progressive.

Pendant, comme le montrent les aventures de DEC et d'Apple, même un choix excellent et apprécié des clients ne suffit plus dans les années 90, où le maître-mot est "ouverture" : il faut désormais, pour n'être pas marginalisé, choisir entre les X86 et les PowerPC, et offrir un Unix normalisé, au moins aussi facile à manier que Pick ; ou bien encore se faire absorber par quelque compagnie puissante ! L'ennui est qu'on n'a aucun document sur la solution choisie, sinon qu'au tournant du siècle personne ne paraît se souvenir de General Automation !

## 274 - General Electric

Grande puissance industrielle née à la fin du XIX<sup>ème</sup> siècle des recherches d'Edison, la General Electric était déjà avant la guerre très impliquée dans toutes les applications de l'électromécanique, et sa contribution à la mutation de l'armement vers l'électronique est majeure : ses deux divisions HMEE et LMEE ont réalisé des prototypes et des séries de tous les types d'équipements militaires : radars de tir pour avions, radars de veille et d'altimétrie pour les trois armes, brouilleurs, émetteurs et récepteurs de toutes fréquences, appareils de navigation, sonars de tous types, sonobuoys, etc... Aucune de ces productions de guerre n'est une réelle originalité, même si toutes ont joué un rôle.

Ces activités étant exactement dans la mission de ces divisions, elles se sont toutes poursuivies après la fin des hostilités, et la General Electric a été partie prenante dans tous les systèmes d'armes qui sont nés à cette époque, parmi lesquels on citera de façon non exhaustive :

- les grands radars de défense du territoire, comme les CPS 6 pour la ligne Pinetree, les FPS 6 et 90 (altimétrie) et 24 (veille air) pour le SAGE, les FPS 3 et 33 pour le Missile Master, le FPS 37 d'acquisition pour le Nike Hercules, les premiers radars antibalistiques pour la Turquie et l'Alaska (AN / FPS 17) et surtout les gigantesques radars du BMEWS (AN / FPS 50 de Clair et Thulé, 1959) ; plus récemment c'est encore GE qui a fourni les premiers radars à balayage électronique en site (13 sites AN / FPS 117 pour l'Alaska) et les radars OTH B bistatiques à réflexion ionosphérique (AN / FPS 118, 1984).

- plusieurs sonars à grande diffusion, comme le sonar d'étrave actif AN / SQS 26 de 1959 et son dérivé 53 A de 1973 (tous navires de combat), les sonars remorqués passifs AN / SQR 19 TACTAS, et divers sonars de chasse aux mines (de l'AN / UQS 1 de 1950 au SQQ 32 de 1983).

- et la série des radars des avions AEW qui ont abouti au E2 Hawkeye, assurant la conduite de toutes les opérations aériennes des porte-avions : de l'AN / APS 20 de 1946 à l'AN / APS 145 de 1990.

- GE acceptera aussi au moins un contrat de système avec le BADGE, un ensemble de défense aérienne à portée locale dans le style des Missile Master : SS 312 L, redéfini en 1960 comme 412 L.

Elle a aussi réalisé très tôt, pour le Marine Corps et l'Armée, des AN / TPQ 10, destinés au guidage tactique des chasseurs-bombardiers dans la zone de combat. Le système comprend un radar de précision, un aérien monté sur tripode, et un centre d'exploitation avec table traçante assurant les tracking, monté sur camion léger M105E3 de 1,5 t avec remorque 2 roues. Le calculateur intégré est probablement analogique.

Une telle entreprise devait forcément s'intéresser très tôt aux calculateurs numériques, ne serait-ce que pour ses besoins propres. Elle le fit mollement pendant la guerre au vu des travaux des Bell Labs, mais seulement au plan théorique faute de besoin précis. Elle le fit matériellement à partir de 1946, en s'inspirant de la machine N° 3 de Harvard, mais toujours de façon hésitante, au point que la machine, qui fait l'objet

d'une fiche et qui nous est connue par un compte-rendu de symposium, ne paraît pas avoir été terminée ; en tous cas, elle ne figure pas dans l'inventaire 1953 de l'ONR, qui pourtant se voulait mondialement exhaustif.

Une possibilité sérieuse, suggérée par des ressemblances logiques et techniques, est que l'équipe GE, sollicitée vers 1950 par les militaires du WADC pour leur fournir une machine à finalité statistique, OARAC, s'est directement inspirée de leur prototype qui avait eu de nombreux problèmes et, une fois leur fourniture livrée, s'est désintéressée d'une machine clairement dépassée.

Une deuxième machine, non datée mais forcément contemporaine puisqu'elle figure dans l'inventaire ONR, et baptisée OMIBAC, a été construite à Schenectady pour les besoins propres de la division aéronautique de GE. C'est très probablement l'oeuvre d'une équipe indépendante, car cet OMIBAC est binaire, complètement différent de l'OARAC sur tous les plans, architecture et logique essentiellement.

Ces choix sont d'ailleurs très curieux, en particulier l'emploi de deux tambours différents, accessibles en parallèle, pour les instructions et pour les données, et celui d'une synchronisation très lente, 10 KHz seulement, économie permise par le choix très limitatif d'une instruction par tour de tambour (12 ms). A noter qu'à en croire le rapport ONR, nourri des déclarations des usagers, la machine était très peu fiable, avec plus de 16 % d'indisponibilité pour pannes et entretien.

Ces diverses expériences convainquent les décideurs de GE que la construction de machines à calculer ne s'improvise pas, et que pour des applications industrielles il vaut mieux acheter du matériel professionnel. C'est ainsi que Schenectady figurera parmi les clients de la première machine commerciale, l'IBM 701, vers 1954. La GECO cesse donc pour un temps de songer à devenir constructeur.

Quatre ans plus tard cependant, les mêmes décideurs ont pris conscience que l'informatique naissante va devenir une industrie, et qu'une entreprise d'électricité se doit probablement d'y participer. Cherchant un thème pour concrétiser cette décision de principe, ils se laissent tenter par les sollicitations conjointes du Stanford Research Institute et de l'Association des Banquiers qui viennent de construire le prototype à tubes ERMA de trieuse de chèques magnétiques : GE va donc se lancer dans la production de calculateurs de gestion.

Ce sera donc la première machine transistorisée GE 100, puis le premier produit commercial GE 210, dont 20 exemplaires seront construits.

La décision prise, qui plaçait à Phoenix, Arizona, la nouvelle usine de calculateurs, il n'était pas question de se limiter. La société démarre les études dans au moins trois directions :

- la gestion, pour élargir le service proposé aux banques au delà de la seule lecture des chèques, et ne pas laisser à la seule IBM les marchés bancaires : ce sera la famille 200.
- le calcul scientifique avec la famille 600.
- le temps réel, domaine dans lequel GE est son propre client, en tant que constructeur intégrateur de centrales électriques. Le premier modèle GE 312 à tambour magnétique sera vendu à 27 exemplaires ; un 412 à tores magnétiques lui succèdera dès que cette technique sera maîtrisée, fin 1961.
- en outre, elle aborde la recherche technologique, expérimentant des logiques nouvelles (DONUT) et surtout abordant les problèmes de fiabilité dans des conditions difficiles, avec des machines militaires (M 236) puis spatiales (A236). Ce sujet sera traité à part.

### Machines de gestion

La 225 est d'abord envisagée comme une machine universelle, scientifique (elle peut disposer de la virgule flottante) aussi bien que gestionnaire (l'unité arithmétique sait travailler en décimal) ; mais la longueur très faible du mot (20 bits) oblige à des acrobaties, et il apparaît vite que la vraie vertu du 225 est la variété de ses périphériques, parmi lesquels la trieuse de chèques E13B, et celle de son logiciel de gestion, due au foisonnement créateur du moment (COBOL, TABSOL, BASIC).

En outre, GE a tout de suite perçu l'importance des communications et créé divers Datanet, contrôleurs spécialisés dans les communications filaires, permettant le déport de certains périphériques. Ces avantages directement perceptibles feront le succès de cette machine médiocre à l'architecture complexe et inadaptée, mais qui ne peut être reconnue telle que par les spécialistes, encore très peu nombreux dans les entreprises.

Résultat : de 60 à 66, on verra succéder au 225 :

- un 235 à performance triplée (fiche), pas tout à fait compatible.
- un 215 à prix réduit, à peu près deux fois moins puissant (mémoire à cycle de 36  $\mu$ s) que le 225, mais pleinement compatible : addition 72  $\mu$ s, soustraction 89  $\mu$ s, multiplication 307  $\mu$ s, division 510  $\mu$ s. Il aura du succès à cause de son prix, et sera abandonné après production de 56 machines pour ne pas concurrencer les 115 et 415 plus récents.
- un 205 à \$ 2175, comportant par rapport au 215 quelques améliorations comme l'adressage indirect et une meilleure virgule flottante, qui font perdre la compatibilité si on les utilise. Il dispose aussi de nouveaux disques, 4 \* 23,5 MB avec temps d'accès de 200 ms.

- un 265 spécialisé dans le time sharing type Dartmouth, avec un disque et un Datanet 30 desservant les télétypes. A ce sujet, on se souviendra que c'est sur un 225 que furent inventés, au Dartmouth Collège, le langage Basic interprétatif et le temps partagé : GE en récupère ici la licence et vendra quelques-unes de ces machines en plus de son besoin propre, notamment une à CEIR, de Arlington, Va.

On trouvera en 253-619/33 la description de l'équipement et de l'exploitation du 265 installé par GE dans son propre centre de recherche, et qui pratiquait sans faille le batch, le temps partagé et la collecte de mesures en temps réel, ainsi que la communication avec un 600 plus susceptible de faire l'exploitation. Un tel logiciel mérite, à l'époque, des félicitations.

En résumé, une famille de calculateurs peu performants et mal conçus, avec des évolutions pas toujours cohérentes, mais vendus par une équipe motivée dont l'effort logiciel et le choix de périphériques emportaient l'adhésion des clients.

On peut noter d'ailleurs que, parallèlement à cette introduction d'une véritable informatique, GE continuait à vendre, sous le nom de GE 200 Bank Transit, une version simplifiée du 210 dont les fonctions se réduisaient à des conversions de trieuse à imprimante. Une installation pouvait comporter jusqu'à deux trieuses 1200 chèques / min et 4 imprimantes à 6 bandes de 24 caractères, 2000 lignes / min, avec un LC 400 pour le programme et les insertions, et une machine à écrire de commande et compte-rendu.

Il y a une malédiction originelle sur cette équipe GE : le jour où ils décident qu'il est temps de remplacer la famille 200 se situe juste avant l'annonce IBM de la série 360, de sorte qu'ils ne se savent pas condamnés par le marché à l'unification des missions sur une série compatible, et au byte de 8 bits plus parité. Ils vont s'engager à fond sur des machines de 24 et 36 bits, trop à fond pour pouvoir reculer, et seront contraints par ces choix à d'incessantes acrobaties architecturales et logiques : rien certes qui ne puisse être surmonté, mais au prix d'efforts qui ont un prix et finiront par lasser les clients comme les dirigeants.

La famille 400, destinée à remplacer les 200 avec les mêmes objectifs, était prête dès septembre 63, mais l'annonce fut retardée parce que GE avait eu vent d'une importante annonce IBM. Celle-ci tardant, la série fut finalement annoncée en décembre, et se composait de quatre machines :

- une 425, logée dans une tour à trois ailes = 6 portes de câblage. Caractéristiques : mot de 24 bits, mémoire plutôt lente (cycle 5,1  $\mu$ s), arithmétique principalement décimale.

- une 435, logée dans une tour à quatre ailes = 8 portes de câblage. La principale différence est une mémoire à cycle de 2,7  $\mu$ s.

- une 455 à mot de 48 bits, logée dans un édifice à 7 ailes (4 + 3 juxtaposées) et 14 portes : la mémoire de 4, 8 ou 16 Kmots avait un cycle de 2  $\mu$ s et pouvait être accélérée par une petite mémoire de 512 mots à film mince, à cycle de 500 ns. La virgule flottante était optionnelle, et les entrées-sorties pouvaient disposer de 14 canaux, mais avec un débit global limité à 1 Mcar / s.

- une 465 qui n'en différait que par une mémoire principale à cycle de 1  $\mu$ s, et se présentait comme la juxtaposition de deux tours à 4 ailes, soit 16 portes.

En résumé, une arithmétique maladroite (multiplication décimale programmée), une mémoire trop petite, des entrées / sorties bien conçues mais d'un débit tout à fait insuffisant, et pour compléter ce tableau pas de système d'exploitation car le concept n'était pas inventé. Le projet architectural intégrait bien le calcul scientifique mais en lui accordant une place insuffisante, de telle sorte que toute application réellement scientifique se tournerait forcément vers un autre fournisseur.

Quand fut connue l'annonce IBM, trois mois plus tard, ces lacunes apparurent immédiatement : plutôt que de maintenir l'unification architecturale et de se battre pour le caractère de 6 bits soudain dépassé et condamné, GE décida d'abandonner les 455 et 465 et de confier tout son avenir en scientifique à la nouvelle famille 600, étudiée plus loin. La famille 400, tronquée à 24 bits, se limitera donc à la gestion, et son évolution se fera par et vers le bas :

- la 415 est annoncée dès 1964 et se propose de récupérer les orphelins des 1401 IBM, avec un prix de base de \$ 4770 / mois et une mémoire morte Capacitrix assurant l'émulation. La publicité orientée vers cette mission évite de parler du cycle mémoire de 9  $\mu$ s pour évoquer une capacité de 16 à 128 Kcar et un temps d'accès de 2,3  $\mu$ s / car, qui n'a aucune réalité puisqu'il faut extraire ces caractères du mot.

Plus raisonnablement, une 415 à 32 Kmots de mémoire et 4 dérouleurs coûtait \$ 7350 / mois et s'appuyait sur un logiciel efficace avec lequel les anciens utilisateurs de la famille 200 étaient familiers.

- la 405 de 1967 est strictement une opération commerciale : on fait des économies en imposant une mémoire fixe de 8192 mots avec cycle de 2  $\mu$ s, un répertoire réduit à 70 opérations, des entrées / sorties limitées en choix sinon en nombre (il y a 12 canaux). Le logiciel ne paraît pas restreint, à cela près qu'il s'inscrit dans un système d'exploitation minimum. Bref, comme chaque offre de ce genre, une économie que l'on regrette presque immédiatement. Cette machine peut être achetée K\$ 196 ou louée \$ 5120 / mois.

Pour éviter que cette machine préfabriquée fasse du tort aux machines de la série principale, le cycle mémoire de la 415 sera simultanément porté à 5,9  $\mu$ s, et celui de la 425 à 3,9  $\mu$ s.

- la 420 est un système de temps partagé qui succède au 265 et n'apparaît qu'en 1967, ce qui a laissé le temps de liquider les 2XX en retour. Livrable en janvier 68, ce système comprend une 415, un disque DSU 204, LC 200, PC 100, IP 1200, un dérouleur, et un Datanet 30 avec 16 KB de mémoire et 30 terminaux. Le logiciel comprend BASIC et Fortran interactifs. Prix : K\$ 760 ou \$ 16944 / mois ; pour un supplément de \$ 300 / mois, le calculateur peut être relié à un traceur Calcomp 500 à distance, à travers un contrôleur 210 spécialement conçu. On notera que le Datanet 30, qui fait ici son apparition, est un calculateur en soi, à la différence de tous les Datanet antérieurs qui n'étaient que des contrôleurs de communications.

- le 430 reprend ce thème en 1968, pour \$ 15421 / mois, le seul changement consistant en quatre disques DSU 160, soit au total 30 M de caractères.

- en même temps, GE annonce un 440 à 50 terminaux, au prix de 22187 \$ / mois. Le disque est un DSU 160 et probablement, le calculateur est un 425 car la mémoire du 415 est un peu lente pour une telle charge.

- en 1969 enfin, GE propose au contraire un système allégé, avec seulement 10 terminaux, le 410, le prix tombant à moins de K\$ 500 ou \$ 10575 / mois .

C'est vers 1966 que, aux Etats-Unis comme en France, les retombées techniques du système militaire SAGE commencent à atteindre le domaine civil, sous la forme de systèmes géographiquement étendus dont les composants sont fédérés par des liaisons téléphoniques plus ou moins permanentes.

Chez GE, il s'agit d'un contrat d'études des grands magasins J. C. Penney Co, pour un projet de gestion: une paire de 420, dont un en rechange active, devront collecter les informations de 1500 terminaux dans 50 magasins de la région de Los Angeles ; les marchandises sont supposées marquées dans les dépôts au moyen d'un ticket magnétique Meritag (licence Dennison), exploité aux caisses par un terminal comprenant clavier numérique, lecteur de tag, touches de fonction, fenêtre lumineuse formant guide de séquence, et imprimante. Le système fonctionnait, avait peu de pannes, et GE s'apprêtait à commercialiser ce TRADAR lorsque Penney, arrivé au moment de la décision d'investissement, choisit de ne pas poursuivre (12 / 69) : on suppose qu'il considérait les 420 comme un peu trop âgés.

Heureusement pour GE, ils avaient tout de même obtenu par ailleurs un beau contrat de l' Administration, sous la forme du réseau du Génie de l' US Army : M\$ 10 pour l'installation de calculateurs interconnectés dans 37 villes des USA, dont 9 chef-lieux de régions militaires. Chacun de ces sites reçoit un 425 associé à un Datanet 30, qui assure de nombreuses liaisons croisées.

En 1969 quand s'achève la vie de cette famille 400, la gestion informatisée a beaucoup changé. Les PME, jusque là oubliées des constructeurs parce qu'elles ne peuvent se payer ni les machines ni les ingénieurs indispensables à leur mise en oeuvre, ont commencé à s'équiper avec des matériels bricolés par des isolés ou de très petites SSI, et le marché qui s'ouvre ainsi est sans commune mesure avec le précédent : beaucoup plus de machines à vendre, qui doivent être beaucoup plus simples et plus économiques. Quant aux applications lourdes des banques et assurances, elles pourront être mises en oeuvre sur les grosses machines genre 600, qui sont polyvalentes ; et cela d'autant mieux que ces compagnies ont de plus en plus de calcul scientifiques à faire pour leurs statistiques, leurs calculs actuariels, ou leurs analyses d'investissements.

Comme ses concurrents, GE doit donc maintenant offrir une gamme de petites machines, et cela ne rentre pas dans les compétences de l'usine de Phoenix. Or, il se trouve que GE est en première ligne dans un drame qui vient de se jouer en Europe.

En 1965, la compagnie des Machines Bull, en France, considérée par les français comme le phare de leur informatique, et se jugeant elle-même à cette aune, se retrouve en faillite (voir Document France ) par suite d'une gestion déplorable, d'ambitions disproportionnées, et de négligences marketing. Elle a notamment 28 M\$ de dettes à l'égard de RCA ; mais elle a aussi une clientèle européenne, africaine et sud-américaine très importante, la seconde en volume et en capital installé après IBM.

General Electric, très mal introduit en Europe où elle a cependant placé quelques 400, voit là une occasion exceptionnelle d'élargir un marché jusque là presque uniquement américain : elle achète Bull et sa dette, change les personnels d'encadrement des usines Bull pour bousculer des moeurs un peu trop laxistes, supprime les programmes qui ne l'intéressent pas, et réorganise production et commercialisation:

- Bull devient essentiellement organisme de vente et maintenance, mais il continuera toutes ses productions de périphériques, et pourra les adapter aux machines américaines. L'accent sera mis, en Europe, sur la série 600, qui pourra éventuellement être produite à Angers.

- La petite machine Bull Gamma 50, qui réussit très bien auprès des PME, sera poursuivie, et on étudiera son adaptation éventuelle au marché américain.

- Sur son élan, GE achète aussi une usine d'Olivetti dans la région de Milan, usine qui s'apprêtait à lancer un calculateur de gestion comparable au System 3 d'IBM. Cette machine devient la GE 115, elle sera produite en Italie et commercialisée par Bull .

Ce n'est pas ici la place de commenter les états d'âme de Bull pendant cette période, mais il est certain que l'ambiance n'y était pas, d'autant plus que le Gamma 50 ne fut pas lancé sur le marché américain, et que la commercialisation d'une machine italienne non produite en France était ressentie comme quelque peu déshonorante. Quoi qu'il en soit, le GE 115 fut un succès, et fut suivi

- en 1968 d'un 130 beaucoup plus rapide et enrichi de nouvelles instructions,
- puis en 1969 d'un 120 qui n'en diffère que par une mémoire moitié moins rapide,
- et d'un 105 qui est une façon commerciale de se débarrasser des 115 en stock ou restitués.

En bref, rien ne laissait deviner que GE allait soudain abandonner l'informatique.

### Machines scientifiques

Jusqu'en 1964, la politique commerciale de GE consistait à fournir de grosses machines aux banquiers et aux assureurs, et à considérer comme secondaire le calcul scientifique, laissant donc à IBM et Univac le marché pourtant considérable de l'aéronautique, de l'espace et de l'énergie atomique.

L'apparition de la série IBM 360, introduisant la notion de gamme et de très importantes économies potentielles dans le domaine logiciel comme dans celui des composants, obligea GE à repenser cette politique : clairement, toute entreprise importante et en train de croître allait choisir le fournisseur d'informatique capable de suivre son évolution sans susciter une révolution logicielle à chaque étape, et c'était désormais IBM. Il fallait adopter la même politique de gamme, ou se cantonner dans la gestion des seules PME.

La nouvelle série 600 est conçue avec cet espoir en visant plutôt le haut de gamme, mais c'est un choix douteux parce que :

- c'est une machine 36 bits. Son adaptation au byte de 8 bits sera toujours acrobatique et même si on parvient à faire que le client l'ignore, cela se paiera d'une perte d'efficacité, mesurable en termes de travail fourni par dollar dépensé.

- c'est une machine-mot : il sera difficile, techniquement et surtout économiquement, de réaliser des machines de gestion dans ce cadre architectural.

- la seule façon d'adapter une architecture unique à une gamme étendue de puissances est la microprogrammation, qui pose encore de sérieux problèmes en 1966. En outre la multiplication des modèles qui en résulte coûte très cher en études : chaque réalisation n'est économiquement rentable que dans une fraction de la gamme de puissance, et pour une série suffisamment longue. Un constructeur non assuré de vendre de longues séries sera contraint de construire une machine moyenne, de la brider pour les bas de gamme en la vendant sans marge, et de satisfaire le haut de gamme avec des configurations multiprocesseur, naturellement plus coûteuses qu'un monoprocesseur adapté.

C'est exactement la situation où se trouvait GE avec la série 600, conçue comme un système multiprocesseur avec deux tailles de machines, la 625 et la 635, en réalité deux vitesses de mémoire et un seul processeur, pas même microprogrammé. Cette famille était certes capable de performances honorables en calcul scientifique, mais elle était pratiquement inapte à la gestion : il n'y avait donc pas, en réalité, de compétition possible avec IBM et GE devait se contenter de la clientèle scientifique.

C'est sans doute pour cette raison que, sollicité en 1966 par le MIT et les Bell Labs de participer au projet MAC de temps partagé à grande échelle, GE accepta de voir son 635 biprocesseur modifié par les chercheurs. Le résultat, baptisé 645, deviendra une référence en matière de mémoire virtuelle et fera, par la suite, l'objet de commandes assez nombreuses.

Dans l'immédiat, cependant, le 645 est invendable et son système d'exploitation, MULTICS, n'est pas au point.

La famille 600 a eu une vie assez courte sous le pavillon de GE, et c'est sans doute la raison pour laquelle il existe si peu de ces systèmes qui, chez les concurrents, servent entre autres choses de support publicitaire. On a trouvé trace d'un de ces systèmes à Tacoma, Wash, dans une société vouée à la collecte du bois et à la transformation en papier et contreplaqué, Weyerhaeuser : une réclame GE dans une revue d'électronique fait état d'un réseau comprenant deux 635, une 415, 4 Datanets 30 et 11 \* 115 avec 150 télétypes ; une communication aux FJCC de 1972 décrit en termes exaltés un système d'exploitation Weycos qui adapterait aux besoins spécifiques de la commercialisation du bois le meilleur système d'exploitation existant, GECOS II. Voir 260 - 1017/24.

On retiendra de ces débordements publicitaires que les 600, malgré les contraintes architecturales, peuvent s'adapter aux travaux de gestion ; c'est seulement une question de motivation.

On peut citer ici le Datanet 500, un gros gestionnaire de lignes : en effet, d'une part c'est le dernier Datanet de GE, et d'autre part la série 600 est la seule qui puisse justifier un Datanet de cette importance.

Ce D500 est un ordinateur de plein exercice, avec mémoire de 8 à 64K \* 20 bits, ce qui correspond à 2 caractères avec parité, cycle 1,2 µs ; le bloc de calcul, doublé par sécurité avec comparaison des résultats, comprend 3 accus pouvant servir d'index, un répertoire de 100 opérations, un bootstrap de 256 mots sur ROM, 4 niveaux d'interruptions ; il exécute l'addition en 2,4 µs et soutient environ 200 Kops.

Pour les entrées / sorties on peut installer 2 ou 3 multiplexeurs, chacun acceptant jusqu'à 4 périphériques. Les communications se répartissent sur un maximum de 8 canaux, chacun 2,5 Mbds : au total le Datamet peut gérer 250 lignes de 30 à 300 bds, ou encore 125 lignes de téléphone.

Dès 1966, GE fait son bilan et en tire des conclusions très négatives :

- la famille 400 de gestion garde la confiance des banques mais elle va rapidement cesser d'être compétitive. La famille 100 d'Olivetti marche bien mais sa commercialisation ne génère pas des marges suffisantes pour combler des déficits ailleurs.

- la famille 600 débute et son implantation est lente, et pour le moment déficitaire. Les motifs exposés plus haut lui interdisent d'élargir son domaine. Le nouveau système d'exploitation GECOS III, en principe "tridimensionnel", n'est pas tout à fait au point.

- les activités de process control sont rentables, mais marginales.

- les activités militaires et spatiales, qui n'ont pas débouché, n'ont rien coûté mais n'ont pratiquement pas eu de retombées civiles.

En conséquence, le Conseil d'Administration décide d'abandonner et de rechercher un acquéreur pour l'usine de Phoenix et les participations européennes. GE le trouvera chez Honeywell, qui a misé gros sur sa série 200 de gestion et séduit de nombreux possesseurs de 1401 se jugeant abandonnés par IBM : Honeywell prend son expansion initiale pour une promesse d'avenir et, achetant la clientèle et les usines de GE, se retrouve deuxième constructeur américain.

Marché conclu : la suite de l'histoire de GE Informatique figure à la rubrique Honeywell et, pour le problème qui nous intéresse ici, c'est une suite sans rupture. La série 600 continue, sans même changer de nom.

L'abandon de toute activité de constructeur ne condamne pas GE à ignorer désormais l'informatique : non seulement la compagnie conserve sa clientèle à son ancienne division devenue HIS, mais elle continue à développer son réseau de temps partagé Mk II et son réseau de remote batch international Mk III. Voir rubrique 161.

#### Machines pour le temps réel

Le seul document dont nous disposons quant aux activités de process control de GE font état d'une process computer section, industry control department, sise à Phoenix, Arizona. On ne peut dire si ce département a été cédé à Honeywell, qui n'en avait pas besoin, mais on trouve des traces d'activité dans ce domaine, sous pavillon GE, bien après la cession. Nous pensons que GE a conservé cette activité.

Après les 312 et 412, antérieures à la création de l'usine de Phoenix, on trouve en 1963 un GEPAC 4040 à structure série, suivi en 1964 d'un 4050 / 4060 à structure parallèle, doté d'une plus grande mémoire et d'opérations nouvelles; on notera, sur un document joint à la fiche, que le logiciel de ces machines est crossassemblé sur 412 ou sur 225, ce qui établit un lien strict entre les machines de gestion, d'une part, les machines de process control anciennes et nouvelles d'autre part.

Le vrai succès de la famille est atteint avec le 4020 de 1967, vendu à 285 exemplaires. C'est comme les précédentes une machine 24 bits, avec une mémoire de 32 K mots, cycle 1,6  $\mu$ s, et une réalisation en circuits intégrés. Le répertoire est à peu près celui du 4060, avec 113 opérations, dont l'addition binaire en 3,2  $\mu$ s, et la multiplication en 10  $\mu$ s. Elle dispose d'un assembleur, d'un Fortran II temps réel, d'un Fortran IV, et d'un moniteur pour la gestion de 128 interruptions, de la protection de mémoire, et de l'éventuelle connexion sur 400 et / ou 600. Prix inférieur à \$ 50000.

On trouvera une application interne de cette machine dans la deuxième génération du Centre de recherche de la Corporation à Schenectady, qui succède (sur place) à un premier équipement à base de GE 265. Voir cette description détaillée en 267 - 423/33 .

Cette machine sera reprise en 1970, probablement pour modernisation technologique, dans une 4010 extrêmement voisine par son architecture (répertoire 118 opérations), de performances améliorées (addition en 1,6  $\mu$ s), et dont le principal progrès paraît résider dans les entrées / sorties :

- trois DMA = 1,9 MB / s, dont l'un pour un contrôleur affecté à un ou 2 disques de 1 Mmots, accès

90 ms, et / ou à un tambour magnétique de 524 Kmots, accès 8,7 ms.

- 24 canaux au débit individuel de 64 KB / s, 64 interruptions.

- et un scanner 600 points / s avec adaptateurs enfichables

Logiciel Omnibus inchangé. Prix \$ 78000 avec 16 Kmots de mémoire et scanner.

Simultanément, et dès 1969, on voit apparaître avec le GEPAC 30 une sous-famille qui utilise le calculateur Interdata 1, produit sous licence. Cette production est difficile à comprendre de la part des producteurs du 4010; peut-être faut il l'imputer à une disposition particulière de ce calculateur, dont la ROM de microprogrammation est amovible. On sait que le vendeur proposait au client une ROM de test, et on peut aussi bien imaginer que la ROM normale, qui disposait de 87 opérations de base et 19 opérations modifiables, contenait une émulation des GEPAC 4000.

La formule en tous cas s'est perpétuée : après le GEPAC 30, vendu en 140 exemplaires aux USA, plus 20 à l'étranger, il y a un 3010 construit autour de l'Interdata 4 (26 vendus) et un 3010/2 à base d'Interdata 70.

En 1974, la société vend encore, toujours sous la marque General Electric, un GEPAC 4400 qui utilise une mémoire 32 à 64 Kmots de 24 bits, cycle de 800 ns, en deux versions à K\$ 235 et 500. Malgré la rapide dévaluation du dollar, il s'agit donc de machines importantes, nettement plus que les modèles précédemment décrits.

### Machines pour la Défense et l'Espace

La première activité de GE pour la Défense, que la publicité attribue à l'Etablissement d' Utica, NY, est un DDA intitulé GEVIC (Variable Increment Computer) daté de 1958 : nous en connaissons la photo, le poids (20 Kg), le volume (23 litres), et ces diverses caractéristiques le vouent clairement à un emploi aéronautique. On sait seulement qu'il n'a fait l'objet d'aucune commande, et il pourrait s'agir d'une réalisation faite sans sollicitation, juste pour prendre rang parmi les fournisseurs de la Défense.

On retrouve GE en 1962 avec un ordinateur baptisé M 236, installé à Cape Canaveral comme gérant du système MISTRAM qui surveille la sécurité des lancements, encore embryonnaires. On ne sait rien de cette machine, si ce n'est sa descendance, qui permet d'affirmer qu'elle utilise des mots de 36 bits. Cela et ce qui va suivre permet de penser que l'équipe de Phoenix a en réalité inventé la famille 600 à des fins militaires, plusieurs années avant de prendre brusquement la décision d'en faire un produit civil, au vu des malheurs expliqués plus haut du lancement de la famille 400.

L'année suivante, GE produit un A 236, version en microcircuits de la machine précédente, presque certainement à des fins technologiques. La machine est modulaire, et par exemple une version 4096 mots pèse 15,5 Kg, consomme 150 watts et occupe un volume de 15 litres. Le répertoire comprend 111 opérations, avec pas moins de 9 méthodes d'adressage : addition 8  $\mu$ s, multiplication et division 34,6  $\mu$ s.

Les entrées / sorties se font par 256 canaux simultanés qui peuvent recevoir tous types d'adapteurs et dont la priorité d'interruption est hiérarchisée, mais il n'y a pas de DMA. Manifestement, la conception est encore purement temps réel.

Le logiciel est assez complet pour l'époque: assembleur, compilateur (Fortran II ?), IOCS et moniteur de gestion des interruptions, bibliothèque, débogueur.

Cette même année, et tout à fait indépendamment, GE accepte la responsabilité contractuelle des ordinateurs de lancement Mk 84 des sous-marins stratégiques. A la vérité, le ordinateur n'est pas GE, mais Control Data, mais il s'agit tout de même d'une énorme responsabilité, et la réussite, qui s'étale sur plusieurs années, est une garantie des bonnes relations de GE avec la Défense.

En 1964, année de la décision concernant les 600, la M625 est une version militaire de la GE 625, et on ne peut s'empêcher de penser que l'existence de la machine militaire a décidé du choix, fait dans l'urgence, de l'architecture civile. Cela explique le choix d'un mot de 36 bits, déraisonnable pour lutter contre la série 360 IBM, mais générateur d'économies massives puisque tout existait pour faire vite un produit complexe. Il y aura d'ailleurs simultanément une M 605, version simplement ralentie de la M 625 : on ne sait pas ce que les militaires ont fait de ces machines.

Qu'il y ait ou non un client militaire, GE sort alors un A 605, qui n'est autre qu'une reprise du prototype A 236 en vue de le rendre compatible avec la M 605. Les performances sont celles du A 236, mais avec un répertoire de 142 opérations, et une mémoire modulaire qui peut varier de 4 Kmots à 256 Kmots.

La machine de base, comme son prédécesseur, consomme 150 watts, pèse 16,3 Kg, et occupe un volume de 22 litres. Sa finalité apparaît clairement dans le fait qu'elle peut s'associer des périphériques bande perforée, cartes, et bande magnétique.

Immédiatement après cela, GE réalise, en s'inspirant du A 605 avec lequel on conserve une parenté de répertoire:

- un A 224, machine 24 bits avec mémoire de 4 à 8 Kmots, cycle 3  $\mu$ s, extensible à 256 Kmots. Le répertoire est réduit à 68 opérations 24 bits, ce qui rend douteuse la prétendue parenté avec le 605, mais on conserve 8 registres d'index, et l'adressage indirect pré ou postindexé. Les performances sont tirées par la réduction du mot, soit 6  $\mu$ s pour l'addition, 17 pour la multiplication, 18 pour la division, 3 pour la rupture de séquence. Poids 10,4 Kg, volume 15 litres, consommation 108 watts.

- un A 218, machine 18 bits qui vise un autre objectif que la précédente, à savoir exécuter le répertoire complet du A 236 avec une ALU 18 bits. Les temps d'exécution indiqués, très proches de ci-dessus, valent pour les opérandes de 18 bits mais la machine sait traiter les opérandes 36 bits. Poids 11,7 Kg, volume 19,6 litres, consommation 135 watts, ces chiffres correspondant probablement à une machine à 8 Kmots de mémoire.

- un A 212, machine 12 bits à usage aérospatial, utilisant 60 opérations 24 bits prises dans le répertoire du A 224, et travaillant sur des opérandes de 12 bits. Les programmes A 212 fonctionnent sur A 224. La technologie est modernisée.

En 1967, GE accepte un contrat de visualisation pour la NASA. Il s'agit d'une participation au simulateur de pilotage des capsules Apollo, présentant sur trois écrans qui remplacent les fenêtres de la capsule les images animées du rendez-vous spatial.

C'est un programme extraordinaire pour l'époque, générant 20 à 30 fois par seconde et en couleurs les images du module de commande ou du LEM, telles que les verra le pilote de la capsule. Ces images sont synthétisées à partir de descriptions de l'objet reçues sur bande magnétique, approximations polygonales comportant un maximum de 240 sommets. Le calculateur universel génère les mouvements à 6 degrés de liberté, tenant compte de la perspective en trois dimensions, avec couleurs, ombres et parties cachées.

Le matériel comprenait 12 armoires de 2 \* 2 \* 6 ft (610 \* 610 \* 1830 mm) contenant 85000 circuits logiques en 52000 circuits intégrés implantés sur 587 cartes multicouches, 5 mémoires (programme, calcul, et trois écrans), 32 voies d'entrée A/N et 12 voies N/A de sortie.

Typique de l'urgence dans laquelle a été réalisé le programme Apollo, ce programme délirant parce que non destiné à se reproduire et exécuté sur un calendrier imposé, a fonctionné comme prévu pendant toute la durée de l'entraînement et des vols : dans cette affaire particulière, GE et la NASA ont montré une extraordinaire aptitude à la gestion de programme, évidemment facilitée par l'absence de contrainte budgétaire.

Après cela, les relations de GE avec la défense se distendent, et ne correspondent plus qu'à des contrats ponctuels, dont le contexte nous échappe en général :

- en février 70, GESCAN est un appareil spécialisé pour la recherche documentaire dans des fichiers situés sur bandes magnétiques. Voir fiche.

- cette même année, GEMIC (CP 32A) est un calculateur parallèle 32 bits à finalité inconnue, mais techniquement très avancé. La mémoire, qui peut comporter de 8 à 128 KB, est à film mince, avec un cycle de 1  $\mu$ s et un temps d'accès de 387 ns. Le processeur dispose de deux jeux de 16 registres pour traiter des opérandes de 16 ou 32 bits. Le répertoire de 70 opérations, également de plusieurs formats 16 et 32 bits, permet l'addition en 1,3  $\mu$ s, la multiplication en 8,5  $\mu$ s, la division en 14,6  $\mu$ s. Pour les entrées / sorties, il existe un canal programmé activé par un choix de 32 interruptions, et 16 DMA en option.

La réalisation est TTL, mélange de MSI et de LSI, ce qui permet un poids de 18 Kg, un volume de 20 litres. La consommation élevée, 395 watts, est essentiellement due à la mémoire.

- beaucoup plus tard, en 1986, on trouve un contrat DARPA pour la réalisation d'un microprocesseur, bizarre en ce que GE n'est pas particulièrement connu pour ses composants. Il s'agit de mettre sur silicium, selon un procédé CMOS 1,25  $\mu$ , une architecture définie par l'Université de Stanford, qui sera très connue ultérieurement sous le nom de Mips, puis de faire fonctionner sur cette architecture matérielle l'architecture logicielle militaire de la norme MIL. STD. 1750 A.

La réalisation comprend trois puces: un FXU 40 MHz, un FPU 64 bits 25 MFlops, et une CROM pour raffiner le répertoire. Le tout doit fonctionner à 10 / 15 Mips sur le répertoire 1750A.

On sait que la première partie du contrat a bien fonctionné et qu'elle a lancé l'équipe de Stanford, bientôt convertie en société commerciale Mips. On n'a pas de raison de douter que la seconde partie ait été réalisée. Mais on ignore complètement ce que les militaires ont fait du produit.

## 275 - Able de General Information

Encore un simple assembleur, travaillant cette fois sur DEC PDP 11 / 03 ou 34, et dont le modeste bilan serait de 9 en trois ans. Pratiquement tout est à la demande dans les produits :

Mémoire MOS de 24 à 256 KB.

Périphériques à choisir parmi : LR 300, PR 50, LC 300, LC 1200 / PC 200, IP jusqu'à 1200 lpm, ME 180, bandes magnétiques 72 KB/s, cassettes 560 cps, bandes en cartouches 10 KB/s, disques souples 1 MB, disques en cartouches amovibles 10 MB, disque fixe 9,6 MB, écrans 24 \* 80 car, et jusqu'à 16 lignes asynchrones (protocole 2780) jusqu'à 4800 bauds.

Logiciel : système d'exploitation 16 à 24 partitions, fichiers tous supports directs ou séquentiels, assembleur, interpréteurs Basic et Dicol, compilateurs COBOL, RPG, FORTRAN.

Le prix s'établit entre 24000 et 48000 \$.

## 276 - General Instrument Corporation

Cette compagnie semble être apparue à la fin de la guerre, produisant en 1945 un équipement AN/AKA 1 de télémesure. Dans les années suivantes, son activité sera essentiellement civile, même si elle s'arrange pour régulariser sa charge avec de petits contrats de production pour la Défense : des brouilleurs / répéteurs en 1958 (AN / ULQ 5 et 6), quelques radars néphélométriques AN / GMQ 13 et 23000 radiosondes AN / AMT 6 en 1960, 400 radars doppler d'infanterie AN / PPS 6 en 1963 et des PPS 17 en 1970, 36 GCA aérotransportables AN / TSQ 71 en 1969, des détecteurs de radar AN / ALR 66 en 1974.

Ce dernier matériel utilise un microprocesseur 24 bits microprogrammé pour la guerre électronique, baptisé Pointer. Le chip contient 16 registres et un adressage pour 4 Kmots, ainsi qu'un DMA capable de 2 Mmots / s. Il faut 2 mots pour décrire la programmation d'une impulsion de brouilleur. Cette réalisation affine sa compétence en création de circuits.

En 1975, GI décide de s'introduire sur le marché civil des composants, et il fait choix de l'architecture PDP 11. Le circuit CP 1600, baptisé GIMINI, est un microprocesseur NMOS complet en une puce, contenant un contrôleur de bus 16 bits avec adressage 64 KB selon protocole Unibus, et un jeu de 87 opérations microprogrammées. Pour en faire un ordinateur, le fabricant propose en outre une interface généralisée d'entrées / sorties 16 ou 2 \* 8 bits, et des accessoires pour le temps réel, multiplexeur d'entrée 18 voies et convertisseur D / A de sortie. Travaillant à 5 MHz, cette puce fait l'addition en 2,4 µs. Son principal inconvénient est d'exiger trois alimentations + 5, + 12 et - 3 Volts. Présentation en DIL 40 broches.

La commercialisation peut porter sur les circuits eux-mêmes, mais le fabricant propose aussi une carte OEM SC 1600, 317,5 \* 432 mm, contenant 16 KB de RAM, 14 KB de socle pour PROM, 1 KB d'EAROM, une RTC, et 16 bits d'entrées / sorties parallèles soutenus par une UART série.

Cette carte elle-même peut être vendue intégrée dans un système de développement, qui peut être accompagné de kits originaux, destinés aux réalisateurs de jeux vidéo.

Après cette opération, le fabricant essaye diverses autres pistes, parmi lesquelles:

- LP 8000 ( 1975 ) est un microprocesseur PMOS 8 bits, acceptant une synchro 400 KHz et exécutant les programmes au rythme de 5 µs par instruction. Il est présenté en DIL 40 broches et nécessite deux alimentations + 5 et - 12 volts. Prix \$ 35.

Cette puce n'a pas donné lieu à des réalisations spectaculaires, de sorte qu'elle est ignorée du grand public, mais c'est le genre de produit qui permet aux fabricants de vivre, en se glissant par exemple dans l'électroménager.

- SBA ( 1977 ) est un microprocesseur travaillant sur un bit, pour applications série à très faible débit; Ce chip vendu en DIL 40 broches est fourni avec 1023 mots de ROM programme, 120 bits de RAM, un répertoire de 24 opérations logiques, une pile de 16 adresses, et 30 bits d'entrées / sorties.

Pour la mise au point, on offre aussi un circuit SBA 1 sans ROM, avec une interface de 64 bits, et une carte de développement SBA. FD de 190,5 \* 228,6 mm contenant un SBA 1, cinq PROM de 1 KB, et des circuits de multiplexage pour 30 bits d'entrées / sorties.

Le PIC 1650 de 1977 est sans doute le microprocesseur le plus connu, qui a fait l'objet de nombreuses variantes. Il fonctionne sur une seule alimentation 5 volts.

- 1650 est le produit de base fourni en boîtier DIP 40 broches. Il comprend une ALU 8 bits avec 32 registres de 8 bits, une ROM 512 \* 12 qui est câblée à la demande pour le programme du client, 4 portes 8 bits compatibles TTL pour les entrées / sorties, une RTC, et la base de temps.

- 1654 est une variante en boîtier DIP 28 broches. Limité à 24 registres, il dispose d'entrées / sorties remaniées : 4 bits d'entrée, 8 bits de sortie, et 8 bits d'accès bidirectionnel à faible consommation.

- 1655 est le même produit, reconfiguré à 32 registres.

- 1656 est un boîtier DIP 28 broches, avec les mêmes entrées / sorties, mais il est complété par un système d'interruptions externes et de trapping internes, avec une pile de gestion à trois niveaux.

- 1670 est semblable à l'original, mais sa ROM de programme est doublée, 1024 instructions de 12 bits.

- 1664, vendu en boîtier DIP 64 broches, est la version de développement, ne contenant pas de ROM, mais pourvu d'un bus de liaison avec des PROM externes. Il dispose en outre d'une borne qui active un mode pas à pas.

Le système de développement est une carte FD 1664 de 114 \* 152 mm contenant des PROM et un microprocesseur du type 1664, ou encore le modèle "in circuit" DB 1650, carte 203 \* 216 mm contenant une 1664, une RAM 512 \* 12 pour émuler le 1650 client, plus un 1650 précâblé en testeur avec un chargeur, une commande d'exécution en run ou pas à pas.

Le PIC a eu une longue et prospère existence et, en 1984, sort son successeur, un PIC 1652 vendu moins de 1 \$ pièce pour de grosses quantités. La ROM interne est réduite à 256 instructions de 12 bits, qui ne durent plus que 2  $\mu$ s, mais la puce contient une pile de deux CO pour sous-programmes imbriqués. Pour le reste, ALU associée à un accu avec registre de flags, RTC de type compteur, base de temps, entrées / sorties en 4 \* 8 bits, le modèle initial est reconduit.

Sans qu'on puisse préciser la date des achats, GI est en 1985 un petit conglomérat, avec des investissements très divers en plus de son activité préférée de semiconducteurs. Il détient 51% d'une firme d'informatique nommée Sytek Inc qui obtient d'excellents résultats, et des intérêts dans les satellites, la TV par câble, la gestion d'énergie, l'intelligence artificielle, le logiciel, etc...

Mais, fin 85, aussi bien le CA global de 848 M\$ que le CA informatique de 210 M\$ sont en baisse de 15% sur l'année précédente, et quelques marchés ratés menacent toute l'entreprise. La direction prend des mesures radicales : fermeture de l'usine écossaise, transfert de toute l'activité semi-conducteurs de Hicksville, NY à l'usine de Chandler, Arizona ; vente des actions dans la gestion d'énergie et la société Symbolics Inc ; vente d'une fraction de la Business Division à la société Computer Entry System Corporation.

Ainsi allégée, GI redeviendra prospère pour quelques années.

### 277 - I 85 de General Intellitronics

Machine à usage indéterminé, et certainement unique, réalisée en un meuble coûtant \$ 13500. Tout ce qu'on sait de cette machine, c'est qu'elle utilisait des mots de 19 bits, une mémoire de 13000 mots à support inconnu (tambour ?), et un répertoire de 18 ordres.

### 278 - General Microsystems, Inc.

Cette société est un équipementier, comme Force décrit plus haut. Il est inféodé aux mêmes constructeurs, à savoir Motorola à cause du bus VME, plus tard à Sparc. On ne cite que des exemples isolés de son activité, un pour chaque époque.

La carte V06 Conqueror de 1985 est un processeur complet comprenant un 68010 à 8, 10 ou 12,5 MHz, un coprocesseur 68881, un MMU 68451, 2 MB de RAM, un contrôleur SCSI 1,5 MB / s pour disques comprenant le sous-ensemble SASI, deux portes série multiprotocole (au choix RS232C ou RS422), 4 DMA, et deux socles 28 broches pour ROM, PROM ou EPROM.

La carte est vendue \$ 3995 en version 10 MHz. Une version dépourvue de coprocesseur, avec seulement 512 KB de RAM, est proposée à \$ 2000.

Dix ans plus tard, la carte V64SS propose un calculateur SuperSparc sur une monocarte 233,7 \* 160 mm. Cette carte, qui est vendue \$ 7590, est impressionnante par ses performances comme par son prix. Elle se divise en deux parties :

- la partie processeur contient deux SuperSparc totalisant 240 Mips et 140 MFlops, un bus interCPU de 64 bits capable de 160 MB / s en continu, 200 MB / s en rafale, 16 ou 64 MB de DRAM avec parité, 1 MB de Flash, trois compteurs / temporisateurs de 32 bits, et encore 512 KB de flash pour autotest et configuration. Le MBus II qui sert la mémoire porte aussi les circuits de cohérence du cache externe.

- la partie accélérateur est gérée par un i860XP et dispose d'un I/O bus à 200 MB / s. On y trouve encore 16 ou 64 MB de DRAM, cette fois avec ECC, 1 MB de flash, 3 compteurs / temporisateurs, et 6 ports série, 5 RS 232C et un RS 422. En option, la conversion S Bus ou la conversion AGP. Avec tout ce matériel, la carte atteint une telle épaisseur qu'elle occupe 2 slots de rack VME.

La carte est fournie avec deux systèmes d'exploitation, Solaris pour les Sparc, et VxWorks pour les entrées / sorties.

### 279 - General Precision

Cette société apparaît pour la première fois sur le marché vers 1955 avec un radar doppler AN / APN 66 pour l'avion picket EC 121, et un calculateur d'estime AN / ASN 9 ; dès cette époque, la société semble avoir filialisé ses activités de précision (les gyroscopes) dans une société baptisée Librascope, tandis que la maison mère s'implique essentiellement dans l'électronique : elle fabriquera, au moins jusqu'en 1976, des radars doppler pour une grande variété d'avions dont le B52, les premiers chasseurs supersoniques, le FB111, le bombardier B1 et le chasseur / bombardier A7E (AN / APN 89-96-102-108-153-185-190).

Librascope, de son côté, atteindra la notoriété avec le calculateur de navigation AN / ASN 24 à tambour magnétique et le calculateur Mk 38 de lancement de torpilles.

La trésorerie de GP et le tambour de Librascope expliquent probablement la démarche, en 1960, d'une petite société new-yorkaise, Royal Mc Bee, dont le nom suggère doublement une origine britannique. Cette société possède les brevets et probablement un prototype d'une machine à calculer à tambour magnétique, qu'elle souhaiterait introduire sur le marché américain comme calculateur scientifique.

De cette association entre un concepteur qui sera vite oublié et une société de financement qui assurera en outre la fabrication naît une machine qui aura de grands succès, de sorte que les productions suivantes ne porteront plus que le seul nom de Librascope.

Cependant, les premières réalisations seront désignées par les initiales LGP, soit Librascope / General Precision, et ce sera le seul rappel de la maison mère qui ne fera elle-même aucune autre intrusion dans le domaine informatique.

Dans cette période euphorique, GP achète Link, un fabricant bien connu de petits simulateurs de vol qui équipent les bases de l'USAF. L'euphorie ne durera pas, et quelques années plus tard GP est achetée à son tour par le fabricant de machines à coudre Singer, formant un Singer - General Precision qui deviendra rapidement The Singer Company. Le nom de GP est alors définitivement perdu.

## 280 - APL / X3 de General Robotics

Cette machine n'est pas grand chose d'autre qu'une LSI 11 de DEC, assemblée, avec un grand succès commercial, par une société qui paraît douée pour le marketing. Quelques 1000 machines seront vendues en moins de deux ans, sous les noms très divers comme FD / X3, FD / X3S, CD / C3, CD / X3S, MVT / X3, etc... qui paraissent évoquer tel ou tel aspect d'un produit à peu près immuable.

Le LSI 11 est vendu dans un châssis 16 slots, avec une mémoire de 61440 mots, un répertoire étendu incorporant une virgule flottante, 10 MB de disque en fixe + cartouche, un écran 24 \* 80 et une machine à écrire 60 \* 132 car sur le Q Bus.

Mémoire MOS à cycle de 450 ns, accès 300 ns. Bootstrap sur PROM de 256 \* 16 bits.

Périphériques supplémentaires au choix : LR 300, PR 75, LC 300, IP 300, ME 60 ou 180, 3 floppies de 1,25 MB, une cartouche de disque 20 MB, et des contrôleurs pour 8 à 18 lignes téléphoniques synchrones (jusqu'à 50 Kbauds sous protocoles 2780 / 3780, SDLC ou HDLC) ou asynchrones (protocole 3270).

Prix \$ 27500, y compris le logiciel APL / RT 11, dont le nom signifie simplement qu'en plus du système temps réel RT 11, est fourni un interpréteur APL avec sa boule IBM, lequel donne son nom à la fourniture. On y trouve aussi le macroassembleur, Algol, Pascal, COBOL, Fortran, Basic, et une base de données.

## 281 - General Mills

Née sans doute au XIX<sup>ème</sup> siècle pour fournir des moulins à diverses industries, la General Mills est après la guerre une entreprise de mécanique qui se signale en 1959 par une communication à la conférence de l'IRE sur APSAC, Automatic Position Survey Analyzer & Computer. Il y a dans cette société des gens curieux de calcul électronique.

De fait, l'année suivante, la société mettra sur le marché, au prix exorbitant de \$ 215000 qui coupera court à tous les enthousiasmes civils, une importante machine comportant bureau, machine à écrire, poste de commande, armoire d'électronique et dérouleurs de bandes magnétiques. L'objet est le calcul scientifique que sa synchronisation très basse ne lui permet pas d'exécuter avec une grande performance, de sorte que les quelques exemplaires vendus à la NASA cherchaient plutôt à exploiter les bandes magnétiques.

## 282 - Genesys

La machine proposée par cette société en 1958 était destinée au process control, ce qui implique une quantité de mémoire importante, mais peut se satisfaire de temps de réponse de quelques millisecondes. La mémoire à tambour magnétique a donc été choisie par la plupart des expérimentateurs, mais celui-ci a préféré les disques, anticipant de plusieurs années le travail d'IBM : il est vrai qu'il a échoué.

Le disque de Genesys comportait plusieurs têtes de lecture / écriture simultanées, effectuant la recherche de pistes sous l'action d'une came. La précision insuffisante de ce dispositif sans rétroaction est la raison probable de l'échec. La mémoire offrait une capacité de 10000 à 30000 mots de 19 bits + signe.

Le bloc de commande utilisait une instruction par mot, à une adresse, d'où lenteur gênante. La fréquence de travail est mentionnée par la documentation comme 50 à 500 KHz, probablement à cause de la taille des pistes, variable avec la distance à l'axe du disque.

La machine comportait un codeur au millième sur des tension de 0 à 8 volts, et un scanner à 300 points / s, mais aucun décodeur, ce qui limitait les actions de commande à l'invocation de points de fonctionnement préréglés, ou encore au simple enregistrement périodique de l'état du processus.

Au total une machine assez modeste, pesant 60 Kg et consommant 350 watts. Il ne semble pas qu'elle ait trouvé d'acquéreur.

### 283 - Gespac

Encore un équipementier travaillant sur les 68000 de Motorola et le bus VME. La carte GESSBS 40 est une carte processeur contenant un microprocesseur 68040 à 33 / 66 MHz, 4 ou 16 MB de mémoire DRAM double accès avec cohérence de cache, 2 MB d'EPRAM et 1 MB de SRAM sauvegardée, 2 ports série, et un connecteur XSB d'extension pour cartes filles.

La particularité de cette nouvelle carte, qui prend place dans des châssis VME 3U, est le recours au nouveau bus G64. 32. Ce bus, inventé pour permettre l'emploi de nombres de 64 bits, comprend une quatrième rangée de 32 contacts, pour allonger les adresses de A24 à A31, et les données de D16 à D31. On peut ainsi adresser jusqu'à 8 GB de mémoire et transporter les mots sur 32 bits non multiplexés ou sur 64 bits multiplexés, avec des débits respectifs de 40 ou 80 MB / s.

En option, il existe un mécanisme d'échange entre cartes à 100 MB / s sur D0 - D15, chaque message se composant d'un encadrement de deux mots d'identification, suivis de 1 à 128 mots de données.

Ce bus prévoit aussi une alimentation en 3,3 volts.

On notera que le vendeur fabrique aussi une carte très semblable pour le bus G96, qui est la version définitive du VME 64 bits.

### 284 - MARC 1 de GFI Computers

Cette société, apparemment créée pour commercialiser le calculateur MARC 1, n'a eu qu'une courte existence. Née en 1964 avec le concept, en faillite en janvier 66 faute d'avoir réussi à placer son produit.

Le MARC 1 se présente comme un petit bureau, qui pourrait servir de pupitre pour une machine scientifique assez banale, mais exécutant 8 programmes lents simultanément : l'existence de 8 niveaux d'interruption montre que ces 8 programmes ne sont pas au même niveau de priorité.

Il y a désaccord entre la fiche et une autre source de renseignements, selon laquelle le cycle de mémoire était 2,5 µs, l'addition durait 20 µs, le prix ne dépassait pas \$ 15000. La disparition rapide de la firme n'a pas permis de vérification.

### 285 - GMX III de Gimix

Il s'agit d'une machine de bureau, prenant la forme modeste d'une boîte parallélépipédique, et que ses créateurs voyaient sans doute comme un simple point de départ, comme en son temps le Nova, par exemple. Malheureusement les temps avaient changé, et les inventeurs avaient choisi le 6809 sans se douter que, un an plus tard, le 68000 allait balayer son prédécesseur. Il n'y eut pas de suite.

Le processeur était donc le 6809 de Motorola, excellent et plein d'idées, mais sans comparaison avec son monumental successeur. La mémoire statique pouvait comprendre 256 KB à 1 MB, ce qui était nouveau et audacieux dans l'enveloppe de prix ; un backup à pile était proposé.

Les dispositifs originaux comportaient protection en écriture, trapping pour opérations illégales et références hors zone, DMA incorporé pour échanges de mémoire à mémoire, changement de contexte automatique lors des interruptions, horloge avec backup à pile en standard.

Les périphériques proposés étaient un disque Winchester de 40 MB au diamètre de 5,25", un floppy de 1 MB de même diamètre, et trois connecteurs série.

Le logiciel choisi était OS9, accompagné d'assembleur, Basic, Cobol, Pascal, C, d'un éditeur et d'un débogueur. Le prix était \$ 10000 pour 3 usagers.

## 286 - System 8 de Gnat Computer

Il s'agit d'un ordinateur personnel, logé dans un boîtier plat au format 3 unités de rack, et construit autour d'un microprocesseur 8080 A. La mémoire peut comporter 16 à 64 KB de RAM au cycle de 1,3  $\mu$ s, et le ordinateur minimum est complété par un minifloppy de 80 KB, un connecteur parallèle, un connecteur série, et un panneau de commandes.

Le logiciel comprend tout ce qui existe pour 8 bits : MS /DOS de Microsoft, assembleur, Basic, PLM, Fortran, et un éditeur.

Prix \$ 2895 pour la carte CPU, \$ 3990 pour le processeur complet avec 32 KB de DRAM et 2 KB de PROM, et y compris le minifloppy.

## 287 - Le Goddard Space Center

Ce centre a été la première création de la NASA, installé à Greenbelt, Md, tout près de Washington afin de pouvoir réagir rapidement aux fluctuations du pouvoir. Sa raison d'être, dans la perspective de 1957, est de mettre en place un programme cohérent de satellites scientifiques, avec tous les moyens nécessaires à leur poursuite, leur commande et leur exploitation. Il est bien entendu que les moyens techniques de ces missions sont ailleurs, en particulier que les lancements ont lieu à Cape Canaveral ou à Wallop Island, et que les postes de tracking sont placés tout autour de la terre aux endroits les plus appropriés, avec un réseau de liaisons convenable.

En ce qui concerne Mercury, Goddard s'équipe pour commander l'opération : deux IBM 7090 commutables sur les fonctions Opération et Réserve /Contrôle, se partageant LC (IBM 712), PC (IBM 721), IP ( IBM 716 ), 12 dérouleurs de bandes magnétiques, et surtout un canal temps réel IBM 7281 à 32 voies : 20 télétypes, 2 entrées rapides, 2 sorties rapides, l'horloge nationale WWV, une source de tops espacés d'une demi-seconde, et une console d'exploitation.

Des liaisons spécialisées relient ce poste de commande à :

- le poste de lancement de la fusée Atlas, à Cape Canaveral
- la 7090 du réseau Asuza de mesures, à Cape Canaveral
- divers radars installés aux Bermudes, avec une IBM 709 pour filtrer leurs informations
- une vaste visualisation de trajectoire à Cape Canaveral, assortie de tableaux d'affichage

Un nouveau contrat est passé avec IBM pour la fourniture des trois 7090, et pour l'écriture d'un logiciel, qui pour la première fois devra fonctionner en temps réel. A titre d'exemple des exigences du contrat, il était demandé que, dix secondes au plus après l'extinction du premier étage, le programme fournisse une proposition de décision go / no go sur la mise en orbite, afin de permettre le retour immédiat de la cabine dans le second cas. Cette installation encore embryonnaire accomplira sa mission, et prendra en charge les vols suivants :

- Mercury / Redstone de 1 / 61, le chimpanzé
- Mercury / Redstone du 5 / 5 / 61, Alan Shepard, saut de puce non satellitique avec récupération à la mer.
- Mercury / Atlas 4 du 13 / 9 / 61, premier vol satellisé emportant un pseudopilote qui consommait de l'oxygène, dégageait du CO<sub>2</sub>, de la chaleur et de l'eau.
- Mercury / Atlas 6 du 20 / 2 / 62, Scott Glenn, premier vol humain satellisé comportant trois orbites et une récupération au large de l'île Grand Turk, après quelques incidents de stabilisation imposant du pilotage manuel.
- Mercury / Atlas 7 du 24 / 5 / 62, Scott Carpenter dans la capsule Aurora 7, récupéré dans l' Atlantique après trois orbites.
- Mercury / Atlas 8 du 3 / 10 / 62, Walter Schirra dans la capsule Sigma, récupéré dans le Pacifique à 275 milles au NE de Midway, après 9 H 13 ' de vol et 6 orbites.
- Mercury / Atlas 9 du 15 / 5 / 63, Gordon Cooper dans la capsule Faith, récupéré près de Midway après 22 orbites et quelques incidents imposant une rentrée manuelle.

On sait que ce remarquable effort ne permit pas encore de rattraper le retard initial, et que l'Amérique dut subir l'humiliation du premier vol humain réussi par Youri Gagarine, le 12 avril 61. En réalité, le retard était tout à fait faible, et le rattrapage en très bonne voie, mais le public et la presse ne voient pas les choses ainsi. C'est alors que Kennedy, conseillé par Von Braun, décida la course à la lune, lui affectant la somme, formidable pour l'époque, de 20 B\$ sur huit ans, et une date objectif de 1969.

Pendant ce temps, Goddard restera poste de commandement pour tous les vols non habités, tout en participant, de façon marginale, à l'opération principale. Il s'en suit un formidable développement des infrastructures. En 1968, juste avant le déclenchement des vols Apollo, on trouve à Goddard :

- deux IBM 360/65 et trois Univac 494 du NASCOM pour le temps réel, auxquels s'ajoute, en juin, une IBM 360/95 dotée de 1 MB de mémoire spéciale 120 ns et de 4 MB de mémoire 750 ns, deux unités de disques 2314, douze dérouleurs de bandes, et les cartes : LC 2301, PC 2321.

Toutes ces machines sont reliées à un canal temps réel 2909 dont les 12 sous-canaux prennent la place des 7281 et de la liaison directe installés antérieurement pour les vols Mercury. Le caractère hétéroclite de ces connexions souligne le dynamisme de l'évolution incessante du centre. Un SSU à panneaux enfichables, reconfigurable depuis une console, distribue ces signaux vers les usagers.

- une foule de machines destinées au calcul scientifique, c'est-à-dire à l'exploitation des bandes magnétiques issues des nombreuses expérimentations spatiales : IBM est largement majoritaire avec une 360/91, une 360/75, deux 360/65 et les 7094 de l'époque Mercury, qu'il est prévu d'éliminer entre 3/68 et 3/69, mais il y a encore deux Univac 1108 et plusieurs SDS, 910 et 930.

Le rôle essentiel de tous ces calculateurs, qui y consacrent leurs jours et leurs nuits, est la transformation de bandes magnétiques numérisées, mais brutes de télémétrie, transportées par avions depuis les récepteurs, en bandes magnétiques filtrées et corrélées contenant tous les renseignements pertinents, qui sont ensuite transmises aux laboratoires expérimentateurs. Les délais de ces conversions se comptent en mois, ce qui explique l'apparente inflation de machines.

L'activité de Goddard est donc intense, mais assez indépendante du développement haletant de Houston et Huntsville. Ce n'est guère la place, dans ce texte consacré à l'informatique, de détailler les nombreux programmes dont l'établissement assure le suivi ; mais justement, le nombre élevé des lancements, la complexité croissante des satellites à poids égal, l'amélioration des méthodes d'exploitation ne cessent d'accroître la charge de l'établissement qui doit modifier ses méthodes.

Nous disposons d'un coup d'oeil sur la fin de la période Apollo : un programme TELOPS s'est mis en place pour gérer en temps réel quelque 25 satellites scientifiques actifs, pour garder trace de 75 autres dont les données exploitées peuvent être à tout moment sollicitées, et pour mettre en route l'exploitation des satellites nouveaux qui entrent en service tous les deux ou trois mois.

Article original en anglais en boîte 149.

Le SPADATS est désormais en service (voir AN / FPS 85 ) sous sa forme définitive, et bien qu'il s'agisse d'un service militaire, Goddard peut éventuellement y recourir pour définir les orbites de ses satellites, qui seront ensuite inscrites dans les ordinateurs des stations associées aux programmes.

La surveillance directe des satellites est le fait des stations DDPS, composées de radars de tracking recueillant les signaux de balises embarquées et entretenant le pointage vers le satellite d'antennes de télémétrie plus ou moins normalisées, et souvent d'émetteurs / récepteurs plus spécifiques de la mission.

La télémétrie est analogique pour une large part encore, mais un PDP 11 de pied d'antenne se charge d'une part de la numériser, d'autre part d'expédier aux satellites les ordres qu'il reçoit des laboratoires expérimentateurs. Ce PDP 11 débite vers Goddard à travers le NASCOM, sans préjudice de copies de ses bandes qui sont ultérieurement transmises par avion ou bateau.

Le débit maximum d'une station est 2,688 Mbits / s, et peut comprendre jusqu'à 12 flots différents lorsque la station partage son activité : c'est d'ailleurs le cas général, puisqu'un satellite en orbite basse est au mieux visible un tiers du temps pour une station.

Pour résumer les besoins : il faut disposer d'une capacité de stockage immédiat de quelque 800 milliards de bits pour les 25 satellites actifs, en supposant que la capacité aval de traitement compense statistiquement les entrées ; il faut être capable de gérer 40 stations se partageant entre 100 satellites, leur donner des consignes et en recevoir le flot d'informations ; il faut pouvoir récupérer dans ces 40 flots ce qui concerne chaque satellite particulier, en extraire en temps quasi réel les informations "quick look" nécessaires aux premières décisions, et regrouper le reste sur bandes pour exploitation ultérieure .

Le programme Télops est construit avec l'idée que toute information perdue dans le processus de réception est irrécupérable ; et puisqu'il s'exécute en temps réel, le matériel est largement doublé. Il comprend deux IBM 370 / 145, chacune avec 1 MB de mémoire et une console 3215. Ces deux machines, dont l'une est active, et l'autre en réserve / contrôle, se partagent huit disques, 8 bandes magnétiques , et une bibliothèque 3850 qui représente une énorme réserve de mémoire ; un lecteur de cartes 2501, deux imprimantes 1403, 8 écrans 3270 sont commutables de l'une à l'autre par deux 2914.

Le matériel spécialisé comprend trois CIU (dont un en réserve) produits par IBM Federal, qui servent à recueillir les flots permanents de signaux venant des stations, et divers CDU (convolutional decoder units), construits par Linkabit Corporation, pour décoder ces signaux qui sont à la fois pleins d'erreur à cause du mauvais rapport S / N de l'espace, et fortement redondants pour y remédier .

Les messages en provenance des stations sont de longueur variable entre 150 bytes et 200 MB, et leur débit dépend du satellite concerné ; la transmission à travers le NASCOM les a fractionnés en blocs standard de 4800 bits et accompagnés d'en tête et de bits d'état, et éventuellement dispersés sur plusieurs lignes. Le CIU doit en permanence tester toutes les lignes, renvoyer quand il y a lieu les signaux de procédure, provoquer éventuellement des répétitions, et stocker dans des tampons sur disques ces fragments qui devront être ensuite regroupés en messages et corrigés d'éventuelles erreurs de transmission par l'ordinateur. Le résultat de ce premier travail est un fichier pré-édité, représentant le message et tous les renseignements utiles sur le satellite qui l'a envoyé et les conditions de cet envoi.

Les bandes copies des stations, lorsqu'elles arrivent à Goddard, sont conservées comme secours, et en principe non traitées. Le programme sait, le cas échéant, les utiliser pour reconstituer un fichier stocké en bibliothèque et détruit accidentellement.

Une Univac 1108, qui a accès à la bibliothèque, en tire en quelques heures des bandes magnétiques, triées par expérience et par contenu, qui sont ensuite expédiées aux laboratoires utilisateurs. En ce qui concerne les messages quick look, qui sont planifiés, la 1108 les demande à la 145 par leur identificateur et les reçoit par communication canal-à-canal, de sorte qu'il est possible de délivrer en quelques minutes aux chercheurs le résultat sous les formes spécifiées, images d'écrans, listings, graphiques, etc... Trois conversations de ce type sont possibles simultanément. Voir, au sujet de cette 1108, les commentaires de l'article 253-635/45.

La bibliothèque 3850 stocke en format disque tous les types de données : fichiers pré-édités, fichiers édité par la 1108 issus des 25 satellites actifs ou conservés depuis l'inactivation d'un des 75 autres, fichiers de trajectoires des 100 satellites suivis, et programmes Telops. Après 6 mois, les bobines sont archivées par vidage sur bandes, et conservées sans limite de temps. Tous les fichiers sont stockés en double dans des bobines différentes, et toute erreur non susceptible d'être corrigée donne lieu à recréation d'une copie. Le catalogue des bobines est lui-même entretenu en double sur deux milieux différents, disques et bandes.

On profite de ce que Telops voit passer toutes les informations en temps quasi réel pour en tirer des informations sur le processus lui-même, sur la qualité des stations , des transmissions et des satellites. Telops entretient une base de données sur tous ces sujets et peut à tout moment fournir tout type d'état qui en découle. L'ensemble du programme Telops, qui fonctionne sous OS / VS1, comprend 125000 lignes d'assembleur.

Il est important de comprendre ce qui distingue le travail de Telops de l'exploitation scientifique des mesures. En définissant l'équipement de mesure d'un satellite, les chercheurs ont évidemment un plan, selon lequel telle mesure est supposée liée, à travers des formules généralement complexes, à telle propriété physique de l'atmosphère, du sol, de l'océan ou du ciel ; dans beaucoup de cas, plusieurs des mesures devront être exploitées simultanément pour reconstituer un phénomène. Dans d'autres cas, les corrélations seront recherchées entre les mesures de satellites différents, ou entre des mesures faites par un même satellite à des moments différents. Et, très souvent, des chercheurs auront, après coup, des idées nouvelles sur ce que l'on peut tirer des mesures disponibles, à l'occasion de filtrages ou de corrélations pas du tout prévus au départ. En résumé, le travail de dépouillement est absolument distinct, en temps et lieu et aussi par la nature des acteurs, du travail de préparation fait par la 1108, consistant simplement dans la préparation de bandes de données propres, complètes et utilisables.

Goddard peut faire ce travail pour les chercheurs de la NASA et dispose encore, en 1979, de la 360/91 et probablement de machines nouvelles, qui auront remplacé quelques unes des machines de 1968, périmées. Cependant, le temps passant, nous sommes de moins en moins bien renseignés sur les activités et les équipements du GSFC, qui ont certainement évolué comme toute l'informatique, vers une collection de stations de travail connectées par réseau local à un ou plusieurs gros serveurs et, à travers NASCOM ou simplement Internet, avec le reste du monde scientifique.

Bien avant cette échéance, cependant, nous savons que Goddard a commandé en 1976 à la société Goodyear un MPP, Massively Parallel Processor, qui a été livré en 1982. Cette machine comprend 16384 CPU disposés en matrice 128 \* 128, travaillant chacun sur un bit mais coopérant pour le traitement d'images. Voir une description de ce matériel dans la fiche du Goodyear MPP.

Sans entrer dans aucun détail mais à titre de référence, on trouvera ci-après une liste des programmes de satellites dont Goddard a eu à connaître, et dont chacun a emporté (à partir de 1970) un ou plusieurs calculateurs dont, parfois, nous avons connaissance :

Explorer 1 (1958), 1er satellite américain, 15 Kg, mesures de particules à 2500 Km (Van Allen). C'est le premier d'une longue série, qui se poursuit toujours en 2000, et qui se caractérise par une coopération exemplaire entre la NASA et le monde scientifique. La NASA fournit le lanceur, le véhicule, la télémessure, l'enregistrement, le prédépouillement ; les scientifiques décident des objectifs, fournissent les expériences et dépouillent les résultats. Une dizaine de programmes seront menés de front, sur plus de 30 ans ; ceux qui feront de réelles découvertes donneront lieu à la réalisation de satellites spécialisés, beaucoup plus gros. Citons :

INJUN, étude de l'ionosphère et de la magnétosphère, au moins 5 dont Explorer 25, 31, 34, 40, 43.

IMP, au moins 9 satellites d'étude du vent solaire, dont Explorer 15, 21, 26, 28, 47.

GEOS / SECOR, mesures de précision pour la définition du géoïde, dont Explorer 29, 36

SolRad, étude des radiations solaires dans des longueurs d'onde inaccessibles du sol, au moins 10 lancements dont les Explorer 30, 37, 44.

SAS = Small Astronomic Satellite, pour étude de la galaxie et les pulsars X, au moins quatre dont les Explorer 38, 42 UHURU, 48, 53. Egalement EUVE, 7/6/92, dans l'ultraviolet lointain.

Etude de la haute atmosphère, composition, température, densité, par satellites Expl 22, 24, puis RCA Expl 51, 54, 55. Découverte du trou d'ozone et son explication ; en particulier, le Solar Mesosphere Explorer de 9/81 essaie de lier la taille du trou à l'activité solaire, et l'UARS de 15/9/91 mesure l'effet des chlorofluorométhane.

Etude du budget thermique de la terre : HCMM 26/4/78, et ERB, 5/10/84

Participation au programme international AMPTE sur les queues de comète, avec CCE 16/8/84.

Vérification des prévisions de la relativité restreinte, 18/6/76, par mesures sur une horloge au césium

Détection, identification, répartition des micrométéorites : plusieurs lancements dont Explorer 23, 46.

Pionnier (1958/72), dix sondes diverses de l'espace autour de la terre et de la lune

OSO (1961/75), huit satellites d'observation solaire, 300 Kg, 6 expériences

TRS (1963/4), 6 satellites de 2 Kg pour mesures de courants d'électrons à 100000 Km

Mariner (1962/73), dix sondes planétaires vers Mars, Venus, Mercure

OGO (1964/69), six satellites observatoires géophysiques de 600 Kg, 25 expériences

OV1 (1965/7), plus de 20 minisatellites scientifiques de 150 Kg environ, expériences ponctuelles

OV2 (1965/8), cinq satellites scientifiques de 150 à 200 Kg, 15 à 20 expériences chacun

OV3 (1966/7), six satellites de 80 Kg environ, pour mesures de radiations

OV5 (1967/9), neuf satellites TRW pour expériences de physique en apesanteur

OAO (1966/72), quatre observatoires astronomiques de 2100 Kg, dont Copernic.

ATS (1966/74), six satellites relais de transmission avec nombreuses expériences

BIOS (1966/9), 3 satellites d'expériences de biologie en apesanteur + rayons cosmiques

Pionnier 11 (6/4/73), première sonde spatiale (Jupiter, Saturne) à sortir du système solaire  
 Viking (1975), deux orbiteurs cartographes et deux atterrisseurs martiens  
 SolRad 11 (1976), deux satellites de 600 Kg à 120000 Km, 25 capteurs sélectifs de vent solaire  
 Voyager 1 (5/9/77), sonde de Jupiter, Saturne et Titan, toujours actif en 1993. 800 Kg  
 Voyager 2 (20 / 8/ 77), sonde explorant Jupiter (1979), Saturne (1981), Uranus (1986) et Neptune (1989), et depuis sortie du système solaire.  
 Pionnier 12, 13 (1978), orbiteurs vénusiens avec atterrisseurs, 12 années d'observations.  
 Solar Max (14/2/80), observation du soleil en période d'activité maximale, 2315 Kg, 7 instruments  
 IRAS (25/1/83), pour la cartographie des sources infrarouges : importantes découvertes.  
 Magellan (5/5/89), orbiteur vénusien de 3,6 tonnes (1990/3) : cartographie de la planète.  
 COBE (1989) a découvert des irrégularités  $10^{-4}$  dans la radiation primordiale issue du big bang.  
 Galileo (18/10/89), 2700 Kg, exploration détaillée de Jupiter et satellites, avec sondes  
 CRRES (1990), étude détaillée du champ magnétique terrestre  
 Hubble (1990), télescope spatial de 2,4 m de diamètre (plusieurs fois réparé ou modernisé en vol).  
 Ulysse (10/90), exploration des pôles du soleil en passant par Jupiter.  
 Compton (1991), gros satellite de 15 tonnes pour l'étude des sursauts gamma  
 Small Explorer (1992+), nouvelle famille de satellites de 250 Kg, 8 expériences  
 Topex Poseidon (10/8/92), 2750 Kg, océanographie scientifique (niveau des mers, courants)  
 ACTS (12/9/93), satellite de communication 9400 Kg, 60 expériences  
 Clementine (25/1/94), sonde orbitale perfectionnée pour lune puis astéroïde  
 NEAR (17/2/96) assure une exploration détaillée de l'astéroïde Eros, avec atterrissage final.  
 SOHO (1996), international, installé au point de Lagrange pour observation continue du soleil  
 Cassini / Huyghens (1997-2004), sonde planétaire internationale destinée à Saturne  
 AXAF (1998/99), deux satellites d'astrophysique en rayons X

Cette liste non exhaustive ne concerne que des véhicules proprement NASA. Les lancements effectués depuis Cape Canaveral représente plus qu'un doublement de cette charge, mais les frais correspondants sont imputés au DOD ou aux entreprises de communication / télévision qui les demandent, et le suivi de Goddard s'arrête après la mise en orbite.

## 288 - NASCOM

La définition de la responsabilité de la NASA à l'égard des opérations spatiales a redistribué les cartes, condamnant par exemple le projet MOL de station satellite habitée, juste démarré par l' USAF. Cependant, il n'était pas question de transférer à la NASA le SPADATS ni son détecteur AN / FPS 85 en cours de construction, car il s'agissait de renseignement militaire au sujet d'une menace jugée sérieuse et qui l'était effectivement, avec les satellites FOBS armés de l'URSS, à finalité stratégique.

La NASA, entièrement axée sur son objectif de vol habité, avait mieux à faire que de construire un réseau parallèle. Il fut décidé que la NASA était un client à part entière pour les informations du SPADATS, et que son réseau de capteurs à créer, capable de tracking, pourrait en sens inverse alimenter le FPS 85 en informations de première détection.

Le réseau NASCOM est donc tout à fait différent du SPADATS, s'apparentant plutôt au SCF pour son activité de collecte d'informations de télémétrie, qui se déploiera au profit de Goddard et du JPL. Mais c'est surtout, et en cela il est unique, le réseau opérationnel du programme Apollo : c'est le réseau mondial qui unit tous les centres et tous les équipements concourant à la réalisation du programme, et c'est à ce moment qu'il nous est le mieux connu, car il intéressait alors beaucoup les journalistes.

La particularité la plus frappante du NASCOM à l'époque Apollo est le monopole qu'y exerce Univac. En gros, pour la durée du programme, Univac avait reçu de la NASA la responsabilité des communications, tandis qu' IBM s'occupait des calculs d'extrémités. Les autres constructeurs avaient parfois droit à des restes, tels que les simulateurs ou les contrôles avant lancement.

Au coeur du dispositif se trouvent deux groupes de trois 494, un au MSC de Houston, l'autre au Goddard Space Center : deux machines suffisent aux besoins normaux, la troisième de chaque site est en réserve dynamique, l'important étant que les transmissions ne s'arrêtent jamais.

Autour de ce tronc, il y a d'abord Cape Canaveral avec toutes les fonctions temps réel immédiates de lancement : contrôle des lanceurs et des satellites avant lancement, toutes opérations de poursuite pendant la trajectoire ascendante jusqu'à la mise en orbite, sécurité du champ de tir à travers tout l' Atlantique central. Des liaisons permanentes par câbles matérialisent ce triangle Goddard - Houston - Cape Canaveral.

Il y a ensuite 14 grandes antennes de poursuite et transmission, à savoir:

- trois antennes de 85 ft ( 26 m ) à Goldstone, Canberra et Madrid
- onze antennes de 30 ft ( 10 m ) à Carnarvon (Australie), Guam, Kauai (Hawaii), Corpus Christi, Guaymas, Antigua, Cape Canaveral, Grand Bahamas, Bermudes, Ascension et Grande Canarie, ainsi que 4 navires radar : Mercury dans le Pacifique Nord, Huntsville dans le Pacifique Sud, Vanguard dans l'Atlantique, Redstone dans l'Océan Indien.

Chacune de ces antennes est équipée de deux Univac 1230 pour les voies montantes et descendantes, plus au moins un calculateur pour la commande de pointage, en général un Univac 1218. Il y a quatre 1230 et quatre 1218 à Cape Canaveral parce que ce site fait partie du triangle, deux 418 à Madrid. En tout, on dénombre 48 \* 1230 et AN/USQ 20 et 33 \* 418 et 1218.

Il y a bien entendu beaucoup d'autres sites dans le réseau, pour une infinité de motifs techniques ou opérationnels, qui sont reliés par leur calculateur local, ou par un simple télétype.

Pour fiabiliser ces liaisons essentielles, on utilise la redondance: câbles sous-marins et satellites dans la plupart des cas, comme suit:

Câbles : de Hawaï vers Canberra, Guam et Goddard, et de Madrid vers Goddard par Londres. En fait, des voies sont réservées sur les câbles suivants:

Compac : Seattle - Honolulu - Suva - Auckland - Sydney

MLD 1 et 2 : San Francisco - Honolulu

TransPac : Honolulu - Midway - Wake - Guam et, de là, trois voies Tokyo , Manille, Madang - Cairns

TAT 1 : Clarenville (Terre Neuve) - Oban (UK)

TAT 2 : Clarenville - Paris

TAT 3 : New York - Londres

TAT 4 : New York - Paris

New York - Bermudes - St Thomas - Miami

Cape Canaveral - Bahamas - Antigua

Miami - Balboa

Madrid - Canaries - Ascension - Le Cap

Voies radio : Perth - Tananarive vers Paris et Pretoria et, de cette dernière ville : Londres, Tanger - New York, et Johannesburg - Antigua

New York vers Quito et Lima

Balboa vers Santiago

Hawaï vers l' USNS Huntsville.

Satellites : Intelsat 3F3 sur le Pacifique, alimenté aux USA par Brewster Fall depuis Goddard, pour desservir Carnarvon et Moree en Australie, San Francisco, Honolulu, et le USNS Mercury.

Intelsat 3F2 sur l' Atlantique, alimenté aux USA par Andover depuis Goddard, pour desservir Santiago, Madrid et l' USNS Vanguard.

Intelsat 2F3 sur l' Atlantique, lui aussi alimenté par Andover, pour desservir les Canaries, Ascension, et l' USNS Redstone.

L'ensemble de ces installations et de ces locations représente à l'époque 50 M\$ par an.

Pendant toute la durée d'un vol Apollo, environ huit jours, il y a toujours trois ou quatre antennes de grande taille qui pointent le véhicule en route vers la lune, en orbite ou en revenant, et lorsqu'il disparaît derrière la lune, qui l'attendent de l'autre côté. Particulièrement bien équipés, ces centres de tracking transmettent de façon redondante vers le sol toutes les télémessures et toutes les communications phonie, cryptées ou non, tandis que les ordres montent en provenance de Houston, Goddard ou Cape Canaveral , les ordinateurs se chargeant de sélectionner le meilleur signal, de contrer les brouillages accidentels ou non, et de garantir la liaison.

Une fois terminées les opérations Apollo, le NASCOM a forcément évolué, et l'on peut être certain que les matériels utilisés ont bien des fois changé au gré des crédits disponibles, et des choix, politiques ou économiques, privilégiant tel ou tel constructeur.. Rien de tout cela ne nous est connu. La seule certitude est qu'à l'échéance 2000, le nouveau NASCOM fait un large usage des satellites, utilisant peut-être les câbles transocéaniques comme voie de secours redondante.

On se rappellera que NASCOM est un réseau civil, où la sécurité n'est pas au même niveau que dans les forces armées. Il n'y a plus, depuis la fin d'Apollo, d'opération qui exige un niveau comparable, pas même les vols de navette qui ne dépassent pas 400 Km d'altitude.

## 289 - Le Manned Spacecraft Control Center

Créé à Houston en 1962 sous le nom de IMCC, Integrated Mission Control Center, puis rapidement rebaptisé, le MSCC, qui deviendra par la suite le Johnson Space Center, est chargé de diriger les vols spatiaux mettant en jeu plus d'un véhicule. Sa première mission concernera les vols Gemini, il enchaînera sur les vols Apollo puis Skylab, pour rester ensuite en activité au service des navettes, dont presque tous les vols comportent des rendez-vous et/ou des sorties dans l'espace.

Le travail d'intégration du centre était confié à Philco, pour M\$ 33,8. Le plus gros sous-traitant était IBM. Le MSCC est installé dans un bâtiment à trois étages comprenant (voir 13 photos):

- au rez-de-chaussée, les ordinateurs (IBM, UNIVAC).
- au premier étage, l'Operational Control Room illustrée par le cinéma (Apollo XIII, par exemple). Elle est entourée de 6 salles d'exploitation affectées aux spécialités : Flight Dynamics, Vehicle System, Life Systems, Flight Crew, Network, Operations & Procedures ; il y a aussi un Master Digital Command System Room, et 8 Dummy Remote sites pour les simulations, avec un Message Center simulé.

- au second étage, une seconde Ops room entourée de 6 autres salles d'exploitation, puisque le centre est conçu pour pouvoir traiter deux missions à la fois ; elle servira généralement aux simulations. On y trouve aussi la Recovery Control room, qui s'occupe des retours de capsules habitées récupérées en mer, et une vaste zone où sont installés 64 convertisseurs / mélangeurs, qui reçoivent et combinent les signaux numériques à visualiser, les convertissent en images TV, et les diffusent avec une bande passante de 20 MHz vers les consoles et, sous filtrage, vers le monde entier : la matrice mélangeuse est un produit de Cohn Electronics.

Les liaisons phonie, dues à Northern Electric, comportent 200 circuits conférence dont une partie peuvent utiliser des liaisons externes au Centre. Les liaisons numériques, qui constituent le NASCOM, portent sur tous les capteurs à travers le monde, dont le détecteur de point de chute MISTRAM (3 lignes doublées) et une copie des télémesures PCM de Cape Canaveral, regroupées sur 40800 bauds.

Pour les liaisons directes non planifiées entre la terre et les véhicules en mission, à ce stade Agena et Gemini, la NASA avait commandé à la société Radiation Inc., pour installation dans les divers centres NASA, onze DCS (Digital Command System). Les messages composés dans une des deux mémoires de 182 \* 40 bits étaient transmis à travers un émetteur Collins AN / FRW 2 et une antenne directive asservie ; quatre modes étaient prévus :

- Automatic émet tout le contenu de la mémoire.

- Select émet automatiquement certains mots choisis.

- Manuel sélectionne et émet un seul mot à chaque sollicitation.

- Emergency interrompt la transmission en cours et émet un message prioritaire de 1 à 32 mots.

Le système, très important (12000 circuits enfichables), comportait de nombreuses sécurités : autocontrôle, redondances dans les messages avec accusé de réception et répétition jusqu'à 7 fois, duplication de la liaison avec l'aérien.

La mémoire pouvait être augmentée en cas de besoin, et recevait ses messages d'une grande diversité de sources : télétypes, lignes téléphoniques à modems Bell 201, calculatrices, consoles Bendix dans les salles de spécialités (Gemini, Agena, communications de la capsule, médecin, maintenance, surveillance).

En octobre 1962, IBM recevait le premier contrat (M\$ 36,2) concernant le RTCC (Real Time Computer Control) du programme Gemini. Ce premier équipement comportait cinq 7094, et il était prévu pour conduire deux missions simultanément : un vol habité réel et une simulation d'entraînement, ou deux simulations. Le 5ème calculateur pouvait à tout moment remplacer un des autres, et s'occupait à la maintenance, aux travaux de service, aux simulations, ou au contrôle des machines actives.

Ces 7094 étaient un peu plus perfectionnées que le matériel commercial. Leur mémoire de 64 Kmots était adressable à travers un registre de base et protégée par blocs de 256 mots. Les canaux étaient affectés : A pour cartes et bandes, B pour bandes, C pour accès direct, D vers une LCS 2361 de 512 Kmots, F est un 7281 pour les liaisons temps réel.

Un tableau spécialement conçu, System Selector Unit, à base de connexions amovibles, permettait de relier les voies C et F ci-dessus aux deux salles d'opérations (affichages et demandes), au réseau NASCOM, et aux horloges temps réel.

Les activités opérationnelles comprenaient initialement l'exploitation en temps réel des télémesures et des poursuites ; le moment venu, on y ajouta les calculs de planification et d'exécution des rendez-vous entre véhicules. La rédaction de tous ces programmes représentait pour le constructeur un challenge, car il était pratiquement impossible de rassembler à Houston assez de programmeurs compétents. Aussi fallut-il inventer une procédure différente:

- un petit nombre de programmeurs réellement compétents, maîtrisant les problèmes de systèmes comme ceux d'algorithmique, se chargeait de définir le cadre de travail, découpait la définition du problème en modules, et rédigeait en assembleur les segments les plus critiques, ainsi que les spécifications d'interfaces entre modules ; ensuite, des programmeurs beaucoup plus ordinaires, ayant seulement une bonne pratique du Fortran, rédigeaient les programmes de modules.

- en ce qui concerne la supervision du RTCC, un moniteur spécial fut écrit pour l'exécution des vols Gemini, tandis que tout le travail de programmation et de mise au moins se faisait sous IBSYS, le premier véritable, et encore modeste, système d'exploitation des machines scientifiques IBM.

Les vols Gemini, utilisant des lanceurs Titan 2, se sont étalés sur deux ans et demi, comme suit:

GT1, 8/4/64 : satellisation du 2ème étage Titan et de la capsule vide, pour évaluer la méthode de lancement. Durée 69 orbites sous surveillance, mais retombée seulement le 12/4/69.

GT2, 19/1/65 : non satellisé. Il s'agissait d'évaluer tous les équipements par télémesure, puis de procéder à une rentrée pour pouvoir observer l'état de la capsule après cette épreuve.

Ces deux premiers vols n'ont pas utilisé le RTCC, pas encore prêt.

GT3, 23/3/65 : premier vol habité, avec Virgil Grissom et John Young : expériences de changement d'orbite, verticalement puis horizontalement, à l'aide des moteurs de correction. Contrôles de procédures, de nourriture, de traitement des déchets. Rentrée le même jour après quelques orbites.

GT4, 3/6/65 : vol habité de McDivitt et White, 63 orbites soit un peu plus de 4 jours. Expériences scientifiques et physiologiques diverses, y compris une sortie de 20 minutes dans un scaphandre pourvu de réacteurs.

GT5, 21 au 29/8/65 : vol habité de Gordon Cooper et Charles Conrad, mesures et observations diverses, simulation de rendez-vous.

GT7, 4 au 18/12/65 : vol habité de Frank Borman et James Lovell, nombreuses expériences, mais surtout rendez-vous avec Gemini 6.

GT6, 15 et 16/12/65 : vol habité de Walter Schirra et Thomas Stafford, essentiellement consacré à un rendez-vous avec Gemini 7. Démarrage avec un écart de 1200 milles, verrouillage radar à 235 nautiques, vol groupé à quelques mètres et évolutions de G6 autour de G7.

GT8, 16 et 17/3/66 : vol habité de Neil Armstrong et David Scott, rendez-vous réussi avec amarrage sur un Agena spécialement équipé et lancé. Retour plus rapide que prévu à cause d'un court-circuit allumant en permanence un moteur de lacet.

GT9, 3 au 6/6/66 : vol habité de Th. Stafford et Eugène Cernan, rendez-vous réussi mais amarrage impossible pour cause d'Agena mal ouvert, sortie de Cernan au bout d'un câble/tuyau.

GT10, 18 au 21/7/66 : vol habité de John Young et Michael Collins. Rendez-vous et amarrage réussis avec Agena 10 puis Agena 8, puis sortie de Collins comportant récupération d'une expérience sur l'Agena 8.

GT11, 12 au 15/9/66 : vol habité de Ch. Conrad et Richard Gordon. Rendez-vous et amarrage avec un Agena, qui est utilisé comme moteur pour monter à 850 mi à la 26ème orbite, puis redescendre. Deux sorties de Gordon au bout d'un câble. Deuxième rendez-vous improvisé.

GT12, 11 au 15/11/66 : vol habité de J. A. Lovell et E. E. Aldrin. Rendez-vous et amarrage avec un Agena, et trois sorties d'Aldrin totalisant 5 h 21'.

Le contrat suivant, concernant le guidage des vols Apollo, fut mis en place dès la fin réussie des vols Gemini, IBM remplaçant à cette occasion les cinq 7094 par cinq 360/75, avec la même répartition du travail mais beaucoup plus de choses à faire. Voir photo en boîte 149. Autres nouveautés techniques :

- protection de mémoire par clés de 7 bits, dont trois d'identification du CPU qui ne peut les modifier que dans certaines conditions.

- définition d'une paire de mémoires ayant même adresse, formant module mis en commun entre les quatre CPU du temps réel. Il y a lecture et écriture en double, et on utilise la lecture qui ne donne pas lieu à erreur de parité, tandis que l'autre est réparée à partir des données correctes. On peut à tout moment enlever l'un de ces deux blocs pour maintenance, l'autre devenant alors une mémoire normale.

La mémoire initiale de chaque CPU, 512 KB en tores 750 ns, passera dès 1967 à 1 MB. Selon une information qui semble douteuse, c'est toute cette mémoire qui serait doublée selon le processus ci-dessus.

- la LCS, Large Core Storage, mémoire auxiliaire d'accès rapide (cycle 8  $\mu$ s, en deux moitiés déphasées de 4  $\mu$ s), initialement 2 MB, rapidement passée à 4 MB.

- le canal direct data est utilisé comme moyen de communication entre les quatre processeurs. Il y a aussi une interruption commune pour le cas Machine check : tous les CPU sont prévenus du numéro du calculateur qui vient d'avoir un incident.

- chaque CPU a cinq canaux, parmi lesquels un sélecteur spécial pour les mouvements de mémoire à mémoire. Les quatre autres servent d'entrées ligne dans des matrices télécommandées 2911, dont les sorties colonne sont les unités de liaison des périphériques. La console de commande de configuration peut interdire certaines cases de la matrice, dont l'invocation répond alors par une interruption "interdit"; les cases non interdites peuvent répondre "occupé" ou établir la communication. Il y a en tout 11 matrices de ce genre, tous les périphériques impliqués dans le programme temps réel étant doublés.

- le canal temps réel 2909, prenant en charge un grand nombre de communications bidirectionnelles sur la base d'interruptions.

Tout ce qui précède nous a été communiqué oralement au cours d'une mission à Houston, en 1965, et représentait donc le projet d'IBM à cette époque, avant livraison. Sans que l'on puisse dire si la cause de cette décision est technique (délais) ou économique, il semble bien que certaines parties de ce plan n'aient pas été réalisées, notamment la mémoire miroir et la télécommutation. La commutation des périphériques paraît avoir été commandée par commutateurs manuels 2914, comme pour les 7094.

La configuration est définie avec un objectif de fiabilité - imposé par la NASA - de 0,9995 pour les vols habités. Cela implique l'existence, pendant ces vols, d'un calculateur de réserve entretenu dynamiquement dans un état tel qu'il puisse prendre automatiquement et immédiatement la relève d'un calculateur opérationnel défaillant : la fonction High Speed Restart entretient ainsi une copie de situation des calculateurs opérationnels sur le calculateur de réserve, et la fonction Selectover effectue la commutation si elle devient nécessaire.

Pendant les vols d'entraînement, le 5ème calculateur est disponible, et le calculateur opérationnel effectue des check point périodiques vers une bande magnétique. En cas de panne, une fonction System Tape Restart recrée rapidement un calculateur opérationnel dans l'état du dernier checkpoint.

La mission comportait 7 programmes en temps réel :

- Lancement : suivre avec précision la position du véhicule, à partir de mesures provenant du calculateur de sécurité du champ de tir, de plusieurs radars, et de plusieurs véhicules aériens et spatiaux.

- Télémétrie : surveillance en continu des performances de tous les équipements des véhicules, de la physiologie des astronautes et des calculateurs de bord.

- Calculs d'orbite : sitôt sortis de l'atmosphère, calculs balistiques de trajectoires de la capsule puis simultanément du LEM, pour connaître en particulier les positions et attitudes à tenir aux instants critiques de changements d'orbites.

- Trajectoires : utiliser les données radar pour déterminer la trajectoire de descente du LEM

- Mission : calcul de toutes les corrections intervenant pendant le vol réel, en vue de respecter autant que possible le plan initial, ou tout autre plan qui serait défini ensuite, y compris des changements de mission.

- Liaison avec les calculateurs de bord, qui reçoivent du sol les mises à jour de leurs consignes.

- Rentrée : simulation du travail du calculateur de bord qui donne les consignes réelles, prédiction de la trajectoire de rentrée, désignation d'objectif aux radars terrestres et maritimes.

Avec les nouveaux calculateurs, le système d'exploitation du RTCC devient unique : c'est le RTOS, adaptation temps réel de l'OS 360 standard, capable de conduire à la fois les vols réels ou simulés et le travail de programmation. Voir 251-15/27 dans SJCC 1969.

Tous les vols utilisent les mêmes programmes, ou tout au moins une partie d'entre eux, ce qui change étant les relations temporelles entre eux. Un vol, réel ou simulé, est alors décrit par la liste des routines invoquées et une ou plusieurs tables définissant les instants et modalités de leurs interactions : ces tables peuvent être aisément modifiées au cours même des vols, sans avoir à toucher aux routines temps réel. Essayée pendant les vols Gemini, la méthode des tables devint la règle pendant les vols Apollo, se développant au point de pouvoir introduire inopinément dans un vol un véhicule non prévu ou non conforme aux prévisions, simplement en injectant une table de paramètres le décrivant.

On pourra trouver d'autres détails sur la participation IBM au programme Apollo ( l'anneau des Saturn) dans le dossier NASA, en boîte 149.

Le déroulement des programmes Apollo est resté dans la mémoire de tous ceux qui ont connu cette période, et je le rappelle ci-après, en ignorant délibérément les vols SA5 à SA10 de Saturn 1 qui n'exigeaient pas le contrôle par le RTCC :

Apollo 4, 9 / 11 / 67 : premier vol du Saturn 5, emportant un command module et une capsule Apollo, mais pas de LEM ni de passagers. La charge est placée sur une orbite allongée tangente à ce que serait l'orbite de retour de la lune, et exécute ensuite, sur calculateur de bord, une rentrée complète. Récupération dans le voisinage de Hawaï.

Apollo 5, 22 / 1 / 68 à 12 / 2 / 68 : essai dans l'espace et successivement des deux moteurs du LEM, sur des séquences programmées par bande perforée logée à bord. Télémétrie complète, véhicule non récupéré.

Apollo 6, 4 / 4 / 68 : répétition de l'essai Apollo 5, avec montée à 12019 nautiques comportant quelques incidents de moteur, puis rentrée complètement automatique et récupération.

Apollo 7, 11 au 22 / 10 / 68 : vol habité avec W. Schirra, Walter Cunningham et Don Eisele , mais sans LEM. Le module de commande est détaché du S4B, en prend des photo, s'éloigne de 90 mi puis fait un rendez-vous avec lui. Rentrée après 163 orbites et récupération en mer.

Apollo 8, 21 au 27 / 12 / 68 : vol habité de Borman, Lovell et Anders sur un service module sans LEM, porté par Saturn 5. Diverses expériences de mises en orbites simulant l'approche de la lune. Rentrée et récupération au sud de Hawaï.

Apollo 9, 3 au 13 / 3 / 69 : vol habité de J. McDivitt, D. Scott, R. Schweickhardt, avec Saturn 5 et véhicule complet. L'expérience comporte l'amarrage du LEM à la capsule, un séjour de 9 heures dans le LEM avec déploiement de ses pattes et allumage du moteur de descente, film de ce séjour, puis sortie, séparation du LEM jusqu'à 75 mi du CM, largage de l'étage de descente, rendez-vous avec le CM.

Apollo 10, 18 au 26 / 5 / 69 : vol habité de Stafford, Young et Cernan comportant voyage à la lune, orbite lunaire du LEM avec photographie des sites d'atterrissage, descente jusqu'à 15 mi du sol, reconnexion puis retour à la terre et rentrée dans le Pacifique.

Apollo 11, 16 au 24 / 7 / 69 : vol habité de Collins, Armstrong et Aldrin. Premier pas d'un homme sur la lune dans la mer de la Tranquillité, le 20 / 7 / 69 à 0356, suivi par la TV mondiale. Le LEM reste 21 h 36 ' sur la lune. Rendez-vous avec le CM, retour sans incident, amerrissage dans le Pacifique central.

Apollo 12, 14 au 24 / 11 / 69 : vol habité de Conrad, Gordon, Alan Bean . Séjour de 29 h 30 ' sur la lune, à 200 m du Surveyor 3 posé le 20 / 4 / 66 . Collecte de cailloux et de fragments du Surveyor, installation de l'équipement ALSEP (sismographe, magnétomètre, détecteur de particules ).

Apollo 13, 11 au 17 / 4 / 70 : vol habité de Lovell, Fred Haise et J. L. Swigert. Explosion de la pile à combustible du CM le 13. L'engin privé d'électricité fera le tour de la lune, les astronautes non chauffés s'entassant dans le LEM, et réussira une rentrée manuelle dans le Pacifique.

Apollo 14, 31 / 1 au 9 / 2 / 71 : vol habité de Shepard, E. D. Mitchell, S. A. Roosa. Séjour de 33 h 30' sur la lune dans le voisinage du cratère Fra Mauro. Deux sorties à pied totalisant 9 h, poussant une brouette d'outils et ramenant 96 lbs d'échantillons. Mise en place d'un ALSEP.

Apollo 15, 26 / 7 au 7 / 8 / 71 : vol habité de D. Scott, Alfred Worden, James Irwin. Séjour de 66 h 55' sur le bord de la mer des Pluies. Pose d'un ALSEP, collecte de 103 Kg d'échantillons, nombreuses mesures depuis des équipements portés par la capsule, films récupérés par une sortie, largage d'un satellite TRW de 80 Kg.

Apollo 16, 16 au 27 / 4 / 72 : vol habité de T. K. Mattingly, J. Young, Charles Duke. Séjour de 73 heures sur la lune près du cirque Descartes. Dépôt d'un ALSEP et de nombreux autres instruments, 21 heures de sorties en jeep parcourt 27 Km et rapporte 215 lbs de cailloux. Au retour, sortie et subsatellite lunaire.

Apollo 17, 6 au 19 / 12 / 72 : vol habité de Cernan, R. E. Evans, H. H. Schmitt . Séjour de 74 h. Pose de 7 expériences, 3 sorties en jeep = 33,5 Km = 22 h 14 ' = 249 lbs de cailloux. Diffusion TV du décollage, adieu à la lune. Sortie de récupération de films . Retour, rentrée, amerrissage au SE de Samoa.

Les vols sont arrêtés à ce moment, alors qu'il reste des Saturn et des capsules, car le programme n'a plus d'argent, et à la vérité on a tiré de la lune tout ce qui était accessible à l'époque.

Le succès politique international écrasant que représente la réussite du programme change les comportements, et l'année suivante verra l'exécution des programmes Skylab et ASTP qui marquent une véritable évolution des relations URSS / USA. Techniquement parlant, ces vols se satisfont d'une partie seulement de l'infrastructure RTCC, qui reste inchangée, et les missions sont plus politiques que scientifiques.

Skylab 1, 14 / 5 / 73: un Saturn 5 lance le Skylab, un laboratoire orbital de 85 tonnes comportant un poste d'amarrage pour capsule. Le déploiement laisse quelques dégâts, notamment aux panneaux solaires.

Skylab 2, 25 / 5 à 22 / 6 / 73, Saturn 1B et capsule Apollo, amenant la première équipe d'exploitation, Conrad, Dr J. Kerwin, P. J. Weitz . Réparation des panneaux solaires, activation des expériences, trois sorties qui ramèneront 309242 photos de l'ATM (observatoire solaire), 8886 photos d'EREP (sondeur terrestre multispectral), 15 Km de bandes magnétiques .

Skylab 3, 28 / 7 à 25 / 9 / 73 , Saturn 1B et capsule amenant Alan Bean, Dr Owen Garriott, Jack Lousma. Installation d'un parasol thermique, échange de gyros de stabilisation, 13 h 44 ' de sorties. Expériences physiologiques. Rapporte 77600 photos d'ATM, 14400 photos de EREP, 31 Km de bandes magnétiques.

Skylab 4, 16 / 11 / 73 à 8 / 2 / 74, Saturn 1B et capsule amenant G. P. Carr, Dr E. C. Gibson, W. R. Pogue. Réparer les instruments et recharger les films. 22 h 19 ' de sorties, rapporte 75000 photos d'ATM, 17000 d'EREP, 33 Km de bandes magnétiques. Nombreuses observations physiologiques en vol et au retour.

Ayant ainsi établi que les USA savaient, comme les soviétiques, construire, lancer et exploiter un laboratoire orbital, les Etats-Unis de Carter abandonnent Skylab, qui n'intéresse que modérément l'opinion publique et les savants. Son altitude diminue, d'abord très lentement, puis de plus en plus vite : le 11 / 7 / 79, sans qu'on ait cherché à intervenir, il effectuera une rentrée libre après 34981 révolutions, et les fragments non consommés tomberont dans l' Océan Indien, par 42, 8° S et 105, 9 ° E, sans faire de dégât.

Le dernier vol à intéresser le MSCC a lieu entre le 15 / 7 et le 24 / 7 / 75 et il est purement politique. Une capsule Apollo modifiée par l'addition d'un adaptateur au modèle soviétique, portant Stafford devenu général, D. K. Slayton et V. D. Brand, et lancée par le dernier Saturn 1B, effectue un rendez-vous avec le Soioz 19, portant le colonel Leonov et l'ingénieur V. N. Kubasov. Cette rencontre abondamment soulignée par la télévision, retransmise en direct par le satellite ATS 6, comporte discours, embrassades et échanges de politesse, visites d'un engin à l'autre, pendant quelques heures. Après séparation, quelques travaux scientifiques prétextes, puis retour et amerrissage dans le NW d'Honolulu.

Pendant qu'avaient lieu ces dernières opérations, dont la communauté scientifique ne cessait de souligner le prix exorbitant et le peu d'efficacité, la NASA avait obtenu, dès les premières années 1970, une décision d'étude d'une navette spatiale, décollant et atterrissant sur piste, avec le double espoir de missions plus fréquentes et moins coûteuses, puisqu'en principe une importante fraction de l'équipement de vol pourrait resservir. Le planning envisageait le premier vol vers 1980, et la construction d'une flotte de 5 navettes dont une des fonctions serait la construction dans l'espace d'un laboratoire orbital armé en permanence.

Moyennant quoi, dès juin 1974, IBM recevait un premier contrat pour la définition d'un RTCC adapté au nouveau véhicule. Compte tenu des objectifs de la NASA, la spécification imposait :

- des déterminations de trajectoire assez précises pour que la navette réentrante se pose sur une piste de position et orientation connues à l'avance (Cape Canaveral), ou à défaut sur une autre (Edwards AFB, en Californie). L'atterrissage n'importe où devait être théoriquement possible, étant entendu que la qualité de la manœuvre dépendait de façon cruciale de la qualité de équipements de détection dans la région.

- la gestion simultanée de trois navettes

- le délai très court entre vols successifs

- la prise en compte de la charge utile, qui représente la raison d'être du système et dont la complexité, et par conséquent les exigences en matière de transmissions, sont sans commune mesure avec les Apollo.

La suite a montré que tout cela était bien trop optimiste, la difficulté technique du problème conjuguée avec les restrictions budgétaires limitant en pratique les vols à 6 ou 7 par an et le nombre des navettes à 5 : Columbia, Discovery, Challenger, Atlantis, Endeavour, jamais toutes disponibles en outre. Mais ce n'était pas le problème d'IBM, qui recevait en 1976 la commande de trois calculateurs 370/168.

En période de vol, deux de ces machines devaient suffire à gérer comme demandé trois navettes en vol, tandis que la troisième s'occuperait de la charge utile. S'il n'y a qu'une navette en l'air, un seul ordinateur lui suffit, le second servant à l'entraînement, aux autocontrôles et à l'exploitation scientifique des résultats des vols, le troisième étant en réserve ou occupé de la charge utile.

Les programmes temps réel à rédiger et mettre en place comprenaient :

- 220000 lignes pour les calculs de trajectoires, reconstitués à partir de données radar recueillies tout au long de l'orbite à partir de nombreuses stations, alternativement actives ou hors champ. On y inclut tous les calculs de prédiction comme les levers et couchers de soleil vus depuis la navette, et les conditions de rentrée et d'atterrissage.

- 138000 lignes pour le programme de télémétrie, qui reçoit 3600 paramètres par seconde en provenance de chaque navette, et autant des stations terrestres en cours de tracking. Toutes ces mesures brutes sont transformées en temps réel en données techniques qui sont enregistrées et aussi comparées avec les limites normales calculées a priori pour assurer une surveillance permanente du véhicule.

- le sous-système de commande transmet les ordres du sol aux calculateurs du bord, et s'il y a lieu des programmes complets. L'objectif est de faire à terre tout ce qui peut l'être, pour alléger la charge des équipages.

- le sous-système des communications surveille toutes les voies de communication aboutissant au MSCC, et définit en permanence celles qui doivent être actives, compte tenu de la position de la navette dans l'espace, ajustant ainsi les priorités des transmissions effectivement réalisées.

- 135000 lignes de programme constituent le sous-système de contrôle, qui gère les ressources informatiques du MSCC, s'assurant en permanence que les missions disposent de ce qui leur est nécessaire, et assumant en cas d'incident la réparation des erreurs mineures.

En dehors de ces programmes en temps réel, 115000 lignes de programme servent à enregistrer, évaluer et analyser le fonctionnement du RTCC, de manière à disposer d'historiques et de statistiques sur tous les aspects du processus. 200000 lignes de programme, disposant de la base de données IMS / VS, entretiennent en permanence les informations nécessaires à la configuration du Centre.

Et enfin, largement variable avec les vols, le programme de charge utile contient pour chaque vol toutes les informations concernant la nature, la finalité et la localisation des expériences, et met à la disposition des expérimentateurs tous les résultats en temps réel., en tenant compte de ce qu'en général, les expériences emportées lors d'un vol relèvent de nombreuses autorités et laboratoires différents, chacun voulant ses propres données et ne souhaitant pas que les autres en disposent trop vite ou trop complètement.

Indépendamment de ce travail de redéfinition de l'outil majeur du centre, un simulateur de mission a été installé à Houston en 1978 par le spécialiste Link, filiale de Singer. Ce monument de M\$ 60 comprend un calculateur Univac 1100 / 46 représentant le sol, en communication avec un authentique calculateur de bord composé de cinq IBM AP 101, et si nécessaire avec le complexe Mission Control. Bien entendu un poste de pilotage de navette, avec fenêtres permettant de voir l'avant et l'arrière de la navette comme dans la réalité. Il y a deux postes de travail : un fixe pour les vols stabilisés en orbite, qui ne donnent pas lieu à des accélérations gênantes, et un mobile pour les phases de décollage et de rentrée.

Telle était la situation du MSCC en 1981, au moment où commençait le premier vol de Columbia. Depuis lors, un peu plus de 100 vols seulement ont eu lieu avant la fermeture de ce document, compte tenu d'une longue interruption consécutive à la perte de Challenger, le 28 janvier 1986. Dans cette période, les équipements du MSCC ont probablement été renouvelés deux fois, pas nécessairement en augmentation de puissance, et certainement en diminution de volume : mais nous n'avons aucun renseignement là-dessus.

Le lecteur trouvera le point de vue technique d'IBM, qui a servi à rédiger ce texte, dans les références suivantes:

J. H. Müller : aspects of the Gemini real-time operating system, in IBM Systems Journal, Vol 6 n° 3, 1967, pp 150 / 62, 7 réf. biblio. Document 213-3 .

J. E. Hamlin : a general description of the NASA RTCC, in ACM 19th Conference, Philadelphia 215- 27/8/64, A2. 2 , 22 pages Document 267-A2. 2

J. L. Johnstone : a real-time executive system for manned spaceflight, in AFIPS Vol 31, Proceedings of the 1967 FFCC, Anaheim 14-16/11/66, pp 215/30. Document 246-215/30.

S. E. James : evolution of real-time computer systems for manned spaceflight, in IBM Journal of Research & Development, Vol 25 N° 5, 9 / 81 pp 417 / 28, 12 réf. biblio. Document 203, boîte 59.

J. L. Johnstone : RTOS - extending OS/360 for real-time space flight control, in AFIPS Vol 34, Proceedings of the SJCC 1969, Boston 14-16/5/69, pp 15/27.

## 290 - Jet Propulsion Laboratory

Le Jet Propulsion Laboratory est un laboratoire de la NASA installé à Pasadena, Cal, et qui tire sa substance intellectuelle de Caltech, l'université californienne située dans la même ville. Il a évolué progressivement, de ses préoccupations initiales liées aux fusées, aux études d'électronique concernant la navigation spatiale, ou à la définition de satellites scientifiques.

Au début de la grande euphorie financière associée au programme Apollo, il a installé un centre de calcul pour suivi de missions, version plus modeste de Houston en ce sens qu'il ne s'occupe que de satellites scientifiques non habités. Ici encore, c'était anticiper les décisions du nouveau directeur de la NASA, qui a attribué cette mission à Goddard ; la mission propre du JPL concerne les sondes spatiales, cad l'exploration du système solaire (Mariner, Voyager, Pioneer, Ulysse, Galileo, Cassini).

La Space Flight Operation Facility est dotée vers 1961 de deux IBM 7094 partageant des disques 1301 avec deux 7040 servant de processeurs d'entrées / sorties, chacune dotée d'imprimante, de plotteur et de deux canaux 7288, vers lesquels convergent :

- 12 lignes télétypes en provenance des DSIF, Deep Space Flight Instrumentation, réparties sur toute la terre ;
- une liaison radio 100 KHz avec le radar de Goldstone
- deux liaisons phonie
- 20 voies numériques commutables entre canaux, comprenant 7 consoles, 5 plotteurs, 5 enregistreurs, 5 imprimantes, 5 lecteurs de cartes, et un poste de commande manuelle du panneau de situation.

Les 7094 peuvent gérer trois missions simultanément, disposant à cet effet d'un panneau de trajectoire de 7 \* 56 ft (soit 2 \* 17 m), de trois tableaux techniques, de 18 consoles, et pour le travail purement informatique, 8 dérouleurs de bandes, cartes et imprimantes.

Selon les habitudes de l'époque, il existait encore trois 1401 non connectées pour les conversions cartes / bandes et bandes / impression.

Le plus beau fleuron de l'équipement du JPL est, à l'époque d' Apollo, le radar de Goldstone, avec son antenne orientable de 27 mètres de diamètre, qui a contribué à tous les vols. Dans les années qui ont suivi, Goldstone a fait bien davantage, et notamment mesuré en direct, depuis la Terre (60 millions de km), la surface de Venus et déterminé la vitesse de rotation de la planète.

Le JPL contrôle aussi les autres radars à très grande portée : Madrid en Espagne, Johannesburg en Afrique du Sud, Woomera et Tidbinbilla en Australie. Il emploie quelque 4000 personnes.

En dehors de ses activités en temps réel au profit de certaines missions spatiales non habitées, le JPL peut mener, au profit de la NASA ou de la DARPA, des études techniques plus spéculatives et moins urgentes. On trouvera par exemple dans J1 une fiche sur STAR, le Self Testing And Repairing Computer, un prototype de système informatique pour vols de très longue durée, tel qu'une mission vers une autre étoile, ou un aller et retour sur Mars.

Proposé en 1961, STAR a été réalisé par 6 personnes au cours des années suivantes, et breveté en 1970. La construction d'un modèle de vol, destiné à la mission multiplanétaire Grand Tour, fut entreprise en 1971, mais abandonnée avec cette mission.

En réalité, STAR n'a donc jamais été utilisé, et pourtant des missions de ce type ont eu lieu (Ulysse, Galileo, Cassini). Et des durées de vie exceptionnelles, 20 ans et plus, ont été constatées avec des électroniques beaucoup plus simples, par exemple celle de Pionnier 11 ou de Voyager.

Le JPL a été responsable de la réalisation de plusieurs calculateurs effectivement embarqués, notamment ceux des sondes Mariner Mars 6 et 7. Il s'agissait de véhicules économiques, et leur ordinateur recherchait la fiabilité par la simplicité : fonctionnement série à 2400 Hz seulement, répertoire limité à 16 opérations. Ces machines ont fait leur travail (1968).

La situation géographique du JPL à Pasadena a facilité ses relations avec les organismes éducatifs environnants, et pas seulement le Caltech son voisin et fondateur. C'est ainsi qu'il a fait réaliser par le California State College de Los Angeles une extension de son compilateur Fortran destinée à englober une arithmétique d'intervalle : ce JFLIP, JPL Fortran Language with Interval arithmetic Preprocessor, est décrit en 247-787/94.

## 291 - Marshall Space Center

Après la création de la NASA, le nom de Marshall Space Center est donné à l'ensemble des centres de recherche de Huntsville, Alabama, et Slidell où, depuis une quinzaine d'années, Von Braun et son équipe peinaient pour construire un lanceur.

Le rattachement à la NASA déclencha de grands espoirs à Huntsville, qui se voyait déjà centre de lancement. Des plans grandioses comportant l'installation de cinq 1108, trois à Huntsville et deux à Slidell, furent mis en route dans cette perspective, et furent forcément modifiés quand intervint la décision de créer le MSCC à Houston. En fait, quand on examine l'organisation du réseau NASCOM, Huntsville n'y figure même pas. Et puisque les boosters construits à Michoud étaient transportés directement par barges jusqu'à Cape Canaveral où se faisait l'assemblage des Saturns ainsi que le lancement, il est à peu près certain que de nombreuses fonctions de Huntsville se sont transportées à Cape Canaveral et que le Marshall Space Center, ainsi baptisé dans un souci promotionnel, n'a finalement pas joué, à partir de 1963, d'autre rôle que celui de maître d'ouvrage pour le Saturn : tout de même, c'est à Huntsville qu'a été conçue la fusée Saturn, avec ses trois étages et son anneau électronique, et c'est à Huntsville qu'ont été construits les anneaux (par IBM), et définis tous les testeurs employés chez les constructeurs et à Cape Canaveral.

Puisque le grand oeuvre du Centre est le lanceur Saturn V, c'est ici qu'il faut parler de ce monument et des calculateurs qui travaillent autour de lui.

Le programme Apollo a compris deux grandes phases :

a) une phase non habitée où des matériels de plus en plus sophistiqués sont emportés dans l'espace par un premier étage S1B, construit par Boeing à son usine louisianaise de Michoud, puis testé dans l'établissement voisin de Slidell situé le long du Mississipi, avant d'être transporté par barge à Cape Canaveral où se faisait l'assemblage et le lancement.

b) une phase habitée où le lanceur était le Saturn V, une énorme fusée à 3 étages (2500 T en charge) :

- un premier étage Boeing S1C à 5 moteurs, passant par les mêmes étapes Michoud / Slidell / Cape
- un deuxième étage S-II à 5 moteurs, construit à Seal Beach, Cal. par North American, transporté à Slidell pour les tests puis à Cape Canaveral pour assemblage et lancement.
- un troisième étage Douglas S-IVB, monomoteur, construit à Huntington Beach, Cal., transporté pour les tests à Sacramento, Cal. puis livré à Cape Canaveral pour assemblage et lancement.
- l'anneau électronique conçu et réalisé par IBM à Huntsville, testé à Huntsville, et transporté par avion au cap pour assemblage et lancement. C'est lui qui pilote les trois étages successivement pendant la phase de vol, avant d'être largué avec le dernier d'entre eux.

Vue sous l'angle informatique, cette imposante réalisation a utilisé:

- un ordinateur IBM AN/ASC 15 (datant de Gemini) pour les S1B.
- des ordinateurs RCA 110 A pour les tests de S1C à Slidell et de l'anneau à Huntsville, ainsi que pour les contrôles avant lancement du véhicule assemblé, à Cape Canaveral (logiciel ATOLL de Mesa Scientific).
- des ordinateurs CDC 924 A pour les tests de S II à Slidell et de S-IVB à Sacramento.
- un triple ordinateur IBM dans l'anneau, pour le guidage, et un ASTEC pour ses contrôles.
- et, en vol, un ordinateur Raytheon à bord de la capsule, et un ordinateur TRW à bord du LEM. Voir ces machines aux lignes Apollo Guidance Computer, LEM abort computer, Saturn 1 et Saturn V de la base de données.

Le centre s'est équipé d'un programme de simulation continue baptisé MARSYAS pour MARshall SYstem for Aerospace Simulation, qui est rédigé en Fortran et fonctionne sur U 1108. Un article de SJCC 1970, dans 254-223/35, donne les équations différentielles et aux dérivées partielles que ce programme, conçu dans le style de la norme CSSL, permet de traiter. Le travail semble avoir été réalisé pour l'établissement par la firme Computer Applications, Inc. de New York, NY.

Le programme de test en temps réel des RCA 110 est décrit dans l'article 254-251/65.

## 292 - Simulateurs lunaires

Il semble qu'il ait existé plus d'un simulateur lunaire pendant la période Apollo, mais les informations dont nous disposons ne se recoupent qu'imparfaitement: en particulier, on sait que le système d'entraînement au pilotage pour Apollo était à Houston, et qu'un simulateur existait à Langley Field. Quand on constate de fortes similitudes dans leurs descriptions, on peut penser que Langley Field n'est autre que l'aéroport du MSCC à Houston.

Le premier système, qui terminait sa carrière en 1966, semble avoir été installé à Langley Field par la société Grumman pour le compte de la NASA, avec des délais très courts.

La partie analogique comprenait un LEM dans lequel prenait place le pilote, qui voyait la lune à travers les fenêtres de son véhicule, reconstituée par des projections TV à partir des images de 4 secteurs possibles d'atterrissage; quatre ordinateurs Reeves REAC 500 matérialisaient la dynamique du véhicule, et un adaptateur hybride Adage 700 assurait l'interface avec ...

...la partie numérique, qui commençait par un ordinateur IBM 1800. Celui-ci collectait ainsi 48 entrées analogiques, et 35 entrées numériques 16 bits, renvoyant 96 sorties analogiques et 30 sorties numériques 32 bits. Les calculs étaient confiés à une IBM 7094 II, travaillant à 20 Hz.

Un grand panneau de commande permettait d'introduire des incidents.

Un système plus puissant et capable d'autres simulations remplaça cette installation à partir de 1968, au prix de 20 M\$: c'est le PDSC, Procedure Development Simulator Complex. Il comprenait deux CDC 6600 et une 6400 64 Kmots, avec deux ordinateurs analogiques EAI 231R, 4 disques de 8 MB, un disque de 74 MB, deux bandes de 75 ips, LC 1200, PC 250, et deux IP 1200: deux postes de pilotage pouvaient travailler simultanément, un LEM et un Command Module.

Les connexions du LEM, par exemple, comprenaient 600 lignes discrètes, 47 entrées analogiques, 24 sorties analogiques. On peut penser que le CM en exigeait davantage encore.

Le système d'exploitation était TCOS, permettant de faire du travail de batch pendant les simulations, qui utilisaient un cycle de 100 ms. Le programme temps réel, entièrement rédigé en Fortran, était découpé en jobs simultanés dont chacun disposait d'un PPU.

Il y a aussi un DCPS, Dynamic Crew Procedure Simulator, qui soumet l'équipage à des mouvements pénibles au centre d'une sphère de 40 ft (12 m) sur laquelle on projette l'image du ciel. L'équipage s'efforce de maintenir sa route vers un point de ce ciel malgré les dérangements que lui impose un ordinateur.

Les simulations opérationnelles sont spécifiques des vols Apollo et comprennent :

- un TDS, Translation & Docking Simulator, étudié par MacDonnell, pour l'entraînement aux rendez-vous entre LEM et Command Module qui ont lieu en principe deux fois : à mi-course vers la lune pour mettre la charge utile du Saturn dans sa configuration de vol, et au retour de la lune. Les constituants sont un élément femelle représentant le LEM, capable d'orientation en trois dimensions et de déplacement latéral, et un élément mâle représentant le Command Module, capable de déplacements longitudinal et vertical.

Le panneau d'instructeur permet d'introduire des pannes dans les fusées d'orientation, dans l'éclairage du système de docking, et dans l'indicateur d'attitude du command module.

- trois CMS Command Module Simulator, construits par Link et mis en service en 11 / 65. Deux sont installés à Cape Canaveral, un à Houston. Ils se composent d'une cabine simulée avec fenêtres où des jeux de miroirs montrent la sphère céleste et des projections TV, d'un grand pupitre de commande, et de cinq calculateurs DDP 224 : trois constituent le simulateur proprement dit, le 4ème émule le calculateur de bord et le 5ème sert de rechange. Ces machines ont un total de 212000 mots de mémoire, dont 8 K en commun.

Un calculateur DDP024 de 32 Kmots simule le lancement et l'injection.

C'est apparemment au profit de ces simulateurs que travaille le calculateur General Electric de création d'images sur trois fenêtres, décrit en rubrique 274.

- deux LMS Lunar Module Simulator, un à Cape Canaveral et un au MSCC, également produits par Link. Ils comportent une cabine réaliste pour créer l'ambiance, un système optique permettant de montrer soit le sol lunaire en relief, soit des extraits de films, un pupitre permettant de commander quelque 600 incidents, et deux calculateurs DDP 224 : l'un simule le LEM, l'autre son calculateur, au total 164 Kmots de mémoire dont 8 partagés.

- l'ASCATS, qui assure en cas de besoin l'insertion des simulateurs, CMS et /ou LMS, dans le RTCC de Houston, pour effectuer des missions simulées plus ou moins complètes. Ce système utilise une des 360 / 75 du RTCC et le NASCOM pour introduire dans les plans de vol des éléments pseudoréels.

Il comprend 4 consoles avec 5 instructeurs pour représenter les consoles du contrôleur de vol en cours de formation, et 5 à 7 consoles avec 8 à 10 instructeurs pour représenter l'environnement simulation.

Tout ce matériel disparut après la fin des vols Apollo, pour faire place au simulateur de navette, dont on ne sait rien. On sait seulement qu'en 1978, il existe à Houston un Simulateur de procédures de la navette, qui a coûté 5 M\$. Construit par Simcom, filiale de Singer, ce simulateur ne nécessite que cinq ordinateurs Interdata 8 / 32 : la partie simulation comprend un poste d'instructeur, un cockpit sans visualisation, une fenêtre latérale par laquelle on voit le ciel, les astres, et s'il y a lieu l'objet du rendez-vous; et un poste arrière avec visualisation.

Ces informations sont assez peu cohérentes : il paraît inutile de prévoir des visualisations s'il s'agit seulement de suivre des procédures ; et s'il y a des visualisations sérieuses, il paraît difficile de se contenter de ces minicalculateurs Interdata.

## 293 - Patrick AFB à Cape Canaveral

C'est dans l'immédiat après-guerre que fut établie sur la côte Est de Floride, où le littoral sableux est presque orienté Nord-Sud, la base Patrick de l'Air Force, structure administrative et technique au service d'un Air Force Missile Test Center. A cette époque on n'envisageait pas sérieusement de lancements de satellites, mais il est probable que cette idée, très présente dans l'esprit de Von Braun, a contribué au choix de cet endroit, parmi les plus proches de l'équateur sur le territoire des USA, et orienté vers l'Est, conditions essentielles pour cet usage futur et potentiel.

En attendant, l'une des premières actions des responsables du site fut d'installer un système de surveillance du champ de tir, composé d'un détecteur de position du missile dans l'espace (sur la base des signaux d'une balise embarquée) et d'un calculateur de point d'impact en cas de retombée : cet AZUSA, confié à Convair Astronautics, se compose de huit antennes sous radôme disposées en croix (photo au dossier de la boîte 149) et d'un calculateur IBM 704.

La gestion des moyens techniques de la base était sous-traitée à RCA, avec une très large autonomie de moyens. Ayant notamment à dépouiller des essais de fusées diverses, RCA décida de doter la base d'une machine à calculer pour laquelle, faute d'expérience pratique, il suivit les plans de SEAC. La calculatrice automatique de Floride, FLAC, est donc dotée d'une mémoire à lignes à retard à mercure et d'une logique dynamique série à 1 MHz utilisée dans une architecture à 3 adresses.

Achevée en septembre 1953, cette machine était jugée dépassée dès 1956, et fit l'objet d'une véritable reconstruction, avec mémoire à tores Teleregister, interface parallèle / série de Technitrol, et un très large renouvellement des entrées / sorties. La FLAC refondue entra en service le 23 / 1 / 57, bientôt rejointe par une FLAC II des mêmes constructeurs, où Technitrol avait seulement remplacé le bloc de calcul série par une unité de son cru.

Dans le cadre de la décision créant la NASA, prise par Kennedy pour organiser la course à la Lune, la base de Cape Canaveral devenait logiquement site prioritaire des lancements, et devait organiser ses liaisons. Son premier système fut confié à Control Data, avec deux 3600 en normal / secours reliés à tout ce qui pouvait jouer un rôle dans les opérations, à l'époque Azusa, Mistram, les radars régionaux, Goddard et la salle de contrôle des Gemini, en construction.

Après la mort de Kennedy et le succès de la course à la lune, le centre confié à la NASA fut rebaptisé Kennedy Space Center. Patrick AFB existe toujours en tant que base administrative, et ses pistes sont assez longues pour recueillir les navettes.

Par la suite, il y a toujours eu à Cape Canaveral des calculateurs récents mais de puissance moyenne seulement, pour la mission de lancement (et plus tard de retour, avec les navettes) : sécurité du champ de tir, séquence de contrôle et de lancement, communications intégrées. Par exemple, le contrôle au lancement du Saturn V assemblé était confié à un RCA 110.

Mais la direction de mission est toujours soit à Houston, soit à Goddard.

## 294 - SEL chez Gould

Gould est un groupe financier de petite taille, connu pour ses investissements dans l'électrotechnique et l'instrumentation, et en particulier par sa réalisation d'une torpille filoguidée pour sous-marins. En 1980, son chiffre d'affaires s'élève à 2200 M\$, se répartissant en 31,6% pour l'électronique, 23% dans l'électricité, 19,9% dans la production de batteries, et 25,5% dans le secteur industriel. Son président, William T. Yilvisaker, estime que le secteur le plus prometteur est l'électronique, et c'est là que la firme procède à des acquisitions : Deltec (alimentations) en juin 80, SEL en 12 / 80, puis SRL Medical (systèmes de diagnostic) en janvier 81, Gettys Mfng (automatismes) en 2 / 81. Ses effectifs globaux s'élèvent à 36000 personnes.

L'achat de System Engineering Laboratories (SEL), société de 2200 personnes produisant des calculateurs temps réel baptisés Concept, ne procédait apparemment pas d'un plan réfléchi de pénétration du monde informatique, et ne s'est traduit par aucun virage technologique de la société, et pas davantage par un quelconque changement de l'équipe dirigeante.

Le problème, avec ces holding qui ne s'intéressent qu'aux résultats, c'est qu'elles peuvent rejeter ce qu'elles ont adoré sans avoir besoin d'autre justification que les revenus procurés, et n'éprouvent pas nécessairement beaucoup de sympathie pour les demandes de recapitalisation. Quoi qu'il en soit des motivations de l'acheteur, SEL va continuer son lent développement, sans interférence du nouveau patron qui se bornera, vers 1985, à évacuer toute référence à l'ancien nom : la SEL Computer division devient d'abord Systems, puis tout simplement Gould Electronics.

Quelles qu'en soient les causes, on doit constater que Gould Inc. est dans une mauvaise période. En 1985, alors que cette filiale électronique gagne de l'argent, et augmente son CA de 20% à 269,4 M\$, le conglomerat stagne à 1420 M\$, perdant encore 175 M\$ à la suite d'abandons d'activités, pour la cinquième année consécutive. L'effectif global est tombé à 18500 personnes.

Au plan technique, les événements à noter chez SEL sont :

- un nouveau titre pour les Concept, rebaptisés Powernodes : le SEL Concept 32 / 67 devient le Powernode 6040, et les variantes du Concept 32 / 97 s'appellent désormais Powernode 9050 à 9080. On trouvera une petite documentation à la rubrique Systems Engineering Laboratories.

- la définition d'un meccano de cartes MiniSEL, à base de CMOS gate arrays programmables pour constituer des processeurs spécialisés susceptibles d'être subordonnés à un processeur hôte. Les cartes s'assemblent avec des mémoires et des accélérateurs de calcul dans des châssis 14 slots, qui peuvent eux-mêmes se grouper en une ou deux armoires de quatre, formant un SELPAC.

- la création du NP1, un processeur temps réel réalisé en ECL et fonctionnant à 60 MHz, capable d'exploiter des SELPAC et de se lier à des Powernodes. Il semble que ce produit ambitieux n'ait pas trouvé de clientèle à la taille de ses frais d'étude, de sorte qu'en 1990 Gould revend sa division d'électronique à Encore Computers. On ne connaît malheureusement pas la situation précise de Gould à cette date, qui pourrait donner un sens à cette décision.

Parallèlement à cette activité, Gould s'était aussi offert une Graphic Division, presque certainement en achetant une société spécialisée dans ce domaine.

La station graphique IP 9000, capable de consacrer 64 MB à une image, pouvait fonctionner comme périphérique de stations Sun ou VAX. Elle s'est vendue à 3500 exemplaires, et sur la base de ce succès, Gould a revendu cette division avec bénéfice en 1989 à Vicom Systems.

## 295 - GR Industry Computer Corporation

L'originalité de cette petite machine est d'appartenir à la classe Source-Destination, selon laquelle tous les composants de la machine disposent d'une entrée et d'une sortie, respectivement connectées à deux bus baptisés Source et Destination. Toute instruction décrit donc un mouvement d'information, depuis la sortie d'un module baptisé Source jusqu'à une entrée d'un autre module nommé Destination, lequel est en général une mémoire ou un opérateur ; l'information est éventuellement modifiée au passage par incrémentation ou décalage. La limitation du mot à 16 bits impose quelques contorsions pour l'adressage, qui est de toutes façons un point faible de ce concept ancien.

La machine ayant obtenu mieux qu'un succès d'estime, la question se posait de sa succession. Le GRI 99/30 paraît être une variante destinée à l'OEM, compatible exactement mais modernisée technologiquement par l'emploi de circuits LSI et MSI.

La microprogrammation minimale est 512 mots, elle est extensible à 32 Kmots et peut donc englober non seulement des routines diverses, mais la totalité d'une application.

Le bloc de calcul contient la multiplication programmée 301  $\mu$ s, la division programmée 439  $\mu$ s ; la multiplication et la division microprogrammées, respectivement 68 et 116  $\mu$ s, sont une option. Les registres généraux sont en option, au nombre de 46, en plus des deux accumulateurs standard.

Autres options: DMA pour accélérer les entrées/sorties de 270 à 550 Kmots/s, horloge, interruptions pour panne de courant et reprise.

Logiciel : s'est accru d'un système d'exploitation DOS, RTOS ou DRTOS, et d'un Fortran.

Prix : \$ 5060 en 4 Kmots, 5505 en 8 Kmots, 7900 en 16 Kmots.

En 1974, le 9950 est une nouvelle machine assez fortement enrichie, où le concept fondateur devient de moins en moins perceptible. Il y a maintenant 8 à 40 accus ou GPR (les deux fonctions se confondent), un index (en mémoire). La mémoire comprend 16 à 64 KB, directement adressable, mais elle peut être étendue jusqu'à 128 KB qui sont accessibles par indirection ; elle peut être surveillée par contrôle de parité.

Il existe de nouvelles opérations, plus du tout S/D, de longueurs 32 ou 48 bits : formation de piles, transferts-blocs, adressage de bits.

Les entrées/sorties ont débit doublé, bien que la mémoire n'ait pas changé : 568 KB/s en standard, 1,1 MB/s avec DMA. Le choix de périphériques s'est étoffé : LR 300, PR 75, LC 300, LC 300/PC 120, IP 250 à 600, ME 100 ou 165, bandes 30 KB/s, 1 à 4 disques de 10,6 MB, un écran de 640 ou 1200 caractères, et jusqu'à 144 voies BSC jusqu'à 9600 bauds. Les interruptions associées coûtent 15,8 à 20,9  $\mu$ s pour la prise en charge.

Le logiciel comprend maintenant un OS 99 multiusager à 4 partitions, un DOS, un RTX, un assembleur 2 passes, un interpréteur VF, et un RPG II interactif.

Prix : \$ 6410 + \$ 257/mois pour une version minimale ; \$ 32600 avec 16 Kmots de mémoire, un disque, un écran, une machine à écrire ; \$ 33333 en version packagée de petite gestion, avec RPG, assembleur, 4 partitions, 3 lignes téléphoniques.

Cette version aura un certain succès, car elle est reprise en 9/77 sous le nom de System 99/2 avec une mémoire MOS statique de 32 (32) 1024 KB à cycle inchangé mais accès réduit à 150 ns, des écrans de 24 \* 80, et des disques en cartouche de 20 MB. Le logiciel est toujours RPG.

## 296 - Grid Computer System

Cette société apparaît sur le marché en 1984 avec le Compass, un portable remarquablement léger et original, trop certainement pour séduire le grand public compte tenu du prix, et de plus pas tout à fait compatible PC, ce qui pouvait servir d'excuse à la prudence des acheteurs. Les solutions proposées parurent cependant convaincantes pour les militaires, qui soutiendront la société pendant plusieurs années. Il y aura donc des suites, la fabrication des versions renforcées étant confiée à SAI Technologies, tandis que Victor, filiale de Tandy, assurait la commercialisation des versions civiles.

- en 1984, le Gridset, version militarisée du Compass, avec un écran électroluminescent plus lumineux et peut-être plus fiable que l'écran à plasma.

- en 1985, le Gridcase 1240, version rigoureusement compatible, grâce au remplacement de la mémoire à bulle, qui n'est plus fabriquée, par une vraie disquette de 750 KB. Il en existera une version militarisée produite par SAI Technology pour l'armée néozélandaise, et baptisée Vanguard.

- en 1990, le Gridcase 1537 est une version Tempest, beaucoup plus puissante, avec retour à l'écran électroluminescent, et un disque amovible de 40 MB, exigé par la sécurité.

Le Gridcase 1550, sorti en même temps, est la version civile correspondante, plus rapide (20 MHz), dotée d'un écran LCD et d'un disque plus important mais fixe, 60 ou même 120 MB.

En 1990 également, Grid se lance dans une aventure plus audacieuse, celle du portable sans clavier, baptisé Gridpad. Ni cette première version, ni le Palmpad sorti en 1992, n'auront beaucoup de succès, mais c'est apparemment le sort de toutes les tentatives autour de ce concept qui dérange les habitudes des clients et les décourage par une sensibilité excessive du logiciel de pseudoclavier.

Le Palmpad était construit autour d'un microprocesseur NEC V20 travaillant à 9,5 MHz, avec une mémoire de 2 MB, un port série RS232C, un connecteur pour un clavier externe, et un connecteur PCMCIA pour une extension de mémoire vive ou un logiciel supplémentaire en mémoire flash. L'écran LCD rétroéclairé avait une définition de 640 \* 400 pixels.

Logiciel MS-DOS 5.0 + Grid Penright ! PRO d'interprétation des touches, installés sur ROM incluses.

Dimension 23 \* 15 \* 5 cm, en fait la taille de la main, avec d'ailleurs un étrier pour le tenir. Poids 1,4 Kg.

Autonomie 8 heures.

La disparition de Grid qui survient à cette époque, n'est pas imputable à cette audace commerciale, mais à la faillite de son distributeur Victor Technology.

## 297 - General Telephone

Dans un pays où un monopole a été accordé à l'ATT par le Consent Decree de 1958, le rôle des autres compagnies de téléphone est marginal, et se borne à créer des appareils connectables sur des lignes fournies par ce monopole. Mais, en contrepartie, il n'était pas interdit à ces compagnies de s'essayer à l'informatique, alors que l'ATT ne le pouvait pas.

Le groupe GTE le fit de trois manières:

- d'une part, il laissa sa filiale Sylvania se lancer dans d'importantes études pour le compte de l'Armée. Voir à la rubrique Sylvania.
- d'autre part, il crée une division Information Systems et lui donne un produit de départ en achetant Tempo, une petite société qui venait de réussir un calculateur Tempo I: le Tempo II est simplement rebaptisé IS / 1000.
- et occasionnellement, sa division Laboratoire pourra se retrouver impliquée dans un projet informatique.

Dans la division IS, le IS / 1000 va avoir une carrière très honorable:

- comme contrôleur de communications, compatible IBM: 200 IS / 1101 à 24 lignes et 100 IS / 1102 à 96 lignes seront vendus.

- comme calculateur central des systèmes de saisie IS / 1511 et IS / 1514. Dans cette fonction, il se présente avec une mémoire de 16 à 64 KB, 16 bits, cycle de 750 ns, un répertoire de 102 opérations, et un disque magnétique organisé en 18000 à 288000 enregistrements de 120 caractères. Une centaine de ces systèmes, capables de 32 écrans, seront vendus.

Des activités de la division Laboratoire, nous ne possédons qu'un écho, sous la forme d'un article décrivant le Multipac, un calculateur spatial à haute fiabilité, étudié sur contrat NASA; ce travail n'a pas, semble-t-il, débouché sur une application.

## 298 - Hamilton Standard

Fabricant d'hélices pendant la guerre, Hamilton Standard est un équipementier qui s'est reconverti dans les accessoires pour turboréacteurs. De façon certainement non exhaustive, nous avons trouvé dans Aviation week des indications sur certaines de ses réalisations, datant de 1972.

Le calculateur de commande des entrées d'air du chasseur F15 (moteur Pratt et Whitney F100) est une machine spécialisée, installée en deux exemplaires, refroidis par air, dans le compartiment avionique de l'avion, et tout à fait minimale: mémoire de programme 1024 \* 16 (splittée 2 \* 8) en ROM MOS, plus PROM TTL 256 mots, RAM TTL de 32 mots, ALU, multiplexeur et codeur. Le cycle de calcul prend 11,5 millisecondes.

Les données viennent de quatre capteurs Solartron de pression, soit pression statique et pression totale concernant l'avion, et les mêmes concernant l'entrée d'air. Le système comporte une alarme incorporée pour panne, et une logique de secours, actionnée par un poussoir emergency du tableau de bord, qui permet à l'avion de rentrer dans des conditions aérodynamiques définies.

Une prise de test permet de brancher l'appareil sur une mémoire externe, lors de la maintenance.

Hamilton réalise aussi le calculateur beaucoup plus complexe qui règle les débits de combustible pour le moteur F401 des chasseurs embarqués Grumman F14B. C'est un calculateur parallèle 16 bits fonctionnant à 500 KHz, réalisé comme suit :

- CPU construit par tranches de 2 bits avec 8 circuits Intel et trois ASIC de Motorola, 14 opérations.
- une carte de mémoire de programme 2816 \* 16 bits, portant 22 circuits 256 \* 8 bits en PMOS.
- une carte de mémoire de travail 96 mots, en 22 circuits TTL de 16 \* 4 bits
- les constantes essentielles forment une mémoire reprogrammable de 128 bits, à base de cavaliers.
- l'alimentation produit du 5 V pour la logique, du 15 volts pour les périphériques analogiques, et du 30 volts pour les moteurs.

Les entrées de ce système sont : 4 résolveurs multiplexés sur un convertisseur, un multiplexeur de tensions avec son codeur, 5 signaux numériques (nombre de Mach, trois flags (rocket fire, idle reset, trim remove) et une voie de rechange, 2 vitesses de rotation des deux arbres coaxiaux du moteur.

Les sorties du système sont 4 moteurs à impulsions (ouverture de tuyère, réglage d'injection, position des volets d'entrée de turbine, et "Mach number position motor" ?) et 8 sorties numériques (3 flags, 5 solénoïdes).

L'ensemble de ce calculateur est refroidi par la circulation du kérosène qu'il contrôle, et sa température ne doit pas dépasser 200 °F (93 °C).

### 299 - le Model 750 de Handtop Computer

Ce notebook au format A4, pesant 1,25 Kg, n'a pas eu plus de succès que chacun de ses concurrents, et pour les mêmes raisons générales : changements d'habitudes, efficacité médiocre du clavier tactile.

La machine comprend un CPU 80C186 qui sera plus tard remplacé par un 386SL, la mémoire et l'écran. Tous les périphériques lui sont extérieurs, ce qui paraît une erreur commerciale : leur gestion est assurée par un 80C196, dans un meuble de table relié au notebook par infrarouge.

### 300 - Harris Corporation

La société Harris-Intertype Corporation, de Fort Lauderdale, Fla, était probablement, d'après son nom, occupée dans l'imprimerie. Mais elle avait très tôt cherché à se diversifier, puisque nous la voyons acheter, en 1959, la société PRD Electronics, Inc. dont le métier est de fabriquer des testeurs. Nous la trouvons, en 1969, fortement impliquée dans ce domaine, produisant des testeurs sur camion pour hélicoptères, puis plus particulièrement l'AN/USM 335, testeur en atelier pour les hélicoptères lourds de la Marine.

La compétence reconnue de l'entreprise conduit la Marine à généraliser l'emploi de ses matériels : le testeur AN/USM 247, construit en 1969 pour le porte-avions Kittyhawk, et incorporant à cet effet des testeurs spécialisés pour les avions F14, A7E, S3A et E2C, est le premier d'une série d'équipements pour les CVN.

C'est toujours Harris-Intertype qui fait en 1974 l'acquisition de la Datacraft Corporation et de son produit DC 6024. On peut comprendre que, voyant poindre à l'horizon proche les techniques de photocomposition, elle ait éprouvé le besoin de disposer de ses propres ordinateurs. Le DC 6024 devient son produit phare, dont l'architecture va dominer toutes les réalisations de la maison pendant plus d'une décennie. Le souvenir d'Intertype disparaît de l'intitulé de la corporation.

Cette présentation des faits ne doit pas être prise au pied de la lettre, car elle ne concerne que la fraction informatique de l'entreprise, qui ne dépassera jamais 20% du chiffre d'affaires. A côté de ce métier, Harris s'occupe aussi de composants, de communications et à l'occasion de contrats gouvernementaux, tels que :

1972 : AN/URC 58, émetteur/récepteur HF pour tous types de modulations

1976 : AN/URC 94, émetteur/récepteur 2 à 80 MHz pour tous types de modulations.

Son chiffre d'affaires de 1975 est 479 M\$.

Harris décide donc, en 1974, de s'intéresser sérieusement à l'informatique. La société ne part pas de zéro, cependant : on a trouvé trace d'un produit COM 500 datant de 1969 qui prouve que Harris avait, avant cette date, décidé d'élargir son champ d'action en vendant des terminaux. Mais il ne pouvait guère s'agir que d'une "mise en jambes" commerciale, car le terminal lourd que la société proposait pour \$ 14500 ou \$ 672 / mois avait lui-même été acheté à Singer / M&M.

Autour du calculateur Singer, les terminaux, fonctionnant exclusivement en RJE, cad sans aucun calcul local, comprenaient LC 150 à 600, IP 300 ou 600, un écran de commande, et une seule ligne BSC, capable de 2000 à 56000 bauds. Pas de temps partagé à cette époque.

Ainsi restreints en ambition, ces terminaux se voulaient par contre parfaitement universels, et le client pouvait choisir un ou plusieurs protocoles synchrones parmi la variété des exigences des constructeurs : 2780 / 3780 ou HASP pour IBM, Burroughs TC, CDC 200, Honeywell OERTS, Univac DCT 2000.

Conservant cette activité de fond, Harris va d'abord faire fructifier sa nouvelle acquisition. Les noms de Slash / 7 et Slash / 6 ont été utilisés initialement, pour souligner la continuité du produit, puisque Datacraft s'était arrêtée au DC 6024 / 5 ; mais bien vite, il est apparu que le / 4 était le modèle porteur et le nom initial de Harris / 4 cèdera la place à un nouveau nom de famille, S 120. La production démarre donc comme suit :

- la série S décline l'architecture de base autour de mémoires à tores à mots de 24 bits, en trois niveaux commerciaux, ouverts à la gestion :

S110 est 96 (24 ou 48) 768 KB et utilise des disques en cartouches de 10,8 MB. Prix \$ 85000.

S120 commence à 192 KB et pour le reste est semblable, le prix de \$ 125000 payant seulement cette mémoire, mais ouvrant de plus riches possibilités en matière de périphériques.

S130 commence à 288 KB et utilise des disques de 40 MB, au prix de \$ 155000.

Le choix de périphériques comprenait LR 300, PR 75, LC 1000, LC 500 / PC 100, ME 30, IP 300, des bandes magnétiques 36 KB / s, des cassettes 30 cps, et un grand choix de lignes téléphoniques : jusqu'à 128 lignes synchrones à 9600 bauds, ou asynchrones jusqu'à 19200 bauds, avec les protocoles déjà cités.

Le logiciel était un OS à 256 partitions fixes manifestement inspiré par cette multiplicité de lignes, avec un choix de langages, assembleur, Basic, Fortran, Cobol et RPG. Il pouvait en option disposer d'une base de données avec langage d'interrogation, et aussi être exploité en RJE.

- le Slash / 7 garde encore la vocation plus floue de miniordinateur polyvalent et peut recevoir une mémoire MOS de 32 à 256 Kmots de 24 bits + 2 parités, avec un cycle audacieux de 430 ns et un temps d'accès de 300 ns ; une protection de mémoire est proposée en option. Cette machine exécute l'addition en 580 ns et dispose d'un débit d'entrées / sorties de 1,9 Mmots / s, en 3 à 12 canaux qui peuvent être accélérés par des DMA optionnels, avec 4 à 48 interruptions.

Le choix de périphériques est un peu élargi, avec un disque fixe de 10,8 MB en plus des amovibles de 2,7 MB à 300 MB, et des floppies de 310 KB ou 1,2 MB. Tout le reste comme ci-dessus.

Le logiciel est dit tridimensionnel parce qu'il sait juxtaposer temps réel, batch et temps partagé (sans garantie de performances en cas de conflit). On ne parle plus de base de données ni de RJE, mais on propose des langages exotiques comme Forgo ou Snobol.

Prix : \$ 55000 avec 32 Kmots, + \$ 30000 pour passer à 64 Kmots. On voit que c'est encore la mémoire qui est chère.

En 12 / 76 sort le premier processeur étudié par Harris, construit autour des puces AMD 2901 qui améliorent notablement la productivité. Ce Slash / 6 complètement compatible est une nouvelle machine avec une mémoire MOS dotée d'un ECC à 5 bits, qui allonge légèrement le cycle à 450 ns et l'addition à 600 ns mais améliore sérieusement la sécurité en temps réel. Les entrées / sorties sont poussés à 2,3 MB / s, avec 8 à 24 interruptions.

Prix : \$ 17900 en 16 KB, + 5500 \$ par 16 K supplémentaires. Cette baisse considérable cumule les effets du nouveau processeur et du quadruplement de la capacité des chips de mémoire à prix pratiquement constant.

La nouvelle famille S115 / 125 / 135 transpose l'approche commerciale précédente à ce nouveau processeur et introduit la mémoire virtuelle avec un nouveau système d'exploitation, Vulcan.

Dans les années suivantes, l'intérêt sera relancé deux fois avec des versions vendues en packages à prix avantageux, mais non modifiables:

S123 de 1978 : \$ 120000 pour 144 à 384 KB, un disque de 40 MB, une bande de sauvegarde, IP 300 et le système d'exploitation Vulcan à mémoire virtuelle 768 KB.

S123B de 1979 : \$ 89000 pour la même fourniture, avec ME 180 au lieu de IP, et deux lignes asynchrones en supplément.

L'année 1977 voit un renouvellement des terminaux lourds, désormais basés sur le mini Interdata 7 / 16, offert en deux variantes de mémoire (cycle 1  $\mu$ s ou 450 ns) et en 6 variantes commerciales. Ce nouveau Datacomm 1600 jouira d'un grand succès à cause de sa souplesse d'emploi.

D'autre part Harris étend l'architecture Datacraft à 48 bits en gardant la compatibilité avec les S 1XX. La mémoire physique est étendue à 512 Kmots d'accès direct avec cycle de 300 ns, la mémoire virtuelle à 12 MB avec un nouveau Vulcan. En option, on peut obtenir un cache de 6 KB à cycle de 70 ns, et la virgule flottante dans une unité séparée. L'addition prend 720 ns, les entrées / sorties passent à 7,9 MB / s, avec 16 à 48 interruptions.

Le logiciel adapte tous ses processeurs à la nouvelle longueur, un Basic V est proposé en deux versions, incrémentale et compilée, qui coûtent \$ 5000.

Prix : le S550 capable de 48 terminaux, avec mémoire 160 Kmots, disque 80 MB, bande de sauvegarde 45 ips, 5 lignes dont une synchrone, et tout le logiciel, vaut \$ 255000.

Le S570 capable de 64 terminaux, avec mémoire 352 Kmots, disque 300 MB, reste idem, vaut \$ 376000. Il s'y ajoute en 1979 un bas de gamme S530 à \$ 170000, avec 64 Kmots, 80 MB de disques, une bande, et un contrôleur multiligne fonctionnant en DMA.

Une nouvelle machine, S800, compatible avec le S500, apparaîtra en 1979, avec une puissance de 1,5 Mops qui représente un progrès de 80%. Les nouveautés résident dans un cache de 2 Kmots, une architecture pipeline pour le processeur principal, la présence d'un FPP et d'un processeur de maintenance simultanés.

Le logiciel s'adapte (Fortran 77) et s'agrandit (APL multiutilisateurs, base de données Total).

Prix : le S850 capable de 96 terminaux, avec 160 Kmots de mémoire, 80 MB de disques, une bande, une IP 600, 2 lignes asynchrones ou une synchrone, et les deux consoles système et maintenance, vaut K\$ 285.

Le S870 capable de 128 terminaux, avec 352 Kmots et 300 MB de disques, reste inchangé, vaut K\$ 370.

Maintenant qu'il dispose d'une famille de processeurs temps réel de 24 et 48 bits, utilisables et largement utilisés en mode transactionnel, Harris se persuade qu'il est en compétition avec les grands de cette catégorie, DEC et Data General. Pour rester dans cette course, il est nécessaire de serrer les prix et de soutenir les performances par des renouvellements technologiques.

En 1981, il reprend ses modèles S, sans aucune modification architecturale, pour faire de nouveaux modèles H 300 / 500 / 800. Le châssis des nouvelles machines comporte un fond de panier à 19 MB / s, sur lequel on enfiche les cartes constitutives:

- processeur microprogrammé par une mémoire de commande 300 ns
- mémoire MOS à cycle de 400 ns, accès 290 ns, avec adressage 20 bits et ECC. La taille maximale de la mémoire physique est 512 Kmots, la mémoire virtuelle s'étend à 2 Mmots de 48 bits, divisés en pages de 512 mots de 48 bits.
- système d'exploitation Vulcan, avec Fortran, Cobol, Basic, RPG II, APL, Forgo, Snobol comme les précédents, et en outre C et Pascal.

Le premier modèle, H300, est prévu pour un maximum de 48 usagers, et orienté vers les communications, avec une mémoire minimale de 32 Kmots. Ce modèle coûte K\$ 100 avec 80 MB de disque, un écran et le logiciel Vulcan. Performance mesurée : 600 Whetstone, 220 US Steel (un test Cobol).

Le H500 est la même machine avec cache de 6 Kmots, 70 ns : il supporte 64 terminaux, délivrant 800 Whetstone ou 360 US Steel.

On a pu croire un instant que le H800, annoncé simultanément, en était la version biprocesseur, 128 terminaux, 1500 Whetstone, 700 US Steel. En réalité, c'est un nouveau processeur décomposé en processeurs parallèles, I unit, E unit, et FPP, avec une microprogrammation à cycle de 180 ns. Le système d'exploitation associé est VOS, un Vulcan retailé pour une mémoire virtuelle de 8 Mmots = 48 MB.

Au total, une refonte plutôt économique, que la firme complète en ajoutant à ces machines orientées transactionnel un bas de gamme H80 plutôt scientifique (option VF câblée 500 Whetstone) et temps réel. En cette année 1982, profitant de son ordinateur qui peut faire du temps réel, Harris obtient pour sa filiale PRD Electronics, habituée de longue date à ce type de production (voir plus haut), toute une série de contrats pour des appareils de test de gros matériels militaires:

AN/USM 470 est le testeur automatique de l'avion embarqué F/A 18, basé sur l'emploi du bus de mesure IEEE 488. Le logiciel est Atlas.

AN/USM 470 V2 est le même matériel, adapté aux test de l'hélicoptère LAMPS Mk III de la Navy.

AN/USM 484 est basé sur le même principe, mais destiné au contrôle en atelier de divers sous-ensembles communs à plusieurs appareils.

Cependant, ce n'est pas impunément qu'on choisit de se placer en position de concurrence avec Digital. Désormais, Harris doit moderniser ses calculateurs aussi vite que ses labos le permettent. Or 1983 est une mauvaise année pour tout le monde, et notamment pour Harris dont le CA global tombe de 1818 à 1642 M\$, avec des bénéfices faibles (4% du CA) et stagnants. Il faudra évoluer avec les moyens du bord.

Néanmoins Harris, qui veut élargir son domaine, profite de ce point bas pour acheter Lanier, une firme de bureautique, pour 275 M\$. C'est un succès durable qui marque un virage dans la vocation du groupe, et qui se renforcera dans les années suivantes par d'autres achats, en particulier Exxon Office System Co qui sera incorporé dans le secteur Lanier Business Products.

En 1983, apparition du H700, un processeur 48 bits plus simple que le H800 en ce que son processeur principal n'est pas pipeline, ce qui ramène son débit dans l'intervalle 644 - 785 Kips. Pour le reste, on retrouve les données connues : cycle de microprogrammation de 300 ns incluant divers services du VOS, cache optionnel à \$ 35000, FPP optionnel à \$ 10935. La machine minimale vaut \$ 49900.

La mémoire de 2 Mmots maximum présente maintenant un cycle de 335 ns, un temps d'accès de 250 ns. Aucun programme ne peut en occuper plus de 1 Mmots. Une option de mémoire partagée permet de faire communiquer jusqu'à 6 H700, sous la seule réserve que la mémoire vue par chacun d'eux ne dépasse pas 2 Mmots. Les disques prennent soudain une place importante, grâce à l'invention d'un contrôleur intégré, cad microprogrammé. Le maximum permis est de 48 disques, soit 85 GB.

En 1983 également, le nouveau sommet de gamme est le H1000, machine microprogrammée à cycle de 75 ns, pipeline 7 étages, I et E unit séparées mais la dernière incluant cette fois le processeur VF. Le tout est réalisé en réseau de portes ECL. La mémoire partageable, les caches, le processeur de maintenance, les canaux autonomes microprogrammés, bref toutes les inventions précédentes sont conservées, mais l'architecture ne change pas, ce qui fait désormais apparaître la taille de mémoire comme une limite contraignante. Cette machine est capable de plus de 4000 Whetstone DP, ce qui signifie 4 Mops dans des conditions de mesure bien définies et réalistes.

Le H1200 de 1985 s'efforce de remédier à cela par de nouveaux types de mémoire, en particulier deux caches de 2ème niveau de 8 Kmots pour instructions et données, et un nouveau bus mémoire 64 bits, 80 MB/s.

En 1984, le H60 devient le nouveau bas de gamme, au dessus duquel on propose toujours le H700 puis le H1000. En réalité le processeur du H60 est le même que celui du H700, la différence provenant des options de partage de mémoire et du sélecteur pour disques.

Harris semble s'être lancé en 1983 dans la fabrication de composants, qui n'était pas sa vocation : le succès d'AMD face à Intel pouvait donner l'illusion que c'était facile et jouable. Il se trouve que le produit choisi, une version CMOS du 8086, fut un succès, au point que Intel en acheta la licence.

Ce 80C86 en version standard statique fonctionne à 5 MHz et adresse 1 MB. Il consomme 500  $\mu$ A en standby, 10 mA/MHz dans tout l'intervalle 0-5 MHz. Harris l'a poussé jusqu'à 8 MHz où il ne consomme que 60 mA, et peut en fournir sur demande une version qui tolère les températures de -55 à +125 °C. Il est rigoureusement compatible avec la version NMOS.

Maîtrisant sa technologie, Harris offrira à partir de 1984 une foule de périphériques qui forment un meccano complet pour la construction d'un PC AT : 82C37A DMA, 82C52 interface série, 82C54 timer programmable, 82C55A interface programmable, 82C59A gestion d'interruptions, 82C82 octal latch et son inverseur 82C83, 82C84A générateur d'horloge, 82C86 bus transceiver et son inverseur 82C87, 82C88 bus controller, 82C89 bus arbiter, et une collection de mémoires : 6516 mémoire synchrone 2K \* 8 bits accessible en 120 ns, 65162 mémoire asynchrone 2K \* 8 bits avec temps d'accès 90, 75 ou 55 ns, et 6664 mémoire asynchrone 8K \* 8 bits, temps d'accès 175 ns.

Harris produira aussi le 80C88 pour avoir la clientèle de tous les stricts compatibles IBM.

Il ne semble pas que cette réelle réussite ait poussé Harris à un changement de métier, et on ne parle plus guère, après cela, de composants Harris autres que des expériences.

Par contre, dès 1984, Harris devient parfaitement conscient du handicap que lui inflige son architecture Datacraft à 48 bits dans un monde désormais totalement acquis, à travers l'architecture PC et la prépondérance de IBM, Intel et Windows, au byte et au mot de 32 bits.

Harris fait donc étudier par la société Computer Console un calculateur 32 bits, d'une puissance de 7 Mips, basé sur un processeur RISC microprogrammé à la vitesse de 100 ns/clock. Ce HCX7 donne forcément, avec son programme de compatibilité, une impression de déjà vu : bonne machine, conçue pour UNIX, il était destiné à la CAO et en avait la capacité, mais Harris n'est pas parvenu à s'imposer dans ce milieu fermé.

Autre tentative contemporaine de Harris, décidément envahi par le doute : c'est un calculateur modulaire, compatible avec le HCX7 précédent, et basé sur un 68020 à 16,7 MHz. Les réalisations prennent place dans un châssis Multibus dans lequel on pouvait enficher :

- des cartes CPU comprenant cache 8 KB, MMU, coprocesseur, Ethernet
- des cartes mémoire jusqu'à 256 MB réel et 4 GB virtuels
- une grande variété de périphériques Multibus I, parmi lesquels une carte d'interface disque SCSI

Le fond de panier contient en fait trois bus : le bus mémoire, le Multibus I pour les entrées/sorties, et un bus d'acquisition en temps réel. Le convertisseur du bus mémoire 32 bits au Multibus 16 bits récupère les deux moitiés du mot pour pousser le débit au maximum de 6 MB/s.

Le logiciel standard comprend UNIX V avec des extensions Berkeley 4.2, et des compilateurs C, ADA et Fortran 77.

Ce matériel est livrable à partir de 7/86 en deux tailles :

MCX 3 contient 2 CPU dans un châssis 12 slots et peut servir 12 usagers, prix \$ 18700 à 32000.

MCX 5 contient 4 CPU dans un châssis 26 slots, et peut servir jusqu'à 64 usagers, prix \$ 73000.

Assez inattendu, le calculateur RTX 2000 de 1990 est une production de Harris Semiconductors, destinée à usage de contrôleur. Il s'agit apparemment d'un microprocesseur et non d'un ordinateur, mais sa conception est tout à fait originale : architecture à pile (zéro adresse), langage Forth servant de système d'exploitation. Il est supporté par un système de développement.

On n'a aucune idée du succès ou de l'échec de ce produit, complètement indépendant de l'activité commerciale de la Corporation, essentiellement orientée transactionnel.

Si nous revenons à celle-ci, nous pourrions retenir que Harris s'est résolu à abandonner l'architecture Datacraft et à faire allégeance à Motorola, comme beaucoup d'autres. Dès 1989, il annonce la famille Night Hawk 3000, réalisée à base de 68030. L'idée directrice est que tous les usages de l'ordinateur sont désormais temps réel, aussi bien les simulations qui matérialisent ce type de fonctionnement dans l'esprit du public que les invocations multiples et simultanées de base de données par les systèmes de gestion transactionnelle.

Les divers modèles du Night Hawk, 1000, 1200, 3000, sont donc des collections de processeurs sans cesse en train de passer d'une application à une autre sur la base d'interruptions. Conçu précisément pour cela, les NH ne demandent pas plus de 5  $\mu$ s pour prendre en compte une interruption, pas plus de 60  $\mu$ s pour un changement de contexte.

Pour gérer cette puissance, Harris offre trois systèmes d'exploitation: CX/UX est simplement l'Unix V d'ATT, pour les systèmes standard où la pression est modérée, même si la concurrence est constante entre les terminaux; CX/SX en est une version sécurisée, dans laquelle la perte d'un processeur ou d'une ressource quelconque ne se traduit par la perte d'aucune information, seulement d'un peu de performance; et CX/RT est le vrai système temps réel, dans lequel toutes les tâches sont rédigées en code réentrant interruptible et ne cessent de s'imbriquer au rythme indiqué plus haut des interruptions.

Dès 1990, l'apparition chez Motorola du RISC 88000 décide Harris: ce microprocesseur est beaucoup plus performant que les 68000, même s'il n'est pas aussi souple et ne peut atteindre à la même universalité que par logiciel. Dans le NH 4400, on rassemble autour d'un bus 100 MB/s :

- des hypermodules à 2 ou 4 CPU 88100, appuyés sur un cache 32 KB formé de deux 88200.
- des modules de mémoire locale de 16 MB sur bus dédiés
- des modules de mémoire globale, jusqu'à 128 MB à base de puces de 4 Mbits
- des entrées/sorties sur bus HVME à 40 MB/s, se partageant 7 lignes d'interruption.
- des interruptions directes, au nombre de 4, edge triggered (cad déclenchées par un front d'impulsion).

Le logiciel reste le CP mentionné précédemment, avec ses trois variantes.

Prix : à partir de 280 KF pour 16 MB de mémoire, 320 MB de disques avec contrôleur SCSI, une cartouche de sauvegarde sur bande de 125 MB, Ethernet, 5 slots de réserve, et Unix.

En septembre 1991, le 4400 S est une variante minimale, de la taille d'un PC, comportant une carte mère à 5 slots, et deux cartes filles en standard pour Ethernet et le contrôleur SCSI. On peut donc en faire une station de travail, mais Harris reste à l'écart de ce métier, marqué principalement par les aspects graphiques plutôt que par le temps réel.

A l'autre extrémité du spectre, le NH 4800 est simplement le déploiement de ce concept jusqu'à 8 CPU par module, et jusqu'à 8 modules par système, essentiellement à finalité temps réel. La mémoire peut s'étendre à 192 MB, les caches sont portés à 64 KB. Le prix pour une configuration telle que citée plus haut commence à 585800 F avec 389 MB de disques, et 8 slots d'extension.

Apparemment ces systèmes se sont très bien vendus: Harris fait état de 1500 systèmes dont 50 en France, à mi 92. Cette année-là, Harris passe au NH 5800, qui diffère du 4800 par :

- CPU 88110 incorporant 16 KB de cache primaire, assorti d'un cache secondaire de 256 KB relié au CPU par un bus capable de 400 MB/s. Vitesse 50 MHz.
- Mémoire locale maximale de 32 MB par CPU.
- Bus d'entrées/sorties HVME 64 large de 64 bits, 80 MB/s.

Les prix commencent à 380 KF pour un 5801 comprenant un processeur capable de 100 Mips, et peuvent monter à 2,5 MF pour un 5848 à 8 processeurs, capable de 800 Mips.

Le changement dramatique pour Harris, survenu vers cette époque, est la décision de Motorola d'abandonner la famille 88000 au profit du PowerPC. On ignore de quelle manière ce constructeur a pris le virage, et si même il a pu le prendre. Le fait que nous n'ayons plus rien trouvé dans la presse informatique sur Harris au delà de cette date ne prouve pas grand chose, car nous n'avions pas un accès permanent à cette presse. Mais dans une compétition avec DEC, l'avantage pour ce dernier de disposer de son propre microprocesseur Alpha est un avantage important - sauf que, même avec cet avantage, DEC n'a pas pu protéger son indépendance !