

VOLUME VI

INFORMATIQUE NON AMERICAINE

seconde partie

par l'Ingénieur Général de l'Armement BOUCHER Henri

## TABLE DES MATIERES

### Informatique non américaine Seconde partie

746	Informatique en Grèce	1
747	Informatique hollandaise	2
748	Informatique israélienne	11
749	Informatique italienne	14
750	La carrière d'Olivetti	15
751	Histoire de l'informatique au Japon	19
752	Les machines de Fujitsu	29
753	L'informatique d'Hitachi	41
754	L'informatique chez Nippon Electric Co	53
755	L'informatique chez Mitsubishi	66
756	Oki Electric Industries	69
757	L'informatique chez Toshiba	72
758	Autres constructeurs japonais	78
759	Asie du Sud-Est	93
760	Informatique norvégienne	94
761	Informatique en Nouvelle Zélande	97
762	Informatique suédoise	98
763	Informatique suisse	104
764	Informatique en Irlande	107
765	Informatique taïwanaise	107
766	Informatique des pays de l'Est	109
767	Informatique soviétique	110
768	Informatique hongroise	123
769	Informatique polonaise	125
770	Informatique roumaine	127
771	Informatique tchécoslovaque	128
772	Informatique bulgare	129
773	Informatique de la DDR (Deutsche Demokratik Republik = RDA)	130

## 746 - Informatique en Grèce

Un petit pays agricole comme la Grèce, dont le redressement a été longuement retardé par la guerre civile, ne dispose d'aucune industrie informatique propre, ni même de filiale de constructeur. Tout au plus y trouve-t-on, dans les années 80 et suivantes, des agences commerciales d'IBM et de vendeurs de PC.

Au plan militaire, le retard de l'équipement grec est tout aussi notable, et le pays est entré dans l'OTAN avec l'intention avouée de négocier les bases qu'il accorde à l'organisation contre des crédits d'équipement, sous la forme d'une part statutaire des investissements qu'elle prévoit.

En attendant des décisions dans ce sens, il existe quelques firmes capables de petites fabrications ou de l'entretien d'installations faites par d'autres. On peut citer :

- cinq conduites de tir **Kanaris** ont été produites par Sperry en liaison avec GETEN, le centre de recherche de la Marine grecque. Quatre ont été installées sur les sous-marins 209, la dernière se trouve à terre pour l'entraînement. Il est probable que d'autres systèmes Kanaris seront installés, au fur et à mesure des besoins, sur d'autres bâtiments grecs.

- **Pythagoras** est un calculateur portable construit par Hellenic Aerospace Industry (EAB), une société de 3800 personnes fondée en 1976, essentiellement vouée à la maintenance des armes et équipements. Ce petit calculateur est préprogrammé pour s'adapter aux caractéristiques des canons américains disponibles dans l'armée grecque, les usagers (au niveau de la batterie de 6 pièces) n'ayant à afficher que les paramètres de tir. Il est construit autour de microprocesseurs 8 bits.

Les pages extraites de la revue internationale de Défense, décrivant le salon Defendory 1986 tenu au Pirée, donnent une idée du niveau très bas de l'équipement de ce pays et montrent bien que l'informatique ne joue encore qu'un très faible rôle dans les préoccupations des autorités militaires.

## 747 - Informatique hollandaise

Sitôt la guerre finie et l'ordre rétabli dans le pays, les universitaires hollandais, comme ceux de tous les pays d'Europe sauf la France, se sont intéressés à l'informatique. Ici c'est le Centre Mathématique de l'Université d'Amsterdam qui s'est mis à construire des machines, en commençant par une **ARRA 1** à relais (1951), et en continuant immédiatement avec une **ARRA 2** à tambour magnétique et tubes (1953), bizarrement baptisée ainsi par continuité alors que R veut dire relais.

Cette seconde machine attira l'attention de la Royal Dutch Airplane Factory, qui en demanda une copie, baptisée **FERTA** (1955), laquelle fut assez rapidement suivie d'une **ARMAC** (6 / 56) commandée spécialement. La coopération entre université et industrie marche apparemment partout sauf en France.

L'administration aussi joue son rôle de découvreur : les PTT financent la réalisation, par le Professeur Van der Pol, d'un calculateur à tubes, relais et tambour magnétique baptisé **PTERA**, qui constitua le prototype de la machine Zebra réalisée ensuite par Stantec. Elle était exceptionnellement lente pour une machine à tambour, 20 ops/seconde, et pas très fiable, mais elle contenait des idées originales qui justifient le succès économique de son successeur (1953).

Nous disposons, au sujet de cette PTT Elektronische Reken Automat, d'un document PTT dont tous les articles sont écrits par Van der Poel, malheureusement en hollandais, document complété par les schémas logiques détaillés. Voir fiche.

Cependant, comme le veut la logique dans tous les pays sauf en France, c'est ensuite l'industrie qui se penche sur l'informatique naissante, avec une société Elektrologica fondée à La Haye, expressément pour réaliser des machines. Nouvel exemple de coopération, l'initiative vient d'une compagnie d'assurance, Nillmij, qui finance la société de production, tandis que la conception du prototype se situe au centre mathématique d'Amsterdam.

C'est la naissance de la **X1** (voir fiche et deux manuels de 1959) et aussi celle d'une vocation, car la première X1 est installée au Centre Mathématique d'Amsterdam, et c'est là que Dijkstra, futur guru de l'informatique européenne, réalise pour elle le premier compilateur Algol 60 du pays, sinon de l'Europe (voir document de 1961).

On notera que cette X1 est transistorisée, tourne à 500 KHz, et dispose d'une mémoire de 32000 mots à tores magnétiques, terriblement ambitieuse si l'on songe que le module de l'époque est 512 mots.

Suit, quatre ans plus tard, une **X8** à compatibilité ascendante, beaucoup plus perfectionnée et 8 fois plus puissante, ce qui justifie son sigle. Commercialement, il apparaîtra vite nécessaire de réduire cet écart en proposant des machines de puissance intermédiaire, qui seront baptisées **X2, X3, X4, X5**, exactement compatibles. Voir fiches.

La plus importante firme industrielle de Hollande est Philips, dont le siège est à Eindhoven, et qui touche à la fin de la guerre à l'électricité, à l'électronique et à l'électroménager. Philips ne pouvait ignorer l'informatique naissante et, dès 1956, le Philips Research Laboratory d'Eindhoven construit **PETER**, une machine série comportant une mémoire principale à tambour magnétique 2048 \* 20 bits, et une petite mémoire de travail de 32 \* 20 bits à tores magnétiques. L'addition prend 20  $\mu$ s, la multiplication 700  $\mu$ s.

Cette expérience technologique réussie, le laboratoire entreprend la construction de **PASCAL**, le Philips Automatic Sequence CALculator, une machine parallèle à mot de 44 bits clairement destinée au calcul scientifique. Le tambour subsiste, mais la mémoire principale est désormais la mémoire à tores de 2016 mots, cycle de 6  $\mu$ s, la différence avec le chiffre cablé de 2048 mots correspondant à 32 registres adressables divers. La technologie est mixte, tubes dès qu'il faut de la puissance, transistors et diodes pour la logique. Voir fiche.

Les scientifiques sont satisfaits, et Philips construit pour ses besoins de gestion un second exemplaire, **STEVIN**, qui ne diffère du premier que par un choix de périphériques légèrement différent. On doit supposer que les personnels affectés à la programmation de la gestion sur STEVIN ont perçu les difficultés et que cela a contribué aux décisions qui ont suivi.

Après ces prototypes, Philips décide de s'implanter en informatique, mais tâtonne encore. Nous avons des traces d'un PR 8000 en 1965, et d'une facturière ER 3600 en 1968 (fiche).

La vraie décision intervient vers 1968, avec l'achat de NV Elektrologica, dont la série X est un succès. Installée à Appeldoorn, la firme s'appelle Philips Data System et comporte cinq divisions : machines de bureautique, ordinateurs, périphériques, centre de calcul, petits ordinateurs, la dernière étant la plus floue, destinée à donner de la souplesse à la structure.

La division des ordinateurs, qui prend directement la suite de Elektrologica, annonce immédiatement une nouvelle famille **P1000**, caractérisée par la microprogrammation et la modularité. L'inspiration par la S/360 d'IBM est évidente, bien qu'il n'y ait pas de compatibilité. Le répertoire est décomposé en jeux optionnels, dont l'absence permet de moduler les prix. Les canaux largement autonomes sont de deux types, baptisés CATCH et BATCH, travaillant respectivement par caractères et par blocs de mots.

Trois modèles sont proposés pour commencer :

**P1100** est la machine de base, avec tous les jeux mais pauvre en périphériques, avec seulement un canal Catch pour les appareils de service, et deux canaux Batch dont un intégré pour bandes et disques, tous périphériques fournis en OEM par Control Data. Sa mémoire est 16, 32 ou 64 KB, cad petite. Son bloc de calcul en circuits intégrés travaille par byte.

**P1200** en diffère par un bloc de calcul 16 bits, qui multiplie les performances par 2 à 3. La mémoire est également agrandie à 64, 128 ou 256 KB, et peut être étendue avec 1 à 7 blocs de 2 MB, 2,5  $\mu$ s, tout à fait semblables à la LCS d'IBM. Le nombre des canaux est accru, 3 batch au lieu de 2 pour pouvoir ajouter des disques.

**P1400** est encore deux fois plus performante avec la même mémoire, et très probablement son bloc de calcul fonctionne sur 32 bits, avec les durées suivantes :

Addition 32 bits = 2,5  $\mu$ s, VF32 = 4  $\mu$ s, VF64 = 5,5  $\mu$ s, décimal  $10 + 10 = 6 \mu$ s.

Multipliation 32 bits = 12  $\mu$ s, VF64 = 26,5  $\mu$ s, décimal  $5 * 5 = 26 \mu$ s

Move 256 caractères = 137  $\mu$ s.

L'indexation coûte 0,5  $\mu$ s, l'indirection 1,5  $\mu$ s, ce qui suggère l'absence de pipeline.

Le nombre des canaux est encore accru, jusqu'à deux catch représentant 11 ou 19 sous-canaux, et jusqu'à 6 batch pour 2 à 8 périphériques chacun.

**P1075** ajouté en 1970 est une variante du P1000 dont on a enlevé tout ce qui ne sert pas à la gestion, pour en abaisser le prix. 125 opérations, 48 KB de mémoire.

**P1175** ajouté en 1972 est une variante commerciale du P1200, avec plus de modularité dans le jeu d'instructions et dans la taille de mémoire.

En résumé une famille clairement compétitive, à la condition que le client ait confiance dans un fournisseur qui copie les idées et sous-traite les périphériques.

Le logiciel est comparable à ce que propose IBM à la même époque, avec au choix un BOS, un DOS/TOS avec spool, et à partir de 1973 un MMS occupant 19 KB, offrant 12 partitions et le télétraitement. Les langages sont Algol, Fortran et Cobol, en plus d'un autocodeur assez classique.

La documentation est étoffée, comprenant :

- un article de Dinklo et de Vries sur la microprogrammation, qui utilise une mémoire morte à tiges magnétiques, où les fils matérialisant les microinstructions passent à droite ou à gauche de la tige. Elle est construite en blocs de 512 fils et 96 tiges. Le timing est 500 ns tétraphasé.
- une Autocode Reference Card, dépliant aide-mémoire de tout le répertoire P1000.
- un gros document en deux volumes décrivant les quatre jeux constitutifs du répertoire, base, décimal, virgule flottant et pile.
- quatre notices illustrées décrivant les possibilités individuelles des quatre modèles cités plus haut.
- un document illustré sur les communications dans le système P1000, servant d'introduction aux familles **P9200** (qui sont des DDP 416 ou 516) et **P350**, terminaux lourds capables d'autonomie sur des tâches bureautiques.
- et pour finir un catalogue de 1970, abondamment illustré, couvrant tous les matériels commercialisés à cette date par Philips Data Système.

L'architecture P1000 va durer plusieurs années, apparemment avec un succès insuffisant pour rendre bénéficiaire la division correspondante, et c'est donc elle que Philips apportera à Unidata, la première tentative d'informatique européenne, conçue par CII et Siemens.

La machine **Unidata 7.720**, bas de gamme proposé par Philips comme participation à cette entreprise, était en réalité une machine en cours d'étude dans la filiale belge de Philips, MBLE. Annoncée en 1973, pour prendre rang, dès que les deux promoteurs de l'opération eurent agréé Philips comme partenaire, cette machine bas de gamme était essentiellement une Siemens 4004, dont la microprogrammation pouvait être adaptée pour construire les codes R des Iris 50 et le code P des P1000.

La machine était prête en mai 75, alors que le gouvernement français venait de mettre fin au projet en acceptant de racheter une grosse part de Bull à Honeywell pour créer une CII / HB, orientée très différemment. Philips n'avait dès lors plus d'intérêt à soutenir le projet, et la 7.720 n'eut pas de suite, Philips se cantonnant désormais dans son bas de gamme.

La vocation de Philips n'est pas particulièrement de s'occuper des problèmes de temps réel, mais il arrive à la compagnie, soit dans le cadre de ses besoins propres, soit à l'occasion d'un contrat de système, d'éprouver le besoin d'un minicalculateur à tout faire, comme le DS 714 en 1967.

Philips prend position sur ce point en 1968 en achetant la licence des machines DDP 416 et 516, devenues entre temps Honeywell, et en édifiant autour d'elles un système de temps partagé à 32 terminaux. Dans le catalogue 1970 de la division NV Philips Elektrologica, on trouve que le calculeur de ce système, baptisé **P 9200**, est en réalité la combinaison d'un 416 gérant les terminaux et d'un 516 assumant les calculs et la gestion des autres périphériques (combinaison Honeywell 1648) ; les périphériques associés, décrits dans ce même catalogue, sont le télétype KSR P9203, les lecteurs de cartes de NCR P 9211 / 2 / 3, les lecteurs de bandes perforées P 9218 et P 9225, l'imprimante P 9231 à 450 lpm, le dispack P 9248 de 1,79 ou 3,58 MB (sur 6 disques !), et les bandes P 9254 / 5 / 6 à 16, 36 et 80 ips.

Philips semble avoir également pris la licence d'un calculeur plus modeste, baptisé 9205, mais on ne connaît aucun système qui l'ait utilisé.

Le principal matériel de bureautique proposé par Philips est en 1969 le **P 350**, un calculeur microprogrammé physiquement logé à l'intérieur de la machine la plus importante du système, l'imprimante, laquelle est en général une machine comptable: elle peut comporter des chariots multiples et des avaleurs de comptes magnétiques.

Le résultat de ces diverses possibilités est l'existence de variantes physiquement incompatibles, mais formant néanmoins une famille parce que la programmation est commune. La mémoire, qui loge d'une part les microprogrammes permettant d'associer des comportements précis aux touches de fonction et de définir des séquences d'action, d'autre part les données, reste modeste et n'a pas de frontière fixe entre les deux usages.

Nous possédons dans le catalogue 1970 deux présentations du **P352** à cartes et du **P353** à compte magnétique, mais la fiche montre une diversité bien plus grande.

La transformation de cette machine, en 1970, en calculatrice scientifique **P 350S**, est un avatar inattendu et plutôt rétrograde : la microprogrammation permet certes d'adjoindre aux quatre opérations une collection de fonctions mathématiques, mais la taille de mémoire restera toujours une forte limitation, et les riches possibilités de l'imprimante sont de peu d'intérêt pour cette application.

La **P359** de 1972, caractérisée par une imprimante à chariot plus large, et la possibilité d'ajouter de la mémoire à disques, est au contraire une évolution naturelle, douteuse du point de vue du rapport performance / prix, mais compréhensible dans une PME qui ne peut envisager de disposer d'un programmeur à plein temps.

Pour continuer à suivre la production de Philips, il semble préférable, à partir d'ici, de suivre la chronologie, car il semble bien que devant les aléas de la politique et du marché, la planification démissionne et l'empirisme du marketing la remplace, pas toujours avec succès.

**P 850** est un 16 bits économique, puisque la mémoire à tores est organisée en mots de 8 bits. La présentation de lancement, avec un design original, n'engage en rien le constructeur qui la commercialisera en réalité en racks ou en OEM. Cette façon d'aborder le marché rappelle celle du célèbre Nova de Data General, mais le succès sera bien moindre. Voir fiche et catalogue.

La commercialisation est assurée par la Small Computer Division, qui gère aussi les P 9200. C'est dire que cette division n'a pas d'objectif précis et doit trouver ses clients là où elle le peut.

**P 880** est aussi un 16 bits, non compatible avec le précédent, et poursuivant un objectif très différent bien qu'il soit confié à la même division. Sa finalité semble être de constituer des terminaux lourds pour gérer une grande variété de périphériques, décrits dans le catalogue 1970 ; il peut aussi s'attaquer au marché de l'IBM 1130.

Nous disposons d'une documentation importante : system description, operators guide, programmers guide.

**P 855, P 860** Il s'agit de la commercialisation en OEM, à partir de 11 / 71, du calculeur P 850 jusque là objet de vitrine. Les deux versions diffèrent par la mémoire et le répertoire :

Le P 855 utilise une mémoire de 4 à 16 Kmots, cycle 1,6  $\mu$ s, accès 500 ns, et un répertoire de 60 opérations, extensible en option.

Le P 860 utilise une mémoire de 4 à 32Kmots, cycle 840 ns, accès 300 ns, répertoire complet (mpy, div, double précision) avec de nombreuses options de service, notamment 48 niveaux d'interruptions hiérarchisées, 16 niveaux de trappings, la protection de mémoire.

Les deux versions qui ne diffèrent que pour des raisons marketing sont bien dotées en logiciel temps réel et choix de périphériques adaptés.

**DS7** est un calculateur de gestion de téléphones pour les entreprises, selon une recette abondamment éprouvée par IBM et quelques autres. C'est un 16 bits avec mémoire à tores de 4 à 16 Kmots à cycle 2  $\mu$ s, largement extensible. Le bloc de calcul dispose de 7 registres et d'un répertoire de 32 opérations. Jusqu'à 128 interruptions.

Il semble que ce matériel existe depuis assez longtemps, peut-être même depuis 1967, au sein d'une branche Telecom n'ayant guère de relation avec la branche informatique. On connaît l'installation du SITA, qui dispose d'une mémoire de 256 KB, et une commande indienne comprenant deux CPU à mémoire de 128 bytes et deux disques de 2,1 MB.

Nous avons une trace d'un DS714 à mots de 36 bits, a priori ancien par conséquent, que son sigle permet d'attribuer à ce même groupe de télécommunications. Il est d'ailleurs présenté comme "data exchange" multiprotocole, avec une mémoire trop grande pour son époque.

Il semble que Philips ait longtemps préféré la négociation directe avec les grands comptes, et ne se soit décidé qu'en 1975 à promouvoir un PABX pour entreprises, le UH 900.

**MCCS** est un contrôleur industriel construit autour de la puce Intel 8008. Le promoteur est ici Philips Industries, et il semble exister des interactions avec Philips Data Systems, puisque la programmation du contrôleur peut se faire sur P 855.

**Calculateur de l'ANS** L'ANS est un satellite astronomique dont le calculateur a été commandé à Philips, dont l'organisation ne se prêtait pas bien, a priori, à ce type de travail exigeant et unique. Le calculateur se présente comme un parallélépipède allongé, pesant seulement 8,8 Kg et ne consommant que 8 Watts. La mémoire se compose de 7 blocs de tores magnétiques, 4K \* 16 bits, dont 6 spécialisés dans les données et un pour les programmes ; ces affectations sont cependant modifiables depuis le sol. Il s'agit de tores au lithium de 20 mils ; leur commande exige deux alimentations, +16 et -5 V. La logique se compose de 160 circuits intégrés MSI, en TTS à faible consommation.

**P 300** apparaît en 1974, sous le nom incorrect de Unidata 300 qui manifeste les intentions peu scrupuleuses de Philips lorsqu'il s'introduit dans le consortium. Le P300 est en effet un ordinateur de bureau sans aucune ressemblance avec les machines du projet Unidata, qui vise plutôt la clientèle du P 350 vieillissant. La nouveauté est la possibilité d'enregistrer les programmes sur minicassettes, pour chargement rapide d'applications. Voir fiche illustrée.

**P 450** a été de même commercialisé en 1974 comme l'Unidata 450, de façon tout aussi abusive. En fait il s'agit d'un rajeunissement de la famille 880, avec une mémoire à tores réalisée en modules de 8K \* 16 bits, cycle de 880 ns, taille 24 à 64 Kcaractères. L'adressage fournit 24 bits. Le bloc de calcul travaille sur 16 bits et propose 54 opérations, soit 16 binaires (add = 19,6  $\mu$ s), 7 décimales (add 5 + 5 = 45  $\mu$ s), 5 alphanumériques, 9 conversions, 17 commandes (branch = 7,2  $\mu$ s). Les entrées/sorties peuvent débiter 2,1 Mcar/s. Elles concernent un choix important de périphériques : LC 300 ou 600, en 80 ou 51 colonnes ; PC 50 ; IP 200, 600 ou 900, sur 132 caractères par ligne ; disques en cartouches de 2 \* 2,5 ou 2 \* 10 MB ; bandes magnétiques, cassettes, terminaux écrans, lignes. Le logiciel comprend un DOS autorisant 4 tâches simultanées, avec des compilateurs Cobol et Fortran. La présentation de l'UC est en forme de bureau, avec clavier intégré et écran de commande.

**P 852** est une version OEM, processeur sur une carte, de l'architecture P 855. Les cartes proposées comprennent, outre le CPU, des modules de mémoire à tores de 4, 8 ou 16 K \* 16 bits ; des modules programme sur ROM ou PROM jusqu'à 32 KB ; un contrôleur d'entrées / Sorties pouvant servir de point de départ à un bus pour 64 périphériques, distance maxima 15 mètres (ce qui est un peu contradictoire !), 63 niveaux d'interruptions, 16 registres banalisés ; une carte DMA. Prix du jeu de cartes de base avec 4 KB : 12000 FFHT.

**X1150** En 1974 encore, Philips rachète Four Phase, probablement pour sa clientèle américaine plutôt que pour son calculateur, mais cela l'oblige à mettre le matériel courant de cette marque à son catalogue. On ignore si l'opération a été rentable, bien qu'elle ait clairement - et provisoirement - sauvé Four Phase. On renvoie à cette rubrique américaine. En 1978 en tous cas, le constructeur est suffisamment intégré pour que son calculateur devienne une famille P 7000 de Philips en Europe.

**P 410** En 1975 l'intermède Unidata se termine dans la confusion, au moins en ce qui concerne Philips. Le P 410, dont nous avons une photo, remplace définitivement le P350, dans un rôle inchangé comportant usuellement une imprimante à deux chariots et possibilité de comptes magnétiques. La nouveauté, qui le distingue des P 300, réside dans les quatre tourne-disques de 10 MB, et la possibilité de 6 terminaux écrans.

**P 856, 857** Modernisation des P855 et 860, avec une mémoire à cycle de 700 ns en modules de 32 Kmots (856) ou 128 Kmots (857). Tout le reste est inchangé, bien que l'existence de microprogrammes de diagnostic améliore nettement l'exploitation. Ces matériels, dont nous possédons les manuels, ont par exemple été utilisés en 1978 pour la réalisation du PABX DSX 60, destiné aux petites entreprises avec une capacité de 50000 à 100000 bauds, tous protocoles.

**P 851** est le même matériel que ci-dessus, commercialisé en OEM avec une complète modularité, les cartes étant toutes des produits indépendants. L'Euromicromini, au nom accrocheur, est produit en France à Fontenay aux Roses. Voir fiche.

**P 330** de 1978 nous ramène aux machines comptables qui constituent le fond de clientèle de Philips, et semble continuer la série P 300 : le minibureau intègre la machine comptable avec clavier alpha + numérique, deux alimentations frontales, une machine à écrire 100 cpm à 7 \* 9 aiguilles capable de 5 copies, et un écran surélevé avec 24 \* 80 caractères dont une ligne de dialogue. Malgré cette apparence, c'est bien désormais un ordinateur, avec 2 à 4 lecteurs de disquettes de 490 KB (77 pistes, 51 secteurs de 128 caractères), et une ligne téléphonique optionnelle. La mémoire est plafonnée à 18 KB. Le prix de base est de l'ordre de 130000 F, et une personnalisation de la programmation est possible pour 10 à 50 KF.

**P7000** de 1978 est un calculateur capable de traitement local et de commande de terminaux, néanmoins limité en puissance et capacité de mémoire. Il travaille en RJE avec un système central et joue donc le rôle double d'un terminal lourd et d'un calculateur départemental..

**P 430** est un contemporain tout à fait semblable, mais avec une mémoire de 32 à 128 KB, et un maximum de 7 postes de travail. Chacun de ces postes comprend un écran 24 \* 80 dont deux lignes de service, un clavier alpha + numérique, une ME 100 à matrice 7 \* 9, une cassette à 2 pistes contenant 2,6 Mbits par face. En option, deux cartouches de disques 4,5 + 4,5 MB, accès en 35 ms. Voir photos dans la fiche du P 300.

**LDB 4201** Philips est à l'origine d'une norme de cassette, qu'il a inventée en 1970 pour ses applications musicales plus qu'informatiques, mais qui répond correctement aux besoins informatiques des petites machines bureautiques. Cette cassette est série monopiste, inscrite en modulation de phase à 800 bpi, déroulée à 3,75 ou 7,5 ips avec start 15 ms, stop 20 ms. La bobine de 282 ft est rebobinée en 40 secondes. Le débit usuel est 750 cps. Le lecteur de cassette mesure 4,4 \* 5 \* 7" (soit 112 \* 127 \* 178 mm), pèse 2,27 Kg, fonctionne en 24 volts et coûte \$ 485.

Le LDB 4201 de 1978 est une modernisation de cet équipement, adaptable à tous les modes de connexion, parallèle, série RS 232C, ou boucle de courant. Il incorpore un microprocesseur et assure un contrôle d'erreur, se présentant comme une boîte à 10 boutons et 9 témoins.

Le LDB 4101 ne sait qu'écrire, et se présente comme un remplaçant "plug to plug" de la perforatrice de bandes Facit 4070. Il existe aussi en modèle de table à 5 boutons et 5 témoins.

**PTS 8000** de 1979 est un contrôleur pour informatique distribuée, permettant la constitution de réseaux éventuellement maillés, qu'il faut cependant relier à un ordinateur central de traitement.

**P 853** de 1980 est, à en juger par son sigle, un successeur compatible des P856 / 7, réalisé à Fontenay aux Roses en liaison avec Signetics, le bras micro de Philips. Ce microprocesseur de 16 bits occupe 36 mm<sup>2</sup> et s'insère dans un mini deux fois plus performant que le 851., vendu 4000 à 8000 \$, plus précisément \$ 4900 en 32 KB.

La mémoire peut comprendre jusqu'à 64 KB d' EPROM, et 32 KB de DRAM 500 ns. Il est prévu de proposer en même temps une mémoire de masse à bulles de Rockwell.

Le CPU comprend deux puces en HMOS 3,5 μ :

- SP 16 / 20 C est le microprocesseur proprement dit, comprenant ALU, CROM, logique de bus et d'interruptions, additionneur fp des adresses, décodeur, et les 16 bits fp des registres.

- SP 16 / 23 C est le MMU, dans lequel on trouve aussi les 16 bits FP des registres, la partie FP de l'additionneur d'adresses, les bases, le descripteur de segment, la protection de mémoire. Le bus, qui se prolonge vers l'extérieur pour autoriser ultérieurement (objectif 6 / 81) l'addition de deux coprocesseurs décimal et flottant, comprend 16 bits de données et 24 bits d'adresse physique. Les adresses virtuelles sont longues de 32 bits, décomposables en 16 bits de page (64K ou 256 mots) et 16 bits de déplacement. On voit que le CPU Signetics est aussi ambitieux qu'un 68000, mais son destin ne sera pas aussi brillant. En fait, il ne sortira pas de l'étroit domaine du 853.

**P 858, 859** également de 1980 est compatible avec la famille et avec le précédent, mais nettement plus puissant. Le 859 dispose d'une mémoire MOS de 1 MB en 4 cartes de 128 Kmots de 16 bits + 5 ECC, cycle 650 ns, accès 350 ns, adressage sur 20 bits; le 858 comprend 128 Kmots de tores à coïncidence, également en 4 cartes, chacune 32 Kmots de 16 + 2P, cycle 700 ns, accès 350 ns. Ces calculateurs coûtent \$ 20000 à 30000 pour le 859, \$ 15000 à 20000 pour le 858. Les deux MMU permettent une mémoire virtuelle organisée en pages de 2 Kmots.

**P 2000** est une machine de table, prévue pour fonctionner en Basic, avec des objectifs comparables à ceux de la 5100 d'IBM. Elle mesure 470 \* 410 \* 110 mm et pèse 5 Kg. Elle contient 4K de ROM + 4 à 16 K externes pour les programmes, 20 à 52 KB de RAM, un lecteur pour des cassettes de 120 KB, un clavier alpha + numérique, un signal sonore d'erreur et des touches de fonction. L'alimentation existe en 110 / 1 / 60 ou en 230 / 1 / 50. En options, les périphériques peuvent être un ou deux minifloppies de 218 KB, un écran 24 \* 80 car, une ME 25 ou 45 à marguerite, une ME 125 à aiguilles, et une ligne. Voir photo en boîte 185.

**P 4500** est une version multiposte compatible du P 400, réalisée en 1980 autour d'une technologie moderne pour combattre le s/36 d'IBM. Jusqu'à 32 postes de travail sont possibles, qui travaillent normalement en COBOL. Le calculateur central paraît simpliste, bien que ce soit lui qui fait le travail : son répertoire ne comprend pas même de multiplication. Par contre, il peut être enrichi en mémoire et en périphériques de disques. Ses fonctions seraient ainsi celles d'un 8100. Voir fiche.

**P 8400** est un microprocesseur, réalisé par une filiale allemande de Philips, Valvo. Le produit, comparable au Intel 8021, contient une UART 100 Kbit/s, 20 bornes bidirectionnelles d'entrées/sorties, et deux interruptions. L'alimentation se fait en 5 Volts, la base de temps à 4,43 MHz est aussi externe et conduit à un cycle de 6,77 µs par instruction. Le produit existe en deux gammes thermiques, -10 + 70 et -25 + 85° C, probablement issues par tri d'une fabrication unique. La présentation est en DIL 28 broches, une version en flatpack étant prévue pour les calculateurs personnels.

Les nombreuses variantes distinguent entre les quantités de mémoire :

- 8400 : 128 bytes de RAM, et montage piggyback pour 4 ou 8 KB d'EPROM.
- 8405 : 32 bytes de RAM, 512 bytes de ROM
- 8410 : 64 bytes de RAM, 1024 bytes de ROM
- 8420 : 64 bytes de RAM, 2048 bytes de ROM
- 8440 : 128 bytes de RAM, 4096 bytes de ROM.

**P 3500** est un successeur du P2000, prévu pour fonctionner avec 1 à 5 usagers, chacun doté d'un Z 80A et de 64 KB, interconnectés par Multibus grâce au logiciel TurboDOS de Software 2000. Les autres périphériques partagés sont une ME matricielle 120 ou 300 cps sur 132 caractères de large, un contrôleur de disques pour deux lecteurs de disquettes 5,25", ou pour une disquette et un disque de 5 ou 10 MB.

Le logiciel comprend le RM/Cobol de Ryan Mc Farland, le Basic 80 de Microsoft, le Multibasic de Control C Soft Inc., et tout ce qui vient avec le système d'exploitation CP/M 2.2.

Les prix sont 22500 FF pour le CPU avec deux disquettes .  
44000 FF pour le CPU avec disquette et disque dur.  
19000 FF par poste de travail supplémentaire (Z80, 64 KB, écran).

**VG 5000** est un essai de calculateur personnel réalisé en France par RTC (la Radiotechnique) pour le marché français. Pour 1590 FFTC, on obtient un microprocesseur Z80A à 4 MHz, 18 KB de ROM pour le Basic Microsoft, 24 KB de RAM dont 13758 pour l'utilisateur, un clavier AZERTY avec 33 fonctions Basic et 10 lettres accentuées, un écran 25 \* 40 en format 8 \* 10 points, 8 couleurs. Tous les constituants sont séparés et reliés par des fils : écran, clavier, lecteur de cassettes, lecteur de disquettes. Les extensions possibles comprennent :

- une extension de mémoire 16 KB et une interface de ME pour 800 F.
- une interface manettes de jeu pour 200 F.
- une imprimante matricielle.

Les logiciels proposés comprennent 13 cassettes de jeux, 8 programmes d'EAO, 3 logiciels de gestion. On espère intéresser les éditeurs pour la suite.

**P3100** de 1985 est un compatible PC-XT, sur lequel il n'est pas nécessaire de faire d'autre commentaire que commercial, puisqu'il est parfaitement compatible. Voir photo et appréciation de ce matériel vendu en France en boîte 185. Prix de base 25200 FF avec deux disquettes.

**LEP 68070** Le LEP est un laboratoire de Philips, installé en France, qui publie une revue annuelle. L'exemplaire 1985 de cette revue nous a permis de découvrir que Philips a fait réaliser par sa filiale RTC, probablement à l'occasion d'une licence Motorola, un microprocesseur baptisé 68070, défini par le LEP pour être aussi efficace à moindre encombrement et moindre consommation que le 68010. Réalisé en CMOS 2 $\mu$ , ce microprocesseur incorpore, en dehors d'un répertoire identique à celui du 68000, un DMA, un MMU, un timer, une interface RS232, une interface I2C. Il peut donc être considéré soit comme un microcontrôleur, soit comme un concurrent du 68010. On ignore l'usage qu'en a fait Philips.

C'est également au LEP qu'a été étudié, de 1978 à 1981, un microprocesseur 16 bits SP 16C en deux versions et deux composants, capable de gestion de mémoire virtuelle. C'est donc un concurrent du précédent et là non plus, on ne sait pas l'usage qui en a été fait.

**P3200** de 1986 est un compatible PC / AT, construit autour d'un 80286 à 6 MHz sous MS / DOS 3.1, avec 512 KB à 16 MB de mémoire. La carte mère offre 8 slots, deux compatibles XT et 6 compatibles AT, plus un port Centronics et un RS 232C.

Le prix est de 43000 F pour 512 KB, une disquette de 1,2 MB et un disque dur de 25 MB, écran monochrome. En option, outre les accroissements de mémoire, on peut choisir des disques 32, 53 ou 85 MB, avec un temps d'accès de 28 ms.

Les logiciels très variés comprennent : KPRO pour la saisie de données, 4500 à 7000 F.

Traitement de texte à 3000 F.

Prologue de Bull pour jusqu'à 8 postes

Liaison de fichiers vers les P3500, 3800, 4000, 6000 et 8000 de Philips.

Protocoles de communications IBM BSC ou SNA, Bull VIP ou Questar, Univac UPS 200, DEC VT 52 et VT 100, et le réseau local LWSI de Philips, capable de 32 stations.

**8XCYYY** est la licence du contrôleur Intel 8051, qui fait suite à l'essai de Valvo sur le 8021. En

1990 il existe plus de 40 variantes autour du thème, particulièrement réussi, du 8051; en outre, il est possible de créer des ASIC autour de ces composants, mis sous forme de coeurs. Tous ces produits sont CMOS et peuvent travailler jusqu'à 30 MHz.

On trouvera en boîte 185 la liste commentée de toutes les versions créées par Philips de ce contrôleur.

**80C51BHS. 30** est la licence du 80C51 8 bits, pour laquelle Philips devient officiellement seconde source. Les puces Philips travaillent à 30 MHz, et exécutent 60% du répertoire en 400 ns. La consommation est de 44 mA sous 5,5 Volts. Le fonctionnement est possible de 0 à 70 °C.

Présentation : DIL 40 broches, PLCC 44 bornes, Quadflat 44 bornes.

Les deux opérations précédentes sont tout à fait rentables, comme on peut en juger à la nouvelle que Philips a vendu en 1983 pas moins de 57 millions de compatibles 8051 et 8048. Dix ans plus tard, ce succès se poursuit et en 1998 Philips détient 38% du marché des compatibles 80C51 avec une centaine de variantes couvrant tous les types de mémoire programme, de puissance et de périphériques.

80C51XA (1995) est un 16 bits compatible 8051, qui a divergé du projet Intel MCS 251 auquel Philips a d'abord participé, en vue d'en raffler les bénéfices avant Intel. Le modèle G3 contient 32 KB d'EPRAM, 512 bytes de RAM, un adressage 20 bits vers 1 MB de mémoire externe, 3 compteurs / timers 16 bits, un chien de garde, deux UART, 4 portes 8 bits configurables par programme, fonctionnement à 30 MHz, 100 ns par instruction. Alimentation de 2,7 à 5,5 Volts. Boîtiers compatibles.

Dernière péripétie : en 2000 Philips réalise une version MX qui peut adresser 16 MB, au lieu des 64 KB qui depuis l'origine limitaient la famille.

**famille SP50** est le premier DSP de Philips, réalisé en CMOS 2 $\mu$  en mai 1986. C'est le signe de Philips a compris l'importance de ces processeurs désormais réalisables sur une puce, dont un article d'Electronics présente les particularités, y compris une photo. Voir boîte 185.

**VSP** Le Video Signal Processor est une puce de traitement parallèle contenant 12 processeurs simultanés (1990), réalisée par le laboratoire Philips d' Eindhoven pour le compte d'une société irlandaise qui en assurera la commercialisation, *Silicon & Software Systems Ltd* de Dublin. Voir un court article en boîte 185, dans le dossier de Philips.

**REAL** est un coeur de DSP synthétisable, comme l'indique son nom qui signifie Reconfigurable Embedded Architecture Low cost. Il est destiné au domaine des communications, en particulier les téléphones portables. Sa particularité est de pouvoir s'exploiter, en fonction des besoins et grâce à une instruction VLIW de 96 bits de large, comme un jeu de deux multiplieurs 16 \* 16 avec deux UAL 40 bits, ou pour des travaux 16 bits plus classiques avec 4 UAL 16 bits et 16 registres. Il peut fonctionner jusqu'à 90 MHz et délivrer 150 Mips. Voir article en boîte 185.

**Trimedia** est un processeur conçu en 1997 comme une tentative de solution pour la réalisation d'un PC Multimédia : plus radicale que l'approche Intel avec les instructions MMX, cette approche risquée - et qui a échoué - consistait à définir un processeur d'architecture différente orientée vers la performance dans les tâches proprement multimedia, qui voisinerait sur la carte mère avec un compatible x86 économique. Le Trimedia est réalisé en CMOS 0,35 µ tournant à 100 MHz, avec une architecture VLIW : à chaque instruction, il existe 27 possibilités simultanées (plusieurs add et mpy en fixe et en flottant, un diviseur / racine carrée flottant, plusieurs DSP) et de plus pipeline.

Le Trimedia comprend un bus 100 MHz sur 64 bits qui assure l'interface avec la mémoire SDRAM et alimente les deux caches, I de 2 K mots et D de 5 KB. Sur ce même bus se raccordent un DMA, un PCI 32 bits, et un codec qui peut être relié à la video, à l'audio et au téléphone. Deux CPU exploitent la sortie du cache I, complétée semble-t'il par une ROM de 16 KB qui assure une sorte de microprogrammation :

- une liaison 32 bits, 50 MHz, dessert un CPU scalaire d'architecture ARM 7
- une liaison 256 bits, 100 MHz, concerne un processeur vectoriel qui fonctionne en mode SIMD.

Au total, cinq instructions par cycle.

Un bus auxiliaire 32 bits, 50 MHz, porte les servitudes de la puce : UART, Timers, gestion des interruptions. Au total, cette puce de 130 mm<sup>2</sup> était capable de 3,8 Gops (très disparates) ou 0,5 MFlops. Consommation 4 Watts. Prix prévu \$ 50 en quantités.

Ceci termine notre tour d'horizon étoffé des produits de la firme Philips, et il faut avouer que l'informatique n'a pas été un succès pour Philips. Les produits variés qu'elle a créés n'ont en général pas suscité une fabrication suffisante pour rapporter de notables bénéfices, et dans bien des cas la nécessité de renouveler sans cesse la technologie pour rester à niveau a maintenu la division dans le rouge. Finalement, Philips a reconnu cette insuffisance et abandonné l'une après l'autre les voies où elle s'était engagée, notamment la "grande informatique" dès 1975 et les PC vers 1990, pour ne conserver que les techniques indispensables aux autres applications, c'est-à-dire le temps réel et les composants.

Malgré la place importante que Philips occupe dans l'électronique hollandaise, et la place pratiquement unique qu'elle a longuement tenue dans l'informatique, il a existé en Hollande d'autres centres de compétence, pour l'essentiel au service des militaires. C'est un domaine où Philips semble s'être peu impliquée, probablement parce que ces applications ne figurent pas dans sa "culture d'entreprise". Nous évoquerons quelques unes des réalisations de cette catégorie :

**SATCO** est le Système Automatique de Contrôle Aérien, construit par NV Hollandse Signaal-apparaten que nous retrouverons dans la plupart des applications temps réel. La réflexion sur le système a commencé en 1956, pour aboutir à une phase 1 en 1961, une phase 2 en 1964, et un système complet reliant tous les radars nationaux et tous les centres avant 1970.

Un article recueilli dans *Interavia* décrit ce travail, mené avec une grande prudence au moins à ses débuts, quand on doutait encore des possibilités des ordinateurs et des réactions du personnel. Voir dans 185.

**Firebrigade** est le système national de surveillance du ciel militaire et de la commande des intercepteurs, réalisé pour l'armée de l'Air par la société britannique Elliott, à l'image de ce que cette dernière avait réalisé pour l'aviation britannique.

Le système est basé à Den Helder et couvre le pays avec un radar de veille et trois radars d'altimétrie, et ne nécessite qu'un seul calculateur MCS 920 pour diriger une console de commandement, 6 consoles capables chacune de conduire une interception, et une console d'introduction de données manuelles.

Le système est entré en service le 16 février 1965, et s'est intégré quelques années plus tard dans le réseau Nade de l'OTAN.

**SMR Micromin** est une production de Signaalapparaten destinée à tous les systèmes militaires de traitement de données. La photographie de 1971 ne donne pas l'impression d'un matériel aux caractéristiques militaires, même si l'ordinateur proprement dit n'occupe que la moitié de la 2ème armoire ; c'est essentiellement à cause de la fragilité probable des appareils à bandes, perforées et magnétiques. Le système a été vendu notamment à la Marine canadienne (DDE 259 Terra Nova).

**ITCIS** Il s'agit d'un système civil, créé par les PTT hollandais pour promouvoir l'usage des lignes téléphoniques en transmission de données. La société Pandata, filiale des PTT, s'est équipée d'un U 1110 biprocesseur vers lequel convergent les lignes de 600 clients travaillant en mode "demand", c'est-à-dire soit en temps partagé soit en transactionnel.  
Un article des FJCC 1972 (259-537) décrit ce service.

**Réseau de l'Armée** L'Armée de terre a passé commande à Philips Telecom, intégrateur, d'un réseau de communications télégraphiques installé sur camions et fonctionnant par liaisons filaires de campagne, ou plus probablement par relais herziens entre centres mobiles. Chaque centre peut desservir jusqu'à 120 lignes télégraphiques de 50 à 200 bauds, et quatre centres ont été commandés, dont trois opérationnels et un en réserve.  
Le calculeur de commutation de messages est un SMR. S1 à mots de 24 bits, acheté à Signaal Apparaten.

**Flycatcher** La conduite de tir d'artillerie antiaérienne est un des premiers problèmes posés à Signaal Apparaten, dès la fin de la guerre, dans le cadre de la réorganisation de la défense aérienne. En 1973, la firme est assez expérimentée pour s'estimer capable de concevoir un produit de cette classe, vendable aux nombreuses armées et marines qui ont des canons de DCA à guider. Le produit trouvera sa place dans un programme SHORADS pour la défense rapprochée des aérodromes et bases côtières, et sera exporté.  
Le calculeur est SMR. S, un calculeur 24 bits standard déjà utilisé dans divers programmes de la marine, ainsi que pour les frégates allemandes type 122 ; la mémoire est à tores, maximum 64 Kmots, par modules de 4 Kmots ; le débit global d'information est 100000 mots/s, et peut transiter en série sur de simples voies téléphoniques.

**AMSS** est l'Automated Message Switching System. Ce système destiné à l'Armée de l'Air (installations à terre) assure avec une grande fiabilité due à de nombreuses redondances la gestion des messages sur lignes téléphoniques et télégraphiques, réalisée au moyen d'une paire de calculeurs Philips DS714. La mémoire à tores magnétiques est réalisée en modules de 16K \* 32 bits, avec une extension maximale de 1 MB; des disques et bandes assurent les archivages à moyen et long terme.  
Voir article illustré en boîte 185, avec photo.

**Spectrum** est un système de combat intégré pour sous-marins, réalisé par Signaal Apparaten. Il intègre les sonars, le radar et les torpilles, et ne comprend pas moins de 10 calculeurs universels SMR.MU et plus de 25 microprocesseurs, pour aboutir à un ensemble de 4 consoles d'opérateurs.  
Voir article illustré en boîte 185.

**Verdac / FIST** est un calculeur d'artillerie, commandé à Signaal Apparaten en 1986 pour prendre la relève des FADAC d'origine américaine, en service depuis 1968. Le VERDAC est le calculeur, qui s'inscrit dans un meuble de table à écran. FIST est le réseau de liaison qui lie les observateurs, le QG et les pièces. Voir article en boîte 185.

## 748 - Informatique israélienne

Israël est un pays occidental qui vit de sa haute compétence technologique, dans un environnement peu favorable. Les chercheurs et ingénieurs du pays, formés en occident ou dans des universités israéliennes qui en recopient les méthodes, sont d'une grande compétence, et conscients que leurs produits ne pourront être vendus qu'à des occidentaux ; ils doivent donc être compétitifs.

Dès 1956 - l'Etat d'Israël n'existe que depuis 1949 ! - l'Institut Weizman réalise son premier ordinateur, simplement baptisé **WEIZAC**. C'est une machine à tubes avec mémoire à tambour, accessible uniquement par télétype et bande perforée associée. Vers 1964, le tambour a été remplacé par une mémoire à tores de Telemeter Magnetic.

Le bloc de calcul exécute l'addition en 50  $\mu$ s, la multiplication en 750  $\mu$ s, la division en 850  $\mu$ s, le stockage en 25  $\mu$ s, ces temps honorables prenant effet après l'installation de la mémoire à tores.

La machine est également dotée de deux dérouleurs Potter 905 de bande magnétique, capables de 5000 cps. Un convertisseur "off line", construit autour du tambour magnétique récupéré, permet de passer des bandes à une imprimante parallèle.

Dès la machine suivante, nommée **GOLEM**, entreprise en 1963, l'institut innove en introduisant une simultanéité entre bloc de commande qui dispose d'une arithmétique d'adresse et bloc de calcul en virgule flottante, et une autre avec les entrées/sorties qui sont gérées par un processeur séparé à 8 canaux, qui dispose de bandes magnétiques rapides avec autocorrection, et d'un disque IBM 1302. Cette machine fera l'objet de nombreuses discussions internationales, ce qui était précisément l'un des objectifs poursuivis.

Nous disposons d'un manuel technique de 1967. Voir fiche et boîte 186.

Le programme suivant, rendu public dès cette époque mais qui dut faire face à des difficultés de financement - j'ai été sollicité à l'époque en tant que participant à la commission informatique de la DGRST - consistait dans la construction d'un **Golem 2**, techniquement aussi innovant que le précédent, et qui devait en outre servir à des expériences de communications entre machines à travers un disque IBM 2302 à deux jeux de têtes, dans la ligne des essais IBM 7090 / 7044.

Cette machine comporte une mémoire à tores à adressage entrelacé qui permet une fréquence de travail élevée pour l'époque (10 MHz), une mémoire d'anticipation pour le bloc de commande, une organisation d'adresse paginée par 256 mots pour faciliter la multiprogrammation, une arithmétique d'adresse distincte du bloc de calcul, et un large choix de périphériques. Technologie MECL III.

Elle nous est connue par une présentation au Congrès IFIP de Stockholm 1974, voir 270A-49/54.

La Défense a également contribué au développement de l'informatique en construisant, dès 1961, un petit ordinateur SABRAC à tambour magnétique, de structure série, pour étudier les problèmes de temps partagé. Cette technique était jugée essentielle pour l'enseignement.

En 1967, le même laboratoire construit MAHATS, un ordinateur 24 bits à base de circuits à transistors discrets rassemblés sur de grandes cartes, destiné à expérimenter les applications temps réel. La mémoire de 4 à 64 Kmots est à tores, avec un cycle de 2  $\mu$ s. Le bloc de commande exploite des instructions de 1 mot, contenant 6 bits d'opération, 2 bits d'index, 16 bits d'adresse. Le bloc de calcul comprend accu, MQ, 3 index, un registre d'opérande, un registre d'adresse et un CO.

L'entreprise privée apparaît en 1968 avec *Elbit Computers*, qui réussira suffisamment pour devenir une filiale de l'américain Control Data. Son premier produit est l'**Elbit 100**, un ordinateur 12 bits pour l'instrumentation, sans doute inspiré par le succès du PDP 8 ou du LINC, mais sans relation technique avec eux. Nous disposons de la documentation d'origine en anglais.

On trouve ensuite un 16 bits, essentiellement construit pour réduire les frais du CDC 1700 et commercialisé aux USA par CDC dans de nombreuses applications de service, sous le sigle SC 1700.

L'expérience acquise permettra à Elbit, en 1978, de réaliser un 16 bits microprogrammé qui sera utilisé pour construire des terminaux lourds et des multiplex de saisie. Le **PACT** comprend une mémoire MOS, en modules 16 ou 32 Kmots, extensible à 256 Kmots. Le modèle usuel est 16 + P + garde, lecture 590 ns, écriture 990 ns ; il existe une version ECC avec des temps de 630 et 1035 ns.

L'adressage direct est limité à 64 Kmots, mais Elbit propose une mémoire de mapping pour aller au delà de cette limite. Le CPU contient 7 registres et le répertoire comprend mpy / div.

Les entrées/sorties sont assurées à 20 Kmots/s en liaison directe, 50 Kmots/s en transferts par bloc, 1 Mmots/s grâce à un DMA. 4 modèles de contrôleurs sur une carte sont proposés :

- un modèle polyvalent servant LC, IP, et une ligne, ajustable de 110 à 19200 bauds.
- un modèle de service pour LC, LR, disques et bandes
- un contrôleur asynchrone pour 8 terminaux, de 110 à 9600 bauds.
- un contrôleur synchrone BSC jusqu'à 19200 bauds.

En 1980, Elbit n'a plus de soutien américain et accepte une proposition de Nixdorf qui souhaite se lancer dans la commercialisation de compatibles IBM. Les produits **ANAT** seront vendus par Nixdorf dans toute l'Europe, avec exclusivité Nixdorf en Allemagne, en compétition en Europe, en OEM aux USA.

La machine est construite en TTLS à cycle de 200 ns, et vendue en trois modèles:

- le **Mle I** qui vise la 125.2 est limitée à 256 KB et coûte \$ 35000 en OEM.
- le **Mle III** attaque la 4331. Elle dispose de 512 KB de mémoire et intègre tous les contrôleurs, pour un prix OEM de \$ 43000.
- le **Mle V** qui vise la 148 comporte 1 MB de mémoire et une anticipation. Prix OEM \$ 63000.

La réalisation est conforme à la spécification 370, avec mémoire virtuelle, TLB de 64 adresses, DAT, les 3 horloges, les 3 formats de virgule flottante, et le dispositif instruction retry.

La mémoire est réalisée en MOS 16Kbits, et extensible jusqu'à 4 MB, avec ECC. Temps de lecture 500 ns, écriture 870 ns. La mémoire de commande est de même technologie, mais séparée : 4KB pour la I, 64 KB au plus pour les deux autres, avec possibilité de déborder sur la mémoire principale jusqu'à 128 KB.

Les entrées/sorties microprogrammées comprennent :

- un Byte MUX de 48 KB/s, capable de 250 KB/s en rafale. Option 4 de plus.
- un à trois BMUX à 1,5 MB/s.

avec un nombre maximum de 6 canaux et un débit global de 5 MB/s.

Il est prévu un processeur de maintenance, ne serait-ce que pour assumer l'IMPL puisque la microprogrammation est réalisée sur WCS.

Quand l'évolution de l'informatique met fin à cette course aux compatibles, Elbit se tourne vers la Défense et réalise tout d'abord un calculateur d'artillerie, juste destiné à se faire connaître, en réalité étudié sur contrat de l'armée. La réalisation matérielle, avec un poste de travail en forme de terminal de table, suggère une installation sur véhicule et des fonctions étoffées : un système **Combat** complet permet de relier 9 ou 10 observateurs avancés à un PC de bataillon et trois PC de batteries, les mêmes voies passant la voix et les données. L'ensemble minimal comprend un visuel de chef de section, un système de télécommunication pour chaque pièce et un visuel par appareil de pointage ; l'insertion d'un module logiciel dans le poste de PC permet de gérer 30 positions de pièces, 100 objectifs, 15 missions de tir simultanées, et deux ensembles de données météo.

Elbit se lance également dans le calculateur d'aviation, fournissant le modèle **ACE 3** pour les F16 et le **ACE 4** pour le chasseur national LAVI (1985 / 6). Cette machine de 5 Kg comporte une mémoire de 128 KB extensible, et exécute le jeu d'instructions MIL. STD. 1750 à 600 Kips ; elle commande le viseur tête haute du LAVI, ainsi que les deux écrans du tableau de bord.

*Elta Electronic* est la filiale d'électronique de la firme Israeli Aircraft Industries, créée pour la maintenance d'avions fournis par l'étranger ou récupérés sur l'ennemi, mais devenue capable de création d'avions de combat. La nature du besoin a rapidement conduit Elta à construire ses propres calculateurs embarqués.

Le **S 8600** de 1978 est une machine 32K \* 16 bits, présentée dans un boîtier ATR court.. La mémoire à tores magnétiques présente un cycle de 1,4 µs. La logique utilise des TTLS LP, avec une bonne performance identifiée par le temps de division, 7,2 µs. Boîtier typique, avec 40 Kmots internes, longueur 396 mm, poids 16,5 Kg. Performances mesurées : MTBF 5000 heures selon norme MIL. E. 5400, température de 71°C supportée indéfiniment sans refroidissement, et 910C pendant 30 minutes. Prix \$ 45000 .

Le **S 8611** reprend la même technologie dans des cartes de circuits disposées en longueur dans un boîtier demiATR pesant 12 Kg pour une mémoire 16 Kmots, cycle amélioré 0,8 µs. Performance mesurée : addition VF en 10 µs.

Ces deux machines sont microprogrammées, avec une marge importante de 40% pour la création d'instructions ad hoc. Il y a 16 niveaux d'interruptions hiérarchisées.

Le **S8610** est une proposition commerciale d' Elta visant à rentabiliser sa production par des séries plus longue. Le calculateur est plus polyvalent, et fourni avec un écran S 8630 et un disque, qui en fait un calculateur de table anticipant le PC. Voir photo.

Toujours pour des besoins militaires, on peut encore citer :

**ISAC 77**        calculateur produit en 1973 par MBT. C'est un 24 bits aéroporté avec mémoire 2 (2) 16 Kmots et un cycle de 200 ns.

**ELISRA**        Electronic System Ltd est le nouveau nom de AEL Israel Ltd qui fabrique toutes sortes de matériels électroniques militaires, notamment des dispositifs de surveillance de batteries pour les sous-marins. Une publicité en boîte 186 montre le calculateur aéroporté Elisra 1750, construit selon la norme architecturale MIL. STD. 1750A et logé dans un demi ATR. Il peut fournir 650 Kops dans un programme comportant 16% de virgule flottante. Le châssis contient trois slots qui reçoivent le CPU, une mémoire de 64 Kmots, deux timers, un chien de garde, un bootstrap, un arbitre de bus et un débogueur. Ce matériel est aussi vendu aux laboratoires avec un logiciel de mesures en temps réel. et une présentation civile, visible sur le même document (MDS 1750).

**TACTER**        est une gamme complète de produits tactiques Tadiran proposés aux armées ou commandés par elles, afin de mettre à la disposition des responsables opérationnels des informations à jour et d'en permettre la présentation et l'exploitation. On trouvera en boîte 186 des articles illustrant plusieurs de ces matériels.

En résumé, les fabricants israéliens d'électronique ont, en fin de notre période d'observation, toutes les compétences des meilleurs industriels américains de la partie, mais surtout ils ont réussi à faire admettre de figurer dans tous les appels d'offre officiels et, pour ne pas fournir de motif de rejet, ils s'astreignent à faire vérifier aux USA la conformité aux normes de toute leur production exportable.

## 749 - L'Informatique italienne

Les premières manifestations d'intérêt pour l'informatique en Italie sont comme partout universitaires, avec l'installation à Rome de **FINAC**, une Mk 1\* de Ferranti, puis la construction à Pise du **CEP**, le Calculateur Electronique de Pise (voir fiche), elle aussi inspirée par les travaux de Ferranti. Par la suite, l'Université de Pise est restée l'un des moteurs intellectuels de l'informatique italienne, soit par ses travaux locaux, soit par les étudiants qu'elle a envoyés aux Etats-Unis.

Nous disposons aussi d'un article paru en 1975 dans les TIEEE, C24, où des chercheurs de l'institut polytechnique de Turin exposent leurs efforts pour la construction d'un processeur de signal réalisé en ECL à partir de 1969. On y trouve très exactement les solutions évoquées dans 206 A - 307 pour la construction de multiplieurs parallèles.

Un autre article de 1981, tiré de Computer IEEE, décrit **MP 80**, l'aboutissement de travaux entrepris dans les universités de Florence et Bologne intervenant au profit d'une entreprise de la région pour réaliser un calculateur monocarte émulant, en beaucoup plus puissant, le microprocesseur IMP 16C de National Semiconductors. L'intérêt de l'opération est la microprogrammation partielle du système d'exploitation.

C'est en 1960 que l'industrie prend la relève, à l'initiative d'Olivetti, initialement un simple fabricant de machines à écrire. Sa contribution à l'informatique italienne est capitale, même si son destin a été quelque peu cahotique, fréquemment ballotté entre des capitaux étrangers. Voir rubrique suivante.

Vers 1970 apparaît *Insel*, qui construit la machine **MAEL 4000**, un calculateur décimal consacré à la gestion. Voir fiche et photo.

Cette machine ayant obtenu des résultats convenables en Europe, mais rien en Angleterre, Insel étudie une version **MAEL 2000** spécialement adaptée au marché anglais. S'agissant du même CPU, un microprocesseur Fairchild F8, la différence paraît consister dans des économies sur la mémoire : dans sa configuration maximale à 2KB de PROM et 24 KB de tores, on retrouve la MAEL 4000.

- pour £ 3400, on a le CPU, le clavier, une ME 60 à deux chariots, une visualisation 10 \* 80 avec tampon de 1 KB et sous l'écran 8 zones sensibles au toucher, qui peuvent servir à appeler 8 sous-programmes, ou 15 à l'aide du 8ème poussoir qui peut servir de commutateur. Cette configuration utilise une cartouche de 512 mots de PROM qui coûte £ 132.

- pour £ 5000, on ajoute deux cassettes.

- pour £ 8000, on ajoute deux lecteurs de disquettes et 1 KB de tores pour travailler avec eux.

- pour £ 10800, on ajoute 4 MB en cartouche type IBM 2310, et 2 KB de tores comme tampon.

Le logiciel de ces machines est entièrement sur PROM, préparées à partir de bandes perforées.

Une particularité de ce système est la possibilité de relier 4 MAEL 2000 à un même disque, grâce à une instruction Test Busy ajoutée au répertoire.

La machine **MAEL 5000** de 1978 est construite autour d'un calculateur GA16 de General Automation. Mémoire MOS de 48 à 128 KB, disques de 10 à 160 MB en cartouches ou en packs, un à cinq écrans 24 \* 80, une ou deux ME 120 ou une IP 600, une liaison synchrone 2780 permettant à la machine de fonctionner en RJE. Le logiciel est Fortran, Cobol 74 Level 1, Basic, ou un compilateur particulier intitulé Fortran commercial.

On peut aussi citer la firme de chimie *Montecatini Edison*, qui crée en 1969, pour ses propres besoins, le petit calculateur de laboratoire **Laben 70**. Voir fiche.

En 1970, plus banalement, la compagnie transforme cette activité en une filiale, IME = Industria Macchine Elettroniche, qui s'installe dans une vaste usine (document). Elle annonce une machine de bureau **IMEputer 660**, décomposable en un élément de calcul IME 86rm à trois registres et 4 mémoires de 16 chiffres décimaux, et un programmeur DG 308 contenant huit blocs de 64 pas. Cette machine qui coûte 35000 F peut faire l'objet d'extensions, une mémoire de 30 mots ou une machine à écrire pour les résultats.

En 1971, la division sort franchement de ses objectifs initiaux avec l' **IME 10000**, ou classe 10, une machine comptable au design élégant, avec 25 fonctions intégrées en scientifique ou 16 en gestion, et une mémoire de 1 à 10 Kcar. En fait la machine se prête à l'installation de périphériques, jusqu'à 10 entrées et 10 sorties, et coûte de 60 à 100 KFF.

La formule sera reprise plusieurs fois, en 1973 avec l'**IME 10001**, voir fiche ; puis en 1976 avec l' **IME 10003** qui est visiblement une installation de type facturière; puis encore un peu plus tard en une **IME 10005** qui semble en être une simplification.

La société finira par abandonner devant l'évidence que Olivetti fait mieux le même métier.

On termine, de façon certainement pas exhaustive, avec deux firmes intéressées par les matériels militaires.

- le **CMP 32** de l' *Officine Galileo* est un calculateur d'artillerie, qui doit alimenter par câbles les pièces de la batterie. Tous les pays ont fait cet exercice de base.

- **Selenia** est en 1970 une firme d'électronique encore peu connue lorsqu'elle réalise le **GP16**, qui est exactement ce qu'indique son sigle : un calculateur 16 bits sans objectif défini, avec une mémoire à tores de 4 à 32 Kmots à cycle 2  $\mu$ s, effectuant l'addition en 4  $\mu$ s. D'architecture absolument classique pour son époque, elle se signale par un tampon pouvant desservir un maximum de 62 entrées/sorties, chacune avec option DMA et interruption spécifique.

La machine dispose d'un répertoire complet de périphériques, tambour de 30 à 983 Kmots, bandes magnétiques, LC, LR, PR, ME, codeur et décodeurs, horloges, commandes de relais et autres interfaces temps réel. Les logiciels sont également riches : moniteur de base, virgule flottante, double précision, deux assembleurs, débogueur, compilateurs Fortran et Algol, utilitaires. Prix \$ 15500, plutôt élevé, mais on peut penser que la démonstration vise les militaires.

Même si la GP 16 n'a pas été particulièrement suivie, Selenia n'a pas cessé de participer à tous les programmes militaires européens, et on peut penser, sans avoir de matériel à citer, que dans les années 80 cette société est complètement capable de satisfaire les besoins informatiques des armes auxquelles elle s'intéresse.

## 750 - La carrière d'Olivetti

Olivetti est initialement une firme de machines de bureau et de machines à écrire installée à Milan. Son objectif est uniquement la gestion, de sorte que ses réalisations sont décimales et, par souci d'économie, série/parallèle par caractère de 2 chiffres.

L'ELEA 6001 est ce qui se rapproche le plus d'une machine scientifique, en ce que l'unité de mémorisation est le chiffre, mais il s'agit d'une arithmétique en longueur variable, fixe ou flottante ; l' **ELEA 9003**, synchronisée à une vitesse bien plus faible, se rattrape avec une mémoire à deux caractères par mot et obtient par conséquent des performances nettement supérieures. Ces deux machines, vendues en très petit nombre, permettent à Olivetti d'évaluer sa technologie et de décider de la suite.

Cette suite, qui survient en 1964, est l' **ELEA 4001**, avec une mémoire de 2 à 64 Kcar à cycle de 8  $\mu$ s ; l'adressage binaire indiqué par cette capacité suggère un caractère à 8 bits + P et un adressage par 2 caractères. L'arithmétique est alors basée sur deux chiffres par caractère, comme chez IBM, et la durée de l'addition 5 + 5 tombe à 530  $\mu$ s. L'architecture comprendrait 64 index, a priori en mémoire.

Grand choix de périphériques : LC 1500, PC 300, LR 400, PR 100, ME, IP 1100, bandes 83000 cps, disques de 21,5 MB, 70000 cps, accès 225 ms., trieuse CMC 7 de Bull.

Cette machine assez impressionnante semble être à l'origine du GE 115, qui s'est borné à l'alléger un peu. Son prix s'étage de 1800 à 4500 \$ / mois. A cette date, il ne semble pas que GE ait pris une partie du capital d'Olivetti : ce n'est arrivé que plus tard, vers 1969, quand GE a imaginé la série 60 et le level 62.

Complètement indépendante du succès précédent, la **Programma 101** est une calculatrice imprimante de table, programmable par cartes magnétiques externes, mais après mise en mémoire du programme, ce qui en fait presque une machine universelle. Elle sera reprise en 1970 sous le sigle **P102**, avec addition d'un canal d'entrées/sorties pour bande perforée utilisable pour la programmation, et bande magnétique. Il aurait même existé une voie temps réel, peu réaliste.

Il se serait vendu 5000 exemplaires de ces deux modèles, et encore 3500 autres de la version P203 sur pied qui est utilisée comme facturière.

Suit une période où Olivetti ne produit plus de calculateur sous son nom, sa production étant accaparée par GE puis HIS, et où sa production visible se compose de terminaux et de facturières.

**318** Télécopieur avec LR et PR, code ASCII (1967)

**328** Même équipement, imprimant majuscules et minuscules.

**338** Même équipement, avec trois programmes de tabulation au choix.

**TCV 250A** Petit écran sur pied de 7" de diagonale (178 mm), avec tampon de 248 caractères présentés en 8 \* 31, code interne ISO 7 ou BCD, clavier 7 touches (1968).

**TC 349B** Terminal bancaire câblé avec LR, PR, ME 15 cps, sans édition. Tampon de 512 caractères, liaison à 1200 bauds.

- TC 380** Terminal bancaire comportant en option LC, PC, LR, PR, IP, un tampon de messages de 256 caractères, et 8 registres de 15 caractères pour données locales. Le programme de 383 caractères actionne liaison 600 ou 1200 bauds en polling, périphériques, édition, totalisations, contrôles. Prix \$ 6900. (1969)
- TCV 260** Terminal pouvant comprendre LC, ME 40 cps, autour d'un écran 16 \* 64 avec générateur de caractères à matrice MOS 7 \* 5 points pour alphabet ISO 7 + P. Liaison 1200 bauds half duplex. (1970)
- TCV 270** Terminal comprenant écran avec tampon 480 (12 \* 40) à 1920 caractères (24 \* 80), clavier 66 touches, modem et option ME 165 (Century). (1974)
- TC 800** Terminal comprenant une UC 16Kcar (celle de l'Audit 7), un clavier alpha + num avec écran 260 caractères en option, une ME 50 équipée pour carnets et livrets à piste magnétique, un lecteur de badge, un lecteur de disquettes 500 KB, cassettes, et IP. L'UC peut commander plusieurs satellites et dispose d'un OS, d'un assembleur, et d'un utilitaire pour disquettes. (1974)
- 7750** est un lecteur de caractères CMC 7 comportant alimentation à friction, transporteur à courroie, débit 750 doc/min, lecture effective 1888 cps, dans un volume de 146 \* 70 \* 105 mm.
- DE 800** est le système de saisie Sycor 400, acheté en OEM, et rapidement remplacé par...
- DE 700** qui offre un CPU, une mémoire MOS, un ou deux lecteurs de disquettes, un ou deux claviers, un pupitre avec écran de 260, 480 ou 1920 caractères. Le logiciel de saisie comprend un langage de définition de champs et une table de validation des champs. Le système d'exploitation du type fore/background offre un batch en plus de la saisie, et des programmes de tri / fusion, copie de fichiers et de disque. Voir 3 fiches illustrées (1977).
- DCU 8070** Mémoire à disque (14") de 9,8 MB en cartouches fixe + amovible, pour extension d'un terminal de type TC 800. Voir fiche illustrée (1976).
- TC 480** Terminal constitué par une imprimante à aiguilles 30 cps et son clavier, pour toutes vitesses de 75 à 1200 bauds. Voir fiche illustrée (1977).
- TCV 280 NDL** sont des écrans avec tampons de 1920, 2560 ou 3440 caractères, dont 32 exemplaires compatibles IBM 3270 peuvent être réunis sur un contrôleur, avec machine à écrire, photostyle et lecteur de badge en option. Voir fiche illustrée (1979).
- WS 580** est de son côté un compatible IBM 3101, avec écran de 1920 caractères dont chacun occupe 5 \* 9 points dans une cellule 6 \* 12 points, alphabet de 96 caractères. Clavier alpha + numérique avec 13 touches de fonctions.

Dans un autre registre, **Vector 5000** est une expérience de 1969 pour un minicalculetur de 32K \* 16 bits à cycle de 1,6 µs, auquel on pouvait associer des bandes Ampex, des disques Memorex 630 et une imprimante Olivetti. A la mi 74, 75 de ces machines étaient en service pour des tâches de saisie, collecte de données, terminaux lourds, concentrateurs.

Olivetti renouvelle alors la machine, en deux versions à 32 et 128 KB, avec une mémoire à tores à cycle de 900 ns, 8 GPR de 16 bits, un répertoire de 400 opérations, la protection de mémoire, 4 niveaux d'interruptions vectorisées, et un DMA de 2,5 Mmots/s pouvant gérer LC 1250, IP 1200, cassettes, bandes, disques divers jusqu'à 160 Mmots, communications jusqu'à 50 Kbauds. Le logiciel comprend moniteur transactionnel, gestion de communications, assembleur, éditeur de texte, relieur, débogueur.

Le **S6000** de 1979 paraît reprendre ce type d'objectif de mini polyvalent, qui paraît bien éloigné des préoccupations du constructeur. L'origine du CPU est inconnue.

Dans le domaine bureautique, Olivetti se manifeste en 1970 avec l' **Auditronic 770**, une machine de bureau qui fait l'objet d'une fiche, et qui a été annoncée aux USA par Underwood. L'année suivante, l' **Auditronic 730** était une facturière programmée par une boucle magnétique continue de 1280 instructions, et disposant d'une mémoire de travail à tores de 30 mots de 14 chiffres : prix anglais £ 5000.

Le succès de la formule conduit Olivetti à la reprendre en 1974 avec l' **Audit 7**, construite autour d'un micro 8 bits, mémoire 16 à 48 KB MOS à cycle de 900 ns, capable d'une addition en 6,1 µs. Les trois modèles 80, 85, 90 sont différenciés par leurs périphériques, de la simple cassette au dispac de 40 MB. Voir fiche.

En 1975 c'est l' **Audit 4**, composée d'une machine comptable et d'un micro 8 bits nommé Olivetti 4000. Elle dispose d'une mémoire MOS de 224 bytes à accès 5 ms, et exécute l'addition en 150 ms ; les programmes sont chargés et mémorisés sur cassettes, la machine est fournie avec un assembleur et un package de facturation pour \$ 2395. Bilan très réussi, plus de 2000 machines vendues en fin 77.

Cette même année l' **Audit 5** utilise un Olivetti 5010, un microprocesseur national 64 bits qui dispose de 512 à 4096 bytes de mémoire MOS 1,5 µs et fait l'addition en 10 µs. Voir fiche pour trois modèles de 2250 à 5100 £. Au total ces trois machines se sont très bien vendues, 6500 exemplaires pour la seule France.

Il y aura ensuite, en 9 / 78, un **BCS 3030** construit autour du minicalcateur **D700** pour succéder à l' Audit 7, et une machine comptable compatible **BCS 2030**, à base de microprocesseurs Intel 8080, qui remplacera les Audit 4 et 5. Elle sera suivie d'une **BCS 2025**, puis d'une **BCS 2099**.

Enfin, pour succéder à la Programma 101, apparaît en 1971 la **P602**, avec une mémoire à base de registres de 128 bits, qui peuvent contenir soit 128 à 384 instructions, soit 12 à 3 nombres de 30 chiffres, les deux usages étant en compétition. Des cartes d'extension permettent de développer la formule jusqu'à 896 registres.

En 1973 la **P652** reprend complètement la formule, avec une mémoire MOS de microprogrammes à base de puces 64Kbits pour toutes les fonctions de base, extensible pour l'algèbre linéaire, l'arithmétique complexe et les statistiques. A partir de là la programmation se fait par cartes magnétiques de 600 instructions. La vraie nouveauté est dans les périphériques, bande perforée, traceurs, équipements de mesure, disques.

Voir fiches pour ces deux machines.

En 1976, une machine de table différente, la **P6060**, est annoncée pour faire concurrence à la 5100 d' IBM. La machine comprend jusqu'à 80 KB de mémoire, dont 8 à 48 KB pour l'utilisateur, qui programme en Basic. Le CPU est un Motorola 6800. Les périphériques comprennent un écran de 32 caractères, deux disquettes de 256 KB, et une imprimante à 80 colonnes. Voir photo.

Prix : \$ 7950 pour une mémoire 8 KB, 95000 F pour le système complet.

La **P6040** de 1977 est par contre plutôt une modernisation des concepts Programma, avec clavier riche, imprimante et cassette. Prix 17065 FFHT. Voir fiche illustrée.

En 1982, Olivetti renouvelle ses machines de table en créant la Linea 1, dont le prototype est le **M20**. Cette machine monobloc est construite autour du microprocesseur 16 bits Zilog Z8001, renforcé d'un Z8010 dans les modèles haut de gamme. La mémoire de base est de 32 KB, avec option pour 3 autres modules. L'écran orientable n'a que 12" de diagonale, et peut être graphique ou alphanumérique, monochrome ou couleur ; à côté de lui deux emplacements pour disquettes 5,25" de 320 KB, dont un peut recevoir un disque dur 9MB en remplacement.

Le logiciel PICOS est assez analogue à CP/M, et propose un traitement de texte, des services graphiques, un tableur du genre Visicalc, un émulateur 2780 et un émulateur de télétype. Prix de base 31000 F, plus 3000 F par module supplémentaire de mémoire, et 30000 F pour le disque dur.

A la même époque, les **M30** et **M40** sont des multipostes présentés en armoire, avec le même CPU mais des périphériques beaucoup plus étoffés :

- disque 5,25" de 10 MB fixe + cartouche de 5 MB pour le M30
- disque 8" de 18 MB fixe + cartouche de 20 MB pour le M40, ou ...
- 2 ou 3 disques fixes de 14" soit 28 ou 48 MB plus cartouche de 20 MB, ou ...
- ensemble SDC comprenant 67 MB de disques fixes et 13 MB amovible.
- lecteur de disquette 8" double densité, double face, 1 MB.
- bandes magnétiques Cypher de 1600 bpi.
- imprimante parallèle 300 lpm, imprimantes bancaires diverses.
- ME 100 à 250 cps à aiguilles, tête bidirectionnelle sur 132 caractères en 10 car/" ou sur 176 car de large en 16 car / " .
- choix d'écrans : 15" 25 \* 80, bancaires 9 ou 5", graphique 15", couleur 14" 25 \* 80 car.

Le logiciel reprend tout ce qui était proposé avec les prédécesseurs BCS 2000 et 3000, TC 800 et 1800, DE 700, cad un système multitâche, un Cobol 74 et un Fortran 77. Voir document illustré (1982).

Depuis 20 ans Olivetti fabriquait des unités centrales sans avoir la responsabilité de les commercialiser, sous les noms successifs de GE 115, Level 62, 62 DPS, DPS 4 puis DPS 4000, au profit de constructeurs / actionnaires qui changeaient un peu trop souvent : General Electric, puis HIS, puis CII / HB et Honeywell-Bull, puis Bull seul, avant que ce dernier ne se désintéresse de la production italienne .

La part européenne de 25% d'Olivetti achetée par Saint-Gobain pendant un court moment, est finalement revendue à ATT en 1984 après que Bull est nationalisée et ATT dérégulée. Logabax, qui en 1983 est achetée aux trois quarts par Olivetti et pour un quart par Saint Gobain, est devenue complètement italienne après la nationalisation de Bull. La société s'appelle alors Olivetti / Logabax en France.

Ces mutations majeures rendent particulièrement significatif le bilan 1985 de Datamation, qui place Olivetti au 12ème rang mondial, avec un CA informatique de 2518 M\$ sur un total de 3070 M\$, en augmentation de 18,5%., et avec 250 M\$ de bénéfice. Ce qui est intéressant est la répartition de ce CA :

- 40 M\$ pour les "mainframes", activité marginale. Il semble qu'après une période Fujitsu, Olivetti ait choisi de représenter Hitachi en Italie (115 machines installées).
- 348,8 M\$ de minicalculateurs, essentiellement de gestion.
- 884,5 M\$ de micro, essentiellement des PC quasi-compatibles.
- 84 M\$ de communications, concentrateurs, etc...

- 434,6 M\$ de périphériques, principalement terminaux
- 116 M\$ de logiciel
- 368,9 M\$ de maintenance
- 281,8 M\$ de divers, notamment consommables et services.

La mutation est donc réussie en apparence, avec les accords ATT et Xerox, qui ont représenté 190000 PC aux USA, 167000 en Europe et 18000 en Asie en 1985.

En 1984, nouveau renouvellement : le **M21** et le **M24** sont basées sur le 8086 avec coprocesseur 8087, une mémoire de 128 à 640 KB en DRAM, et le système MS/DOS. L'objectif de l'ATT, à l'origine de ce produit, est la compatibilité PC, telle que la conçoivent les acheteurs qui n'ont pas encore l'expérience du public. Destiné aux entreprises, ce matériel est vendu en France par Logabax sous le nom de Persona 1600 ; il fonctionne à 8 MHz, fournit une image graphique 600 \* 400 pixels non compatible, utilise des disquettes 640 ou 720 KB non compatibles, et en option un disque de 27 MB et un streamer de 20 MB. Ce matériel a eu d'excellents résultats, 500000 vendus en 1976 dont 180000 à l'ATT. La demande annuelle en France s'est stabilisée à 40000 par an.

En 3 / 86, les compatibilités approximatives ci-dessus ayant joué leur rôle délétère, Olivetti sort le **M19**, un PC-XT exactement compatible avec un 8088 à 4,77 MHz, 256 à 640 KB de mémoire, une ou deux disquettes de 5,25", 360 KB dont une peut être remplacée par un disque dur de 10 MB, et un choix d'écrans : 12" monochrome 640 \* 400 pixels avec clavier 86 touches, 14" à 2 ou 4 couleurs en 640 \* 200 pixels, ou en 16 couleurs en 25 \* 80 car, ou en 16 couleurs sur écran TV avec performances dégradées (25 \* 40 ou 320 \* 200 pixels). Prix 19250 FFHT.

En 1986, Olivetti aborde le domaine du transportable, avec un compatible **M22** mesurant 400 \* 90 \* 343 mm, pesant 5,5 à 8,2 Kg, incorporant une batterie à 10 piles ou un accu NiCd pour protéger jusqu'à 348 KB de la mémoire pendant les arrêts. La machine comprend deux 80C88 à 4,77 MHz, avec système MS/DOS ; le second processeur gère les fenêtres et les commandes dans une mémoire réservée de 96 KB. La mémoire comprend 256 KB à 1 MB, dont une partie, ajustable de 64 KB à 360 KB, peut être utilisée comme un disque virtuel et protégée. Il y a en outre un lecteur de disquettes 5,25" compatible 360 KB, en option un disque dur de 10 MB, un écran à cristaux liquides permettant 25 \* 80 caractères ou 640 \* 200 pixels, avec un clavier 85 touches. Prix 23375 FFHT ou \$ 3000. Voir photo en boîte 186.

En 1986 également, le **M28** est un compatible PC-AT à 60500 FF, vendu comme Persona 1800 chez Logabax.. Processeur 80286 à 8 MHz avec option 80287. Mémoire de base 512 KB ou 1 MB, extensible jusqu'à 7 MB en trois modules de 2 MB. Disque souple 1,2 MB, disque dur de 20, 40 ou 70 MB, option streamer intégrable de 40 ou 60 MB.

7 emplacements d'extension, choix de périphériques externes : autre lecteur de disquette, disque 20 ou 40 MB, streamer 40 ou 60 MB, interfaces Ethernet, Omninet, 10-net, IBM 3270.

Choix de systèmes d'exploitation : MS / DOS 3.10, UCSD, Concurrent DOS multitâche, Xenix 4 postes.

Choix de packages : Micro Pro, Ashton Tate, traitement de texte Olitext. Voir photo en boîte 186.

En 1987, Olivetti qui essaye sans grand succès de vendre les machines 3B d'ATT en plus de ses PC, aborde la Linea 2, **LSX 3000** basée sur des 68020 avec Unix. Voir photo en boîte 186.

En dehors de cela les PC passent au 386, mais rien de tout cela n'obtiendra un succès marquant, et les gigantesques effectifs d'Olivetti, près de 60000 personnes, paraissent bien disproportionnés avec les résultats. Il n'empêche qu'en 1998 on parle toujours d'Olivetti, pour noter par exemple l'apparition de serveurs 7400 et 9400 à base de Pentium II Xeon à 400 ou 450 MHz.

On peut également noter qu'Olivetti a acheté DSI, Decision System International, une firme anglaise qui produit des disques. En 9 / 94, Advanced Raid Tower est un produit DSI destiné au marché des AS / 400, proposé en 5 configurations de 4 à 8 disques pour des capacités jusqu'à 15,8 GB. L'architecture est RAID 5 avec deux caches, 512 MB pour la lecture et 4 MB pour l'écriture, pour un prix de 200 à 280 KFFHT. La fiabilité calculée, algorithme RAID inclus, atteint 500000 heures.

## 751 - Histoire de l'informatique au Japon

La guerre terminée en 1945, le pays est bien tenu en main par Mac Arthur, et rien ne bouge en dehors de la reconstruction jusqu'à la guerre de Corée, qui éclate en 1951. Mac Arthur et les divisions américaines d'occupation quittent alors le pays pour aller reconquérir la Corée du Sud envahie, et le Japon se retrouve seul. La mentalité japonaise est tellement différente de la nôtre que toute déclaration à ce sujet est arrogante en même temps qu'hasardeuse, tant on a de chance de se tromper. Je suis allé au Japon en visite officielle en 1967 avec 47 ingénieurs du CHEAR, et j'ai rencontré à cette occasion des Ministres et des dirigeants de grandes entreprises. J'y suis retourné en 1970 en mission au titre de l'IRIA, pour y faire des conférences sur l'informatique française et rencontrer des industriels de l'informatique ; un universitaire était entre temps venu me voir à l'IRIA et avait même profité de l'occasion pour prendre un document sur mon bureau. Ces diverses rencontres, abondamment accompagnées de discussions, permettent de dire que :

Les japonais, militairement battus après avoir un moment triomphé, ont analysé les causes de cette défaite et en ont tiré des conclusions globales : le système japonais de pensée politique, issu de l'histoire bimillénaire du pays, basé sur la supériorité militaire et appliqué jusqu'au paroxysme en 1945, a échoué face à un autre système, basé sur l'économie. Il ne s'agit pas d'un concours de circonstances, mais d'une réelle supériorité du second système sur le premier ; en conséquence, la seule solution qui s'offre aux japonais est d'adopter le modèle de leurs anciens adversaires, et de tirer profit de leurs qualités nationales pour y acquérir la marge de supériorité qui leur donnera un rang mondial à la hauteur de leurs ambitions.

Le Japon renonce délibérément à l'acquisition de ce rang par recours à la force, et ce d'autant plus volontiers que les économies qui en résultent accéléreront la remontée du pays. Certains japonais de haut niveau pensent que la supériorité occidentale ne résulte pas seulement de leur système économique, mais considèrent qu'il faut d'abord ramener leur pays dans une position économique convenable : exactement, nous a expliqué en 1967 le PDG de la Yawata Steel, donner à chaque japonais une maison, une automobile et une télévision. Ce résultat obtenu, le Japon devra se demander sérieusement s'il doit aussi adopter les valeurs spirituelles de l'Occident.

Globalement, on peut dire a posteriori que le Japon a brillamment réussi dans sa tentative de réinsertion et qu'il était vers 1980 / 90 parvenu à ses objectifs, alignant son niveau de vie sur les meilleurs joueurs occidentaux. La discipline naturelle d'un peuple habitué depuis au moins le 13ème siècle à une division du travail entre exécutants et dirigeants a pleinement joué pour minimiser les effets néfastes de certains aspects de l'occident comme le marxisme, au prix d'un paternalisme nullement ressenti comme gênant. Cependant, les quinze dernières années ont montré que dans les situations difficiles, la version japonaise des mécanismes bancaires, fortement truquée par les politiciens et les yakusas, n'était pas en état de résister, de sorte que l'économie japonaise, arrivée au niveau des grands pays, ne poursuit pas sa croissance. Il ne m'appartient pas du tout d'aller plus loin dans cette analyse.

L'informatique, née aux USA en 1949, a été correctement perçue dès le départ comme une discipline d'avenir, et le gouvernement a pleinement assumé sa responsabilité dans ce domaine, en finançant les recherches de l'Electrotechnical Laboratory (ETL) et de la Nippon Telegraph & Telephone Administration (NTT). Les recherches universitaires ont également ouvert quelques portes.

Après cette première étape, le gouvernement a donné aux grands conglomérats, qui s'étaient organisés dans le pays en entités concurrentes après la guerre (daibatsu), le droit de se lancer dans l'informatique en profitant de l'expérience ainsi acquise. Cette seconde étape, assez anarchique, a donné naissance à cinq familles informatiques, à débouchés purement nationaux :

Fujitsu, issu du groupe Fuji (machines outils, cinéma, photo). Machines FACOM.

Hitachi, dans le cadre d'un groupe électrotechnique. Machines HITAC.

Mitsubishi, dans le cadre d'un groupe tourné davantage vers la consommation. Machines Melcom.

Nippon Electric Co, dans le cadre d'un groupe d'électricité et d'électronique. Machines NEAC.

Toshiba, autre groupe d'ingénierie, avec les machines TOSBAC.

La concurrence sévère entre ces groupes, et la rentabilité insuffisante de cette seconde phase convainquent le gouvernement, qui observe l'essor américain et voit IBM frapper à la porte du Japon, que l'informatique est bien aussi indispensable qu'on l'avait compris, mais qu'il faut limiter les gaspillages et discipliner les efforts. En particulier, la notion de gamme, inventée par IBM avec les 360, est essentielle.

La concurrence étrangère, en fait presque exclusivement américaine, ne pouvant être refusée, sera canalisée à travers un système d'alliances qui permettra éventuellement aux industriels japonais d'exporter, quand leurs produits auront atteint la classe internationale.

L'organisation prend, à partir de 1964, la forme suivante :

IBM ne cherche pas d'alliance et veut s'implanter au Japon en tant qu'industriel, pas seulement comme commerçant. Le Japon y a tout intérêt.

NEC s'allie avec Honeywell, produisant des H800 et dérivés, puis la série H200.

Hitachi prend une licence des RCA 301 et 501, puis des Spectra 70.

Toshiba prend la licence des familles 400 et 600 de General Electric.

Oki Electric passe des accords avec Univac et les deux sociétés créent une filiale qui vendra au Japon les machines Univac et exportera des périphériques.

Mitsubishi tente d'organiser aux USA et en Angleterre de petites filiales d'exportation des Melcom, qui n'auront que des succès modestes. Il produit sous licence des matériels de TRW.

Fujitsu seul ne s'engage dans aucune alliance, et crée sa propre gamme, les Facom 230.

Au Japon même, la profession s'organise avec l'appui du MITI:

- création en 1966 de Nippon Software, une entreprise interconstructeurs pour l'écriture de logiciels d'application et de compilateurs.

- création en 1967 du JIPDEC, un organisme mixte industrie / MITI qui dresse les statistiques annuelles du parc et de la production informatique, qui prépare les normes informatiques nationales, et qui organise les examens professionnels permettant à un technicien de se déclarer informaticien.

- création en 1968 d'un fond de réserve qui va étayer l'action de la JECC, Joint Electronic Computer Company, organisée en 1961 par l'ensemble des constructeurs pour financer les locations.

Cependant, il serait dangereux que l'industrie japonaise s'installe dans une situation de simple relais des constructeurs américains. Il est indispensable que la créativité japonaise s'exprime dans tous les aspects de la technique. Pour y parvenir, le MITI organise le Large National Project : tous les industriels de l'informatique sont invités à participer, en envoyant des chercheurs / ingénieurs, à la construction à l'ETL d'une machine puissante, utilisant les idées les plus récentes, machine qui devra être présentée en état de marche à l'exposition d'Osaka de 1970. Elle y sera effectivement.

L'un des objectifs est la création d'une industrie nationale des circuits intégrés. Il est officiellement prévu qu'à l'issue du projet, toute l'expérience acquise en technologie et en logiciel sera mise à la disposition de tous les industriels participants, la coopération Université / Industrie étant prévue pour durer.

Les industriels comprennent parfaitement le message et, après le remarquable succès obtenu, au frais des américains, avec les premières calculettes, chacun d'eux crée sa propre filiale de composants et démarre la production de calculateurs exportables. En un temps assez court, l'industrie japonaise devient un concurrent direct et de qualité des premiers américains (Texas, Intel, Mostek, Motorola).

Ainsi, les alliances antérieures prennent du poids et chaque fabricant japonais a désormais au moins une filiale américaine, qui vise autant à recueillir l'expérience créatrice des ingénieurs américains qu'à vendre aux américains certains produits japonais :

Fujitsu participe au premier tour de table de Gene Amdahl et fournit initialement des composants pour les premières productions de la société Amdahl. Dix ans plus tard Fujitsu deviendra progressivement l'unique propriétaire de la société Amdahl, quittée par son créateur.

Outre les ventes d'Amdahl, Fujitsu établit en Europe des alliances avec ICL et Siemens. Ces alliances qui commencent par des achats européens de composants prendront de l'importance quand les industriels européens auront des difficultés, jusqu'à ce que Fujitsu soit aussi propriétaire d'ICL.

Honeywell renforce son alliance avec NEC et finira par utiliser des machines japonaises pour remplacer ses carences en haut de gamme. Cette tendance se développera avec CII / HB puis Bull SA, lorsque la France entreprendra de racheter Bull à Honeywell.

Hitachi passe une alliance d'exportation avec le fabricant américain de composants National Semiconductors, tous deux s'unissant pour créer ITEL, entreprise purement commerciale qui vise à grignoter l'écrasante supériorité d'IBM.

La faillite de Intel oblige Hitachi et NS à s'impliquer davantage, et à créer NAS, qui deviendra progressivement l'exportateur unique d'Hitachi aux USA. En Europe, Hitachi passe des accords de vente avec Olivetti, et s'associe avec BASF dans une société commerciale ; par la suite, BASF et Siemens créent en commun Comparex, une société d'importation en Europe des produits Hitachi compatibles IBM.

Ces divers grands créent des filiales américaines qui produisent des périphériques compatibles IBM, commercialisés par les firmes américaines de cette catégorie. Ainsi :  
 Fujitsu fournit chaque mois 20 dérouleurs 6250 bpi à Memorex.  
 Hitachi fournit 4000 disques par an à NCR.  
 Nippon Peripherals est une filiale américaine commune de Fujitsu et Hitachi, qui livre 60 disques Winchester par mois à Memorex et signe en même temps un contrat de 1000 disques sur 3 ans avec BASF en Europe.  
 NEC fournit de même 1000 disques de 30 et 60 MB sur trois ans à Honeywell Italie.

En dehors de ces diverses alliances concernant les grands systèmes, la diffusion au Japon des techniques de fabrication des circuits intégrés suscite plusieurs sociétés qui les utilisent dans des calculettes (Canon, Casio, Sord), dans des photocopieuses (Canon, Konica), dans des appareils de photo, des caméscopes et des magnétoscopes (Sony, Canon, Nikon), dans des machines de bureau (Ricoh, Mitsubishi), etc...

Le passage du Japon de sa mission initiale d'équipement national à la fonction d'exportateur rentable apparaît clairement dans les statistiques du MITI, arrêtées lors de la mutation due aux PC.

Parc japonais (Statistiques du MITI) - nombre					
Année	Très petits	Petits	Moyens	Grands	Total
1969	859	1744	1812	454	4869
1970	1279	2429	2376	634	6718
1971	2204	3180	3170	928	9432
1972	4086	3790	3769	1164	12809
1973	7273	4339	4313	1330	17255
1974	11629	5513	4766	1472	23443
1975	15592	7337	5441	1725	30095
1976	17970	9327	5955	2053	35305
1977	20595	11618	6274	2232	40719
1978	29679	16247	7111	2589	55626
1979	31856	17033	7364	2691	58944
1981	49086	26389	9521	3222	88218
3 / 82	59149	32565	11130	3500	106344
31/12/82	68510	37308	12381	3805	122004

Les statistiques annuelles sont arrêtées en mars, date de la fin des inventaires. La dernière ligne est un recadrage sur l'année légale. L'année 1980 manque.

La classification du MITI est basée sur le prix d'achat : Grand = > 250 MY ; Moyens = 40 à 250 MY ; Petits = 10 à 40 MY ; Très petit = < 10 MY .

Parc japonais (Statistiques du MITI) - Valeur en MY					
Année	Très petits	Petits	Moyens	Grands	Total
1969	5608	41025	191893	202699	441227
1970	8294	55777	246046	307043	617160
1971	14089	72872	323732	480527	891221
1972	25136	87358	390590	633136	1136220
1973	45381	101210	450147	776544	1373282
1974	71582	124128	501433	904707	1601850
1975	95566	157165	587939	1194727	1946396
1976	110377	188076	627108	1332783	2258344
1977	127063	223765	662847	1518888	2532563
1978	179634	305282	751631	1847952	3084499
1979	191000	319000	778000	1929000	3218000
1981	289775	487049	946672	2441294	4164790
3 / 82	348600	594200	1095300	2678100	4716400
31/12/82	1401737	677161	1215500	2918799	5213197

La croissance en valeur dépasse 40% dans les premiers temps et reste supérieure à 15% jusqu'à la fin du tableau, sauf en 1977.

A ce tableau, qui montre l'équipement progressif du pays, il est essentiel d'adjoindre les chiffres des exportations informatiques, vues par le Japon :

Commerce extérieur du Japon (Informatique) en BY						
Année	Production		Echanges mondiaux		dont Echanges USA	
	Nombre	Valeur	Import	Export	Import	Export
1976	7600	240,6	132,6	39,3	NA	NA
1977	8378	294,5	146,5	41,0	NA	NA
1978	10257	379,9	111,0	104,7	76,6	45,9
1979	17425	458,5	145,3	129,1	110,8	57,0
1980	18019	489,1	214,3	168,0	150,9	60,1
1981	NA	NA	205,4	265,5	155,5	112,3

On voit que les exportations de machines et périphériques dépassent les importations (principalement américaines), à partir de 1980. Ces chiffres officiels sont à augmenter des ventes de composants à usage informatique, qui représentent une part notable des constructions des américains et surtout des européens, et des ventes effectuées aux USA par des filiales japonaises, même si leurs bénéfices ne sont pas rapatriés. Les financiers américains, qui savent faire ces corrections, commencent à s'inquiéter vers cette époque, et réussiront à remonter la pente, essentiellement par la production de composants. L'Europe, par contre, est définitivement submergée.

Malgré cette incontestable réussite, le MITI entreprend, au début des années 80, un nouvel effort financier et psychologique pour promouvoir les domaines où les constructeurs nationaux lui semblent manquer de dynamisme : en particulier l'intelligence artificielle, et les technologies qui succéderont au silicium. C'est le programme dit "de 5ème génération", qui débute par la création de ICOT, Institut pour la Technologie Informatique de Nouvelle génération.

L'ICOT est créé avec l'argent et le personnel des industriels, et aussi de l'ETL, le MITI n'intervenant que pour un patronnage. Outre l'ETL, sont parties prenantes Fujitsu, Hitachi, Matsushita, Mitsubishi, NEC, Oki, Sharp et Toshiba ; le budget n'est pas négligeable, 4,7 BY (~ 20 M\$) en 1985 par exemple, mais l'enthousiasme initial diminue précisément à ce moment devant la lenteur des progrès, et devant la nécessité de faire tourner les chercheurs : l'effectif passe en 1985 de 50 à 65 chercheurs, mais il s'agit d'un renouvellement, avec des jeunes moins expérimentés que le premier groupe. Finalement, l'effort diminuera quand apparaîtront, vers 1990, les limites effectives de l'intelligence artificielle ; après quoi l'évolution de l'informatique prendra avec la miniaturisation des voies assez différentes des prévisions.

A la fin de la période qui nous intéresse, les trois grands japonais sont les seuls capables de tenir tête à IBM dans la fabrication de "mainframes" pour les grosses entreprises du monde entier, et les moindres constructeurs japonais détiennent une place honorable dans tous les pays du monde face aux américains et aux autochtones pour tous les calculateurs plus petits. La maîtrise japonaise des composants est progressivement passée aux dragons (Taïwan, Corée du Sud, Singapour) ou même à la deuxième génération (Malaisie, Chine, Thaïlande) et le Japon comme les Etats-Unis se réservent seulement les fabrications les plus créatives, cad les microprocesseurs, étant entendu que le Japon est au moins seconde source de tous les produits importants.

Après cette courte synthèse, nous donnerons quelques indications sur les travaux par lesquels les agences gouvernementales ont créé au Japon les premières compétences, diffusées ensuite délibérément aux daibatsus .

### **ElectroTechnical Laboratory (MITI)**

**ETL Mk 1 (12 / 52)** Sans objectif autre que pédagogique, cette machine à relais utilise un mot de 16 bits et une mémoire de 6 mots. Elle travaille en virgule flottante et n'a pas d'autres entrées/ sorties qu'un jeu de clés et une visualisation.

**ETL Mk II (11 / 55)** est au contraire un monument, rassemblant plus de 20000 relais pour des calculs en virgule flottante sur 42 bits. La mémoire, initialement prévue pour 1000 mots, a finalement été limitée à 200, renforcée par trois mémoires à bandes perforées et 180 mots de constantes. Pas moins de 60 couples LR / PR servaient de postes de travail actif ou préparatoire, de boucles de sous-programmes, de mémoires auxiliaires, etc...

**ETL Mk III (7 / 56)** est de nouveau une machine expérimentale, cette fois sur la technique des transistors. L'emploi de transistors à pointes ne permettait pas d'aller loin. Mot court, circulation série de l'information, mémoire à ligne acoustique limitée à 128 mots, périphériques minimum, soulignent l'intention : il ne s'agit que d'un cadre pour une technologie.

**ETL Mk IV (11 / 57)** est une machine à tambour magnétique (très rapide, 18000 t/min), avec une organisation série/parallèle par caractère et une arithmétique décimale, donc une inspiration claire par la 650 IBM ou l'USS 90 d'Univac. Les périphériques restent peu nombreux, et il s'agit encore d'une expérience, mais elle sera transmise à NEC et Hitachi.

**ETL Mk IVA (4 / 59)** utilise la même technologie que la précédente, à savoir la logique à diodes avec régénération par dynamic flip-flops, mais cette fois au service d'une architecture parallèle de machine scientifique et d'une mémoire à tores. Cette machine a été utilisée en 1960 en liaison avec la Mk IVB qui suit.

**ETL Mk IVB (1960)** a été construite en 1960 comme IOP pour la machine précédente, dont elle utilise la technologie. Fonctionnant à 200 KHz, c'est une machine parallèle binaire 32 bits, dotée d'une mémoire à tores de 1024 mots, effectuant l'addition en 70  $\mu$ s. Sa construction a nécessité 500 transistors et 4000 diodes. Ses périphériques comprennent notamment quatre dérouleurs de bandes magnétiques. Son intégration avec la Mk IVA constitue le premier essai japonais de multiprocessing.

**ETL Mk V (6 / 59)** est une machine décimale série à tambour magnétique, beaucoup plus riche en transistors que les précédentes, sans que la justification apparaisse dans les modestes renseignements dont nous disposons. Une partie de cette justification réside dans l'emploi de la virgule flottante, mais cela ne semble pas suffisant. Il n'y aura d'ailleurs pas de suite.

**YAMATO (1959)** est une autre machine expérimentale, réalisée à l'ETL dans la technologie dynamique série des Mk IV, mais visant cette fois les applications. Il s'agit d'aborder la traduction automatique à l'aide d'un dictionnaire de 2000 mots inscrit sur un tambour qui contient aussi les programmes. La langue cible est bien entendu l'anglais. Compte tenu de l'époque, les illusions sont encore nombreuses en ce qui concerne la traduction automatique, et la machine n'effectue guère qu'une transposition mot à mot, en réalité très peu significative.

**ETL Mk VI (1962)** est une machine scientifique considérable ( 50000 transistors, 250000 diodes ), parallèle sur 52 bits, fonctionnant à la vitesse tout à fait exceptionnelle pour l'époque de 8 MHz diphasée. Comme il se doit à l'ETL, la technologie est largement un des sujets de l'expérience, avec toute une série d'idées novatrices :

- la mémoire à diodes tunnel, préalablement essayée dans le cadre plus étroit d'une petite Mk VIP (un article dans Electronics), est au coeur du dispositif où elle fournit la partie active d'une pile et une mémoire d'anticipation.

- la mémoire à un seul niveau, directement inspirée par l'Atlas britannique, comprend une mémoire morte à capacités, une mémoire vive rapide à tores de 1  $\mu$ s, une mémoire vive classique à tores de 8192 mots à cycle de 2,5  $\mu$ s, et une mémoire virtuelle à tambour de 256 Kmots, gérée par une mémoire associative à transistors.

- une autre expérience, la mémoire à fils croisés de Toko Radio Coil Labs, sera finalement utilisée à la place de la moitié de la mémoire à diodes tunnel, rapide mais décevante au plan de la stabilité.

Pour compléter cet intéressant tableau de dynamisme de la recherche officielle, un compilateur Algol 60 sera réalisé pour cette machine.

**Large National Project (1967-71)** est le grand projet de 3ème génération (budget 8,7 MY) par lequel le Japon espère donner à ses constructeurs les compétences qui manifestement leur manquent encore, à en juger par les performances de leurs machines de 2ème génération. Le LNP est d'abord un projet technologique, l'architecture étant un aspect secondaire. Néanmoins, comme une date objectif précise est un aiguillon puissant pour les participants, il était prévu que la machine puisse être montrée au public lors de l'exposition d'Osaka (6 mois de 1970).

La participation active des industriels à ce projet, clé de son efficacité, a conduit à insérer dans la réalisation des dispositifs variés, pas toujours compatibles, mais tels qu'à l'issue des travaux tous les constructeurs disposent des connaissances expérimentées : mémoire à fils magnétiques, mémoires MOS, circuits ECL pour le CPU, circuits TTL pour l'IOP, problème de l'interface ECL/TTL, circuits hybrides.

Ce qui n'empêche pas d'expérimenter aussi des dispositions architecturales inventées entre temps aux USA :

mémoires cache, SECDED sur les mémoires MOS, microprogrammation, pipeline, et d'aborder la seconde génération de périphériques avec la lecture optique et les consoles graphiques.

En outre, la question du logiciel est prise "à bras le corps" avec la création de Nippon Software, chargée de mettre au point le BPL, un sous-ensemble de PL/I qui va devenir le langage national d'écriture de systèmes, et de réaliser un premier système d'exploitation à la fois multitâche et multiprocesseur.

La réussite du plan est la principale explication du démarrage effectif de l'industrie japonaise des ordinateurs, et de l'efficacité exportatrice qui a suivi.

**Calculateur hybride (1969)** est une autre expérience de l'ETL, consistant à faire travailler ensemble un calculateur numérique, une console graphique avec light pen, et trois calculateurs analogiques, chacun à travers une matrice de 34 relais ferreed commandés par des registres programmables réalisés en circuits intégrés.

Chaque calculateur analogique, réalisé à base de circuits intégrés spécifiques, comprend 10 intégrateurs, 10 additionneurs, 4 multiplieurs, 2 amplis à grand gain pour le télé réglage de 24 potentiomètres, 3 générateurs de fonction. Il n'y a plus d'affichage, toutes les connexions sont commandées par les schémas de l'écran graphique.

**High Speed Computing System for Scientific & Technological Use (1981/90)** Ce programme de recherche, qui fait partie des études sur "l'ordinateur de 5ème génération", a

été mis en route à l'ETL de Tsukuba avec la participation financière de six industriels qui ont apporté 18 milliards de yens sur dix ans. Il s'agit de développer des technologies autres que le silicium, dont on pensait connaître les limites, qui paraissaient près d'être atteintes. Les deux techniques à approfondir étaient l'AsGa et les jonctions Josephson (JJ).

Objectif : puces de 3000 portes, avec délai de 10 ps à température cryogénique, 30 ps à temp. ordinaire.

puce mémoire de 16 Kbits, temps d'accès 10 ns

intégration système : 10 GFlops dans un système comportant une mémoire de 1 GB.

A posteriori, il est facile de constater que les théoriciens se sont trompés, et que le travail normal des entreprises industrielles a pu obtenir, dans les dix ans prévus et avec le silicium, les performances que l'on n'espérait que de techniques plus exotiques et de laboratoires plus fondamentaux.

Résultats : les recherches n'ont pas été perdues, même si, en réalité, ni l'AsGa ni les JJ n'ont été effectivement employées dans l'informatique industrielle et commerciale. En effet, les objectifs ont été dépassés, et les circuits obtenus ont reçu des applications.

AsGa : logique MESFET, puce de 4000 portes avec délai de 1,5 ns On voit qu'on a échoué

puce de 2600 portes avec délai de 0,7 ns à réduire les délais.

mémoire : 16 Kbits avec accès en 5 ns, 4 Kbits avec accès en 1,5 ns

applications : messages interprocesseurs

conversions d'adresse dans la mémoire LHS

éléments de mémoire pour le CAP, calculateur SIMD

interface entre le HPP et la LHS.

HEMT, High Electron Mobility Transistor, inventé par Fujitsu en 1980, est un FET dont le canal est bidimensionnel. Il a servi à faire les drivers de bus du HPP (1000 portes, délai 34 ps) et un générateur de nombres aléatoires (3000 portes, 1,49 ns par nombre).

JJ : on dispose d'un article paru dans TIEEE, SS décrivant le processeur complet réalisé, ECL. JC1, (1989), réalisé avec des couches minces de niobium. La puce est capable de 1 Gips, mais la médiocre réalisation des connexions a fait tomber la vitesse à un Kips.

Une équipe privée a obtenu des résultats comparables, également avec le niobium, d'abord un processeur 4 bits en deux puces de 15000 portes, capable de 1 Gips sur une mémoire

SRAM de 1024 bits ; ensuite un DSP DE 8 bits fonctionnant à 1 GHz en liaison avec une mémoire de 4 Kbits, accès 580 ps. Dissipation 6,7 mW.

Systèmes : trois machines ont été construites, à la fois comme thèmes d'étude originaux et pour valider les études technologiques :

**SIGMA 1** est une machine Dataflow regroupant 128 PE (scalar processing elt) et 128 SE (structured data processing elt), réalisée en CMOS. Mesure 170 MFlops en pointe, 100 en moyenne.

Voir fiche, et aussi le constructeur NEC.

**PHI** (Parallel, Hierarchical, Intelligent) est un multiprocesseur vectoriel composé d'un HPP qui est le processeur proprement dit, architecturé pour 16 blocs de calcul, et d'une LHS qui est une grande mémoire à disques aux performances ambitieuses, 4 GB, 1,5 GB/s, avec un contrôleur à cache.

Le HPP a été limité pour des raisons budgétaires à 4 PE dont chacun comprend un processeur scalaire, un processeur vectoriel et une mémoire locale. Les quatre PE et leurs mémoires convergent vers une CMU (Mapping Unit) à laquelle est également attachée la mémoire centrale.

Les performances de pointe des PE sont, pour des raisons économiques, plafonnées à 2, 2, 2, et 5 GFlops. Le PHI a été soumis à de nombreux problèmes et on n'a pu en tirer plus de 1,66 GFlops. Par ailleurs, pour un problème de décomposition de matrice  $32768 * 32768$  évalué à 21,8 TFlops, visant à évaluer la LHS, il a effectué le travail en moins de 11 heures, ce qui plafonne le rendement moyen à 0,55 GFlops.

**CAP** (Cellular Array Processor) est un ensemble spécialisé de processeurs coopérant pour le traitement d'images de satellites. Voir fiche.

**PSI** (1985) signifie Parallel Sequential Inference et marque aussi l'influence de l'alphabet grec sur la sémantique japonaise, comme le montrent les paragraphes précédents. Il s'agit en fait de la réalisation, dans le cadre d'ICOT, du groupe d'intelligence Artificielle.

PSI est construite en TTLS 5 MHz, avec un cache à cette fréquence en MOS statique, et une mémoire principale de 16 Mmots de 40 bits + ECC en DRAM MOS. Il comprend 12 cartes pour le CPU, 16 cartes pour la mémoire, 10 cartes pour les entrées/sorties, et peut traiter 30000 lips (logical inference).

Ce premier succès a d'ailleurs conduit à renforcer PHI par un backend processor en logique CML 10 MHz, et à pousser la mémoire à 256 MB, pour obtenir 100000 lips.

A titre d'application majeure de PSI, on a construit **Delta**, une base de données relationnelles, composée de RSP, un processeur de supervision, de 1 à 4 machines relationnelles, et d'une mémoire hiérarchisée comprenant 16 à 120 MB de mémoire plus 5 à 20 GB de disques disposés sur 11 canaux à 3 MB/s. Delta communique avec PSI à travers un réseau local à 10 Mbit/s.

L'ensemble des deux machines est géré en principe par KL2, un langage non encore au point en 1991. Pour commencer, KL0 est une sorte de Prolog interprété par firmware, et ESP en est une extension avec lequel a été écrit le système d'exploitation SIMPOS. On a ensuite défini KL1, un langage permettant de programmer simultanément PSI et DELTA ; KL2 doit rendre cela pratique et naturel.

**IXM 2** (1993) signifie Machine à mémoire sémantique en japonais. C'est une machine à mémoire associative et architecture parallèle construite à l'ETL en 1993 dans le cadre du programme de 5ème génération, secteur intelligence artificielle, avec la participation de diverses entreprises. L'objectif extrêmement ambitieux était la traduction automatique d'anglais en japonais, de parole à parole. La réalisation, décrite dans un article de Computer IEEE de 11 / 94, est une importante machine SIMD. La puce utilisée est une mémoire associative de 20 Kbits ( $512 * 40$ ) réalisée par NTT.

Le processeur IXM2 comprend 64 processeurs associatifs composés chacun d'un Transputer T800 et de 8 puces associatives du type ci-dessus ; 9 autres T800 gèrent la topologie.

Voir article pour comprendre les méthodes de traduction envisagées, et les trois niveaux d'expérimentations conduites avec cette machine : Astral, EBMT = Exemple Based Machine Translation, TDMT = Transfer Driven Machine Translation, en compétition avec diverses machines parallèles américaines : CM2 de Thinking Machines, iPSC 2 de Intel, Cray X-MP 216, Hewlett-Packard HP 735.

**RWC 1** (4 / 95) signifie Real World Computing et désigne une machine expérimentale parallèle construite par TRC avec 1024 processeurs, que l'on se propose de soumettre sans concession à des expériences de calcul parallèle. La machine est livrée en mars 1996.

La puce de base est un RISC comprenant un pipeline de chargement / stockage, deux FXU, une FPU, un jeu de registres partagés avec excédent par rapport aux programmables, deux caches I et D. Elles sont interconnectées selon le schéma CCCB, Cube Connected Circular Banyan, choisi parce que économique, large bande, faible délai de traversée, avec deux trains de messages entre processeurs participants.

Le réseau  $8 * 8 * 16$  est composé de 8 plans banyan de  $8 * 16$ , couplés eux-mêmes par paires.

Au point de vue logiciel, la machine est décrite par un noyau S Core associé à une mémoire virtuelle globale. Le système d'exploitation et le langage de base O Core sont rédigés en C++ comme des programmes pour cette machine noyau.

L'objectif de la recherche n'est pas réellement la performance, mais plutôt la mesure des délais concrets résultant du choix fait pour le réseau. Nous ne connaissons pas les résultats de cette expérience qui n'est pas spécialement originale, mais qui impressionne par son ampleur.

## Nippon Telegraph & Telephone Company

Un autre site de la créativité japonaise est le Laboratoire d'Electrocommunications de la Nippon Telegraph & Telephone Co situé à Musashino, une ville de l'île de Hondo. C'est là qu'est née en mars 1957 la machine **M1** à paramétrons.

Le paramètron de Goto et Takahashi est la première réalisation effective de l'idée de Von Neuman, consistant à utiliser la phase d'une oscillation paramétrique comme représentation des 0 et 1 de l'arithmétique binaire. Ici, le support de l'oscillation paramétrique est une capacité, associée à une ferrite multitrans qui en mémorise l'état transitoire, et la source de l'excitation est une onde carrée à 2400 Hz. Cette fréquence très basse est le défaut qui a rapidement condamné une technologie par ailleurs exceptionnellement fiable, et capable en outre de logique à seuil.

Il semble avoir existé trois machines à paramétrons : le prototype de Goto à l'Université de Tokyo, la Musashino 1 construite par NTT à partir de ce prototype et soumise aux essais d'endurance, et une machine construite par Fuji par l'Université de Tokyo en 1959. On en reparle plus loin, car tous les constructeurs japonais ont récupéré l'idée en 1959..

Voir fiche sur la M1, assortie de deux documents japonais (en anglais, en boîte 186) qui décrivent des technologies créées pour la machine. L'article illustré paru aux USA dans les TIRE en 1959 est joint à la fiche et l'examen des dates permet d'affirmer que l'idée de Goto n'est pas un plagiat de celle de Von Neuman, qui n'a pas été utilisée aux USA.

Après la réussite de la M1 et son abandon pour cause de lenteur excessive, la NTT ne s'est plus guère départie de sa mission de base, celle du monopole des communications. On peut évoquer les réalisations suivantes :

**Système de liaison Interbancaire (10 / 68)** Premier système national de télétraitement, le réseau des banques dessert 4100 agences qui appartiennent à 62 banques locales. Le réseau initial **Zengin**, construit autour d'un Facom 230 / 50 de Fujitsu, est un système prudent qui comporte des intermédiaires à bandes perforée ; les diverses banques communiquent à travers le système central, mais les agences d'une banque sont reliées à travers le réseau commuté. Voir document NTT Technical Report N° 18, comportant deux photos.

**DT 1221 (1969)** est un terminal 1200 bauds utilisant le code ISO sur une liaison 4 fils full duplex. Les réalisations commerciales utilisaient sur cette ligne unique jusqu'à 6 lecteurs de marques à 60 cps et 4 imprimantes à 20 cps. La finalité de ces terminaux ne nous est pas connue, mais les types d'appareils connectés suggèrent la bourse et le PMU.

**Système d'enregistrement des véhicules (3 / 70)** La commande d'un système centralisé de mémorisation des cartes grises de véhicules a été faite en 1967 à la NTT par le ministère des Transports, pour le motif que le système serait largement utilisateur de lignes téléphoniques. Nous disposons d'un NTT Technical Report N° 22, par lequel NTT décrit en anglais sa réalisation, qui comprend un système de calculateurs J3000 doublé et des liaisons vers 65 bureaux distribués à travers les quatre îles principales. Mise en service en 3 / 70 pour le premier secteur.

**Système public de transmission de données (1970)** est un service public dont la construction, décidée par NTT qui sous-traite tous les matériels, doit déboucher au moment de l'exposition d'Osaka. Le système, caractérisé par l'emploi du réseau commuté, comprend trois services distincts dotés chacun d'une paire de calculateurs et de mémoires de masse :

- calcul par téléphone : la pose d'un cache sur un simple combiné téléphonique permet d'en utiliser les touches pour commander des calculs dont la complexité reste évidemment limitée.

- calcul scientifique : il s'agit d'un système de temps partagé, avec services mathématiques communs et possibilité pour les abonnés de stocker des programmes ou des données. Tous les types de services sont disponibles, y compris la programmation et le RJE. Les résultats peuvent, au choix du client, être renvoyés au terminal ou par la poste.

- calculs comptables : le mode transactionnel offre la possibilité de consulter et mettre à jour des fichiers privés, de protéger ces fichiers par des codes personnels.

Le système, encore très jeune au moment de la rédaction, est décrit dans le NTT Technical Report N° 21, qui contient des photos des terminaux proposés au public.

**DIPS** est un service de temps partagé expérimental qui, pour des raisons administratives liées au monopole, relève de la NTT, même si la machine qui fait le travail n'est pas nécessairement produite par cette administration. En l'occurrence, il y a eu à l'ETL trois prototypes **DIPS I**. Voir à ce sujet un gros document NTT en boîte 186.

Pour le **DIPS II**, il s'agit d'un produit commercial, diffusé en trois tailles :

- le **Mle 10**, calculateur Hitachi, est livré à partir de 8/75. 4 sont en service au 1/1/76.
- le **Mle 20**, calculateur NEC, 1,5 fois plus important, est livrable en 12/75.
- le **Mle 30**, calculateur Fujitsu, 3 fois la puissance du 10, est livrable en 3/76.

On voit clairement se dessiner une concurrence quelque peu gratuite entre les constructeurs, que le monopole ne croit pas devoir départager. En 1981 cependant, la réussite mondiale des divers concurrents leur permettra de ne plus se disputer des petits contrats, et il n'y aura plus qu'un seul service, le **DIPS 45**, dont la machine est fournie à NTT par Fujitsu.

Il s'agit d'une machine importante, avec 128 MB de mémoire et deux niveaux de caches, le dernier étant 64 KB, réalisé en ECL 1Kbits, cycle de 6,5 ns. Le processeur comprend 12 panneaux carrés de 30 cm de côté, chacun contenant 11 \* 11 puces ECL, en deux types personnalisables : 1300 portes en CML pour les mémoires et registres, 400 portes ECL pour la logique. Le délai par porte est 350 ps. La fréquence de travail de la machine est 15 ns par cycle, soit 67 MHz.

Voir en boîte 187 un article plus récent sur les successeurs de ce matériel.

**PIPS (1979)** est le Pattern Information Processing System, un calculateur expérimental de recherche documentaire qui utilise comme CPU un réseau de PULCE, PIPS Universal Computing Element, un processeur intégré NMOS/SOS 16 bits, contenant 7000 portes organisées en 44 registres de fonctions diverses. Le PIPS fonctionne en SIMD et reçoit ses microinstructions 32 bits d'un bloc de commande extérieur, cycle 200 ns.

**Disque (1980)** est une étude de disque de 400 MB, 550 bits/mm, 43 pistes/mm en radial, avec un débit de 1,34 MB/s. Le disque tourne à 3000 t/min, et le temps d'accès moyen du bras est 18 ms. Ces performances sont obtenues avec des têtes à film mince volant à 0,3 µ sur un coussin d'hydrogène dans un boîtier étanche.

Ce disque était commercialisé en un groupe de 8 unités occupant 1,2 m de large \* 1,8 m de haut \* 0,8 m de profondeur.

**HEART (1980)** est le noyau d'un système d'exploitation, microprogrammé sur PFU 1500 au laboratoire de Musashino, et décrit par un exposé 234 - 195/204 présenté dans un symposium américain sur les machines/langages.

**ELIS (1983)** est une autre expérience logicielle réalisée à Musashino. Le support est une machine composée d'un processeur réalisé en TTL et d'un bloc de commande à base d'AMD 2903. Il s'agit d'une LISP Machine qui a accès à une mémoire virtuelle de 128 MB à travers un adressage 32 bits, soit 24 pour une adresse de mot de 8 bytes, et 8 tags.

La machine physique utilise des cartes de 4 MB et peut en comporter un nombre important. La livraison, prévue en avril 1984, est la participation de NTT au programme dit "de 5ème génération".

## Recherche Universitaire

La participation des universités aux recherches est un sous-produit naturel de la culture d'entreprise proposée par Mac Arthur à l'industrie japonaise à partir de 1945. Cependant, la plupart des universités japonaises sont étatiques, à la différence des américaines.

**TAC (2/59)** est le Tokyo Automatic Computer, résultat de 6 pénibles années de sous-traitance à Toshiba.

La mémoire électrostatique comprend 512 mots de 35 bits sur tubes Braun et constitue bien sûr le point faible de l'installation. Les performances sont tout à fait banales : 0,7 ms pour l'addition, 5 ms pour la multiplication. Voir fiche.

**PC1 (1958)** est la première machine à paramétrons, prototype construit par Goto à l'Université de Tokyo et comprenant 9216 positions de mémoire à tores. Elle est décrite dans 222-19, extrait du numéro de 8/59 des PIRE. Elle a inspiré deux autres réalisations: la M1 de NTT fait l'objet d'une fiche citée plus haut, l'autre est la PC2 ci-après. Voir fiche.

**PC2 (1959)** est construite selon des méthodes industrielles par la Fuji Communications Machine Co, probablement une structure préalable à la création de Fujitsu. Elle comprend une mémoire de 1024 mots de 48 bits, organisés en 36 de mantisse et 12 d'exposant.

La partie logique, forte de 9000 paramétrons, fonctionne en parallèle à 100 KHz, avec un répertoire de 200 opérations à une adresse, indexable par un jeu de 7 index. Les performances sont tout à fait correctes, 70  $\mu$ s pour l'addition, 250 pour la multiplication, 1500 pour la division. Consommation 7 KVA.

Périphériques réduits au minimum, mais performants : LR 400, PR 60, IP 400.

**SENAC 1 (11 / 58)** est une calculatrice à paramétrons et tambour magnétique, directement inspirée par la calculatrice NEAC 1101 de l'Université de Tohoku qui utilisait une mémoire différente. Le but était d'augmenter cette mémoire tout en faisant travailler les étudiants. La mémoire à tambours restait modeste, 1024 mots de 48 bits.

**PAX** est un projet de l'Université de Tsukuba, orienté vers les théories nucléaires. Démarré en 1977, prototypé en 1978 avec PAX 9, composé de 9 \* 6800 en matrice 3 \* 3. Une échelle permettant la simulation est atteinte en 1980 avec PAX 32. Il y a eu ensuite PAX 128 et PAX 32J, ce dernier composé de 8 \* 4 microprocesseurs DEC J11. Mais cette réalisation est trop peu performante, 3 MFlops, et dotée d'une mémoire insuffisante, 4 MB.

Il a donc été décidé de réaliser QCD PAX, destiné aux calculs de la Quantum Chromo Dynamique.

Voir fiche.

**QA1 (1979)** Longtemps après ces débuts modestes, les universités japonaises sont autant équipées en ordinateurs que les universités américaines, avec tendance à une forte planification. L'organisation de tels centres n'est plus un sujet de recherche.

Dans les publications américaines de 1979 - publier aux USA est un signe de réussite - on trouve naturellement que les centres d'intérêt japonais se recoupent avec ceux des américains, car à cette époque ce sont encore les USA qui donnent le ton. La recherche QA1 de l'Université de Kyoto, qui fait l'objet d'un article détaillé dans les TIEEE, ci-dessous :

Hagiwara (H.), Tomita (S.), Oyanagi (S.), Shibayama (K.) - A dynamically microprogrammable computer with low level parallelism, in TIEEE, C29, 7 / 80 p 577 sq.

concerne un émulateur universel à microprogrammation horizontale dont les performances sont comparées à celles du matériel de l'Université, machines et langages (PDP 11, APL, Pascal, LISP, L6, Basic).

Un exposé à Micro13, le congrès annuel de SIGMicro, est disponible dans la fiche ci-dessus et présente QA2, une extension des concepts de QA1 dont on ne peut cependant affirmer qu'il ait fait l'objet d'une réalisation.

**MUNAP (1982)** est une recherche de l'Université d'Utsonomiya, qui concerne l'emploi d'une micro-programmation à deux niveaux pour construire un multiprocesseur destiné à des applications non numériques. Il s'agit d'un programme comparable à celui d'IBM pour le S / 38, et il n'est nullement exclu qu'il en ait été inspiré, car il s'agit bien chez IBM d'une nouvelle philosophie, qui a été explicitée dans un document rendu public.

**GRAPE** est une série de calculateurs spécialisés construits de 1989 à 1996 par l'Université de Tokyo pour étudier le problème des n corps. Voir document descriptif dans les fiches.

## 752 - Les machines de Fujitsu

La première génération de machines informatiques surgit de façon peu coordonnée au sein du groupe Fuji, avec au moins trois tentatives en parallèle :

a) un peu isolée et sans suite, la **FUJIC** est mise en service en 4/56 par la filiale Fuji Films, qui choisit une mémoire à lignes à retard à mercure, contenant 256 mots de 31 bits plus signe, avec un accès moyen de 0,5 ms. Les informations sont contradictoires sur le nombre de machines produites : il pourrait n'en avoir existé qu'une, vendue après deux ans de service à l'Université de Waseda. Voir fiche.

b) à la recherche d'une technologie, la filiale Fuji Tsushinki adopte d'enthousiasme en 1959 la technique du paramètron, puisqu'elle est fiable et japonaise, avec le prototype **FACOM 201**. La machine "de série" est la **FACOM 202**, construite en 3 exemplaires ; il se peut que ce nombre comprenne les prototypes, car la machine sera abandonnée pour cause d'impossibilité de dépasser les performances initiales.

La 202 comporte une mémoire à tores de 4 K mots de 48 bits, et un tambour magnétique, avec un important répertoire de 200 opérations à une adresse. Les performances sont Add 40  $\mu$ s, Mpy 320  $\mu$ s, Div 1600  $\mu$ s en virgule fixe, Add 170  $\mu$ s, Mpy 320  $\mu$ s, Div 2200  $\mu$ s en virgule flottante.

La même société produira encore, à partir de décembre 1962, 28 exemplaires d'une machine série **FACOM 241** manipulant des mots de 8 chiffres décimaux dont signe, avec un répertoire de 80 opérations à 1,5 adresses et 8 registres, sans doute capables de jouer les deux rôles d'accu et d'index. Les renseignements sur les performances sont malheureusement contradictoires : mémoire de 2000 ou 10000 mots à cycle de 10  $\mu$ s, durée de l'addition 250 ou 120  $\mu$ s, multiplication 600  $\mu$ s, division 4 ms. La référence japonaise qui signale les aspects commerciaux ne fait pas d'allusion à la technique.

Ce qui différencie cette machine des précédentes, c'est l'apparition de multiples périphériques, LC 500, PC 200, LR 400, PR 133, ME, IP 500, bandes magnétiques 28000 cps, et celle d'un langage de programmation, FASP. Prix de vente \$ 5000 à 8000.

c) la filiale Fuji Communications Ltd, spécialiste de téléphone, modeste équivalent des Bell Labs dans la nouvelle organisation japonaise, aborde l'informatique en 1955 à la manière de la Bell avec deux machines à relais, **FACOM 514** et **524**, qui ont été utilisées deux ans, avant d'être remplacées par trois **FACOM 318**, également à relais, en service en 1956 et 1957. Finalement, il y aura une **FACOM 426**, toujours à relais, produite de 1956 à 1960 en 12 exemplaires.

Bizarrement, une société forcément parente, la Fuji Communications Apparatus Mfg, qu'on peut considérer comme la transposition de la Western Electric, construit en 9/57 dix exemplaires d'une machine scientifique à relais directement inspirée par la réalisation ETL Mk II, mais certainement beaucoup moins importante puisque elle ne consomme que 3 KVA. Voir fiche **FACOM 128**.

Il est aussi question de 8 machines **FACOM 128 B**, d'architecture tout à fait différente, et plutôt destinées à des applications commerciales. Voir fiche .

La société, qui a manifestement vendu une partie au moins de la production précédente, passe ensuite au paramètron avec la **FACOM 212** commercialisée en avril 59. C'est une machine série/parallèle avec une très petite mémoire, de type facturière. Voir fiche.

Le paramètron est abandonné dès l'année suivante, pour cause de saturation des performances. Le produit suivant, également destiné à la gestion, est une machine transistorisée à tambour magnétique, la **FACOM 222**. Voir fiche.

Bien que le sigle commun FACOM montre l'existence d'un contrôle du groupe, la situation un peu anarchique que révèle ce démarrage en parallèle ne peut durer, et lors de l'apparition du transistor, le groupe charge la filiale Fuji Tsushinki, qui sera ensuite plus connue sous le nom Fujitsu, de la responsabilité unique des ordinateurs. Il semble que l'on ait souhaité faire la transition en douceur, car la production des premiers modèles n'est pas arrêtée, mais en réalité la rapidité de l'évolution technologique laisse très vite le champ libre au seul Fujitsu, qui annonce en 1961 deux machines de 2ème génération :

- la **FACOM 331** est un calculateur de process control, produite à 45 exemplaires entre 1961 et 1965.

- la **FACOM 231** est une machine de gestion apparentée à la 1401 d'IBM, et mise en service en 5/63 : 91 exemplaires seront vendus de 1961 à 1968, à un prix variable entre \$ 800 et \$ 4800.

La mémoire de 32 Kcar, à cycle de 15  $\mu$ s, permet de construire des mots de longueur quelconque. Le répertoire de 36 opérations est à 2 adresses, disposant de l'adressage indirect mais non d'index. On connaît quelques temps d'exécution, peu significatifs puisque les longueurs de nombres ne sont pas précisées : addition 345  $\mu$ s, soustraction (avec recomplémentation) 525  $\mu$ s, multiplication 1845  $\mu$ s, division 3660  $\mu$ s.

Le choix de périphériques est important : tambour de 128 Kcar, accès 8,3 mms moyen, débit 25000 cps ; LC 500/PC 200, LR 400, PR 100, IP 300, Bande magnétiques 10000 cps.

Le logiciel comprend l'assembleur FASP, le langage FAST de gestion, et un compilateur Algol.

L'intervention du MITI est manifeste dans la décision prise en commun en 1965 par les sociétés Fujitsu, NEC et Oki, de procéder à l'étude de **FONTAC**, un calculateur scientifique comparable à une 7090 IBM, avec une mémoire de 16 K mots de 42 bits (36 bits + parité et flags), cycle 2,2  $\mu$ s, addition en 2 CP. La machine devait disposer de trois compilateurs Algol, Cobol et Fortran IV.

En réalité la compétition entre les constructeurs japonais était si vive que l'accord ne pouvait durer, et très vite Fujitsu et NEC se lançaient dans la création de gammes ; Fujitsu, qui avait fait le principal effort au sujet du FONTAC, récupéra cette étude dans sa gamme FACOM 230, dont la commercialisation commence en 1966. La nouvelle gamme est certes inspirée par les idées d'IBM, mais le constructeur ne se sent nullement obligé à respecter les principes qui ont guidé IBM, avec comme résultat que les machines ne sont pas réellement compatibles entre elles et que la croissance des besoins entraîne des réécritures de logiciel.

En pratique il y a deux familles non compatibles sous l'étiquette 230, une gamme basse de gestion qui modernise la 231, et une gamme haute scientifique :

- la **230 / 30** est la première machine de la famille, et prend la place de la 231 en annonçant la gamme ; d'ailleurs une clé du pupitre permet de la rendre compatible avec les 231, dont son organisation ne diffère que par l'adressage. C'est dire que les 10 et 20 de la prétendue gamme, avec un répertoire bien plus pauvre, se présentent comme des sous-1401.

La 230/30 est un ordinateur complet, avec des contrôles étoffés, et des possibilités d'extension à la virgule flottante de longueur quelconque, comme l'IBM 7010. On ignore dans quelle mesure le compilateur Fortran utilisait ces possibilités. Construite à une cinquantaine d'exemplaires.

- la **230 / 10**, annoncée en 64 peu après les S/360 d'IBM, est un mini de gestion qui peut commencer avec seulement une machine comptable, et s'étendre à disques et bandes. Fonctionnement série autour d'un tambour incorporé, petit répertoire mais logiciel important, cette machine sera produite à plus de 1000 exemplaires jusqu'en 1969 et prolongée par une 10E.

- la **230 / 20** est aussi une machine 8 bits, mais calculant sur des chiffres de 4 bits en parallèle. Près de 200 exemplaires seront réalisés. Logiciel très complet.

- la 230 / 40 figurait dans l'annonce de 1964, mais ne semble pas avoir été réellement construite. Le projet comportait une mémoire de 8 à 64 KB organisée par bytes avec un cycle de 750 ns, l'addition en 19,4  $\mu$ s, la multiplication en 280  $\mu$ s (10 op 10). Elle était prévue compatible avec la 20.

En haut de gamme il n'y aura finalement que deux machines :

- la **230 / 50** est la première grosse machine japonaise, et utilise les résultats de l'étude FONTAC citée plus haut. Malgré son sigle elle n'a aucun rapport avec la famille de gestion précédente : c'est une vraie scientifique 36 bits, avec en plus des flags qui permettent de construire un logiciel assez différent des habitudes occidentales. Le répertoire est riche, 200 opérations, et la structure des instructions gaspille l'espace mot, avec notamment la possibilité de multiple indexation, tandis que les adresses limitées à 16 bits ne préparent pas l'avenir.

C'est avec cette machine qu'ont été réalisés la plupart des systèmes temps réel qui marquent au Japon le premier essor du télétraitement, en particulier le système du Ministère du travail et le premier système interbancaire. Au total, cependant, il n'y a eu que 26 machines fabriquées, ce qui signifie une certaine répugnance des industriels à s'équiper.

- la **230 / 60** est un puissant biprocesseur clairement inspiré par la 360 / 67, qui a obtenu un grand succès dans les universités japonaises. La mémoire à tores est organisée en mots de 84 bits (flags et parités inclus), et l'arithmétique peut également travailler sur 72 bits. Il existe une grande variété de périphériques, dont une LCS. Cette machine montre que Fujitsu avait bien compris la leçon d'IBM, sauf sur un point important : ces machines sont câblées, et c'est seulement au bon marché de la main d'oeuvre japonaise de l'époque qu'elles doivent d'être vendables.

Nous disposons d'un impressionnant document illustré de l'université de Kyoto, donnant (en japonais, mais j'ai traduit quelques sigles) toute la configuration des deux biprocesseurs qui l'équipent en 1970. Nous disposons aussi d'une présentation des problèmes d'allocation faite à l'occasion des SJCC 1968.

- la 230 / 70 annoncée en 1967 devait être réalisée en circuits intégrés et rester compatible, mais elle ne semble pas avoir été construite : des performances nettement supérieures à celles de la 60 auraient nécessité une architecture entièrement nouvelle, avec la technologie de l'époque.

Pour compléter ces observations, notons que Fujitsu fabrique déjà les principaux périphériques, et nous pouvons citer :

- le **Facom 603** est le dérouleur de bandes des 230, monocabestan 7 pistes sur bandes 1/2 pouce de 2400 ft. Elle existe en deux densités 556 et 800 bpi et trois vitesses 45, 75 et 120 ips, qui correspondent à des gaps interenregistrements de 18, 10,3 et 6,5 ms, et à des vitesses de rebobinage de 2,5 - 2 - 1,5 minutes respectivement. Les débits associés sont donc 25000 / 41600 / 66700 cps.

- le **Facom 401** est un dérouleur de table pour bandes de 1/2 pouce en cartouches de 330 ft qui coûtent \$ 13. Il s'agit de bandes 4 pistes, capables de 167 KB/s avec chaque byte de 8 bits inscrit deux fois. La densité est 30 ips, les start/stop représentent 150 ms, le gap est 5", l'entraînement se fait directement sur les bobines. Bref un matériel beaucoup plus modeste que le précédent, vendu \$7600 avec un contrôleur inclus qui peut diriger deux autres unités à \$ 3400 pièce.

- la **Facom 6541A** de 1971 est une imprimante électrostatique qui se branche sur les fils XYZ de n'importe quel écran et débite 7500 cpm, soit 8 secondes par page. La présence d'un tampon permet de faire des copies.

A partir de 1968 la marque FACOM est une référence nationale, et Fujitsu va annoncer, au fur et à mesure des besoins marketing, des versions de remplacement qui seront finalement produites en 1300 exemplaires de diverses tailles :

- la **230/25** livrable en 5 / 69 est un mini de gestion à mémoire 16 bits, fonctionnant en série/parallèle et microprogrammée. Non compatible IBM, elle contient cependant l'essentiel des dispositions de la gamme 360, avec des opérations sur mots de 16 bits, nombres décimaux, option de virgule flottante. Elle sera produite à 400 exemplaires.

- la **230 / 35** est la même machine, un peu accélérée et dotée d'une mémoire plus grosse et plus rapide. Nous disposons d'une publicité japonaise qui compare les trois machines 230 de deuxième génération, et dont le principal intérêt est d'illustrer la gamme très complète des périphériques.

- la **230 / 15**, que nos informations présentent comme annoncée en 1971, figure dans le document de 1969 cité ci-dessus et semble, d'après ses photos, ne pas différer extérieurement de la 25, dont elle serait une réduction. La baisse de prix provient de l'emploi de périphériques moins performants.

- la **230 / 45** est annoncée en 1969 comme une grosse machine, et nous disposons d'une photo de maquette où elle figure en biprocesseur. En réalité, comme il n'y avait pas d'urgence, Fujitsu a beaucoup hésité sur la véritable vocation de cette machine, qui utilise la même fréquence CP = 125 ns que les précédentes, et la même largeur de mot mémoire (16 + 2P), et après divers essais, c'est un monoprocesseur à mémoire à tores, cycle de 700 ns, qui sera commercialisé. Voir fiche.

- la **230 / 55** à mémoire 32 bits + 4P hérite de la position finalement refusée à la précédente et profite de la disponibilité de puces TTL / MSI pour obtenir sans augmentation de prix des services nouveaux : bloc de commande pipeline, extension de capacité mémoire à travers un mapping, option biprocesseur.

Voir fiche, avec document japonais illustrant les périphériques.

- la **230 / 75** à mémoire 84 bits est l'héritière, construite en circuits intégrés ECL, de la 60 dont elle améliore grandement les performances grâce à un énorme répertoire, et à la présence d'un cache 4 Kmots, 90 ns, derrière une mémoire économique à fils magnétiques. Fujitsu y a incorporé toute son expérience du LNP, tout en respectant une compatibilité ascendante qui a permis son emploi dans plusieurs grands projets, et tout particulièrement l'équipement de la banque fusionnée Dai-Ichi Kangyo Bank Ltd (3 biprocesseurs). Un article de Datamation, 9 / 77, décrit cette évolution en commentant les problèmes de charge qu'elle cherchait à résoudre.

L'annonce par IBM, en 1973, de la mémoire virtuelle et de la mémoire à circuits intégrés, ne provoquent pas de bouleversement parce que le sujet a été exploré par le LNP. Fujitsu réagit par une annonce globale faite presque immédiatement, annonçant des livraisons à partir de 10 / 74.

Les nouvelles machines sont caractérisées par une mémoire virtuelle de 512 MB (adresses de 29 bits), et par une mémoire réalisée en PMOS (sauf une) ; cinq machines sont proposées, dont bien entendu les UC sont simplement les précédentes, à quelques microinstructions près :

- la **230 / 28S** garde une mémoire à tores, 16 à 64 KB en mots de 16 bits, cycle 1,5  $\mu$ s. 8 registres généraux, répertoire de 101 ordres.

- la **230 / 28** est la même unité centrale avec 32 à 128 KB de mémoire 16 bits + 2P. Elle est accompagnée de deux canaux de communications.

- la **230 / 38** dispose de 96 à 384 KB de mémoire MOS 16 bits, cycle de 960 ns. Répertoire de 123 opérations, 4 canaux.

- la **230 / 48** est la même machine, avec 128 à 1024 KB de la même mémoire.

- la **230 / 58** contient jusqu'à 2048 KB de mémoire MOS 32 bits, cycle 600 ns.

Toutes ces machines sont proposées avec des disques destinés à matérialiser la mémoire virtuelle :

- Facom 472 est un dispac de 47,5 MB, avec un temps d'accès moyen de 62,5 ms.

- Facom 478K est un dispac de 100 MB, avec un temps d'accès moyen de 33,4 ms.

- Facom 422LR est un disque de swapping de 500000 bytes, temps d'accès 7,5 ms.

- Facom 421K est un autre disque de swapping, 1 MB avec accès moyen en 5 ms.

La production des machines à mémoire virtuelle semble avoir porté sur 1200 machines.

En dehors de ces machines universelles, Fujitsu aborde simultanément le domaine du temps réel, sans qu'on puisse encore parler de minicalculateurs :

- le **Facom 270 / 10** est un 16 bits dont l'unité centrale est une armoire de 1,4 m de haut. Par rapport aux machines précédentes, la mémoire à tores est petite, et le gros des informations est stocké sur une mémoire à tambour facultative, pouvant atteindre 64 Kmots, en principe plus destinée aux données qu'aux programmes. La machine est câblée en circuits discrets avec un répertoire minimal, et le marketing en gamme n'a pas beaucoup de signification. Organisation série.

- la **Facom 270 / 20** est beaucoup plus importante, puisque organisée en parallèle. Elle offre 29 opérations, une mémoire plus importante et un tambour standard, tout en restant dans le même esprit, avec des instructions qui tiennent en 16 bits. Excellent succès.

- la **Facom 270 / 30** est réalisée en circuits intégrés, avec mémoire et tambour doublés. Le répertoire est légèrement accru, de sorte que la machine convient pour l'équipement d'un laboratoire, son logiciel permettant un usage scientifique. Il s'agit cependant toujours d'instructions 16 bits, donc de programmes simples en mémoire réelle.

En 1969, des progrès suffisants ont été faits pour que le Japon adopte le concept de minicalcateur avec le **Facom R**, commercialisé pour les mêmes missions que le 270 / 10, mais qui tient dans 6 unités de rack. Les opérations 16 bits sont à 1 adresse, ce qui veut dire que la machine ne contient pas de jeu de registres ; C'est donc un produit minimal, qui s'est néanmoins très bien vendu (265 machines).

A la vérité, c'est tout de même une machine un peu légère et, pour tenter de répondre aux besoins des militaires, Fujitsu est en mesure de faire mieux dans le même volume avec la **Facom 1B**, qui fait tenir dans trois ATR la mémoire à tores de 64 Kmots, 16 bits, cycle 1,5  $\mu$ s ; le processeur capable d'addition en 3  $\mu$ s, de multiplication en 12,5  $\mu$ s, de division en 20  $\mu$ s.

La machine, soumise à de nombreux tests, résistera 620 heures sans panne, mais son poids de 32,5 Kg paraît un peu élevé, et son encombrement excessif quand les boîtes ne sont pas remplies. Le **Facom 1A** est donc une version plus condensée, avec 32 Kmots de mémoire à cycle de 6  $\mu$ s, pas de mpy/div, et une réalisation en panneaux 6 couches recevant des circuits TTL.

En 1972, une nouvelle **270 / 25** compatible est produite à l'intention du marché de renouvellement : mémoire de 16 à 64 KB à cycle de 1,5  $\mu$ s, trois index, addition en 3  $\mu$ s, multiplication en 17,2  $\mu$ s, division en 33  $\mu$ s. Nous ignorons le succès obtenu, mais il ne semble pas nécessaire de poursuivre dans cette voie.

L'année suivante, la **Facom U200**, présentée comme le successeur du R, est proposée avec un répertoire de 83 opérations et un jeu de 8 registres. La mémoire peut être à tores, 8 à 64 KB 650 ns, ou en circuits intégrés, 750 ns, achetée par modules de 8 ou 16 KB. Le processeur effectue l'addition en 1,58  $\mu$ s, la multiplication en 7,53 à 13,1  $\mu$ s, la division en 14,7  $\mu$ s. Mais surtout, les entrées / sorties sont confiées à un Unibus, disposant de 2 trappings et 4 interruptions.

Le logiciel est un RTOS, en deux versions sur tores ou sur disque, fourni avec assembleur, bibliothèque, débogueur, éditeur, dump, Fortran IV, et le BOS des Facom 230 / 25.

La commercialisation de cette machine sera finalement confiée à la filiale Panafacom.

Cette même année, il est possible de vendre le **Facom FIC**, version aéroportée du U200. La mémoire de 4 à 32 KB présente un cycle de 0,8  $\mu$ s, les programmes prennent place dans une EAROM de cycle 150 ns produite par la filiale Fuji Electrochemical. La réalisation tient dans un ATR et pèse 23 Kg.

Une autre activité informatique du groupe Fujitsu est la commande numérique de machines-outils, pour laquelle la société vend aux industriels des ensembles électroniques (lecteur de bande perforée, commandes de moteurs) baptisés FANUC :

**FANUC 220** est une commande de tour et fraiseuse par arcs et segments, 3 axes dont deux actifs simultanément. Le déplacement commandé, sur une distance maximale de 335 m en arc ou 670 m en ligne droite, se fait au pas de 0,005 mm par impulsion, avec une vitesse atteignant au plus 600 mm / minute. Le plus gros diamètre d'outil pris en compte est 49,995 mm.

**FANUC 230** est une commande de fraiseuse, limitée aux mouvements rectilignes selon 3 axes, dont deux seulement variant à la fois. Les vitesses et incréments sont les mêmes que ci-dessus, mais les déplacements peuvent atteindre 1,3 mètre.

**FANUC 240** est une commande à 2 axes, pour tours et machines à dessiner, avec des incréments de 0,01 mm par impulsion, soit 5 à 1200 mm / minute. Déplacements comme ci-dessus, 670 m pour les arcs, 1300 mm pour les lignes droites.

**FANUC 250** de 1969 est une approche nouvelle, où la machine semble faire simultanément les calculs et la commande d'usinage. Il s'agit en fait d'une variante de la Facom 230 / 25, comprenant 8 ou 16 Kmots de 16 bits, cycle 1,5  $\mu$ s, et assurant directement la commande des moteurs par impulsions, au rythme de 16000 impulsions par seconde. Prix moyen \$ 84000.

**FANUC 260** est une commande de fraiseuse ou aléuseuse, uniquement pour des segments de droite. Trois axes sont prévus, mais un seul commandé à la fois. Performances 0,01 mm par impulsion, 5 à 10 mm/min, distance maximale 999,99 mm.

**FANUC 270** est une commande de tour, 2 axes dont un seul actif à chaque instant, tous chiffres comme ci-dessus.

**FANUC 280** est une commande 3 axes, dont deux actifs à la fois, uniquement avec des lignes droites jusqu'à 2600 mm, reste comme ci-dessus.

Il est tout à fait probable que ces renseignements, glanés dans un seul document japonais, ne représentent qu'un moment de l'histoire de la machine-outil japonaise à commande numérique. On retiendra que Fujitsu était actif dans ce domaine : les indications ci-dessus représentent l'état de sa technique en 1969.

Après l'exposition d'Osaka et la réalisation du LNP, l'industrie informatique japonaise est crédible et, disposant désormais des circuits intégrés, elle est en mesure de se lancer dans la construction de compatibles IBM, grâce à la microprogrammation. La coopération suscitée par le MITI conduit les deux plus gros producteurs à s'unir pour définir des micromachines adaptables à cette finalité, que chacun des deux compétiteurs décidera ou non de construire, de commercialiser à l'étranger ou au Japon même. Ce sera la série M, M pour micromachine. Fujitsu en vendra 60 exemplaires en un an, Hitachi 101.

**M160** annoncé en 7/75 est un monoprocesseur pour mémoire 2 MB, qui vise le 370/145 : addition en 1360 ns, multiplication en 5760 ns, division en 7320 ns, Gibson mix 2100 ns. Fujitsu offre simultanément un tambour de 15 MB avec accès en 5,3 ms, et un disque de 200 MB.

Il y aura ensuite une 160AD qui associe la même UC à une mémoire en puces de 16 Kbits.

**M170** annoncée en même temps est en réalité la même machine, mais capable de fonctionner en biprocesseur, et de travailler avec un maximum de 4 MB / CPU. Les performances sont l'addition en 340 ns, la multiplication en 2890 ns, la division en 7140 ns, avec un Gibson mix de 1300 ns ; ces améliorations semblent provenir d'un cache de 16 KB.

La nouveauté, outre le logiciel des plus grosses 230, est à partir de 1977 l'existence d'une base de données AIM, non interactive, utilisant un DDL baptisé ADPL. Prix 150 à 300 KY selon OS.

**M180** annoncée en même temps est une étude Hitachi versée au projet commun, offrant un peu plus que la compatibilité 370 VS. Comprend un ou deux CPU en technologie MECL 10K, avec caches 16 KB à base de puces bipolaires 256 bits, mémoire jusqu'à 8 MB réalisée en MOS 1K puis 4Kbits, 16 canaux par CPU, proposés avec un OS à mémoire virtuelle, multiprogrammation, RJE, RTOS, acceptant les programmes IBM. Prix \$ 83000 par mois.

Les additions comprennent l'adressage virtuel sur les canaux, des instructions pour aider au multi-tasking, et un miniprocesseur de gestion de console.

Cette machine est produite en deux versions, la I de Hitachi deux fois plus puissante que la II de Fujitsu. C'est une question de marketing. Une M180 IIAD utilisant des puces mémoires de 16 Kbits est annoncée en 1978. La puissance est comparable à celle d'une 370/168.

L'introduction en Europe a lieu en 1980, chez Olivetti et BASF.

**M190** est au contraire une étude Fujitsu, en fait c'est la V470 d'Amdahl à peine modifiée, construite en ECL / MSI dont les portes introduisent 0,7 ns de délai. Les puces dissipent 3 W et doivent être pourvues d'ailettes de refroidissement ; elles sont rassemblées à raison de 42 par panneau 10 couches (6 de signaux, 2 d'alimentation, 2 de blindage). Les caches 16 KB sont construits avec des circuits AMS de 256 bits, à 3 transistors par bit. La mémoire est réalisée avec des puces de 1 Kbits. Il peut exister 16 canaux par CPU.

La puissance est de l'ordre de 3 fois la 168, la compatibilité comporte les mêmes extensions que ci-dessus. Le système d'exploitation proposé n'est pas celui d'IBM, et malgré cela 4 machines ont été achetées par la CTNE, monopole téléphonique espagnol, avec 10 extraopérations.

Il y aura ensuite une version II utilisant des puces mémoire de 16 Kbits.

**M150** de 1977 est une étude Hitachi destinée à contrer le 370/138, au prix du 370/125.

**M200** de 1978 est une machine 1,5 à 1,8 fois plus puissante que la M190, conçue par Fujitsu avec les mêmes circuits qu'il fournit à Amdahl, en ECL 100 portes. Le cycle de microprogrammation est CP = 85 ns, et la configuration peut comporter jusqu'à 4 CPU, chacun avec un maximum de 16 canaux. La mémoire réalisée avec des puces MOS 16 Kbits est 2 (2) 16 MB.

Prix à partir de \$ 145833 / mois.

**application** : équipement de l'Université de Tokyo, 1983 - 4 biprocesseurs M200H de 11 à 14 Mips, avec 8 MB/processeur ; trois d'entre eux ont un array processor. Le tout fonctionne sous VOS 3 sous la direction d'une seule console, et cette organisation est extensible à 32 CPU et 128 MB de mémoire. Disques : 96 axes de 317,5 MB et 32 axes de 211 MB, plus 8 tambours de 15 MB, travaillent au profit d'un système de temps partagé qui peut servir 60 usagers simultanés. En outre une Masstor contenant 706 cartouches de 50 MB, avec 12 disques de 211 MB en frontal.

Communications : 3 processeurs de réseaux et 5 contrôleurs desservent des centaines de lignes 1200 bauds. Un réseau 48 KB/s fonctionnant en commutation de paquets réunit les 7 centres de calcul de l'université à ce centre principal.

Autres : 7 lecteurs de cartes, 13 imprimantes à chargement automatique de papier, une IP laser kanji à 720 lpm, 3 IP à jet d'encre kanji, 5 consoles kanji.

Logiciel : 90% de Fortran 77, mais il existe une panoplie d'autres compilateurs et une vaste biblio.

Mise en oeuvre : un tableau commandé par le système d'exploitation donne, à l'entrée du centre, des statistiques sur les temps de réponse. Le centre fonctionne de 0930 à 2200, et s'arrête tous les soirs par crainte d'incendies, tandis que du halon est injecté dans la salle.

**M130F** livrable en 6 / 79 est une nouvelle machine construite avec des puces personnalisables de 600 portes TTLS pour le CPU, et capable de 180 Kips. La mémoire, à base de puces 64 Kbits, peut comprendre 512 KB à 4 MB. Elle dispose de 4 canaux dont le débit cumulé est 3 MB/s.

Prix typique : 1 MY par mois pour CPU avec 512 KB, imprimante F6733A, 2 disques F6417 de 67 MB, une console avec son lecteur de disquettes 1 MB, un compilateur Cobol avec tri.

Le système d'exploitation est l'OS IV/F2, qui coûte 30000 Y par mois.

Divers packages sont proposés : AIF est un temps partagé à 15000 Y/m, STAFF/X une base de données à 70000 Y/m, DQS un système d'interrogation à 50000 Y/m. SIP est un progiciel global intégré comprenant l'OS, la base de données, le langage et les utilitaires.

**M140F** semble d'origine Hitachi, livrable en 7 / 79. La mémoire initiale à base de puces 64 Kbits peut varier de 512 KB à 2 MB, avec temps d'accès de 200 ns, cycle de 375 ns, consommation 300 mW, régénération sur 128 cycles toutes les 2 ms. Fujitsu, en adoptant cette machine, la propose avec un maximum de 6 MB, une puissance de 330 Kips, et 6 canaux = 4 MB/s.

**M150F** livrable en 12 / 79 est une variante de la M150, étudiée pour la compétition avec le 4341. Elle dispose de 1 à 4 MB de mémoire en puces 64 Kbits et d'un IOP à 8 canaux, capable de 5 MB/s globalement. Cette machine est évaluée 430 Kips.

Le prix du matériel s'élève à 3,5 MY, et il faut y ajouter 70000 Y/m pour le système d'exploitation OS IV/F2, uniquement destiné aux japonais. Les performances seraient, selon les japonais, 2,1 fois celles d'une 4331 pour un prix égal à 0,8 fois celui du 4341, mais IBM conteste fortement les mesures, sinon les prix ; il faut se souvenir que cette lutte pour le marché des compatibles a commencé au Japon même, où IBM occupait une place importante, en gros plus d'un an avant qu'elle atteigne le marché américain (ITEL, Amdahl, NAS).

**M160F** livrable en 12 / 79 reprend une machine existante et vise la 4341. Elle est vendue avec 1 à 6 MB de mémoire en puces de 64 Kbits, avec un IOP à 8 canaux capable de 6 MB/s. Elle est estimée à 720 Kips.

Prix de la machine au Japon : 4,5 MY, auxquels on doit ajouter 100 KY/m pour l'OS IV/F2.

**M170F** ne devient nécessaire que beaucoup plus tard, avec des livraisons en 3 / 81. Les circuits sont les mêmes que ci-dessus, mais c'est un biprocesseur de 1,66 Mips, avec 4 à 12 MB de mémoire, un cache 8 KB réalisé en RAM de 1 Kbits et 12 canaux pour chaque CPU, maxi 14 MB/s. Le système d'exploitation est OS IV/F4 ou OS IV/X8.

La machine comprend un processeur de service sur une puce, comprenant 1500 portes NMOS. Elle peut s'intégrer à un réseau FNA d'informatique distribuée et accepte le logiciel NJE de télébatch.

Le prix du CPU monte à 3430 MY par mois; pour un CPU, 4 MB, 1,8 GB de disques, 4 dérouleurs, IP, LC et logiciel, il faut compter 7,5 MY par mois.

En même temps que cette offensive pour des CPU compatibles et compétitifs, que les japonais sont seuls à pouvoir mener, il faut soutenir l'offensive sur d'autres fronts : les périphériques, les calculateurs pour PME, les réseaux, et les besoins purement nationaux. La liste suivante n'est qu'un échantillon :

**Facom 6421** est un ensemble de disques de 1800 MB organisés en 4 axes de 446 MB, avec un débit de 1859 MB/s., une rotation de 4000 t/min, un accès moyen en 18 ms. Chaque module peut en outre contenir 1,6 MB de pistes rapides grâce à des têtes fixes.

**Facom 6425** comprend 4 axes de 630 MB, tournant à 3600 t/min, avec accès moyen en 15 ms. Débit 3 MB/s. 1,4 MB optionnels de pistes à têtes fixes.

**Facom 1774** est le contrôleur de ces deux modèles, A ou C respectivement. Le A livrable en 6 / 81 coûte 1,8 MY/mois avec ses disques, le C livrable en 6 / 82 coûte de même 2,1 MY/mois.

**Facom V830** est étudié séparément comme concurrent de l'IBM S/34, et proposé en 1979. Le processeur CMOS de 10000 portes se présente comme une puce carrée de 172484 mil<sup>2</sup> (111 mm<sup>2</sup>), consommant 130 mW à 2,5 MHz. Il peut adresser 16 MB mais il est proposé avec un maximum de 512 KB, pour \$ 79500.

**Facom 4900** (1980) est un processeur d'informatique distribuée, fourni avec 2 MB (4920A à 28 MY) ou 4 MB (4940A à 47 MY) de mémoire en puces 64 Kbits, un lecteur de disquettes de 1 MB, et jusqu'à trois disques de 135 MB, et encore ce qui suit. Le langage est commun avec l'hôte série M ci-dessus, qui assure la crosscompilation des programmes et leur transfert par HICS, hierarchical info control system.

**Facom 4680A** est une cartouche de sauvegarde, capable de 160 KB/s en continu ou 20 KB/s en start-stop. Enregistrant à 1600 bpi, elle est produite par Nippon Peripherals, filiale interconstructeurs.

**Facom 6733A** est une imprimante à bandes 1000 lpm sur 136 caractères de large.

**Facom XXXX** est un contrôleur pour 16 écrans Kanji réalisé avec une puce CMOS de 6000 portes, capable de stocker jusqu'à 7000 Kanji sur un disque de 1 MB pour une présentation 32 \* 32 points, débit 100 cps ; en option, un tampon sur RAM de 256 KB permet de stocker les 2048 Kanji les plus usités avec un débit de 500 cps.

La présentation sur écrans de 17" existe en deux versions, 21 \* 32 standard, ou 25 \* 32 pour les journaux, chaque caractère dans 6 \* 6 mm.

Le clavier associé comprend une matrice 64 \* 48 caractères, ou un jeu de 3 pages de 56 \* 48, à sélection électrostatique par contact d'une pointe, plus 20 touches de service et 20 touches programmables. Cette machine coûte 125000 \$ dans sa version standard, \$ 135000 dans la version pour journaux, ou \$ 3000 / mois.; elle peut s'associer une hard copy, un light pen, et 15 autres écrans.

**FSSP** (1981) est un microprocesseur 16 bits richement doté en registres et organisé pour servir de coeur à diverses architectures et d'émulateur pour des modèles antérieurs. Voir article.

A partir de 1982, on connaît encore toute une série de machines M, mais elles ne semblent plus résulter d'un plan concerté interconstructeurs. Il s'agit seulement de soutenir Amdahl et pour l'Europe, Siemens et ICL, qui ont besoin de machines haut de gamme pour la lutte contre IBM.

**M380** est réalisé dans la technologie des Amdahl 5860 et 5880, ou encore du DIPS 45 / II étudié pour NTT. Il se présente soit comme un monoprocesseur 1,5 fois plus puissant que l'IBM 3081, soit comme un biprocesseur M382 qui vise 2,7 fois IBM, cad la 3084.

Les puces ECL à délai de 350 ps, contenant environ 1300 portes, sont disposées sur des châssis 14 couches de 29 \* 31 cm, qui leur offrent 121 emplacements. Un sous-système comprend 13 de ces modules qui reçoivent l'air horizontalement. Les cartes paraissent coulisser dans un système de deux murs qui sont en réalité des circuits imprimés 12 couches assurant leurs interconnexions, le tout formant approximativement un cube de 50 cm de côté.

La mémoire construite avec des puces de 64 Kbits peut atteindre 128 MB et débiter dans un cache global de 256 KB, temps d'accès 16 ns. L'effet global est d'abaisser à 200 ns moyens le temps d'accès de toute la mémoire. Chaque CPU dispose en outre d'un cache local de 64 KB, avec temps d'accès de 5,5 ns.

Il est enfin prévu un maximum de 64 canaux.

Le système d'exploitation est OS IV/F4, qui offre les services de MVS dans 16 MB par utilisateur. A partir de 3 / 84, on offre l'OS IV/F4 MSP E20, version compatible XA.

La guerre des prix a donné lieu à une foule de combinaisons marketing, comme suit pour les monoprocesseurs pouvant recevoir de 16 à 64 MB :

Modèle normal (4 / 82), 14,7 Mips avec cache 64 KB. 37380 MY en 16 MB.

Modèle S (2 / 83), 10,5 Mips avec cache de 32 KB, 26180 MY en 16 MB.

Modèle R (6/83), 7,5 Mips avec cache de 16 KB, 20880 MY en 16 MB.

**M310** est une machine bas de gamme, 250 Kips, annoncée en 6 / 82, livrable en 12 / 82, avec mémoire 2 à 4 MB et 6 canaux. Prix 430 MY en 2 MB.

**M320** est probablement la même unité centrale, annoncée en 6 / 82 et livrable en 3 / 83, 350 Kips avec 2 à 6 MB, 6 canaux, prix 570 MY en 2 MB. La différence la plus probable est un cache. Ces machines sont destinées à lutter contre les 4381.

**M360**, annoncée en 6 / 82, livrée à partir de 2 / 83, peut exécuter 2,9 Mips. Mémoire 4 à 24 MB, cache 32 KB, 12 canaux, 7600 MY.

Simultanément, annonce du M360AP, biprocesseur 4,9 Mips, 8 à 32 MB de mémoire, 2 caches, 16 canaux, 11600 MY.

Le M360R, annoncé en 2 / 83 et livrable en 9 / 83, est une version réduite à 2 Mips par un moindre cache; il est vendu 3000 MY seulement en 8 MB avec 5 canaux.

**M340** annoncée en 2 / 83, livrable en 9 / 83, 1,4 Mips, vise probablement le 3083. Mémoire de 4 à 16 MB, cache 32 KB, 8 canaux, prix 2300 MY en 4 MB.

Simultanément, un 340 S est la même machine avec cache 16 KB, 0,84 Mips, 1580 MY.

Il y a même un 340 R, sans cache, 6 canaux, 0,55 Mips et 1160 MY.

Bref, la période caractérisée chez IBM par les 3081 / 3 / 4 et leurs multiples variantes commerciales donne lieu chez Fujitsu - et chez Hitachi également comme on le verra - à une guerre des prix basée sur les mêmes méthodes, qui apporte peu aux usagers et à la technique informatique.

Un élément nouveau de la compétition est l'apparition, dès 1982, de processeurs vectoriels chez Fujitsu, bien avant qu'IBM décide de proposer des processeurs vectoriels sur ses machines 3090. La **VP 200** de Fujitsu comporte une mémoire de 256 MB très entrelacée, à base de puces SRAM 64 Kbits, accès en 55 ns ; une unité scalaire qui s'apparente directement à une M380 ; et deux processeurs vectoriels disposant chacun d'un pipeline de chargement à 3 étages et de quatre opérateurs Add, Mpy, Divide, Logique, simultanés mais non chaînables : la vitesse de ces unités qui partagent leurs registres est CP = 7,5 ns. Les 8192 mots de registres vecteurs sont reconfigurables, de 8 registres de 1024 mots à 256 registres de 32 mots. Le double pipeline de chargement permet de soutenir un débit d'un mot par 3,75 ns. La machine comprend un compilateur optimiseur VSP. La technologie du processeur vectoriel utilise des réseaux de 400 portes ECL, délai 350 ps/porte, et quelques circuits à 1300 portes.

La machine scalaire travaille à CP = 15 ns et exécute le répertoire IBM; elle dispose d'un cache 64 KB.

On trouvera dans la boîte 186 une étude publiée dans la revue américaine Computer (12 / 85) qui compare par benchmarks les machines vectorielles de l'époque (VP200, Hitachi S810, Cray X-MP) et situe le VP200 au moins au niveau du Cray. On y trouve aussi un schéma assez grossier du VP200.

Les VP 100 et 200 de 7/82 seront suivies en 4 / 85 par un VP 400 et un VP 50. Il y aura ensuite, une série E avec les mêmes sigles plus un VP30E, en somme des array processors.

La clientèle des VP est 50% dans l'industrie mécanique, 15% dans l'électronique, le reste dans la chimie et l'automobile.

En marge de cette époque, on notera que les japonais, copiant au passage toutes les modes américaines, ont cru un moment à l'intelligence artificielle et créé la machine **ALPHA**, une machine LISP de 2,5 à 3 Mips, bâtie autour d'une mémoire virtuelle de 16 MB et d'un processeur comprenant 16K \* 48 bits pour le microcode qui émule la logique LISP, et 8K \* 32 bits pour la pile où cette logique fait travailler ses structures, avec un arrière plan de programmes et de données de 4 à 8 MB de mémoire réelle. Non universelle, cette machine s'appuyait sur un calculateur hôte, à choisir parmi les M.

L'année 1985 nous donne l'occasion de faire le point, grâce aux statistiques annuelles de Datamation. Cette année-là, Fujitsu est 5ème informaticien mondial. Ce groupe dont le CA global est 6563 M\$ consacre 4309 M\$ à l'informatique, en augmentation de 12% sur l'année précédente. Ses effectifs comprennent 74187 personnes, il consacre 524,5 M\$ (9,9% de son CA) à sa recherche, et ses bénéfices nets se montent à 235 M\$, ce qui n'est pas énorme.

L'activité 1985 peut être décomposée en 1818,8 M\$ pour les mainframes, 439 pour les minis, 180,4 pour la micro naissante, 375,8 pour les communications, 1064,3 pour les périphériques, 250,6 pour le logiciel et 400,9 M\$ pour la maintenance. Ces chiffres montrent l'importance de la compétition avec IBM.

Au Japon même, Fujitsu détient 29% du marché contre 31% à IBM, ce qui souligne l'importance de la lutte, qu'IBM entretient en faisant un procès pour usage de logiciel sans licence. Aux USA, Fujitsu détient 49,5% d'Amdahl et renforce son emprise sur le marché en multipliant les filiales américaines pour les disciplines autres que les mainframes. En Europe, la seule mainmise de Fujitsu est sur sa filiale espagnole Secoinsa ; les relations avec ICL et Siemens ne sont encore que de fournisseur à client.

Fujitsu reste dans la compétition, et acquiert progressivement la majorité du capital dans les deux firmes qui utilisent sa technologie, Amdahl et ICL, tandis que Siemens prend ses distances et délègue la charge de ses machines japonaises à sa demi-filiale Comparex.

En 3 / 87, la **M780** est réalisée pour servir de noyau à la compétition contre Sierra, le processeur des IBM 3090. La logique est toujours ECL, avec des puces de 3000 ou 10000 portes, délai 180 ps/porte, dégageant 9,5 Watts ; les boîtiers carrés de 22,5 mm de côté disposent de 180 bornes espacées de 0,4 mm. Les registres sont réalisés avec des SRAM 16 Kbits à cycle de 3,2 ns, rassemblés en puces de 1200 portes. Ces diverses puces sont installées sur des cartes à 42 couches, double face, 54 \* 49 cm, qui peuvent en recevoir jusqu'à 336. Ces cartes sont montées en sandwich entre deux couches de réfrigérant à liquide.

La mémoire est construite en SRAM CMOS de 256 Kbits, dont le temps d'accès de 55 ns est assez bas pour rendre les caches inutiles.

Ce processeur va servir à construire les modèles suivants:

- monoprocesseur 780 / 10 S, 25 Mips
- monoprocesseur 780 / 10 de 33 Mips, composant standard.
- biprocesseur 780 / 20 S de 45 Mips
- biprocesseur 780 / 20 de 60 Mips
- triprocesseur 780 / 30 de 85 Mips
- quadriprocesseur 780 / 40 de 100 Mips.

Les prix s'échelonnent de 215 à 885 K\$ par mois.

Au delà du système d'exploitation OS IV, ces machines reçoivent en 1990 le système UXP/M, qui est un Unix SVR4. Ce système est disponible à partir de 4/91 au prix de 210 KY/mois.

Toujours collant à l'actualité, Fujitsu produit en 1990 et commercialise aux USA à travers Masstor une bandothèque **M490** qui peut recevoir jusqu'à 315 cartouches IBM 3490 représentant 65 GB d'information brute, ou 194 GB si on emploie le procédé de compression IDRC breveté par IBM. Une recherche prend 12 secondes, un montage 8 secondes, puis le débit s'élève à 4,5 MB/s.

L'unité mesure 1,2 \* 0,86 m au sol et pèse 670 Kg. Elle contient 4 postes de lecture/écriture simultanément adressables.

En 1991, une nouvelle gamme **M740** de 7 modèles, comprenant 1 à 4 CPU, prend la relève de la gamme précédente **M730** avec un gain en puissance de 1,4 à 9 par rapport au monoprocesseur. Ces machines, qui n'ont pas été exportées, disposent au choix des systèmes d'exploitation Unix, MSP (propriétaire) et OS IV/XSP qui prend la relève d'ESP dans le rôle de compatible IBM.

Vers 1990, l'annonce des IBM 3090 Summit oblige Fujitsu à poursuivre, et il s'agit toujours de circuits ECL, fortement améliorés.

- **M1800** est une famille de 5 modèles, de 2 à 8 CPU, annoncés pour avril 1991. Les prix s'échelonnent de 7,8 à 270 MY par mois, et le haut de gamme, l'octoprocesseur / 85, qui dispose de 2 GB de mémoire, peut délivrer 600 Mips. La technologie de ce nouveau modèle comprend des réseaux de portes ECL à 10000 portes par cm<sup>2</sup>, avec un délai de 80 ps. Les puces encapsulées en BGA 462 billes, mesurant 17 \* 17 mm, sont groupées sur un panneau à 61 couches (13 mm d'épaisseur) de 245 \* 245 mm.

Le refroidissement par eau comprend un boîtier métallique d'où émergent des petits soufflets, chacun appliquant une plaque métallique sur une puce, pour maintenir celui-ci à 50°C.

- **VP 2000** est une nouvelle gamme de processeurs vectoriels reprenant les concepts du VP200 avec la technologie des 1800. Grâce à un nouveau compilateur Fortran 77 vectoriseur, on aurait mesuré en benchmark 111 MFlops sur un VP2400 / 10, et 147 MFlops sur un VP2600 / 10.

Devant la demande, des modèles plus puissants suivent: le VP 2200 / 40, qui contient deux processeurs vectoriels et quatre processeurs scalaires, produirait 2 GFlops et coûterait 79 MY/mois. Un VP 2400/40 est annoncé avec 5 GFlops et 103 MY/mois. Voir fiche et document de 8/92 sur un benchmark d'un VP2600.

Fujitsu accompagne ces réalisations impressionnantes des soutiens appropriés, notamment une mémoire de 32 Gbits à base d'AsGa, de nouveaux disques, et des canaux à fibre optique à 36 Mbit/s. La compagnie japonaise, désormais unique propriétaire d'ICL mais ne pouvant recourir à ses services pour cause de médiocre rentabilité des personnels anglais, recherche du côté de Siemens des coopérations logicielles.

- **Sure System 2000** est un système à tolérance de pannes conçu principalement pour l'Europe et annoncé en 9 / 90. Il comprend de 2 à 6 processeurs 32 bits GMicro 300, associés à des mémoires à puces 4 Mbits. Le système d'exploitation SXO est distribué. Prix 1,35 à 2,95 MY selon nombre de modules.

- **ET2600VH** est un réseau de 2544 portes ECL annoncé en avril 91, destiné semble-t-il aux télécommunications et à l'instrumentation. Entrées 1 GHz, sorties 650 MHz, délai 75 à 90 ps par porte selon le niveau de puissance demandé, interfaces au choix ECL ou TTL, dissipation 5 W. Ce circuit qui représente le sommet de la technologie ECL se présente en quad flat 124 bornes et coûte \$ 98 en quantités.

La question du remplacement des puces ECL par des puces CMOS, clé du virage de l'industrie des mainframes vers plus d'économie, n'a pas été ignorée des japonais, qui continuent à proposer, dans les dernières années de notre période, des processeurs compétitifs avec ceux d'IBM. La question était posée, dès 1986, de savoir comment les deux joueurs, IBM et japonais, aborderaient ce changement.

Nous n'avons que peu de détails sur le choix IBM, décrit dans la rubrique 333, si ce n'est qu'il a permis de maintenir strictement la compatibilité, et nous n'en avons presque aucun sur le choix des japonais, qui ne pouvaient faire autrement que suivre, du fait des logiciels à préserver. Il est certain qu'ils y sont parvenus, mais ils n'ont pas pu, ou souhaité, mener en même temps la lutte contre les 32 bits CMOS de Intel et Motorola. Le résultat est que l'industrie japonaise du PC n'a jamais été importante, cette compétence ayant été capturée au passage par les dragons, qui s'approvisionnaient chez Intel ou AMD.

La question semblant critique, les principaux constructeurs japonais s'associent pour l'étude d'un processeur CMOS 32 bits qui devrait devenir un support commun dans la tradition du LNP, et empêcher le succès des RISC. Les délais trop longs de l'étude et, probablement, quelques divergences entre promoteurs sur les objectifs, font que ce TRON n'est pas sorti à temps.

Trois systèmes d'exploitation étaient prévus : **ITRON** pour les applications industrielles, **CTRON** pour les communications, **BTRON** pour l'informatique. Le premier a été réalisé et c'est finalement Hitachi qui utilise le produit. La réalisation des deux autres semble s'être arrêtée, faute de trouver des débouchés suffisants. Cela confirme que le Japon ne se croit pas capable de créer une vague comparable à celle du PC.

A partir de 1990, nos renseignements sur les composants Fujitsu ne sont plus que des aperçus ponctuels et fragmentaires sur des produits généralement sans lien avec la course aux mainframes. Nous en citons quelques-uns; à noter que Fujitsu Microelectronics Inc. est désormais implantée aux USA, à San José, Cal., autant pour profiter des talents américains que pour élargir son marché.

**F2MC-4L** est une famille de contrôleurs 4 bits qui comporte un bus interne 8 bits, une ROM de 32 KB maxi, une RAM de 4K \* 4 bits maxi, un répertoire de 117 opérations sur 1, 4, 8 et 16 bits, 11 modes d'adressage, et des entrées/sorties "mappées" sur la mémoire. Le coeur du circuit comprend un accumulateur de 4/8 bits, et 4 registres PC, CCR, SP et RP. Ce dernier pointe en permanence un parmi 16 bancs de 8 registres situés en RAM, accessibles individuellement ou par paires, qui fournissent le contexte de 15 niveaux d'interruption. La majorité des opérations s'exécutent en 0,5 µs à 8 MHz, sauf indication contraire.

Comme toujours dans ce domaine, le contrôleur existe en de nombreuses variantes couvrant divers besoins :

**MB 88610**, alimentation 2,5 à 5,5 V. fréquence 32 KHz ou 4 MHz, 4 ou 8 K\* 8 bits de ROM, 768 \* 4 bits RAM, 37 ou 39 bits d'IO, un port série 8/4 bits, chien de garde (CG), compteur 18 bits, 2 compteurs 8 bits, 5 interruptions internes et 10 externes, 2 générateurs d'horloge, le tout dans un boîtier QFP-48P.

**MB 88620B**, 3,5 à 5,5 V, 8 MHz, 12 ou 16 K \* 8 bits de ROM, 512 \* 4 bits de RAM, 53 I/O et un port série, CG, compteur 8 bits, 7 interruptions internes et 3 externes, driver de sortie VDF, timer PWM 8 bits, boîtier QFP-64P.

**MB 88630**, 2,5 à 5,5 V, 16K ROM, 768 RAM, 51 I/O, 2 ports série, CG, compteur 8 bits, 7/8 interruptions, 2 générateurs d'horloge, un codeur 8 bits avec multiplexeur 8 voies, un contrôleur LCD à 32 ou 24 segments, dans un boîtier QFP-100P.

**MB 88640**, version télécom 1,8 à 5,5 V, reprenant les caractéristiques du 610 avec 8K ROM et diverses fonctions spécialisées.

**MB 88346** est dans le même domaine un codeur 8 bits, avec multiplexeur 12 voies série à 2,5 MHz, réalisé avec une combinaison de CMOS et de bipolaire. Alimenté en 5 V et consommant 250 mW, ce circuit proposé en DIP 20 broches ou en SOJ flat coûte \$ 4,5 pièce, par 100.

et diverses autres versions en préparation, comme il se doit dans un système qui suit l'actualité. Noter ce soutien appuyé à une technologie en voie d'abandon aux USA.

**FFMC-8** est la famille Fujitsu de microcontrôleurs 8 bits, qui ne semble pas s'exporter beaucoup. Ces circuits d'organisation CISC, dont nous ne connaissons pas le détail, sont tout à fait comparables à ceux de la concurrence : mémoire de programme 4 à 32 KB sur ROM ou EPROM, mémoire de travail de 128 à 1024 bytes de RAM, 32 à 69 bornes d'entrée/sortie, 1 à 3 ports série, 2 timers, un chien de garde, un choix de codeurs 8 ou 10 bits avec multiplexeur 4 à 8 voies, un contrôleur d'affichage, et une programmation en C.

Fujitsu aborde le DSP vers 1985, et développe successivement les modèles ci-dessous:

**MB 8764** est le plus ancien DSP de Fujitsu, 16 bits 10 MHz, 1K \* 24 bits de ROM, 2 \* 128 \* 16 bits de RAM, boîtier PGA 88 ou PLCC 84.

**MB 87064** est son successeur plus facile à fabriquer, inchangé pour le reste, et tenant dans un DIP 42 broches.

**MB 86220** est un DSP 24 bits calculant en virgule flottante. Pour son programme il contient 2K \* 30 bits et peut adresser un total de 64K \* 30 bits, ses données comprennent 256 \* 24 bits internes et 64K \* 24 bits d'adressage. Il fonctionne à 40 MHz et se présente en PQFP 80 ou PGA 135 broches.

**MB 86224** est un DSP 24 bits, mixte fixe et flottant, avec mêmes performances et même mémoire interne que le précédent, tandis qu'en externe une liaison unique 128K \* 24 bits peut servir à tous usages.

**MB 86232** est un DSP 32 bits, fonctionnant en fixe et en flottant à la même fréquence de 40 MHz. La mémoire de programme est 1K\*32 bits interne, extensible à 64K ; la mémoire de données comprend 512 \* 32 bits, triple accès, et peut s'étendre en externe à 1 Mmots paginée par 64 KB. La puce englobe un port parallèle 32 / 15 bits, deux ports série 32 / 16 / 8 bits, et une interface DMA. Le boîtier est un PGA 209 broches.

Fujitsu se doit de disposer d'un microprocesseur pour pouvoir participer à la course aux stations de travail, qui sont en train de devenir la forme usuelle du calculateur scientifique. Fujitsu choisit le Sparc de Sun et en prend la licence. Ce sera le MB 86900, avec lequel seront réalisées plusieurs stations de travail :

**MB 86900** travaille à 16,67 MHz (CP = 60 ns) mais, totalement statique, il peut aussi fonctionner à toutes vitesses inférieures. Il dispose de 7 fenêtres sur un jeu de 120 registres et son bloc de commande est un pipeline à 4 étages fetch / decode / exec / write.

**MB 86910** est un circuit d'adaptation créé comme interface entre ce Sparc et un processeur VF du commerce. Le 86900 transfère à une file d'attente dans le 86910 l'instruction VF trouvée dans le flot, lui laissant le soin de la décoder, d'obtenir les opérandes, et de la distribuer aux composants Weitek 1164, multiplieur VF, et Weitek 1165, additionneur VF. Comportant 187 bornes, ce circuit est un intermédiaire coûteux.

Le 86910 contient une queue pour deux opérations flottantes, 32 registres 32 bits, et une arithmétique 32 ou 64 bits dont la principale finalité est le calcul d'adresse, mais qui s'occupe aussi des problèmes de différence entre l'arithmétique IBM et la norme IEEE 754 . Il contient à cet effet une bascule programmable, matérialisée par le bit 22 du registre d'état ; si elle est à 1, les nombres dénormalisés sont arrondis à zéro au lieu de provoquer une exception pour opération inachevée.

Cette combinaison est capable de 10 Mips, 1,1 MFlops.

**MB 86911** est un exercice analogue, visant à associer au Sparc un FPU Texas SN74ACT8847, avec des performances comparables.

**MB 86901** + FPU Weitek WTL 3170 , 25 MHz, 15 Mips, 3 MFlops. Deux ans plus tard, Fujitsu a réussi à intégrer le contrôleur dans sa nouvelle version du CPU.

**MB 86930** est en novembre 1991 la meilleure version Fujitsu du Sparc, 40 MHz, cache de 4 KB.

**MB 86933H** est en 1994 une version économique à 25 MHz, réalisée en CMOS 0,8 µ. Elle contient un cache d'instructions de 1KB, et peut délivrer 25 Mips. Boîtier QFP 160 broches.

**MB 86934** de 11 / 94 , réalisé en CMOS 0,5 µ, est une version 60 MHz, 60 Mips, avec cache d'instructions 8 KB et cache de données 2 KB. Il est dessiné autour d'un bus 64 bits, 480 MB/s, et présenté en boîtier QFP 256 broches.

**MB 86936** est en 1998 un contrôleur 32 bits de structure Sparc, capable de 25 à 50 MHz et délivrant 23 à 46 Mips. Il est destiné à des périphériques exigeants comme les imprimantes laser et les scanners, et ne contient pas de mémoire de programme, seulement 2 KB de RAM. Avec 4 interruptions externes, 16 niveaux de priorité, 146 bornes d'entrée/sortie mais aucun timer, il s'agit pratiquement d'un produit dédié.

**MB 91101** est un contrôleur RISC 32 bits polyvalent, soulignant qu'en 1998 Fujitsu n'a plus besoin d'un guide. Ce circuit qui fonctionne à 50 MHz délivre 60 Mips et existe en deux versions, l'une sans mémoire de programme, l'autre (91106) contenant 128 KB de ROM. On y trouve encore 2 KB de RAM, 4 interruptions externes en plus de la NMI avec 16 niveaux de priorité, 50 bornes d'entrée/sortie, 3 UART, 3 timers 16 bits, un chien de garde, et un codeur 10 bits à 4 voies. Les deux modèles comportent une interface externe de bus, 8 DMA, 4 PLL, 4 sorties PWM. Alimentation 5 V, présentation QFP 100.

Situation caractéristique : Fujitsu commercialise ses Sparc aux Etats-Unis à travers Ross Technology de Austin, Texas, le fondateur américain qui lui a été vendu par Cypress. Il semble que Ross ait une large initiative et n'importe que les masques.

A un moment où les Hypersparc produits par Texas pour Sun fonctionnent à 33 MHz, les propriétaires américains peuvent trouver intérêt à procéder à un échange standard avec les produits Ross interchangeables à 55 MHz (1993), 66 MHz (1994) ou 110 MHz (1995). Le prix de l'échange est \$ 3490 pour un circuit, tombant à \$ 1960 à partir de 4 circuits. Le nouveau 100 MHz, échantillonné en 7 / 94, produit en masse en 11 / 94, utilise une alimentation 3,3 V et ne dégage que 3,5 W. Il se présente comme un boîtier hybride 131 broches contenant plusieurs puces qui totalisent 6 Mtransistors.

En 1992, une version de ce processeur est utilisée par Fujitsu pour construire, en partie comme un test, un ordinateur parallèle. L' **AP1000** comprend jusqu'à 1024 Sparc à 25 MHz, chacun pouvant s'associer un processeur vectoriel MicroVP à 50 MHz. La réussite de cette expérience convainc Fujitsu de passer ensuite à un microprocesseur Viking à 50 MHz.

Ce réseau de processeurs est interconnecté en forme de tore, et un modèle maximum est installé au Centre de Recherche Fujitsu proche de Tokyo, offrant un service payant et ouvert au monde entier. Début 1994, le nombre des inscrits atteint 600 clients.

Il est aussi question d'un processeur vectoriel 64 bits, avec bus adresse 32 bits, fonctionnant à 70 MHz et délivrant 289 MFlops, échantillonné à partir de mi 92.

En 1998, on note un accord mutuel de seconde source entre Fujitsu et AMD, portant sur une mémoire flash **MBM29SL800T/B**, 8 Mbits avec accès en 120 ns, construite en CMOS 0,33  $\mu$ . Cette mémoire fonctionne avec alimentation 1,8 à 2,2 V, consommant 15 mA en lecture, 35 mA en programmation et effacement. Mode veille automatique consommant 1  $\mu$ A. Présentation en boîtier FBGA, ou TSOP 48 broches.

En 2000, Fujitsu aborde le domaine des circuits spécifiques à la demande, une technique qu'il n'employait jusque là qu'à usage interne. Il s'agit d'une part de prendre une part de marché dans une technique en pleine croissance, d'autre part de faire savoir que sa technologie est à la pointe de l'évolution.

Les nouveaux circuits utilisent un procédé CMOS 0,11  $\mu$  (canaux 0,07  $\mu$ ) avec 5 à 8 niveaux de cuivre et des diélectriques  $k = 2,6$ . Ce dernier chiffre, inférieur à ceux d'IBM et de LSI Logic, autorise Fujitsu à déclarer que ses circuits seront les moins gourmands et les plus rapides du marché, avec une consommation par porte de 2 nW par MHz sous alimentation 1,2 V.

Ces circuits pourront embarquer des DRAM jusqu'à 200 MHz, car Fujitsu déclare avoir réalisé la plus petite cellule DRAM du monde, 0,2  $\mu\text{m}^2$ . Pour les SRAM, également intégrables, la plus petite cellule est 2  $\mu\text{m}^2$ . Pour la partie "mer de portes", Fujitsu annonce 56 millions de portes sur 100  $\text{mm}^2$ .

La logique pourra fonctionner entre 0,85 et 1,65 V, les entrées/sorties et les fonctions analogiques utilisant normalement 2,5 à 3,3 V.

Les clients se verront proposer, dans deux familles CS91 (faible consommation) et CE91 (réseaux embarqués) des bibliothèques de fonctions numériques et analogiques, et l'accès à des blocs de propriété industrielle.

## 753 - L'informatique d' Hitachi

Dans les années 50, Hitachi construit un calculateur analogique à tubes, **ALS 505**, un modèle de table travaillant entre + et - 100 V. On y trouve tous les composants connus : amplificateurs à gain de 156 db avec dérive limitée à 20  $\mu$ V par journée de 8 heures, composants à 0,01%, potentiomètres de 30 Kohm à 0,01%, multiplieur électronique 0,1% , générateur de fonction électronique à 20 segments, et tous les dispositifs de commande.

Notons que Hitachi n'abandonnera pas volontiers le calcul analogique : quelques années plus tard, quand le calcul analogique fonctionnera avec des amplificateurs à transistors entre + et - 10 Volts, Hitachi réalisera **HIDAS 2000**, un ensemble hybride associant un calculateur analogique ALS 2000A à 0,05% à un calculateur numérique 16 bits. Voir fiche et photo.

La décision de passer au numérique date de 1958, avec la publicité faite au Japon à l'invention du paramètron. Hitachi construit le **HIPAC 1**, prototype du futur calculateur commercial **HIPAC 101**, travaillant à 10 KHz avec un tambour magnétique et une porteuse de 2 KHz. Voir photos et fiches.

Le P dans ce sigle signifie Paramètron. La famille s'arrête en fin 1961 avec le **HIPAC 103**, qui combine cette technologie finissante avec celle, naissante, des transistors. Le mot s'est allongé, la mémoire de travail est à tores, et le tambour a grossi. Mais nous ignorons, malheureusement, la fréquence porteuse utilisée qui est le critère d'efficacité - d'inefficacité en fait - des paramètrons. Voir fiche.

Il a certainement existé un **Hipac102** dont les documents japonais ne parlent pas : c'est probablement le prototype du 103. Une indication contradictoire suggère que cette machine, terminée en 4/59, comportait une mémoire de 2048 mots de 70 bits.

Le prototype des calculateurs à transistors, en service en 8/60, est le **HITAC 1**, purement une étude technologique à en juger par son mot de 14 bits seulement. L'expérience du constructeur provient d'ingénieurs ayant participé à la construction de l'ETL Mk IV. Toutes les machines de 2ème génération vont donc utiliser la logique dynamique série diodes / transistors de l'ETL Mk IV.

**HITAC 101** ne nous est pas connue. **HITAC 102**, dont nous avons une modeste fiche, est une machine décimale série travaillant sur 12 chiffres dont le signe, avec un minuscule tampon à tores et une mémoire principale à tambour. Un **HITAC 103** ultérieur aura une mémoire principale à tores.

Hitachi fera évoluer en 1961 cette filière scientifique vers une machine **HITAC 201** qui paraît différer de la 102 par l'absence des tores, une addition en 4 ms qui suggère simplement une accélération du tambour, une multiplication et une division en 30 ms qui s'expliquent par des simplifications, un répertoire réduit à 37 opérations, et 8 index au lieu de trois. L'objectif semble être uniquement l'économie. Le prix s'étage entre 700 et 2500 \$ / mois.

La **HITAC 301** dite de gestion utilise le même mot et le même format d'instructions, sauf qu'il n'y a plus d'index. La principale différence réside dans le choix de périphériques. Voir fiche.

La **HITAC 501** temps réel est par contre différente, avec un mot série de 22 bits dont signe. Le tambour a été gonflé à 4096 mots, l'addition est 110  $\mu$ s + accès, la multiplication et la division sont 4,2  $\mu$ s + accès, un codeur et un décodeur de tensions ont été ajoutés aux périphériques.

La **HITAC 502** qui est le produit commercial utilise un mot de 24 bits (22 + S + gap ?) mais un tambour plus gros, et finalement elle a des performances moindres que le prototype. A ce niveau de simplicité, on peut penser que sa tâche ne dépasse pas le "data logging".

Dans cette période, Hitachi s'est également intéressée à la commande numérique de machines outils, créant à cet effet des unités électroniques pour transformer les bandes perforées APT en commandes de moteur. Citons: **HIDAM 8050** est une commande de fraiseuse 3 axes, travaillant par segments de droite jusqu'à 655,35 mm, par incréments de 0,01 mm. La vitesse maximale est 2047 mm/min.

**HIDAM 8060** est une autre commande 3 axes, acceptant des arcs en plus des droites, avec des incréments de 0,0005 mm et une longueur maximale de 2600 mm. La vitesse est plafonnée à 1500 mm/min, le diamètre maximum d'outil à 299,99 mm.

Au début des années 60, la technologie ETL Mk IV est dépassée par l'apparition des transistors à jonction, et il est temps d'en changer. Bien que les résultats de ses débuts ne soient pas médiocres, Hitachi prend la licence du RCA 301, probablement pour étudier à la fois la technique et l'organisation, peut-être aussi les disques et les cartes magnétiques, nouveautés encore ignorées au Japon : ce sera le **HITAC 3010**, dont on ignore complètement le nombre produit.

Même remarque pour le **HITAC 4101**, version japonaise du RCA 3301.

Pendant cette période intérimaire, Hitachi construit le **HITAC 3030**, une machine de gestion en temps réel qui représente la première expérience de la compagnie dans le télétraitement. Deux commandes étatiques récompensent cet effort (voir document) :

- réservations des chemins de fer nationaux, avec **Mars 101** puis **Mars 102**, deux paires d'ordinateurs Hitac 3030 dont la mémoire à tores est renforcée de gros tambours, le tout coordonnant pas moins de 467 postes d'agents distribués dans tout le pays, chacun composé d'un panneau de communication à boutons et d'une imprimante de billets. Les liaisons utilisent le réseau télégraphique à 50 bauds.

Un cinquième Hitac, non connecté, fait le travail de logiciel et d'archivage avec des bandes magnétiques.

- réservation de la compagnie d'aviation All Nippon Airways, qui travaille sur les lignes intérieures, et se suffit d'un petit Mars à 106 terminaux.

Avec le **HITAC 5020**, réalisé en deux versions en 1964, Hitachi utilise la logique DTL pour construire une grosse machine scientifique, mais ce n'est encore qu'un début, où l'obstination du constructeur apporte une note d'originalité. C'est encore une machine série, ce qui interdit les performances élevées, mais l'emploi de la plus haute fréquence que supporte le DTL, 18 MHz, permet tout-de-même des temps de calcul honorables puisqu'on aligne le cycle mineur sur le cycle de mémoire ; la circulation série, d'autre part, en permettant l'emploi de lignes à retard pour les registres, permet de baisser un peu les prix malgré une architecture complexe, avec 14 accus dont 6 index.

En outre, une version série/parallèle par tranches de 4 bits, avec multiplieur rapide et mémoire modulaire entrelacée, évidemment nettement plus coûteuse, permet de tripler la vitesse et d'approcher 400 Kips.

Nous disposons d'une documentation étoffée, fournie par l'université de Tokyo où s'installe, vers 1966, un ensemble de batch composé d'une **5020E** et de deux 5020. Un article très détaillé dans les FJCC 1964 nous a permis de composer des fiches documentées.

On notera que, compte tenu des délais nécessaires à un pays encore en plein développement, le 5020 est inspiré par le Stretch d'IBM, soit 2 à 3 ans de retard. On va ensuite retrouver encore du retard entre les 8000 et la série IBM 360 qui les a inspirés, mais après cela le dynamisme japonais aura rattrapé le développement américain, et toute invention IBM trouvera immédiatement une réponse Hitachi.

En décembre 1966, soit un an et demi après IBM, est annoncée la famille 8000. La solution choisie, au moins pour acquérir le temps de la réflexion, consiste dans la prolongation des accords avec RCA : les 8000 sont des Spectra 70, dans lesquels cependant Hitachi utilise ses propres circuits logiques et parfois ses propres périphériques. Les annonces successives comprendront :

**8200** : mémoire 4 à 16 KB à cycle 2  $\mu$ s, permettant l'addition 5 + 5 en 56  $\mu$ s. Choix de périphériques : LC (8233 ou 8238), LC / PC (8239) ou PC 100, LR 1000 (8222) ou 200 (8221), PR 100, IP 1250 (8245) ou 600 (8246) en 132 ou 160 caractères de large, bandes magnétiques 8422A sur contrôleur 8471, ou 8432 sur contrôleur 8473, couvrant un éventail de 15 à 120 Kcar réversible. On note que cette première machine ne comporte pas encore de disques. Son prix varie de \$ 2000 à \$ 7000 par mois.

**8100** : bas de gamme 4 à 8 KB en mémoire 8 bits, cycle 1,5  $\mu$ s, permettant une addition 5 + 5 en 63,7  $\mu$ s. Choix de périphériques : disques 355 KB, 70 KB/s ; LC 400, PC 100; LR 200, PR 100; IP 300; bandes magnétiques 7500 cps, acceptant la lecture arrière. Compilateur COBOL, et package POP de gestion. Prix : \$ 1300 à 3000 par mois.

**8300** (7/67) est la Spectra 70 / 35, 16 à 64 KB sur 2 bytes de large, cycle 1,44  $\mu$ s, addition 5 + 5 en 16,3  $\mu$ s.

**8400** (7/67) est la Spectra 70 / 45, qui dispose des mêmes lecteurs de cartes et de bandes perforées et d'imprimantes que le 8200, de bandes 8451 / 8473 et de nouvelles bandes 8451 (60 / 120 ips) ou 8453 (120 / 240 ips) sur contrôleur 8476 (1600 bpi), de tambours 8566 sur contrôleur 8551, de disques 8564 et de cartes magnétiques 8568. Hitachi paye à RCA le prix pour être à jour.

A titre d'exemple, on trouvera en boîte 186 un article décrivant une application installée sur un 8400 : la gestion des pièces de rechange pour automobiles Nissan à travers tout le pays.

**8500** (7 / 67) est la Spectra 70 / 55, avec en plus les disques 8577 sur contrôleurs 8557.

**8210** (9 / 68) est une amélioration japonaise de la 8200, 8 à 32 KB de mémoire à cycle de 1,44  $\mu$ s, addition 5 + 5 en 43,2  $\mu$ s, prix \$ 1900 à \$ 8300.

périphériques : H8233 et 8238 sont deux variantes d'une même mécanique de LC, respectivement 750 et 1470 cpm en lecture de cartes perforées, ou 610 et 1230 cpm en lecture optique de marques.

H8239 est l'ensemble RCA LC 400 / PC 160.

H8252 est un lecteur optique à 1200 doc/min et 2 clapets, apparemment d'origine RCA

H8564 est un dispac compatible avec IBM 2311.

H8577 est un ensemble de 9 dispac compatible avec IBM 2314.

**FV2540** est une famille de tambours à têtes flottantes, soit 256, 512 ou 800 têtes, capacité jusqu'à 35 Mbits.

application : pour le contrôle automatique des 250 trains circulant chaque jour entre Tokyo et Kyoto par la voie côtière du Tokaido, les chemins de fer japonais ont installé une paire de H8450, chacun avec 1 MB de mémoire et un tambour de 4,5 MB, et se partageant la gestion de 9 disques de 29 MB, 3 terminaux alphanumériques, 3 terminaux graphiques et 78 terminaux 200 bauds. Trois calculateurs HIDIC 700 à mémoire de 128 KB avec 768 KB de disques assurent la gestion en temps réel des capteurs et signalisations. C'est le **ComTrac**.

En dehors de cette coûteuse prise de licence, Hitachi travaille et sur divers fronts:

- HITAC 7250** (6 / 67) est le premier ordinateur d'Hitachi à utiliser les circuits intégrés, dans la réalisation d'une petite machine 16 bits de process control. Voir fiche.
- HIDIC 300** (7 / 68) est un ordinateur de process control avec mémoire de 4, 8 ou 16 K mots de 16 bits, cycle 2  $\mu$ s, réalisant l'addition en 4  $\mu$ s. Les instructions à 1,5 adresse autorisent un index et une indirection, ainsi que 16 niveaux d'interruptions. Le périphérique principal est un disque de 256 K mots, accès 8,3 ms, débit 30000 cps, auquel on peut ajouter LR 200, ME, codeur et décodeur.
- HIDIC 100** (4 / 69) semble en être une version série, même mémoire mais addition en 16,5  $\mu$ s, 3 index, 8 interruptions, et un disque de 128 K mots, même vitesse, 60000 cps ; on peut y ajouter LC 199, LR 100, IP 450, ME, plotter xy, codeur et décodeur.
- HITAC 10** (1969) est un véritable mini 16 bits réalisé en intégrés TTL, voir fiche illustrée.
- HITAC 8700** (1969) ne semble pas, malgré son sigle, être une machine RCA. En fait, il semble s'agir d'une réalisation autonome de Hitachi, inspirée par la 360 / 67 et par les travaux du LNP. La principale caractéristique à noter est le Gibson mix de 0,7  $\mu$ s (1,35 Mips), résultant du recours à une logique ECL / LSI hybride à délai de 1,1 ns par porte. 5 puces de base sont utilisées pour définir 16 types de circuits, qui sont collés sur un support céramique à 2 couches. Cependant, on recule encore devant certaines solutions : il n'y a pas d'anticipation, et certains cheminements sont série. Mais on accepte d'envisager l'installation de 4 processeurs. La mémoire est extensible à 8 MB, avec un cycle de 900 ns pour un double mot de 64 bits, et on peut recourir à un entrelacement 2 ou 4. Un cache 16 K mots, à cycle de 210 ns, est une autre source de performances. Cette mémoire physique est organisée en un espace virtuel de 16 K segments, chacun de 64 pages de 4KB ; 16 registres associatifs accélèrent le calcul des adresses. **Application** : en 1975, le système de réservation des chemins de fer en est à sa troisième version. Le **Mars 105** se compose de 6 \* H8700 partageant 3 MB de mémoire, un tambour de 4,5 MB et 233 MB de disques, qui gèrent 700000 sièges par jour et probablement d'autres problèmes intéressant le réseau. Un **Mars 150**, comprenant deux Hitac 8400 partageant 256 KB de mémoire à tores et 8 disques de 20 MB, qui s'occupent d'un dispositif de réponse vocale pour téléphones à boutons, est capable de 20000 réservations par jour; il est connecté au précédent.
- HITAC 8811** (1971) est un ordinateur 16 bits, mémoire 16 K \* 2  $\mu$ s, qui peut servir de terminal lourd (local apparemment), pour débarrasser un gros ordinateur des tâches de servitudes. On peut y attacher LR 500, PR, ME, plot, écran graphique.
- HITAC 8250** (7 / 72) est un nouveau bas de gamme, probablement compatible RCA, mais qui ne doit plus grand chose aux Spectra, d'ailleurs en voie de disparition. La mémoire peut s'étendre à 256 KB, les disques à 800 MB, le logiciel TMS1 gère 32 lignes et un nouveau package RESP autorise le remote batch. De nouveaux périphériques sont annoncés, en particulier un terminal léger, et une perforatrice capable d'interpréter et d'inscrire jusqu'à 320 caractères sur une carte. Côté logiciel, Practical Data Manager est une base de données, et HELP (Hitachi Effective Library for Programming) une sorte de langage RPG.
- HITAC 8800** (1973) est une reprise industrielle du 8700 après la disparition de RCA, profitant techniquement des travaux du LNP. C'est de l'expérience acquise de compatibilité approximative avec IBM, jointe à l'abandon de RCA, que naît à ce moment l'idée de devenir un créateur de matériels compatibles. Le 8800, qui peut atteindre 5 Mips, comprend :
- jusqu'à 8 MB de mémoire à mots de 64 bits avec SECDED. Mémoire virtuelle type IBM à 2 niveaux. Cache de 32 KB.
  - jusqu'à 4 processeurs, dont chacun contient 140000 portes en 3000 MSI et 15000 autres circuits intégrés SSI. Les dispositifs IBM adoptés sont la parité par byte sur tous les transferts, instruction et IO retry, recherche de tous incidents avec log automatique, autodiagnostic, autoreconfiguration là où c'est possible. Une différence avec l'architecture IBM est l'emploi de deux piles pour la sauvegarde des PSR et des GPR lors des interruptions, c'est un reste de l'influence RCA.
  - jusqu'à 80 canaux.
- Ce système sera commandé pour l'Université de Tokyo.

**HITAC 20** (1975) est une modernisation du Hitac 10, un ordinateur 16 bits avec 16 registres généraux, 90 opérations, une option de virgule flottante. La mémoire à tores peut varier de 8 à 64 KB, cycle 650 ns, et on peut installer jusqu'à 256 entrées/sorties, y compris une liaison HDLC. Le logiciel est écrit en PLUS, Programming Language for User System, un sous-ensemble de PL/I, en fait la version Hitachi de BPL. Il y a aussi un Fortran, en deux versions pour machine de base et pour machine à disque.

On arrive ensuite à la période qui fait suite à l'exposition d'Osaka, où les entreprises informatiques japonaises, remises en confiance par le succès du LNP et celui de l'exposition, se lancent dans l'industrie des compatibles, et prennent des initiatives.

C'est ainsi que Hitachi choisit de s'intéresser aux mémoires à bulles, et réalise en 1978, pour le compte du laboratoire Musashino de NTT, une puce spécifique et une mémoire complète.

La puce de 64 Kbits d'information comporte 132 boucles mineures de 512 bits, dont 128 de données, une de contrôles, et 3 rechanges. 80 puces sont réunies dans une unité, dont la logique et les entrées/sorties sont à base de circuits intégrés. 64 contiennent de l'information, deux des contrôles, et 14 sont des rechanges. Ainsi la puce contient 2K mots de 32 bits, et l'unité 128 Kmots ; les unités sont réunies en modules dans un rack de capacité maximale 2048 Kmots, avec un temps d'accès moyen de 7,7 ms.

La supériorité sur les disques n'est donc pas énorme, surtout avec la marge de progression que les disques ont montré par la suite : cependant NTT l'a utilisée dans son central numérique D10.

Dans ce même domaine, nous disposons d'un autre article décrivant une réalisation plus modeste, destinée à un microprocesseur tel que 8080 ou 6800. La puce proprement dite contient 280 boucles mineures de chacune 1135 bits, soit 256 boucles d'information, une de parité, une d'adressage et 22 de rechange. On dispose ainsi de 1135 adresses visant chacune un mot de 256 bits accessible en parallèle. Sur ces adresses, 1024 représentent de l'information, et 111 sont disponibles ; l'une d'elles est récupérée pour fournir, à chaque consultation, le chargement d'une RAM de 280 bits pointant les colonnes invalides.

4 de ces puces de 256 Kbits sont réunies pour composer, avec aimants, amplificateurs et horloge, une mémoire de 1 Mbit utile, capable de débiter 100 Kbit/s après un temps d'accès moyen de 7 ms.

Le contrôleur, logé dans un DIL 40 broches, est une puce de 5,7 \* 5,44 mm contenant 15143 transistors. Réalisé en NMOS silicon gate, géométrie 5 µ, il automatise complètement la procédure de consultation en prenant en compte toutes les causes d'erreur et leur correction. L'alimentation +5 V est utilisée pour produire le +20 et le -5 nécessaires. L'ensemble de la mémoire est une carte de 18 \* 15 cm.

On arrive ainsi à l'accord avec Fujitsu pour la construction de machines compatibles IBM. Nous ne connaissons pas la liste complète des machines étudiées par l'un et l'autre, ni les choix marketing qui ont présidé à l'attaque des marchés intérieur, américain puis finalement européen. On se bornera donc à citer quelques réalisations identifiées :

**M300** (1978) utilise une logique ECL à 550 portes par puce, une période de travail CP = 78 ns, une mémoire de 4 à 16 MB réalisée avec des puces de 16 Kbits. Cela permet de construire une machine plus puissante que la M200 de Fujitsu, et à peine plus chère. L'architecture et le système d'exploitation permettent d'assembler des quadriprocesseurs. Hitachi prévoit la commande de 100 processeurs qui devraient rapporter \$ 190000 par mois.

Dans les années qui vont suivre, Hitachi pourra accompagner ses machines par des disques également compatibles :

H8595, équivalent de l'IBM 3350

H8597, équivalent de l'IBM 3370, 1270 MB avec deux bras par pile. A 6 / 79, S 12 / 80.

H8598, équivalent de l'IBM 3380, 2520 MB avec deux bras par pile portant des têtes à film mince.. On peut en placer 4 sur un contrôleur 8538, équivalent de l'IBM 3880.

**M140H** (1979) est une participation de Hitachi pour la riposte à la série E d'IBM, estimée 1,6 \* 4331 par Hitachi et seulement 0,7 fois par IBM. Réalisée avec des puces HM 4864.3 de 64 Kbits, la mémoire peut comprendre 0,5 à 2 MB, avec un temps d'accès 200 ns, un cycle de 375 ns, une dissipation de 300 mW, et un rafraichissement de 128 cycles toutes les 2 ms.

Livrée avec un firmware qui réalise partiellement la mémoire virtuelle spécifique de la série, at avec une option haute performance. Débit cumulé des canaux 4 MB/s.

Disques proposés : 2 axes de 635 MB chacun, débit 1198 MB/s.

Prix : 1,5 MY par mois pour le matériel, 50000 Y/m pour l'OS IV/F2. Livraison à partir de 7/79.

**M240H** (1981) est présentée comme 1,5 fois la puissance du 4341 II. La logique est en ECL, partie de l'ancien modèle à 550 portes/puce, partie d'un nouveau modèle à 1500 portes /puce. Un cache bipolaire de 32 KB sépare le CPU de la mémoire réalisée en puces NMOS de 64 Kbits, cycle 150 ns. Vente aux USA : \$ 48750 /mois pour CPU, 8 MB mémoire, 8 canaux cumulant 16 MB/s.

Nous retrouvons cette machine en Allemagne en 9 / 82, vendue sous le sigle BASF 7 / 65. La mémoire de commande ROM de 144 KB, 60 ns, incorpore le code 370 et les extensions spécifiques pour MVS/SP et VSE. Un cache de 64 KB permet une estimation de 1,8 Mips. Les canaux sont 1 ou 2 MUX à 1 MB/s, 4 à 6 BMUX de 3 MB/s, avec un maximum cumulé de 13 MB/s. Prix \$ 370000 à l'achat, \$ 10000 par mois sur 4 ans pour une machine 2 MB, 4 BMUX.

Une nouvelle version M240D est annoncée en 6 / 82, livrable dès 12 / 82 : 1,5 Mips par réduction du cache, 2 à 8 MB de mémoire, 5 canaux : prix 3000 MY en 8 MB.

**M280H** (1981) est un haut de gamme annoncé en 1982 comme 2,1 à 2,4 fois l'IBM 3033, et livrable à partir de 9 / 83. La logique est comme les précédentes un mélange de puces ECL 2 $\mu$  contenant 550 portes, délai 450 ps, et de puces 1500 portes, délai 800 ps. Les mémoires internes utilisent des puces bipolaires de 1K et 4K dont le temps d'accès est 7 ns. La mémoire principale, construite avec des DRAM de 16 Kbits, comprend 16 à 32 MB avec entrelacement 8 ou 16, donnant un temps d'accès effectif de 100 ns, et on a placé devant un cache collectif de 256 KB.

Prix à partir de \$ 195000. Configuration 2 à 4 CPU, 8 à 32 canaux cumulant 90 MB/s, option d'un array processor.

Autres annonces simultanées : **M280MP** comporte 2 caches et jusqu'à 64 canaux. 24,7 Mips. Prix 62100 MY en version 32 MB. **M280D** est au contraire une variante dont le cache est réduit à 64 KB, plafonnant la puissance à 10,5 Mips. Prix 23000 MY en version 16 MB.

**M220** (1983) est une collection de machine destinées probablement à la compétition avec les IBM 3083, mais on n'a que des détails commerciaux :

M220K, annonce en 3 / 83, livrable en 3 / 84, dispose de 2 à 8 MB et 3 canaux seulement, prix 2250 MY en version 4 MB.

M220D, livrable dès 9 / 83, est manifestement la correction d'une erreur du marketing, avec 1 à 8 MB de mémoire et les mêmes 3 canaux pour 1000 MY en 2 MB.

M220H, annoncée en 6 / 83 et livrable en 3 / 84, offre une puissance de 0,6 Mips, 1 à 8 MB, 5 canaux, pour 1200 MY en version 4 MB.

On voit clairement que les prix n'ont aucun point commun avec les fournitures. IBM avait le même problème à ce moment, et l'un entraînait l'autre.

**M260** (1983) manifeste les mêmes difficultés pour des machines beaucoup plus importantes, avec trois versions 8 à 32 MB, 24 canaux, annoncées simultanément en 2 / 83, livrables en 9 / 83 :

M260K à cache 64 KB offre 7,5 Mips et coûte 16500 MY en configuration 12 MB, 12 canaux.

M260H avec le même cache n'est plus que 5,7 Mips (plus lente, sans doute) et coûte 11000 MY en configuration 8 MB, 8 canaux.

M260D tombe à 4,1 Mips avec un cache 32 KB et coûte 8000 MY avec 8 MB et 8 canaux.

**M680H** (1985) renouvelle les matériels par l'annonce d'une machine ECL utilisant des circuits ECL à 4500 portes / cm<sup>2</sup>, avec un délai de 190 ps/porte. Les puces LSI de 22 mm<sup>2</sup> sont raccordées à 160 bornes en 4 \* 40 au pas de 20 mil. D'autres flatpack en céramique, 29 \* 39 mm, sont utilisés pour les mémoires de cache, 16 Kbits accès 12 ns ou 4 Kbits accès 4,5 ns, en boîtiers 2 \* 48 bornes au pas de 30 mil. 72 de ces flatpack divers sont regroupés sur des panneaux 20 couches (8 signaux, 10 alim et masse) en polyimide de 419 \* 280 mm, chacun pourvu d'un très gros radiateur pour permettre le refroidissement par air. Il y a ainsi plus de 100000 portes par panneau, et ces panneaux sont interconnectés par 4 connecteurs principaux de 4 \* 260 broches, à travers 8 cables de 2 \* 48 brins, soit 768 fils dont 448 véhiculent des signaux.

Cette machine est vendue aux USA par NAS comme monoprocesseur AS / XL 60 ou biprocesseur AS / XL 80, livrés à partir de mai 1986.

**S810** (1984) : l'arrivée au Japon des Cray décide Hitachi à construire un processeur vectoriel, d'autant plus que les usagers scientifiques des machines précédentes emploient fréquemment des array processors. Cette famille capable en pointe de 500 MFlops comprend un processeur scalaire de 6 MFlops (un M280H à cycle de 28 ns) et un, deux ou quatre processeurs vectoriels associés, le tout travaillant à CP = 14 ns. Logiciel VOS3, compatible IBM. Voir schéma d'organisation en boîte 186, consacrée au benchmark.

Ces benchmark montrent cependant que ces machines ne sont pas à la hauteur des Cray et des processeurs vectoriels de Fujitsu : les chiffres théoriques de 160 MFlops pour un S810/5, 310 MFlops pour le modèle 10, 610 MFlops pour un /20 (dont un exemplaire est installé à l'Université de Tokyo), n'ont pas été atteints lors du benchmark, qui cependant reconnaît sa spécificité. Hitachi reprend sa copie et prépare un S820.

Complétons ce tableau, forcément incomplet, de la participation Hitachi à la série M par quelques petits travaux conduits en simultanéité, bien que marginaux par rapport à la compétition principale :

**HITAC L320 / 60** est un ordinateur informatisé distribué créé par Hitachi pour donner une assiette à son réseau HNA. Construit avec des tranches de 4 bits (AMD ?), c'est un 16 bits doté de 32 KB de firmware, 96 KB de mémoire de données à base de puces 16 Kbits. Il est capable de gérer jusqu'à 15 stations incorporant un microprocesseur de 8 bits avec 48 KB de mémoire, et un ensemble clavier / écran de 1920 caractères.

Pour 310KY par mois, on peut disposer d'un CPU avec 9,2 MB de disque, d'un lecteur de disquettes 243 KB, d'un écran et d'une ME 120.

**HITAC L470** de 1983 semble être une modernisation compatible IBM de ce processeur, annoncée en 1 / 83 pour livraison en 10 / 83. On peut obtenir pour 400 MY une machine de 1MB extensible à 4, ou pour 230 MY la version 450 plus modeste, 0,5 à 2 MB.

**HD 6301V** est une version CMOS du microprocesseur 6801 de Motorola, qui sert à Hitachi à essayer la compétence de sa division microélectronique au moment où on commence à comprendre qu'il va falloir passer de la logique ECL à la logique CMOS. Le circuit réalisé contient 88 opérations, ajoutant au lot de compatibilité des opérations de manipulation de bits, un échange de registres, et l'établissement de modes d'exploitation économique.

Une réalisation pipeline du bloc de commande permet de doubler la vitesse de cette puce par rapport au 6801. La vente a été un important succès, 400000 par mois en fin 83, un million par mois en 1984, grâce à des développements logiques sur HP 64000 effectués au titre d'un accord avec Yokogawa, associé de HP au Japon.

**MB16001** est en 1982 une incursion dans le domaine encore débutant du ordinateur personnel. Cette machine basée sur le microprocesseur 8088 avec 32 KB de mémoire et une disquette 5,25", fonctionne sous MS/DOS et dispose d'un Basic et de Mbcalc. Elle est vendue 2500 \$.

Il s'agit bien d'un PC, défini par mimétisme, mais on ne peut encore tirer de conclusion.

On arrive ainsi en 1985, date où nous disposons des moyens de faire le point. Hitachi est à cette date 11ème société mondiale d'informatique, avec 2885,4 M\$ sur un monde d'autres activités, en tout 20919,4 M\$ et 164951 employés. Ce niveau est en augmentation de 12,6% par rapport à 1984, et les bénéfices atteignent 768,6 M\$, mais il n'est pas possible de déterminer la part de cette somme imputable à l'informatique, pas plus que de savoir si la R&D informatique est intense dans une R&D totale de seulement 6%.

L'activité informatique de Hitachi se répartit en 838,8 M\$ pour les mainframes, 87,7 pour la micro naissante, 1416,7 pour les périphériques, 202 pour le logiciel et 372 M\$ pour maintenance et divers, répartition très différente de celle de son concurrent Fujitsu.

Bien que la compétition avec IBM soit l'essentiel de l'activité de la firme, on voit qu'elle porte à cette date davantage sur les périphériques que pour Fujitsu, 20% des revenus provenant des disques et 50% si on y ajoute les lecteurs optiques et les imprimantes laser.

A partir d'ici, nous ne disposons plus que d'extraits de presse généralement peu détaillés, avec lesquels nous étudierons trois productions d'Hitachi : les mainframes et leurs périphériques, la microélectronique, et quelques "divers".

### *Mainframes*

La compétition est de plus en plus sévère à partir de 1990, avec les Summit d'IBM puis la réorganisation ES 9000. Hitachi d'ailleurs a pratiquement filialisé, sous le sigle HDS, Hitachi Data Systems, au moins pour l'exportation, la commercialisation de ses mainframes, à la suite de quelques difficultés avec NAS aux USA.

**DK 815.10** (1988) est un disque de 1 GB, 8 plateaux de 8,8" de diamètre, temps d'accès 15 ms, proposé en interfaces IPI et SMD.

**MT400** (1988) utilise des cartouches de 200 MB, inscrites à 37870 bpi, et compatibles avec l'IBM 3480. Comme chez IBM et probablement sous license, on peut atteindre 600 MB avec un algorithme de compression breveté par IBM. Le contrôleur contient un tampon de 4 MB, et permet un débit de 3 à 6 MB/s. Il existe en option un chargeur automatique pour 8 cartouches.

**S820** (1989) est un nouveau processeur vectoriel de 3 GFlops en pointe, qui reprend l'architecture du 810 à quelques instructions près, mais avec la technologie de la M680 de 1986. Voir fiche.

**EX/10** (1989) est le nouveau milieu de gamme de HDS, comportant six modèles numérotés 10, 20, 25, 30, 35 et 40. Ils sont toujours réalisés en ECL, et visent les divers 4381. Ces machines supportent désormais 4 canaux à fibre optique genre ESCON; la mémoire est plafonnée à 256 MB.

**EX/11** (11/90) est une série qui remplace les EX/10 avec une accélération de 17% des CPU, pour le reste peu modifiés. Il s'agit de s'opposer aux premiers ES 9121 S1 qui viennent d'être annoncés. Les nouvelles machines disposent de 32 à 512 MB de mémoire, et de 16 à 32 canaux dont désormais 8 peuvent être à fibre optique. Les performances indiquées pour les nouveaux CPU sont exprimées en valeur relative :  
EX/11 monoprocesseur = 1,09 EX/10  
EX/22 monoprocesseur = 1,09 EX/20  
EX/27 monoprocesseur = 1,17 EX/25 EX/31 monoprocesseur = 1,23 EX/27  
EX/38 biprocesseur = 1,17 EX/35 EX/42 biprocesseur = 1,24 EX/38

Les livraisons sont prévues pour les premiers mois de 1991, et des possibilités de conversion seront offertes au second trimestre pour les propriétaires de machines EX/10.

**M880** (1990) est le nouveau haut de gamme compatible IBM, rendu possible par une technologie à 20000 portes par cm<sup>2</sup>, avec délai de 60 ps par porte. Pour la première fois, il est nécessaire de prévoir un refroidissement par eau. Les puces sont encapsulées dans des BGA à 528 billes, et montées par 6 \* 6 sur des modules de 106 \* 106 mm de côté. 20 modules sont groupés dans un panneau de 530 \* 730 mm.

**H7390** (3 / 91) est un disque compatible IBM 3390, diamètre 9,5", présenté en armoire de 16 modules représentant 22,68 GB, débit 4,2 MB/s, prix en France 0,65 à 2MFFHT. Ce même disque est offert par Compaq sous le sigle 6090. Ce disque contient une fonction nouvelle, ALC = Actuator Level Cache, qui accélère les transferts ultérieurs quand les canaux du processeur sont encombrés. Une version 7390F offre les performances du 3390 avec la compatibilité 3380.

**GX 6115** (1992) est une famille moyenne refroidie par air, mais toujours ECL, livrable en 3 / 93 en monoprocesseur 9/815 ou dyadique GX 6115, disposant de 1GB de mémoire principale, 2 GB de mémoire d'arrière-plan, 64 ou 128 canaux. Un triprocesseur et un quadriprocesseur sont annoncés pour 9/93.

**GX 8110** (1992) est une machine ECL refroidie par liquide, également baptisée 9 / 910. Elle dispose de 2 GB de mémoire principale, plus 4 GB de mémoire d'arrière-plan, et peut actionner 128 canaux. Deux de ces processeurs, avec 2 GB de mémoire principale et 8 GB de mémoire d'arrière-plan, avec 256 canaux, constituent le 9 / 922 ou GX 8220. Il existe encore un triprocesseur 9 / 932 ou GX 8320, avec mêmes mémoires et canaux.

**GX 8114** (12 / 93) est la même machine que la précédente, mais accélérée dans une proportion inconnue, avec trois modèles 8114, 8214 et 8314. Mémoire comme précédemment, avec seulement 4 GB de mémoire d'arrière-plan, et canaux ESCH série fonctionnant à 17 MB/s avec une portée maximale de 60 Km. A cette occasion, les disques sont également renouvelés, le H7699 étant équivalent à un IBM 3390.9. Avec le contrôleur 7690, on peut désormais placer 272,4 GB dans une seule armoire, 30,4 ms / tour, accès moyen 16,5 ms ; en outre, ce contrôleur peut simultanément diriger les précédents disques 7693. Dans le cadre de la compétition, HDS enlève la France au domaine de Compaq et devient concurrent direct d'IBM dans ce pays.

**S3800** (1993) est le nouveau calculateur vectoriel de Hitachi, commercialisé en Europe après que 5 de ces machines aient été installées au Japon. Le 3800 regroupe 4 processeurs vectoriels de 8 GFlops et 4 processeurs scalaires, et on peut supposer que le 3600 en représente la moitié. La technologie ECL de ces machines est CP = 2 ns. Les puces sont celles de la M880, refroidies par eau. Le système d'exploitation est l'UNIX de OSF1.

**HDS 7700** (2 / 95) est un contrôleur RAID5 pour environnement de base de données DB2, livrable en août 1995. Il contient 256 MB à 8 GB de cache et communique avec les CPU par deux bus de 400 MB/s ; il peut 1 à 4 armoires remplies de disques de 3,5" de diamètre, chacun 4,3 GB, au total 22,7 à 180,4 GB par armoire. Le temps de réponse est inférieur à 5 ms, de sorte que le sous-système répond en moyenne à 2500 consultations par seconde, avec pointes à 4000 (contre 700 au plus pour les IBM 3990.6). Un doublement de tout garantit ce dispositif contre toutes les pannes. Au plan logiciel, ce contrôleur est exactement compatible avec MVS et s'intègre dans SMS, son sous-ensemble de gestion de mémoire. En option, ce système peut être doté d'une interface SCSI, en vue de son adaptation aux AS/400.

**HDS 7430** (2 / 95) est une bandothèque à 4 postes de travail, contenant 316 à 3016 cartouches standard compatibles avec IBM et ses évolutions.  
Une variante HDS 7450 offre les mêmes services sur 8751 cartouches.

**Skyline** (4 / 95) : depuis juin 1994, IBM a pris la décision d'abandonner l'ECL et d'effectuer une transition en douceur vers la logique CMOS avec l'annonce des 9672 R3 capables de 23 Mips. HDS décide de suivre, et chose curieuse, passe commande à IBM d'une importante quantité de réseaux de portes CMOS personnalisables par leurs couches métalliques.  
En attendant cette livraison, HDS annonce son haut de gamme Skyline, qui utilise une technologie Ace, combinant CMOS et ECL, et plafonne à 780 Mips. ACE, pour Advanced CMOS and ECL, a surtout pour but de diminuer de 70% la consommation d'eau de refroidissement et d'électricité en ne réalisant en ECL que ce qui est indispensable. Le nouveau CPU de 125 Mips est livrable en 10 / 95 en Europe, à un prix de l'ordre de 20000 \$ le Mips.  
La nouvelle famille comprend 10 modèles, le plus gros étant un octoprocésseur avec un maximum de 132288 MB de mémoire et 384 canaux (512 en 1996).

**Pilot** Au début de 96, HDS passe définitivement au CMOS et annonce Pilot, une famille de 12 modèles compatibles à base de processeurs CMOS de 40 Mips, couvrant une gamme de puissance de 1 à 10, y compris un décaprocésseur de 300 Mips. Le bas de gamme n'occupe que 0,6 m<sup>2</sup> au sol et ne consomme que 1,3 KWh. La livraison commencera en 10 / 96.  
En accompagnement, HDS propose des sous-systèmes RAID 5 HDS 5700 Pathfinder, un peu moins coûteux que le 7700 ci-dessus, et la possibilité de leur appliquer la technique des copies miroir sur sites secondaires distants, grâce aux canaux ESCH.

**SR4300** (10 / 95) est le deuxième signe que la compétition IBM / HDS n'est pas totalement naturelle : IBM tolère ses concurrents et parfois les empêche de tomber. Ici Hitachi achète à IBM la licence de son SP2 et fabrique le S4300 avec des Power 2 fournis par IBM et en utilisant le logiciel AIX d'IBM. Le calculateur parallèle est proposé en grappes de 2 à 128 processeurs, avec 512 CPU sur demande spéciale. Le SR4300 dispose de :  
Open TPI, un moniteur transactionnel maison à tolérance de pannes par logiciel.  
Transbatch, un accès parallélisé aux grandes bases de données.  
Job Management Partner, un ordonnancement sur réseau.  
et les disques Pathfinder HDS 5700, Raid 0 ou 5, avec SCSI2 et le protocole SNMP.

**SR2001** (10 / 95) est un autre système parallèle à base de microprocesseurs HP PA, produits au Japon pour HP, qu'il est autorisé à commercialiser au Japon.

**1997 :** Les S/390 se portent bien, le nombre de Mips installé croissant rapidement : 324000 en 1995, 535000 en 1996, et près d'un million en 1997 à en juger par les commandes. Sur ce total, IBM est en baisse lente, 74% en 1996 contre 80,5 en 1995, face aux japonais : Amdahl est en baisse de 8,5 à 6%, mais HDS vient de passer de 7 à 20%, grâce aux annonces de 9 nouveaux Skyline (technologie ACE) et 17 nouveaux Pilot, qui se répartissent comme suit :

- 6 modèles haut de gamme utilisant un CPU de 150 Mips, avec un octoprocésseur de 1000 Mips.
- 3 modèle d'entrée de gamme, un de 80 Mips et deux de 110 Mips.
- 13 nouveaux Pilot utilisant un moteur CMOS plus puissant de 40%.
- 4 modèles d'entrée de gamme réorganisés autour de l'ancien CPU.

Exemple de client français pour les Skyline, la Caisse d'Epargne de Paris.

**2000 :** la lutte se poursuit, toujours sur le terrain d'IBM puisque Hitachi travaille sous OS/390 comme IBM. Il semble que HDS garde son avance, il est question de multiprocésseur 1600 Mips !

## Composants

Préoccupé en permanence de technologie pour pouvoir progresser dans la compétition avec IBM, la compagnie Hitachi a fait porter l'essentiel de son effort sur la logique ECL, de bornant pour les autres intégrations à l'emploi de produits commerciaux..

Cela n'empêchait pas les recherches, grâce auxquelles Hitachi s'est toujours trouvée bien informée de toutes idées nouvelles, comme on a pu le voir plus haut pour les mémoires à bulles. On trouvera en boîte 186 le compte-rendu d'une étude sur l'effet Josephson, menée aux laboratoires Hitachi avec le concours du MITI, qui a abouti à la réalisation d'un processeur de démonstration travaillant à 1 GHz. (1991).

Cependant, le marché national justifiait, dès la fin des années 70, un effort sur la logique MOS, et Hitachi crée donc, comme la plupart de ses concurrents, une famille de microcontrôleurs 4 bits, les **HMCS400**, qui va rapidement diverger en une foule de formes adaptées aux applications : une feuille jointe montre, à une date particulière malheureusement inconnue, la variété des boîtiers, types et tailles de mémoire, et entrées/sorties proposés au marché.

De la même manière, il existe une famille 8 bits, **H8/300** et sa variante **300L** équipée pour sortie LCD. Pour fixer les idées, indiquons qu'en 1993, sur 1,07 milliard de contrôleurs 8 bits produits dans le monde, la part d'Hitachi est de 68 millions, à peu près au même niveau que ses concurrents japonais, quoique loin derrière le leader Motorola ; la valeur de vente correspondante s'établit à 4,35 M\$, ce qui situe autour de 4\$ le prix unitaire moyen.

Faute de liste complète, on indique les limites rencontrées dans ces deux familles : architecture CISC orientée registres, mémoire de programme de 8 à 64 KB (ROM, EPROM, Flash), mémoire de données de 256 à 2048 bytes, 1 à 5 timers, & à 3 ports série, 40 à 73 bornes d'entrée:Sortie, codeurs 8 ou 10 bits avec 8 à 12 voies multiplexées, programmation en C.

Exemple : le **H8 / 3857F** appartient à la famille 300L et dispose d'un oscillateur principal à 5 ou 10 Mhz, respectivement sous 3 ou 4 V, avec un sous-oscillateur à 32768 Hz pour offrir un vaste choix de régimes de fonctionnement à faible consommation. Il dispose de 60 KB de mémoire flash, de 2 KB de SRAM, et d'un contrôleur LCD capable de dispositions variées jusqu'à 1280 points = 40 \* 32 = 4 lignes de 8 colonnes avec une police 5 \* 8 ; autres modes supportés : 56 \* 16, 64 \* 8, 40 \* 16, 40 \* 8 points. A cela s'ajoutent un circuit élévateur de tension nécessaire aux LCD, et un registre de commande de contraste.

Autres caractéristiques : 3 timers 8 bits, plus un 16 bits qui peut être coupé en deux 8 bits, un codeur 8 bits 8 voies qui prend 12,4 µs à 5 MHz, 29 interruptions dont 13 externes, 44 bornes d'entrée/sortie, une interface série à deux voies asynchrone et synchrone, une sortie PWM 14 bits.

6 modes de fonctionnement sont proposés, entre les 15 mA du mode actif à pleine vitesse et 5 V, et les qq µA du mode veille. Il y a notamment un mode sous-actif où l'horloge est le 32768 Hz, consommant 150 µA, et un mode surveillance à 90 µA où le CPU est arrêté, un timer et le LCD fonctionnant seuls.

Le H8 / 3857, dont le code réel est HD64F3857 est proposé en QFP (flatpack carré 4 \* 30 broches) ou en TQFP 144 broches.

En marge de cette réalisation, on peut signaler que Hitachi commercialise en 1992 une mémoire flash HN28F4001 de 512K \* 8 bits, organisée en 32 blocs de 16 KB effaçables séparément. Délai 1 seconde pour l'effacement d'ensemble, 10 µs pour effacer un byte particulier. En réalité, cette flash particulière n'est qu'un exemple parmi l'ensemble de la production de mémoires flash, et citée pour dater le niveau technologique.

Dans le domaine des microcontrôleurs 16 bits, nous sommes très mal renseignés, ne pouvant évoquer que les **H8 / 500** de 1992. Il s'agit en fait de processeurs 16 bits sur un bus 8 bits, avec un adressage limité à 16 MB, une horloge à 10 MHz, un DMA, et un codeur 10 bits. Le temps d'exécution est au minimum de 200 ns/instruction. A noter que Hitachi y a programmé divers algorithmes 32 bits, ce qui fait douter de ses objectifs. Prix : \$ 11,85 pièce par lots de 5000, montant à \$ 34,10 pièce par lot de 1000 pour le 536.

Les informations disponibles font apparaître que dans les années 90, Hitachi a créé une filiale américaine de microélectronique, ayant accès à toutes ses productions, mais disposant d'assez d'autonomie pour tirer parti des compétences de son personnel américain, et s'adapter aux demandes du marché américain. En 12 / 92, cette filiale annonce divers produits:

- HN27C4096H est une EPROM de 4 Mbits organisée en 256K \* 16 , avec un temps d'accès de 85 ns, un boîtier Cerdip 40 broches, et un prix de 33,65 \$ pièce par lot de 1000 pièces. La version ROM de ce circuit, capable d'un fonctionnement par rafale avec 120 ns pour le premier mot, coûte 4,95 \$ pièce par lot de 50000, puisque le passage en ROM n'est rentable que sur une série.

- Il y a aussi un contrôleur spécialisé en boîtier QFP 112 bornes, ajoutant à un microcontrôleur H8 / 500 de 16 bits à 10 MHz un processeur auxiliaire 64 bits et une interface d'entrées/sorties, ainsi qu'une EPROM à fonctionnement unique pour la personnalisation. Prix \$ 29,25 pièce par lot de 10000. Cet exemple est cité pour dater un niveau technologique.

Le domaine des 32 bits est très différent, s'agissant de processeurs principaux pour machines moyennes, mettant en jeu une compétence de toutes façons indispensable aux dernières phases pour la compétition des mainframes. C'est semble-t-il vers 1985 qu'on a commencé à s'y intéresser chez Hitachi, avec l'étude du **HD63020**, inspiré par le 68000 de Motorola mais non compatible. C'est au départ un CMOS 1,3  $\mu$  à 20 MHz, qui a évolué vers un CMOS 1  $\mu$  24 MHz, capable de 4 Mips et supportant un microprocesseur. Consommation 0,5 W.

Il comprend 16 registres généraux 32 bits, un cache d'instructions de 1 KB, un cache de données de 32 mots seulement, un adressage 32 bits permettant d'atteindre 4 GB, un MMU shuntable pour l'exploiter. Ce processeur est prévu pour fonctionner sous Unix, ou avec le système BTRON (pour Business).

Sont annoncés simultanément divers processeurs susceptibles de prendre place sur le bus du **H32**, au maximum 8 à choisir selon l'application.

- un coprocesseur de virgule flottante, incluant un multiplieur 64 \* 64 bits câblé.
- un microprocesseur **H16**, 16 bits avec 16 registres et une commutation de banc sur 16 mémoires. Il fonctionne avec le système ITRON, qui est un RTOS.
- un microprocesseur H8, 8 bits.
- un microprocesseur **AI32** d'intelligence artificielle, microcodé intérieurement pour exécuter le code intermédiaire des compilateurs japonais de Prolog et de Lisp. Il contient à cet effet 4K\*128 d'EPROM et deux files de 256 \* 40 bits.

On trouvera en boîte 186 un article des TIEEE, SS25 de 6 / 90, décrivant une expérience de microprocesseur 32 bits capable de 70 MHz, réalisé en BiCMOS 1  $\mu$ . Il ne semble pas avoir débouché sur un emploi massif, mais nous sommes en réalité très mal renseignés sur la nature des circuits qui composent les derniers mainframes d'Hitachi.

Toujours dans le domaine des 32 bits, il faut rappeler la coopération qui s'est établie entre Hewlett Packard et Hitachi au moment où le premier devait impérativement disposer d'un microprocesseur majeur pour ses stations et serveurs. On sait que, pendant que HP travaillait sur la définition de son architecture Precision, Hitachi avait fourni le produit transitoire **HD 64781**.

Il semble qu'en sens inverse, une fois sorti le PA, Hitachi ait eu accès aux masques de HP. Le **PA/10**, ou **HD 69010**, est un RISC 32 bits 16 MHz utilisable pour contrôleurs d'imprimantes laser et autres produits performants. Pipeline 5 étages, 10 Mips en moyenne. Il dispose grâce à HP d'un logiciel important comprenant assembleur, compilateur C, éditeur de lien, bibliothèque, émulateur du HD 64781, inscripteur d'EPROM et autres utilitaires. La puce comprend un bootstrap sur ROM.

En 1993, Hitachi développera ce microcontrôleur en un microprocesseur **PA / 50**, comportant 2 caches 4KB, un bus 32 bits pouvant adresser une mémoire virtuelle de 4 GB, et capable de 50 Mips. On ignore où cette puce a été utilisée, et ce qu'est devenu le projet de sa transposition en BiCMOS pour obtenir 150 Mips.

Un domaine à part entière, le traitement du signal, prend naissance vers 1980 avec le PMOS **HD 38880** puis le CMOS **HD 61885** (voir article). Mais il prend corps vers 1988 avec de vrais DSP.

Les débuts de Hitachi semblent concerner un DSP virgule fixe 16 bits, **HD 61810**, remplacé ensuite par un DSP à virgule flottante **HD 81820**, également 16 bits, travaillant à 40 MHz. Il comporte 2K ou 4K \* 22 bits de programme sur ROM, 512 \* 20 bits de RAM et 512 \* 20 bits de ROM pour les données, un port parallèle 8 / 16 bits et un port série. Il y a quelques contradictions entre cette description et la suivante, un peu plus récente, qui indiquerait un réaligement sur le marché.

**DSPX16** est un DSP 16 bits, virgule fixe, délivrant 25 Mips à 25 MHz. Adressage 16 bits dont une petite part (inconnue) en interne. Port série 12,5 Mbit/s, port parallèle, DMA, timer, boîtier PQFP.

**DSPX24** de 1991 est un DSP en virgule flottante à bus 24 bits, adressage 24 bits dont 1024 instructions et 2048 données en interne. On peut en tirer 30 Mips ou 50 Mops à 30 MHz. En périphérique, 2 ports série à 12,5 Mbit/s, un port parallèle, un timer, un DMA. Boîtier PQFP.

**DSPX32** de 1991 est la même machine, avec bus allongé à 32 bits pour les données, et fonctionnant à 35 MHz. Tout le reste est identique.

En 12 / 93, on peut citer un événement à la fois important et éphémère : Texas et Hitachi échantillonnent en même temps leur nouvelle mémoire, DRAM 64 Mbits fonctionnant sous 3,3 V., réalisée en CMOS 0,35  $\mu$  à la suite d'un accord de 1991. C'est important parce que chaque multiplication par 4 de la capacité des DRAM est une étape valable pour le monde entier, et c'est éphémère parce que de tels accords sont remis en cause à chaque nouveau pas en avant, pour cause de problèmes financiers.

C'est néanmoins l'occasion de faire le point de cette production, qui à cette date est en pleine euphorie : la production mondiale atteint 40 millions de PC par an, dont chacun contient 8 à 16 MB. Les besoins en DRAM sont donc compris entre 500 millions et 1 milliard de MB, cad de l'ordre de 10 M d'exemplaires de la nouvelle puce. A l'époque, la production des 16 Mbits rejoint celle des 4 Mbits, mais la saturation de la production aligne les prix sur celui des 16, de sorte que les projets de construction d'usines, qui coûtent 1 B\$ pièce, se multiplient ; en réalité on ira trop loin, et pas longtemps après il y aura une (assez courte) période de saturation en sens inverse, provoquant des faillites.

Dix ans plus tard, quand les 256 Mbits sont devenues la norme, ni Texas ni Hitachi ne sont plus en course, et il n'existe plus que trois usines de mémoires DRAM dans le monde.

En matière de microprocesseurs, l'étape suivante est l'introduction du RISC, que les japonais ont essayé de retarder en proposant des produits meilleurs, sans parvenir à s'unir et donc sans réussir.

Pour Hitachi, les RISC sont des contrôleurs et ses propositions successives, baptisées SH1, SH2, SH3, se situent donc dans cet objectif de contrôleurs 32 bits. Le changement de famille, obligeant à reprendre le logiciel, est une gêne évidente.

### **Famille SH1**

SH7010, 28 Mips à 28 MHz, offre un adressage 16 bits entièrement externe pour les programmes, et 4 KB de données. La présence d'un MAC rappelle davantage les DSP que le RISC. Le choix de périphériques souligne l'aspect contrôleur : 7 interruptions externes en 16 niveaux de priorité, 5 timers, 2 ports série, 35 bits de ports parallèle, un chien de garde, et un codeur 10 bits à 8 voies. Boitier QFP 112.

SH7020, 20 Mips à 20 MHz, est un modèle nettement plus modeste, également ROMless : 16 KB de programme externe, 1 KB de données internes, 9 interruptions, 7 timers, 40 bornes parallèles et 2 ports série, pas de codeur. Il se contente d'un boitier TFT 100.

SH7030 est le même que ci-dessus, avec les caractéristiques de mémoire et le boitier du 7010.

**Famille SH2** diffère de la précédente par le fait que la mémoire de programme est interne, et qu'elle est réalisée en CMOS 0,8  $\mu$ .

SH7040, 28 Mips à 28 MHz, offre 64, 128 ou 256 KB de mémoire de programme interne, 4 KB de mémoire de données, 9 interruptions, 9 timers, 74 ou 98 bornes parallèles, 2 ports série, chien de garde et codeur. Boitiers QFP 112 ou 144, ou TFP 120.

SH7050, 20 Mips à 20 MHz, contient 128 ou 256 KB de mémoire de programme, 10 ou 6 KB de données, 9 interruptions, 20 timers, 3 ports série, 118 bornes parallèles, et un codeur 10 bits à 16 voies. Cette débauche de périphériques exige un boitier QFP 168.

SH7604 est le calculateur des consoles de jeu Sega, une très bonne opération. Réalisé en CMOS 0,8  $\mu$ , il contient 450000 transistors dans 56 mm<sup>2</sup>.

Coeurs : à partir de 1996, la famille SH2 est disponible sous forme de coeur intégrable dans un ASIC, avec une performance de 15 Mips à 17 MHz, et une consommation de 0,13 W.

**Famille SH3** est beaucoup plus puissante, grâce à une réalisation en CMOS 0,5  $\mu$ . Elle travaille en mémoire virtuelle, avec un adressage externe de 4 GB, la puce contenant seulement cache et TLB. Instructions de 16 bits, à raison de 2 / mot. Le bloc de calcul ne contient plus de diviseur, mais le multiplieur 32 \* 32 est cablé. 16 GPR, 5 registres de commande, 4 registres système.

Horloge interne programmable pour faire travailler le CPU à 1, 2 ou 4 fois la fréquence du quartz, et indépendamment les périphériques à 1, 1/2 ou 1/4 de cette fréquence. Système d'exploitation Windows CE.

SH7702, premier exemple, travaille à 45 MHz

SH7708 contient 800000 transistors dans 44 mm<sup>2</sup>, dont seulement 4,2 pour le CPU proprement dit. Sa vitesse est 60 MHz en mai 95, ou 100 MHz en 1996, correspondant à 60 ou 100 Mips respectivement. Il contient un cache d'instructions de 8 KB et un TLB de 128 entrées, et un contrôle de bus qui permet l'emploi de mémoires DRAM, SDRAM, PDRAM, PCMCIA. Le reste est plus anodin : 7 interruptions en 17 niveaux, 3 timers, 3 ports série, 16 bornes parallèles, chien de garde, codeur 10 bits à 8 voies. Boitier QFP 208. Consommation faible sous alimentation 3,3 V : 0,4 W à 60 MHz, 0,7 W à 100; modes économiques veille et sommeil ; fonctionnement possible à 20 MHz en ne consommant que 50 mW.

A partir de 1996, la famille SH3 est disponible sous forme de coeur intégrable dans un ASIC, avec une taille de 4 mm<sup>2</sup>, une performance de 60 Mips à 60 MHz, et une consommation de 0,1 W.

**Famille SH-DSP**, inaugurée en 1997, consistant à associer sur une même puce un CPU d'architecture SH2 mais fonctionnant à la vitesse du SH3, et un DSP 16 bits en virgule fixe. L'instruction 32 bits comprend une instruction 16 bits pour chacun des deux processeurs qui travaillent au même rythme.

L'architecture comprend :

- un bus d'adresse 32 bits qui travaille soit sur une mémoire interne, soit à travers un cache, sur une mémoire virtuelle unique de 4 GB qui peut être interprétée comme source d'instructions, de données 32 bits, ou de deux données 16 bits pour le DSP. Deux bus XAB et YAB, actionnés par le décodage d'instructions DSP, attaquent les deux moitiés de cette même mémoire.

- un bus de données 32 bits, alimenté par la mémoire commune en 32 ou 16 bits, et qui communique avec le bloc de commande, les 16 GPR du RISC ou les 8 \* 32 bits du DSP (pour load/store). D'autre part, les bus XDB et YDB 16 bits ont accès chacun à une moitié de la mémoire et aux deux voies du DSP.

**SH 7410** = HD6437410F, en QFP 200. Contient un accu 40 bits, un décaleur 32 bits, un port série, deux ports parallèles, 4 interruptions. La mémoire interne comprend 16 Kmots.

La réalisation suivante serait plutôt l'association d'une vraie SH3 à un DSP, ce qui permet de porter les performances à 133 Mips ou 266 Mops. La mémoire interne est portée à 32 Kmots, le nombre d'entrées/sorties parallèles à 12, celui des interruptions à 7.

**Famille SH5**, étude commune à Hitachi et la firme francoitalienne ST Electronique. Il s'agit directement d'un coeur intégrable, mais non synthétisable, assez puissant pour regrouper un RISC scalaire de commande, une unité de calcul SIMD pour le multimedia, avec 64 registres de 64 bits, et un FPU optionnel à 64 registres de 32 bits. Il s'agit d'une architecture 64 bits, réalisée en CMOS 0,15 µ à connection cuivre, pour travailler à partir de 400 MHz. Alimentation 1,5 V.

Le SH5 a deux modes de fonctionnement :

- dans le mode SHmedia, il dispose de 203 opérations de longueur fixe 32 bits à 3 adresses de registres, y compris des opérations multimedia sur 8 / 16 / 32 bits en parallèle. 4 bits réservés permettront d'étendre ce code dans des réalisations ultérieures de cette famille.

- le mode SHcompact comprend 201 opérations à 2 adresses, compatibles avec les familles antérieures. Le logiciel de la famille SH4 / ST40 est utilisable dans ce mode.

Le passage d'un mode à l'autre s'effectue par le bit de poids le plus faible d'une instruction d'adressage.

Les branchements s'exécutent en deux opérations : la première, baptisée PTA pour prepare target adress, charge l'adresse cible dans l'un des 8 registres de branchement, puis se procure les deux instructions de l'alternative, qui sont stockées dans le tampon d'instructions. Ainsi la probabilité est élevée qu'au moment de l'exécution de l'instruction de branchement proprement dit, qui définit le test et pointe le registre de cible, l'instruction visée soit déjà dans le tampon.

**SH8000/ST50** comprend deux caches de 32 KB, chacun avec TLB de 64 entrées, relié par bus 64 bits à l'unité load/store pour le D et au bloc de commande pour le I.

Performances mesurées : 714 Mips Dhrystone 1.21, 604 Mips Dhrystone 2.1, 9,6 Gops en DSP et plus particulièrement 1,66 GMAC/s.

### *Divers*

Dans ce paragraphe plutôt pauvre, il faut mentionner le fait que Hitachi s'est essayé, au début de l'histoire des PC, à réaliser une machine compatible, dite série 16000. Cette machine 8088 + 8087, avec 128 à 384 KB de mémoire, travaillant sous MS/DOS, disposait de deux lecteurs de disquettes 320 KB, d'un disque dur optionnel de 10 MB, d'un modeste écran 25 \* 80 caractères ou 640 \* 200 pixels, et de deux interfaces parallèle Centronics et série RS232, pour 29850 FF. Malgré ce prix plutôt compétitif, la série 16000 n'a pas franchi le cap du PC/AT.

Autre production, plutôt plus réussie : la production massive de disques à l'usage de sociétés, comme en particulier Hewlett Packard, qui les assemblent en mémoires de masse RAID. On peut ainsi citer un produit annoncé en 11 / 94, pour disponibilité en 1 / 95 :

Disque 2,5", 1,08 GB, interface ATA2, débit 11,1 MB/s, poids 140 g. Pour portables ?

Ou encore, en 1999 :

Hitachi vend à Hewlett Packard ses disques de 36 GB pour composer **Sure Store E / MC 256**, une mémoire de masse à 256 disques organisés en Raid 1 et 5, dont cependant la firme américaine a changé le contrôleur et les connexions. Le produit est redistribué par HP à tous les usagers, non seulement ses propres serveurs, mais aussi ceux des systèmes Solaris, Windows NT, OS/390, AIX, VOS, MPE, MXP.

## 754 - L'informatique chez Nippon Electric Co

La curiosité à l'égard des calculateurs naît chez NEC, comme chez Hitachi, lorsque la découverte du paramétron donne aux japonais l'impression qu'ils disposent d'une solution nationale fiable au problème. Le prototype réalisé en 1958 s'intitule **NEAC 1101** : c'est une machine parallèle sur 32 bits, travaillant sur une porteuse de 19,5 KHz, avec une petite mémoire à tores de 128 mots, et très lente.

La machine commerciale qui en est déduite, la **NEAC 1103**, était beaucoup plus performante, avec une mémoire à tores de 2 à 9 Kmots, extensible s'il y a lieu par plusieurs tambours, et des opérations exécutées fixes et flottantes en moins d'une milliseconde. Elle avait a priori toutes les qualités pour réussir, y compris le prix, mais son essor s'est arrêté en même temps que chez les autres constructeurs quand les propriétés des premiers circuits à transistors ont mis en évidence que le paramétron était déjà surclassé.

La première machine à transistors est la **NEAC 2201**, décimale série, centrée sur un très modeste tambour magnétique, et utilisant la logique dynamique série de l'ETL Mk IV. De ce prototype, NEC tire, dès la mi-59, une machine de gestion à caractères de 8 bits, programmée par tableau de préaffichage, la **NEAC 2202**, et une scientifique à tambour magnétique, la **NEAC 2203** à mots de 12 chiffres dont signe. Grâce à l'existence de tambours fichiers, cette machine a pu être utilisée pour réaliser une réservation de places ; dès cette époque, des expériences de télétraitement off line, avec bande perforée intermédiaire, ont été réalisées.

Cette double réussite va donner lieu à plusieurs développements :

**NEAC 2205** (3/61) est une version plus économique, avec tambour de 3080 mots à temps d'accès de 12 ms, 37 opérations à 1 adresse et 3 index, mais avec des nombres décimaux de 10 chiffres seulement et pas de virgule flottante. Addition 1300  $\mu$ s + accès, multiplication 1388  $\mu$ s + accès, division 6,5 ms + accès, ces chiffres indiquent une organisation complètement série mais avec un multiplieur rapide. Pas d'optimisation, on se limite à un pas stroboscopique. Périphériques modestes : LC200, PC100, LR100, PR50, IP200, et bandes magnétiques 400 cps adressables comme une mémoire auxiliaire.

**NEAC 2101** (3/61) est une version plus orientée vers les laboratoires, et surtout transposée du décimal au binaire : tambour accru à 4096 mots de 32 bits addition 2700  $\mu$ s + accès, virgule flottante, fournie avec un compilateur algébrique. Les périphériques sont uniquement la bande perforée, ainsi qu'un dérouleur porté à 1100 cps, probablement destiné à l'archivage. Prix \$ 700 à 1200 par mois.

**NEAC 2206** (3/62), également dérivée du 2203, semble être simplement un développement technique "tous azimut" : mémoire à tores de 4 à 10 Kmots de 12 chiffres décimaux, cycle 10  $\mu$ s ; tambour magnétique de 120 Kmots, virgule flottante, nombreux index (54 ou 81 selon les sources, forcément en mémoire), addition en 50  $\mu$ s, périphériques très améliorés : LC 600, PC 250, LR 600, PR 50, IP 900, jusqu'à 20 bandes magnétiques à 90000 chiffres par seconde. Il y aura même, plus tard, de nouveaux tambours de 10000 car, accès 8,3 ms, 195 Kcar/s, et des disques de 67,1 Mcar, accès 220 ms, 180 Kcps.

5 de ces machines ont été utilisées en 1963, sous le nom de **CM100**, pour la comptabilité téléphonique.

**NEAC 2204** (7/62) est plutôt orientée gestion, mais désormais programmable, avec 200 mots de mémoire à tores et 3000 mots de tambour 13 ms. Instructions à 3 adresses, avec 2 index, addition en 1500  $\mu$ s. Il y aurait même des interruptions.

Les périphériques restent les mêmes que pour la 2205, à part l'imprimante portée à 350 lpm.

**NEAC 2230** (3/63) semble une version économique de la 2206, avec 2400 mots de tores et l'addition en 100  $\mu$ s. Outre les 3 index, il existe un adressage indirect, la virgule flottante, la protection de mémoire et les interruptions. Les périphériques peuvent être les matériels économiques du 2205, mais on peut aussi installer le tambour ou le disque précités.

On a utilisé cette machine, en 1964, pour la première réservation de places des Japan Airlines.

En dehors de la famille précédente, NEC a réalisé diverses autres machines pour élargir son champ d'action, à savoir :

**NELOG 310** (9 / 64) est une machine de process control où NEC a astucieusement recyclé sa compétence en paramétrons, devenue inutilisable en scientifique ou gestion. Cette machine 25 bits est construite autour d'un tambour de 6000 mots tournant à 6000 t/min. Un index, addition en 8,4 ms, répertoire de 44 opérations, 8 interruptions.

**NEAC 1201** (1964) est une petite machine scientifique en forme de bureau, avec une mémoire à tambour de 80 mots de 12 chiffres décimaux + signe, travaillant en virgule fixe, exécutant l'addition en 30 ms + accès, la multiplication en 70 ms + accès, la division en 350 ms + accès, au total un répertoire de 27 opérations à une adresse dont on ne voit pas la localisation : il y a doute sur la capacité du tambour, à moins que ce prototype n'ait été programmé par bandes perforées pour faire des économies.

**NEAC 1210** (10 / 64) est la version de série de cette machine, vendue 8000 \$ et réalisée avec des paramétrons, ce qui explique les faibles performances. Mais ici le tambour comprend 3000 mots, ce qui permet d'écrire des programmes. Avec l'attrait de l'étranger, l'originalité et la fiabilité du paramétron, cette

machine s'est très bien vendue aux Etats-Unis, premier produit informatique japonais à entrer aux USA : il en a été produit 817 exemplaires.

**NEAC L2** (1966) est une expérience de microprogrammation par un nouveau type de mémoire morte "à courants de Foucauld". La réalisation a été menée à bien sous la forme d'une machine scientifique à mots de 40 bits, avec 8 Kmots de mémoire à tores 1  $\mu$ s. Voir fiche. Réussie mais non suivie sans qu'on sache le motif de cet abandon.

**NEDAC 412** est un appareil de commande numérique, absolument comparable à ceux de la concurrence, pour l'évidente raison qu'il est destiné aux mêmes machines-outils. Destiné aux tours et fraiseuses, il travaille sur trois axes, mais un seul à la fois, et sait uniquement suivre des segments rectilignes, par incréments de 0,01 mm par impulsion, et sur un maximum de 999,99 mm. Deux vitesses de coupe, 600 à 1200 mm / min ou 1800 à 3600 mm / min.

**NEDAC 721** est au contraire une commande curviligne, agissant simultanément sur deux des trois axes possibles. Même incréments, trajet jusqu'à 9999,99 mm, deux vitesses 600 / 1200 mm/min ou 2400 / 4800 mm/min. Diamètre d'outils jusqu'à 79,99 mm.

En 1964, le choc de l'annonce, au Japon comme dans le monde entier, de la gamme IBM S/360, décide NEC à changer d'attitude. Pour continuer à s'occuper d'informatique, il faut être pris au sérieux, et vendre une gamme avec du logiciel.

NEC, comme tous les autres constructeurs japonais, choisit de s'allier à un constructeur américain, en l'occurrence Honeywell, et prend les licences :

- du MH 400, rebaptisé **NEAC 2400**
- du MH 1400, rebaptisé **NEAC 3400**
- du MH 800, rebaptisé **NEAC 2800**
- du MH 1800, rebaptisé **NEAC 3800**
- de la série H200, rebaptisée NEAC 2200, dont la version /200 est annoncée en 7/64

En réalité, il y a peu de chances que les contacts pour toutes ces machines aient été pris si tardivement. Il est probable que les discussions étaient déjà anciennes, entreprises au moment où IBM a créé sa filiale japonaise, et que des accords avaient été pris pour l'importation, ou la fabrication sous licence des machines MH, certainement peu nombreuses.

Par contre, l'annonce des 360 a certainement revitalisé des accords somnolents, et précipité la construction au Japon des H200, qui ont d'ailleurs très bien réussi. Voir catalogue en boîte 187.

**NEAC 2200 / 200** (7 / 64) = H200, 298 vendues à la fin de 1969, 404 en tout

**NEAC 2200 / 400** (10 / 66) = H2200, 57 vendues fin 1969, 82 en tout

**NEAC 2200 / 500** (10 / 66) est une machine de temps partagé, compatible mais créée pour les besoins locaux. Elle est réalisée avec des circuits intégrés en logique CTL développés en liaison avec Fairchild, et dispose d'une mémoire de 512K organisée en mots de 8 bytes, cycle 1,5  $\mu$ s. 45 vendues fin 69, 161 en tout. Voir fiche et photo.

**NEAC 2200 / 100** (11 / 66) = H120, 80 produites fin 69, 88 en tout

**NEAC 2200 / 300** (2 / 67) = H1200, 4 produites fin 69, 5 en tout

**NEAC 2200 / 50** (5 / 67) est une machine de conception japonaise, réalisée en circuits intégrés DTL. Pourrait utiliser le même CPU que le Mle 100, avec des périphériques plus économiques. 120 étaient livrées fin 69, 341 ont été produites en tout.

**NEAC 2200 / 150** (1970) = H125, 8 produites fin 69, 245 en tout

**NEAC 2200 / 250** (1970) = H1250, 4 produites fin 69, 239 en tout

**NEAC 2200 / 700** (S 3 / 70) est un biprocesseur de conception japonaise, avec mémoire à tores de 2 Mcar, organisée en mots de 48 bits, cycle de 0,5  $\mu$ s, exécutant l'addition VF en 0,8  $\mu$ s. Possède une mémoire associative pour étendre la mémoire physique. Entrées/sorties 16 canaux. 14 construites, vendues à un prix de l'ordre de 2 Milliards de Yens.

**NEAC 2200 / 75** (1971), dérivée du Mle 100, probablement série H2000 d'Honeywell, 208 produites

**NEAC 2200 / 175** (1971), dérivée du 200 et du 150, 2 produites

**NEAC 2200 / 275** (1971), dérivée du 250, 2 produites

**NEAC 2200 / 375** (1972), dérivée du 500, 92 produites

**NEAC 2200 / 575** (1972), dérivée du 700, 40 produites

Bien que cette période ait apporté beaucoup de travail à la division informatique de NEC, la société a continué à se diversifier avec :

**NEAC 1240** (2 / 67), petit calculateur scientifique décimal qui vise approximativement le marché de l' IBM 1620. Voir fiche et photos.

**NEAC 3100** (5 / 67), petit calculateur scientifique binaire qui viserait plutôt le marché de l' IBM 1130, et dont le prix est abaissé par l'emploi des périphériques économiques mis au point pour la 2200 / 50.

**NEAC 3200** (1969), calculateur de process control, voir fiche et photo.

**NEAC M4** (1969), premier minicalculateur 18 bits de NEC. Voir fiche et photos.

Depuis qu'en 1970 l'informatique d' Honeywell est devenue HIS, on sait au Japon que des regroupements seront indispensables, et c'est chez Toshiba, qui s'était allié à GE, que la mutation est la plus difficile. En fait, la mutation prendra le même temps au Japon qu'aux USA, ce qui prouve la dépendance des constructeurs japonais. La nouvelle famille ACOS 77 n'a pas d'ambition aux USA ni en Europe. Elle vise le marché japonais et ses éventuelles dépendances extrême-orientales et respecte l'indépendance des deux sociétés NEC et Toshiba, qui se partagent la fabrication (inégalement : le leader est NEC) et la distribuent à des services commerciaux demeurés indépendants. Les machines en cause ne sont pas celles de la "série 60", beaucoup trop large, mais seulement les level 64 et 66, donc des machines plutôt scientifiques et temps réel ; en conséquence, NEC doit trouver quelque chose à offrir à l'importante clientèle de gestion créée par les NEAC 2200 abandonnées.

La nouvelle famille de gestion s'appelle **NEAC 100**. Annoncée en 10 / 73, elle se fixe un objectif de 5000 machines produites en 5 ans, et démarrera effectivement assez bien : 500 commandes dans les 6 premiers mois, 1020 livrées en 9 / 75. On ignore si la suite a été aussi favorable.

La NEAC 100 est proposée en 9 configurations, de la simple facturière au véritable ordinateur de gestion avec disques. Le CPU s'appuie sur une mémoire de 8 à 32 KB, cycle 1  $\mu$ s pour 2 bytes. L'imprimante est du type à chaîne. Les prix s'étagent de \$ 14000 à 115000.

Le service est garanti par une programmation très simple :

BEST, Beginner Efficient Simple Translator, un langage très facile à apprendre ;

APLIKA, APplication LIBrary by Kit Translator, collection de services prérédigés ;

et un compilateur Cobol pour les programmes de production.

Les ACOS sont caractérisés davantage par l'utilisation du système d'exploitation GECOS, que par les dispositions matérielles à l'égard desquelles les constructeurs prennent des libertés. Le trait essentiel est la microprogrammation, qui donne une grande liberté à l'égard du donneur de licence.

Les chiffres de vente en notre possession sont modestes : 240 ACOS tous types vendus en 3 / 75 ; 531 par NEC et 204 par Toshiba cumulés en 6 / 76 ; 900 en service en 1978.

**ACOS 77 / 200** (1974) fonctionne sous ACOS 2 mais ne semble pas être la machine italienne du level 62. Elle comprend une mémoire principale NMOS 48 à 104 KB à base de puces 1K puis 4 Kbits, cycle 1  $\mu$ s / 2 B ; une microprogrammation à cycle de 170 ns, englobant la gestion de mémoire virtuelle et la protection par anneaux, un mode compatible 2200 et des facilités de conversion vers les machines plus grosses ; et 6 canaux intégrés capables ensemble de 900 KB/s.

Périphériques : ME30 de pupitre capable des kana, LC800, IP700 à tambour sur 111 caractères de large ; 4 à 8 disques à choisir parmi trois capacités, 5,6 - 11,2 - 29 MB.

Les prix s'étagent de \$ 5000 à 12400 par mois, et on espère 2000 ventes sur 5 ans, chiffre qui ne sera pas atteint, beaucoup s'en faut.

**ACOS 77 / 400** (1974) pourrait être la machine française level 64 avec des périphériques japonais. Elle fonctionne avec une mémoire de microprogramme à cycle de 175 ns, la même mémoire que ci-dessus mais organisée pour cycle 1  $\mu$ s par 4 bytes, capacité 128 à 384 KB, et 6 canaux avec un débit maximum de 4 MB/s. Les périphériques les plus intéressants sont LC 1050, IP 1400 à tambour sur 132 caractères de large, jusqu'à 8 disques de 29, 58, 100 ou 200 MB, et la machine à écrire de pupitre avec kana.

Le logiciel est ACOS 4, accompagné de Fortran IV, Cobol et PL / I. Le prix s'établit entre 12400 et 28000 \$ / mois.

**ACOS 77 / 600** (11 / 74) appartient à la famille Level 66, fonctionnant sous ACOS 6, pratiquement GCOS complet avec mémoire virtuelle à deux niveaux, RJE, Temps partagé, Mode transactionnel, commutation de messages, compilateurs Fortran IV, Cobol, PL/I, Algol, Jovial, GMAP, Basic, Base de données IDS ou INQ, cette dernière inspirée d'Adabas : cela englobe la gestion de communications et le langage d'interrogation. Mémoire virtuelle de 8. 10<sup>12</sup> bytes englobant les entrées/sorties.

Techniquement, ces machines comprennent une mémoire DRAM en NMOS 4Kbits de 384 KB à 1 MB, avec un cycle de 1,2  $\mu$ s pour 8 bytes, organisée avec entrelacement 2. Leur logique utilise les circuits TTLS, et leur architecture englobe toutes les facilités EIS, y compris la virgule flottante en longueur variable jusqu'à 63 bytes. Les machines peuvent être biprocesseurs.

**ACOS 77/300** (2/75) reprend toutes les caractéristiques de la 400 en les diminuant pour baisser les prix, soit mémoire 96 à 256 KB, 5 canaux., prix \$ 10000 à 20000 par mois.

**ACOS 77/700** (1975) développe toutes les caractéristiques du 600 en améliorant la technologie : mémoire 512 KB à 4 MB accélérée à 700 ns/ mot de 8B avec entrelacement 4, cache de 8 KB à cycle de 100 ns par 8 bytes, à base de circuits bipolaires en puces de 1 KB. Jusqu'à 4 CPU et 96 canaux, frontal de communications avec 256 KB de mémoire pour gérer jusqu'à 200 lignes. Prix 40 à 162 K\$/ mois.

**ACOS 77/500** (5/76) applique les mêmes améliorations et la même mémoire entrelacée 2 fois à une machine ACOS 4 à mémoire de 256 à 1024 KB, avec 12 canaux.

Logiciel tridimensionnel batch, RJE, temps partagé, avec Fortran, Cobol, RPG, RPL, GMP, NL/11.

Prix : 19500 à 58400 \$/ mois.

**ACOS 77/900**, biprocesseur de 2 \* 6,75 Mips, a été livrée à l'Université d'Osaka en 1979 et relève déjà de la technologie suivante : 200 portes par puce, 110 puces par module logique.

**System 250** (S 7/79) est bien une machine de la famille ACOS, produite comme les autres par accord de NEC et Toshiba, et en utilisant la même technologie, en l'occurrence des réseaux de 550 portes ECL avec interface TTL. C'est en fait une machine plus puissante que le 300, mais il n'entre pas en compétition parce que sa mémoire n'est pas virtuelle, et que son système d'exploitation est câblé dans quelque 600 Kbits de ROM bipolaire. Il s'agit de lutter contre le S/38 d'IBM, avec deux variantes :

Mle 40, mémoire 256 (256) 1024 KB, puissance 100 Kops

Mle 60, mémoire 256 (256) 2048 KB, puissance 200 Kops.

La mémoire est réalisée à base de puces 16 Kbits, et l'importante mémoire de microprogrammation n'est pas comptée dans le total précédent. La machine est en quatre blocs : bloc de commande, y compris console de service et microdiagnostics ; répertoire de l'utilisateur ; contrôleur de disques et bandes ; contrôleur des unit records. Il existe un maximum de 12 canaux, chacun matérialisé par un contrôleur NMOS de 3300 portes qui gère le protocole. Il n'y a pas d'assembleur ; bref, c'est exactement l'approche du 38 IBM.

Prix typique : \$ 3000 par mois pour un 40 avec 256 KB de mémoire, 2 disques de 80 MB, une bande, unz IP 370, la console et le logiciel. Il peut monter à \$ 15000.

**N4700** (1979) est un produit NEC qui apparaît en même temps qu'IBM invente la Série 1 ou le 8100. Il s'agit d'organiser l'informatique distribuée qui entoure les machines principales ACOS. NEC a créé à cet effet, à l'image du SNA d'IBM, le réseau DINA, et oggre un système d'exploitation orienté.

La machine, inspirée par les minis MS, est construite au moyen de tranches de 4 bits, produites par NEC en TTL à raison de 700 portes par puce et de MOS 3000 portes pour les contrôleurs. Pour les fichiers, le système comprend 2 lecteurs de disquettes de 1 MB, et des disques de 20, 40 ou 80 MB, avec un maximum de 8 \* 80 MB (+ 960 KB à têtes fixes en option), très performants (1198 KB/s).

La machine est proposée en deux modèles :

- le 4740 dispose de 512 KB de mémoire 700 ns, d'un répertoire de 124 opérations standard + 62 options dont la VF, d'un Gibson mix de 2,4  $\mu$ s, et d'un maximum de 32 postes de travail dont 16 à distance.

- le 4750 comprend 1 MB de mémoire 465 ns avec cache 8K à 200 ns, d'un répertoire de 156 + 30 opérations avec un Gibson mix descendu à moins de 2  $\mu$ s, et d'un maximum de 64 postes de travail dont 32 à distance.

Prix minimum : 242 KY / mois pour 256 KB, une disquette, un disque de 40 MB, & ligne, une ME ; il faut compter 85 KY pour ajouter 4 postes de travail.

La deuxième génération de machines partagées NEC / Toshiba apparaît en 1980 et comprend trois machines, fortement microprogrammées, réalisées en réseaux de portes CML à 1200 portes par puce :

**ACOS 550** est livrable dès janvier 1980. C'est une machine OS 4 de 1,7 Mops vendue M\$ 1,63 avec une base de données japonaise.

**ACOS 350**, livrable en juillet 1980, n'offre que 0,5 Mops pour K\$ 383, avec le même service.

**ACOS 450**, même délai, est 1 Mops et coûte K\$ 862.

Il semble qu'après ce dernier effort, Toshiba se désintéresse de la compétition informatique proprement dite, et que NEC ait au contraire décidé de la prolonger à fond, en ajoutant à sa clientèle japonaise un effort orienté vers les USA, puis vers l'Europe. Cette nouvelle offre, qui va évoluer sur 8 ans, est clairement décomposée en deux familles:

**ACOS 4** est l'équivalent des DPS 7 de Bull, avec plusieurs machines 32 bits dont la commercialisation est fragmentée par le marketing, jouant probablement sur les caches mais surtout sur la configuration, de 1 à 4 processeurs, comme suit :

- les 430, trois modèles 0,7 à 1,8 Mips, avec un minisystème AVP. Il s'agit probablement de monoprocesseurs ne différant que par le cache., et plus précisément d'une simple remise en boîte des 350 / 450 / 550 mentionnés plus haut.

- les 610, deux modèles 2,5 et 4,5 Mips, mono et biprocesseurs, avec le système complet MVP XE.

- les 630, deux modèles 4 et 7,6 Mips. Même CPU que le 610, avec un cache plus important.

- la 750, 6,4 Mips, qui sera utilisée en France par Bull.

- la 950, 4 modèles de 15, 29, 42 et 54 Mips, 1 à 4 CPU.

- la 1500, 4 modèles 37, 70, 100 et 130 Mips, 1 à 4 CPU.

Cette liste n'a pas été annoncée en une fois ; elle représente la situation en 1987.

**ACOS 6** est l'équivalent des DPS 8 de HIS, avec de la même manière 4 classes annoncées entre 1980 et 1986. Ces machines 36 bits fonctionnent sous ACOS 6 / MVX.

- les 650, 3,1 et 5,9 Mips, mono et biprocesseur.

- les 850, cinq modèles de 7,3 / 10 / 19 / 28 et 36 Mips.

- les 1000, quatre modèles de 15, 29, 42 et 54 Mips.

- les 2000, quatre modèles de 47, 89, 130 et 170 Mips.

Il est à peu près évident que les machines des deux familles sont les mêmes, les différences portant sur l'allongement du mot et la microprogrammation. Nous n'avons de détails que sur les débuts de cette histoire, qui nous devient de plus en plus familière au fur et à mesure que HIS d'abord, puis son successeur Bull, renoncent à réaliser eux mêmes leurs machines haut de gamme. Citons :

**ACOS 1000** est une ACOS 6 de 29 Mips annoncée en 9 / 80, livrée à partir de 10 / 81. Elle résulterait de la reprise par les japonais, avec une technologie améliorée, de la DPS 66 / 85 de HIS, abandonnée avant toute livraison. Elle a été vendue en Europe comme DPS 90 / 91 à 94. Le système d'exploitation pour l'Europe est GCOS 8, le prix du quadriprocesseur est 8,4 M\$. Voir photo.

L'architecture se compose d'un SCU avec 1 ou 2 EPU, le tout pouvant être doublé. La mémoire comporte 8 à 64 MB en puces NMOS de 64 Kbits. Chaque processeur commence par un cache de 128 ou 256 KB débitant 100 MB/s, réalisé en puces CML de 1 Kbit, donnant un gain global de 10 pour le temps d'accès. La logique est réalisée en réseaux ECL à 1200 portes par puce, avec un délai de 0,7 ns par porte. Les disques sont fournis avec un contrôleur microprogrammé qui contient un cache de 32 MB et permet le partage de fichiers entre les CPU.

Le logiciel japonais est ACOS 6 qui comporte un moniteur de temps partagé TTS-AF et un moniteur transactionnel TDS-AF. Tout à fait spécifique est l'ensemble JIPS du processeur de langage appliqué aux manipulations de la langue japonaise, et de divers périphériques : CS 122J tablette kanji, N6300/50N F11K "clavier" acceptant les kanji, N7384 imprimante, N7370 imprimante rapide.

Le prix au Japon de ces machines est 30 MY / mois pour un Model 1, 43 MY / mois pour un Model II.

**MS 190** (1982) est une machine scientifique de 4 Mops, avec 16 MB de mémoire et cache 32 KB, construite hors programme ACOS mais en utilisant les grands circuits hybrides mis au point pour l'ACOS 1000. Prix typique : K\$ 430 pour un CPU, 4 MB, 8 stations, 32 lignes.

**ACOS 650** (1981) est le plus petit modèle de la gamme ACOS 6, dont le CPU de 3,1 Mips est construit en logique CML. On y trouve des instructions travaillant sur 32 bits et des manipulations de bytes, sous-ensemble de l'ancien EIS.

**ACOS 850** (1982) reprend l'architecture des ACOS 1000, avec une technologie hybride multipuces groupant jusqu'à 60 puces CML (2000 portes, 500 ps / porte) en trois dimensions sur un socle de 80 \* 80 mm. Jusqu'à 4 de ces modules se montent sur une carte, et il y a 37 cartes par panneau. L'intégration croissante des puces permet de faire évoluer la machine sans même l'annoncer, réduisant progressivement le nombre de puces par module de 80 à 60 puis à 56, la dissipation par module pourvu de radiateur étant plafonnée à 95 Watts.

Les plus récentes machines ont 9 multichips groupés sur un socle 16 couches de 432 \* 394 mm, soit 160000 portes et 1344 connections au maximum par carte.

Le processeur ainsi construit dispose d'un cache de 32 KB et délivre 8 Mips. On l'associe à une mémoire de 8 à 40 MB à base de mots de 72 bits, construite avec des puces de 64 Kbits, accessible comme une mémoire virtuelle de 1 GB, divisée en 16 MB par tâche. Les entrées/sorties sont organisées en 5 à 52 canaux, débitant un maximum de 80 MB/s. En option, un array processor peut être associé à chaque CPU. Prix typique : \$ 80000 par mois pour 8 MB de mémoire, un CPU, 2 consoles, 6 disques de 635 MB, 4 bandes de 1250 KB/s, un LC, une IP en kanji et une IP en caractères latins.

Le système d'exploitation OS 6 peut s'associer la base de données interactive japonaise Data 710.

**ACOS 2000** (1986) reprend l'architecture du 1000 avec une nouvelle logique ECL à base de réseaux de portes et de scratchpad de 16 Kbits autorisant un temps d'accès de 3 ns. On obtient ainsi un processeur de 47 Mips, refroidi par liquide.

Le monoprocesseur 2010 dispose de 256 MB de mémoire et de 96 canaux, plafonnés ensemble à 196 MB/s. Les trois autres modèles, 2020, 2030, 2040, ont 512 MB de mémoire et 192 canaux.

**ACOS 750** (1981) est le haut de gamme initial de la famille ACOS 4, capable de 6 Mips. Il est vendu à Bull qui assume la charge d'y microprogrammer le support de GCOS7.

**ACOS 1500** (1986) est uniquement destinée au marché japonais et livrable à partir de juin 1985, avec 1 à 4 CPU, 256 MB de mémoire et 96 canaux sous OS 4.

La réalisation comprend des panneaux 12 couches recevant 6 \* 6 puces refroidies par des radiateurs métalliques, le calage comportant des lignes de 25 µ de large au pas de 75 µ, et des vias de 50 µ<sup>2</sup>. Les puces sont de trois types:

très rapides : 300 portes, délai 275 ps/porte, dissipation 2,2 W, 52 bornes dont 42 de signaux.

rapides : 2000 portes, 350 ps/porte, dissipation 5 W, 132 bornes dont 112 de signaux. Prend la place de 4 puces du type précédent.

mémoires : 4K bits, accès 4,5 ns, groupées par 8 sur un socle céramique avec 2 éléments logiques.

Les panneaux sont eux-mêmes groupés en packages de 56 \* 300 à 296 broches, ou 49 \* 300 en 420 broches.

L'ensemble de ces machines nous amènent jusqu'en 1990, date à laquelle NEC décidera à son tour de se retirer de la course aux mainframes, au moins en Europe, en laissant la charge à Hitachi et Fujitsu.

Au Japon, il a existé un **ACOS 3800**, utilisant la technologie du SX3.

Cependant, cette décision ne laisse pas réellement un vide, pour deux raisons :

- d'une part, NEC s'est essayé, comme ses concurrents japonais, à la construction de supercalculateurs, et réalisé des machines, SX2, puis SX3, dont les performances sont à la hauteur de la concurrence mondiale.

- d'autre part, NEC a entrepris, plus tôt que ses concurrents, de créer une industrie microélectronique, et elle est parvenue à une compétence comparable à celle des bons spécialistes américains, au point de fournir des puces à diverses réalisations américaines. Certes NEC ne peut ni ne veut concurrencer Intel, mais il a de l'avance sur les autres japonais en matière de microprocesseurs.

### *Supercalculateurs*

**NEDIPS**, NEC Dataflow Image Processing System est simplement une recherche, mais menée à bien en 1985 : c'est la combinaison d'un processeur de traitement d'image d'architecture dataflow, baptisé **Sigma1**, capable de 159 MFlops en pointe, d'une mémoire qui peut comporter jusqu'à 64 MB, et d'une console graphique couleur. Le tout est commandé à partir d'un hôte constitué par un simple mini du genre MS.

Le gain du processeur dataflow spécialisé par rapport à un calculateur universel Von Neuman est supérieur à 30. Toutefois, il semble qu'à cette date, on n'avait pas réellement besoin de cette performance.

Voir une fiche sur Sigma 1 classée à ETL.

**SX1** évalué à 570 MFlops et **SX2** à 1,3 GFlops sont au contraire des produits commercialisables, construits à partir de mémoires SRAM MOS de 1 Kbits, temps d'accès 3,5 ns, et de puces logiques ECL de 1000 portes, fonctionnant avec CP = 6 ns et un retard de 250 ps/porte. C'est la logique de l'ACOS 1500.

Les photographies suggèrent que 169 puces sont regroupées en un hybride, et que ceux-ci sont montés 6 \* 6 sur un support céramique de 100 \* 100 mm refroidi par liquide, car l'ECL dissipe 5,5 mW par porte et chaque module dissipe plus de 200 W. Le module comporte 2177 broches, et 12 de ces MCP sont regroupés sur chaque panneau. Voir photo dans la fiche SX3.

Ces composants servent à édifier des ensembles comprenant un processeur scalaire de 20 MFlops à 128 registres de 64 bytes, et 2 ou 4 processeurs vectoriels partageant 80 KB de registres vectoriels et 8 registres de masque, comportant chacun quatre opérateurs pipeline pour l'addition et la multiplication flottante.

L'adressage mémoire pointe jusqu'à 8 GB, mais on se contente normalement de 256 MB, accessibles avec un débit de 11 GB/s ; elle est construite avec des puces DRAM MOS de 64 Kbits, cycle 315 ns. Il existe un cache de 64 KB pour le processeur scalaire, et 64 canaux capable ensemble de 192 MB/s.

Le logiciel est un compilateur Fortran 77 / SX comportant une phase de vectorisation, fonctionnant sous un système d'exploitation SuperUX qui est une variante propriétaire d'Unix.

**SX3** apparaît en 1989 avec une technologie CP = 2,9 ns, en CML 10000 portes / cm<sup>2</sup> avec un retard de 70 ns par porte, matérialisée par des puces géantes de 18,5 \* 18,5 mm de côté, 20000 portes, encapsulées dans des BGA de 604 billes.

Il est proposé en 7 modèles , de 680 MFlops à 22 GFlops. Le processeur de base de 5,5 GFlops contient 4 pipelines et le système peut en regrouper 4 avec un processeur scalaire, cad qu'on a sensiblement conservé l'architecture précédente. Voir fiche.

Un benchmark Linpack effectué sur un SX3 / 44 a indiqué une performance de 20 GFlops.

**SX3. R** de 1992 n'est qu'une amélioration technologique, les mêmes puces que précédemment ayant été poussées à CP = 2,5 ns, soit 6,4 GFlops par processeur vectoriel et 25,6 pour l'ensemble. Il semble cependant que l'interface d'entrées/sorties ait été élargi à 1024 bits, permettant un débit de 6 GB/s.

**CENJU 3**, livré en 6 / 94, est le résultat final d'une expérience entreprise pour calculer les transitoires dans des circuits électriques. Il s'agit d'un calculateur parallèle, regroupant 256 microprocesseurs VR 4400, chacun capable de 50 MFlops à 75 MHz. Ce circuit, aboutissement des travaux de NEC sur les composants, fait la transition avec le second aspect.

### Composants

C'est vers 1974 que la production de circuits intégrés, déjà entrée dans les moeurs pour les besoins de l'ensemble de l'électronique, s'oriente pour la première fois vers des microprocesseurs. En fait ce premier microprocesseur n'en est pas encore un, tout au plus un kit avec lequel on peut aisément bâtir un minicalculetur 16 bits. Le kit NMOS comprend :

**μPD756D** est le bloc de commande, 5,66 \* 5,48 mm, contenant notamment une mémoire 100 \* 10 destinée à traduire le code à émuler.

**μPD755D** est le bloc de calcul, contenant l'ALU, 15 GPR et un registre d'état, 5,64 \* 5,52 mm

**μPD465D** est une ROM normale, en 4 exemplaires dans le kit.

**μPD754D** est un latch 8 bits, cad un registre transitoire, dont 4 à 6 exemplaires doivent permettre de construire l'interface d'entrée/sortie du bus 16 bits.

A vrai dire, ce n'est pas tout à fait suffisant pour construire une machine, mais le kit est accompagné de plans décrivant 4 formats d'instructions, exécutables généralement en 1 μs. Le lot est commercialisé \$ 1000 par quantités.

En 1976, le **μPDCOM41** est un microprocesseur en 2 puces travaillant sur 4 bits, comprenant le CPU à 69 opérations, et un ensemble de 2048 bytes de ROM et de 128 nibble de RAM. Pour \$40 par lots de 1000, c'est le kit dont on a besoin pour construire une calculette. L'extension de la mémoire au delà de ce minimum exige une interface PMOS, puce 5,66 \* 6,37 mm, cycle 10 μs, consommation 500 mW. Le kit contient les interfaces vers un clavier de 64 touches et vers une visualisation LCD à 16 chiffres.

Fin 77, ce même circuit est repris en CMOS 4 μ, conduisant à une seule puce de 6,2 \* 6,2 mm alimentée en 5 V, et consommant 5 mW. Le cycle mémoire reste 10 μs.

En 9 / 78, l'idée du kit 16 bits est reprise avec le **μCOM1600**, qui permet de construire un calculateur 5 MHz, 93 opérations, capable d'une addition RR en 600 ns. L'architecture comprend 14 GPR dont base, pointeur et CO, 8 niveaux d'interruption vectorisée, une pile de CO, un bus adresse de 20 bits. L'élément clé est la puce **μPD768B**, 6,2 \* 6,8 mm, qui contient environ 15000 transistors NMOS à renforcement, à très courte grille de 3,5 μ.

Cette même année, NEC se décide à prendre la licence de la puce AMD 2901, microprocesseur en tranche, et en réalise une version ECL avec interfaces TTLS (**μPB2901AD**), capable de travailler à la vitesse CP = 60 ns sous 5 V. La puce est commercialisée avec 10 composants nécessaires à son câblage, dans un boîtier compatible avec l'original plus lent.

D'ailleurs, après avoir ainsi longuement "tourné autour du pot", NEC annonce en 1978 le **NEAC MS 50**, un gros mini construit à base de puces 2901, en deux versions :

- avec un maximum de 512KB de mémoire 700 ns, un calculateur de base à bus 32 bits, à partir de \$ 29000 avec extension jusqu'à 416700 \$.

- avec un maximum de 2 MB de mémoire 465 ns, un cache 4 K mots optionnel à cycle de 150 ns, à partir de \$ 41700 et jusqu'à 833300 \$.

Ce mini est pourvu de crosscompilateurs Cobol, Fortran, Basic fonctionnant sur machines ACOS, et peut d'ailleurs servir de frontal à ces machines.

Autre annonce 1978, des mini de gestion construits autour des puces ainsi mises au point, qui permettent de prolonger vers le bas l'effort consenti par ailleurs avec la série ACOS :

**System 50** est un monoposte à base de 8080, avec 40 à 56 KB de mémoire, et un lecteur de disquette. On n'a pas d'indication sur le logiciel proposé.

**System 100** est un mini centré sur le produit  $\mu$ COM1600 vu plus haut, et destiné au marché du S/34 IBM. La machine est proposée avec 2 disques à têtes fixes de 64 MB, 1,2 MB/s ; des disques en cartouche de 9,8 MB ; une IP 400 ; et jusqu'à 5 lignes téléphoniques. Voir photo.

Le logiciel comprend Business Basic, Cobol 4 pour le batch, Fortran, des utilitaires report writer et file maintenance fonctionnant par menus, et les logiciels de connexion soit à ACOS soit à IBM.

**System 150** utilise l'AMD 2901 avec une mémoire de 256 KB, cycle 600 ns, qui passera à 1 MB à la sortie des puces 64 Kbits, 4 cartouches de disque, une IP 700, et jusqu'à 32 postes de travail composés d'un écran et d'une imprimante.

**System 250**, déjà mentionnée plus haut comme un membre spécialisé de la famille ACOS dont il utilise la technologie, est en fait un prolongement vers le haut de cette conception née de la maîtrise du microprocesseur et des méthodes d'intégration.

**ASTRA 200** (1979) est une tentative de mieux exploiter les investissements en microélectronique, en construisant aux USA des produits adaptés à ce marché, mais avec des composants japonais : un microprocesseur 16 bits à 114 opérations, un DMA à 1 Mbit/s, un contrôleur de disques capable de 1,2 MB/s. 4 machines sont proposées par NEC Microcomputers, Inc, à Wellesley, Mass. :

210, 128 KB, 1 écran, 1 à 4 floppies. Prix : \$13200 avec un floppy de 1 MB et une ME.

230, 256 KB et 4 écrans. Prix \$ 17080 pour 2 floppies, un écran, une ME.

250, 256 KB et 16 écrans, et jusqu'à 160 MB de disques, à partir de \$ 38980.

270, 32 écrans et 8 lignes, à partir de \$ 53790.

Le logiciel associé comprend des packages d'application de gestion, un Basic et un Cobol 74.

**Spinwriter** (1979) est une gamme d'imprimantes à marguerite 55 cps, ou à matrice, offerte aux USA avec un vaste choix d'options : 8 interfaces, 10 modes d'alimentation en papier, choix d'espace (10 ou 12 car/"), espacement proportionnel) et de polices jusqu'à 128 caractères.

Ces produits sont conçus pour un MTBF de 2000 heures et un MTTR de 30 minutes.

**$\mu$ COM87** (1980) est un kit pour construction d'un calculateur 8 bits, construit autour d'un micro  **$\mu$ PD7801G**, en flatpack 64 bornes, dont nous possédons une description. Le lot comprend 4K ROM, 128 bytes RAM, timer, interface série, IO port, répertoire de 140 opérations, deux jeux de GPR.

Le logiciel est Intellec II, et il existe un testeur EVAKIT 87. C'est, semble-t-il, la première incursion de NEC dans le domaine encre flou des microcontrôleurs. Ces produits visent aussi les USA.

En variante, le  $\mu$ COM87AD utilise une puce  **$\mu$ PD7811G** qui contient 256 bytes de RAM et un codeur à 8 voies qui exécute la conversion en 50  $\mu$ s. L'adressage externe peut atteindre 60 KB.

**$\mu$ PD7720** (1980) est une autre nouveauté, un processeur de signal contenant un MAC 16 \* 16 qui travaille en 250 ns, avec 4 niveaux de sous-programmes, une interface série et une interface parallèle 8 / 16 bits, le tout dans un boîtier DIL 28 broches.

**$\mu$ PD80C48** (1980) est nécessairement une licence, qui introduit fermement NEC dans le monde des microcontrôleurs. Cette version CMOS du 8048 contient 1KB de ROM, 64 bytes de RAM, 27 bornes d'entrée/sortie, un timer, 2 modes d'interruption, un répertoire de 91 opérations, un bus compatible 8085, le tout dans un boîtier DIL 40 broches. Noter qu'une opération 01 HALT a été ajoutée au répertoire de base pour introduire un mode veille : cette instruction n'arrête pas l'horloge, mais l'isole de la logique. On peut rentrer dans le programme par interruption. La puce fonctionne de -40 à +85°C.

La réalisation est statique, et l'horloge peut être ralentie jusqu'à la fréquence 0. On peut arrêter l'horloge en abaissant la tension d'alimentation à 2 Volts, et la rétablir en revenant à 5 V. La consommation est 10 mA à 6 MHz, tombe à 1 mA en mode veille.

Variantes :  $\mu$ PD80C35 est la même puce sans ROM, et il est prévu une 87C48 (voir plus haut).

**IDP 1** est une étude entreprise en 1980 pour un processeur spécialisé 32 bits destiné aux machines de bureau. Cette puce de 87000 transistors, 12 \* 12 mm, tournant à 10 MHz, deviendra le coeur d'une famille lancée en 1984, mais ne sera pas commercialisée en tant que microprocesseur.

**NEAC MS70** (1980) reprend le précédent MS en l'étendant à 32 bits et en lui ajoutant de multiples extensions : il y a 9 puces 2903 pour installer un contrôle de parité sur les registres, et d'autres 2903 pour un processeur VF 64 bits et pour un processeur décimal optionnels. La machine offre une compatibilité ascendante avec la MS50, disposant d'un répertoire de 229 opérations.

La mémoire est 4 MB avec les puces 64 Kbits, mais l'adressage est 24 bits pour pouvoir accepter un espace de 16 MB le jour où sortiraient les puces 256 Kbits. Elle est organisée avec un entrelacement 2, un cache de 32 KB et un circuit d'anticipation.

Logiciel : crosscompilateurs sur ACOS et compilateurs pour Fortran, Basic, Cobol. C en cours.

Prix typique : \$ 115000 avec 512 KB de mémoire, 2 disquettes de 1 MB, 80 MB de disques, une IP 200, un LC et une console. Avec les extensions, on peut atteindre \$400000.

**PC8001** (1980) est une tentative de construire un ordinateur personnel autour du microprocesseur Z80A à 4 MHz, en pratique avec son équivalent **µPD780C**. Cette machine minimale comprend 24 KB pour un moniteur et un NBasic qui est une licence Microsoft, et 16 KB pour l'utilisateur ; il est possible de passer à 32 + 32. Les entrées/sorties comportant une interface cassette à 600 cps, une interface parallèle Centronics, une interface série TTY à débit ajustable; extensions possibles. Voir photo.

Pas d'indication sur le succès ou l'échec de cet exercice d'anticipation.

**System 20 / 25** (1981) est un mini de gestion 16 bits à microprocesseur, avec 192 KB de mémoire dont 48 pour l'utilisateur, construite avec des puces 16 Kbits. Deux disquettes de 1 MB, une ME série, et un système d'exploitation pour \$ 13500. L'écran 14" présente 25 \* 80 car réalisés par matrices 7 \* 9 points, la machine à écrire est une ME 100 matricielle à 136 car/ligne, ou une Spinwriter 35 cps.

Le logiciel comprend une bibliothèque d'applications écrite en COBOL. C'est clairement un produit très voisin de l'Astra 210.

**System 50 / 35** utilise le même CPU et la même mémoire, avec jusqu'à 3 disquettes de 1 MB, ou un Winchester de 19 MB. Le périphérique le plus important est une imprimante kanji 70 cps, utilisant un répertoire de 8000 kanji qu'il représente en 18 \* 18 points, ou en option en 24 \* 24 points ; il peut exister aussi une imprimante parallèle kanji à 60 ou 100 lpm.

**System 100 / 45** (1981) comporte un CPU en NMOS, 512 KB de mémoire usager, 1 ou 2 disques de 31 MB, une option bande, des cartouches de sauvegarde, et 4 stations écran + imprimante.

**System 100 / 85** (1981) utilise le composant japonais 2901 en ECL avec 768 KB de mémoire usager, et jusqu'à 8 stations avec écran et ME.

**System 150 / 85** (1981) utilise le même composant avec une mémoire client de 1 MB, avec 4 disques de 64 MB, 12 stations avec écran et ME, dont en option un ensemble kanji. C'est le plus petit système capable d'informatique distribuée.

**APC** (1983), toujours en avance sur son temps, est un PC 16 bits utilisant CP/M86 et donc utilisant un compatible construit au Japon, avec 128 ou 256 KB de mémoire, 2 disquettes 8" de 1 MB, un écran de 12" pour une police utilisant 8 \* 19 points et prise dans un large répertoire. Cet écran supporte clignotement, video inverse, choix d'intensité, et en option cercles et vecteurs ; le clavier alpha + num comprend 22 touches de fonction à deux modes. Une ligne 19200 bauds sync / async est standard.

Pas d'indication sur le succès ou l'échec de cet essai d'anticipation.

**PC 8200** (1983) est par contre tout à fait conscient. C'est un ordinateur personnel de table qui a été vendu aux USA comme TRS 80 Mod 100 chez Tandy, et en Italie comme Olivetti M10.

**µCOM70K** (1984) est une famille de microprocesseurs 16 bits en CMOS 2µ, représentant une puissance de 1,3 Mips. Cette puce d'environ 200000 transistors donne lieu à des variantes, telles que bus 8 ou 16 bits, ou espace d'adressage 64K ou 1 MB. Ces puces vont évoluer en V serie.

**µCOM700K** (1984) est une famille de microprocesseurs 32 bits en CMOS 2µ, représentant une puissance de 2,6 Mips avec une horloge de 15 à 20 MHz. Cette puce d'environ 700000 transistors donne lieu à des variantes, telles que bus 16 ou 32 bits. 32 registres généraux. La variante à bus 32 bits définit un espace virtuel de 4 GB avec MMU dans la puce. Ces puces vont évoluer en V serie.

**ASTRA 300** (1984) est une famille construite avec la puce précédente, VLSI 10 MHz à mémoire virtuelle, et qui comprend les modèles suivants :

370 VS dispose de 1 à 4 MB de mémoire, 1 GB de disques, 32 stations et 16 lignes.

350 VS dispose de 1 à 2 MB, 500 MB de disques, 16 stations, 18 lignes, 18 ME.

330 VS dispose de 513 KB à 1 MB, 256 MB de disques, 8 stations, 8 lignes, 9 ME.

Les stations sont de gros PC à base de 8086 8 MHz, avec 128 KB de RAM, 4K ROM bootstrap, écran 14" 25 \* 80 car ou graphique 640 \* 400 pixels, couleur optionnelle.

Le logiciel ITOS, qui prolonge celui des ASTRA 299, englobe un Cobol ANSI niveau 2, un Business Basic, le langage C, une BD relationnelle, un traitement de texte, une émulation 3270 et, en option, un réseau CSMA, cad Ethernet.

Prix : 64000 \$ pour un 370 à 2 MB, 250 MB de disques ; 27000 \$ pour un 330 de 1 MB, 125 MB de disques, 4 stations.

Ceci nous amène en 1985, une année très appropriée pour faire le point parce qu'elle a marqué un tournant pour de nombreuses entreprises informatiques.

NEC est en 1985 un groupe de 90000 personnes, CA = 9899,4 M\$, dont l'informatique représente un peu plus du tiers, 3761,8 M\$, en augmentation de 14,1 % par rapport à 1984. Les bénéfices se montent à 249,9 M\$, ce qui est peu en proportion. Le chiffre le plus remarquable est le montant des investissements R&D, 1258,8 M\$ soit 12,7% du CA, le plus fort pourcentage de l'année.

Cette activité se décompose en 1985 en 1218,8 M\$ pour les ordinateurs, 338,8 M\$ pour la micro, 643,8 pour les communications informatiques, 1053,3 M\$ pour les périphériques, 378,2 M\$ pour le logiciel et 333,2 M\$ pour la maintenance. Ces proportions vont changer mais NEC l'ignore encore.

Pour le moment, le succès informatique de NEC est dans la grande informatique, et la concrétisation la plus claire est que NEC achète en 1985 la filiale HIS Japan. Dans le domaine des communications, NEC et GE ont un accord autorisant les usagers japonais du NEC-Net à utiliser les services du réseau GE Mark III, et NEC est un des principaux fournisseurs du monopole NTT. En matière de micro, NEC prend sa part du marché japonais, mais a complètement échoué dans ses efforts d'implantation à l'étranger : l'autonomie en matière de microprocesseurs est un des moyens envisagés pour essayer de changer cela.

**V Serie** (1985) est une famille de microprocesseurs CMOS dont la production en seconde source a été acquise pour les USA par Zilog, et qui se caractérise par sa compatibilité ascendante avec les 8086 de Intel. Cette famille supprime les x86 au Japon. Elle est proposée en 5, 8 ou 10 MHz, et comprend :

**V20 (μPD70108)** est un 16 bits à bus 8 bits, équivalent du 8088. Contient 63000 transistors.

**V30 (μPD70116)** est un vrai 16 bits, 50% plus rapide que les NMOS par son architecture, 70% moins consommateur par sa logique. Il comporte deux bus de données, et dispose de 101 opérations.

Logiciel : assembleur relogeable, émulateur "in circuit", OS temps réel, compilateurs Pascal et C.

Périphériques : μPD71051, serial control unit = interface série μPD71011, générateur d'horloge

μPD71054, timer programmable μPD71082/3, latch 8 bits

μPD71055, interface parallèle = Centronics μPD71086/7, bus driver/receiver

μPD71059, gestion d'interruptions μPD71088, system bus controller

μPD71071, contrôleur de DMA

Tous ces périphériques sont les transpositions compatibles des périphériques de Intel.

**V25** est annoncé comme un microprocesseur monopuce

**V40 et V50** (1985) sont les équivalents à compatibilité ascendante des Intel 80188 et 80186. Ils contiennent un CPU 16 bits, 4 DMA, un générateur d'horloge, une interface série, un contrôleur de rafraîchissement pour les DRAM, un registre d'état, et trois timers programmables 16 bits. Sa gestion mémoire adresse 1 MB de données et 64 KB non mappées pour les entrées/sorties. La réalisation est en CMOS capable de 8 ou 10 MHz, et représente l'équivalent de 90000 transistors.

**μPD72291** est un coprocesseur de virgule flottante.

**V33** (1990) est un CMOS 16 MHz, compatible V30 mais câblé au lieu d'être microprogrammé.

**V53** (1990) contient un V33 et tous les périphériques décrits sous la rubrique V30, le tout fonctionnant 4 fois plus vite que le V30, exécution en 125 ns pour les opérations RR, 250 ns pour les opérations RS. Consommation 200 mA, tombant à 200 μA en mode veille.

**V60 (μPD70616)** à bus 16 bits et **V70** à bus 32 bits (1986) sont des microprocesseurs 32 bits réalisés en CMOS 1,5μ, avec adressage virtuel 4 GB. Ils travaillent à 16 MHz, présentent une compatibilité ascendante avec les V20/V30, mais disposent d'un mode natif de 119 opérations. Voir fiche.

**V20H à V50H** (1990) reprennent les caractéristiques des V correspondants pour un fonctionnement à 25 MHz et une faible consommation.

**V40KB** (1990) est un noyau exactement compatible avec PC / XT, englobant un DMA 8237 et un MMU pour mémoire de 1 MB, un contrôleur de clavier, un contrôleur d'interruptions, un débogueur (?) et un contrôleur de console (souris, écran). Il contient aussi une émulation des V20 et V30.

L'ALU comporte 32 registres 32 bits, une scratchpad de 16 mots de 32 bits, un opérateur 32 bits, un décaleur "barrel" de 64 bits, et divers registres de commande, son fonctionnement est microprogrammé.

Le multiplieur 32 bits fonctionne en 16 CP selon l'algorithme de Booth, avec CP typique = 62,5 ns.

Le MMA comporte une mémoire associative à 16 entrées, et donne un résultat en 36 ns worts case. L'adresse virtuelle de 32 bits se découpe en 12 bits de déplacement, 8 bits de page, 10 bits de segment et 2 bits de base, ces derniers permettant de choisir entre 4 tables de segments.

La puce incorpore un moniteur de redondance fonctionnelle qui permet de faire travailler deux CPU en parallèle et de les comparer, et un outil de débogage qui fonctionne par détection des erreurs en ligne, quoi que cela signifie exactement.

**μPD7164** (12 / 87) est un contrôleur de cache réalisé en CMOS 1,2 μ et vendu 40000 Y. Il s'adapte à la série V, et à tous les microprocesseurs américains de 16 et 32 bits. Il est capable de 1, 2 ou 4 lignes, aux tailles de 32 à 128 KB, et cascadable jusqu'à 256 éléments pour une mémoire de 32 GB.

### *Processeurs de signaux*

L'entrée de NEC dans le domaine du traitement du signal semble dater de 1980, avec le **μPD7720** réalisé en NMOS, pour lequel nous disposons d'un article illustré paru dans Electronics, 14 / 2 / 80.

Assez rapidement, NEC est passé au CMOS avec le **μPD77C20** qui reprend la même organisation 16 bits virgule fixe, avec 512 \* 23 bits de mémoire de programme en ROM ou EPROM, 512 \* 13 bits de ROM ou EEPROM pour les constantes, 128 \* 16 bits de données en SRAM. Il fonctionne à 8 MHz (CP = 244 ns), disposant de 8 bits d'entrées/sorties parallèles à 4 MB/s, et d'un ports série qui peut manipuler des données 8 ou 16 bits à 2 Mbauds. Boitier DIP 28 ou PLCC 44 broches.

Suit un **μPD77C25** qui reprend les mêmes idées en cherchant à compenser les faiblesses du précédent : cycle de 122 ns pour une horloge à 16 MHz, mémoire de programme 2K \* 24 bits, 1K \* 16 bits pour les constantes, 256 \* 16 pour les données, 8 MB/s pour les accès parallèles et 4 Mbauds pour les accès série, avec un DMA. Mêmes boitiers.

La génération suivante est le **μPD77220** de 24 bits, travaillant à 16 MHz (CP = 122 ns) avec un totalisateur et un décaleur 47 bits, 2K \* 32 bits de programme, 1K \* 24 bits de constantes et 512 \* 24 bits de données. Pour les accès, port parallèle 32 bits en mode maître, ou 8 local + 16 bits en mode esclave, et un port série configurable de 8 à 32 bits.

A peu près simultanément sort en 1986 le **μPF77230**, un DSP 32 bits en virgule flottante, puce CMOS 1,5μ à 2 couches poly, contenant 370000 transistors dans 15,4 \* 8,4 mm. Fonctionnement à 13,6 MHz. délivrant 7 Mips ou 55 MFlops. Il contient 2K \* 32 bits d'instructions, 1K \* 32 bits de constantes et 1K \* 32 bits de données modifiables, et les mêmes accès que le précédent.

L'ALU dispose de 8 bits d'exposant, 47 bits de mantisse avec un décaleur barrel de 47 bits, 8 registres de travail de 55 bits, 2 registres de flags. Le multiplieur dispose de 8 bits d'exposant, 24 bits de mantisse pour arithmétique 24 bits, résultats cumulables ensuite dans l'ALU (MAC). Ce DSP exécute une FFT complexe de 512 points en 4,5 ms.

Le simple développement technologique conduit ensuite au **μPD77016** de 1992, un 16 bits pour la téléphonie mobile fonctionnant à 66 MHz et délivrant 33 Mips ou 300 Mops.

L'adressage 18 bits donne accès à 1,5 Kmots internes de programme, plus une partie externe pour les fonctions de service, et 8 Kmots de données. Les accès comprennent un DMA, un port parallèle à 8 MB/s, un port série à 16 Mbauds, et un émulateur in circuit. Boitier QFP.

La variante **μPD77017** n'a que 17 bits d'adresse et pas de bus externe, car il existe 8 Kmots d'instructions internes.

En 1997, cette famille existe toujours avec les **77018**, **77F18** à mémoire flash, **77023**, et elle est très utilisée dans toutes les applications de télécommunications, vidéoconférence, multimédias, etc...

Les caractéristiques intéressantes sont 8 registres de 40 bits, l'adressage 64K \* 32 bits pour les instructions (30K ROM et 6K RAM internes), 128 K \* 16 bits de données (6K RAM internes), 15 niveaux de sous-programmes, 2 ports série et 2 ports parallèles, une alimentation sous 3 V. On retiendra aussi un très fort parallélisme qu'exprime bien l'écart entre les Mips et les Mops.

Un peu plus tard encore, le **μPD6380** est un DSP 19 bits pour le traitement audio, fonctionnant à 24,5 MHz et délivrant 8,2 Mips ou 57 Mops (7 champs par instruction). L'adressage 18 bits est essentiellement externe, avec seulement 192 mots de programme interne (pour une boucle, par exemple), et 4480 bits de données. Les accès comprennent 3 voies séries à 5 Mbauds, et un emulateur on chip.

Variante **6381** avec un adressage porté à 21 bits et 4 voies d'accès série.

Variante **6382** semblable ne recevant que 18,4 MHz de l'extérieur, mais disposant d'un doubleur interne qui permet 9,2 Mips ou 64 Mops.

Variante **6383** portée à 24 bits avec 22 bits pour les adresses, et un doubleur autorisant 12,5 Mips ou 88 Mops. La mémoire interne comprend 394 instructions et 256 données. Accès parallèle + 4 voies série.

**V850** est le nom de la famille RISC créée par NEC comme contrôleur 32 bits, et largement inspirée par les travaux antérieurs de NEC sur la V série. L'architecture comporte un BCU pour diriger les communications avec le monde extérieur, relié à tous les périphériques et incluant un prefetch, mais le gros du travail se fait sur les mémoires internes, et il n'y a pas de cache. L'organisation comprend 32 registres généraux, un pipeline à 5 étages, une ALU 32 bits avec décaleur barrel, et un multiplieur sachant diviser. Comme toujours, il en existe une grande variété, tous construits en CMOS 0,5  $\mu$  comme la V série :

V851 est un 33 MHz de 38 Mips, avec 32 KB de ROM, 1KB de RAM, 68 bornes d'entrée/sortie, 2 ports série, 2 timers, 9 interruptions en 8 niveaux, gestion de consommation, possibilité de mémoire flash, présentation en boîtier QFP 100.

V852 est 25 MHz, 29 Mips, mémoire interne triplée, reste inchangé sauf 4 ports série.

V853 revient au 33 MHz mais avec une mémoire renforcée, 128 ou 256 KB de programme et 4 ou 8 KB de données, et plus d'accès : 75 bornes d'I/O parallèles, 4 ports série, 5 timers, 17 interruptions, deux codeurs 10 bits à 8 voies chacun, et 2 PWM 12 bits.

V854 revient de même au 25 MHz, avec 128K/4K de mémoire, 112 bornes I/O parallèles, 4 ports série, 8 timers, 22 interruptions, et un codeur 8 bits à 16 voies. Il exige un boîtier QFP 144.

V850/SA1 est seulement 17 MHz, avec 128 / 4 ou 256 / 8KB, mais là encore avec beaucoup de périphériques : 86 bits d'I/O parallèles, 4 ports série, 7 timers, 8 interruptions, un chien de garde, un codeur 10 bits à 12 voies, un DMA à 3 canaux. Il consomme 60 mW en 3,3 V. Boîtier BGA 121.

V850/SB1 en diffère par la fréquence 20 MHz, 9 timers, 5 ports série, 84 bornes parallèles, un DMA 6 canaux. La consommation est 75 mW sous 5 V.

V850/EMS1 est porté à 40 MHz, mémoire 128/4 KB, 123 bornes I/O parallèles, 4 ports série, 8 timers, 25 interruptions, un codeur 10 bits à 8 voies, un DMA 4 canaux. Boîtier QFP 144 ou BGA 150.

**VR4200** (1993) est un microprocesseur développé en commun par NEC et MIPS, NEC en assurant la fabrication et disposant d'un an de monopole de commercialisation. C'est un RISC 64 bits, capable de 55 Specint92 et 30 Specfp52, conçu pour la clientèle des PC et notamment celle de Windows NT.

La puce de 81 mm<sup>2</sup> est réalisée en CMOS 0,6  $\mu$  à 3 couches métalliques. Elle est compatible R4000, contient 1,3 Mtransistors, incluant un cache I de 16 KB avec MMU, un cache D de 8 KB avec TLB à 32 entrées, un tampon d'écriture, un FPU, et une interface bus compatible R4000 pour pouvoir utiliser les périphériques existants. Pipeline à 5 niveaux. Boîtier fakir céramique 179 broches ou QFP plastique 208 b.

Fonctionnement à 80 MHz sous 3,3 V, consommation 1,5 W en marche normale, 0,3 W en mode économique à 20 MHz interne, 10 MHz système. Prix 70 \$ à la mi 94.

**VR4300i** reprend le même thème en mi 95 avec une puce à 100 MHz qui vise les consoles de jeux de Nintendo. Les nouveautés sont une multiplication unifiée FXU/FPU en 5 CP au lieu de 13, 64 registres de 64 bits, la séparation de l'additionneur/décaleur principal 64 bits et de l'additionneur d'exposant 12 bits, la limitation à 32 bits du bus qui permet des économies.

**Coeurs pour ASIC** : un document de 1976 nous indique qu'à cette époque NEC dispose de trois types de coeurs pour la production d'ASIC, à savoir:

VR4100 est un coeur dérivé des précédents, 20,7 mm<sup>2</sup> en CMOS 0,35 $\mu$  sous 3 V. capable de 45 Mips à 40 MHz, avec une consommation de 375 Mips par Watt.

V850 est un coeur propriétaire, 4 mm<sup>2</sup> en CMOS 0,5  $\mu$  sous 3 V, issu de la série V et présentant la particularité que la longueur du mot est adaptable. 38 Mips à 33 MHz, 640 Mips par Watt.

ARM7TDMI est disponible chez NEC comme chez presque tout le monde, ici dans la variante Thumb à 2 tailles d'instructions, même procédé que le précédent. Il occupe 4,8 mm<sup>2</sup>, délivre 15,6 Mips à 20 MHz et consomme 433 Mips/W.

**MP98**, annoncé à un forum de mars 2000, donne le niveau de NEC à la fin de notre période de référence. C'est un microprocesseur remarquable parce qu'il associe puissance et faible consommation. On y trouve quatre unités de calcul en parallèle à la fréquence délibérément basse de 125 MHz, de sorte qu'il fournit 1000 Mips en ne consommant que 1 Watt. Réalisation en CMOS 0,15  $\mu$ .

## Divers

Comme ce titre le suggère, cette rubrique est forcément non exhaustive.

**DISP**, Dictionary Search Processor, est une puce spécialisée réalisée en CMOS 0,8  $\mu$  dans le cadre d'une recherche sur l'application des mémoires associatives à la recherche documentaire. Compte tenu de l'origine des chercheurs, tous provenant de services s'occupant de microélectronique, on peut supposer qu'il s'agissait surtout de réaliser et d'évaluer les mémoires associatives. Voir article paru en 1990 dans TIEEE, SS25, N°5, 10 / 90, pp 1158/64, copie en boîte 187.

**$\mu$ PD7801x** introduit NEC dans le domaine des microcontrôleurs 8 bits, qu'elle négligeait jusque là, estimant satisfaisante sa clientèle avec ses microcontrôleurs 4 bits très bien implantés (40% du marché mondial). Les prix de départ sont 1,4 fois ceux des 4 bits, l'objectif est d'arriver à l'égalité.

Réalisée en CMOS 0,8  $\mu$ , alimentée en 2,7 V, cette nouvelle famille  **$\mu$ COM78K0** commence avec 20 configurations, 40 autres sont prévues. La puce contient en moyenne 40000 transistors et fonctionne à 10 MHz en mode statique, ce qui permet d'abaisser la fréquence jusqu'à 32 KHz pour un mode économique.

Performance : multiplication 8 \* 8 en 3,2  $\mu$ s, division 16 / 8 en 5  $\mu$ s.

Configurations proposées (indicatives) : mémoire de programme 8 à 32 K de ROM, données 256 ou 1024 bytes de RAM, jusqu'à 53 bornes d'entrées/sorties, un codeur 8 bits à 8 voies, un timer 8 bits à 2 voies avec sortie fréquence, un timer 16 bits, un canal PWM 14 bits rapide, des sortie pour le signal d'horloge et pour un buzzer. En option, driver d'affichage pour LCD ou fluo, UART, décodeur 8 bits à 2 voies.

La famille sera largement renouvelée en 1996 en utilisant un nouveau procédé CMOS 0,35  $\mu$ . Un document joint au dossier NEC en boîte 187 illustre cette nouvelle génération.

**$\mu$ COM78K III** est la famille de microcontrôleurs 16 bits disponible en fin 1991. Ce sont des produits assez simples, fonctionnant à moins de 16 MHz, donc probablement vieux de 2 ans au moins.

On peut citer 4 modèles courants et détailler l'un d'eux :

**$\mu$ PD78312A**, 12 MHz, 8KB de programme (ROM, EPROM, ou rien) et 256 bytes de RAM, 2 timers, un port série, et un codeur 8 bits.

**$\mu$ PD78328**, 16 MHz, 16 KB programme + 512 B données, 2 timers, port série, codeur 10 bits

**$\mu$ PD78334**, 16 MHz, 32 KB programme + 1KB données, reste semblable.

**$\mu$ PD78322** est un microcontrôleur 16 bits annoncé en 1990, et fonctionnant à 16 MHz, qui exécute la plupart de ses instructions en 250 ns. Il comprend 16 KB de ROM de programme, 640 bytes de RAM, un tampon d'instruction de 3 bytes, 55 bornes d'entrées/sorties dont 2 canaux série avec réglage spécifique de baud rate, un chien de garde, plusieurs timers avec circuits de capture et de comparaison

Le répertoire comprend multiplication et division, logique sur 1 et 8 bits, opérations sur chaînes, convertisseur 10 bits multivoies, instruction stop pour gestion de puissance. Proposé en PLCC 68 bornes ou QFP 74 bornes, au prix de \$15 pièce par lot de 10000. Variante **78320** sans ROM.

**$\mu$ PD78301** est une puce annexe contenant une interface mémoire, de la mémoire, un pointeur de prefetch pour le programme, un système d'interruptions vectorisées, une commutation de contexte avec sauvegarde matérielle de tous les registres généraux. Les mêmes services peuvent être rendus par logiciel fonctionnant sur un périphérique intelligent.

En 1991, une autre famille,  **$\mu$ COM78K VI**, entre en service avec le  **$\mu$ PD78602**. Même taille de mémoire, 16 KB programme + 1KB données, mais une fréquence accrue, 25 / 28 / 32 MHz, et l'annonce d'un noyau maison pour le système d'exploitation temps réel. Ce noyau est microcodé.

**$\mu$ PD4216100** (16M \* 1) et  **$\mu$ PD4216400** (4M \* 4) sont des mémoires de 16 Mbits, citées pour souligner la date et le fait que NEC est encore en course pour ce produit stratégique. Ces puces sont réalisées en CMOS 0,55  $\mu$ , et utilisent une alimentation standard 5 V, intérieurement abaissée à 3,3 V. Le rafraîchissement de ces DRAM peut intervenir au choix tous les 2048 ou 4096 cycles.

Le produit est trié pour trois vitesses d'accès 70, 80 ou 100 ns. Il peut travailler en modes fast page, nibble, static column ou write par bit. La surface de la puce est 143 mm<sup>2</sup>. Annonce en 7 / 91.

En pratique, NEC remplace assez vite ce modèle par une puce de 94 mm<sup>2</sup> en CMOS 0,5  $\mu$ . La production initiale de 40000 puces par mois en 3 / 92 est portée à 100000 en 9 / 92.

En 12 / 92 NEC annonce aussi sa mémoire flash de 16 Mbits, en deux versions 1M \* 16 et 2M \* 8 bits, programmable et effaçable avec une seule tension de 5 V. Ce dernier point est important pour la commodité de mise en oeuvre, et sa réussite donne lieu à une famille complète, de 512K à 16 Mbits par doublement de capacité.

Plus particulièrement, la version 16M est une puce CMOS 0,6  $\mu$  de 6,8 \* 18,5 mm, qui exige 34 mA pour fonctionner à 10 MHz et tome à 2 mA au repos. L'effacement est possible par fractions de 64 bits, de 512 mots en 10 ms, ou complète en 4 secondes. La programmation se fait à 5  $\mu$ s/mot. Le temps d'accès en lecture est 58 ns en mode mot, 34 ns en mode page.

## 755 - L'informatique chez Mitsubishi

Comme on le verra par la suite, le groupe Mitsubishi, compétent en électromécanique à la fin de la guerre comme beaucoup d'autres, n'est pas véritablement tenté par l'informatique, tout en sachant qu'il ne peut l'ignorer. Ses débuts sont plutôt consacrés au calcul analogique, mais nous ne connaissons que des sigles, EA 7250, EA 7420, sans aucun détail.

Il y aura, à une date indéterminée, une **Melcom 9000** hybride combinant un calculateur 16 bits avec un calculateur analogique **EA 7250** (voir fiche), mais cette information est trop vague pour s'insérer dans la filière informatique que nous pouvons suivre.

La première machine qui nous est connue n'est probablement pas vraiment la première, d'après son numérotage : les japonais ne semblent pas considérer qu'un numéro puisse être attribué arbitrairement.

La **MELCOM 1101**, annoncée en 3 / 60, est probablement une machine à transistors, compte tenu de sa date de parution. Centrée sur un tambour magnétique de 4 Kmots avec temps d'accès de 7,8 ms, c'est une machine série à 2 adresses, probablement 1 + 1 en réalité, la seconde permettant l'optimisation. Il semble, en effet, que la finalité de cette machine soit plutôt scientifique, à en juger par l'existence de 4 index, et par les performances de son répertoire de 73 opérations : Add 300  $\mu$ s, Mpy 1,2 ms, Div 7,5 ms en fixe ; Add 1,2 ms, Mpy id, Div 6,2 ms en flottant, plus le temps d'accès. La longueur du mot serait de 65 bits, un chiffre qui suggère une représentation décimale.

Les périphériques sont LR 400, PR20, ME, plus une bande magnétique 1200 cps qui sert probablement de mémoire auxiliaire.

En 1963, l'annonce d'une **Melcom 1530** permet de découvrir la première alliance de Mitsubishi avec une entreprise américaine, en l'occurrence TRW. Il s'agit de la TRW 530 produite sous licence, cad une machine dont l'architecture originale est orientée vers les applications temps réel, mais aussi associée à suffisamment de mémoire et de périphériques pour disposer d'un logiciel.

C'est seulement en 1966 que Mitsubishi semble avoir "digéré" son acquisition.

La **Melcom 1600** est pratiquement la même, à part le pupitre reconstruit pour s'adapter aux moeurs locales, mais les périphériques sont japonais, LR 400, PR 200, IP 1000 ou 525, à l'exception des bandes qui sont des Control Data capables de 42000 cps.

Le Melcom 1600 est tout naturellement utilisé pour construire des applications temps réel, et on trouvera en boîte 187 deux pages d'un article en anglais décrivant l'application **YAC**, Yard Automatic Control, concernant les manipulations de wagons dans le triage de Kariyama. Elle utilise 4 calculateurs, dans un système complètement doublé.

Simultanément, la **Melcom 3100** semble être une version scientifique de la même machine, ce qui est grandement facilité par sa microprogrammation (CAE a fait la même chose en France). La 3100 comprend 4 à 32 Kmots de mémoire 18 bits à tores, cycle 1,75  $\mu$ s ; un répertoire de 155 opérations à 1, 2 ou 3 adresses avec les performances suivantes : add 3,5  $\mu$ s, mpy / div 15,75  $\mu$ s, Fadd 80,5  $\mu$ s, FMpy 129,5  $\mu$ s, Fdiv 181  $\mu$ s, Dadd 5 + 5 = 35  $\mu$ s. Malheureusement, des chiffres complètement différents recueillis dans une documentation d'autre origine sont indiqués sur la fiche : ce n'est pas absurde puisque le bloc de calcul est microprogrammé, mais cela jette un discrédit sur les sources.

La machine est richement pourvue en périphériques : tambour de 0,8 Mcar, accès 33 ms, 47000 cps ; disques à têtes fixes de 32 Mcar, accès 98 ms, débit 116000 cps ; LC 800, PC 300, LR 1200, PR 120, IP 1000 ou 600. Par contre, on ne parle guère de logiciel à cette époque.

Mitsubishi n'a pas, semble-t-il, utilisé la 1600, jugée inutilement puissante, dans les applications industrielles, car elle dispose dès mi 62 de la **Meldap 6000H**, un calculateur industriel de 8 à 16 Kmots de 26 bits, cycle de 4  $\mu$ s, avec un index, 32 opérations, 10 interruptions, 10 canaux. Addition en 70  $\mu$ s. Service par bande perforée. Tambour magnétique de 6 Kmots, disque de 25600 mots.

Avec ces diverses machines, on ne voit pas pourquoi est développée en 1963 la **Melcom 330** : mémoire 16 à 128 Kmots de 28 bits, répertoire de 32 opérations, addition en 260  $\mu$ s, 28 niveaux d'interruptions, cette machine est de conception convenable pour l'époque : un tambour de 128 Kmots permet la mémorisation de longues séquences de prélèvements, les services se limitent à LR 200, PR 110.

Un peu plus tard (non daté) apparaît un **Melcom 335** en réalité très différent : mémoire 16 à 64 Kmots de 16 bits, répertoire de format 1,5 adresse avec 65 opérations, performances indiquant une architecture parallèle : add 3,4  $\mu$ s, mpy 9,5  $\mu$ s, div 17,9  $\mu$ s en fixe, virgule flottante ; grand choix de périphériques LR, PR, LC, PC, IP, jusqu'à 8 tambours de 16 à 64 Kmots, bande magnétique. Même mission.

Même incompréhension à l'égard de la **Meldap 8000** de 9 / 66 (fiche illustrée), qui ressemble beaucoup à la 330 en plus simple. Le plus plausible est que les deux noms, Melcom et Meldap, correspondent à des divisions différentes de l'entreprise, chacune utilisant en cas de besoin le matériel de l'autre ; il nous manque la clé.

C'est de la même manière qu'on peut expliquer la **Meldas 2413**, une commande numérique 3 axes pour fraiseuses, capable de suivre arcs et lignes sur 655,35 mm au plus, au rythme de 0,01 mm par impulsion, avec des vitesses de coupe de 15 à 1000 mm /min.

L'une des particularités de Mitsubishi est qu'il construit une partie de ses périphériques, dont quelques-uns évoqués ci-dessous:

M811, disque de 540000 bits fonctionnant à 1 MHz.

M834, version japonaise du dispac IBM 2311

M3900, poste de collecte données aboutissant à un perforateur de bande

Dans un domaine différent, celui des machines de bureau, Mitsubishi annonce en mars 68 sa **Melcom 81**, construite autour d'une machine comptable. La mémoire principale est un disque de 1000 mots dont le temps d'accès est 20 ms, et les calculs se font en série : addition 8,8 ms, multiplication 240 ms, division 500 ms, les circuits sont des SSI DTL. Cette machine est introduite sur le marché américain par CSM Farrington, et sur le marché anglais sous son nom japonais.

Elle est d'ailleurs remplacée dès l'année suivante par la **Melcom 83**, dont le temps d'accès au disque a été réduit à 10 ms, et qui s'enrichit de périphériques, gros disque auxiliaire et bandes. Voir fiche.

Non rentable, cette première tentative de s'introduire sur les marchés américain et européen ne sera pas suivie, et ce n'est que l'année suivante, après l'exposition d'Osaka, que le Japon devenu crédible commencera à envahir l'amérique à travers les compatibles. Quant à Mitsubishi, échaudé par son essai manqué, elle va tâtonner plusieurs années à la recherche d'une approche du marché.

La **Melcom 9100 / 30** de mars 68 est un calculateur 16 bits appartenant à la famille IBM 360. Bien que nous n'ayions pas d'indication précise, il est à peu près clair qu'il s'agit d'une machine RCA, et on ignore si cela résulte d'un accord avec Hitachi ou d'une licence non exclusive, ou d'un modèle dont Hitachi n'avait pas voulu.. Voir fiche.

La **Melcom 9100 / 5** de 1970 doit aussi être une machine RCA, à cause de son numéro, mais les photographies n'apportent pas d'aide car la forme des armoires n'a rien à voir avec RCA. L'application au contrôle industriel est officielle, et s'adapte mal à l'architecture IBM, mais comme nous n'avons aucun détail sur le court répertoire de 27 opérations, nous ne pouvons rien conclure.

L'appréciation est rendue plus difficile encore par le fait que, à la même date de 1970, Mitsubishi met sur le marché deux machines 16 bits également annoncées comme vouées au contrôle industriel, les **Melcom 350 / 5** et **/ 30**, qui sont en outre d'aspects assez différents. La 350 / 30 a le même panneau de commande et la même forme d'armoire que la 9100 / 30, ce qui doit signifier que le même service les a construites, ou encore que la photo de la **350 / 30**, qui contient des bizarreries perspectives, n'est en réalité qu'un dessin d'imagination.

Troisième incongruité, la **Melcom 7700** de 1970 et la **Melcom 7500** sont respectivement les Sigma 7 et 5 de SDS. Mitsubishi a réellement du mal à se décider.

Mitsubishi participe dès 1968 aux préparatifs de l'exposition d'Osaka, assumant la responsabilité d'une console alphanumérique destinée au LNP, le Large National Project du MITI.

Le sous-système comprend un contrôleur avec un firmware pour quatre consoles, dont il assure le rafraichissement 40 fois par seconde. Il reçoit des ordres de 24 bits précisant les coordonnées d'un point et un code opération. Il dispose d'un tampon de 4 Kmots et d'un générateur pour un alphabet de 54 caractères. Le répertoire comprend 18 ordres.

Les consoles ont des écrans de 1024 \* 1024 pixels avec un balayage magnétique, 3 niveaux d'intensité, un clignotement 4 fois par seconde, un clavier alphanumérique avec fonctions, et un light pen.

Cette expérience sera utilisée par la suite pour produire, avec une finalité gestion, un multiplexeur de consoles 16 \* 40 caractères, avec un alphabet de 110 caractères.

Après l'exposition, Mitsubishi se lance, comme toutes les sociétés japonaises, dans l'industrie des compatibles, à la suite d'un accord avec Oki. Il y a un **COSMO 500** qui est sans doute compatible Sigma 5, et on sait que la **COSMO 700** livrable en 12 / 74 est compatible Sigma 7, mais avec une mémoire virtuelle gérée par une mémoire associative de 512 mots. La logique est TTL (alors que la Sigma 7 est DTL !), la mémoire est au choix formée de tores ou réalisée avec des NMOS de 1Kbit, puis 4 Kbits. Un pupitre à grand écran présente 2000 caractères latins, ou des kanji.

La **COSMO 900** livrable en 1976 est plus puissante, réalisée en intégrés LSI, et comparable en puissance à une IBM 158. Cependant l'architecture doit être celle de SDS, puisque Mitsubishi en possède la licence. L'explication la plus probable est la Sigma 9, comme pour l'Iris 80 française.

Avec une clientèle purement japonaise, Mitsubishi semble avoir vendu 80 Cosmo de divers types à la date de mars 75, et 84 en tout en 6/76. Le premier chiffre concerne donc des commandes, le second étant peut-être des livraisons effectives.

Ces machines disposent d'une base de données EDMS, les COSMO 500 se contentant d'un sous-ensemble DMS 5. Les services associés sont la gestion de communication, un générateur de rapports, et un langage d'interrogation. Les prix sont respectivement 170 et 80 KY/mois.

En 1979, il est devenu tentant d'entrer en compétition avec IBM, plutôt que d'exploiter simplement une licence. Le **COSMO 700 S** est une modernisation technologique assortie d'un changement de microprogrammes, et son adversaire commercial est maintenant la 4341 d'IBM. Le logiciel est orienté communications, et peut supporter jusqu'à 64 stations de travail ; il peut insérer le calculateur dans un réseau SNA ou dans un réseau japonais MNA. Prix 12500 à 35000 \$ par mois.

Simultanément est annoncé un **COSMO 700 III**, conçu pour 128 stations, et coûtant \$ 20000 à 75000 / mois

Dans le même esprit, le **COSMO 900 II** annoncé en 1980 se présente comme un concurrent pour l'IBM 3032, coûtant 29 à 104 K\$/mois. Cette machine destinée à la clientèle nationale, avec un système d'exploitation parlant japonais, est réalisée avec des circuits ECL de 250 portes par puce, délai 700 ps/porte.

On arrive ainsi à la création d'ICOT, dont Mitsubishi est actionnaire. Les objectifs communs sont ceux là mêmes dont la compagnie reconnaît la nécessité, mais qu'elle n'a pas trouvés les moyens d'entreprendre : la microélectronique avancée (AsGa, cryogénie), l'intelligence artificielle. L'espoir est que la synergie ainsi déployée permettra à chaque participant de recevoir plus qu'il n'a donné.

On arrive ainsi en 1985, année de mutation dans l'informatique mondiale. La veine compatible est épuisée, car Mitsubishi n'a pas les moyens techniques de se livrer à la même compétition sur les circuits pour mainframes que Fujitsu et Hitachi.

En 1985, le CA du groupe Mitsubishi s'élève à 8484,4 M\$, dont seulement 933,3 M\$ (222 BY) pour l'informatique, en accroissement de 13,3%. Les bénéfices du groupe s'élèvent à 169 M\$, ce qui est insuffisant, et le chiffre de R&D, 339 M\$ soit 4% du CA, traduit cette faiblesse.

L'activité informatique de Mitsubishi en 1985 est plutôt obscure, consistant essentiellement en fabrications pour l'OEM : disques magnétiques (en baisse), microcalculateurs et terminaux point de vente pour Sperry Univac. Mitsubishi tient une bonne place dans les ventes nationales de PC (7%) mais n'exporte guère ; il s'efforce d'augmenter sa part du marché des communications en prenant, par exemple, la licence des PBX de Rolm. Au total, la répartition des productions en 1985 comprend 130,7 M\$ de mainframes (en perte de vitesse), 326,8 M\$ de minicalculateurs, 83,3 M\$ de micro (débutant), 188 M\$ de périphériques, 28 M\$ de logiciel, 83,3 M\$ de maintenance, et quelques divers.

Parmi les évolutions indispensables, il y a évidemment la microélectronique. Mitsubishi commence très prudemment avec une étude de machine Pascal qui ne sera pas même terminée. Voir Pascal compiler.

Ce dont nous disposons est trop léger pour juger de 15 ans d'évolution d'une compagnie qui vaut 1 B\$, aussi on se borne à citer en vrac ces modestes informations :

**MF 356** (1988) est une disquette de 4 MB, diamètre 3,5", 35000 bpi, qui montre que Mitsubishi reste en course dans ses fabrications de disques.

**DISP** (1990) est seulement une étude, un microprocesseur de 538000 transistors, fonctionnant à 40 MHz, créé pour tenir une place dans le domaine des manipulations d'images. Voir article en boîte 187.

**M37700** (1992) est une famille de microcontrôleurs 16 bits réalisés en CMOS dans diverses versions avec ou sans ROM, ou avec EPROM. Un relevé de fin 91 identifie deux modèles, fréquence 8 ou 16 MHz, mémoire externe adressable de 16 MB sur bus 8 ou 16 bits, mémoire interne 16 KB ROM + 512 RAM, ou 32 KB ROM + 2 KB RAM, 8 timers, 4 ports série, codeur 8 bits. Consommation très faible, 6 mA en marche et 1 µA en veille. Logiciel notable comprenant un moniteur temps réel, un compilateur C et un émulateur, fonctionnant sur PC, Sun 3, VAX ou HP 9000.

Les **M37701** reprennent toutes ces caractéristiques et doivent correspondre à des différences de boîtiers. Les **M37790** sont une version à mémoire externe, 8 MHz, 2 ports série, 16 timers, codeur 10 bits.

**M36066** (1995) est plus ambitieux, une version propriétaire de l'Alpha de DEC, travaillant à 233 MHz, compatible broche à broche avec les originaux 21066 et 21068, et mesurée 94 Specint92, 110 Specfp92.

La puce 64 bits, alimentée en 3,3 V, contient :

- une PLL clock à 233 MHz
- un contrôleur de mémoire pour 512 MB de DRAM, VRAM ou SRAM, organisée en 4 bancs
- deux caches I et D de 8 KB, une seule ligne. Le D est du type write through.
- un pipeline de 7 étages pour l'arithmétique entière
- un pipeline de 10 étages pour la virgule flottante
- un contrôleur pour le bus PCI, qui n'existe sur aucun concurrent.

Prix en 1995 : \$ 490 pièce par lot de 1000.

## 756 - Oki Electric Industries

Le fondateur de cette entreprise, Kitaro Oki, était un spécialiste du téléphone, et la fortune de l'entreprise a commencé comme fournisseur du monopole NTT. C'est en élargissant cette activité que Oki découvre que l'informatique va susciter une industrie des périphériques, et participe à cette évolution en créant en 1958 des machines à écrire Okityper, des lecteurs de bande perforée Okireader, et des imprimantes Okiprinter, dont nous ne savons rien.

Bien entendu, la tentation est forte de s'impliquer davantage dans une technique aussi prometteuse, et surtout quand naît une technologie nationale fiable et économique. Oki aura sa machine à paramétrons, l' **OPC 1**, qui associe comme partout une mémoire à tambour et une logique importante de 6000 paramétrons, avec une vitesse particulièrement basse : la porteuse est à 10 KHz., l'addition dure 2 ms.

De toutes façons, l'engouement retombe, et en octobre 61, Oki est en mesure d'annoncer une machine à finalités multiples, mémoire à tores magnétiques et logique transistorisée, l' **Okitac 5090**. On ne peut que soupçonner qu'il s'agit d'évoquer les 7090 d'IBM.

En fait le sigle recouvre trois machines :

- la **5090 D** (3 / 63) est une machine série / parallèle par chiffre décimal. La fiche nous apprend que le chiffre occupe 10 bits, sans qu'on puisse savoir s'il s'agit d'une extrême redondance à usage de contrôle (calcul fait en double sur deux représentations du même chiffre), situation déjà rencontrée mais qui ne paraît pas s'imposer dans une machine à transistors, ou si chaque groupe de 10 bits contient deux chiffres. Le temps d'addition de 500  $\mu$ s, soit 50 cycles de mémoire, suggère la première interprétation.

- la **5090 M** (9 / 63) est la même, mais la mémoire est descendue à 4  $\mu$ s par cycle et l'addition ne coûte plus que 188  $\mu$ s, cad que l'algorithme a été amélioré. Par contre la multiplication et la division ont au contraire été réduites à un microprogramme câblé, et leur durée est multipliée par 5.

- la **5090 H** (1966) est une machine binaire parallèle sur 42 bits, avec virgule flottante pour les applications scientifiques, et le multiplieur a de nouveau été amélioré.

L' **Okitac 6020**, non datée, est d'après sa technologie contemporaine des 1401. La mémoire principale est un tambour de 2400 mots, chacun 10 chiffres dont signe, avec interposition d'une minuscule mémoire à tores de 130 mots. Le répertoire comprend 1,5 adresse pour le travail et une seconde adresse d'optimisation. Les performances sont très faibles, add 200  $\mu$ s, mpy 2 ms, div 5 ms, plus les accès. Les périphériques sont LC, PC, LR, PR, IP, ME. Bref, il s'agit d'une sorte de 650 qui serait transistorisée.

Oki a ainsi fait la preuve de sa compétence, mais ces grosses machines sont produites en trop faible quantité pour rapporter des bénéfices. Oki utilise ses machines comptables Okityper pour en faire des ordinateurs de bureau :

- **OkiMinitac 200** est essentiellement une machine à écrire Okityper 2000, avec clavier 48 touches, alphabet de 86 caractères de 6 bits, et chariot de 160 caractères. Le débit est 8 cps en police PICA. La machine, qui mesure 274 mm de large sur 553 mm de profondeur et 246 mm de haut, et qui pèse 55 Kg, accepte les bandes perforées et les cartes à perforation marginale. Le programme est une série de consignes d'édition préaffichées.

- **OkiMinitac 500** est une facturière. Elle utilise à nouveau une Okityper 2000, mais en relation avec un calculateur câblé selon la demande des clients. Les nombres ont 10 chiffres + S, le répertoire comprend 10 opérations dont add 2,1 ms, mpy 27,2 ms, et il existe deux mémoires de chacune un nombre. L'installation se présente comme un meuble de 1060 mm de large, 635 mm de profondeur et 955 mm de haut, incluant la boîte du calculateur qui mesure 310 \* 570 \* 315 mm.

La consommation est modestement 400 mA en 100 / 1 / 50.

- **OkiMinitac 510** est la même machine, utilisant une ME Okityper 6000.

- **OkiMinitac 600** et **610** de 1968 reprennent les mêmes mécaniques, mais en remplaçant l'électronique discrète par des circuits intégrés. Voir fiche et photo.

On peut encore rattacher à cette époque préliminaire l' **OKITAC 2000**, une machine décimale à mémoire de 10 Kcar et cycle de 8  $\mu$ s, avec un répertoire de 29 opérations, dont addition 760  $\mu$ s (10 +/- 10), multiplication 5 \* 5 = 14,5 ms, division 10 / 5 = 15 ms. Les périphériques sont LR 200 ou 400, PR 25 ou 150, et jusqu'à 4 machines à écrire Okityper 2000 ou 6000 ayant elles-mêmes LR et PR.

Comme déjà indiqué, la situation change du tout au tout lorsque IBM implante des usines de production au Japon et annonce la série 360, après avoir sérieusement secoué le marché avec ses 650, 7090 et 1401. Univac s'introduit au Japon à l'occasion d'une alliance avec le groupe Mitsui, chacun des deux ayant 34,5 % de la Nippon Univac Kaisha Ltd ; Oki et Mitsubishi prennent chacun 2,5 % des titres de cette société,

dont le solde est fourni par des banques. La nouvelle entreprise introduira au Japon des machines américaines, mais Oki et Mitsubishi pourront en profiter pour fournir les périphériques. Oki reste entièrement libre de produire des calculateurs, mais il est clair qu'il n'a plus d'intérêt à étudier de grosses machines.

- **Cargo Computer** est un calculateur spécialisé, non daté, pour préparer off line le chargement des navires de commerce. Voir fiche.

- **Okitac 7000** est un calculateur de contrôle industriel 24 bits, voir fiche et photo.

- **Okitac 7700** est une importante machine spécialisée dont l'unique finalité est la gestion de messages, provenant principalement du réseau télégraphique japonais à 50 bauds. La machine pratique toutes conversions de codes et toutes adaptations de vitesse, et utilise des bandes pour toutes mémorisations et archivages. **Okitac 7600** est la même machine, avec moins de lignes, de mémoire et de périphériques.

- **Okitac 7500** est aussi une machine de commutation de messages, avec une architecture différente parce qu'elle est limitée à 192 lignes. Pour ces trois machines, nous disposons uniquement de photographies.

- **Okitac 6000** (10 / 68) est une machine de gestion, qui représente les chiffres par 8 bits et fonctionne en série / parallèle par chiffre, comme une 1401. Le nombre et la diversité des périphériques sont supérieurs, incluant bandes, disques, et machines à écrire Okityper. Voir fiche et photo.

- **Okitac 4300** de 1969 est le premier mini de Oki, un 16 bits à tores tenant sur une table, construit en circuits intégrés. La fiche n'apporte pas grand chose à cette définition, à part la photo..

- **Okitac 8000** de 1970 est ce qui se fait de plus gros et de plus moderne en matière d'ordinateur universel, ici biprocesseur, montrant ainsi sa réticence à rester à la traîne d'Univac. De fait, la fiche dont nous disposons illustre photographiquement la grande variété de périphériques japonais disponibles, dont une partie fournis précisément par Oki. On y trouvera, notamment, plusieurs Okidata, dispositifs de transmission de données, ainsi qu'un écran fonctionnant en kanji, qui a été vendu à Hitachi pour son Hitac 8400. On peut douter, cependant, que le modèle ait pu déboucher, car il n'existe pas de logiciel correspondant ; s'il avait existé, la notice aurait du lui accorder une place.

- **OUK 9000** (1969) est la série des premiers ordinateurs Univac de gestion compatibles IBM, les 9200 / 9300 / 9400, construits au Japon avec trois ans de retard sur leur modèle. Ces matériels, qui ont aux USA une mémoire à film mince, reçoivent au Japon une mémoire équivalente construite par Toko. OUK signifie Oki Univac Kaisha et indique que Oki construit des machines conçues par Univac et en confie la vente à leur filiale commune.

Autre domaine où Oki a investi comme presque tous les constructeurs japonais : la commande numérique. Oki fournit des positionneurs numériques, qui déplacent la table porte pièce devant l'outil :

- **Okipoint 32**, positionneur 2 axes pour perceuse

- **Okipoint 40**, positionneur rectiligne 3 axes pour fraiseuses et aléseuses, 0,01 mm / impulsion, maximum +/- 2097,152 mm, 0 à 2000 mm / minute.

Il existe aussi des commandes de mouvements curvilignes pour fraiseuses, raboteuses, machines à dessiner, portant sur 2 à 9 axes : **Okipath 20, 400, 800**.

Rien de tout cela n'est daté mais tout est sans doute prêt dès 1962.

Au cours des années 70, l'évolution de Oki est manifestement de réduire la part des ordinateurs et d'augmenter celle des périphériques. La société organise d'autre part ses exportations en créant des filiales américaines spécialisées : Okidata Corporation pour certains périphériques, Oki Semiconductors Corp à Sunnyvale dès qu'apparaissent les microprocesseurs. Exemples :

- **Okidata 3300** est une production de disques vendus en OEM en 1977:

disques à têtes fixes de 2,97 et 5,94 MB.

6 modèles de disques à têtes mobiles, de 12,4 à 74,4 MB, avec possibilité d'ajouter des têtes fixes jusqu'à un maximum de 2,2 MB, accès en 10,1 ms.

- **MSM series 40** est une collection de microcontrôleurs 4 bits probablement inspirés par le Intel MCS 40 dont il utilise certains logiciels (ISIS). Voir schéma et catalogue.

- **MSM 80C48** est en 1981 l'entrée de Oki dans la confrérie des licenciés d'Intel pour le microcontrôleur 8048. Il s'agit à l'époque d'un microprocesseur CMOS travaillant à 400 KHz, et disposant de 111 opérations dont une correction décimale, de 2 jeux de 8 registres, d'un timer 8 bits, et de 3 ports tamponnés. Décodage par PLA. Présentation DIP plastique 40 broches.

L'entreprise comporte la fourniture de mémoires et périphériques appropriés.  
 80C48 de base est 1K ROM, 64 bytes RAM  
 80C35 est le même sans ROM, pour les études.  
 80C49 est une version 2K ROM, 128 bytes de RAM  
 80C39 est le même sans ROM, pour les mises au point.  
 Mémoires CMOS : MSM 5104 est 4K \* 1, MSM 5114 est 1K \* 4, MSM 5128 est 2K \* 8 bits.  
 MSM 5832 est une RTC avec calendrier  
 MSM 5837 est un convertisseur série / parallèle 12 bits avec amplis pour LED.  
 MSM 5838 et 5839 sont des scanners ligne et colonne pour composer une commande de  
 visualisation de LCD fonctionnant par points.  
 MSM 5870 est un 4 to 16 line output expand.  
 82C43 est un I/O expander

- **BMC IF 800** est une calculatrice de table construite en 1981 autour d'un microprocesseur Z80A de Zilog. Voir fiche. Prix 43350 FFHT, 100 exemplaires vendus en France en 1981.

Après cette mutation, Oki Electric est en 1985 la 34<sup>ème</sup> entreprise mondiale d'informatique. Son activité informatique de 890,4 M\$ est la moitié de son CA de 1680 M\$, mais le bénéfice du groupe n'est que de 19 M\$, 1,5 %, ce qui est peu pour un effectif de 18000 personnes, et résulte en réalité de la vente d'une petite filiale. La vérité est que l'activité de Oki est très fortement automatisée, donc qu'il n'y a plus beaucoup d'économies à faire, et qu'il faut trouver de nouveaux marchés.

Le CA 1985 se décompose en 649,9 M\$ de périphériques, 106,8 M\$ de matériels de communications informatiques, 82,3 M\$ de calculateurs (en extinction), 8,8 M\$ de micro, à peine naissante, et 62,6 M\$ de services divers, ce qui est bien trop faible. L'activité non informatique est essentiellement du téléphone, au profit toujours de NTT (postes, fax, PBX, standards, etc...).

Dans les 10 dernières années de notre période, Oki ne se manifeste plus guère que par l'annonce de nouveaux circuits intégrés.

En 1990, il s'agit d'abord d'une entrée massive sur le marché des microcontrôleurs :

a) dans le domaine 8 bits, la famille **MSM 65K** est construite autour du 80C51, un microcontrôleur d'origine Intel dont le monde entier a acheté la license, qui a rapidement dépassé le succès précédent du 8048. La version japonaise de ce circuit, nX8 / 50, contient quelques nouvelles instructions et donne un bénéfice de 40% de thruput par rapport au 80C51 de référence. Voir fiche.

b) la série **MSM66K** offre une architecture interne 16 bits, mais un bus 8 bits tant à l'extérieur qu'à l'intérieur, et elle existe en trois versions noyaux : nX8 / 300 est le point de départ, avec le **MSM 66301** ; le nX8 / 200 réduit le coût en diminuant le répertoire, ce sont les **MSM 66201 et 66207** ; le nX8/400 améliore les performances de 60% en augmentant la fréquence, c'est le **MSM 66417**.

MSM 66301, 10 MHz, 64 KB programme, 512 KB données, dont on chip 16 KB ROM, 512 bytes RAM ; 6 ports 8 bits dont un pour entrées seulement, un port série, un codeur 10 bits 8 voies, 3 interruptions, 4 timers 16 bits, 2 modulateurs PWM.

MSM 66201, 10 MHz, 64 KB programme, 64 KB données, tout le reste comme ci-dessus.

MSM 66207, 10 MHz, 64 KB programme, 64 KB données, dont en interne 32 KB ROM et 1 KB RAM, tout le reste comme ci-dessus.

MSM 66417, 16 MHz, 64 KB programme et 64 KB données, en interne 32 KB ROM et 1 KB RAM. 8 ports parallèles 8 bits + un de 4 bits ; un des ports 8 bits est en entrée seulement, alimentant un codeur 10 bits à 8 voies. Port série, 3 interruptions, 3 timers 16 bits, 4 modulateurs PWM.

Tous ces modèles existent en version ROM, PROM ou ROMless avec piggyback EPROM. Prix à partir de 6,5 \$ pièce en lot de 10000, boîtiers DIP 40 ET 64, PLCC 44 ou 68, QFP 64, etc...

c) la série **MSM67K** existe en deux vitesses, nX16/600 à 10 MHz et nX16 / 700 à 16 MHz, mais ces deux versions incorporent un doubleur de fréquence pour la partie calcul.

**MSM 67620** adresse deux espaces distincts de 64 KB, incluant sur la puce 16 KB de programme et 512 bytes de données. Il y a aussi une prefetch queue de 3 instructions, 3 timers 16 bits et 2 de 8 bits, 4 registres de capture / comparaison, un port série, 7 ports parallèles, 13 interruptions.

**MSM 677XX** offre au client la possibilité de spécifier la composition de son produit, qui peut adresser deux espaces de 256 KB. Les options de librairie sont les mémoires internes, un processeur séparé pour les entrées/sorties, le nombre des ports parallèles, l'existence du port série, un codeur 10 bits, etc...  
 Prix à partir de \$ 7,06 pièce par lot de 10000.

Un logiciel de conversion est proposé qui fait passer de la programmation standard 8051 à la programmation spécifique des 65K et 67K, en plus des assembleur, débogueur, compilateur C, bibliothèque, éditeur de lien, émulateur in circuit pour PC, que l'on peut attendre à cette époque.

d) des microcontrôleurs 32 bits apparaissent tardivement chez Oki. Le **ML 67010** est en fait un ARM7TDMI, Oki ayant comme tout le monde acquis la license de ce produit : 25 MHz, 128 KB ROM, 4 KB RAM, 9 interruptions, 6 timers, 2 UART, 9 ports parallèles, chien de garde, codeur 8 bits à 1 voie, décodeur PWM, alimentation 3,3 Volts, boîtier QFP 144.

Il en existe une version ROMles avec DMA 2 canaux, en boîtier QFP 128.

Oki a néanmoins produit son propre RISC, **MSM 7630**, 40 MHz, 26 Mips, car l'ARM7 est un peu faible pour la mission spécifique, la réalisation de machines parlantes. Un port série, un port parallèle, un codeur, le tout en QFP 100.

En résumé, Oki a bien pris le virage, mais limite ses ambitions. En particulier, il n'existe pas de DSP de conception Oki, et on n'a pas d'indication de projets dans le multimedia.

## 757 - L'informatique chez Toshiba

La Tokyo Shibaura Electric Company, par la suite abrégée en Toshiba qui est le nom sous lequel elle est connue en Europe, débute l'après-guerre comme toutes les sociétés d'électricité, en s'essayant au calcul analogique. Nous connaissons un **TOSAC 200**, non daté, calculateur à courant continu travaillant sur l'intervalle +/- 100 Volts, avec des matériels dont la qualité se compare aux meilleurs : amplificateurs de gain 160 db, dérive 30  $\mu$ V par 8 heures, éléments linéaires à 0,05%, potentiomètres de 30000 ohms, également linéaires à +/- 0,05%, multiplieur électronique à 0,05%, servomécanisme à 0,2%, générateur de fonctions à 12 segments, servogénérateurs à 20 segments. Bref, un matériel compétitif, à une époque cependant où le Japon n'exporte pas encore.

Le premier contact avec l'électronique numérique est différent de ce que nous avons rencontré chez les autres constructeurs. Il s'agit d'un calculateur pour cartes perforées, et très probablement cette idée est née là parce que Toshiba était avant guerre le représentant de Remington Rand au Japon. Le **Tosbac III** de 4 / 59 possède une mémoire transistorisée de 90 compteurs, et l'organe de communication avec l'extérieur est une reproductrice RR. Le III indique que ce produit utilisable a été précédé d'expériences.

Pour aborder plus efficacement l'étude des calculateurs, Toshiba s'associe à l'université de Kyoto pour construire la **Pilot KT** : une machine expérimentale sur plusieurs points : logique asynchrone à commutation de courant, architecture inspirée par le concept de microprogrammation de Librascope (SD2) avec une technologie audacieuse (phototransistors) pour la mémoire morte de commande. Voir fiche.

Cependant, la construction, pratiquement contemporaine, de la **TOSBAC 2100**, montre qu'il s'agit plus de mécénat que de collaboration. La mémoire de cette machine est du type électrostatique, et particulièrement petite, 102 chiffres décimaux. Le bloc de calcul manipule des nombres de 10 chiffres + signe, avec une efficacité qui indique une architecture parallèle : addition en 350  $\mu$ s, multiplication en 1150  $\mu$ s, division en 1390  $\mu$ s. Le répertoire comprend 36 opérations, et le format d'instruction est 1 + 1 adresse, ce qui s'explique mal, à moins qu'il n'existe un tambour dont la documentation ne parle pas.

Les périphériques sont riches, LR / PR, LC / PC, ME, IP, et cela rappelle que Toshiba est mécanographe.

Une **TOSBAC 3100** lui succède en 9 / 61, construite autour d'un tambour de 5000 mots, accès moyen 7 ms, qui justifie le format 1 + 1 adresse des instructions, et d'un tampon à tores de 200 mots qui est plutôt consacré aux données. Le bloc de calcul de 59 opérations, manipulant des nombres décimaux de 12 chiffres + signe, a beaucoup gagné en ambition puisqu'il existe 3 index et une virgule flottante : addition 310  $\mu$ s, multiplication 5 ms, division 6,5 ms en fixe, et 610 / 4800 / 6000  $\mu$ s en flottant, tous ces temps à augmenter de l'accès. Cela rappelle beaucoup l'IBM 650.

Périphériques LC 400, PC 100, LR 400, PR 70, IP 200. En outre, il existe jusqu'à 10 dérouleurs de bandes à 6000 cps, sur lesquels on manque de détails.

Une **TOSBAC 4100** non datée, mais sans doute contemporaine, manipule les mêmes nombres, dispose de 60 mots de tores, et certainement aussi d'un tambour, avec un répertoire de seulement 12 opérations à 2 + 1 adresses, sans multiplication ni division. Il n'y a pas non plus de cartes. On peut supposer que cette machine économique, qui effectuait l'addition en 1,5 ms, voulait expérimenter le traitement de gestion.

En mars 1962, la **Tosbac 4200** est, malgré son numéro, une machine bien différente, et beaucoup plus élaborée, qui tire cette fois son inspiration de l'IBM 1620. La mémoire comprend 4000 à 40000 chiffres, accessible par chiffre en 25  $\mu$ s, et ces chiffres peuvent constituer des nombres de longueur quelconque. Les instructions ont un format de 2,5 adresses, ce qui signifie en principe qu'il existe des registres : il est effectivement question de 6 index. Temps indicatifs : addition 5 + 5 en 480  $\mu$ s, multiplication 10,05 ms, division 46,34 ms.

Grand choix de périphériques : LC 600, PC 100, LR 400, PR 67, IP 200 ou 1000, écran à 26 lignes de 46 caractères, bandes magnétiques de 6 à 30 Kcps. Il y a même un disque de 2 Mcar, avec un accès en plus de 2 secondes, mais un débit de 33000 cps, de sorte que cette machine est en mesure, mieux encore que la 1620, d'effectuer de longs calculs scientifiques.

Logiciel : Assembleur TAP - Prix : \$ 2700 à 5500

On peut supposer que les **TOSNUC**, les machines de commande numérique, datent de cette même époque. Les chiffres en notre possession, concernant une 322 S pour fraiseuse et tours, et une 322 P pour perceuses et aléseuses, montrent le même niveau de compétence que la concurrence (0,01 mm / impulsion), mais avec des ampleurs de déplacement (+/- 9999,99 mm), des vitesses (10 à 4800 mm / min) et des diamètres d'outils (999,99 mm) tout à fait exceptionnels.

Avec la **Tosbac 1100** qui apparaît en 1963, on passe à une période plus commerciale. Il s'agit d'une facturière manipulant des nombres de 10 chiffres + signe, avec comme mémoire un tout petit tambour de 32 mots. Addition 40 ms, multiplication 500 ms, pas de division, répertoire de seulement 8 opérations à 1 adresse. Périphériques : machine à écrire et bande perforée.

La machine aura sans doute du succès, puisque en 8 / 68 on annonce la version E pour laquelle nous disposons d'une fiche illustrée.

En novembre 1963, la **Tosbac 3300** est une petite scientifique économique, \$ 1500 à 3000, organisée autour d'une mémoire à tores de 4 à 8 Kmots de 24 bits, avec un cycle de 10  $\mu$ s. Elle est renforcée d'un tambour de 41000 mots, accès 8,3 ms, débit 28800 cps.

L'architecture est riche, avec index, indirection, protection de mémoire, 8 interruptions hiérarchisées, et un répertoire de 148 opérations comprenant la virgule flottante.

Performances : add 260  $\mu$ s, mpy 840 à 3590  $\mu$ s, division 3740  $\mu$ s, en flottant 810 / 1850 à 7280 / 8880  $\mu$ s.

Périphériques : LR 400, PR100, IP350, ME, écran 24 \* 46.

Logiciel : 2 assembleurs SMAP 1 et 2, Algol, Minitap, Autos.

En décembre 1964, la machine **Tosbac 3400** est annoncée, présentée comme un développement de l'étude KT Pilot, et de fait utilisant un mot de 24 bits. L'architecture vise cependant à en faire une machine scientifique, comme on peut s'en rendre compte en examinant le répertoire, pour une fois complètement détaillé. Les entrées/sorties sont inspirées par l'IBM 7090, et le logiciel est celui de l'époque, avec juste un IOCS comme système, un assembleur et deux compilateurs.

Simultanément, pour montrer qu'on ne renie pas le passé, la **Tosbac 4300** reprend l'architecture originale de la 4200 avec une mémoire portée à 80000 caractères, cycle 10  $\mu$ s, 8 index et une indirection. L'addition 5 + 5 s'exécute en 220  $\mu$ s. En gros, on a doublé toutes les performances et, compte tenu de la linéarité de l'architecture, on a aussi doublé le prix, de 4000 à 9000 \$. Un Cobol a été ajouté à l'assembleur AUTAP, pratiquement compatible.

On arrive ainsi à l'année 1965, et Toshiba comme tous ses confrères, doit se trouver un appui américain contre IBM installé au Japon. Toshiba choisit General Electric, et prend la licence de la série 200, malgré son mot de 20 bits très peu approprié pour une machine d'usage général., construisant :

- la GE 225, rebaptisée **Tosbac 5200**, \$ 2500 à 26000 par mois, mémoire à cycle de 18  $\mu$ s

- la GE 235 ou **Tosbac 5300**, \$ 6000 à 28000 / mois, mémoire à cycle de 6  $\mu$ s

Les périphériques sont japonais : disques de 28 Mcar, accès 180 ms, débit 62500 cps

bandes 15000 à 60000 cps, réversibles

LC 1500, PC 300, LR 1000, PR 110, IP 900

L'intérêt de ces machines, au moment où Toshiba leur ouvre le Japon, est certainement le système Basic de temps partagé qui a fait leur célébrité.

Plus intéressant, du point de vue des débouchés, est la licence de la série 400, annoncée en juin 1965 :

- la **Tosbac 5400 Mle 10**, ex Tosbac 5415, est la GE 415

- la **Tosbac 5400 Mle 20**, ex Tosbac 5425, est la GE 425

- la **Tosbac 5400 Mle 30**, ex Tosbac 5435, est la GE 435

C'est de ce moment que datent les premières relations de Toshiba avec Bull, en France, puisque les deux sociétés ont le même problème de construire une machine étrangère.

Pour compléter cette mutation, et dans le même esprit qui deux ans plus tôt installait des 1401 comme convertisseurs cartes / bandes, Toshiba crée la **Tosbac 5100**, dont le sigle est pleinement évocateur : bas de gamme au service des 5000. Cette machine travaillant au niveau du byte de 8 bits a des performances honorables, dispose de tous les périphériques de la 1401 y compris le dispac 2311 en version japonaise, et de tous les logiciels des machines plus grosses qu'elle peut donc décharger. Prix \$ 3000 à 12000 par mois pour la 20 à cycle mémoire de 1,8  $\mu$ s, \$ 3500 à 15000 par mois pour la 30 à cycle mémoire de 0,8  $\mu$ s.

L'urgence conduit même Toshiba, qui n'en avait pas réellement besoin, à prendre aussi la license des GEPAC 4000, qui deviennent les **Tosbac 7000**, à la même date de 5 / 65 : voir fiche illustrée.

Les machines GE précédentes sont purement gestion. Toshiba doit donc se débrouiller seul pour répondre aux besoins scientifiques de sa clientèle. On note à l'époque :

- des calculatrices de table : **Toscal 1201** est une machine de table à 4 opérations, travaillant sans mémoire sur nombres de 12 chiffres, résultat sur tubes Nixie. **Toscal BC 1411** est une version étendue à des nombres de 14 chiffres, et pourvue d'une mémoire. **Toscal BC 1621** est encore étendue à 16 chiffres et deux mémoires, avec en outre un indicateur de débordement et un positionnement de la virgule.

- des machines orientées, dont le prix reste modéré. A la 3400 24 bits s'ajoute en octobre 1967 un **Tosbac 3000** à mot de 16 bits, mémoire à tores de 4 à 32 Kmots, étendue avec un tambour de 128 Kmots ou un disque de 1 Mmots, bloc de calcul à 75 opérations en format 1,5 adresse, avec index et indirection : addition 3,6  $\mu$ s, multiplication 12,6  $\mu$ s, division 41,4  $\mu$ s. Il y a 16 niveaux d'interruptions et trappings. Pour que les prix restent bas, \$ 940 à 3100 par mois, les périphériques sont simplement LR 1000, PR 120, ME. Le logiciel se limite à l'assembleur et à un Fortran.

- il y a même encore moins cher avec la **Tosbac 1500** (12 / 68), une machine décimale à mémoire de 4K caractères sur tores, cycle 2,8  $\mu$ s, plus 32 KB sur tambour, accès moyen 10 ms. Le répertoire se limite à 16 opérations à 2 adresses, renforcées de 25 macros et de 3 index. LR 500, PR 120. Performances : addition 14 + 14 en 42  $\mu$ s, multiplication 16 \* 16 en 11,5 ms, division 16 / 16 en 15,7 ms.

Nous arrivons à l'épisode LNP associé à l'exposition d'Osaka. La contribution de Toshiba à cet exercice national est un lecteur optique pour un ensemble de 44 caractères formant le jeu ISO B (26 majuscules, 10 chiffres, 8 autres symboles) : c'est l' **ASPET 70**, mis au point par des ingénieurs de Toshiba dans le cadre de l' ElectroTechnical Laboratory. Le fonctionnement est le suivant.

Le caractère, sélectionné par un système optique approprié, est amené sur un tube Flyingspot qui quantifie l'information de luminance, et charge un registre de 39 \* 27 bascules, organisé pour décalages droite/gauche et haut/bas, lequel assure le centrage de l'image pour le processeur.

Celui-ci commence par diviser l'image en 117 groupes de 3 \* 3 bits dont les 40 extérieurs sont ignorés. Il reste ainsi à traiter un ensemble de 77 groupes disposés en rectangle vertical 7 \* 11. Pour chacun des 77 groupes, on effectue la sommation de 21 bascules : les 9 du groupe, et les 4 groupes de 3 qui l'entourent directement. Cette sommation est effectuée dans un amplificateur à résistances pondérées de manière à représenter une cloche de Gauss : ce premier travail homogénéise le tracé du caractère, faisant disparaître les défauts d'encrage. Le caractère ainsi normalisé est alors sommé simultanément avec les 44 modèles de caractères stockés en complément, et cette sommation utilise successivement deux amplificateurs à caractéristiques respectivement carrée et racine, ce qui fait donc un calcul de moindres carrés. Le résultat le plus proche de zéro définit le caractère reconnu.

Les accords Toshiba / GE prennent fin en 1973 avec la vente de l'informatique de GE à Honeywell, et Toshiba choisit de s'associer avec NEC, dont Honeywell était le correspondant. C'est ainsi que, pendant une dizaine d'années, des calculateurs NEAC représentant les H200 puis les GE 6000 seront commercialisés par les deux compagnies.

La politique commerciale étant ainsi définie pour un long moment, il ne reste à Toshiba qu'à ne pas laisser perdre sa clientèle temps réel, cad à faire choix d'un mini polyvalent. Ce sera le **Tosbac 40C**, version japonaise de l' Interdata 70, annoncé en 1973. Ce produit sera rafraîchi en 1975 par le **Tosbac 40L**, un 16 bits composé d'un processeur sur une carte et d'une mémoire de 8 Kmots rassemblés dans un châssis qui peut faire l'objet d'extensions en toutes directions : mémoire de 64 KB en MOS 600 ns, processeur réalisé en NMOS à grille silicium, en deux puces de 3600 portes (ALU, 16 GPR, 126 opérations) et 700 portes (bus control), offertes en boîtiers 42 broches. Horloge 3 MHz, soit CP = 300 ns. Prix de base \$ 16600.

Dès 1976, Toshiba étudiera la construction d'un **processeur LSI** (en 3 puces, initialement) émulant cette architecture réussie. Voir article illustré.

Cela évoluera, vers 1978, en un mini industriel comportant jusqu'à 1 MB de mémoire 16 bits, 240 ns d'accès, réalisée avec des NMOS de 16 Kbits, et un CPU 32 bits autorisant un adressage de 16 MB (24 bits) et faisant l'addition en 360 ns. Possibilité de multiprocessing. Prix à partir de \$ 83300.

Une version compatible et plus rapide suivra en 1981.

A partir d'ici, nous ne disposons plus, dans la littérature, que d'aperçus ponctuels sur la production microélectronique de Toshiba, négligeant les ventes de processeurs produits par NEC. Le point 1985 est indispensable pour discerner ce que valent le groupe Toshiba et son informatique.

Toshiba est en 1985 un très gros groupe industriel employant 114000 personnes, avec un chiffre d'affaires de 14377,9 M\$ ou 335 BY, en croissance rapide de 30% et avec un bénéfice de 326,5 M\$. 10% seulement de ce chiffre concernent l'informatique, également en croissance de 30%, ce qui place Toshiba au 21<sup>ème</sup> rang de l'informatique mondiale. 862,7 M\$ sont consacrés par ce groupe à sa R&D, soit 6%, ce qui n'est pas particulièrement remarquable.

En 1985, Toshiba a complètement abandonné à NEC la production et la vente de mainframes, et les seuls ordinateurs qu'il produit sont des minis, pour 257,8 M\$. Cela représente moins de 8% du marché national de l'espèce, pour le process control et pour la gestion. Mais Toshiba semble agir par des participations : la majorité chez Sord, qui devient sa division PC ; 20% d'Olivetti, ce qui stabilise ses fournitures de périphériques et de semi-conducteurs ; des liens en conséquence avec ATT, autre actionnaire d'Olivetti, qui adapte au marché japonais des brevets ATT de commutateurs ; un accord avec ITT, qui confie à Toshiba la commercialisation de son système DSP 1500 de commutation de paquets.

Ainsi l'activité principale de Toshiba informatique est elle en 1985 de 750,5 M\$ de périphériques (par exemple, 1,5 million de disques 3,5" pour les PC/AT d'IBM, des imprimantes matricielles et des disques optiques) et 187,4 M\$ de matériels de communications de données.

Ce qui n'apparaît pas encore en 1985, parce qu'incorporée dans des matériels, c'est l'activité microélectronique. Nous citerons quelques créations :

- **TLCS 12** (1973) est un jeu de composants avec lesquels réaliser des microordinateurs. Voir fiche.

- **T3444** (1976) est un microprocesseur 8 bits présenté en une seule puce compatible TTL, en boîtier 42 broches, commercialisé au prix de \$ 24. La réalisation, en NMOS silicon gate, depletion load, fonctionne aux alentours de 850 KHz (CP = 1,25 µs). Alimentation 5 V.

Le circuit comprend une ALU à 14 opérations, une RAM contenant 16 mots de 8 bits, un générateur de timing (quartz externe), un bus 8 bits avec un tampon de sortie et trois d'entrée, un bus 4 bits avec tampon dans chaque sens, une sortie série et 5 bits d'entrée/sortie parallèles. La microprogrammation est interne à la puce, sur une ROM 256 \* 24 bits. Elle est adaptable à la demande du client, ce qui caractérise ce microprocesseur comme un microcontrôleur ou même un ASIC avant la lettre.

- en 1978 on signale un microprocesseur 16 bits, réalisé en NMOS / SOS, dans le cadre d'un projet gouvernemental (ICOT) de reconnaissance de formes où il est associé à des SRAM 4K de NEC et à des DRAM 16 K de Hitachi. Ce circuit de 7000 portes travaille à 5 MHz, consomme 2 W en 5 V. Le dessin est en géométrie 4 µ.

- le **TCP 4600** (1980) est un microprocesseur 4 bits en CMOS, inspiré par le Intel 4400. On note une nouvelle fois que les japonais, prenant les licences de premiers circuits NMOS de Intel, se sont immédiatement efforcés d'en réaliser des versions CMOS. Dans cette série, on peut citer :

4600AC, boîtier d'évaluation céramique de 64 broches, contenant 160 \* 4 bits de RAM et pas de ROM. travail typique à 100 KHz. Alim 4 à 6 V. Température - 10 à + 70°C. Consommation 0,15 mA.

4620AP et BP qui diffèrent par des détails d'entrées/sorties. On y trouve 2048 \* 8 bits de ROM, 96 \* 4 bits de RAM, et diverses possibilités d'adaptation au client comme programmation à la demande de la PLA pour encodeur 7 segments ou encodeur clavier, ou certaines sorties à fort courant. Température -30 à + 85°C. Consommation 0,4 mA à 100 KHz. Boîtier plastique 42 broches.

Des versions AF et BF en diffèrent par des entrées/sorties.

4621AP est une 4620 personnalisée avec driver d'affichage fluorescent et contrôleur pour LCD.

4630AP contient 3072 \* 8 ROM, 160 \* 4 RAM, température - 20 + 70°C. Boîtier 43 broches.

Une version AF en diffère par des entrées/sorties. Une version 4632BF est présentée en boîtier flatpack 67 broches.

- le **TMP 4300** profite de la même licence mais il est directement réalisé en NMOS, qui pour l'heure sont encore plus performants quoique consommant davantage. On retrouve les mêmes types d'offre que ci-dessus, avec trois tailles de produits standard : 1024/48, 1536 / 64, 2048/128, les chiffres inférieurs résultant de consommation accrue, jusqu'à 70 mA. La fréquence est ici 250 KHz. Périphériques variés tels que timers, PLA, drivers d'afficheurs ou de clavier.

- le **T200** (1981) est un ordinateur personnel à base de microprocesseur 8085, intégré à une console contenant une mémoire de 64 KB, un écran de 1920 caractères et deux lecteurs de disquettes 256 KB. Le clavier est séparable, et une ME 125 peut lui être associée. Le matériel est vendu en France 36600 FF, la fourniture monte à 50 KFF avec le logiciel.

Une version C20 est proposée en 1982, regroupant jusqu'à 16 consoles du type précédent autour d'un boîtier contenant deux disques de 10 MB et le multiplex vers les 16 consoles. Le prix d'un monoposte C20 est 98640 FF, celui d'un biposte est 137600 FF.

- le **TMP 4700** (1982) renouvelle, deux ans plus tard, le travail représenté par les 4300 et 4600. Il s'agit toujours de microprocesseurs 4 bits, mais leur véritable intérêt est maintenant comme microcontrôleur. Les capacités de mémoire ont été accrues à 2048/128 ou 4096/256 bytes, il y a toujours deux variantes NMOS à 500 KHz (4700, 4720, 4740) et CMOS à 250 KHz (47C20P, 47C40P), mais les principales différences concernent la multiplication des périphériques inclus sur la puce.

- le **T88000** est une puce mixte, regroupant 12000 transistors CMOS et NMOS en  $2,8 \mu$  sur un socle SOS de  $6,66 * 7,46$  mm, qui travaillent en 10 MHz tétraphasé sur un cycle de 400 ns. Consommation 700 mW sous 5 V. Délai 0,7 ns par porte. La puce contient :

Bus d'entrées / sorties 32 bits communiquant notamment avec une CROM externe de 80 Kbits.

2 bus internes 16 bits pour les deux entrées de l'ALU 16 bits, qui sait faire virgule flottante et décimal.

Décaleur 16 bits de type barrell, capable de décalage 1 à 15 places dans le même délai de 400 ns.

Multiplieur  $16 * 16$  fonctionnant en 4 cycles =  $1,6 \mu$ s.

Jeu de registres tamponné

Queue de prefetch de 8 bytes et décodeur de 151 opérations, la plupart exécutables en un cycle.

Cette puce a notamment été utilisée dans les Tosbac de la série 7.

- le **TLCS 870** est un microcontrôleur 8 bits développé dans les années 90. Les nombreuses variantes disposent de 2 à 32 KB de programme interne, 256 à 1536 bytes de données, 4 timers, 1 à 3 ports série, 34 à 89 bornes d'accès parallèle, un chien de garde, un codeur 8 ou 10 bits avec 6 à 16 voies, un contrôleur d'affichage. Cette famille est programmable en C.

- le **TLCS 90** est un autre microcontrôleur qui extrapole le Z80 pour le répertoire, avec selon les variantes 4 à 32 KB de programme interne, 256 à 4096 bytes de données, 5 timers, 1 à 3 ports série, 28 à 72 ports parallèles élémentaires, chien de garde, codeur 8 bits avec 6 à 16 voies, etc...

- dans le domaine des 32 bits, Toshiba prend finalement la licence Mips et produit un **R3900**,  $26 \text{ mm}^2$  en CMOS  $0,6 \mu$  à 2 couches métal. Puissance 52,5 Mips. Il se présente en 1995 comme un élément de bibliothèque pour création d'ASIC.

- plus tard, vers 2000, il est question du **TX 79**, un autre cœur synthétisable compatible MIPS, réalisé en CMOS  $0,18 \mu$  et capable de 200 MHz.

Tout cela est disparate et incomplet, montrant un Toshiba qui donne l'impression de vivre au jour le jour, cherchant à toujours disposer de composants mais sans produit phare. Ce qui suit n'est qu'un échantillonnage dont pas grand chose ne paraît vraiment notable.

Dans les années suivantes, les publications dans les revues spécialisées en composants montrent que Toshiba est en train d'acquiescer une bonne compétence en matière d'écrans LCD, avec le support approprié en microcontrôleurs. Cela débouche vers 1990 dans des annonces de portables qui vont devenir une spécialité de la marque:

**T2200 SX** (1990) est un portable au format A4, pesant 2,5 Kg avec sa batterie. Dans la carcasse en fibre de carbone on trouve un 386 SX à 20 MHz, 2 à 10 M de RAM, un disque de 40 ou 60 MB, et un écran LCD à diagonale 9,5" rétroéclairé en 16 nuances de gris. Epaisseur 6,5 mm.

Conscient que ce portable a besoin de services, Toshiba propose en même temps une station d'accueil Deskstation IIV, au prix de 6990 FFHT. On y trouve une interface série, une interface parallèle, une prise pour un lecteur de floppy 5,25", un clavier, un moniteur couleur, deux connecteurs ISA 16 bits et un emplacement pour disque 5,25".

Il y a aussi une imprimante Expresswriter 201, susceptible de se brancher sur l'interface parallèle. Elle mesure  $300 * 40$  mm, pèse 850 g, fonctionne avec une tête thermique ou un ruban encreur réversible, en émulant l'Epson LQ 2550. 2 polices Courier et Prestige Elite. Prix avec batterie de 1 heure : 3480 FFHT.

**T4400 SXC** (1992) est un portable de 3,5 Kg à base de 486 SX25, mémoire 4 MB extensible à 20 MB par cartes PCMCIA ; écran 256 couleurs à matrice active 640 \* 480 pixels. Des modèles à disque existent, un / 80 à 55500FF et un / 120 à 59000 FF, ce qui paraît peu compétitif.

**T4900 CT** (10 / 94) vendu 7500 \$ dispose d'un écran, de 10,4" à matrice active, et d'un disque de 810 MB. Ce dernier est d'ailleurs l'occasion d'attirer l'attention sur des disques impressionnants, fabriqués en 1995 par Toshiba et vendus par Crown Technology. Ce sont des disques de 2,5", épaisseur 19 mm :

MK 2728 FC ou FB est 1,08 GB formaté, interface FAST ATA 16,6 MB/s ou SCSI2 10 MB/s synchrone ou 6 MB/s asynchrone. Il inclut un cache de 128 KB avec délai moyen 13 ms, pèse 920 g. Il comprend 4 plateaux et offre un MTBF de 300000 heures, calculé évidemment.

MK 2628 FC ou FB est le 810 MB précité, qui diffère du précédent par un Fast ATA encore plus rapide, 13,3 MB/s. Tout le reste idem.

MK 1924 F est un disque à 2 plateaux de 540 MB, ne pesant que 160g. Tout le reste comme le 2728.

## 758 - Autres constructeurs japonais

De nombreux autres constructeurs japonais ont joué un rôle au cours des cinquante années que nous examinons, mais seuls les précédents ont traversé toute la période en restant dans le métier. Dans ce qui suit, nous trouverons des petits rôles, plus ou moins épisodiques, avec une exception de taille que d'ailleurs nous ne serons pas en mesure de développer. Ces sociétés sont citées dans l'ordre alphabétique, car leur activité n'a en général pas pu influencer l'évolution de l'informatique nationale.

**C. Itoh** est un énorme conglomérat commercial, 61 B\$ de chiffre d'affaires en 1985, mais son activité informatique est marginale et épisodique, avec un CA 1985 de 706 M\$, en notable croissance à l'époque au point de l'amener au 43ème rang mondial. On doit comprendre que c'est purement circonstanciel, et que cette part peut croître ou décroître sans influencer notablement l'évolution générale du groupe. Le coup d'oeil que nous donnons sur l'activité informatique du groupe en 1985 ne doit pas être compris autrement : aucune tendance importante ni durable ne s'en dégage.

Au Japon, les filiales de C. Itoh vendent des produits informatiques et des services. CI Data Systems fournit des calculateurs configurés à la demande, de l'automation pour des usines, du logiciel ; un contrat avec *IntelliGenetics Corp* aux USA lui donne les droits d'un package de biotechnologie informatisée. Un accord avec NTT permet à leur filiale commune *Nippon Telematique Inc.* de vendre des systèmes NTT de videotexte.

Une autre filiale, *Century Research Center Corp.*, fournit des services de calcul en batch et en temps partagé sur un Cray 1, ainsi que des packages scientifiques fonctionnant sur cette machine. Ces services sont par exemple utilisés par NEC et Cray.

A la suite d'une dérégulation partielle du service japonais des télécommunications, C. Itoh s'est associé avec le groupe Mitsui et la société américaine Hughes pour former en 1985 la Japan Communications Satellite Co. dont la finalité est d'installer en orbite deux satellites Hughes pour fournir au pays un service de transmissions de données, approuvé officiellement par le Ministère des PTT.

Hors du Japon, d'autres filiales diffusent des produits japonais très divers, par exemple les disques de 3,5" de Fujitsu. *C.Itoh Electronics* vend des imprimantes, des moniteurs, des lecteurs de disquettes, des terminaux portables, des plotteurs, des fax. La division Systems offre des micros et du logiciel, la division Terminals fournit des imprimantes et des visualisations graphiques compatibles avec Tektronix et DEC.

La division System est une entreprise américaine, qui conçoit aux USA et réalise ses idées chez Hitachi. En 1982, cette idée consiste à utiliser la nouvelle merveille, le 68000 de Motorola, en association avec une interface Multibus de Intel, populaire et rodée. Trois modèles :

680/10 est un monoposte de 128 KB, avec Winchester et disquette, pour \$ 8700.

680/20 est conçu pour 4 usagers, et coûte \$ 9300 avec 256 KB de mémoire.

680/40 est prévu pour un maximum de 16 postes, avec 768 KB de mémoire principale, 20 MB de disque, et une cartouche de sauvegarde débitant 90 "/s. Les terminaux sont quelconques, mais on favorise les CIT 90 de la division Terminals.

Les logiciels proposés sont CP/M68K étudié spécialement par Digital Research pour Hitachi, les compilateurs de Versados, et un package PRO IV de Data Technical Analysts, qui est un générateur de programmes occupant 22 KB et générant automatiquement la documentation.

Un peu plus tard, le C.Itoh 300 est un calculateur 32 bits, construit autour d'un 68020 à 16 MHz, extensible à 8 MB de mémoire principale et 2,7 GB de disques, et susceptible de servir jusqu'à 128 terminaux. Ce produit est commercialisé en Angleterre par *Sanderson Computers Ltd*, voir photo en boîte 187. On voit par cet exemple un mécanisme commercial plutôt qu'un produit.

La répartition indicative du CA 1985 comprend 19,7 M\$ de minis, 103,8 M\$ de micros, 36,1 M\$ de communications, 353,4 M\$ de périphériques, 42,4 M\$ de logiciels, et 150,6 M\$ de services divers.

**Canon, Inc.** *Canon* est vers 1990 un spécialiste des imprimantes et photocopieuses couleur après avoir été dans les années 80 vendeur de calculatrices de table et de poche de formats divers. La firme est aussi mondialement connue pour ses appareils photographiques et elle a pris en 2000 le virage de la photo numérique. On ne cite que des exemples, car la société n'a jamais pratiqué qu'une politique d'opportunités.

La **Canon 167** de 1968 est une machine de table dotée d'une mémoire à tambour, manipulant des nombres décimaux de 16 chiffres avec une virgule flottante automatique si le nombre de chiffres croît au delà de 16. Clavier d'entrée 10 touches, Dimensions 216 \* 305 \* 595 mm.

Performances : addition 10 ms, multiplication 900 ms, division 1 seconde, racine 60 ms.

L'**AS 100** de 1983 est un calculateur de table à base de 8088, avec 128 à 512 KB de mémoire, un lecteur de disque à choisir parmi 8", 5,25" ou Winchester, et un système d'exploitation CP/M86 ou MS/DOS. Prix commercial 32 KF, porté à 50 KF pour un écran couleur et une imprimante à jet d'encre.

On trouvera en boîte 187 un document de 1990 sur la **Canofile**, un système de classement et d'archivage électronique à base de disques magnétooptiques de 512 MB, et d'imprimante laser pour la diffusion.

Un autre document décrit le **BN 120C**, un portable de 1990 construit autour d'un microprocesseur Intel 486 et fonctionnant sous Windows 3.1. L'une des originalités de ce portable est d'inclure une imprimante à jet d'encre 116 cps, ce qui est un tour de force technique.

On trouvera encore une feuille illustrée de quelques photos montrant un échantillonnage de calculatrices de table et de calculettes, avec quelques chiffres. C'est une photographie 1990.

La **Station 41** proposée en 1994 par Canon Computer System est plus ambitieuse qu'un PC parce que Canon s'est associée dans cette tentative avec l'ambitieux créateur de Next. Le processeur est un 486 DX4 à 100 MHz, avec 16 (16) 96 MB de DRAM, 4 slots d'extension, une carte video 1280 \* 1024 pixels avec 2 MB de VRAM pour une couleur à 16 bits, une audio 16 bits Sound Blaster, une interface réseau 32 bits, un contrôleur SCSI2 32 bits, 10 Mbit/s avec un lecteur de disquette 1,44 MB et 3 baies d'extension. En option, lecteur de CDROM et disque 512 MB ou 1 GB.

Le système d'exploitation est Nextstep 3.2, avec une version de démonstration de SoftPC, qui permet de faire fonctionner MS/DOS et Windows, IBM 3270 et une connexion vers AS/400.

Prix de base : \$ 6500. Toutes ces belles ambitions tourneront court avec la mort de Next.

**Casio Computer Co** est exclusivement un fabricant de calculatrices, d'abord de table, ensuite de poche.

La société fait son apparition en 1967 avec l'**AL 1000**, une machine de table programmable mais pas encore imprimante, construite avec des tores magnétiques très bon marché mais pas très performants. Taille 445 \* 381 \* 228 mm, 2,3 Kg, 30 Watts.

La machine contient 4 registres de 14 chiffres et 2 de 7 chiffres, consultables en série/parallèle par chiffres de 4 bits. Un registre de 30 chiffres constitue le programme, qui permet le travail avec un téléimprimeur, utilisant un jeu de 14 ordres qui sont : 4 opérations, clear mém, clear keys, set reg 1 à 4, set signe, racine carrée, program stop, program restart.

Les entrées/sorties sont normalement le clavier en entrée et des Nixie en sortie. La connexion d'un téléimprimeur fournit automatiquement les remplacements in et out.

L'**AL 2000**, deux ans plus tard, est structurellement la même machine avec une technologie améliorée, et elle n'a toujours que 30 étapes, préparées au clavier. La nouveauté est l'existence de 2 mémoires. Prix 900 \$.

La **PR 500**, également en 1969, est la première calculatrice imprimante de Casio. Dans un volume de 175 \* 360 \* 480 mm, et pour un poids de 13,6 Kg, on a un bloc de calcul 4 opérations sur nombres de 14 chiffres, avec ou sans arrondi, mais pas de programmation. L'imprimante 80 cps présente toutes les étapes du calcul. Le produit est vendu en France par Logabax, pour 9360 FFHT.

Après de multiples autres modèles, on arrive en 1981 à la **FX 9000 P**, un calculateur personnel à \$ 720, comprenant des modules divers dans quatre slots. Outre la carte mère, dont nous ignorons d'ailleurs le processeur, on peut choisir :

- 4 K de RAM CMOS avec battery backup, une carte de 102 \* 178 \* 19 mm, prix \$ 111.

- 16 KB de DRAM, prix \$ 92.

- 4 KB de ROM également \$ 92.

Ce minimum est complété fin 81 par une interface RS 232 pour deux lecteurs de disquettes. Ce produit vraiment minimal, et dépourvu de logiciel, a été immédiatement produit à raison de 1000 par mois ; il est vrai que le prix était exceptionnellement bas. Mais dans ce domaine, et très vite, on verra beaucoup mieux.

En 1985 la **FX 7000 G** est un considérable pas en avant, une véritable calculette programmable dotée d'une zone de mémoire partageable, par une frontière mobile, entre étapes de programme et positions de mémoire adressables, selon une formule qui sera ensuite reprise par tous les concurrents. Nous en avons une photo, car elle est encore en service en 1990. Voir fiche.

Par la même occasion, Casio annonce une imprimante, la LCS 2400, 9 pages/min avec une densité de 240 points par pouce, soit 9,45 points par mm. Le principe est original : une source lumineuse permanente arrose le papier à travers un faisceau de fibres optiques coupées individuellement par un obturateur à cristaux

liquides. Ces cristaux sont d'une espèce particulière, 200 fois plus rapide que ceux qui servent d'habitude aux visualisations, et sont commandés électroniquement pour être opaque ou transparent.

Une cartouche enfichable fournit deux polices indépendantes, chacune en 4 tailles. Les choix sont densité, sens de l'écriture (haut / bas ou droite / gauche), positionnement en indice ou en exposant, soulignure et inversion. Poids 35 Kg, bruit 50 db. Connexion Centronics ou RS 232C.

En 1986 la **FX 4000 P** est une scientifique très poussée, avec 160 fonctions et 550 étapes de programme, plus une visualisation à cristaux liquides qui présente les formules exactement comme on les écrits, en alphanumérique sur 12 caractères de large et une dizaine de lignes (avec scroll). Voir fiche.

Suivent un grand nombre de modèles de poche de plus en plus élaborés puis, une fois atteint une perfection fonctionnelle, de moins en moins chers à service égal, dont trois documents donnent une idée :

- une fiche très incomplète illustrant plusieurs modèles de 1990
- une fiche complète de la **SX 9500 BOSS**, Business Organizer Scheduling System.
- une brochure de 1994.

Autant qu'on puisse le savoir, Casio a continué sa mission au moins jusqu'en 2000, toujours sur la même clientèle essentiellement scolaire et universitaire, sans essayer d'élargir son domaine.

**Epson** est fondamentalement un fabricant d'imprimantes, et dispose d'une gamme complète de modèles adaptés à son époque, des imprimantes à marguerite en 1982, plus tard des jet d'encre et des laser. Cependant, lorsqu'on réussit dans un domaine, il est difficile de résister à la tentation de s'étaler un peu : Epson a donc fait plusieurs tentatives dans le domaine des PC.

En 1983, il s'agit d'un notebook (un miniportable) de 288 \* 215 \* 30 mm, destiné aux USA. On y trouve un clavier complet 46 touches + fonctions, une imprimante sur 24 caractères de large, un écran LCD à 4 lignes de 20 caractères pouvant même faire du graphique 32 \* 120 pixels, et une microcassette de 33 \* 56 mm.

Mémoire 16 à 32 KB, accu pour 50 heures, poids 1,8 Kg, prix \$ 800.

C'était proposé avec un Basic déduit de celui de Microsoft, et un traitement de texte SkiWriter. Au total, un produit séduisant, à une époque où il n'était pas encore indispensable d'être compatible PC. L'échec est sans doute psychologique : peut on réellement faire quelque chose avec une machine si petite ? Tous les notebooks auront ce problème et devront longuement insister. Epson ne le fera pas.

Dix ans plus tard, le **Card-386** est un vrai PC qui tient dans 85,6 \* 54 \* 55 mm.

Dans ce volume on trouve :

- un microprocesseur 386 SL, alimentation 5 ou 3,3 V.
- un chipset 82360 SL qui gère port parallèle, port série et haut-parleur.
- un contrôleur 81C51 SL qui s'occupe du clavier et de la souris, fournissant en outre un codeur 8 voies pour la surveillance des alimentations.
- un contrôleur de floppy SPC 2052.
- un contrôleur VGA avec mémoire video, Cirrus CL. GD 6412.
- une mémoire de 1 à 4 MB de DRAM, avec un BIOS de 128 à 256 KB en flash.

Sur le côté long de ce bloc, on trouve un connecteur femelle EASI 235 broches, comportant les sorties écran, le bus ISA (bornes 67 / 81, 86 / 114, 204/32), l'interface IDE pour disque (bornes 54 / 6 et 172 / 4).

Le concept est donc d'offrir à un assembleur paresseux un module quasi complet, auquel il suffit d'ajouter des périphériques, notamment disque Epson 3,5" ou Conner ou Toshiba 2,5".

Entre temps, Epson avait suivi, en participant, la carrière du PC, comme l'illustrent deux documents en boîte 187. Même erreur que tous les autres : faire mieux qu'IBM en offrant :

- d'abord, avec le **QX 10**, une tentative de rattrapage 8088 sur un 8 bits à base de Z80A.
- ensuite, avec le **PC +**, un 8086 avec un minimum de mémoire 640 KB. Ecran 800 \* 350 pixels, disque 20 MB, système MS/DOS 3.1. Petits résultats.

**Hayakawa Electric Co** propose en 1968 la **CS 50**, une machine de table à circuits intégrés, incluant une imprimante. En 1969, ce produit évolue comme le LOCI de Wang, avec l'ajout d'une boîte externe comprenant 30 étapes de mémoire et un décodeur de 16 opérations pour \$ 305, ou 60 étapes pour \$ 444. La réalisation comprend une mémoire à tores et une possibilité de visualiser les opérations exécutées.

En 1969 aussi, le **QT 80 MicroCompet** est une machine de bureau de 249 \* 135 \* 68 mm, 1360 g, 4 opérations. Elle calcule sur 16 chiffres mais n'en présente que 8 sur tubes Digitron, travaillant à 3 ops en moyenne. Le clavier comporte les 10 chiffres et la virgule, plus quatre touches d'opération : C, -, =, \*, /, + =. Le plus intéressant est que l'électronique associée tient sur une carte unique de 102 \* 127 mm, contenant 4 LSI MOS de 780 composants chacun, réalisés par Autonetics, plus deux SSI, une horloge et un driver de visualisation.

**Hokushin Electric Co** construit en 1963 une machine 24 bits de contrôle industriel, la **HOC 510** : mémoire 4 à 32 KB, cycle 5  $\mu$ s, Tambour de 51 KB, bloc de calcul à 48 opérations, avec index, addition en 10  $\mu$ s ; 6 canaux, 8 niveaux d'interruptions, LC 500, bandes 41000 cps.

Après cette expérience, Hokushin est sollicité pour équiper la Nippon Kokkan Steel, au prix de K\$ 167, avec deux machines : une commande de four et une commande pour trois convertisseurs à l'oxygène.

La machine **HOC 300** est entièrement construite autour d'un tambour de 7168 mots de 34 bits, avec une organisation optimisée au format 1,5 + 1 adresse. 26 opérations, 2 index, 6 niveaux d'interruption, addition 900  $\mu$ s, multiplication et division 11 ms + accès. Fréquence d'échantillonnage 200 points/s.

Langage HODRAL.

En 7 / 65, Hokushin revient à sa machine initiale qu'il simplifie pour baisser le prix. La **HOC 520** n'a plus que 2 à 16 K mots de mémoire, mais elle garde son tambour. Le répertoire à 1,5 adresse est réduit à 20 opérations, et il n'y a plus d'index. Addition 30  $\mu$ s, multiplication 322,5  $\mu$ s, division 362,5  $\mu$ s.

Après cela, la disparition de ce concurrent vient probablement de ce qu'entre temps les grands constructeurs ont mieux assis leur compétence et recueillent tous les contrats temps réel.

**IBM Japan** diffère considérablement des autres constructeurs américains en ce que son implantation japonaise, survenue à l'époque des 360, n'est pas simplement commerciale, mais industrielle. Le constructeur compte prendre une place majeure dans l'informatique japonaise, et y parvient effectivement, avec 38% des machines installées, et il investit à cet effet : le gouvernement japonais ne peut refuser cette position, même si une part notable des machines est en réalité importée, et par conséquent, au Japon comme en Europe, IBM devient la référence à l'aune de laquelle on évalue les performances des constructeurs. Officiellement, malgré l'importance de son implantation, IBM Japan est considérée comme une société étrangère parce que moins de 50% de ses ventes portent sur des produits fabriqués au Japon.

Nous ne sommes pas en mesure d'isoler les résultats d'IBM Japan des autres résultats de la World Trade, et pour tout ce qui touche à la technique nous renvoyons à l'étude sur IBM. On notera seulement que le constructeur fait plus que confier à sa filiale japonaise tous les problèmes spécifiques dus à la culture originale de ce pays. Il y a des produits conçus au Japon qui ont atteint le statut international et qui sont insérés dans l'histoire d'IBM en perdant toute étiquette d'origine, comme il y en a eu pour l'Angleterre, l'Allemagne, la France et l'Italie.

On trouvera en boîte 187 un article paru dans IBM R&D décrivant ZEPHYR, un compilateur appliqué au langage Prolog, qui a eu beaucoup de succès au Japon.

**Matsushita Electric Industrial Company, Ltd** est encore un gros groupe, à en juger par son chiffre d'affaires de 1985, 21221,4 M\$, 133963 employés, 1035 M\$ de bénéfices. Sa spécialité semble être l'électronique grand public, avec des filiales comme National, Panasonic, Technics, Quasar .... L'informatique, expérimentée dès 1961, n'était pas importante pendant les 20 premières années, mais elle prend une place croissante dans les préoccupations du groupe, et son CA vient d'augmenter de 30% par rapport à 1984, avec un total 1985 de 1447,8 M\$, que l'on peut décomposer en 270,8 M\$ de microélectronique, 180,4 M\$ de communications numériques, 631,4 M\$ de périphériques, 180,4 M\$ de maintenance, et un gros poste de divers. On notera l'absence complète de logiciel.

Etant donné cette rapide évolution, il est surtout intéressant de comprendre la nature des progrès en cours : cet examen révèle de gros contrats avec IBM Japan pour des lecteurs de disquettes et pour des terminaux, ainsi que la production complète du calculateur personnel JX et d'une large part du Modèle 5500. Matsushita est le plus gros fabricant mondial de fax, développe avec l'université de Pékin une technique pour l'informatisation des kanji, est le plus gros fabricant japonais de robots et automatismes industriels. Des accords commerciaux avec les USA concernent la vente au Japon des produits de Harris et de Sequent, ainsi que le Transputer de l'anglais Inmos.

Dernier point, Matsushita est partie prenante de l'opération ICOT du MITI, ce que n'imposait pas son activité jusque là assez faible. Sa contribution prend la forme d'un supercalculateur, l'**Adena 256**, groupant 256 processeurs RISC 64 bits (puce CMOS de 440000 transistors) fonctionnant à 40 MHz, toute la question étant la nature du réseau tridimensionnel qui les relie. L'évaluation brute 256 \* 20 Mflops est évidemment dépourvue de sens. L'étude comprend un langage Adetran qui est un Fortran paralléliseur, et un hôte qui est un calculateur de Solbourne, une filiale américaine. Cet exercice qui n'a débouché sur rien, alors que trois des grands ont commercialisé des calculateurs vectoriels, fait penser que Matsushita ne cherchait dans cette opération du MITI qu'à faire parler de lui. Voir plus loin VDSP.

Un article d'Electronics, 12/5/86, jette une autre lumière sur cet Adena. Il s'agit au départ d'une idée du Prof. Tatsuo Nogi de l'Université de Kyoto, dont le prototype fonctionne dans une seule dimension avec un réseau de 16 microprocesseurs Fairchild F8. L'article montre comment Nogi peut faire du traitement 2D avec son réseau 1D, puis étendre le concept au 3D avec un réseau 2D, et c'est cette idée que Matsushita a décidé de soutenir, en développant une puce plus efficace que le F8 comme brique de base.

Après avoir ainsi souligné que la production de Matsushita n'est peut-être pas très remarquable, on se bornera à commenter un échantillonnage de produits identifiés de la firme :

**MADIC II A** (1961) est un calculateur scientifique à tambour magnétique, 4096 mots de 34 bits, accès maximum en 22 ms. Format d'instruction 1 + 1 adresse pour optimisation, 2 index. Bloc de calcul série effectuant l'addition en 500  $\mu$ s, la multiplication et la Division en 12 ms + accès. Périphériques : LR 200, PR 50, ME, et deux bandes à 13000 cps. Compilateur Algol en 1963. Prix indicatif et douteux : \$ 1200 à 1700.

**MADIC III B** (1963) utilise une mémoire à tores de 4K \* 36 bits, cycle 10  $\mu$ s, et un bloc de calcul disposant de 64 index, de l'adresse indirecte, de la virgule flottante et d'interruptions. Addition en 540  $\mu$ s. Périphériques : LC 400, PC 100, LR 400, PR 100, IP 500, ME, codeur A/D à 1000 échantillons par seconde. 8 dérouleurs de bandes compatibles IBM à 15000 cps. Compilateur Algol. Prix, \$ 2000 à 7500.

**MADIC 500** (1964) est de nouveau une machine à tambour, 3000 ou 6000 mots de 7 chiffres décimaux, accès 20 ms. Sur cette base, l'addition prend un temps moyen de 10,2 ms et on voit qu'il s'agit d'une très petite machine, cependant dotée d'un soutien important, un disque de 1,2 Mcar, accès 1200 ms moyen, qu'on a déjà rencontré dans d'autres compagnies. Périphériques : LC 15, PC 15, LR 200, PR 12, IP 100, ME.

**Contrôle industriel** (1969) Les exercices précédents ayant permis, par simple comparaison, de constater que Matsushita n'est pas à la hauteur de ses concurrents, la firme concentre son effort sur les seuls calculateurs dont elle aura forcément besoin : une machine 16 bits, à cycle de 2,1  $\mu$ s, effectuant l'addition en 2 cycles, voit le jour en 1969. La machine est synchrone, avec deux canaux d'entrée numérique et un de sortie, et 2 interruptions. Prix : 15500 \$ avec 4 Kmots de mémoire.

**MC 7** (1971) est un nouveau matériel de process control, qui a évolué vers la formule plus universelle du "mini", et sur lequel nous sommes pauvrement renseignés. Voir fiche.

**MN 1500** (1980) est un microcontrôleur 4 bits dont les mémoires sont assez importantes pour satisfaire des besoins généralement traités en 8 bits. Voir article.

**MN 1613** (1980) est un microprocesseur 16 bits réalisé en NMOS et capable de 13,3 MHz. L'adressage permet une mémoire de 512 KB. Un répertoire de 100 opérations couvre tous les besoins, y compris une virgule flottante qui doit être microprogrammée, à en juger par la durée de la multiplication, 58 ms, comparée à l'addition en fixe, 300 ns. On peut dire que ce microprocesseur est l'aboutissement des travaux sur le temps réel, mais il ne semble pas avoir d'autre mission que de supporter les produits maison.

Autre produit de la firme vers cette époque : un disque souple de 32000 \* 16 bits, tournant dans un plan vertical entre deux plaques métalliques guide dont l'une porte les têtes fixes, une par piste. Le débit atteint 1,1 Mbit/s. Ne semble pas avoir débouché industriellement.

**VDSP** (1992) Ce Vectoriel DSP pourrait être le véritable aboutissement commercial de l'opération de recherche mentionnée au début de ce paragraphe. Il est présenté comme un processeur de traitement d'image, CMOS 0,8  $\mu$  contenant 930000 transistors dans une puce de 12,38 \* 12,9 mm, logée dans un boîtier céramique QFP 160 broches.

Compatible avec la norme CCITT H261 pour la vidéoconférence à 64 Kbit/s, cette puce contient :

- deux contrôleurs de bus externes, 16 bits de données et 24 bits d'adresse. Un bloc RAM de 16 KB est relié par registre au prolongement interne de chacun de ces bus.

- un troisième bloc RAM existe, lié comme les deux premiers au bus interne, et ces trois blocs se trouvent en position d'entrée et de sortie pour l'ALU.

- une ALU 16 bits à trois entrées

- un multiplieur 16 \* 16 qui se situe en amont de l'ALU pour constituer un MAC.

- un accumulateur 24 bits à deux entrées, bus ou multiplieur, assurant le bouclage.
- un DCT, Discrete Cosinus Transform, opérateur qui est au coeur de toutes les compressions.
- un filtre spatial
- un port série bidirectionnel
- un port parallèle 8 bits bidirectionnel.

Le bloc de commande contient 1024 \* 32 bits d'instruction sur RAM et 512 \* 32 bits sur ROM, et peut commander en parallèle jusqu'à 30 opérations. Ces mots tirés d'un document japonais ne sont pas d'interprétation facile, d'autant plus qu'ils ne se raccordent pas bien avec le projet Adena. Dans le présent contexte, il semble plutôt s'agir d'une microprogrammation qui pourrait, dans certaines configurations, comprendre jusqu'à 30 champs. Le VDSP fonctionne à 60 MHz.

**Nippon Telegraph & Telephone Corporation** est une administration, dépendante du Ministère des PTT, mais avec beaucoup de marges de manoeuvre. Les commentateurs américains considèrent qu'elle a pratiquement le comportement d'une entreprise privée, après la réforme de son statut intervenue peu après celle de son homologue américain, en 1985. On trouvera en rubrique 751 quelques indications sur l'activité de NTT pendant la période entre la guerre et 1985, période où NTT pouvait être considérée comme une Administration.

La NTT a généré en 1985 un chiffre d'affaires de 20651,4 M\$ et encaissé 1375,9 M\$ de bénéfices ; ses effectifs se montent à 314000 personnes. Cependant, la plus grande partie de ces personnels sont des employés des téléphones, et l'activité proprement informatique de l'entreprise se limite à 764,1 M\$, ce qui place NTT au 39ème rang de l'informatique mondiale. Les lois japonaises n'interdisent pas à NTT de commercialiser des services informatiques, et c'est très exactement à quoi s'est employée la compagnie :

a) tout d'abord, et dès que des besoins - gouvernementaux, en fait - se sont exprimés, fournir l'infrastructure de communication adaptée au problème. On a déjà évoqué en préambule, la responsabilité de la NTT dans la mise en place du réseau interbancaire, puis du Ministère du travail.

On note que NTT n'a pas d'ordinateur à proposer pour ces réalisations, et utilise un matériel du commerce.

b) dès que l'aspect logiciel correspondant a été traité, NTT a considéré comme de sa responsabilité d'offrir au public d'une part un matériel de temps partagé pour entreprises, d'autre part un service de temps partagé pour le public. Les matériels sont identifiés par le sigle DIPS, Denden Information Processing Systems, et normalement sont réalisés par un des constructeurs sur spécification NTT.

La loi sur les Télécommunications, qui entre en fonction le 1/4/85, impose au gouvernement de garder un tiers du capital de NTT, ce qui signifie que les deux autres tiers sont désormais ouverts au public. La compagnie consacre une part importante de ses revenus aux 3800 chercheurs de ses quatre laboratoires de communications électroniques, et crée en 1985 un 5ème laboratoire voué au logiciel. L'un des thèmes principaux de toutes ces recherches est l'INS, Information National System, quelque chose d'intermédiaire entre le fichier national et un sous-ensemble métropolitain d'Internet.

En attendant cette unification, NTT fait fonctionner **DEMOS**, Denden Multiaccess Online System, et **DRES**, Denden Real time Sales Management, qui ont plus de 5000 abonnés dans les entreprises et le gouvernement.

La nouvelle indépendance de NTT ouvre en fait un droit aux coopérations, et NTT en a établi une vingtaine : la plus significative est sans doute l'alliance avec IBM Japan, Nippon Information & Communication Corp., qui fait communiquer l'architecture de réseau de NTT avec SNA. L'une des craintes des concurrents japonais d'IBM est que cette alliance ne conduise à un monopole d'IBM sur les fabrications de matériels de communication pour NTT : Fujitsu, NEC, Hitachi et Oki ont demandé au gouvernement de surveiller cette alliance, car les achats de NTT sont une de leurs importantes ressources.

Le CA 1985 de NTT se répartit en 229,2 M\$ provenant des équipements de communications numériques, 76,4 M\$ du logiciel, 382 M\$ des services, et 76,5 M\$ de la maintenance.

On trouvera en boîte 187 un fragment d'article tiré d' Electronics, 12 mai 1986, décrivant l'activité des laboratoires NTT et de ses principaux fournisseurs pour le renouvellement des DIPS.

**Nippon Univac Kaisha Ltd** est une très ancienne alliance, conclue en 1958 entre Sperry (34,2%), le groupe Mitsui (34,2%), Mitsubishi Electric et Oki Electric (chacun 2,5%) , le solde provenant de banques. Le but de la société est l'introduction au Japon des services informatiques de la société Univac, services que les constructeurs nationaux n'étaient pas en mesure de fournir.

On peut citer par exemple :

1967 : **Aciéries Kawasaki** : installation d'une Univac 494 de 64 Kmots, avec un Fastrand II, 3 FH 880, 10 bandes magnétiques, 2 U 1004., avec des terminaux dans deux usines, 4 agences, chez les fournisseurs et les sous-traitants.

1971 : **Fuji Bank** : ce vaste système interconnecté comprend :

- à Tokyo : une 1108 MP, 2 IOC, 5 FH 432, 16 FH 1782, 3 Fastrand II, 16 dérouleurs VIII C

- à Osaka : une 1108 MP, 4 FH 432, 7 FH 1782, 2 Fastrand, 12 bandes.

Ces 4 unités centrales servent 17 CTMC ou CTS auxquels sont reliés 1000 terminaux en ligne distribués dans 206 agences, sur 516 lignes fonctionnant en 200 ou 1200 bauds. En outre, sont également reliés au système deux IBM 360, 3 Univac 418, 2 NCR Century, et 3 Univac 9300.

1976 : **All Nippon Airways** effectue ses réservations au moyen de trois ensembles Univac 1100 / 40 disposant de 128 Kmots de mémoire rapide et 640 Kmots de mémoire lente, stockant ses informations sur 29 disques 8425, 10 FH 432, 3 FH 1782, ainsi que 20 bandes U16 et des 9300 de Oki. Les postes d'agent sont 1200 terminaux, dont 200 sont groupés dans trois grosses agences.

Ce ne sont que des exemples, et on peut résumer la philosophie de la compagnie en disant qu'elle importe les machines 1100 et 4XX, mais qu'elle se procure sur place, chez Oki, les ordinateurs plus modestes de la série 9000. Les disques proviennent de Hitachi. La principale activité de la compagnie, en dehors de ses importations, est constituée par sa grande compétence en logiciel.

En 1985, le CA de la compagnie est de 552,9 M\$, en croissance de 11% sur l'année précédente, mais les bénéfices sont faibles, probablement parce qu'il y a trop d'intermédiaires à rémunérer..

Sur ce total, 17% seulement proviennent d'importations, le reste d'accords avec des fournisseurs locaux ; l'activité de la compagnie est essentiellement celle d'un intégrateur, qui amène des fournitures disparates à travailler ensemble : 138,2 M\$ de mainframes, 248,8 M\$ de minis, 2,8 M\$ de micro naissante, 121,7 M\$ de logiciel et 4&4 M\$ de maintenance.

On sait que dès 1985, la santé de Sperry n'était pas excellente, puisque la carrière informatique d'Univac a pris fin en 1987 à l'occasion d'une fusion. Lors de cette opération, Hitachi a récupéré une part importante des spécialistes intégrateurs de Kaisha, qui ont contribué à sa brillante survie face à IBM dans les années 90.

**Panafacom** est une filiale commune de Fujitsu et de Matsushita, qui se consacre à partir de 1974 à la fabrication de terminaux. Il s'agit de véritables ordinateurs installés dans un ensemble écran / clavier, avec un CPU NMOS silicon gate produit par Fujitsu, microprogrammé par une mémoire de commande 512 \* 24 bits, réalisée avec des puces de ROM bipolaire 1024 \* 12.

Le processeur tient en deux cartes, l'une en piggy back sur l'autre, et incorpore multiplication / division, double précision, débogueur. Typiquement, une opération RR dure 2,8 µs. Grâce aux circuits intégrés, le prix de ce **U100** est la moitié de celui du U 200 de Fujitsu.

Par la suite, Panafacom produira aussi un **U300** à processeur 16 bits, 64 KB, 12 niveaux d'interruption, puis un **U400** à 256 KB.

Au coeur de ces terminaux se trouve à partir de 1975 le microprocesseur **PFL16A** de Panafacom, un 16 bits réalisé en 3 puces NMOS silicon gate : CPU, IOP, RAM de 64 KB..

Le CPU dispose d'un adressage 16 bits en 6 modes, de 3 niveaux de priorité avec mot d'état, d'un répertoire de 33 opérations cablées, toutes longues de 1 mot et exécutables en 3 µs. Il dispose de 5 registres 16 bits.

L'IOP peut en fonction des besoins prendre la forme de 32 adaptateurs de sous-canaux, 8 + P bits, chaque sous-canal étant matérialisé par un circuit intégré ; ou celle de 8 DMA dont chacun peut recevoir 4 sous-canaux, TTL compatibles, débit 1 Mbit/s.

Le logiciel fourni comprend bootstrap, IO CS, un petit moniteur, une bibliothèque arithmétique, un éditeur de liens, un débogueur, et une ROM support utility.

Par la suite, Panafacom se lance dans la course aux PC, et on trouvera en boîte 187 une réalisation **Duet 16** avec l'erreur habituelle: mettre un 8086 pour faire mieux qu'IBM. Même résultat que les autres.

**Panasonic** est une filiale du groupe Matsushita, vouée à la fabrication et à la commercialisation de petits matériels pour les jeunes et les familles, tels que les walkman ou les talky-walkies. L'informatique est trop savante pour cette clientèle, et Panasonic n'est concernée que par la frange inférieure de cette catégorie :

**MN 1403** est un microprocesseur 4 bits destiné à l'équipement de jouets, travaillant à 100 KHz.. La mémoire comprend 512 mots de ROM pour la programmation, 16 mots de RAM pour le travail dont 4 jouant le rôle de registre, mais tout de même un répertoire de 50 opérations, 2 niveaux de sous-programme en pile, une entrée 4 bits, une sortie 4 bits, une entrée et 4 sorties binaires. Alimentation 5 Volts, présentation en boîtier DIL 18 broches.

**BC 5000** est un ordinateur jouet avec un clavier spécial comportant 48 fonctions numériques, 96 touches de données disposées 12 \* 8 et associées chacune à un item. Il y a un écran, deux lecteurs de disquettes DFDD, 2 ports série RS232C (110 à 9600 bauds), des options pour une machine à crier et un autre lecteur de disquette.

Le calculateur dispose d'un OS léger, d'un assembleur, et d'un compilateur MUST.

Le dispositif est polyvalent et le clavier est ce qui personnalise une application. La programmation, qui n'est pas destinée aux clients mais aux réalisateurs de jeux, donne une signification aux items et établit des relations entre eux, qui matérialisent les règles du jeu.

**RL-H 1000** est un calculateur complet, livré dans une valise au prix de 12000 FF environ. Il s'agit en somme de l'équipement du parfait petit informaticien, limité par son prix à l'amateur éclairé. La valise contient :

- la carte mère de 95 \* 227 \* 30,5 cm contient un CPU 6502 fonctionnant à 1,048 MHz, 16 KB de ROM avec sockets pour trois extensions égales, 2 ou 4 KB de CMOS plus 6 ou 8 KB d'extension avec pile de sauvegarde. L'extension mémoire fonctionne par bank switching.

- pile 9 V. avec chargeur.
- clavier 65 touches QWERTY répétitives, dont 3 de fonction. Toutes les touches peuvent être redéclarées.
- affichage LCD 159 \* 8 points permettant de présenter 24 caractères 8 \* 5 points, avec un registre de 80 positions pour lequel l'affichage est une fenêtre mobile.
- curseur multimode
- connecteur 44 bornes pour relier un périphérique, ou un adaptateur RL-P 6001 pour 6 périphériques qui peuvent être pris dans la liste suivante, ou bricolés. Tous les périphériques fonctionnent par interruption.
- RL-P 3001 est une interface RS 232C réglementaire, avec connecteur 25 bornes. On peut y brancher une ligne de transmission asynchrone entre 50 et 9600 bauds.
- RL-P 2001 est un adaptateur Télévision qui peut présenter 16 lignes de 32 caractères sur les canaux TV 61,25 et 67,25 MHz avec une impédance de 75 ohms. La présentation est couleur, et il y a un mode pavé pour faire un graphique sommaire.
- RL-P 4001 est un coupleur acoustique qui fonctionne en asynchrone 110 ou 300 bauds, directement activé par le CPU.

**Poket** est une petite société, création de circonstance à la suite d'une bonne idée. Cette idée était en essai depuis quelques années, et sans grand succès parce que dérangement de trop d'habitudes. C'est celle du Notepad, un agenda de petite taille et sans clavier, qui semble n'avoir vraiment séduit que lorsqu'il est devenu assez petit pour s'appeler un "palmpad", c'est-à-dire tenir dans la main. Voir fiche illustrée.

**Ricoh Co, Ltd** est un fabricant de périphériques à la demande, entreprise de 25000 personnes qui s'efforce, dans les années 80, de se faire reconnaître comme un fournisseur complet de produits bureautiques. Un quart de son CA 85 de 2441.2 M\$ est de nature informatique, et ces 634,7 M\$ se répartissent comme suit : 158,6 M\$ de microinformatique, 31,8 M\$ de matériels de communication, 348,1 M\$ de périphériques, 31,8 M\$ de logiciel et 83,4 M\$ de maintenance.

Par rapport à 1984, l'informatique de Ricoh a fait un bond de 35%, du en partie à sa production de fax qui alimente de nombreux vendeurs européens : Pitney-Bowes, Kalle-Infotec, Savin, Hermes ... Cependant la banalisation de ce produit fait baisser les prix et Ricoh s'efforce d'y suppléer en développant les imprimantes laser. Ricoh a également passé un accord de 3 ans avec ATT, mais cet accord n'est pas destiné à durer car les deux parties n'ont pas le même objectif. Pour ATT, il s'agit de vendre ses machines 3B2 ; Ricoh souhaiterait plutôt, à travers ce service initial, accéder aux techniques téléphoniques d'ATT qui a déjà, de ce côté, un accord avec Toshiba.

A titre d'exemple, nous citerons la RP 40, une imprimante à marguerite distribuée en 1977 par Ricoh en direction des USA. Cette machine imprime un alphabet de 94 ou 125 caractères à 33 cps et sur des lignes de 136 caractères. Un microprocesseur contrôle tous les mouvements de l'appareil, qui comprend des servomoteurs pour la commande de la roue et du chariot qui la transporte, et des moteurs à impulsions pour le tambour et le ruban.

**Sanyo** nous est tout à fait inconnue jusqu'en 1984, date à laquelle elle s'introduit dans le domaine des PC en achetant l'américain *Icon*, qui disposait d'une série de sept modèles. Son développement depuis lors s'est fait dans le domaine des multipostes, et fort efficacement puisqu'en 1990 on estime à plus de 10000 systèmes, servant soixante mille postes, son implantation française.

Aux produits initiaux, Sanyo a ajouté des cartes d'extension, prenant place sur les connecteurs AT :

- une **400PMOpus**, équipée d'un 88100 avec 24 MB de mémoire, fonctionnant sous Unix SVR3.2 et susceptible d'insérer le PC dans un réseau Unix. Prix 50 à 200 KF pour 10 à 60 Mips d'extension.
- une carte **Pick Icon** équipée d'un 68020 à 20 MHz et de 2 à 4 MB de mémoire, pour insérer le PC dans un environnement Pick. Prix 75000 FF pour une licence de 33 utilisateurs.

Pour 1991, Sanyo s'oriente vers la vente de portables, avec un objectif de 200000 portables dans le monde à commercialiser sous différentes marques. Pour 1991, le modèle prévu est le 17NB, 3 Kg, 31 \* 25 \* 5 cm avec un 286, un écran 20 \* 15 cm VGA rétroéclairé, une mémoire de 1 à 5 MB, un disque dur et un lecteur de disquettes, pour 20000 FF.

Sanyo dispose aussi, pour cette année, d'une gamme de PC, commençant par le **27MT**, un 286 à 7500 FFHT avec 1 MB.

A l'autre extrémité figure le 19LXT, un 386 à 33 MHz, avec 9 connecteurs pour les communications et 6 emplacements pour un plafond de 1,5 GB de disques, et une mémoire vive de 4 à 16 MB. On notera curieusement qu'à cette date, l'écran VGA restait optionnel pour 38000 FFHT.

Un 486/25 à bus ISA et un modèle 48+ à bus EISA sont prévus au cours de 1991.

Malgré le caractère extrêmement partiel de cette analyse, on est obligé de penser que Sanyo se sentait solide, à constater l'annonce, en 1993, d'un calculateur matriciel extensible à 1024 CPU disposés en matrices ou en tores, à 10 Mops par noeud. Il s'agit d'ailleurs d'un processeur assez étonnant, puisque l'annonce indique que la réalisation comprend 16 processeurs "par puce" (très douteux en 1993, à moins qu'il ne s'agisse de processeurs sur un bit).

Ce **Cyberflow**, ainsi baptisé parce qu'il fonctionnerait en asynchrone selon le mode dataflow, est commercialisé dans la version 64 CPU qui devrait, à en croire les indications précédentes, pouvoir tenir sur une seule carte. Ce produit miracle n'a cependant pas percé, pas plus que ses prédécesseurs Propal (en France) ou DAS (en Angleterre).

**Seiko** nous est connu comme un fabricant de montres, cad de circuits intégrés. Cependant la société est plus ancienne que la naissance de la microélectronique, et son activité précédente semble avoir été la production de calculatrices de table. Nous avons ainsi, en 1971, une programmable **S301** à 2300 \$. Cette machine construite avec des circuits intégrés Mitsubishi comprend une mémoire organisée en 8 blocs, chacun pouvant contenir soit 96 pas de programme, soit 5 registres longs de 23 chiffres + S, soit 10 registres courts de 11 chiffres + S. Cette description montre que 1 pas = 5 bits.

L'année suivante, la **S500** est une machine plus ambitieuse, avec 91 mémoires de 16 chiffres + S, et jusqu'à 959 pas de programme. La nouveauté la plus intéressante est un lecteur de cartes magnétiques. Voir fiche illustrée.

On voit que Seiko évolue sur le modèle de Texas Instrument, ce qui peut expliquer le passage à la microélectronique, puis à des puces spécialisées, comme celle de la traductrice de poche **TR 1200**, ou celle des montres. Cependant, on trouve aussi - chez Tekelec, en France - des mécanismes d'impression de fabrication Seiko, pour insertion dans des caisses enregistreuses ou autres machines à tickets.

**Sharp Corporation** est très largement connue en France par ses publicités et ses participations au SICOB, alors qu'elle n'atteint pas encore, en 1985, le CA de 200 M\$ nécessaire pour être classé par Datamation. Nous ne sommes pas en mesure d'expliquer cette particularité. Notre exposé sur Sharp passera donc par un échantillonnage de ses nombreux produits.

Sharp semble avoir fait une tentative de s'introduire en Europe en 1965, avec la **CS 20**, calculatrice de table vendue en Angleterre. Sharp est alors exclusivement l'importateur, le constructeur des calculatrices est Hayakawa. Le grand silence qui fait suite à cette manifestation suggère un échec, bien que la tentative ait persisté 3 ans, avec une **CS17B** très économique (12 chiffres, visualisation Digicon, poids 4 Kg. Contient 56 circuits intégrés), puis une **CS22** à 14 chiffres et mémoire, puis l'apparition en 1969 d'une programmation externe. Voir Hayakawa.

Sharp reparait en 1974 avec le **PC 1001**, calculateur de table à 10 chiffres de mantisse + 2 d'exposant, disposant de 15 fonctions cablées, et de 8 mémoires qui peuvent devenir jusqu'à 64 étapes de programme. La variante **1002** en diffère par la présence d'une PROM amovible de 256 étapes qui donne une signification spécifique à 4 clés supplémentaires (trigo, par exemple).

Prix \$ 645 avec une PROM et les 4 clés, plus \$ 75 par PROM supplémentaire.

Sharp proposera aussi des calculatrices particularisées en caisses enregistreuses, telles que **ER 5700**. Photo.

En 1977 Sharp commercialise le **SM2**, un microprocesseur PMOS à modestes performances, conçu comme contrôleur de cassettes, qu'il produit à raison de 70000 par mois. C'est l'apparition de la cassette comme périphérique économique pour les calculateurs personnels.

Il y a aussi un **SM4**, puce CMOS de 5,7 \* 5,5 mm contient 2268 bytes de ROM, 96 nibbles de RAM, une ALU 4 bits à 54 opérations, un quartz externe de 32768 Hz qui est associé à un compteur à 15 étages pour fournir une horloge battant la seconde, un driver pour écran LCD, un détecteur de tension insuffisante. Ce circuit 60 broches consomme 30 µA sous 3 V. Extension possible en externe par 256 \* 4 bits.

A partir de 1980 Sharp se manifeste abondamment en créant des calculateurs de poche, dans le cadre d'une forte compétition avec les américains TI et HP.

Au 1/3/80, le **PC 1210** est une calculette programmable à 400 étapes + 26 registres, présentée en boîtier 175 \* 71 \* 15 mm, poids 163 g. La façade contient un clavier de 4 rangs de 5 touches numériques et un clavier de 4 \* 10 touches de fonction. Alimentation par 3 piles au mercure donnant une autonomie de 300 heures. Prix 123 \$.

Au 1/4/80, la **PC 1211** contient un supplément de 16 registres ou 1024 étapes, pour \$ 178.

A la même date, premier calculateur personnel, à base de Z80 : le **MZ 80K**. Voir document.

En 1982, la **PC 1500** est un véritable calculateur, dont le processeur est une puce CMOS de 6 \* 6 mm, présentée en flatpack 76 broches : 16 bits d'adresse, 8 bits de données, 8 bits de clavier, 7 bits pour la visualisation, et quelques commandes. Le cycle est 770 ns, et toute opération coûte au moins 4 cycles.

La machine contient 16 KB de ROM pour loger le Basic, 3,5 KB de RAM CMOS, plus une option enfichable de 4 KB. Dans le boîtier de 86 \* 195 \* 25,5 mm, pesant 375 g, on trouve encore un clavier QWERTY + numérique, une visualisation LCD de 24 caractères (156 \* 7 points), et un connecteur d'extrémité qui permet l'enfichage d'une imprimante mesurant 86 \* 130 mm, en fait un plotteur à tambour XY en trois couleurs. Voir document.

Prix : \$ 277 pour la calculatrice, £ 70 pour le supplément mémoire, \$ 231 pour le traceur.

En 1983, Sharp aborde le domaine du PC avec un **PC5000** qui est présenté comme un portable tout en pesant 5,5 Kg, dans un volume de 326 \* 305 \* 87 mm. Il y a 128 à 256 KB de mémoire, un CPU 8088, un écran LCD pour 8 lignes de 80 caractères, une mémoire à bulles enfichable de 128 ou 256 KB.

Périphériques : imprimante matricielle, disquette DPDS compatible IBM de 320 KB, machine à écrire thermique de 37 cps, pesant 1,5 Kg.

Logiciel : MS/DOS sur ROM 192 KB, GW Basic, superwriter, supercomm, et des applications IBM.

Prix : 29000 FFHT pour 128 KB de RAM, 128 KB de bulles, ME, et batterie de 6 heures.

En 1984, le **P1350** puis en 1985 le **P1360** reprennent le programme du P1500 avec une machine en format transversal un peu plus condensé. Voir document.

A la même époque et dans le même format, il y aura aussi un **PC 1600** pour conversation en 4 langues., et toute une série de machines intermédiaires entre calculette et ordinateur, avec un choix de périphériques. Et encore, toujours au SICOB :

**MZ3D** est un terminal à écran qui arrive avec un certain retard par rapport au marché, et doit donc s'imposer par sa polyvalence, en particulier par les émulations qu'il propose. Il est clair que ce terminal contient un microprocesseur, mais il n'y a sur ce point aucune indication.

On notera qu'à cette date Sharp est fermement implantée en France, sous le nom de SBM, Sharp Bureautype Machines. Voir dossier en boîte 187.

**MZ 5600** de 1985 est une tentative de faire mieux que le PC avec un 8086. Voir document.

**DL 2400** est une imprimante matricielle à 24 aiguilles, qui dispose de polices multiples et de rubans 4 couleurs, ainsi que d'un choix de vitesses de 60 à 360 cps. Il s'agit en réalité d'un produit Fujitsu, dont Sharp n'est que le distributeur.

**DX 2100, DX2200** sont des imprimantes matricielles à 9 aiguilles, respectivement sur lignes de 80 ou de 136 caractères. Même remarque.

**PC 7500** est un PC / AT au standard IBM, à base de 80286 avec deux floppies et un disque dur optionnel de 20 MB. Le logiciel est encore MS / DOS, il n'y a pas de Windows.

**PC 7100** est ce qu'on appelle à l'époque un portable, très complet mais très lourd, 8,65 KG dans la version complète dont une partie peut manquer. Voir document illustré.

**OA 8100** paraît être un projet de calculateur à base de 68000 et connexion Unix. Cette aventure a été réduite à rien par le succès du PC. Voir document d'anticipation.

**Réseaux de portes** Vers 1988, Sharp offre publiquement la solution qu'il utilise pour ses propres matériels, à savoir la définition de réseaux de portes CMOS incluant un coeur de microprocesseur. Un tel dispositif devrait faciliter la réalisation de circuits à la demande par des usagers formés. Voici trois de ces produits :

LH 72 comprend un CPU NEC V20 avec au choix 15000, 30000 ou 50000 portes. Circuits CMOS 1  $\mu$ ,

LH 73 offre de même un CPU NEC V30, avec les mêmes jeux logiques 8 MHz, 5 Volts.

LZ9C comprend un CPU Z80, avec au choix 3500, 10000, 16000, 26000 ou 32000 portes, en CMOS 1  $\mu$ , 6 MHz, alimentation 5 V.

A l'étude, les mêmes en CMOS 0,8  $\mu$  à 16 MHz sous 5 V, ou 8 MHz sous 3,3 V.

**Mémoires** Sharp ne se sent pas concerné par les mémoires courantes consommées en grandes quantités, qu'il achète comme tout le monde sur un marché de matière première, mais il juge intéressant de mettre son bureau d'étude sur des produits ponctuels et rares :

LH 521002 et 521008 sont des SRAM de 1 Mbit, respectivement 256K \* 4 et 128K \* 8 bits, avec des temps d'accès de 35 et 25 ns, livrables en boîtiers 28 et 32 broches, coûtant par lots de 1000 : \$ 60,32 en 35 ns, 79,37 \$ en 25 ns pour le premier, 63,09 et 85,25 pour le second. Interprétation probable de ces chiffres : un seul batch de production pour chacun des deux types, prix calculé après tri et au vu des rendements obtenus.

Autre exercice, il s'agit de SRAM très peu gourmandes pour applications critiques : 1  $\mu$ A en standby, mémoire conservée avec 0,6  $\mu$ A. LH 5168 est une 8K \* 8 bits, accès 100 ns, \$ 2,54 par lot de 1000, en boîtiers DIP 600 ou 300 mil (entre broches) ; LH 51256 est 32K \* 8, 100 ou 120 ns, \$ 14,46 par lot de 1000.

**PC E500** (1990) est un véritable PC dans la taille d'une calculette. Voir fiche.

**Annonces 1991** : Sharp renouvelle toute sa gamme avec :

- un notebook à base de 8088, le **PC 3000** (1 MB) ou **3100** (2 MB), livrable en 1 / 82. Il dispose d'un véritable clavier, d'un vaste écran LCD, d'un MS/DOS 3.3 sur ROM avec Laplink qui permet les échanges avec les PC, un traitement de texte et un tableur. Voir photo sur la fiche calculettes.

- un transportable de plus de 7 Kg, le **8501** à base de 386 DX, doté d'un écran VGA 16 couleurs 640 \* 480, de 2 à 14 MB de mémoire, d'un disque dur de 100 MB, et des connecteurs usuels. Prix 71000 FFHT.

- trois portables de moins de 3 Kg, à base de 80C286 à 12 MHz. Le **PC 6240** a une mémoire de 1 à 3 MB, un disque de 40 MB, un écran LCD VGA rétroéclairé, et il coûte 19000 FFHT.

Le **PC 6541** est simplement un peu plus extensible et coûte 22000 FFHT.

Le **PC 6661** dispose d'un disque de 60 MB, d'un écran VGA à 32 niveaux de gris, de 2 à 6 MB de mémoire

- trois PC d'entreprise, le **X2000** à base de 386 SX20, le **X3000** utilisant un 386 DX25, et le **X4000** avec un 486 SX20. Ils ont un disque de 40 MB, un écran SVGA, 2 à 16 MB de RAM. Le dernier est plutôt destiné à un rôle de serveur, avec une mémoire pouvant monter à 96 MB.

**LH 74610** (1994) est un microprocesseur 32 bits édifié autour d'un noyau ARM 610 : comme tout le monde,

Sharp a pris la licence des coeurs ARM. La puce de 11 mm au carré inclut un cache de 4 KB, un MMU, un tampon d'écriture, une interface de bus 32 bits, et un équipement de test. On peut en tirer 15 Mips soutenus, 20 Mips en pointe, à 20 MHz, et on peut réduire cette fréquence jusqu'à zéro pour faire des économies d'énergie, la construction étant entièrement statique.

Présentation en QFP 144 au prix de 25,5 \$ par quantités. Un kit logiciel à \$ 249 et un ensemble d'évaluation hard / soft à \$ 1995 sont également disponibles.

**Shinko** Le **SCT 303** de cette société que nous sommes incapables de situer avec précision est un calculateur transistorisé, disposant d'une mémoire de 30 mots de 10 chiffres décimaux, et qui exécute l'addition en 80 ms. On peut donc conclure qu'il s'agit d'une machine série, dont la mémoire est probablement un petit tambour ou disque.  
Les accès à cette machine se faisaient par un téléimprimeur, LR / PR / ME.

**Shimadzu** Cette autre société que nous ne savons pas non plus situer s'intéressait aux problèmes de process control, selon la recette de l'époque, consistant à utiliser un tambour magnétique comme tampon des données mesurées. Voir fiche - très pauvre - pour son premier calculateur **STAC 3100** et pour sa version étendue 3101.

Un peu plus tard, le **STAC 5000** est une machine 16 bits nettement plus rapide, avec mémoire de travail à tores, 4 à 16 Kmots, et mémoires auxiliaires à tambour, 6 à 24 Kmots, et à disque, 32 Kmots. Le bloc de commande est à 1,5 adresse, et les performances sont 10  $\mu$ s pour les additions, 800  $\mu$ s pour la multiplication, 1400  $\mu$ s pour la division.

**Sony Corporation** est connue du public français par ses caméscopes, ses magnétoscopes et ses télévisions, et des enfants français par sa **Playstation**. C'est plus généralement une entreprise d'électronique tournée vers le public, et qui à ce titre est plusieurs fois intervenue pour essayer de définir des normes qui durent une génération de matériel, avant qu'on invente plus performant. Les plus récentes de ces normes concernent les techniques numériques d'information sonore et visuelle, qui se rattachent à l'informatique à travers les PC Multimedia. Cependant, si aujourd'hui toute l'activité de Sony est numérique, il n'en a pas toujours été ainsi. Citons quelques étapes :

**SOBAX (1967)** est un calculateur de table vendu \$ 722. Au coeur du système se trouve une ligne à retard longue de 3 mètres, contenant 360 bits qui défilent en 1,5 ms. Ce contenu est un entrelacement de 5 registres avec une synchro à 40 KHz, hexaphasée.

Les registres sont les trois composants du bloc de calcul, plus deux mémoires. Chacun d'eux comprend donc 60 bits, soit 14 chiffres décimaux à 4 bits, et un signe. La réalisation comprend une logique à diodes avec 200 transistors, 1700 diodes et 6000 autres composants discrets. Les quelques bascules reçoivent la synchro en direct. La calculatrice est produite à raison de 500 par mois, à usage interne japonais, pour commencer.

(1969) est une sorte de SOBAX II, qui a gardé la ligne à magnétostriction, dans laquelle on trouve maintenant 15 registres : 3 registres arithmétiques, un registre de visualisation, 4 mémoires, 4 registres de programme, 3 registres mixtes cad partageables entre les deux rôles, au total un maximum de 111 étapes de programme. Il semble que rien n'ait changé par rapport à la machine de base, sinon qu'il y a maintenant 3 lignes à retard.

La longueur des nombres est maintenant 15 chiffres + signe, soit 64 bits par nombre ou 16 pas de programme. Il y a donc entre 64 et 111 étapes de programme, la 112ème étant un stop câblé. La machine contient 250 circuits intégrés DTL, 79 transistors discrets, et 117 diodes, au sein d'un boîtier de 280 \* 145 \* 40 mm, pesant 7,4 Kg et consommant 32 watts.

La programmation se fait au clavier et peut intégrer des constantes.

**ICC 2500 W (1969)** est une simple extrapolation de la précédente, qui offre en option un second triplet de lignes représentant 15 registres, ainsi que des options imprimante et cassette. On peut entrelacer librement la programmation et le calcul. La représentation des nombres est 15 chiffres + signe, en virgule flottante.

Prix : \$ 1695 pour la machine, plus \$ 550 pour l'imprimante.

**ICC 2700 W (1971)** change complètement de technologie pour offrir approximativement le même service : il y a 12 registres de mémoire et 253 étapes de programme qui sont mémorisées sur une carte magnétique de 2,54 cm de large et 6,35 cm de long.

**Disque 3,5" (1981)** L'invention du format 3,5" pour les disques et disquettes ne semble pas être une invention géniale, et à la vérité n'importe quelle autre taille aurait pu convenir, mais il fallait une norme et chacun des divers candidats en proposait une. Sony réussit à imposer le sien, gagnant ainsi un temps précieux pendant que le reste du monde s'adaptait.

En tant que disque dur, le premier 3,5" n'avait rien de remarquable : 437 KB par face, densité des pistes 135 tpi, taille du module 102 \* 130 \* 31 mm. Ce n'est d'ailleurs pas lui qui emporta l'adhésion générale.

Le disque souple 3,5" initial existe en SF, DF, SD, DD, avec des capacités non formatées de 250 KB à 1 MB, une densité de 8717 bpi en DD, 80 pistes par face à la densité de 135 tpi, un débit de 250 Kbit/s, un temps de transit piste à piste de 12 ms, une vitesse de rotation de 300 t/min, tel était le disque souple en boîtier plastique rigide proposé par Sony à la normalisation en 1983 (OA D33), et le lecteur associé vendu 750 DM en SF, 950 DM en DF, chez BASF par exemple.

On sait que la norme finale a été de 1,44 MB en DFDD formaté, format qui s'est généralisé.

**CDU 1** (1985) est une autre tentative de normalisation portant sur les disques optiques. L'idée initiale est de réaliser un lecteur optique physiquement compatible avec le lecteur 3,5" de floppies. Le procédé imaginé par Sony consiste à fabriquer un disque maître en verre, d'un diamètre de 4,72" (120 mm), à partir d'une bande standard 1/2". L'information est organisée en blocs de 2 KB, et transférée au rythme de 75 blocs par seconde, avec sous-code et correction d'erreurs pour garantir un taux d'erreurs de  $10^{-12}$ .

Le modèle en verre est alors reproduit en read only sur un disque en plastique de 540 MB, à l'aide d'un laser à semi-conducteurs. Débit 650 KB/s maximum, 150 KB/s en séquentiel, pour une vitesse de rotation de 200 à 530 t/min. Chargement frontal en position horizontale, module de 8,25 haut \* 14,6 large \* 20,3 cm de profondeur, poids 3 Kg.

Il est difficile de gagner deux fois. Ce n'est pas ce dispositif qui est devenu le CDROM standard, 650 MB en plastique reproductible par pressage pour un prix dérisoire.

**Palm Top** (1990) est un agenda sans clavier, dans un format A4, écran 6 \* 4" (152 \* 102 mm), poids 1 Kg, capable de reconnaître 3500 caractères, kana, kanji et caractères latins. Ce programme étant un peu insuffisant pour les occidentaux, le produit, qui peut aussi numériser et stocker des messages vocaux, est commercialisé seulement au Japon. Voir photo.

**NWS 3260** (1991) est une station de travail transportable (9 Kg !) construite autour d'un processeur MIPS R3000 à 20 MHz, complété en option par un coprocesseur R3010. La station comporte un cache de 2 \* 32 KB, une mémoire DRAM de 16 à 48 MB, un disque dur 3,5" de 406 MB, deux ports série et un slot d'extension. Ecran LCD de 11", monochrome. Puissance 17 Mips.

Un sérieux effort a été fait pour la vidéo, avec choix de trois cartes graphiques comprenant chacune VRAM et accélérateur, depuis 1024 \* 768 jusqu'à 1920 \* 1035 pixels. Le bas de gamme génère 200000 vecteurs 2D par seconde, le second 300000 vecteurs 3D par seconde. Le modèle SVHD, pour Système Vidéo à Haute Définition, offre 6 plans mémoire et un tampon d'écran sur 24 plans ; une carte NW254P permet de numériser en temps réel des images vidéo au format PAL ; une carte NWB 260 destinée aux télécommunications génère les modes d'encodage CCITT groupe 7 à la fréquence de 8 KHz et peut donc travailler avec le RNIS. Moyennant ces services, la station est fournie avec l'équipement nécessaire à la gravure, son et image, des divers types de CDROM.

Le logiciel est News OS4.0, un environnement système très complet. Il comprend Unix BSD 4.3 avec extensions System V, le gestionnaire de fichiers NFS, le gestionnaire de réseau SNMP, le système de fenêtrage X-Window 11.4, l'interface utilisateur Motif 1.1, la boîte à outils NewsDesk, et les applications Write, Paint et Draw d'Island Graphics. Prix 99900 FFHT. Voir photo.

**NWS 3410** est une extension statique de ce marché, qui commence à 57000 FFHT et fournit 17 Mips.

En réalité, il semble bien qu'il n'y ait aucune différence, seulement moins de chaque caractéristique importante. Un 3410 avec 8 MB (sur un maximum de 16), un disque de 200 MB, et 16 couleurs, coûte effectivement 100000 FFHT. Les interfaces sont Ethernet, un RS 232C, un parallèle Centronics, un lecteur de disquette 1,44 MB avec interface audio pour le multimedia. Soft et vidéo comme ci-dessus.

**Laptop News** se présente comme la continuation en portable des machines précédentes. En fait il s'agit d'un boîtier et d'un écran de News 3260, mais avec une électronique plus économique, 68030 à 25 MHz avec coprocesseur 68882., et 8 à 12 MB de mémoire. Dans un boîtier de 348 \* 417 \* 95,5 mm, pesant 8 Kg, on trouve encore un disque dur de 240 MB, un lecteur de disquette 1,44 MB, un écran 1120 \* 780 pixels en LCD monochrome, le tout pour 68200 FFHT.

**DMS 700** (3/93) est une bibliothèque pour cassettes de 19 mm à lecture hélicoïdale, format D1 = 12, 41 ou 96 GB. Trois modèles sont proposés :

DMS 700, 30 TB, occupe 3,2 m<sup>2</sup> au sol. 1 à 3 têtes de lecture/écriture. 736 cartouches de 41 GB.

DMS 300, 13 TB, occupe 2,1 m<sup>2</sup> au sol. Idem. 320 cartouches de 41 GB.

DMS 24, 2,3 TB, occupe 0,6 m<sup>2</sup> au sol et dispose de 1 ou 2 têtes de lecture/écriture. Il contient 24 cartouches moyennes ou 48 petites.

DNS 16, 1,5 TB, est le même appareil que le précédent, mais avec 16 cartouches moyennes ou 32 petites. Tous ces modèles donnent un débit de 1 à 32 MB/s , et peuvent être adaptés aux interfaces SCSI ou VME. On voit que l'objectif n'est pas chez les mainframes.

**Playstation II** (6/2000) est un jeu vidéo conçu pour exploitation sur le téléviseur familial, mais il est important de noter que les performances d'animation de beaucoup de ces jeux sont à la pointe de la technique et qu'en conséquence le microprocesseur choisi comme coeur de la playstation est nécessairement un matériel très puissant. Le choix de ce circuit, qui n'est pas astreint à la compatibilité avec autre chose que son prédécesseur, est une importante décision de Sony qui, a priori, le sélectionne chez les meilleurs fournisseurs (MIPS, par exemple) s'il ne le fait pas réaliser sur sa spécification.

L'ambition de Sony serait que la Playstation devienne le point focal des communications familiales, englobant télévision et téléphone. Dans cette perspective, Sony annonce en mars 2000 qu'il est prêt à céder à d'autres constructeurs la licence de sa technologie avec les circuits intégrés clés et le logiciel de jeux. En attendant des candidatures, Sony investit 1,25 milliard d'euros dans la production en masse des composants en question.

Cette décision semble motivée par l'existence d'une ambition comparable chez Microsoft qui compte lancer, également en 2000, sa console de jeux X Cube.

**Sord** a été créé vers 1978 pour exploiter en monoposte les possibilités du microprocesseur Z80. A l'époque, il n'était pas question de calculateur personnel, et le créneau qu'abordait Sord était celui des calculateurs scientifiques popularisés par Hewlett-Packard.

Le **M200** est donc un calculateur de table avec 32 à 48 KB de mémoire, 1 à 3 minifloppies de 71 KB, un écran pouvant fonctionner en alpha 24 \* 80 ou en graphique, une imprimante tapant un journal sur 40 colonnes, une interface RS232C polyvalente et disponible, et une option d'interface audio pour cassette.

Le logiciel se compose d'un petit moniteur et d'un BASIC, et il occupe 20 KB.

Le **M203**, distribué en France en 1978 par GEPSI, est un peu plus puissant et plus ouvert : mémoire de 64 KB, un ou deux floppies de 350 KB, le même écran, une interface parallèle, deux interfaces série V24 (nom européen du RS232C) pour IP et modem, un clavier et une horloge.

Le logiciel de base est un interpréteur EBASIC, mais dans la fourniture de 26000 FFHT on trouve aussi un macroassembleur, un compilateur CBASIC, et un Fortran IV.

Un **M203 Mk III** le remplacera en 1980, comportant une virgule flottante cablée à 4 MHz, une horloge à 4 canaux (tétraphasée ?), une option de 8 KB de PROM, un clavier comportant 22 touches personnalisées pour le Basic et pour 8 fonctions programmables, et les deux V24. Voir photo.

Le **100 ACE** de 1979 se présente comme une amélioration du 200, avec un bus S100 à connecteur externe pour d'éventuelles extensions. La mémoire de 48 KB peut être allongée par une option de 6 KB sur ROM, et les interfaces série V24 et parallèle 8 bits. Voir photo et article en boîte 186.

Le clavier est maintenant alpha + num, le moniteur à écran vert présente 24 \* 64 caractères et dispose dans son alphabet de pseudocaractères graphiques permettant de tracer des histogrammes. La fourniture de base comprend aussi 1 ou 2 minifloppies de 143 KB en SFDD, avec DMA.

Parmi les options, on peut citer un codeur 8 bits à deux voies, un groupe de 8 entrées isolées sur photocoupleur, un groupe de 8 sorties avec amplificateur à 100 mA, et des améliorations de visualisation : soit graphique noir et blanc 350 \* 256, soit 160 \* 256 en 8 couleurs.

Le logiciel comprend un système MFDOS fonctionnant à partir des disquettes, et offrant une gestion et une protection de fichiers, ainsi que des utilitaires pour cataloguer, formater, lister, copier les fichiers et l'écran. En outre, le EBASIC interprétatif, et en option l'assembleur et les compilateurs.

Le **M223** de 1980 fait l'objet d'une fiche et on peut voir qu'il diffère du 203 plus par l'esthétique que par les services rendus : choix accru de périphériques, logiciel plus étoffé, mais mémoire toujours limitée. Il en existe des variantes Mk III, V, VI qui ne jouent que sur les disques.

Il sera suivi d'un **M243** (1981) qui reste fidèle au Z80A mais étend le logiciel.

Avec les années 80 apparaissent les PC, sans que Sord soit passée par l'étape, si importante aux USA, des machines CP/M.

Vers 1982, Sord cherche à résoudre la quadrature du cercle en utilisant un microprocesseur 16 bits 8086 + 8087 (à 5 MHz), tout en conservant le bus S100 pour lequel sont écrits tous ses drivers. Le **M343 Mk X** autorise modestement 256 KB, et pour le reste n'innove guère : disquette 1,44 MB, disque dur faible de 7,5 MB, 3 connecteurs série selon avis V24 plus une interface Centronics, écran 25 \* 89 ou 640 \* 400 pixels en graphique extrait d'une image 1024 \* 1024, horloge temps réel. Le tout pour le prix trop élevé de 94000 FFHT, bien que le logiciel se soit étoffé d'un Pascal et d'un Cobol.

En 1985, Sord est achetée par Toshiba qui en fait sa division PC. Ce qui précède ne donne pourtant pas l'impression que Sord ait mieux compris que tous les autres ce qu'allait être la compétition, mais à cette date on peut supposer que personne n'a encore compris, de sorte que Sord, qui a vendu en Europe des calculateurs personnels, paraît mieux placé que tous ceux qui ne l'ont pas fait.

Le **SI11C** de 1985 est le premier portable de Sord, avec déjà le parti-pris qui deviendra celui de Toshiba : le portable doit être capable de tenir dans une serviette, ce qui en 1985 est très limitatif : il y a donc 72 KB de ROM pour le système minimal, 80 KB de RAM pour travailler, une microcassette de 128 K pour rendre les services du disque qu'on n'a pas la place d'installer, un écran 25 \* 80 ou 640 \* 200 pixels en graphique. Les extensions possibles comprennent une cartouche de 64 KB de RAM, une pseudo-base de données sur ROM baptisée DB. PIPS, une ME25 thermique, un lecteur de code barre, un lecteur de disquette 3,5" de 1 MB, une souris.

Les logiciels compris dans une telle machine, au prix de \$ 1495, sont un traitement de texte, un gestionnaire de communications, et la gestion des utilités, tous sur ROM. Les extensions possibles, également sur ROM, comprennent la base de données et sa consultation conversationnelle ITSS, un IBasic, et un ITransqui permet la liaison sur RS 232C vers une machine contenant PC/DOS, MS/DOS ou CP/M.

**Toko, Inc.** est apparemment une société licenciée de Librascope, dont elle a utilisé les brevets concernant les mémoires à fils magnétiques. Bien qu'on n'ait pas de date précise, on sait par les machines où Toko a installé un de ses produits qu'il s'agit des tout débuts de l'informatique. On peut citer une mémoire à fils magnétiques tissés de 1024 mots de 84 ou 150 bits, avec cycle de 400 ns, performance remarquable si elle est fiable.

Un peu plus tard, le temps d'accès tombe à 100 ns avec des films minces déposés sur des tubes dont le magnétisme était décelé par des fils tissés.

La disparition de Toko qui ne joue plus aucun rôle au moment où en attend le plus, cad pour les mémoires mortes de micromachines, est certainement due, comme aux USA et ailleurs, à l'impossibilité de garantir des propriétés reproductibles par dépôt de films magnétiques.

**Yaskawa Electric Mfg Co** se manifeste en 1970 en réalisant, pour une application de process control, le **Mémocon 16**, un calculateur à mémoire 4/16 Kmots de 16 + P bits, cycle 3,5 µs, ce qui conduit à l'addition en 7 µs. L'architecture est minimale, avec Accu, bascule C, compteur ordinal, registre d'instruction, registre d'adresse et tampon de mémoire ; on note l'absence de MQ. Cette machine minimale disposait des périphériques usuels et d'un système d'interruptions à 2 niveaux, 7 prioritaires et 16 ordinaires. Prix 13880 \$, mais pas de logiciel, ce qui a dû contribuer à ce qu'il n'y ait pas de suite.

**Yokogawa Electric** se manifeste en novembre 1962 avec le **CCS 2000**, un calculateur de process control bâti autour de la machine Okitac 5090 P.

Cette séparation des fonctions, banalisant l'ordinateur en primant la collecte de données, se retrouve dans la seconde réalisation de décembre 1964, qui utilise un Tosbac 3300 pour construire le **CCS 3000**, et encore en septembre 1965 avec un **CCS 8000** édifié autour d'un PDP 8 et d'un tambour de 14 Kmots, avec 12 interruptions.

La formule sera encore reconduite en 9 / 66 avec le **CCS 7020** qui utilise un Facom 270 / 20 avec un tambour de 128 Kmots et 5 interruptions.

Tout naturellement, cette expérience diversifiée devait faire penser au responsable de ces divers contrats qu'il maîtrisait parfaitement les applications temps réel, et qu'il y avait des économies à faire en construisant son ordinateur plutôt que de l'acheter : le **YODIC 500** de 5 / 66 est une machine en circuits intégrés discrets, avec 8 Kmots de 12 bits (l'influence du PDP 8) sur tores avec un cycle de 3,2 µs, 29 opérations dont l'addition en 6,4 µs, et 3 interruptions.

L'absence de suite à cet essai suggère que la méthode directe n'est rentable qu'en cas de série, et ce ne semble pas avoir été le cas.

## 759 - Asie du Sud-Est

Toute cette région du monde est entrée très tard dans l'informatique, à travers une politique de sous-traitance pour le compte du Japon d'abord, puis de l'Europe et de l'Amérique lorsque le réseau Internet a autorisé des communications instantanées. Cette deuxième génération de "dragons", tablant essentiellement sur le bas prix de sa main d'oeuvre, s'est rapidement équipée d'usines payées par les entreprises occidentales. L'existence de cette industrialisation, ajoutée aux revenus du tourisme et aux droits de passage nés d'une position géographique exceptionnelle, a fait décoller ces économies à partir de 1985.

En nous limitant à l'informatique, il faut comprendre que dans la période qui nous intéresse, ces pays n'ont eu aucune créativité. Ils produisent des composants ou des sous-ensembles, identifiables en examinant les entrailles de nos PC, mais ils n'ont aucune autonomie.

Leur équipement en ordinateurs, tel qu'on peut le constater en 2000 dans leurs aéroports ou leurs entreprises, est à peine inférieur au nôtre, mais le niveau de vie de la population n'est pas encore tel que l'on trouve ces mêmes ordinateurs dans les familles. Les quelques indications qui suivent portent donc sur des équipements importés.

### **Malaysia**

La Marine malaysienne s'est créée pour assurer la défense des routes commerciales qui ont pris naissance comme indiqué ci-dessus, essentiellement contre les pirates. Elle est formée de grosses vedettes rapides et armées de petits canons dont l'efficacité réside plutôt dans les tactiques d'emploi que dans les matériels.

Aussi cette Marine a-t-elle décidé de s'équiper d'un simulateur d'entraînement, commandé en 1982 à Solartron Electronic Group pour 3,8 M£. L'ASTT, Action-Speed Tactical Trainer, est installé en fin 83 dans la base marine de Lumut, construite par Thyssen sur la côte occidentale du pays, entre Kuala Lumpur et Penang.

L'ASTT anticipe un développement important de la Marine, puisque il permet la simulation d'un affrontement entre deux forces navales mettant en oeuvre des navires de surface, des sous-marins diesel, des avions et tous les types d'armes que peuvent porter ces véhicules, canons, bombes, torpilles, missiles et mines., ainsi que tous les moyens modernes de détection : radars, IFF, sonars ECM, brouilleurs, leurres.

Le simulateur est construit autour de trois processeurs DEC PDP 11 / 44 qui effectuent chacun une tâche particulière, mais communiquent entre eux à travers une mémoire multiporte. Le pupitre de commande (photo) comporte cinq consoles d'exploitation et un poste de surveillance des transmissions radio.

Les cabines d'instruction, au nombre de 9, peuvent accueillir chacune trois ou quatre stagiaires. On y trouve une table traçante, un plot vertical, un module clavier/écran pour la composition de messages, et une liaison radio. Deux de ces cabines sont un peu renforcées pour jouer le rôle de PC tactique, et une autre représente un poste de commandement à terre.

Une salle de conférence de 60 places occupe le centre du bâtiment, séparée du reste par une baie vitrée. Un projecteur Ferranti d'images en couleurs permet de présenter sur grand écran une opération en cours, et le tout peut être enregistré, puis repassé pour les debriefing.

### **Thaïlande**

Le cas de la Thaïlande est très semblable à celui de la Malaisie, avec un peu d'avance probablement. Il se trouve que nous n'avons aucun exemple comparable d'équipement spécialisé militaire, mais nous savons qu'ils existent. La Marine thaïlandaise, par exemple, n'a jamais cessé d'être notoirement plus importante que celle de Malaysia, et elle l'était déjà en 1940 ; mais nous n'avons pas connaissance de son équipement, qui a été renouvelé plusieurs fois depuis la guerre du Vietnam.

### **Vietnam, Philippines, Brunei**

Ces régions qui subissent des guerres civiles d'inspiration musulmane ou qui commencent à peine à se relever du communisme sont encore extrêmement en retard en 2000 sur le reste du monde, et leur équipement se limite pratiquement à ce qui est nécessaire pour faire fonctionner les aéroports.

Nous n'avons aucun détail.

## 760 - Informatique norvégienne

La Norvège, pays scandinave qui a subi la guerre et dont le gouvernement s'était réfugié en Angleterre pendant l'occupation, souligne ces relations particulières en passant commande au Birbeck Collège d'un des tous premiers calculateurs anglais : **NUSSE** installé en 1953 est une copie d'APEX'C.

Centrée sur un tambour de diamètre 2" et hauteur 5", capacité 512 mots en 32 pistes, tournant à 4000 t/min avec un temps d'accès de 15 ms, c'est une petite machine constituée de 450 tubes, 200 diodes et 10 relais, fonctionnant à 40 KHz. Architecture à 1 + 1 adresse, mots fractionnaires de 32 bits en complément à 2, consommation 2 KW. Périphériques : un LR 50, une ME 7 avec PR associée. Rien d'impressionnant.

Cependant, la suite est plus intéressante. La Norvège est un petit état par sa population mais, pour des raisons historiques, elle tend en permanence à affirmer son indépendance politique et si possible économique. Or cette dernière est acquise depuis qu'on a trouvé du pétrole en Mer du Nord, dont une part importante dans les eaux territoriales norvégiennes.

La Norvège a donc décidé d'avoir sa propre informatique, créant vers 1967 la A / S Norsk Data Elektronik, siège à Oslo, laquelle s'est immédiatement manifestée en annonçant, en 8 / 68, un ordinateur 16 bits pour applications temps réel, le **Nord 1**. C'est une machine à 16 registres, avec un répertoire de 120 opérations dont 32 ont un accès à la mémoire, comprenant une virgule flottante 48 bits (division en 32  $\mu$ s) et des manipulations de bits. 16 priorités hiérarchisées.

Logiciel : macroassembleur et compilateur Fortran.

Commercialisée à \$ 1000 par mois, cette machine a été construite à 80 exemplaires, beau succès. En outre, une version OEM baptisée **Nord 4** en a été tirée pour les applications maritimes - un des points forts de la Norvège - et elle s'est vendue à 115 exemplaires jusqu'en 1975.

En 1970, deux nouvelles versions de ce Nord 1 sont annoncées : un **Nord 20** débarrassé de la virgule flottante, et un Nord 2A repensé vers l'économie.

Le Nord 20, avec seulement 2 niveaux d'interruption, s'est vendu en 70 exemplaires comme ordinateur temps réel pour commande de centrales, ou comme terminal lourd pour accès en RJE aux ordinateurs IBM, Univac, CDC ou Honeywell que la Norvège ne manque tout de même pas d'acheter pour ses grosses applications.

Le **Nord 2A** ressemble beaucoup au Nord 1 avec une mémoire à tores de 4 à 16 Kmots, cycle 1,2  $\mu$ s, comme mémoire de travail, et 0 à 16 Kmots de ROM pour les programmes d'intérêt général. Le bloc de calcul comprend un accu A, un MQ B, une bascule L Link, un compteur ordinal, un registre temporaire T et un index X. Addition en 2,4  $\mu$ s. Il y a deux niveaux d'interruptions.

Le logiciel nettement amélioré comprend un moniteur, un assembleur, un interpréteur conversationnel, un Fortran II, un Fortran temps réel avec bibliothèque, le tout pour \$ 15000.

Les périphériques se sont largement développés, avec un disque de 4 millions de mots, des bandes magnétiques, LR / PR / ME, un plotteur, un codeur et un décodeur de signaux analogiques.

En 1972, suivant en cela le timing d'IBM, Norsk Data annonce le **ND 5**, une unité centrale 32 bits beaucoup plus ambitieuse, conçue essentiellement pour calculer, mais qui peut s'associer un ou plusieurs Nord 1 comme IOC, particulièrement temps réel. Ce système équipera notamment la météo norvégienne.

En 1973, Norsk Data annonce le **Nord 10**, un nouveau 16 bits qui remplace le Nord 1 dans toutes ses applications sans être parfaitement compatible. Il est en fait beaucoup plus riche, car il s'appuie sur un logiciel très complet et se prête au multitraitement. Voir fiche.

Malgré cette polyvalence, qui lui vaudra un accord avec Matra en France, le ND10 est un peu cher pour certaines applications qui se suffiraient d'un contrôleur intelligent, et Norsk Data crée pour l'OEM le **Mycro1** (1974), un processeur sur une carte basé sur le microprocesseur 8080, qui vient de sortir : 50 exemplaires seront vendus pour les besoins des plateformes pétrolières nationales. Voir fiche.

Le **Nord 50** de 1974 reprend ce qui avait été fait quelques années plus tôt avec le Nordic. Il combine un Nord 5 et plusieurs Nord 10 pour constituer un ensemble météorologique qui trouve sa place non seulement à la météo norvégienne, mais aussi dans d'autres pays. Trois exemplaires iront à l'ASEA.

Le **Nord 12** de 1975 est une version un peu dégradée du Nord 10, 30% moins rapide parce qu'on ne lui a laissé que sa mémoire MOS, cycle 1  $\mu$ s, 8 à 128 KB. Vouée au temps réel, cette version comprend 16 niveaux d'interruption, chacun avec 8 registres en mémoire, ce qui permet le changement de contexte en 2  $\mu$ s. Le répertoire se compose de 85 opérations standard et de 16 options, et s'exécute avec une horloge CP = 490 ns.

La même machine a été placée sur le marché OEM sous le sigle **ND 42**, et 150 exemplaires ont été commandés par Norcontrol, qui est probablement le contrôle de la navigation aérienne dans les pays scandinaves.

En 1977, on annonce le **Nord 10 / 5**, un compatible qui reprend la microprogrammation sur une mémoire de 1024 \* 32 bits à cycle de 50 ns, accessible au client. La nouvelle machine dispose d'une mémoire en 4 modules entrelacés, 256K \* (16 + 2P), en MOS 450 ns ; une gestion virtuelle est possible par segments de 64 KB, avec une toute petite mémoire topographique. Un cache optionnel de 1K \* 25 bits peut être installé, avec un cycle de 100 ns.

Le bloc de calcul est riche, avec virgule flottante, 16 niveaux d'interruption disposant chacun de 8 registres, changement de contexte en 900 ns. Le cycle de microprogrammation est 320 ns.

Le logiciel est de plus en plus étoffé : OS pour multiprogrammation, temps réel, temps partagé, moniteur RTOS SINTRAN III, base de données SIBAS, et un vaste choix de langages : assembleur, RPG II, Basic, Pascal, Coral 66, Fortran IV, Cobol ANSI, Simula (inventé en Norvège).

En décembre de la même année, nouveau progrès dans la même voie, avec un cycle de microprogrammation qui tombe à 260 ns, une mémoire à cycle de 700 ns, la possibilité d'installer jusqu'à 4 CPU sur la mémoire.

A cette date, 360 Nord 10 des divers modèles ont été vendus, et le succès ne faiblit pas.

Le **ND 100**, annoncé en 1979, est une machine compatible réalisée à base de microprocesseur en tranche, et qui dispose de la mémoire virtuelle, 128 KB virtuels par usager, dans une mémoire physique qui peut atteindre 32 MB, avec un cache de 2 KB. La société cède à la mode du SECCED, et sa mémoire comprend désormais 22 bits pour un mot de 16 bits.

Norsk Data aborde sérieusement le marché français avec cette machine, et brusquement la documentation abonde : description fonctionnelle en anglais, fiches très complètes sur le CPU et son choix de mémoires, choix de fiches périphériques (les dérouleurs de bandes sont peu acceptables).

En 1982, le **satellite 5**, 256 KB avec floppy, disque 13 MB et 5 périphériques, et le **satellite 9** avec 512 KB, disque 21 MB et 9 périphériques, sont des versions préconfigurées, vendues bon marché pour amorcer une clientèle de gestion. Ils sont vendus respectivement 161 et 240 KFFHT avec 1 ou 2 lignes HDLC, un traitement de texte et un moniteur SINTRAN de type RTOS.

Le ND 100 continue à évoluer et, en 1984, le ND 100/CX est une machine compatible, microprogrammée sur 2K\*64 bits, utilisant un CP de 150 ns, et orientée vers la gestion transactionnelle par un soin particulier apporté à la multiplication des terminaux. Voir dossier Norsk Data France en boîte 187.

En même temps que le ND 100, Norsk Data annonce le **ND 500**, qui est une nouvelle machine 32 bits en TTL à cycle de 200 ns, dotée d'une mémoire jusqu'à 32 MB, permettant un entrelacement 16. Le bloc de calcul est précédé de deux caches I et D de 64 KB, et la virgule flottante est cablée, en 32 et en 64 bits, avec une convention qui n'est ni celle d'IBM, ni celle de l'IEEE. La microprogrammation sur 144 bits permet divers parallélismes, qui seront mis à profit dans les années suivantes.

La machine est servie par un système d'exploitation SINTRAN III / VS.

Le prix en France, pour 512 KB de mémoire, deux caches de 16 KB, 37 MB de disques, une bande de sauvegarde à 1600 bpi, une ME 30, un lecteur de disquettes, et l'interface pour 5 écrans, est 1080 KFFHT.

Nous disposons d'une statistique sur Norsk Data au 1 / 1 / 80, pour tous types de machines : 1500 ont été vendues, dont 350 sont installées en mer sur des plateformes pétrolières ou des navires. 645 sont en Norvège, 137 en Suède, 124 au CERN, 28 au Danemark, 28 en France, etc...

Il s'agit d'un réel succès, mais dont l'ampleur reste tout à fait modeste face aux spécialistes mondiaux des minis comme DEC ou Data General. On le voit d'ailleurs clairement dans la liste ci-dessus, le marché de Norsk Data en 1980 est encore principalement national.

En 1982, le 500 est rebaptisé 540, et encadré par un 520 bridé et un 560 renforcé. L'idée est désormais de décharger le CPU 32 bits des tâches d'entrée / sortie en les confiant à un ND 100/CX attaché à la même mémoire. Un article paru dans Electronics commente cette nouvelle disposition, et les nombreux raffinements qu'autorisent les deux caches et les divers tampons qui entourent les CPUs.

- le 520 avec 750 à 2250 KB en une seule armoire commence à 800 KFFHT.

- le 540 est le même, avec un cache 32 KB, et commence à 1 MFHT

- le 560 peut disposer d'un cache maximum, augmenter sa mémoire jusqu'à 32 MB, fournir une puissance de 1,75 Mips, et supporter jusqu'à 64 terminaux., à partir de 1,2 MFHT.

En 1983, nouvelle réorganisation : le 560, c'est-à-dire la machine complète, est décomposé en multiples variantes en jouant sur la microprogrammation :

- le 540 récupère le droit à un cache maximum, c'est l'ancien 560.

- le 550 / CX reçoit de nouvelles microinstructions destinées à améliorer l'efficacité des programmes Cobol et Fortran compilés mais, pour ne pas tout donner d'un coup, il n'a pas de cache.

- le 560 /CXA reçoit de nouvelles microinstructions destinées à faciliter le calcul vectoriel (array processing), et il peut profiter du cache complet, jusqu'à 128 KB. Voir document ND 10338.

- le 570 /CXA est le même que le précédent pour tous services rendus, mais dispose sans doute d'une nouvelle technologie, puisque la publicité indique une puissance doublée. Il s'agit en fait de réseaux de portes de LSI Logic, grâce auxquels le calculateur peut atteindre 4 Mips.

Nous disposons d'autre part d'une vue d'ensemble du logiciel, de type RTOS à mémoire virtuel, proposé par Norsk Data pour la mise en oeuvre de ces divers calculateurs, à savoir les SINTRAN III /VS, ainsi que des fiches précises sur chacun des langages fonctionnant dans ce cadre.

L'annonce des ND 500, ou peut-être celle d'accords avec Matra, se traduit en 1985 par une spectaculaire progression du chiffre d'affaires, qui atteint 219,8 M\$, en croissance de 32% par rapport à l'année précédente, plaçant ainsi Norsk Data en 92ème position des entreprises informatiques mondiales. Qui plus est, le bénéfice croît de 52% à cette occasion.

Cependant, pendant les 15 années suivantes, rien ne se produit qui mérite d'être signalé et si la société n'a pas démerité, elle n'a pas continué à grandir. Le plus probable est que la société n'a pas pris le virage de la microélectronique et qu'en conséquence, elle n'a pu capitaliser l'avantage acquis en 1985. Ce d'autant plus, peut-être, que Matra a changé en cours de route son programme de développement par coopération, et pour échouer de son côté, d'ailleurs.

En dehors de Norsk Data, dont le succès s'est effectuée dans une niche de minis, la Norvège a jugé nécessaire de disposer d'une informatique de Défense, partie d'une électronique de Défense confiée à une entreprise nommée *Kongsberg Vapenfabrik*.

La première manifestation de Kongsberg consiste dans une militarisation, à l'usage de navires, du calculateur DDP 516, dans une version à virgule flottante cablée sur 48 bits dont 15 d'exposant, avec des opérations qui s'étalent sur 5 à 50 cycles d'horloge. La mémoire peut varier de 4 à 64 Kmots, cycle de 800 ns, avec une option parité. Répertoire 96 opérations. Entrées/sorties 256 canaux, avec options DMA et liaisons série, mais avec 1 à 16 interruptions. Alimentation tous types, 115 ou 230 V, fréquence 50 /60 /400 ou 24 VCC.

Kongsberg a fourni deux versions de ce matériel, baptisé **SM3** :

- pour navires, 610 \* 914 \* 1114 mm; 110 Kg, pour le système antiaérien Sea Sparrow
- pour camions, 630 \* 410 \* 470 mm, 67 Kg; toutes applications telles qu'artillerie.

A la même date, Kongsberg en produit une seconde version plus modeste, la SM4, avec cette fois une virgule flottante sous-programmée et une mémoire à cycle de 1,2 µs. Elle existe en version navire soumise à des tests de chocs et vibrations, humidité et température, 470 \* 380 \* 410 mm, 60 Kg ; et en version camion, 630 \* 410 \* 470 mm, 60 Kg.

D'autres applications militaires apparaissent dans les années suivantes. Nous trouvons dans la Revue Internationale de Défense un système **MSI 70U** pour conduite de sous-marins, mis en service en 1972 ; et un **SM 302 M** appartenant précisément au système Odin évoqué ci-dessus.

On trouve en RID de 1 / 83 une étude nettement plus étoffée des activités de défense norvégiennes, parmi lesquelles Kongsberg est en général le fournisseur de l'électronique ; et en particulier un aperçu du programme Penguin de missile mer/mer que la Marine Norvégienne a non seulement adopté, mais réussi à vendre à la Marine américaine.

On y trouve aussi le programme ARCS d'un radar pour la conduite de tir des missiles Hawk antiaérien que Hugues Aircraft a dérivé de son modèle AN / TPQ 36 antiartillerie, et décidé de construire en Europe en association avec Kongsberg, le premier client étant l'armée norvégienne. Kongsberg fournit le calculateur de ce système et la console de commande, fortement inspirés du matériel qu'il étudie par ailleurs pour les sous-marins 211 que l'Allemagne construit pour la Norvège (photo).

Toutes ces activités militaires de Kongsberg sont rassemblées, sous forme d'articles tirés de la Revue Internationale de Défense, en boîte 187.

## 761 - Informatique en Nouvelle Zélande

Ce petit pays plutôt agricole n'a pas d'industrie informatique et se borne à s'équiper au fur et à mesure de ses besoins en achetant des produits américains ou anglais. La défense est traditionnellement équipée avec du matériel anglais, et c'est donc quasiment par un souci anecdotique qu'on signale qu'une compagnie néo-zélandaise a étudié un système pour la conduite de l'artillerie.

Le calculateur est un Gridcase 1180 de la société SAI Technology, acheté aux USA.

Le matériel est transporté en trois caisses de 19 à 25 Kg à l'abri des chocs des véhicules, avec un moniteur et une imprimante, et fonctionne sous la direction d'un logiciel qui est la seule fourniture néo-zélandaise, et qui sait:

- définir divers plans de feu
- incorporer les données de tous les types de projectiles.
- tenir compte de la météo et des caractéristiques de l'objectif
- travailler en mètres ou en yards.
- transmettre les données aux pièces qui travaillent par recopie

Tout cela ressemble beaucoup à un exercice d'entraînement à l'écriture d'un logiciel, car les conditions d'exploitation décrites ne sont guère compatibles avec la guerre moderne.

## 762 - Informatique Suédoise

La Suède a toujours défendu jalousement son indépendance, et n'a pas hésité pour y parvenir à créer sa propre industrie automobile (Volvo, SAAB), aéronautique (les avions Viggen et Gripen) et informatique. Plus généralement, tout ce qui apparaît vital pour l'indépendance doit pouvoir être produit en Suède, ce qui est un double problème de compétence et de financement.

Dès la fin de la guerre, l'informatique intéresse les universités, comme partout. Et dès 1950, un comité créé par la Diète en 1947 autorise la construction du premier ordinateur suédois, le **BARK**, Binär Automatisk Relay Kalkulator. C'est un ordinateur à relais, mais pas dans la tradition des machines Bell ; il y a une sorte de programme par pas affichables, et des ruptures de séquence liées à des sélecteurs. Les performances sont ce qu'on peut attendre des relais, et cette machine, dont on peut trouver une description rétrospective dans TIRE, EC5, 9 / 58, p 160, sera abandonnée dès 1955.

Le comité a en réalité décidé de s'informer à la source, et envoie quelques ingénieurs à Princeton voir la machine de l'OAS. La notoriété de Von Neuman aidant, c'est ce modèle abondamment copié que le comité décide de reproduire, réalisant **BESK**, Binary Elektronik Sekvens Kalkylator, où le mot Sekvens signifie que la machine utilise un programme enregistré.

Par fidélité au modèle, le BESK utilise une mémoire principale à tubes de Williams, mais fortement soutenue par deux tambours de 8192 mots chacun ; la mémoire électrostatique sera d'ailleurs remplacée par des tores en 1956. Au total, BESK est une réussite et sera employée à plein temps pendant plusieurs années. Les demandes de calcul étant considérable, la machine sera dès 1955 recopiée :

**SARA**, pour l'usine SAAB de Linköping

**SMIL**, pour l'université de Lund. Cette machine n'a pas de mémoire de Williams et utilise un tambour rapide comme mémoire principale.

**DASK**, la première machine danoise.

Ce qu'on retiendra de cette histoire, c'est que la réussite de BESK a été évaluée immédiatement par l'industrie, qui s'est empressée de relever le gant. Trois industriels ont réellement contribué à ce démarrage.

**FACIT Aktiebolaget** fabrique, dès l'avant guerre, des machines à calculer de table, mues par manivelle.

Ce constructeur ne souhaitant pas utiliser la mémoire électrostatique, choisit plutôt des tores et construit sa propre mémoire, 2048 mots, mais sans autre innovation, de sorte que son organisation rappelle celle de l'IBM 701, avec deux instructions par mot, sans aucune inflexion. La logique est à diodes, les amplificateurs à tubes, mais quelques transistors apparaissent.

Surtout, puisque Facit est une entreprise de mécanique, l'**EDB 2** contient plusieurs périphériques intéressants : un lecteur et une perforatrice de bande qui trouveront des clients en Europe, des machines à cartes perforées, des dérouleurs de bandes, et un dispositif très original, le carrousel, qui fournit d'un seul coup 64 bobines adressables contenant chacune 128 blocs de 64 mots. Le procédé était trop lent pour devenir un standard européen, mais pour EDB 2 il fournissait une extension bienvenue.

Une **EDB3** succédera à l'EDB2, plus largement transistorisée, dotée d'une mémoire plus importante et mieux organisée pour la gestion des périphériques. Au total, cependant, guère plus de cinq machines des deux modèles ont été construites, et Facit après cela n'a pas essayé de poursuivre l'étude d'unités centrales.

La vraie vocation de Facit a toujours été la mécanique, et dans les années suivantes le constructeur lui a consacré l'essentiel de ses efforts :

1958 : matériel de bande perforée à haute performance, lecteur ETR 500 et perforatrice ETP 150 cps.

1964 : accord avec CFTH pour exploiter les succès précédents avec la production pour l'Europe du PE 1000, lecteur à 1000 cps avec dérouleur et enrouleur, et du PE 1500, lecteur à 150 cps avec enrouleur.

1970 : la **Facit 1115** est une calculatrice de table 8 chiffres qui est commercialisée en Europe par le japonais Sharp sous le sigle QT8.

1973 : la **Facit 6501** est un ordinateur de gestion organisé comme une collection ordonnée de périphériques, dont chacun exécute sa tâche indépendamment grâce à un programme dispatcher. L'unité centrale comprend 8 à 32 K mots de mémoire plus un ou deux disques de 2,5 MB en cartouches, et sa raison d'être est de gérer un maximum de 64 périphériques ; chaque poste de travail comporte un TCC, contrôleur à alimentation autonome qui reçoit les ordres du CPU. Suit une liste de constituants susceptibles d'être intégrés dans un de ces postes de travail :

4628 : clé de sécurité à trois positions départ programme, attente, fin programme, cette dernière coupant l'alimentation.

4626 : clavier 33 touches, numériques et fonctions

4627 : clavier 50 touches alphanumériques + 8 fonctions

3851 : ME 12 avec chariot mobile et papier continu à entraînement Caroll.

4552 : imprimante 15 cps de type mosaïque sur bande de papier. A encadrer.  
4561 : imprimante Century 165 cps  
4553 : imprimante 15 cps de type mosaïque, modèle de table sans clavier  
xxxx : écran 12 \* 80 avec clavier complet  
4203 : cassette 800 bpi, 756 ou 378 cps, avec anneau protecteur.  
4001 : lecteur de bande perforée 1000 cps  
4070 : perforatrice de bandes 75 cps

Il y a également des possibilités de modems.

1978 : la Facit 4530 est une ME 160 à aiguilles. Un microprocesseur associé à cette mécanique, avec 10 KB de mémoire et un jeu de PROM, permet d'adapter cette mécanique à une grande variété de formats, tailles, polices, de construire des RO ou des KSR, etc...

1979 : la Facit 4540 est une ME 250 à tête matricielle 9 \* 9, bidirectionnelle, associée à un ruban à 2 couleurs. Le répertoire de polices est particulièrement riche, grâce à un microprocesseur et des PROM : OCR A, caractères latins, cyrilliques, kana.

1978 : le DEI est un lecteur / enregistreur de cartouches pour bandes 1 / 4 de pouce, existant en deux tailles : 300 ft, contenant 11,5 MB en 6250 bpi sur 4 pistes.

450 ft, soit 17,28 MB, débit 192 Kbps.

1982 : le Facit 4510 est une ME 120 à matrice 9 \* 9 ou 9 \* 15 aiguilles, bidirectionnelles optimisée par microprocesseur, avec une interface au choix parallèle Centronics ou série V24 110 à 9600 bauds.

Poids 9 Kg.

Cette liste n'épuise certainement pas les périphériques proposés par Facit sur une vingtaine d'années, mais elle donne une bonne idée de la tendance. Clairement, Facit se consacre à une tâche en marge de l'informatique et se refuse à s'impliquer davantage après ses efforts initiaux.

**DataSAAB** La firme *SAAB, Svenska Aeroplan Aktiebolaget*, basée à Linköping, est comme son nom

l'indique une société d'aéronautique. Tout naturellement, ses dirigeants avaient perçu dès le début les potentialités de l'informatique, et exprimé leur intérêt en construisant **SARA**, une copie du BESK. Le bon fonctionnement de cet outil scientifique les convainquit du bien fondé de leur appréciation et, dès 1960, la société créait une division consacrée à la nouvelle discipline et annonçait son premier produit, un **D2** consacré au process control.

En 1961, la société décide qu'il existe une clientèle pour un calculateur de gestion, et propose le **D21**, un dérivé du D2 orienté par quelques additions vers des emplois dans l'entreprise, scientifiques inclus grâce à une option virgule flottante. Voir fiche illustrée et document de programmation en boîte 187, ainsi qu'un article publié en 1963 dans les TIRE, EC 12.

En 1964, cohérente avec l'objectif national d'indépendance, la société SAAB, qui est responsable du chasseur national Viggen, entreprend de prendre à son compte la construction d'un calculateur numérique transistorisé pour en assurer la navigation et la commande des armes. Même si ces missions sont à l'époque assez simples, il est important de noter que la Suède est un des tout premiers pays à avoir installé un calculateur à bord d'un chasseur. Le Viggen n'ayant jamais eu à livrer de combat, son calculateur **CK 37** n'a pas eu l'occasion de faire ses preuves, mais il y a bien sûr eu de nombreux exercices et simulations, sur lesquels nous ne savons rien.

Sur cette réalisation, voir une fiche illustrée assez pauvre.

En 1967, le D21 est déjà une machine ancienne et DataSAAB, qui prépare la suite, annonce en attendant un **D21 Modèle 2** qui reconduit le D21 en l'améliorant : mémoire 8 à 256 Kmots à cycle de 2 µs, protection de mémoire, virgule flottante en standard, nouveaux dérouleurs de bande en largeur 1", 128 KB/s. Annoncée pour livraisons à partir de 7 / 67, la nouvelle machine devait coûter entre 6000 et 30000 \$. On ignore le succès de cette relance.

Le nouveau modèle, **D22**, sort en 1971. La mémoire comprend 16 à 256 Kmots de 24 bits, avec cycle de 1,6 µs. La finalité est essentiellement gestion, bien que la virgule flottante soit maintenue. Le logiciel s'est fortement étoffé, comportant un vrai système d'exploitation (OS 22), une base de données Codasyl, plusieurs compilateurs et une collection d'applications.

Cette machine, dont nous possédons une fiche illustrée, a été exportée vers l'Europe (38 exemplaires) et même vers les pays de l'Est (2 ex).

Décidée désormais à s'implanter fermement en informatique, Dataaab se trouve dans l'obligation de ne pas se limiter à l'électronique, et de fabriquer aussi des périphériques, au moins les plus essentiels d'entre eux, les disques. Le 2178, annoncé en 1970, se situe au niveau technique du 2314, avec une pile de 11 disques organisée en 200 cylindres, inscrite à 2220 bpi, et tournant à 2400 t/min. Le pack contient 27 MB, débite 312 KB/s, et souffre d'un temps d'accès compris entre 7 et 70 ms.

Le 2187 utilise le même pack, mais la capacité est portée à 52 MB, par doublement à 400 du nombre de cylindres, donc de la densité en pistes.

Renouvellement en 1971, la **D223** dispose d'une mémoire de 122880 à 786432 bytes. Le CPU 2230 est assorti d'une unité de virgule flottante séparée et optionnelle. Les disques sont des 2188, le nouveau modèle au niveau technologique des 3330 d'IBM; et il y a aussi un nouveau lecteur de cartes à 1000 cpm. Le logiciel comprend tous les services du D22, avec un petit supplément : le 223 peut être organisé en biprocesseur avec des contrôleurs bicanaux sur les périphériques importants. Toutefois il n'existe pas encore de logiciel multiprocesseur.

Au moment où IBM passe à sa deuxième génération, et où chacun devra faire de même, Datsabaab s'efforce d'approfondir les possibilités de la microprogrammation en créant un émulateur universel, baptisé **FCPU**, dont la littérature technique signale l'existence en 8 / 74 (TIEEE, Sigmicro). Il semble que cette machine, probablement inspirée par le B1700 de Burroughs, résulte d'une coopération américano/suédoise. On ne peut cependant affirmer que cette micromachine ait réellement servi de coeur à une quelconque machine de Datsabaab, et notamment à la D23.

Nous disposons (en boîte 187) d'un extrait d'article montrant comment le FCPU peut émuler une instruction du D23. C'est donc seulement un exercice a posteriori, essentiellement destiné à montrer le style du microassembleur ; en réalité, ce document n'a de sens qu'après lecture des articles précités.

Vers la même époque, l'informatique distribuée prend une importance croissante, et Datsabaab propose, sous le sigle **D5**, une série de minicontrôleurs qui permettent de créer des postes de travail à distance. Les petits D5, le /10 avec 8 KB et 16 périphériques, le /20 avec 16 KB et 128 accès, sont de modestes machines à répertoire de 28 opérations, dans protection de mémoire ni DMA, soutenus par un OS très sommaire. Ils donnent lieu à une certaine publicité dans le cadre des terminaux lourds **M7** et **M10**, produits à un rythme de plus de 100 par mois en 1975.

Le D5 / 30 qui apparaît à la même date est une machine bien plus importante, avec un répertoire de 77 opérations et tous les gadgets qui permettent de construire un système d'exploitation: 2 jeux de GPR, 3 index, nombreuses interruptions, protection de mémoire, etc... Il est trois fois plus rapide que les précédents. Il est probable que le terminal **M15**, dont nous avons un document, utilise cette machine.

Avec la **D23** de 1973, Datsabaab adopte les solutions les plus récentes. La machine utilise une mémoire MOS de 768 KB entrelacée, organisée en mots de 72 bits avec temps d'accès de 400 ns, elle est microprogrammée sur une WCS de même format, cycle de 200 ns, qui permet de découper le répertoire en lots : virgule flottante 2320, manipulation de chaînes et arithmétique décimale 2321.

La nouvelle machine profite de nouveaux disques, cette fois non compatibles IBM : le 2188 est en packs de 85 MB, 4040 bpi, 411 cylindres de 12 pistes, 3600 t/min, accès 10 à 55 ms, débit 800 KB/s. Ces disques sont accompagnés d'un nouveau contrôleur, deux canaux, contrôle cyclique par secteur, recherche autonome par disque. Il y a également un nouveau dérouleur, le 2131.3, mais lui est compatible 9 pistes, 800 / 1600 bpi, 75 ips = 120 Kcps.

Le logiciel reprend tous les services du D22 mais il exige un nouvel OS 23.

En 1974, Datsabaab souligne sa compétence de constructeur en se proposant pour la construction d'un calculateur de bord pour un satellite de l'ESRO, à lancer en 1977. La machine, qui dispose de 64 Kmots de 16 ou 32 bits et fait l'addition en 2,8 µs, ne pèse que 3,2 Kg et ne consomme que 5 W, ce qui est excellent. Elle peut même être biprocesseur. Il ne semble pas que ce candidat ait été choisi.

En 1977, l'informatique distribuée se répand dans les pays scandinaves et Datsabaab soutient cette évolution en annonçant le **D16 / 30**, un système édifié autour du calculateur américain LSI 2 / 60 qui dispose d'un répertoire très riche. Choix entre deux mémoires 16 bits à cycle de 550 ou 1200 ns, capacité 32 à 128 KB, jusqu'à 4 disques de 10 ou 30 MB, et jusqu'à 32 périphériques à choisir dans un éventail très riche : écrans 960 ou 2000 caractères, ME 45 ou 165, IP 200 ou 600, LR, PR, LC, disquettes, bandes magnétiques, mais aussi variété de protocoles : 2780, 3780, 3270 chez IBM, DCT 9000 d'Univac.

La programmation utilise DIL, Datsabaab Interprétive Language.

Le prix de base du nouveau sous-système est 40000 \$.

Nous disposons encore de deux documents décrivant, en 1979, le **D16/10** qui semble n'être rien d'autre que le précédent avec un peu moins de mémoire et peut-être un répertoire allégé, et qui dessert des terminaux d'agences **D650** ou **D660** à écrans. et /ou imprimantes.

Un document beaucoup plus important, malheureusement non daté, suggère que Datsabaab pousse dans cette direction et soutient la création de véritables réseaux de D16 de toutes tailles. Comme une telle évolution peut faire peur et que les gros D16 ne conviennent pas aux PME, Datsabaab annonce en 1978 un **D15** construit autour d'un mini plus modeste (et non identifié) qui joue le même rôle à une plus petite échelle. Voir un document illustré.

En parallèle, puisque daté de 1975, le système **D12** est beaucoup plus modestement constitué de facturières et de machines comptables incluant éventuellement une petite mémoire à disque de table. Nous disposons de 2 documents.

Il est peu satisfaisant que nous ayons perdu le contact avec Datasab après 1979, mais il faut signaler que cette compagnie ne figure pas dans le panorama 1985 de Datamation, ce qui veut dire que si elle existe encore, son chiffre d'affaires annuel est alors inférieur à 200 M\$.

### **Standard Radio & Telephon A / B**

Cette société de droit suédois est la filiale locale du groupe ITT, en relation avec les autres filiales européennes qui ont toutes manifesté un intérêt pour l'informatique naissante. Après avoir constaté que sa voisine Lorenz était en mesure de réaliser le système de réservation de la compagnie SAS, la SRT décide de s'impliquer et prend en charge le système de défense aérienne de la Suède, une sorte de mini SAGE qui s'appuie sur deux constatations:

- l'informatisation de la défense aérienne est possible, car les américains l'ont fait (SAGE 1957)

- la technique essentielle est celle des transmissions de données numériques, et le groupe ITT et ses filiales maîtrisent cette technique.

Ainsi donc, SRT construit le calculateur **Censor** (voir fiche) et en place trois exemplaires au coeur du système **STRIL 60** de défense aérienne, que la firme tentera de commercialiser (sans succès) sous le nom de **Digitrac**.

Après cette réussite, SRT va donc, sans urgence, essayer de transformer le Censor militaire en un produit polyvalent plus facile à commercialiser, et par exemple dans les applications téléphoniques.

Le **Censor 908** est un calculateur 8 bits, utilisant des instructions à deux adresses, et capable d'atteindre 64 Kmots en utilisant l'indirection. Les entrées/sorties se font à travers un sélecteur à 256 voies, et disposent de 32 interruptions.

Le **Censor 932** utilise une arithmétique parallèle sur 32 + 4P bits, un adressage direct jusqu'à 128 Kmots, un adressage indirect jusqu'à 2 Mmots. Il dispose de 80 opérations, plus une option de virgule flottante. Pour les entrées/sorties, sélecteur 256 voies comme ci-dessus, 4 niveaux de 16 interruptions, protection de mémoire.

La mémoire est traitée comme une unité autonome, capacité 16 à 128 KB par modules de 16 KB, organisée en mots de 32 + 4P bits avec cycle de 1  $\mu$ s. Elle est accessible par un système de portes simultanées, jusqu'à 256 voies qui peuvent être des unités centrales ou des canaux.

Autour de ces processeurs, SRT dispose des périphériques spécialisés:

**ITT 411** est un système d'interphone dont l'appel se fait sur un clavier 10 touches + 8 de fonction. Ce clavier est l'organe d'accès du calculateur qui apparaît à l'interphone comme un simple abonné, et qui peut accepter ou refuser l'appel en fonction d'un code, et exprimer sa réponse à travers le haut-parleur de l'interphone. Clairement, le Censor 908 ne peut être amorti sur le seul interphone, mais l'idée est que ce calculateur soit celui d'un PABX servant le même immeuble.

**Alfaskop** est un écran de table, pouvant présenter jusqu'à 16 lignes de 80 caractères, plus une ligne pour les touches de fonction. Il contient un tampon pour la liaison par ligne téléphonique.

Un multiplexeur permet de connecter jusqu'à 16 Alfaskop, dont 4 peuvent être remplacés par des imprimantes. Un Censor 908 peut supporter jusqu'à 32 de ces multiplexeurs.

Il faut noter que cet Alfaskop est annoncé en 1968, et qu'un Alfaskop 41, également un écran, fait l'objet d'une publicité DataSaab quelques années plus tard (voir boîte 187). Nous ne sommes pas en mesure de dire s'il s'agit ou non d'un produit commun, ou licencié.

**Grafoskop** est annoncé, toujours en 1968, comme un écran graphique de table, rectangulaire 35 cm, destiné à fonctionner comme terminal d'un Censor 908, à travers un multiplexeur acceptant jusqu'à 16 écrans. Le Grafoskop est associé à un clavier et à un light pen.

Cependant, l'efficacité d'un écran graphique est celle de son logiciel, et nous ne disposons d'aucune information sur les logiciels suédois.

## Autres réalisations

On citera pour commencer la **Wegematic 1000**, une machine à tubes et tambour magnétique construite à 21 exemplaires par des procédés exclusivement manuels. 19 de ces exemplaires furent distribués gratuitement aux universités et instituts techniques du pays, ce qui signifie qu'il s'agissait d'une décision gouvernementale très dirigiste, dont il n'y a pas d'exemple contemporain ailleurs dans le monde. Deux exemplaires furent vendus, dont un à la firme belge Gevaert.

En 1955, un suédois nommé Axel Wennergren est parti aux USA avec les plans de cette machine et a créé sur ce modèle la machine ALWAC IIIIE, dont le succès a été suffisant pour qu'il y ait une seconde génération, mais il ne s'agit pas là d'un problème suédois.

On peut évoquer ensuite le système de réservation de la compagnie aérienne SAS mais, malgré l'importance de la participation financière de la Suède, il s'agit d'une opération internationale, et nous l'avons déjà évoquée à l'occasion de l'informatique danoise. Voir rubrique 729.

Par contre, l'équipement de la Skandinaviska Banken de Göteborg est une opération suédoise, qui devient internationale par la variété de ses choix matériels (1968 ?) : deux IBM 360 / 65 comme système central, 13 concentrateurs régionaux construits par Ericsson, 700 terminaux constitués chacun par un minicalculetur Nixdorf 820 / 05 avec 4 à 8 KB de mémoire, une machine de guichet comportant imprimante de journal et de carnet, clavier, une ou deux cassettes, et en option LR / PR et parfois LC / PC.

Au total, un système de 6 M£ couvrant tout le pays.

Une autre opération visant les banques est entreprise à cette époque par la *Swedish Computer A/B*, une société créée à cet effet par la *Swedish Match Co* cherchant à se diversifier. La **PTS 6000** est une machine série, travaillant sur des tranches de 4 bits qui peuvent représenter des chiffres et constituer des nombres de longueur variable ; compte tenu de cette représentation de l'information, les calculs se font directement sur la mémoire, avec un répertoire de seulement 16 opérations, dont Halt et Wait.

Le seul résultat de cette tentative semble être l'achat de la compagnie par *Svenska AB Philips*, la filiale suédoise du groupe hollandais, qui la rebaptise *Philips Terminal Systems* et lui confie, tout naturellement, la construction de terminaux bancaires.

Un peu plus tard, on trouve la *Philips Elektronik Industrier A/B*, nouveau nom de la compagnie, impliquée fortement dans l'équipement de patrouilleurs pour la Marine. Toujours préoccupée par son indépendance et même avec la menace soviétique, la Suède a en effet décidé de créer une marine capable de défendre ses côtes, dont les bâtiments sont abrités des bombes atomiques dans des tunnels creusés dans les falaises.

La conduite de tir **9LV200 Mk2** doit coordonner un radar de veille Mk 2 bande I, un radar de poursuite monopulse bande J, un sonar SIMRAD SQ3D / SF travaillant à 24 KHz, un canon Bofors de 57mm L 70, et des missiles Penguin d'origine norvégienne. Nous disposons d'un article largement illustré tiré de la Revue Internationale de Défense, en boîte 187.

Cette même année, la société *Ellemtel Development Co* met sur le marché **AXE**, un standard téléphonique numérique important, groupant un ensemble de commande APZ 210 et un ensemble de commutation APT 210. C'est un gros ensemble, contenant de l'ordre de 100000 circuits intégrés, deux calculateurs, plusieurs mémoires, etc...

L'article : OSSFELDT (B.E.), JONSSON (I.) - Recovery and Diagnostics in the central control of the AXE switching system, in TIEEE, C29, N°6, 6 / 80, pp 482 sq

en analyse la fiabilité, qui s'avère correspondre à un MTBF de 200 heures. Voir microfilm.

En 1980, on peut signaler la tentative de PF Elektronika Fredricson de commercialiser un calculateur personnel à base de Z80A à 4 MHz. Ce **Spectra Z** était une machine assez étoffée, avec 64 ou 128 KB de mémoire, 16 KB de PROM pour le système, un coprocesseur 9511, et une interface d'imprimante.

En option, jusqu'à 4 lecteurs de disquettes Shugart de 8", ou trois lecteurs de 5" avec un disque dur de 8 MB. Le logiciel était CP / M ou MP / M, avec Basic, Pascal, un sous-ensemble de PL / I, et l'assembleur.

Succès d'estime : là comme ailleurs, il est trop tôt.

En 1982, la société *Ericsson*, connue pour ses équipements téléphoniques, et d'ailleurs rencontrée plus haut pour la construction du réseau bancaire, décide de mettre sur le marché une famille de calculateurs 16 bits plus polyvalents, centrés sur un processeur **E250** :

E252 est dotée de 128 KB de mémoire MOS, cycle 750 ns, accès 500 ns. La machine est microprogrammée avec 16 Kmots de mémoire de commande. Elle est proposée avec un contrôleur de communication pour 16 terminaux, 2 imprimantes, 2 bandes, jusqu'à 4 disques de 14" représentant 880 MB, ou des disques fixes 8" de 38 ou 70 MB, ou seulement des cartouches fixe + amovible pour 24 MB.

E253 possède 256 ou 512 KB de mémoire MOS à cycle de 600 ns, accès 350 ns, avec 52 terminaux et un maximum de 8 disques sur deux contrôleurs.

E254 utilise la même mémoire poussée à 1024 KB, et dispose de 24 Kmots de mémoire de contrôle, pour soutenir un maximum de 64 postes de travail.

E255 peut disposer de 512 à 2048 KB et 32 KB de mémoire de contrôle pour fournir des services plus raffinés, mais le nombre de terminaux et de disques est inchangé.

Autour de ces machines de gestion, on trouve des processeurs de communication dotés de 128 à 640 KB de mémoire, capables de 1 à 12 lignes, 1 à 32 postes de travail, et des disques;

et aussi des terminaux intelligents avec 128 à 256 KB de mémoire, 1 ou 2 écrans et quelques disques ;

ou encore des terminaux légers avec 69 KB de mémoire et un écran monochrome ou couleur.

Ces machines sont destinées aux entreprises, et précèdent l'offensive des PC. Quand celui-ci sortira, Ericsson essaiera, comme bien d'autres constructeurs, de répondre à la demande, et on trouvera en boîte 187 une publicité pour un PC compatible qui peut en outre s'insérer dans un environnement Alfaskop d'informatique distribuée.

On n'est pas en mesure de chiffrer le succès de cette offensive importante, mais on sait qu'à la fin de notre période vers 2000, Ericsson est au bord du dépôt F104t de bilan et cherche un acheteur.

## 763 - Informatique suisse

C'est en 1947 que l'Institut de Mathématiques appliquées de l' *ETH, Eidgenössische Technische Hochschule* à Zurich, entame les travaux de construction de l' **ERMETH**, cad la calculatrice électronique de l'ETH. L'équipe est dirigée par Rutishauser, qui sera mieux connu plus tard pour sa participation au comité Algol. La machine est à tubes, décimale, série/parallèle pour ne pas coûter trop cher et parce que sa mémoire, un tambour magnétique de 10000 mots, est série par nature.

Faute d'argent, l'opération prend dix ans, et la machine n'entre en service qu'en avril 1956. S'agissant d'un institut fédéral, on pouvait se demander si cette entrée dans l'informatique résultait d'une décision gouvernementale visionnaire ; ces délais d'exécution et leur motif nous assurent qu'il n'en est rien.

Après ce coup d'envoi, l'ETH n'abandonnera ni l'informatique ni la recherche, et on trouvera en boîte 188 un article tiré des TIRE, décrivant une recherche de 1980 portant sur la réalisation d'une architecture MIMD, baptisée **EMPRESS**, au moyen de processeurs économiques achetés chez DEC.

Il existe aussi un microfilm décrivant un appareil de traitement du signal, réalisé en 1976 :

ZEMAN (J.), NAGLE (H.T.) - A high speed microprogrammed digital signal processor employing distributed arithmetic, in TIEEE, C28, 1979

Le processeur réalisé combine 4 tranches d'AMD 2901 avec un séquenceur MM67110 de Monolithic Memories et une mémoire de commande de 256 \* 56 bits. Il est subordonné à un hôte PDP 11/55 qui assume les services de microcompilation. Voir microfilm.

La suite de l'histoire de l'informatique en Suisse comporte, pour l'essentiel, le recours à des fournisseurs étrangers : la Suisse aurait peut-être pu, avec un gros effort de volonté industrielle, créer une industrie informatique de portée européenne, mais il faut comprendre qu'il eut fallu pour cela une prescience technique qui n'a existé nulle part. Les quelques industriels suisses intéressés par le sujet se sont donc limités à une politique de niche. On peut citer Contraves, Hermes, Ruf et Wild.

On peut bien sûr citer aussi les spécialistes américains. Ainsi, la célèbre *Union des Banques Suisses* s'est équipée, en 1973, d'un réseau organisé autour de trois IBM S/370-158 achetées d'abord pour le batch. 3 paires de Burroughs 3700, chacune avec 150 KB de mémoire, trois bandes, deux disques à têtes fixes totalisant 10 MB, collectent l'information de 1000 terminaux TU700 et TD800 à travers 200 concentrateurs DCT 40.

*Contraves* est une firme de mécanique fine datant d'avant-guerre, qui a inventé, immédiatement après celle-ci, une technologie de calcul analogique travaillant à 400 Hz, avec l'objectif de réaliser des calculateurs d'artillerie. En fait Contraves a surtout vendu son brevet, qui a trouvé en France son meilleur client : les conduites de tir des canons antiaériens de 57 et de 100 de tous les bâtiments de 1945 à 1975, celle des mortiers ASM d'étrave des corvettes, utilisent cette technologie.

Le calcul numérique a rendu obsolète cette technique extrêmement coûteuse, qui inclut de la mécanique de précision, et on retrouve Contraves en 1978 comme maître d'oeuvre du **Field Guard**, un système de commande d'artillerie qui associe un radar capable de suivre un obus et un ordinateur qui en tire des conclusions pour les tirs suivants. Ce matériel a été réalisé pour l'armée allemande. Voir chemise suisse dans la boîte 188.

*RUF* est essentiellement un fabricant de machines comptables mécaniques, qui a expérimenté à partir des années 60 la possibilité d'améliorer le service en ajoutant un peu d'électronique. Dans les débuts, faute d'expérience, cette électronique est achetée à Nixdorf. On peut citer :

- la série 80, qui utilise en 1965 les électroniques 880 / 65 de Nixdorf, en y rajoutant un disque et un logiciel propre.

- la série 70 de 1975 utilise les unités centrales Nixdorf 8830, mais la machine reste une facturière.

- la Ruf 500 cependant, proposée à la même date, utilise une machine propre, avec un programme préparé sur ROM ou PROM à la demande du client sur des plaques de 100 microinstructions. Le processeur associé traite des chiffres de 4 bits et dispose des 4 opérations, ainsi que de 63 registres qui jouent le rôle de mémoire de travail.

La machine comptable reste le centre des opérations, avec des variantes comme la 506 à double introducteur ou la 508 à comptes magnétiques portant 256 caractères par compte.

- le Praetor 4000, non daté, est toujours une machine comptable, physiquement une ME à boule 16 cps, mais fortement soutenue par un programme de 2048 macroinstructions fixes interprétées par microinstructions. 16 registres en ferrite, dont 11 sont équipés en totalisateurs, constituent une mémoire un peu anachronique. En option, un introducteur électronique Intromat 68, qui donne probablement la date du matériel.

- le Praetor 6000 / 8000 est certainement plus récent, car il dispose de 1016 à 4048 \* 20 bits de microprogrammes, et de nouveaux périphériques, en particulier une variété d'imprimantes sur la machine comptable, et des cassettes à 2 pistes de 120 KB.

Cette machine peut comme la précédente utiliser l'Intromat 68 (Mle 6000), mais la version 8000 utilise un nouvel introducteur Intromat 76 qui date probablement la machine.

- le système 40 apparaît en 1978 et nous est connu par deux documents illustrés. Il utilise une imprimante matricielle à 160 cps avec des microprocesseurs 8080 pour la commande et le double entraînement de papier. Deux introducteurs continus sont disponibles, et la machine est proposée en quatre configurations:

- 41 facturière )
  - 43 machine à comptes papier ) 24 KB de mémoire de programme et données
  - 45 machine à comptes magnétiques, avec microprocesseur d'exploitation ) 32 KB de programmes
  - 47 machine à disquettes, 1 à 3 lecteurs ) et données, soit 17 KB
- d'interpréteur, 12 KB de programme, 3 KB de données, avec un cycle de 850 ns.

Le prix varie de 30000 FFHT pour la 41 à 65000 FFHT pour la 47.

- le système 90 également introduit en 1978 est un véritable système de gestion, construit autour d'un miniordinateur non identifié, avec 16 à 64 KB de mémoire, un écran de 1920 caractères, une imprimante à mosaïque 200 cps, jusqu'à trois disquettes, une IP 300, une bande magnétique, et jusqu'à 15 terminaux eux-mêmes équipés d'un microprocesseur et de 6, 12 ou 24 MB de mémoire.

- le système 3000 apparaît vers 1985, et reprend les conceptions du système 90 avec des processeurs beaucoup plus puissants, 8086 ou 8088. Il s'agit maintenant d'un ordinateur multiposte, avec un système d'exploitation MP/M et un langage Business Basic. Chaque poste a son propre microprocesseur pour les traitements locaux, le microprocesseur central s'occupant de la gestion de fichiers et des communications.

*Hermes Paillard* est d'abord un fabricant de machines à écrire, qu'il exporte d'ailleurs en OEM : c'est ainsi que j'ai acheté en Afrique du Sud, en 1949, une machine portable Hermès rebaptisée Empire Aristocrat. Par la suite, Hermès semble avoir élargi son domaine en construisant, dans un format comparable, des machines à calculer programmables.

La **HDS 210** de 1973 est donc une calculatrice capable de 2000, 4000,....10000 pas de programmes ; classiquement, le mot de 80 bits peut contenir soit 10 pas de programme, soit un nombre de 15 chiffres + signe + virgule. Hors cette mémoire partageable, la machine contient 4 registres de travail A, B, T, R, et six mémoires M1 à M6.

La programmation se fait au clavier, avec de nombreuses touches spécialisées telles que multiplieur constant, diviseur constant, addition répétée, puissances entières, pourcent, pourmille, racine, log décimal ou népérien, exponentielle, exposant décimal, comptage, saut absolu ou différentiel. Les registres adressables peuvent accepter load, add, sub, read, clear, exchange, en direct ou en indirect. La précision peut être flottante, ou fixée entre 0 et 9 chiffres. Un écran permet de montrer les résultats, et une cassette de charger programmes et données à 40 cps.

La machine accepte jusqu'à 10 périphériques, dont normalement une machine comptable 18 cps, capable de deux chargements frontaux et de comptes magnétiques.

La **HDS 200** de 1976 est présentée comme un ordinateur de gestion, mais il s'agit simplement d'une machine comptable assortie d'un véritable programme enregistré : 2 à 16 KB de PROM pour le programme, 256 à 2048 bytes de données, 2 claviers, et les comptes magnétiques à 200 caractères/compte.

*Hassler* est en 1969 un fabricant de modules électroniques qui a choisi la formule "Meccano". Il y a un module de mémoire, 4 K \* 8 bits, cycle 6,5 µs ; un bloc de calcul dont les opérations durent un cycle (RR) ou deux cycles (RM); des canaux; des alimentations; un panneau de commande. Il y a en outre un assembleur ADAT et un langage symbolique DAMOS.

Avec ces "briques", baptisées **Dataflex**, Hassler a construit à la demande de nombreuses applications :

- Elswitch, commutation de messages
- Elstor, tampon pour les liaisons telex
- Contra, un système de gestion de trafic capable de 448 détecteurs et 992 feux.
- Arega, contrôle d'alarmes
- Veram, contrôle de câblage

Bref, une solution efficace pour son époque, mais non compétitive à terme.

HELVET 1 est la version suisse du NOVA de Data General, construite sous license en 1977 en vue d'applications industrielles par la *Société d'Electronique Nucléaire*. Le châssis de 8 slots est accessible par l'avant et permet de placer 64 Kmots de mémoire à cycle de 1  $\mu$ s, le CPU câblé, et des contrôleurs pour n'importe quel périphérique du Nova original ou de sa copie D116 (débit global 800 KB/s). Cela comprend des cartouches de 2,5 à 10 MB, des dérouleurs de bandes 7 et 9 pistes à 75 ips, une machine à écrire matricielle de DRI à 150 cps, un Terminet 300, une IP 300 de Dataproducts, un LR 300 de Digitronics, un écran de 1920 caractères fait par Infoton, des lignes de 50 à 9600 bauds.  
Prix de base 15150 FS avec 16 Kmots, plus 4000 FS par module de 16 Kmots.

*MFE* est une petite société créée pour la production d'un lecteur de cassettes selon norme Philips, 215000 caractères, pratiquement une norme internationale utile pour tous les propriétaires de calculateurs personnels en 1978. Le lecteur / enregistreur est proposé avec tous les interfaces 2400 bauds possibles, TTY, RS 232C, Texas Instrument et NCR.  
Outre le modèle complet baptisé MFE 5000, il existe aussi une variante 2500 plus économique.

La société *Wild* est bien connue comme fabricant de théodolites pour les géomètres. Avec le TAS 10, elle réalise en 1986 pour les observateurs d'artillerie de l'armée allemande un goniomètre électronique à microprocesseur intégré, associé à un télémètre à laser NdYAG (1,06 à 1,54  $\mu$ , portée 19800 m) et à un gyroscope de gisement. L'ensemble monté sur trépied pèse 16,5 Kg et inclut une interface de transmission de données par radio.

En 1974, le professeur J. D. Nicoud, de l'*Ecole Polytechnique fédérale de Lausanne*, en stage chez DEC aux USA, réalise en 4 mois, en s'inspirant d'un ordinateur portable PCS, un petit portable baptisé **Smaky 1.2.3** pour S**M**art K**E**Yboard. de retour à Lausanne, il réalise en 1976 un Smaky 4 un peu plus élaboré qui servira de prototype au Scrib, un portable de saisie et traitement de texte qui a été très utilisé par les journalistes du monde entier.

Ce succès implique une industrialisation : la société *Epsitec System* naît en 1979 à Belmont près de Lausanne. Mais, fondée par le groupe des professeurs et élèves enthousiastes de l'Ecole, elle garde le caractère d'un club dont les membres contribuent, en liaison avec le laboratoire de microinformatique de l'Ecole, à l'écriture du logiciel, qui plus est francophone.

Parmi ces travaux, on peut citer Newton, un langage expérimental créé à l'Ecole pour introduire des concepts utiles en temps réel comme les coroutines. Voir SIGPlan Notices, 8 / 81, pp 31/40.

Le matériel suivant, **Smaky 8** de 1980, est vendu dans toute la région de Mousan et Neufchâtel ; le **Smaky 100** de 1984 déborde sur toute la Suisse romande, et la production d'Epsitec atteint quelque 2000 machines en 10 ans.

En 1988, la société annonce le **Smaky 324**, un 32 bits à base de 68020 avec coprocesseur 68881, mémoire de 4 MB, IOP constitué par un 6805, bootstrap de 64 KB. La nouvelle carte mère est physiquement interchangeable avec celle du Smaky 100 et permet à leur propriétaire de multiplier par 5 à 7 la performance de leur outil, tout en y ajoutant de nouvelles possibilités : trois interfaces RS 232C, une interface Centronics avec une imprimante laser, une gestion des interruptions, un connecteur de bus externe, un port SCSI, des options pour les interfaces VME et MIDI et pour un écran graphique 14" monochrome.  
La première production, 100 machines, est destinée au seul marché suisse au prix de base de 14900 FS.

## 764 - Informatique en Irlande

L'Irlande est un pays trop pauvre pour se lancer dans l'informatique au lendemain de la guerre, ni même pour penser à de tels développements techniques. Cependant, forte de soutiens américains, et parce que c'est une région abondante en main d'oeuvre formée et pas trop exigeante, l'Irlande a fini par attirer les investissements : usines de production pour des entreprises américaines visant l'Europe, par exemple.

Il n'y a pas grand chose à signaler en matière d'informatique jusqu'en 2000, date de l'apparition de la start up *Massana*, probablement un simple bureau d'études d'ailleurs.

Le premier projet de Massana est un coeur synthétisable de coprocesseur DSP, conçu pour s'associer facilement à un CPU quelconque plus universel. Le **Filu 200** est d'architecture VLIW, car il contient deux MAC, une UAL et un additionneur travaillant simultanément. Il peut être concrétisé dans 0,7 mm<sup>2</sup> dans la technologie CMOS 0,25 µ courante à l'époque de sa notification.

Voir article d'Electronique dans la boîte 188. La publication d'un tel article n'est aucunement la garantie d'un débouché industriel, bien entendu.

## 765 - Informatique Taïwanaise

L'ex Chine nationaliste de Taïwan, devenue une démocratie baptisée République de Chine dans les années 90, affiche une magnifique santé économique sous la protection politique des Etats-Unis qui lui donne pratiquement l'assurance que les chinois continentaux ne l'attaqueront pas.

Cette économie s'appuie principalement sur l'électronique et l'informatique, disciplines dans lesquelles ses entreprises ont pris progressivement une place majeure, en particulier avec les développements des PC. La plupart des PC du monde entier, où qu'ils soient assemblés, utilisent des composants d'origine taïwanaise, tels que cartes mères ou moniteurs, et des distributeurs taïwanais existent en Europe et aux USA.

Les chiffres globaux sont, dans cette perspective, beaucoup plus intéressants que l'examen de sociétés particulières, d'autant plus que les taïwanais n'ont pas le culte de l'entreprise que l'on connaît aux USA. On retiendra que la production informatique 1999 de Taïwan s'élève à 40 B\$, très largement diffusée en OEM : 8 B\$ chez Compaq, 5 chez Hewlett-Packard, par exemple.

Les relevés plus détaillés montrent que Taïwan détient en fin 2000 :

- 90% de la production mondiale de scanners
- 80% des cartes mères (17,5 millions de pièces en 1995)
- 78% des claviers
- plus de 50% de la production mondiale d'alimentations, de boîtiers pour PC, de concentrateurs, de moniteurs, de souris et de modems.

Qui plus est, si 53% de cette production se fait à Taïwan même, les taïwanais en soustraient 33% à la Chine continentale, 5% à la Thaïlande et 4% à la Malaisie. Les noms de ces sociétés sont généralement ignorés du public, puisqu'elles laissent la commercialisation à leurs clients. On peut cependant nommer *Arima*, *Alpha-top*, *Compal*, *FIC*, *Inventec*, *Quanta*, mais la liste ne cesse d'évoluer.

La politique des sociétés taïwanaises a d'abord été assez proche de celle des japonais : créer une forte implantation nationale, puis une filiale américaine, chargée de déceler les besoins et les envies des américains, et d'orienter la définition et la production de produits vendables.

Exemple : dans les années 80, *Multitech Industrial Corp* de Taipei crée une filiale californienne à Sunnyvale pour commercialiser, entre autres, le **Microprofessor MPF 1** sur une carte. Voir fiche.

Le but étant d'instaurer la confiance, les sociétés taïwanaises se prêtent aux alliances. On trouvera ainsi une fiche sur **GETAC**, un portable militarisé réalisé en 1992 par la société *MITAC*, qui pourrait bien d'ailleurs être la même que ci-dessus, en liaison avec GE Aerospace. GE fournit l'idée de base et les relations aux USA et ailleurs qui faciliteront la vente du produit, fabriqué à un prix compétitif à Taïwan.

Vus de France, on peut mentionner *Kenitec* et *Arche*, qui sont des distributeurs de PC produits à Taïwan par une société non précisée, mais ils n'ont survécu que quelques années, sans que cela ait la moindre influence sur la production de l'île : il y a d'autres distributeurs et d'autres modes de commercialisation..

Dans les années 90, les taïwanais ont réussi à imposer leurs produits de base, à la suite d'accords de masse tels que ceux passés par IBM pour lancer son PC. Simultanément, les pays occidentaux ont de moins en moins envie de travailler et sous-traitent non seulement la fabrication, mais aussi une partie de la création, à travers Internet. C'est à ce moment que les taïwanais se manifestent.

ACER est une de ces entreprises efficaces et modestes, qui a décidé de venir sur le devant de la scène en 1990 en rachetant l'américain Altos, ce qui lui a coûté un déficit épisodique de 22,7 M\$ sur un CA 91 de 985 M\$. Toutefois, 1992 confirme que l'entreprise est en progression, avec un CA de 1200 M\$ et un bénéfice de 3 M\$.

A cette date, ACER possède à Eindhoven, Pays-Bas, une usine qui produit 100000 PC par an et vend 30% de son CA en OEM aux firmes plus connues : Apple, Compaq, Unisys, Olivetti, Fujitsu, Toshiba,....

En mars 1993, ACER fait alliance avec Texas Instrument pour la construction d'une usine de production de mémoires, capable de 1,5 M DRAM 4 Mbits par mois et d'ailleurs en cours de passage au 16 Mbits. Une autre alliance avec MBB Daimler Benz se propose de développer la microélectronique qui tient désormais une place dans toutes les voitures.

ACER aborde même le domaine des serveurs, annonçant en 1991 le **Frame 3000 MP 50**, une machine contenant jusqu'à 4 \* 486 à 50 MHz, et coûtant de l'ordre de 100000 FFHT.

Autour d'un Framebus système 64 bits on trouve 6 ports mémoire permettant d'installer 8 à 256 MB, et les quatre processeurs dotés chacun d'un cache de 256 ou 512 KB. Les quatre CPU gèrent le bus aval EISA 32 bits qui offre 8 slots 32 bits et 2 slots 16 bits.

Le serveur supporte jusqu'à 32 disques représentant un total de 6,4 GB, organisés en RAID 5 autocorrecteur. Autres périphériques : video 1024 \* 768, 2 ports série, un port parallèle et une souris, ainsi que la gestion de sécurité à travers un onduleur incorporé qui tient la machine en marche pendant 15 minutes après la coupure, et assure les sauvegardes.

Le logiciel est au choix OS/2, MS/DOS, ou le SCO Unix en version MPX ; un réseau est prvu, Netware ou LAN Manager. Le système est capable de fournir 160 Mips au profit de 32 à 128 usagers.

Vu des USA, le plus intéressant des taïwanais est peut-être *Via Technologies*, une société américaine qui a progressivement changé de propriétaire au rythme de son développement. Elle est encore américaine lorsqu'en 1996 elle annonce son chipset **Apollo Master** en 4 puces, utilisable avec Pentium, K5 et M1 : prix bas 25 \$ en lot de 10000, antémémoire maximale de 2 MB acceptant un mode rafale particulièrement efficace (3.1.1.1), adressage mémoire 512 MB adapté aux EDO, bus IDE maître.

Elle est à majorité taïwanaise lorsqu'elle achète *Centaur* et son patron Glen Henry pour disposer de son compatible C5, destiné aux PC d'entrée de gamme.

Rappelons à cette occasion les caractéristiques de ce produit :

**C5C**, 867 MHz max, pipeline à 12 niveaux, commercialisé au moment du rachat.

**C5X**, nouveau produit taïwanais, 1,2 GHz, pipeline à 17 niveaux desservant deux FXU, deux MMX, avec en amont deux caches L1 de 64 KB et un cache L2 de 64 KB organisé en 16 lignes. Bus mémoire à 100 ou 130 MHz. Socle 370 identique à celui des Celeron. Technique CMOS 0,13  $\mu$ , 55 mm<sup>2</sup>.

## 766 - Informatique des pays de l'Est

Quand le rideau de fer est tombé sur l'Europe de l'Est, l'informatique n'était pas la préoccupation majeure du colonisateur, qui vérifiait d'abord - et au besoin imposait par la force - la rigueur idéologique. La science ne paraissait pas, au moins au départ, relever de cette discipline, et chacun des pays asservis entreprit donc sa propre informatisation : rien pour certains comme la Bulgarie, la créativité pour les plus avancés comme la Tchécoslovaquie, le recours aux sources pour la Pologne. Le manque d'argent, particulièrement flagrant dans tous ces pays pillés par le colonisateur, limitait la demande : le nombre des ordinateurs installés resta partout très faible.

En URSS même, la doctrine officielle était que les ordinateurs concernaient les seuls mathématiciens, et que l'informatique de gestion était une invention capitaliste destinée à faciliter le vol des richesses du peuple par les patrons exploités. Il n'était donc pas question de l'envisager. D'ailleurs, le rideau de fer n'était pas un vain mot, et les informaticiens n'avaient pas accès aux revues scientifiques occidentales, ignorant complètement l'évolution de la discipline. La mort de Staline en 1953 mit fin en principe à ces interdictions excessives, mais il fallut près de dix ans pour que les vérités essentielles arrivent jusqu'aux chercheurs, en particulier le rapport Von Neuman et son incidence sur l'architecture des machines ; une cinquantaine de machines occidentales, plutôt en bas de gamme, réussirent aussi à entrer en URSS.

La lente prise de conscience des problèmes techniques et économiques par l'administration fit que les décisions ne purent être prises qu'en 1967. J'étais à Moscou à cette époque, et plusieurs des écoles visitées nous signalèrent qu'une réorganisation était en cours.

Le plan Ryad est né cette année-là, avec les idées suivantes :

a) l'informatique est une technique importante pour le développement d'un pays : il appartient donc au gouvernement d'en organiser la mise en place.

b) contrairement aux idées antérieures, l'informatique de gestion est très utile car elle permet les statistiques nationales.

c) l'industrie informatique est une industrie lourde, nécessitant de gros investissements. La démarche concurrentielle des occidentaux est antiéconomique et il faut au contraire organiser une production unique à travers l'ensemble du Comecon, par une répartition réfléchie des tâches élémentaires.

Constatant que seule l'architecture IBM 360 couvre toutes les applications et se prête à la répartition nécessaire, le plan adopte l'architecture IBM (qui est dans le domaine public).

La mise en place de la production à travers les six pays du Comecon s'avéra beaucoup plus longue et difficile que prévu, et ce n'est qu'en 1973 qu'on voit apparaître, à l'exposition permanente des arts et techniques de Moscou, les résultats du plan. On évoquera dans les rubriques particulières les participations nationales, parfois réussies, parfois décevantes, qui sont dévoilées à cette occasion. Les membres du Comecon sont, dès lors, invités à se fournir en fonction de leurs besoins chez l'industriel fabricant, à un prix conventionnel qui est fixé par le Plan sans relation avec le prix de revient ; les bilans disponibles montrent que les pays de l'Est n'ont en général pas les moyens de se payer les machines qu'ils construisent. Les quantités produites sont faibles, sans commune mesure avec la production IBM des machines équivalentes.

En 1973, il y a déjà trois ans que les 370 ont été annoncées, et c'est cette année-là qu'est rendue publique la mémoire virtuelle. Le comité Ryad décide donc immédiatement de lancer l'étude de la seconde génération, qui verra effectivement le jour à partir de 1978, sans plus de succès économique que la première et pour le même motif : les clients visés n'ont pas les moyens d'acheter.

Le comité décide alors qu'il faut adopter une seconde architecture, plus économique. Ce sera l'architecture PDP 11 de DEC, mais on renonce, vue la taille modeste de ces machines, à imposer le recours à la lourde mécanique du plan. Ce sera donc l'anarchie, fortement tempérée par l'impossibilité de se procurer les circuits intégrés en quantités suffisantes.

Avec l'apparition des microprocesseurs et le début de la glasnost, il n'y a plus de plan. De toutes façons les prix occidentaux sont plus bas que les prix Comecon, et les obstacles aux achats à l'Ouest sont de moins en moins difficiles à franchir : les PC sont disponibles partout. Les pays de l'Est obtiennent par espionnage les masques de fabrication de certains circuits intégrés occidentaux et mettent en place, avec un retard important que les pénuries de toutes sortes aggravent sans cesse, la production de microprocesseurs et de mémoires.

La fin de l'URSS révélera au monde que tous les pays de l'Est sont en faillite et que leurs industries, polluantes et méthodologiquement arriérées, sont entièrement à reconstruire. Heureusement pour eux, l'état de l'informatique mondiale dans les années 90 a bien changé : l'informatique n'est plus du tout une industrie lourde, et elle est devenue bon marché. Les pays de l'Est n'auront pas de vrai problème à se reconverter dans ce domaine, même si c'est pour constater que les seules solutions économiquement acceptables consistent à acheter en Asie.

Dans ce qui suit, nous traiterons d'abord le cas de l'URSS, car elle a fortement imposé sa loi aux pays du Comecon ; ses désordres politiques et économiques sont la cause principale de l'échec total de l'informatique des pays de l'Est.

## 767 - Informatique soviétique

A la fin de la guerre, l'URSS est dans un état de grave délabrement : destructions majeures dans toute la zone des combats, cad près de la moitié de la Russie d'Europe, perte de 20 millions d'habitants, déportation vers l'Asie de populations importantes dont la fidélité avait été jugée douteuse par Staline, et pour finir soumission totale du pays à l'autorité paranoïaque du dictateur, qui définissait les priorités sans aucune analyse sociale ni économique.

L'informatique, née aux USA, était suspecte a priori. L'Académie des Sciences, entièrement soumise, avait cru cependant pouvoir déclarer que la nouvelle discipline était importante pour la recherche, de sorte qu'on ne chercha pas à empêcher les universités de se construire des calculateurs à usage scientifique ; par contre, l'informatique de gestion était rejetée a priori et ne fut pas même examinée.

Il est important de comprendre que la Russie de 45 à 53 est complètement coupée du monde. Les universitaires qui décident de construire un ordinateur ne font que reprendre un vieux rêve d'avant guerre, simplement parce qu'ils savent que c'est désormais possible puisque cela a été fait. Par contre, ils ne savent pas du tout comment ont été réalisées ces machines américaines sur lesquelles ils n'ont aucun détail.

En conséquence, chacun aborde le problème en partant de zéro, et pratiquement tous aboutissent aux conclusions suivantes :

- les instructions et les nombres ayant a priori des tailles indépendantes, les projets prévoient souvent deux mémoires distinctes pour les programmes et les données.

- les applications mathématiques, seules envisagées, suggèrent une architecture d'instruction à 3 adresses.

Soyons justes : malgré Von Neuman qui avait justifié ses recommandations, plusieurs sociétés américaines ont fait les mêmes choix.

Pour cette première génération, nous disposons d'une synthèse élaborée en 1959 à la suite d'une visite d'un groupe américain en URSS, et publiée dans les TIRE, EC, 3 / 60, pp 1985/98. Cet article figure dans la chemise Pays de l'Est et on y fait référence ci-après par TIRE59.

**EV 80** (1950) Il s'agit d'une machine mécanographique, probablement construite dans l'usine IBM depuis longtemps annexée. Elle s'apparente clairement à la 604 et dispose d'un lecteur à trois chemins de cartes, dont on ne voit d'ailleurs pas l'utilité.

**STRELA** (1953) Une des plus anciennes machines conçues en URSS est due à un bureau d'études industriel de Moscou, et elle a immédiatement été produite en série (10 à 15 ?), sans qu'il existe le moindre logiciel associé. Chaque acheteur se débrouille par ses propres moyens, ou par échange avec d'autres clients.

C'est une très grosse machine, avec une mémoire électrostatique de 1024 mots, soutenue seulement par une mémoire auxiliaire de 4 bandes magnétiques spécialement conçues. Le mot de 43 bits peut être interprété au choix en flottant binaire ou en flottant décimal, et les instructions sont à 3 adresses. La fiabilité est tout à fait médiocre, ce que l'on compense en travaillant 24 heures sur 24.

Voir fiche illustrée et TIRE59.

**TSEM 1** (1953) Modeste machine construite à l'université de Moscou, sans aucune volonté commerciale, par une petite équipe travaillant avec des moyens et des objectifs locaux. Son originalité est d'utiliser une mémoire à mercure, et donc une organisation série, économique, avec une logique à tubes (sans diode); il y a aussi un tambour, mais le seul accès est un téléimprimeur. La performance résultante ne dépasse pas 300 op/s.

On peut trouver curieux qu'un article de 1957, écrit à l'usage de la communauté scientifique soviétique, déclare cette machine suffisante pour les besoins de l'université.

**BESM 1** (1953) est la première machine patronnée par l'Académie des Sciences, et réalisée par l'académicien Lebedev dans son *Institut de mécanique de précision et de calcul*. C'est une machine parallèle à mot flottant de 39 bits et architecture 3 adresses, construite autour d'une mémoire électrostatique de 1024 mots, renforcée d'un tambour et de dérouleurs très modestes, puisqu'ils n'ont qu'une seule piste. L'indication d'une première mémoire à mercure, trouvée dans TIRE59, est tout à fait improbable et non confirmée par d'autres sources ; il pourrait s'agir d'une confusion avec TSEM 1.

De toutes façons, la mémoire initiale a été remplacée en 1955 par une mémoire à tores, elle-même limitée à 1024 mots. L'adressage permettrait de la doubler, mais cela n'a jamais été fait, et la BESM 1 est restée unique. Malgré son MTBF estimé à 8 heures seulement, elle était toujours en activité en 1959.

**M2** (1954) relève aussi de l'Académie des sciences, mais dans un institut moins prestigieux qui n'était probablement pas dirigé par un académicien. L'objectif de cette machine à mémoire électrostatique, tambour et tubes, est d'étudier une future automatisation de la distribution d'électricité en URSS. Les quelques détails disponibles ne permettent pas de dire si ce prototype a été, même expérimentalement, relié au réseau.

La M2 a donné naissance à une M3 en 1957, et pourrait avoir influencé les familles Minsk et Vniiem.

**URAL 1** (1955) est construit par l'Institut de recherche scientifique du MinPRIBOR. A priori, ce patronage précieux était favorable à l'avenir de la machine, qui a été construite à 120 exemplaires (y compris ses dérivés ?).

C'est une machine à tambour et tubes, série sur mots virgule fixe de 36 bits, avec une mémoire auxiliaire composée d'une seule bande de 40000 mots, à faible débit. Les performances ne dépassent pas 100 op/s.

**SESM** (1958) est une machine spécialisée, non localisée, dont la finalité est de résoudre des systèmes d'équations linéaires (jusqu'à 120, extensible à 480) par la méthode de Gauss Seidel. Elle travaille à 50 KHz avec une mémoire à tambour magnétique à recirculation pour loger les registres arithmétiques de 34 bits.

Les entrées de nombres utilisent un LR 27, les sorties une additionneuse imprimante.

**LEM 1** (1958) aperçue par les visiteurs américains dans un laboratoire de modélisation électrique de Moscou, cette machine à mémoire et logique magnétique avec mot très court est probablement un simple banc d'essai, bien qu'elle ait été présentée dans un article soviétique de 1959 comme une machine universelle. Il en a existé trois variantes, celle de 1958 est la dernière, LEM 1.24.

**BESM II** (1959) reconduit les particularités de la BESM I avec une étonnante indifférence aux inefficacités : cycle de 10  $\mu$ s bien que la mémoire à tores ait un cycle de 6  $\mu$ s, bandes magnétiques de mémoire à une seule piste limitées à 30000 mots et 400 mots/s. Les problèmes d'approvisionnement sont perceptibles dans la décision de consacrer 2 tores à chaque bit dans la mémoire, tant leur qualité était médiocre. Voir fiche BESM I et TIRE59.

L'Académie a finalement autorisé la production en série de cette machine bien qu'elle soit périmée à la date de cette décision. Il semble bien que sept ou huit exemplaires aient été installés dans des académies provinciales, et c'est sur une machine de ce type que Yershov, de l'académie de Sibérie à Novosibirsk, a fait ses premiers travaux de compilation sur le langage ALPHA.

Voir un article tiré de JACM sur cette question.

**URAL II** (A 1959) est seulement visible à l'état de prototype lors de la visite américaine de 1959. C'est une machine beaucoup plus performante que son aînée, car sa fréquence est portée à 200 KHz, son bloc de calcul parallèle manipule des mots de 40 bits fixes ou flottants, et on lui a ajouté une mémoire à tores de 2048 mots. La performance est ainsi de 5000 op/s. D'autre part, les bandes ont été très améliorées, et il y a de nouveaux périphériques.

**SETUN** (1959) est une réalisation expérimentale de l'Université de Moscou d'une machine en base 3, en pratique une machine en base 4 dont on n'utilise que trois états. Elle ne comprend qu'une toute petite mémoire à tores, appuyée par un tambour, et combine une logique à diodes avec des amplificateurs magnétiques. L'idée est que la STRELA de l'université est beaucoup trop lourde pour être confiée aux étudiants, alors que la SETUN peu fragile et toute simple convient très bien.

**M20** (1960) est une grosse machine scientifique à 3 adresses, avec un mot de 45 bits qui la distingue des BESM. L'architecture due à Lebedev, avec 4 Kmots de tores 6  $\mu$ s, trois tambours de 4096 mots, et 4 bandes jouant le rôle de mémoires auxiliaires adressables par blocs de même taille, est assez semblable à celle des BESM, et sûrement meilleure que la BESM II. Elle a été construite en série, essentiellement pour les militaires, à l'Institut de Mécanique de Précision et d'Informatique de Moscou. La M20 semble avoir été une des premières machines équipées d'un compilateur Algol.

**KIEV** (1960) est une machine à tubes et diodes, construite par l'Académie des Sciences d'Ukraine, pas fondamentalement différente de tout ce que nous venons de voir. Architecture à 3 adresses, petite mémoire à tores, extension par tambours et bandes, la seule originalité est qu'elle serait asynchrone. La Kiev a été produite en série.

**MINSK 11, 12, 14** est une petite machine construite à l'usine Ordjonikidze du MEP, à Minsk en Biélorussie. Mémoire à tores de 1024 mots, pas de tambour, une seule bande mémoire de 65000 mots de 31 bits, le double pour la version 12, une imprimante en plus pour la version 14. La notoriété de cette machine n'a pas du dépasser sa province, car la mission américaine n'en a pas vu à Moscou, et moi non plus.

**MPT 9** (1960) est un calculateur analogique, dont nous possédons une photo. Pas de détail.

**ERA** (1960) est une machine à tubes que l'on ne peut guère confondre avec une autre, car elle utilise des instructions à une adresse tout en poursuivant un objectif de gestion. Elle comprend une mémoire à tores de 4096 mots de 13 bits, soutenue par une mémoire auxiliaire à 5 bandes totalisant 200 Kmots. L'inspiration technique vient de l'Ural 2. La logique comportant 4000 tubes permet l'addition en 65  $\mu$ s, la multiplication en 104  $\mu$ s, la division en 429  $\mu$ s. La machine est servie par un LC 150 et une imprimante.

**ARAGATS** (1960) est une machine à tubes à 3 adresses, estimée à 15000 op/s (addition en 5  $\mu$ s), construite en quelques exemplaires à l'Institut de Machines mathématiques de Yerevan en Arménie. Nous n'avons aucun document, bien qu'il soit mentionné dans le compte-rendu américain TIRE59 qu'un exemplaire doit être livré en 1960 à Leningrad.

**YEREVAN** (1960) est une réalisation plus modeste du même institut, limitée à 2000 op/s. Cette machine à tubes serait dotée d'un répertoire exceptionnellement riche.

**RAZDAN** (1960) est la première machine russe transistorisée, qui tiendrait dans un bloc de 2,1 \* 1,8 \* 1 mètre et ne consommerait que 3 KW. Mémoire à tores de 2048 mots de 38 bits, avec un cycle de 25  $\mu$ s indice d'une très médiocre qualité de tores, complétée par une bande magnétique de 128 blocs de 1924 mots. Son architecture est à 2 adresses, ce qui exigerait des commentaires que nous ne pouvons pas faire. Sa puissance est estimée entre 4000 et 6000 op/s.  
Périphériques : LR 35 mots/s, IP 20 lignes / s.

**STAL** (1960) est un calculateur spécialisé construit à Magnitogorsk, la cité de l'acier (Stal = acier), pour la commande de laminoirs. On n'en connaît que le nom.

**ZENIT 3** Ensemble de régulation non daté correspondant aux pratiques d'avant l'informatique : voies de commande analogique de type proportionnel + intégral, voies on/off basées sur le maintien d'un paramètre entre deux limites préréglées.  
Ce système est construit à base de tubes à cathode froide et de relais, mais il est impossible de dire s'il existait des entreprises réfractaires à l'informatique et s'obstinant à utiliser des méthodes anciennes.

A partir de 1960, les soviétiques ne peuvent plus dire qu'ils ignorent Von Neuman et l'informatique occidentale, et de fait on ne voit plus beaucoup de machines à trois adresses. Par contre, les méfaits de l'organisation soviétique deviennent évidents, et ils seront avoués facilement lorsque j'irai en mission à Moscou et Leningrad en novembre 1967 à la demande des soviétiques, et dans le but d'organiser une coopération. On peut les résumer comme suit :

- les ministères techniques et leurs subdivisions sont des fiefs, qui s'organisent autant que possible pour être indépendants. Cela explique une prolifération de modèles de machines que rien ne justifie, et dont une large fraction ne fera l'objet d'aucun développement.

- la production officielle d'ordinateurs relève de trois ministères : le Ministère de l'industrie électronique qui produit les composants (MEP) et les machines pour les militaires, le Ministère des industries de la Radio (MRP) qui est chargé de construire les ordinateurs universels, et le Ministère de l'Instrumentation et de l'Automatisation (MinPRIBOR) qui est responsable aussi, semble-t-il, des travaux d'inventaire et de planning qui justifieraient des machines de gestion. Pour le motif indiqué ci-dessus, ils communiquent peu : leurs productions ne sont pas intégrées dans un plan et les décisions n'ont aucune relation avec le marché, ni d'ailleurs avec le ministère voisin.

- il n'y a aucun "feedback" des usagers vers les constructeurs. Toujours pour le même motif, chaque usager essaie de se débrouiller seul avec ce qu'il a, et bricole les machines qui divergent rapidement. Il ne sert à rien de se plaindre et c'est d'ailleurs mal vu, de sorte que les "bugs" matériels ne sont pas réparés à la source. Par ailleurs, il n'y a pas de bug logiciel tout simplement parce qu'il n'a pas de logiciel dans la fourniture.

- en réalité, l'ingéniosité des utilisateurs a conduit peu à peu à créer autour de chaque machine des logiciels d'application et des compilateurs, mais il n'existe pas de mécanisme comparable aux clubs d'utilisateurs des constructeurs occidentaux pour échanger ces produits, généralement très marqués par des particularismes locaux en l'absence.

Cependant, la vraie raison de l'absence de logiciel est que ni concepteurs ni usagers n'en ressentent la nécessité. Le mot russe pour logiciel signifie "méthodes mathématiques", ce qui est déjà gravement restrictif. En outre, les compilateurs sont peu efficaces à cause de la faible dimension de la plupart des mémoires, en conséquence de quoi les programmeurs, imbus d'une culture de l'efficacité, répugnent à les utiliser.

Quant au logiciel de système, il est pratiquement impossible d'en écrire, à cause de la totale inadaptation et de la médiocre fiabilité des périphériques. Les bandes magnétiques, par exemple, ne gardent guère l'information plus d'un mois en moyenne, même avec des redondances dont l'exploitation alourdit considérablement les procédures.

- en l'absence de prix de revient connu, il n'y a aucune différence entre un bon et un mauvais ordinateur, il y a seulement ceux que l'on peut se procurer et les autres. Une fois qu'on a réussi à obtenir une machine, l'essentiel est de la garder, il n'est pas même nécessaire de l'utiliser. De fait tous les calculateurs que nous avons vus en 1967 étaient sous-utilisés, probablement en partie faute de spécialistes en dehors du cercle étroit des universitaires.

- le principal problème réside dans les composants. La production est sous la surveillance des militaires, qui définissent les besoins et se servent les premiers. C'est seulement ce qui reste qui va aux applications civiles. La qualité est si médiocre que chaque utilisateur approvisionne au moins le double de ses besoins et vérifie pièce à pièce les composants qu'il utilise ; le résultat de ces procédures est qu'il n'a pas assez de composants convenables pour construire les séries décidées, dont la production s'étale sur bien plus longtemps que prévu, car on termine toujours une série commencée, même si le produit est totalement périmé à la livraison.

- un autre problème, cette fois au niveau de la conception, est l'absence complète de réalisme. Les difficultés techniques sont ignorées, les difficultés administratives toujours sous-estimées et ce sont elles, en définitive, qui ruinent tous les projets. Lors de la mission de 1967, nous avons entendu parler de nombreux projets de systèmes de temps partagé à 100 terminaux ; aucun n'a vu le jour.

Après une semaine de discussions polies et de réceptions agréables, la mission conclut par écrit à l'impossibilité d'une coopération pour cause "d'inégalité dans les niveaux techniques", et les français se déclarèrent simplement disposés à accueillir les étudiants que l'URSS souhaiterait envoyer.

C'est ainsi que l'université de Toulouse reçut pendant un an le charmant espion Vladimir, chargé de se procurer par tous les moyens la documentation technique sur le plus grand nombre possible d'ordinateurs français et américain, et tout surpris qu'on lui en fournisse immédiatement et sans discussion les photocopies. J'ai toujours ses cadeaux d'arrivée. Il n'a été arrêté, et renvoyé en URSS comme *persona non grata* que plusieurs années après, à l'occasion d'une autre mission.

On trouvera ci-après une liste, assez mal renseignée, de machines produites pendant la période 1960/67 qui précède la mise en route du plan Ryad, et jusqu'en 1973 où entrent en service les premières réalisations du plan.

**BESM 3** (1962) est le prototype de la future BESM 4, en construction à Moscou. Toujours à trois adresses et toujours à tubes, elle vise 20000 op/s. La mémoire à tores est portée à 4K mots, et renforcée par 4 tambours de chacun 16000 mots de 45 bits, et par 4 dérouleurs de bandes adressables ; ces dernières ont maintenant 9 pistes, une de synchro et 4 pistes d'information, chacune dupliquée pour contrôle par comparaison.  
Les périphériques sont LC 250, PC 50, IP 1200.

**BESM 2,5** Une machine à tubes non nommée, mais dont les caractéristiques se rattachent manifestement à la famille BESM de Lebedev, fait l'objet de plusieurs articles dans un livre russe de 1963. Le sigle BESM 2,5 traduit cette parenté mais n'a aucune justification précise ; il pourrait s'agir d'une des BESM II, bricolée par ses propriétaires. Voir fiche.

**STAL 2** (1963) est attestée à Magnitogorsk pour la commande d'un nouveau laminoir.

**RAZDAN 2** non datée, a été vue en 1966 en république turkmène. Il s'agit probablement d'une machine identique à Razdan, produite en petite série.

**UMINKh** (1963) est une machine de process control, étudiée à l'*Institut de Cybernétique de Kiev*, et transistorisée. Mémoire morte de programme, mémoire à tores pour les données, toutes deux très petites. La machine aurait été construite en série. Voir fiche.

**UMShN** (1963) est aussi une machine de process control, volontairement universelle pour pouvoir s'appliquer à tous processus, y compris mal défini au départ. A en lire la description, on peut penser que la machine précédente est simplement un cas particulier, délibérément réduit, de la présente machine. L'UMShN, dont le nom signifie simplement "calculateur universel de process", serait le prototype du DNIPRO 1.

**URAL IV** (1963) toujours à tubes, paraît n'être qu'une variante de l'Ural 2 avec plus de périphériques notamment la possibilité de 1 à 8 tambours magnétiques de 16384 mots.

J'en ai vu un exemplaire à Moscou en 1967, rayonnant des calories dans toutes les directions : le malheureux opérateur, installé au pupitre devant ce radiateur, avait installé un ventilateur pour retarder sa cuisson.

**NAIRI** (1964) Petite machine en forme de bureau, rappelant la CAB 500, mais limitée par une mémoire à tores de 1024 mots seulement, à cycle de 24  $\mu$ s. La machine est présentée comme microprogrammée, en ce sens qu'elle contient des sous-programmes en mémoire morte pour les fonctions importantes, exécutables en 70 à 100  $\mu$ s. Elle est estimée 1500 à 2000 op/s.

**UM1** (1964) n'a pas de relation avec les machines de Kiev citées plus haut, malgré la similitude des noms ; les lettres UM semblent ne rien signifier d'autre que calculateur électronique, un peu comme le AC qui termine tous les noms de machines américaines des années 50. Etudié à l'*usine de SeveroDonetsk*, l'UM1 est un calculateur de process control à logique magnétique, assez généreusement doté en mémoire. Voir fiche.

**MPPI 1** (1964) est produit dans la même usine, et nettement moins performant, probablement parce qu'il est série. Ce n'est, semble-t-il, qu'un collecteur de données.

**ONEGA I** Non daté, est un système collecteur de données, avec une mémoire fixe de 100 mots de 8 bits, une arithmétique limitée, 7 claviers de saisie, plus un LR 1200 (5 trous) pour la commande et une IP 150 pour la synrhèse des résultats.

**ONEGA II** non daté, n'a bizarrement rien à voir avec le précédent. C'est le calculateur central d'un système d'automation postale, existant à 16 exemplaires en 1966. Mémoire de 400 \* 13 bits, travail sur 13, 26 ou 39 bits en décimal fixe. Il comporte 10 dérouleurs de bande magnétique (35 mm \* 560 mètres), un LR 200 et un IP 300. On voit bien la parenté avec Onega 1, pas du tout l'application.

**ONEGA III** est un sous-ensemble du système d'automation postale, à l'usage des petites agences. Il est électromécanique, avec 14 compteurs additifs et 10 autres, plus LR et PR.

**VNIEM 1** (1964) est encore un ordinateur de process, construit dans un institut non localisé, baptisé *Institut de Recherche Scientifique en Electromécanique de toute l' Union*, ce nom servant de référence à la machine. Il ne paraît pas présenter d'intérêt majeur, à part l'existence d'une double précision qui lui permettrait d'associer les calculs d'optimisation à ceux plus simples de process.

**URAL 10** (1964) semble être le modèle final de la famille Ural dont il est la version transistorisée. Capacité de mémoire à tores et performances accrues, mais toujours très peu de détail. Les bandes magnétiques sont toujours des mémoires auxiliaires, sans bobines. Cette machine semble être ce qui se rapproche le plus d'un ordinateur de gestion, bien que difficile à programmer, coûteuse et pas très fiable. Elle ne semble pas avoir été produite à plus de 500 exemplaires.

**MINSK 22** (1964) est la version transistorisée du MINSK précédent, avec une mémoire à tores un peu agrandie mais guère améliorée. Elle se distingue de la 2 par l'amélioration des périphériques. C'est une des machines les plus répandues en URSS, peut-être 2000 produites au total. On trouvera sur la fiche illustrée quelques dérivées, comme la Minsk 22 expérimentale qui met plusieurs 22 sur un canal d'entrées/sorties partagé, et surtout la 23 qui s'apparente à une IBM 1401, mais qui n'a guère été diffusée.

**RAZDAN 3** Machine non datée améliorant les caractéristiques du Razdan original déjà transistorisé. Voir fiche et photo.

**AT80** (1 / 65) Il s'agit d'une machine esthonienne dont l'inspiration vient de l'IBM 650, mais avec un tambour beaucoup moins performant, et une architecture binaire. L'aspect rappelle également la 650, comme j'ai pu le constater à l'*institut de statistique de Moscou*.

**UM2** (1965) était une première réalisation de ordinateur embarquable, visant les applications aéronautiques (Tupolev 144) et spatiales (Soiouz). Ni les caractéristiques physiques ni probablement la fiabilité n'étaient à la hauteur de la mission, et le ordinateur a finalement été utilisé à bord de sous-marin dans les années 65 / 70.

Un autre ordinateur a été installé sur Soiouz, et n'a pas donné non plus satisfaction, de sorte que le travail a dû, pour encore quelques années, continuer à se répartir entre les ordinateurs au sol et l'action personnelle des pilotes.

**DNIPRO 1** machine de process control non datée construite en série à Kiev, vers 1965 à en juger par ses antécédents. Mémoire de 2048 à 5120 mots de 26 bits, délivrée en blocs de 512 mots. Programme d'application en mémoire morte, baptisé abusivement microprogrammation, fourni en cartes de 128 mots. Addition en 125  $\mu$ s.

**BESM 4** (1965) Il ne s'agit pas d'une machine de Lebedev, mais d'une initiative de jeunes techniciens de l'Université de Moscou, désireux de reprendre l'architecture de la M20 (elle-même une machine Lebedev) en la transistorisant. Cet exercice officieux mais réussi se heurte alors à une décision indépendante de l'administration, qui venait de décider la transistorisation de la M20, baptisée M220. Du fait du patronage Lebedev, le conflit ne put être résolu sans la création d'une commission d'enquête, qui conclut en décidant d'industrialiser les deux machines, ce qui à cette date était une décision particulièrement stupide, ces deux machines relevant de la même architecture notoirement périmée. Voir deux fiches.

**BESM 3M** (1966) Version réduite de la BESM 4, voir fiche de celle-ci.

**MINSK 32** Développement non daté de la 22, plutôt orientée vers le calcul scientifique : mémoire à tores jusqu'à 64 K mots de 37 bits en tores de cycle 5  $\mu$ s, arithmétique double : soit flottant binaire 28, S, 6, S, soit décimale fixe 9 + S. Les temps de calcul sont 15 à 40  $\mu$ s pour l'addition en flottant, 25 à 33  $\mu$ s pour l'addition décimale, 25 à 650  $\mu$ s pour la multiplication décimale. La machine contient une horloge temps réel et peut éventuellement comprendre deux CPU. Les entrées/sorties comprennent deux canaux, et jusqu'à 136 périphériques, parmi lesquels LC 600, PC 100, LR 1500, PR 80, ME 10, IP 400 (sur 128 car/l), bandes 60000 cps. Le logiciel officiel comprend un moniteur baptisé Dispatcher, et 4 programmes d'application. La machine accepte le logiciel de la M22M.

**MIR** (1967) Petite machine transistorisée sans assembleur; travaillant avec un interpréteur très souple, inspiré par Algol. Présentation en forme de bureau : le seul périphérique est une machine à écrire 7 cps installée sur ce pupitre.

**MPU 100.64** (1967) est une première réalisation d'imprimante rapide, 6000 lpm, alphabet de 104 symboles, largeur 64 car / ligne. Le principe est de placer l'image de la ligne sur un cylindre magnétisable, à partir d'un bloc de 8 groupes de 8 têtes, chacune 7 \* 7 points en matrice rectangulaire allongée verticalement, alimentée par un tampon d'une ligne. Le tambour reporte ensuite la ligne sur du papier qui défile à 50 cm/s, puis il y a cuisson. Une tête d'effacement complète le cycle du tambour. La qualité de frappe de ce prototype est très médiocre.

**BESM 6** (1967) Avec cette machine prenant pour la première fois en compte les informations arrivant d'occident, Lebedev se propose de revenir au niveau des machines scientifiques étrangères, incarnées davantage par la 7094 que par la 360 / 65 aux yeux des russes et particulièrement de Lebedev qui ne pense qu'aux applications scientifiques. C'est en visitant cette machine, terminée mais non encore en service actif, que la mission de 1967 a reçu les confidences désabusées concernant les composants, évoquées plus haut.

Les nouveautés sont donc : une fréquence élevée de la logique, permettant d'envisager une performance de 500 Kops ; un registre d'index, un indice paramètre, et l'indirection illimitée ; des canaux simultanés avec abondance de mémoires d'extension, tambours magnétiques de 32 Kmots et bandes magnétiques adressables contenant chacune 1000 groupes de 1024 mots ; et un logiciel important, avec pour la première fois des compilateurs Fortran et Cobol.

Par contre, les rêves publics de Yershov sur l'implantation à Novosibirsk d'un time sharing en 1968 n'ont jamais vu de réalisation.

Au total, il y avait une centaine de BESM 6 en activité en 1977.

## Le plan Ryad

Comme indiqué plus haut, c'est à peu près au moment où j'étais à Moscou que le Plan Ryad a pris forme, ce dont le pays - et, accessoirement, l'étranger - a été informé par un article de G. Kazanskyi, ministre adjoint au MEP, en 12 / 67. Il annonçait officiellement qu'une série (ryad) de 4 machines compatibles de 3ème génération, construites en circuits intégrés, avec des puissances respectives de 20, 100, 500 et 2000 Mops, était à l'étude. Il était temps, en vérité, car la presse nationale devenait de plus en plus critique à l'égard de l'informatique soviétique, et les usagers ne se gênaient guère pour commenter de façon acerbe les faiblesses de ses produits.

En réalité, si ce plan, initialement purement soviétique, devait réussir, il fallait absolument que les pays du Comecon participent, et toute l'année 1968 semble avoir été consacrée à les convaincre qu'ils y avaient intérêt. C'est la DDR (Allemagne de l'Est), qui avait déjà entrepris de créer des machines compatibles IBM, qui fut le meilleur soutien des soviétiques dans la décision d'adopter l'architecture S/360 pour le Plan Ryad.

Très sommairement, il fut décidé que :

- la Tchécoslovaquie réaliserait une ES 1021 de son cru, vaguement compatible
- la Bulgarie et l'URSS produiraient l'ES 1020
- la Pologne et l'URSS construiraient l'ES 1030
- l'Allemagne de l'Est fabriquerait l'ES 1040
- l'URSS garderait la responsabilité des ES 1050 et 1060
- tous les pays produiraient des périphériques à partir de normes communes, en particulier et en priorité les disques et les dérouleurs de bandes magnétiques.

La Yougoslavie, dont le président Tito avait coupé les relations avec l'URSS, n'a pas été sollicitée pour participer au plan, non plus que la Roumanie, extrêmement pauvre et techniquement en retard.

L'organisation technique était contrôlée à Moscou, dans un *Centre de Recherche Scientifique pour le Calcul Electronique*, dirigé par A. M. Larionov. Mais les aspects économiques et politiques étaient traités dans une commission du Gosplan, présidée par M. E. Rakovskyi, et les relations de cette commission avec le Centre de Larionov n'étaient pas réellement définies.

Devant l'évidence qu'une opération aussi complexe, mettant en jeu des entreprises de langues et d'arrière-plan culturel différents, serait difficile à mener à bien dans les délais prévus, on choisit de ne pas interrompre les efforts existants. Pour l'URSS, en particulier, il fut décidé que le MEP ferait porter son effort sur l'amélioration du logiciel du Minsk 32, à produire en série pour le 9ème plan (1971/5), tandis que le MinPRIBOR poursuivrait dans la voie ASVT.

**MIR 2** non datée, reprend l'architecture du MIR en cherchant à lui donner les applications d'un IBM 1130. Mémoire morte de programmes de 2 Mbits, cycle 4  $\mu$ s : mémoire de travail à tores de 8 K \* 13 bits à cycle 12  $\mu$ s ; tampon de 4 KB pour les périphériques, un à la fois. Choix de périphériques : LR 1500, PR 150, ME 10, cartes magnétiques de 1024 caractères, consoles graphiques à définition 256 \* 256 pixels visualisant aussi du texte. Le langage de programmation, baptisé ANALITIC, de style Algol, évolue vers une exploitation non procédurale de la riche bibliothèque scientifique.

**xxxx** Machine de nom inconnu construite, probablement vers 1968, par l'institut d'électricité de Moscou. On y trouve une mémoire de travail à tores de 4096 mots, accessible par mots de 20 ou 40 bits ; une mémoire rapide de 256 mots sur condensateurs ; un tambour magnétique de 50000 mots. La machine fonctionne à 100 KHz et serait capable de 25000 op/s en fixe et 5000 à 7000 op/s en flottant.

**M1000 / 2000 / 3000** (1969) Première tentative d'unifier la trop grande variété des modèles de machines en choisissant comme modèle la famille IBM S/360 (formats de données et répertoire), cette famille baptisée **ASVT** pour Système Modulaire de Calculateurs, cette famille a été étudiée à l'Institut de recherche scientifique de Severodonetsk, qui dépend du MinPRIBOR. La technologie inadéquate et la médiocre fiabilité des mémoires secondaires et des périphériques ont cependant empêché que les machines obtenues soient réellement compatibles, interdisant le recours au "piratage" comme moyen de suppléer au manque chronique de logiciels.

**Nairi 2** Développée entre 1966 et 1970 à l'Institut de Recherche de Yerevan, cette machine compatible est 3 à 4 fois plus rapide que l'original, malgré l'intermédiaire d'une microprogrammation. La mémoire a été doublée, le LR et le PR sont plus rapides.

**Nairi 3** Version en circuits hybrides de la machine précédente, sans notable réduction d'encombrement. Voir fiche et photo. Les nouveautés sont essentiellement dans la microprogrammation, qui permet d'émuler Nairi 2 et aussi Minsk 22.

**M222** (1968 ?) est une simple modernisation de M220, respectant par conséquent son architecture à 3 adresses et son mot de 50 bits. La mémoire à tores est construite en 4 modules de 8 Kmots, cycle 8  $\mu$ s. Le bloc de calcul exécute l'addition en 28,5  $\mu$ s, la multiplication en 52  $\mu$ s, la division en 107  $\mu$ s. Les extensions de mémoire comprennent jusqu'à 5 tambours de 48 Kmots, 900 t/min, débit 17000 mots/s, et jusqu'à 5 bandes capables de 10000 mots/s. Les périphériques sont LC 700, PC 100, LR 1500, PR 80, ME 10 et IP 420. Le logiciel comprend un superviseur acceptant 33 interruptions en 16 niveaux, et englobant un IOCS. Les langages comprennent un autocode, un Algol ambitieux gérant la récursivité, un second Algol de moindres ambitions, et des programmes de diagnostic.

**PLAMYA** (1970) étudié par l'association MARS à Leningrad, est le calculateur de navigation et bombardement de l'avion TU22. Dans un volume approximatif de 50 \* 50 \* 75 cm, et pour un poids de 90 Kg, on y trouve 64 Kbits de ROM, et 4 Kbits de RAM, ce qui paraît vraiment faible et fait douter de la validité des chiffres.

**Elektronika K200** (1971) a été défini à l'Institut de Kiev et, sa fabrication décidée, il est construit dans l'usine de composants radio de Pskov, qui relève du MEP. La mémoire morte de programme comprend 4 à 16 Kmots de 24 bits, cycle 17  $\mu$ s ; la mémoire de travail à tores est 16 Kmots, cycle 26  $\mu$ s. Le bloc de calcul, estimé 40 Kops, exécute l'addition en 20  $\mu$ s, la multiplication en 50  $\mu$ s, la division en 140  $\mu$ s. La machine mesure 580 \* 700 \* 660 mm, pèse 120 Kg, et consomme 200 W.

**M5000** (1972) est un mini modulaire à base de circuits intégrés SSI, comprenant 32 KB de mémoire, un panneau de commande, 1 à 4 disques bulgares, LC, PC et bande. La machine accepte les nombres binaires et décimaux, et les chaînes de caractères. Elle dispose, outre l'assembleur, d'un RPG et d'un Cobol. Elle évoluera en 1975 vers un 5010 de 10 Kops.

**KOUPOLL** (1973) est le calculateur de navigation, contrôle de chargement et surveillance du carburant pour l'avion de transport Antonov 22. La mémoire à tores occupe 4 K \* 14 bits et l'addition dure 16  $\mu$ s.

On arrive ainsi à l'exposition de Moscou de mai 1973, où sont présentés les matériels du Plan Ryad, à savoir l'**ES 1010** hongroise, non compatible ; l'**ES 1021** tchèque, partiellement compatible ; la **1020** et la **1030** russe, ainsi que le prototype de la **1040** allemande et celui de la **1050** russe. En réalité, seules les 1020 et 1030 sont en production à cette date; la 1050 n'est pas réellement au point, sa logique ECL (d'origine Motorola) chauffe de façon rédhibitoire.

Du point de vue architectural, les ingénieurs russes ne sont pas parvenus à recopier la micromachine de la 360 / 50, de sorte qu'il a fallu câbler l'unité centrale, solution qui serait ruineuse si les industriels soviétiques savaient ce qu'est un prix de revient. A la longue, la machine, fabriquée à l'usine de Moscou et largement redessinée, réussira à fonctionner.

Le plan prévoyait aussi une **ES 1060**, mais les ingénieurs ne sont pas parvenus à la mettre au point pour l'exposition. Elle ne sera annoncée officiellement qu'en novembre 1977.

En matière de périphériques, il était prévu un dispac de 7,25 MB en 203 cylindres, tournant à 2400 t/min. L'URSS en a réalisé deux versions :

- le EC 5050 présente un temps d'accès moyen de 90 ms
- le EC 5056 offre un temps d'accès variable de 30 à 150 ms.

Il était également prévu de construire des dérouleurs compatibles IBM, en bobines de 750 ft. L'URSS en a réalisé trois modèles :

- le EC 5010 est 64 KB/s
- le EC 5014 est 126 KB/s, avec rebobinage à 2 m/s
- le EC 5017 est 64 KB/s, avec rebobinage à 2 m/s.

Dans le domaine des périphériques mécaniques, le modèle choisi était une imprimante russe à roues multiples, ATsPU 128. Les réalisations soviétiques sont :

- la EC 7030, 700 à 800 lpm sur 123 caractères
- la EC 7032, 900 lpm sur 128 caractères

On peut avoir des doutes sur la production russe en sachant que la 1050 n'a guère été commandée par les pays du Comecon et que l'URSS achète des disques bulgares pour ses propres machines.

**ES 1020** (1972) Cette machine bas de gamme est produite à l'usine de Minsk, renforcée à partir de 1972 par une usine plus récente à Brest-Litowsk. Estimée à 20 Kops, elle exécute les additions fixes en 20 à 30  $\mu$ s, l'addition flottante en 50 à 70  $\mu$ s, la multiplication fixe en 220 à 350  $\mu$ s, la division flottante en 400  $\mu$ s. Tout cela est microprogrammé.

La mémoire à tores comprend 64 à 256 KB organisés en mots de 18 bits, cycle 2  $\mu$ s. Les périphériques, tout à fait modestes parce que microprogrammés, comprennent deux sélecteurs de 120 à 300 KB/s, et un multiplex de 10 à 16 KB/s. L'équipement standard comprend 4 bandes, 2 disques, et un exemplaire de chacun des autres articles.

La production annuelle des 1020 en URSS, y compris les besoins de l'exportation dans le Comecon, est de l'ordre de 50 pour l'ensemble des deux usines.

**ES 1030** (1973) Cette machine comparable en puissance à la 360 / 40 a été mise en fabrication à l'usine arménienne de Yerevan, qui en a fait les plans. La réalisation, cependant, ne fut pas à la hauteur des espoirs, en l'absence d'un contrôle de qualité significatif ; il semble aussi que de sérieux problèmes d'approvisionnement en composants se soient posés.

Quelle que soit l'explication, le comité décida le transfert de la production à l'usine de Kazan qui avait acquis une bonne expérience sur les M200. Dès 1976, la production était satisfaisante et se stabilisa à plusieurs centaines de machines par an.

La 1030 est une machine microprogrammée estimée à 100 Mips, soit par exemple 5 à 11  $\mu$ s pour l'addition fixe, 10 à 16  $\mu$ s pour l'addition flottante, 35  $\mu$ s pour la multiplication en fixe, 50  $\mu$ s pour la division flottante. La mémoire comporte 128 à 512 KB en mots de 36 bits, cycle 1,25  $\mu$ s.

Les entrées/sorties comprennent 3 sélecteurs à 600 KB/s, et un multiplex à 40 KB/s, avec les mêmes modestes périphériques que la 1020. Un projet de biprocesseur ne semble pas avoir abouti.

**M6000** (1974/80) est un calculateur de process plutôt encombrant, qui paraît de même origine et de même technologie que le M5000 vu plus haut. Mémoire 16 Kmots, performance estimée 100 Kop/s. Utilise des disques bulgares de 7,25 MB.

**M4030** (1975) Calculateur compatible IBM, conçu à Kiev, pour le MinPRIBOR. Les périphériques sont d'origine bulgare. Cette machine est une reconstruction de la 4000 complètement manquée, et constitue vers 1976 le sommet de la gamme ASVT, dont la compatibilité 360 n'est poursuivie que dans la mesure où cela permet d'utiliser les périphériques du plan Ryad.

En réalité, à partir du moment où le plan Ryad peut être considéré comme réussi, le besoin des produits ASVT change de nature : les machines du MinPRIBOR deviennent des auxiliaires des machines Ryad et se cantonnent dans le bas de gamme.

**ES 1022** (1975) produite à Minsk est une reconstruction de la 1020 qui améliore substantiellement (d'un tiers, dit l'information la plus optimiste) la performance par rapport à l'original, le principal changement étant l'organisation de la mémoire sur 36 bits, avec doublement des capacités. La nouvelle machine est estimée 80 Mips, avec l'addition fixe en 9  $\mu$ s, l'addition flottante en 30  $\mu$ s, la multiplication fixe en 80  $\mu$ s, la division flottante en 100  $\mu$ s. Les canaux passent à 500 KB/s pour les sélecteurs, 40 KB/s pour le multiplex. Tout cela résulte d'une réécriture des microprogrammes. La machine fut bien reçue des clients, souvent peu satisfaits de la 1020, dont la production fut abandonnée et totalement remplacée par celle de la 1022.

**Elektronika NTs02** (1976) est un produit du Centre Scientifique du MEP, construit autour d'un microprocesseur dont le sigle est NTs01. Il semble que le  $\mu$ P contient une mémoire de 1 Kbit, peut adresser 16 Kbits externes, et que sa performance soit de l'ordre de 250 Kops. Le calculateur, microprogrammé, dispose d'un canal à 256 voies périphériques, et pèse 5 Kg. Un calculateur beaucoup plus important, 50 Kg, cad probablement doté d'une mémoire à tores plus importante, est construit en 1975 autour du même CPU par D.G.I.Youditski, avec le sigle NTs 1

**Elektronika S5.11** (1977) créé par une association de Leningrad, est un mini sur une carte 270 \* 267 \* 29 mm, construit autour d'un microprocesseur PMOS 16 bits, capable de 10 Kops, le S5. Le calculateur est microprogrammé pour un répertoire plus riche, incluant la double précision, et associé à une mémoire de programme de 1 à 28 Kmots de ROM, et 128 mots de RAM. Autre exemple contemporain, le S5.01 dispose de 18 Kmots de mémoire dans un volume de 420 \* 380 \* 225 mm, et consomme 90 VA. Il est produit pour le MEP.

**Elektronika 60** (1977) est un CPU sur une carte 280 \* 240 construit autour d'un microprocesseur en 4 puces, 2 CROM, un RALU, un bloc de commande. La ROM contient 4 à 28 Kmots de 16 bits et le tout peut délivrer 250 Kops. En rajoutant des caretes mémoire, la carte CPU constitue un calculateur qui occupe un volume de 320 \* 300 \* 90 mm, produit par le MEP.

**ES 1033** (1977) est une amélioration intérimaire de la 1030, produite à l'usine de Kazan à partir de 1977. Elle est évaluée à 200 Mips, avec des performances CPU très améliorées (ADD 1,4 à 2,7  $\mu$ s, FAD en 4,5  $\mu$ s, MPY en 8,5  $\mu$ s, FDV en 17,7  $\mu$ s), mais les canaux microprogrammés, estimés à 800 et 70 KB/s respectivement, réduisent l'efficacité globale.

**Nairi 4** (1977) Cette machine étudiée à Yerevan est qualifiée par l'article qui la mentionne d'architecture révolutionnaire, probablement parce qu'elle utilise une mémoire à film magnétique mince déposé sur des tubes. Mémoire 64 Kmots, puissance 500 Kops. La machine est dite microprogrammée, ce qui signifie sans doute, à en juger par les cas précédents, que les mouvements à travers une ALU sommaire sont commandés par une mémoire CROM activant diverses portes.

**SM3** (1977) est un compatible PDP 11, construit par le MinPRIBOR, le ministère chargé des automatisations. La SM3 serait capable de 250 Kops, avec une mémoire de 32K \* 18 bits. Il existerait une SM4 à 500 Kops, et une SM5 de 1 Mops serait envisagée. Ce programme de minis ne relève pas du comité Ryad, mais du MinPRIBOR, qui le confie à l'Institut de contrôle électronique de Moscou, sous la responsabilité de B.N.Naumov.

**ES 1060** (1978) n'était pas disponible en 1973, et ne fut réellement annoncée qu'en novembre 1977. Câblée comme la 1050 et pour la même raison, incapacité à recopier la microprogrammation, elle offre néanmoins la collection complète de 144 opérations avec un débit moyen de 1,5 Mops. Mémoire à tores de 256 à 2048 KB avec cycle de 600 ns pour 72 bits; logique ECL exécutant l'addition flottante en 0,8 à 1  $\mu$ s, la multiplication en fixe en 1,5 à 1,8  $\mu$ s, la division flottante en 3 à 4  $\mu$ s; les entrées/sorties comprennent 6 sélecteurs à 1300 KB/s, et un multiplex 100 KB/s capable aussi de rafales à 450 KB/s. Elle est produite à Minsk en petites quantités à partir de 1978.

**ELBRUZ 1 (1978)** est une étude menée à Moscou par l'équipe Lebedev pour coupler plusieurs machines de puissance supérieure à 1 Mips pour réaliser un ensemble de 12,5 Mips. La mémoire pourrait comprendre 512 KB à 8 MB, avec un adressage virtuel, et des caches figureraient devant chaque CPU. L'exploitation se ferait en Algol.

Ces affirmations relèvent davantage de la prédiction que de la réalité, et la possibilité pour un organisme quelconque, même bien en cour, de rassembler 10 machines du plus gros modèle, paraît invraisemblable. Le projet mentionné d'un Elbrouz 2 de 125 Mops est à l'époque une simple extrapolation intellectuelle.

**M10 (1978)** est une machine de 5 Mops, 32 bits, destinée aux militaires. Elle dispose d'une mémoire de 5 MB, cycle 1,8  $\mu$ s, précédée d'un cache. Un tampon de 64 KB permet les liaisons avec les machines du plan Ryad. 24 canaux duplex permettent chacun l'installation de 6 terminaux. Le projet envisageait aussi l'interconnexion de telles machines, jusqu'à un maximum de 7.

### **Le plan Ryad, deuxième génération**

Au moment où va commencer la seconde génération du plan Ryad, il faut donner une appréciation sur la réussite de sa première génération.

Au plan technique, il semble clair que l'effort soutenu sur les processeurs a donné finalement de bons résultats, malgré les constantes difficultés dues à l'approvisionnement des composants. Les mémoires sont moins réussies et déçoivent souvent. Les périphériques soviétiques sont particulièrement médiocres, nettement moins fiables que ceux des satellites, ce qui peut expliquer le succès des disques bulgares dans les installations de l'URSS ; la qualité catastrophique du réseau téléphonique interdit tout télétraitement, l'essentiel des transmissions s'effectuant à moins de 200 bauds.

La maintenance a fait des progrès par rapport à la 2ème génération, où la seule règle était la débrouillardise locale. Vers 1978, il est possible de demander du secours au fournisseur et d'obtenir des rechanges dans un délai acceptable, même si le dépannage doit être exécuté par le personnel du client.

Le logiciel continue à poser des problèmes, car les responsables ne parviennent toujours pas à comprendre, en 1978, qu'il est aussi essentiel que le matériel. Les spécialistes manquent cruellement, principalement parce que l'enseignement de l'informatique est plus orienté vers la construction que vers l'exploitation ; s'il est honorable de créer un compilateur, travail qui a de fait été mené à bien dès les années 60, il est considéré comme sans intérêt de rédiger des logiciels pour organiser le travail des machines. Les modes d'exploitation les plus primitifs (le programmeur au pupitre) étaient toujours largement utilisés en 1967 lors de mon passage à Moscou.

Le résultat est que les usines fabricantes n'ont pratiquement pas fourni de logiciel à leurs clients. L'essentiel des systèmes d'exploitation existant en 1978, DOS/ES pour les 1020 à 1040, OS/ES pour certaines 1040 et au delà, sont de simples transpositions des produits d'IBM par les soins d'instituts de recherche usagers ; la plupart des adaptations sont locales, comme les corrections nécessaires pour tenir compte du nombre de caractères par ligne dans une imprimante, ou le passage à l'alphabet cyrillique. Les codes conventionnels utilisés par opérateurs et programmeurs sont de simples translittérations des codes anglais.

Pour être précis, le DOS/ES est en 1978 le DOS/360 Release 26 de 12 / 71, tandis que l'OS/ES est le Release 21 d'OS/MVT et OS/MFT datant de 8 / 72. D'ailleurs l'OS est beaucoup moins employé que le DOS, et le MVT que le MFT, pour la raison que les machines soviétiques ont souvent de petites mémoires.

La seconde génération du plan Ryad a pour but essentiel d'améliorer le service aux usagers, en réduisant les contraintes exercées par le matériel sur le programmeur. Il s'agit donc d'enrichir le répertoire, d'agrandir les mémoires, d'introduire les canaux block multiplex, d'accélérer les divers canaux, bien plutôt que d'adopter la mémoire virtuelle qui n'a de sens qu'en s'appuyant sur des versions plus avancées de l'OS. Il semble cependant que toutes les machines de seconde génération disposent des circuits nécessaires pour mettre en place un espace virtuel unique de 16 MB.

Six machines constituent le plan Ryad 2 :

- une ES 1025 produite en Tchécoslovaquie
- une ES 1035 créée en URSS et produite à Minsk et en Bulgarie
- une ES 1045 construite en Pologne
- une ES 1055 en deux variantes avec et sans cache, d'origine allemande.
- une ES 1065 de l'ordre de 5 Mips, à créer en URSS, où elle viendra compléter la ES 1060, enfin au point et désormais assimilée au second niveau du plan.

Le logiciel paraît devoir être une extension nationale de l'OS/ES, bien que des études sur l'OS/VS2 soient entreprises chez certains satellites.

**ES 1035** (1979) construite à Minsk, vise 140 Mips. La mémoire comprend 256 à 512 KB, certainement organisée en mots de 36 bits, avec des temps de calcul honorables (ADD 2,6 à 4,5  $\mu$ s, FAD = 9,7  $\mu$ s, MPY = 23  $\mu$ s, FDV = 32  $\mu$ s) obtenus par microprogrammation. Celle-ci offre une émulation de la Minsk 32. Il y a maintenant 4 BMUX à 800 KB/s, et un multiplex à 30 KB/s. La mémoire virtuelle n'est pas proposée avec les premières livraisons, elle attendra l'apparition de disques de 100 MB. Le système d'exploitation est un OS/MFT à 15 partitions. Il est question pour 1979 d'un processeur subordonné ES 2335, qualifié de matriciel et dont on attend 10 à 20 Mops. On ignore s'il a vu le jour.

**ES 1065** n'est qu'un projet en 1978, et le prototype ne semble pas encore au point en 1980. Il semble que la puissance annoncée de 4 à 5 Mops exige quatre unités centrales, ce qui signifierait que les performances prévisionnelles (ADD 120 ns, FAD 240 ns, MPY 600 ns, FDV 1,2  $\mu$ s) n'ont pu être atteintes avec les MSI ECL utilisés. La mémoire partagée par ces processeurs est 16 MB en 4 \* 4, et les entrées/sorties cumulées devraient atteindre 15 MB/s. Il est question de deux canaux multiplex de 110 KB/s, de disques 5066 de 100 MB, accès 38 ms, et de disques 5067 de 200 MB, accès moyen 30 ms. Ces chiffres montrent que les progrès des périphériques sont particulièrement lents.

**PS2000** est un projet non daté de machine parallèle, contenant 8 processeurs pour un total de 25 Mips. Ces machines peuvent être couplées par 8 pour atteindre 200 Mips. Un langage VEKTOR permettrait de gérer ce complexe en vue de la recherche pétrolière. Tous les doutes sont permis à l'égard de ce genre de déclaration, car le vrai problème, pour lequel les soviets sont spécialement mal armés, est de faire coopérer plusieurs machines à un même calcul.

**PS 3000** regroupe 4 processeurs scalaires 32 bits (ADD 125 ns, FMP 350 ns) et 16 processeurs vectoriels reconfigurables qui devraient pouvoir produire 20 MADD ou 5 MFMP par seconde. Les études de logiciel en cours pour le soutenir porteraient sur un Fortran 77 vectoriel, un Pascal et un ADA. Tout cela, qui ressemble aux réalisations japonaises des années 90, est probablement purement spéculatif.

### **Bilan interimaire**

Au delà de 1980, nous ne sommes plus du tout renseignés sur l'évolution de l'informatique soviétique, qui n'est certainement pas brillante. Nous avons un rapport du GKNT, le comité d'état pour la Science et la Technologie, qui recense 2492 nouveaux systèmes de calcul ou d'automatisation entre 1981 et 1985, sans compter la Défense - absolument secrète - et l'exportation (qui est limitée, de fait, à quelques ventes de Ryad aux pays du Comecon). Par rapport aux chiffres occidentaux, ces quantités sont l'indice d'une totale stagnation. Les commentaires soviétiques font état d'un "grave manque de spécialistes" (gazette du parti). Le fonctionnement n'est pas plus satisfaisant que l'investissement : une disponibilité de 75% des machines est considérée comme correcte, à une époque où l'Occident fait toujours mieux que les 95% contractuels. Les causes identifiées sont la maintenance incompétente et l'absence de rechanges.

Faute de mieux et sans garantie parce que les statistiques soviétiques sont généralement truquées, nous disposons pour 1980 et 1981 d'un bilan informatique, exprimé en millions de roubles :

Echange avec	1980		1981	
	Export	Import	Export	Import
Autriche	2,6		1,7	
Grande Bretagne	4		11,1	
Italie				3,5
RFA		1,6		6,7
France		8,9		12,6
Japon		1,1		1,8
USA		4,7		6,9
Total occidental		22,9		49,3
Bulgarie	2	25,2	8,4	17,5
Hongrie	17,9		6,1	
RDA	28,8	2,9	28,0	77,3
Pologne	11,5	2,1	7,8	3,1
Tchécoslovaquie	63,6		45,0	
Comecon	123,8	30,2	95,3	97,9
Total	123,8	53,1	95,3	141,2
Total officiel	128,9	131,2	115,4	183,6
Ecart inexpliqué	5,1	78,1	20,1	42,4

On laisse le lecteur méditer sur des statistiques officielles contenant jusqu'à 60% d'écarts inexplicés.

Cela nous amène à 1989, qui est une faillite, même si on ne l'appelle pas ainsi, et les dix années suivantes n'ont pratiquement pas vu d'investissement.

Quand la Russie a commencé à s'éveiller avec le règne de Poutine, les ordinateurs étaient pour la plupart de la taille d'un PC, les usines russes de PC étaient à construire, et l'essentiel des matières premières pour faire un PC venaient d'Asie. En fait, nous sommes incapables de dire quoi que ce soit de sensé sur l'informatique russe en fin de notre période.

## 768 - Informatique hongroise

Intégrée contre son gré dans le domaine soviétique, la Hongrie s'est révoltée contre son gouvernement communiste en 1956, et les soviétiques ont riposté en envoyant les chars, et imposé un gouvernement à leur solde, dirigé par Imre Nagy. Le dirigeant de la révolte a été arrêté, et plus tard Imre Nagy également, comme trop mou. En fin de compte l'un et l'autre sont morts.

Puisque, malgré les appels au secours, les occidentaux n'ont pas bougé, les hongrois ont bien compris qu'il n'y avait rien à faire, et qu'eux seuls pourraient peut-être, avec une extrême prudence, alléger leur fardeau.

En ce qui concerne l'informatique, nous n'avons aucun signe d'intérêt avant 1967, date à laquelle l'administration hongroise décida qu'elle avait besoin d'un petit calculateur, assez simple pour être construit localement, et pourtant assez complet pour rendre des services variés : autrement dit, un mini.. La question était : que choisir ? Deux organismes entreprirent d'agir.

EMG, entreprise d'état, essaie en 1968 de construire sa propre machine, la **830**, un calculateur 24 bits, mémoire à tores de 8 à 32 KB à cycle 6  $\mu$ s, bloc de calcul à répertoire de 32 opérations et performances modestes, 40  $\mu$ s pour l'addition, 220  $\mu$ s pour la multiplication. Pour les périphériques, l'indépendance s'exprimait prudemment par la sélection de périphériques occidentaux dont il était aisé de démontrer la supériorité sur les matériels disponibles à l'Est : LR, PR, IP 200 (Bull 1541) ou 600 (Bull 1557), bandes 30000 cps.

Le logiciel comportait un moniteur nommé BOSS, un autocode et un compilateur Algol. On ignore le nombre de machines produites, mais on peut penser que la qualité insuffisante des composants a conduit les usagers à conclure, et à faire savoir à l'EMG, que les créations nationales manquaient de fiabilité.

EMG prend alors contact avec la CII, en France, un constructeur d'un pays peu suspect aux yeux de Moscou comme le prouve la mission à laquelle j'ai participé. L'idée est d'acheter la licence d'une machine au point, avec son logiciel et si possible, l'accès détaillé à la technologie. La machine choisie est la 10010, un héritage de la CAE incompatible avec tous les autres produits CII.

Mise en place en 1970, cette opération baptisée **810** tournera court, probablement parce que, tout bien réfléchi, l'autre solution était techniquement meilleure.

Le second établissement est le KFKI de Budapest, sigle que l'on peut traduire par *Institut Central de Recherche en Physique* : c'est une émanation de l'Académie des Sciences hongroise, et il touche à tout, y compris à l'informatique. Son choix, non daté, est de construire le **TPA 1001**, version hongroise du PDP 8. Périmé assez rapidement, il est remplacé en 1971 par le PDP 8/I, avec une mémoire à tores à cycle 2  $\mu$ s.

Nous avons une notice illustrée détaillée, en anglais, de cette réalisation nationale qui disposait de tout le logiciel de son créateur DEC.

Lorsqu'en 1968 la Hongrie est sollicitée de participer au plan Ryad, elle décide de refuser ce qu'elle considère comme un embrigadement inutile : elle n'aura pas besoin des "grosses" machines du plan, et refuser est une satisfaction. Pour avoir une réponse technique à donner, elle argue de son engagement avancé pour un mini français (le 10010) parfaitement adapté à ses besoins ; elle désire continuer dans cette voie où elle a déjà mis beaucoup d'argent, mais accepte éventuellement d'inscrire dans le cadre du plan cette machine incompatible en la baptisant ES 1010 ; par contre, elle accepte de participer à l'aspect périphériques du plan, s'estimant en mesure de faire mieux que ce qu'elle peut recevoir d'URSS, après avoir expérimenté les périphériques occidentaux.

Extrêmement désireux d'impliquer le Comecon dans l'opération Ryad, les russes acceptent.

Le ES 1010 projeté "dans le cadre du plan" par cette fiction diplomatique est présenté par un rapport américain avec les chiffres d'époque qui sont ceux du 10010 : mémoire 8 à 64 KB de 8 bits à cycle de 1  $\mu$ s, répertoire de 55 opérations extensible à 86 en option, entrées/sorties multiplexées à 40 KB/s avec option d'un sélecteur à 240 KB/s dans l'éventualité d'un disque.

La machine exposée en mai 1973 à Moscou est l'**ES 1012**, version hongroise du Mitra 15, adopté entre temps avec le soutien de la CII, et construit avec des composants français et américains. La présentation est très séduisante, car la machine est en action dans une application temps réel de grand magasin, et aussi installée sur un camion.

La microprogrammation très puissante du Mitra 15 aurait permis d'émuler les 360, mais les hongrois n'ont pas essayé, préférant utiliser le jeu de 109 instructions temps réel de la machine d'origine.

Le seul périphérique Ryad trouvé dans la production hongroise est une imprimante EC 7039, 245 à 1110 lpm sur 132 caractères de large, pour être compatible avec les imprimantes occidentales.

L'ES 1012 et ses successeurs sont fabriqués à partir de 1973 par l'usine *Videoton* et, pour la plus grande part, exportés vers l'URSS. En fait la Hongrie est le seul pays du Comecon dont la balance commerciale informatique soit favorable en 1976, avec M\$ 78 d'exportations.

Les années suivantes voient la Hongrie poursuivre sa collaboration technique avec la CII, avec l' **ES 1011** de 1979, qui est le Mitra 125. La mémoire 64 à 128 KB présente un cycle de 950 ns, la microprogrammation fonctionne sur une mémoire de commande de 1,5 à 4 K\*18 bits, cycle 250 ns.

Les périphériques se sont fortement étoffés : écran VDT 52000, ME matricielle, IP 900, deux lecteurs de disquettes, deux disques bulgares ISOT 2,5 fixe + 2,5 MB en cartouche amovible, ou encore un disque Control Data de 50 MB en packs de 10 plateaux, construit sous license par Videoton sous le sigle UD 50.

Il y aura aussi un **ES 1015** estimé 12 à 16 Kops, avec 256 KB de mémoire 550 ns, inscrite dans une mémoire virtuelle de 16 MB. Pour les entrées/sorties, multiplex de 20 KB/s.

Logiciel réalisé en liaison avec la SEMS.

La Hongrie profite de ses bonnes relations avec la CII, non contrariées par une URSS affaiblie, pour aborder en 1978, avec le **VT 60**, l'emploi de microprocesseurs, en l'occurrence le 8080 semble-t'il.

Il est tout à fait bizarre que ce microprocesseur 8 bits soit utilisé pour réaliser une machine 16 bits, mais on nous dit que c'est le résultat de la microprogrammation. Mémoire à tores ou à semiconducteurs de 128 KB, bus 2,3 MB/s, contrôleurs à microprocesseurs.

La machine sert à commander des terminaux, par exemple :

VDT 52.100, écran compatible TTY avec cassette ou minidisque.

VT 20, terminal plus lourd avec 10 MB de disque fixe + cartouche.

A une date indéterminée, le KFKI reprend ses relations avec Digital Equipment pour construire le **TPA 70**, qui est une copie sans doute sous license d'un PDP 11 bas de gamme.

Cette constance des relations de la Hongrie avec l'Occident explique la facilité avec laquelle, après 1989, ce pays s'est converti à l'économie de marché, notamment pour la petite informatique.

Dans l'immédiate après-guerre, la Pologne a réagi à l'invention de l'informatique de la même façon que le reste du monde, en effectuant des expériences dans l'environnement universitaire. Simplement, l'immensité des dégâts matériels, psychologiques et politiques a retardé ces réactions par rapport au monde occidental.

Ainsi voit on apparaître, à l'Ecole Polytechnique de Varsovie, une étude de machine fonctionnant en base -2, cad dont les deux seuls chiffres représentent les valeurs 0 et -1, de sorte qu'une multiplication par -2 s'écrit en ajoutant un zéro à droite. Cet exercice intellectuel, qui a pour but d'apporter une solution nouvelle au problème de l'arithmétique signée, n'aura que peu de suite parce que la Pologne aura rapidement besoin d'aide venue d'autres pays, qui ont fait des choix différents.

La machine en question, à part cela, utilisait une mémoire à tambour magnétique de 4000 mots de 34 bits, une logique à tubes, avec une performance très faible de 200 op/s. Accès par téléimprimeur.

Simultanément (1958), l'Académie des Sciences, dans son Institut de machines mathématiques (IMM) situé à Varsovie, faisait construire une machine expérimentale, la **XYZ 1**, dotée d'une mémoire à lignes à retard à mercure de 512 mots de 36 bits, renforcée d'une mémoire à tambour de 8192 mots, 700 KHz. La construction série des deux mémoires limitait la performance à 800 Kops.

Les périphériques provenaient d'Occident : LC et PC de Bull, LR et PR de Creed en Angleterre.

Cette machine est à l'origine de la première expérience polonaise de logiciel, avec le langage SAKO, un mùiniFortran dont le compilateur occupait 3000 mots.

La **SKRZAT 1** de 1960 est une machine de process control fonctionnant en base -2, ce qui suggère que son créateur est à l'Ecole Polytechnique de Varsovie. Elle comporte une mémoire morte de 4096 mots accessible en 2,5  $\mu$ s, pour les programmes, et une mémoire de travail de 256 mots, à 2 tores/bit pour le même motif de fiabilité qu'en URSS. Le tout fonctionne à 200 KHz, avec l'addition en 130  $\mu$ s, la multiplication en 650  $\mu$ s. Le mot de 20 bits contiendrait deux instructions de calcul, ce qui limiterait à 3 le nombre des opérations arithmétiques : douteux.

L'IMM de son côté décide de réaliser des versions de petite série (au moins 6) de la XYZ, qui sont baptisées **ZAM 2**. La machine se présente comme un gros bureau, avec les épais montants latéraux qui contiennent la mémoire à tores de 1024 \* 18 bits, et le tambour de 16384 mots de 36 bits. La machine qui fonctionne en série exécute à peu près 1000 additions ou 260 multiplications par seconde.

Les périphériques sont un LR Ferranti et une imprimante Bull. Le logiciel est toujours SAKO.

Le même organisme souhaite construire une machine plus puissante, et entreprend cette même année la construction de **ZAM 3**, une machine scientifique qui calcule sur 48 bits mais dont l'architecture est 24 bits par souci d'économie. Mémoire à tores comprenant un à quatre blocs de 4096 \* 24 bits, arithmétique parallèle en virgule flottante, 1 à 16 bandes magnétiques apparemment d'origine occidentale et dont l'objectif est le stockage. Un tambour de 65536 mots est prévu, mais on ignore s'il a été réalisé.

Réalisée avec une logique à diodes et des amplis magnétiques transistorisés, cette machine fonctionne à 200 KHz et peut délivrer 5000 op/s. Elle servira de prototype à la production de **ZAM 4**.

Nous disposons sur les ZAM 4 d'un article de Lukasiewicz, l'inventeur de la "notation polonaise" qui jouera un rôle notable dans l'histoire de l'analyse syntaxique et dans des réalisations comme les calculettes Hewlett Packard et les calculatrices Burroughs. Ce personnage d'académicien était connu comme un fanatique du régime communiste et je me souviens d'un diner de congrès à Munich (1962) où mon vis à vis (Svoboda, tchèque) s'excusait de parler bas en me décrivant son ambiance de travail, de peur des dénonciations de Lukasiewicz, à deux places de là.

En 1965, le gouvernement polonais, peut-être sur les recommandations des participants polonais aux congrès occidentaux, les seuls à comprendre où allait l'informatique, décide qu'il faut construire des machines de gestion et qu'en l'absence de toute expérience nationale, il faut prendre la licence d'un constructeur occidental ; il choisit l'anglais ICT et installe à Wroclaw en Silésie (ex Breslau), la seule ville industrielle du pays, l'usine ELWRO qui va la construire : elle sera baptisée **ODRA 1003** et ne recopie pas exactement l'original, à en juger par les chiffres de la fiche.

Il s'agit en réalité d'une machine scientifique, mot de 39 bits avec virgule flottante, mémoire à tambour de 8192 mots, 24 ms par tour. Construite avec des transistors français et italiens, elle fonctionne en série/parallèle avec ADD = 700  $\mu$ s, FAD = 1 ms, MPY = FMP = 3,7 ms, DIV = 7,7 ms.

La production revient à 100000 \$, avec LR et PR suédois, ME hollandaise. 20 exemplaires produits.

L'usine ELWRO ne limite pas son effort à cette copie, et construit indépendamment une **ODRA 1204**, qui est une machine 24 bits prenant probablement son inspiration du côté des ZAM. Voir fiche.

On y voit de gros progrès architecturaux qui confirment les relations de la Pologne avec l'occident : adressage indirect, indexation, protection de mémoire avec registres base et limite, interruptions.

En 1969, on signale un ordinateur spécialisé en géodésie, construit probablement dans un institut de recherche. Le **GEO 2** est une machine série à 1 adresse, travaillant en décimal sur un programme de mémoire morte. La mémoire de travail à tambour magnétique dispose de 8 blocs de 1024 \* 32 bits et effectue l'addition en 2,3 ms, les entrées/sorties sont minimales (LR 20, PR, ME allemande).

En 1970, on constate que la résolution de 1965 a été détournée de son objectif initial par les scientifiques, et peut-être aussi par les préjugés moscovites, bref qu'il n'y a toujours pas de machine de gestion. La Pologne prend donc la licence de l'ICL 1900, qui sera produite à Wroclaw sous les sigles **ODRA 1304 et 1324**.

La 1304 comprend 16 à 64 Kmots de 24 bits, cycle 6 µs, et calcule ADD en 26 µs, MPY en 96 µs, DIV en 200 µs, FAD en 160 µs, FMP en 450 µs. Les entrées/sorties comprennent 6 canaux lents et 2 rapides : les périphériques LC1000, PC350, IP1350 proviennent d'ICL, LR1000 et PR100 sont produits sous license Facit. Il y a aussi des bandes, un disque de 4 MB, et le tambour national de 65536 mots.

La licence comprend la totalité du logiciel anglais, qui est ici un MFT à 4 partitions.

La 1324 est un modèle plus bas de gamme de la même famille.

Ces opérations sont largement lancées lorsque en 1968 Moscou sollicite la Pologne de participer au plan Ryad et propose de lui confier la responsabilité de la **ES 1030**, ainsi que du dérouleur ES 5019 (3 m/s = 120 KB/s) et de l'imprimante ES 7033, 60 à 1100 lpm sur 160 caractères de large.

La Pologne accepte car elle doit avoir quelque chose à vendre si elle veut pouvoir acheter les autres machines du plan, mais elle n'a pas les moyens de mener deux opérations de front et en réalité la 1030 polonaise ne dépassera pas le niveau du prototype.

En réalité, ce n'est que vers 1974 que l'usine MERA-ELWRO va sortir une machine du plan, la **ES 1032**, qui diffère quelque peu de la 1033 contemporaine des russes. Elle dispose d'une mémoire de 32 à 256 Kmots de 36 bits, cycle 1,2 µs, d'un système assez simpliste de look ahead pour accélérer un peu l'exécution qui est un peu moins performante que celle des russes : ADD 2,5 à 4 µs, FAD 4,5 µs, MPY 9 µs, FDV 14 µs. Les entrées/sorties sont un multiples de 110 KB/s et trois sélecteurs de 1100 KB/s.

Cette machine ayant donné satisfaction, la Pologne se verra confier la production d'une machine du plan Ryad 2, la **ES 1045** de 400 à 500 Kops, ainsi que celle de dispacks de 100 MB.

La 1045 comporte 256 à 3072 KB de mémoire réelle, éventuellement avec cache de 8 KB, et exécute ses calculs dans des temps proches de ceux de la 1055 allemande : ADD 0,6 à 2,2 µs, FAD 1,9 à 2,3 µs, MPY 2,8 à 3,4 µs, FDV 8,4 à 11 µs. Elle serait disponible pour les essais vers 1980 ; Yerevan lui prépare un array processeur subordonné de 30 Mops, l'ES 2945.

Parallèlement à cet effort de coopération, on constate que l'IMM de Varsovie s'essaie à la production de minis **K202** avec une license DEC (PDP 8 ?, il est trop tôt pour les PDP 11) qui lui donne accès à la technologie TTL/MSI, au multiprocessing, et à une grande variété de compilateurs.

De son côté, MERA construit à Wroclaw un mini 16 bits pour processus industriel, le **MERA 400**, qui dispose d'un Basic et d'un Fortran IV, d'un assembleur MASS, d'un langage scientifique MOST 400, d'un langage industriel CEMMA, et d'un simulateur CSL.

La situation économique de la Pologne s'aggrave, d'autant que les choix polonais de travail avec l'occident entraînent des pertes en devises, les importations dépassant les exportations (140,7 contre 86 M\$ en 1976). Aussi le nombre des machines augmente très lentement, le millier n'étant atteint qu'en 1976.

En 1980, la situation est assez grave pour que le gouvernement soit obligé d'instaurer un plan de déflation, consistant à liquider les machines occidentales pour n'avoir plus à acheter de pièces de rechange, sans les remplacer faute d'argent. En négligeant les minis, il s'agit de descendre de 715 ordinateurs en 1980 à 545 machines en 1985, qui seront :

- 232 Odra, cad des 1900 de fabrication polonaise.

- 265 Ryad 1032 de fabrication nationale, constituant l'essentiel de la modernisation.

- 10 EC 1012, 8 EC 1020, 13 EC 1022, 2 EC 1035, 1 EC 1040, 1 EC 1050, 3 EC 1060, toutes déjà livrées : c'est l'arrêt total des importations du Comecon.

Il s'agit d'un plan d'extrême austérité, sinon de faillite. Mais on sait qu'en fait la faillite était bien là, et que le dernier gouvernement communiste est tombé avant même la chute du mur en 1989.

Par la suite, la Pologne s'est totalement alignée sur les USA et sans aucun doute, l'essentiel de ses nouveaux ordinateurs viennent de ce pays.

## 770 - Informatique roumaine

L'Université de Bucarest, dans son Institut de Physique atomique (CIFA), fait après l'annexion quelques expériences d'informatique :

**CIFA 1** à tambour magnétique parallèle et mot de 31 bits (fiche)

**CIFA 2 et 3** améliorant cette conception

**CIFA 101** qui est une machine série, 36 bits, avec mémoire à tores.  
après quoi il n'y a qu'un grand vide, faute d'argent.

Cependant, lorsqu'il apparaît évident qu'il faut faire quelque chose, c'est naturellement vers la France - les roumains d'avant guerre parlent largement le français - que se tourne le gouvernement. A en juger par les dates, il a fallu que la Roumanie refuse explicitement toute participation au plan Ryad, car l'argument d'une coopération française n'a pas pu être utilisé avant 1970 au mieux.

Finalement et non sans difficultés - j'ai participé aux négociations - la CII et la Délégation à l'Informatique ont arraché au COCOM et donc aux américains une autorisation réticente à l'exportation vers la Roumanie de la technologie française de l'IRIS 50, ce qui s'explique quand on sait le pourcentage de composants français dans cette machine (voir rubrique 739). Pour des raisons administratives propres aux pays de l'Est, la mise en route fut extrêmement lente, et ce n'est guère que vers 1975 que l'usine de production d'IRIS 50, rebaptisée là-bas **Felix C256**, pourra commencer à débiter. Il y a encore 25,6 M\$ d'importations en 1976, portant sur les machines et les disques (MD17) de mise en route.

Il semble que, à partir de là, la Roumanie n'a plus hésité à utiliser les machines qu'elle fabriquait, et l'on a pu identifier quelque 400 sites Felix, avec en moyenne 150 MB de disques et 4 à 8 consoles. Cette informatique étatisée est complètement fermée sur elle-même.

## 771 - Informatique tchécoslovaque

Pays industrialisé (au moins dans sa partie tchèque), la Tchécoslovaquie était parfaitement en mesure de tirer parti des faibles connaissances informatiques parvenues en Europe et, dès 1950, la société Aritma, qui produit des calculatrices de table, décide de construire une machine à relais. La calculatrice **ARITMA** est une machine décimale qui exécute l'addition et la multiplication en 600 ms, la division en 1200 ms, et qui est alimentée par un lecteur de cartes Remington.

Le bloc de calcul, qui utilise un code analogue au XS3 pour faciliter l'addition, contient d'intéressantes astuces pour accélérer la multiplication et la division : construction a priori de multiples du multiplicande, travail du diviseur en 4221 avec les trois multiples 4, 2 et 1 du diviseur préparés dans trois mémoires pour procéder ensuite à des soustractions successives.

En 1951, Antonin Svoboda, frère du musicien qui deviendra président de la république, construit **SAPO**, un calculateur à tambour dont le bloc de calcul utilise une représentation en virgule flottante. Là encore, il s'agit d'une machine à relais, et les performances sont d'autant plus faibles que la machine a été équipée de redondances extraordinaires (triplication et test majoritaire par exemple) qui lui donnent, par contre, une fiabilité rare à l'époque. Elle n'entrera d'ailleurs en service qu'en 1958. Voir fiche.

S'attaquant ensuite à la logique à tubes, Svoboda réalise en 1962 **EPOS**, une machine richement dotée en mémoires, et dont le bloc de calcul - unique au monde - utilise une représentation décimale des nombres par résidus (Ref 206A-37). Le fonctionnement en série/parallèle est, grâce à ce choix, compatible avec des performances honorables, en particulier des multiplications.

Après les essais réussis du prototype à tubes, la machine devait être produite en petite série transistorisée par la société Aritma, sous le sigle **EPOS 2 (ZPA 6000 / 20)**.

Lorsqu'en 1968 le pays est sollicité de participer au plan Ryad, les négociateurs estiment n'avoir pas de véritable besoin et refusent l'offre de production du ES 1020 qu'on leur propose. Ils préfèrent produire une machine imparfaitement compatible, plus orientée vers les applications de process control, qui sera l'ES 1021, mais ils prennent en compte un certain nombre de périphériques.

En attendant, les scientifiques continuent leurs expériences et mettent en service en 1970 la **ZPA 600**, une machine estimée 40 Kops. La mémoire à tores comprend 10 à 40 Kmots de 60 bits, cycle 13  $\mu$ s. Pour accélérer les calculs, le multiplieur et le diviseur sont indépendants et simultanés, et les sous-programmes importants sont stockés dans une ROM de 9 Kmots, cycle 3  $\mu$ s. Les périphériques sont performants : LR 1500, PR 150 de Facit, LC 900, IP 600, bandes magnétiques 40 Kcar/s.

Le logiciel doit beaucoup à la documentation occidentale qui parvient à Prague : système d'exploitation à multiprogrammation sur 5 partitions, assembleur, compilateurs Fortran et Cobol.

Nous disposons d'une statistique tchèque de 1971, qui relativise à la fois l'autonomie tchèque et l'importance des investissements. Le parc comprend à cette date :

- 73 machines produites dans le pays, auxquelles il faut ajouter 90 installations mécanographiques, d'inspiration Remington.

- 60 machines provenant d'URSS, 47 de Pologne, 21 d'Allemagne de l'Est.

- 25 machines anglaises et 37 d'origine américaine.

Au total, 275 machines numériques, auxquelles il faut ajouter 1541 machines à cartes perforées, 10 calculateurs de process control, et 600 machines analogiques.

L'**ES 1021** est prête en 1973, bien qu'elle n'ait pas paru à l'exposition de Moscou. Elle dispose de 16 à 64 KB de mémoire 8 bits, cycle de 1,5  $\mu$ s, et elle est microprogrammée pour un répertoire de 66 opérations (extensible à 71) dont une partie seulement sont compatibles 360. Elle exécute l'addition en 15 à 30  $\mu$ s, la multiplication en 80 à 120  $\mu$ s. Les entrées/sorties se font par un multiplexeur de 35 KB/s, et il existe deux sélecteurs à moins de 300 KB/s pour d'éventuels disques. Bref, une machine tout à fait modeste, mise en production dès le début de 1974 mais qui n'intéresse pas le Comecon ; la série sera courte.

La Tchécoslovaquie fabrique cependant quelques périphériques : les disques EC 5058 sont des dispacks de 7,25 MB, accès 30 à 150 ms, les dérouleurs EC 5022 fonctionnent à 4 m/s et 126 KB/s, et il y a aussi deux imprimantes à tambour, l'EC 7034 de 600 à 900 lpm sur 132 caractères, et l'EC 7038 de 750 à 1000 lpm de 160 caractères.

Le plan Ryad ayant abouti en fin de compte à des réalisations, la Tchécoslovaquie décide de participer à sa deuxième génération avec une **ES 1025** de 60 Kops, 128 à 256 KB de mémoire. L'usine de Vokovice ayant réussi à se procurer en Allemagne une 360 / 125 avec tous les manuels, la 1025 devait s'en inspirer, mais apparemment la simple copie n'était pas si facile, et en 1980 la 1025 n'est toujours pas en service.

Nous disposons de statistiques pour 1977 et 1978, période intérimaire entre deux plans Ryad. Le catalogue du plan crédite la Tchécoslovaquie de 29 périphériques sur 150 : machines à écrire , imprimantes, traceurs, contrôleurs de disques et de bandes, modems.

Quant aux machines, les implantations sont :

200 de plus de 128 KB de mémoire fin 77, 241 fin 78.

222 de 64 à 128 KB)

448 de 32 à 64 KB ) et 768 en fin 78.

212 de 16 à 32 KB )

382 de moins de 16 KB, et 639 en fin 78.

221 machines mécanographiques et encore 211 en fin 78.

Ce parc modeste et vétuste est pour 57% de production locale, 28% provenant des pays du Comecon et 15% de production occidentale. En 1976, dernier chiffre connu, les importations tchèques se montent à M\$ 127, dépassant largement les exportations M\$ 86 ; cependant le déséquilibre tend à diminuer. 24 machines occidentales seulement ont été achetées en 1978.

Sur les totaux énoncés ci-dessus il n'y a que 288 machines RYAD, à savoir 42 ES 1012, 125 ES 1021 (nationales), 72 ES 1030, 13 ES 1033, et 36 ES 1040. Les prévisions sont de 10 ES 1035 en 1979 et 18 en 1980, ce qui donne une idée des possibilités d'investissement. Les livraisons réelles ont été de 71 machines, dont 5 ES 1040, 18 ES 1033, 34 ES 1021 et 11 ES 1012.

Ces chiffres, parc et commande, sont très inférieurs à ceux du plan qui prévoyait d'installer 600 machines entre 1976 et 1980, mais on ignore si la cause est dans les disponibilités financières de l'acheteur ou dans les capacités de production des vendeurs. La même statistique indique qu'il s'écoule en moyenne 9 mois entre la livraison et la mise en route d'une machine !

## 772 - Informatique bulgare

Il n'y a rien à signaler en Bulgarie dans le domaine informatique jusqu'à ce que l'URSS invite ce pays, en 1968, à participer au plan Ryad, et lui confie la fabrication de l'ES 1020 et de périphériques. C'est clairement une faveur faite à ce pays slave et fidèle qui, n'ayant pas les moyens en hommes pour se créer une industrie, venait de prendre la licence du bas de gamme japonais Facom 270 / 30.

Aidée par les russes, la Bulgarie met en place une usine ZIT qui sera prête à peu près à temps, de sorte qu'il y avait à Moscou, en mai 1973, un exemplaire de chacune des deux sources.. La fabrication lancée, la production sera de moins de 200 **ZIT 320** (nom local de l'ES 1020) par an. Nous disposons d'une fiche illustrée de la 1020

Pendant la période intérimaire, l'usine ZIT évoluera pour produire l'ES 1022 et, pendant le deuxième plan, pour construire l'ES 1035 de dessin soviétique.

La Bulgarie ne possède en 1975 que 124 calculateurs. Le catalogue 1978 du plan Ryad la crédite de 28 périphériques sur 150, parmi lesquels les disques EC 5052, 7,25 MB, accès moyen 95 ms ; et le dérouleur EC 5012, plutôt modeste, 2 m/s, 64 KB/s.

En fait le gros de la production bulgare est exporté, 44 M\$ en 1976, alors que l'importation est quasi nulle.

## 773 - L'Informatique en DDR (Deutsche Demokratik Republik = RDA)

Qu'elle soit Est ou Ouest, l'Allemagne a entrepris très tôt la construction de machines, et on a cité ailleurs (rubrique 700) les D1, D2, D4A de la Technische Hochschule de Dresde. Les fiches illustrées de ces machines figurent dans la chemise O1.

La firme Zeiss de Iena, également connue pour la haute qualité technique de ses optiques, construit dès 1955, pour son propre usage, une grosse machine scientifique **OPREMA** contenant 17000 relais. Voir fiche illustrée. Zeiss enchaînera ensuite sur la ZRA 1, une machine à tambour magnétique avec une logique elle aussi magnétique, qui limite la fréquence à 200 KHz. Voir fiche illustrée.

Après ces préliminaires, cependant, la DDR met en place deux types de fabrications :

- une abondante production de facturières et très petites machines de bureau, commercialisées par un distributeur nommé Soemtron, qui assureront l'essentiel des besoins de gestion du pays.

- une véritable usine d'ordinateurs, *Robotron*, installée dans la région de Dresde, qui va s'efforcer de ne pas perdre le contact avec la technique occidentale, et qui deviendra le plus solide des participants au plan Ryad, après en avoir fermement soutenu l'adoption.

Dans le premier groupe, il semble exister plusieurs fabricants, et nous pouvons citer :

**Ascota 750** (1967), comporte une mémoire à tores de 16 à 128 mots de 6, 8 ou 14 bits, un programme interchangeable de 1024 instructions de 20 bits, une machine comptable groupant clavier, imprimante 60 cps et lecteur de comptes magnétiques à 210 caractères chacun. En option, LC, PC, lecteur optique.

**Soemtron 383** ou 385 (1970), voir fiche et photo

**Cellatron C8205** de Büromaschinen, miniordinateur à tambour, voir fiche et photo.

**Daro 1840** (1973), contenant 1 à 7 Kmots de tores 64 bits à cycle de 1,5  $\mu$ s, machine comptable 100 cps avec comptes magnétiques, LR et PR, cassette de 100000 caractères lisant à 1000 cps. Cette machine vendue 140000 FFHT a trouvé 50 clients occidentaux en 2 ans, et a pu ensuite être modernisée par addition de lecteurs de disquettes (jusqu'à 4).

L'usine Robotron s'est efforcée, dès sa mise en route, de se procurer tout ce qui pouvait filtrer de l'Ouest, en matière de calculateurs, périphériques et logiciels, et par exemple elle construit en 1967 un **Robotron 300** directement inspiré de la 1401. Cette machine/caractères dispose de 10000 ou 40000 caractères de mémoire à cycle 10  $\mu$ s, avec des instructions à une adresse comprenant 6 caractères de 8 bits : sur des nombres de 6 chiffres décimaux, on exécute l'addition en 190  $\mu$ s, la multiplication en 730  $\mu$ s, la division en 2020  $\mu$ s. Il y a aussi une virgule flottante de longueur variable jusqu'à 58 chiffres de mantisse et deux d'exposant. Le choix de périphériques est vaste, LC 300, PC 300, LR 300 ou 1000, PR 20 ou 100, IP 360, et jusqu'à 6 bandes en sortie (175 caractères par mm) ; faute de disques, on offre jusqu'à 4 tambours de 100 Kcar, accès 20 ms. Il en existait une vingtaine en service fin 1968.

Vers la même date était réalisé un **Robotron 21** d'inspiration 360, de sorte que l'annonce du plan Ryad coïncidait parfaitement avec l'intérêt de l'entreprise. Ainsi, la DDR soutint le plan, et se vit attribuer la responsabilité de l'ES 1040.

De fait, l'**ES 1040** était présente à l'exposition de Moscou de 5 / 73, et la production en série démarrait au début de 1974. Cette machine nous est bien connue parce que Control Data, qui envisageait une coopération avec l'Est, en a acheté un exemplaire en 1975 (256 KB de mémoire, un multiplex et un sélecteur, deux disques de 7,25 MB et deux dérouleurs travaillant à 79 ips, LC, PC, IP, et un traceur hongrois. Ce système a été testé avec l'objectif de proposer des périphériques additionnels, notamment des communications et des terminaux, et de remplacer la mémoire, point faible du produit. Cette tentative n'a pas eu de suite.

Le logiciel, directement transformé à partir de celui des machines occidentales, était DOS/ES.

La 1040 a été bien reçue dans le Comecon, de sorte que la production de 25 en 1974, est montée à 50 par an, dont deux tiers pour l'exportation ; ce chiffre était fixé par les possibilités des clients, non par celles de l'usine qui aurait pu, sans changer de méthodes, être poussée à 100 / an. Cette usine de Dresde, qui a été visitée par des occidentaux, a été jugée favorablement, même si la fabrication était complètement manuelle.

Dans le domaine des périphériques, la DDR fabriquait des disques, EC 5055 de 7,25 MB, accès 30 à 130 ms ; des bandes, EC 5016, 1,52 m/s et 48 KB/s, ce qui les place en bas de gamme ; deux imprimantes à tambour, EC 7031 et 7035, 60 à 1200 lpm sur 120 caractères de large.

Robotron fabriquait simultanément un **KRS 4200**, ordinateur de process conçu pour pouvoir être connecté à un ES 1040 : mémoire 4 à 16 K \* 16 bits, cycle 1,3 µs, un canal programmé et un canal tamponné permettant de connecter des disques. 250 exemplaires ont été produits en 3 ans. Ce 4200 sera modernisé en 1976 en un 4201 doté d'un vrai multiplex à 16 terminaux, de 4 disques 25 MB, et d'une IP 100. 60 ont été commandés en 1976.

Le succès de la 1040 fait qu'elle n'aura pas besoin d'interim, et que la DDR se voit confier la **ES 1055** de deuxième génération. Mémoire portée à 2048 KB avec ECC parce que réalisée en MOS, cycle de 1,2 µs. Réelle compatibilité 370, en particulier avec le compte-temps et la mémoire virtuelle de 16 MB, que toutefois le système OS/ES ne soutiendra pas avant 1980, faute de disque. Mémoire de microprogrammes de 8K \* 65 bits, accès 140 ns, partiellement réalisée en WCS.

Important choix de périphériques, associés à 4 BMUX à 1500 KB/s et 1 ou 2 multiplex à 40 KB/s :

- EC 7181, imprimante matricielle tchèque, 150 cps, alphabet de 96 caractères
- EC 7037, IP tchèque, 800 à 1000 lpm sur 84 caractères
- EC 7139, IP tchèque, 1200 lpm de 84 caractères
- EC 7184, IP hongroise 1100 lpm.
- EC 6035, lecteur optique OCR B, origine inconnue
- EC 6041, lecteur de documents 210 \* 297 mm, origine DDR
- EC 6602, lecteur de microfiches 105 \* 148 mm, 1000 cps, origine inconnue
- EC 7602, COM capable de 7,5 microfiches par minute, produit DDR.

Un module vectoriel est aussi annoncé pour 1981, mais on ignore s'il est d'origine allemande ou, comme les autres, étudié à Yerevan.

Une **ES 1055M** succède à la 1055 en mi 81, avec une mémoire portée à 4 MB et des circuits plus intégrés, mais sans effort pour augmenter la puissance, seulement la commodité et l'encombrement. La consommation descend à 4 KW. La puce mémoire DRAM MOS est 128 \* 128 cellules à un seul transistor, avec un rafraichissement toutes les 2 ms, et un cycle de 740 ou 1140 ns.

La microprogrammation, réalisée sur 8K \* 64 bits de ROM et 1024 \* 64 bits de WCS, permet des débits en flottant de 2,5 Mmultiplications ou 5 Madditions par seconde.

La machine est dotée d'un processeur de service EC 7069M composé de 16 KB de mémoire et d'un microprocesseur de 8 bits, U880, qui fait l'IML. La sécurité propre du CPU 1055 a également été nettement accrue par plus de points de test accessibles au programme.

Une **ES 1057** est à l'étude depuis 1981, dans l'espoir de constituer un équivalent de la 4341, 2 Mips avec 16 MB de mémoire. Compte tenu du contexte politique, il n'est pas certain que cette machine ait jamais vu le jour.

A posteriori, on peut faire un bilan de cette production qui est une réussite par rapport au reste du Comecon. Dans le domaine des machines de bureau, la DDR a produit en 30 ans quelque 250000 facturières et machines comptables, dont une petite fraction exportée vers l'Ouest. Les exportations de la DDR en 1976 sont les plus importantes des pays de l'Est, 436 M\$ dont 200 vers l'URSS, pour 55 M\$ seulement d'importations.

Du côté Ryad, la production a été 310 ES 1040, dont 220 exportées, parmi lesquelles 160 pour l'URSS. Il y a eu ensuite 250 ES 1055 entre 1980 et 1985 dont 160 pour l'URSS ; la 1055 M a pris la relève à partir de 1983.

L'insuffisance de la production des DRAM 1 Kbit, modèle U253, destinées au 1040, a freiné la production, et l'absence d'un disque de 10 MB a empêché jusqu'en 1981 la mise en place de la mémoire virtuelle qui était inscrite dans la structure matérielle de la 1055.

La fourniture des puces de 16 Kbits par l'URSS, en 1981, a été qualitativement catastrophique, et la DDR a dû se tourner, dans la mesure du possible, vers les USA et l'Extrême-Orient.

Bref, la DDR a été le meilleur participant au plan Ryad, et ce qu'elle n'a pu faire résultait de la faute des autres. Aussi bien tout cela prend fin avec le rideau de fer en 1989, après quoi toute l'informatique des pays de l'Est disparaît en bloc.